

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 5월 11일 (11.05.2017)



(10) 국제공개번호
WO 2017/078441 A1

- (51) 국제특허분류:
H01L 33/02 (2010.01) H01L 33/48 (2010.01)
H01L 33/22 (2010.01) H01L 33/44 (2010.01)
H01L 33/38 (2010.01) H01L 33/36 (2010.01)
H01L 33/14 (2010.01)
- (21) 국제출원번호: PCT/KR2016/012614
- (22) 국제출원일: 2016년 11월 3일 (03.11.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2015-0154113 2015년 11월 3일 (03.11.2015) KR
10-2016-0100287 2016년 8월 5일 (05.08.2016) KR
- (71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 04637 서울시 중구 한강대로 416 번지 서울스퀘어, Seoul (KR).
- (72) 발명자: 구지현 (KOO, Ji Hyun); 04637 서울시 중구 한강대로 416 번지 서울스퀘어, Seoul (KR). 이대희 (LEE, Dae Hee); 04637 서울시 중구 한강대로 416 번지

서울스퀘어, Seoul (KR). 이정욱 (LEE, Jung Wook); 04637 서울시 중구 한강대로 416 번지 서울스퀘어, Seoul (KR).

(74) 대리인: 김기문 (KIM, Ki Moon); 06252 서울시 강남구 역삼로 114 번지 현죽빌딩 6층, Seoul (KR).

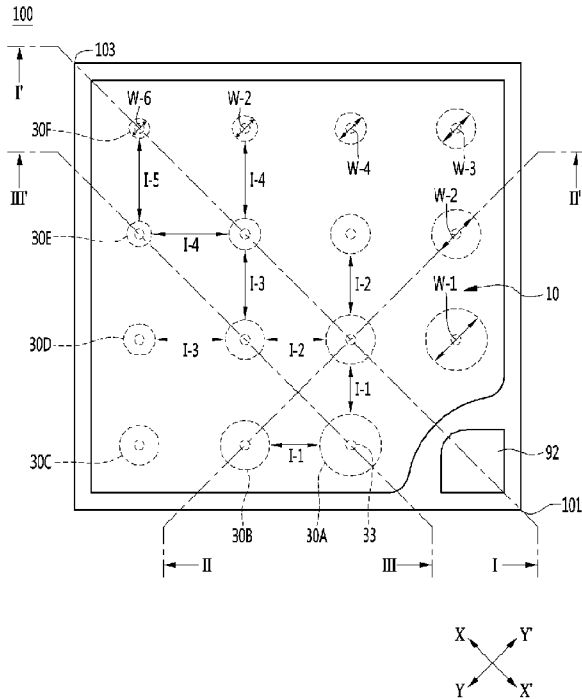
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG,

[다음 쪽 계속]

(54) Title: SEMICONDUCTOR DEVICE

(54) 발명의 명칭: 반도체 소자



(57) Abstract: The semiconductor device according to an embodiment comprises: a light-emitting structure comprising a first conductivity-type semiconductor layer, an active layer under the first conductivity-type semiconductor layer, a second conductivity-type semiconductor layer under the active layer, and a plurality of recesses exposing the bottom of the first conductivity-type semiconductor layer; at least one pad disposed outside the light-emitting structure and disposed adjacently to at least one corner; and a plurality of insulation patterns disposed in the recesses and extended to the bottom surface of the light-emitting structure, wherein the widths of the plurality of insulation patterns may decrease as the distance thereof from the pad increases. The semiconductor device according to the embodiment has the effect of preventing the concentration of an electric current in a recess region adjacent to a pad.

(57) 요약서: 실시예의 반도체 소자는 제 1 도전형 반도체층, 상기 제 1 도전형 반도체층 아래에 활성층, 상기 활성층 아래에 제 2 도전형 반도체층, 상기 제 1 도전형 반도체층의 하부를 노출시키는 복수의 리세스를 포함하는 발광구조물과, 상기 발광구조물의 외측에 배치되고, 적어도 하나 이상의 모서리에 인접하게 배치된 적어도 하나의 패드와, 상기 리세스 내에 배치되어 상기 발광구조물의 하부면으로 연장되는 복수의 절연 패턴을 포함하고, 상기 복수의 절연 패턴은 상기 패드로부터 멀어질수록 작아지는 너비를 가질 수 있다. 실시예에 따른 반도체 소자는 패드에 인접한 리세스 영역에 전류가 집중되는 것을 방지할 수 있는 효과가 있다.

WO 2017/078441 A1

ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:
— 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: 반도체 소자

기술분야

- [1] 실시예는 반도체 소자에 관한 것으로, 보다 상세하게는 광 효율을 향상시키기 위한 반도체 소자에 관한 것이다.

배경기술

- [2] GaN, AlGaN 등의 화합물을 포함하는 반도체 소자는 넓고 조정이 용이한 밴드 갭 에너지를 가지는 등의 많은 장점을 가져서 발광 소자, 수광 소자 및 각종 다이오드 등으로 다양하게 사용될 수 있다.
- [3] 특히, 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용한 발광 다이오드(Light Emitting Diode)나 레이저 다이오드(Laser Diode)와 같은 발광소자는 박막 성장 기술 및 소자 재료의 개발로 적색, 녹색, 청색 및 자외선 등 다양한 색을 구현할 수 있으며, 형광 물질을 이용하거나 색을 조합함으로써 효율이 좋은 백색 광선도 구현이 가능하며, 형광등, 백열등 등 기존의 광원에 비해 저소비전력, 반영구적인 수명, 빠른 응답속도, 안전성, 환경 친화성의 장점을 가진다.
- [4] 뿐만 아니라, 광검출기나 태양 전지와 같은 수광 소자도 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용하여 제작하는 경우 소자 재료의 개발로 다양한 파장 영역의 빛을 흡수하여 광 전류를 생성함으로써 감마선부터 라디오 파장 영역까지 다양한 파장 영역의 빛을 이용할 수 있다. 또한 빠른 응답속도, 안전성, 환경 친화성 및 소자 재료의 용이한 조절의 장점을 가져 전력 제어 또는 초고주파 회로나 통신용 모듈에도 용이하게 이용할 수 있다.
- [5] 따라서, 반도체 소자는 광 통신 수단의 송신 모듈, LCD(Liquid Crystal Display) 표시 장치의 백라이트를 구성하는 냉음극관(CCFL: Cold Cathode Fluorescence Lamp)을 대체하는 발광 다이오드 백라이트, 형광등이나 백열 전구를 대체할 수 있는 백색 발광 다이오드 조명 장치, 자동차 헤드램프 및 신호등 및 가스나 화재를 감지하는 센서 등에까지 응용이 확대되고 있다. 또한, 반도체 소자는 고주파 응용 회로나 기타 전력 제어 장치, 통신용 모듈에까지 응용이 확대될 수 있다.
- [6] 특히, 자동차 헤드램프에 구비되는 반도체 소자는 고 출력이 요구되어 진다. 이로 인해 반도체 소자는 고 출력의 램프를 구현하기 위해 고 전류를 발생시키게 된다. 이로 인해 반도체 소자는 패드와 인접하는 영역 주위로 전류 및 열이 집중되어 활성층 영역의 수명을 단축시켜 신뢰성 저하를 유발시킨다.

발명의 상세한 설명

기술적 과제

- [7] 실시예는 패드와 인접하는 영역에 전류가 집중되는 것을 방지하여 전기적인

특성을 향상시키기 위한 반도체 소자를 제공하는 것을 그 목적으로 한다.

과제 해결 수단

- [8] 실시예의 반도체 소자는 제1 도전형 반도체층, 상기 제1 도전형 반도체층 아래에 활성층, 상기 활성층 아래에 제2 도전형 반도체층, 상기 제1 도전형 반도체층의 하부를 노출시키는 복수의 리세스를 포함하는 발광구조물과, 상기 발광구조물의 외측에 배치되고, 적어도 하나 이상의 모서리에 인접하게 배치된 적어도 하나의 패드와, 상기 리세스 내에 배치되어 상기 발광구조물의 하부면으로 연장되는 복수의 보호 패턴을 포함하고, 상기 복수의 보호 패턴은 상기 패드로부터 멀어질수록 작아지는 너비를 가질 수 있다.
- [9] 또한, 실시예의 반도체 소자는 제1 도전형 반도체층, 제2 도전형 반도체층, 상기 제1 반도체층과 상기 제2 반도체층 사이에 배치되는 활성층 및 상기 제2 도전형 반도체층에서 상기 활성층을 관통하여 상기 제1 도전형 반도체층의 일부까지 형성되는 복수개의 리세스를 포함하는 발광구조물과, 상기 복수개의 리세스 내부에 배치되고 상기 제1 도전형 반도체층과 전기적으로 연결되는 제1 전극과, 상기 제2 도전형 반도체층과 전기적으로 연결되는 제2 전극과, 상기 제2 전극과 전기적으로 연결되는 제1 패드와 제2 패드를 포함하는 패드부를 포함하고, 상기 복수의 리세스 중 제1 그룹의 리세스는 상기 제1 패드와 상기 제2 패드 사이에서 제1 간격으로 상기 제1 패드와 상기 제2 패드를 연결한 제1 방향으로 이격되어 배치되고, 상기 복수개의 리세스 중 제2 그룹의 리세스는 상기 제1 그룹의 리세스에서 상기 제1 방향과 수직인 제2 방향으로 상기 제1 간격보다 큰 제2 간격으로 이격되어 상기 제1 방향으로 배치되고, 상기 복수개의 리세스 중 제3 그룹의 리세스는 상기 제2 그룹의 리세스에서 상기 제2 방향으로 상기 제1 그룹의 리세스보다 작은 제3 간격으로 이격되어 제1 방향으로 배치될 수 있다.
- [10] 또한, 실시예의 반도체 소자는 제1 도전형 반도체층, 제2 도전형 반도체층, 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치되는 활성층 및 상기 제2 도전형 반도체층에서 상기 활성층을 관통하여 상기 제1 도전형 반도체층의 일부까지 형성되는 복수개의 리세스를 포함하는 발광구조물과, 상기 복수개의 리세스 내부에 배치되고 상기 제1 반도체층과 전기적으로 연결되는 제1 전극과, 상기 제2 반도체층과 전기적으로 연결되는 제2 전극과, 상기 제2 전극과 전기적으로 연결되는 패드를 포함하고, 상기 복수의 리세스 중 제1 그룹의 리세스는 상기 패드와 제1 방향과 상기 제1 방향과 수직인 제2 방향으로 인접하게 배치되어 제1 간격을 이루고, 상기 복수의 리세스 중 제2 그룹의 리세스는 상기 제1 그룹의 리세스에서 제1 방향과 제2 방향 사이의 제3 방향으로 제1 간격보다 작은 간격으로 배치될 수 있다.

발명의 효과

- [11] 실시예에 따른 반도체 소자는 패드에 인접한 리세스 영역에 전류가 집중되는 것을 방지할 수 있는 효과가 있다.

- [12] 또한, 실시예에 따른 반도체 소자는 발열 특성을 개선하여 수명 및 신뢰성을 개선할 수 있는 효과가 있다.
- [13] 또한, 실시예는 온도 저하로 인한 방열 비용을 감소시킬 수 있는 효과가 있다.
- [14] 또한, 실시예는 리세스를 둘러싸는 전류 차단층의 두께를 제어하여 패드부에 인접하는 리세스 영역에서 전류가 집중되는 것을 방지할 수 있다.
- [15] 또한, 실시예는 리세스 사이의 거리에 따라 그 두께를 결정함으로써, 전자와 홀과의 결합을 극대화시켜 반도체 소자의 광 효율을 극대화시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [16] 도 1은 제1 실시예에 따른 반도체 소자를 도시한 평면도이다.
- [17] 도 2는 도 1의 I-I' 라인을 따라 절단한 반도체 소자를 도시한 단면도이다.
- [18] 도 3은 도 1의 II-II' 라인을 따라 절단한 반도체 소자를 도시한 단면도이다.
- [19] 도 4는 도 1의 III-III' 라인을 따라 절단한 반도체 소자를 도시한 단면도이다.
- [20] 도 5 내지 도 13은 제1 실시예에 따른 반도체 소자의 제조방법을 도시한 도면이다.
- [21] 도 14는 제2 실시예에 따른 반도체 소자를 도시한 평면도이다.
- [22] 도 15는 제3 실시예에 따른 반도체 소자를 도시한 평면도이다.
- [23] 도 16은 제4 실시예에 따른 반도체 소자를 나타낸 평면도이다.
- [24] 도 17은 도 16의 A-A 라인을 따라 절단한 반도체 소자를 나타낸 단면도이다.
- [25] 도 18은 제4 실시예에 따른 반도체 소자의 전류 퍼짐 현상을 종래와 비교한 도면이다.
- [26] 도 19는 제4 실시예에 따른 반도체 소자의 출력을 종래와 비교한 도면이다.
- [27] 도 20은 제5 실시예에 따른 반도체 소자를 나타낸 평면도이다.
- [28] 도 21은 제6 실시예에 따른 반도체 소자를 나타낸 평면도이다.
- [29] 도 22는 도 21의 B-B 라인을 따라 절단한 반도체 소자를 나타낸 단면도이다.
- [30] 도 23은 제1 내지 제6 실시예에 따른 반도체 소자가 구비된 반도체 패키지를 나타낸 단면도이다.
- [31] 도 24는 제1 내지 제6 실시예에 따른 반도체 소자가 구비된 자동차 헤드램프를 나타낸 사시도이다.
- [32] 도 25는 도 24의 자동차 램프를 나타낸 단면도이다.

발명의 실시를 위한 최선의 형태

- [33] 본 실시 예들은 다른 형태로 변형되거나 여러 실시 예가 서로 조합될 수 있으며, 본 발명의 범위가 이해 설명하는 각각의 실시 예로 한정되는 것은 아니다.
- [34] 특정 실시 예에서 그 사항과 반대되거나 모순되는 설명이 없는 한, 다른 실시 예에 관련된 설명으로 이해될 수 있다.
- [35] 예를 들어, 특정 실시 예에서 구성 A에 대한 특징을 설명하고 다른 실시 예에서 구성 B에 대한 특징을 설명하였다면, 구성 A와 구성 B가 결합된 실시 예가

- 명시적으로 기재되지 않더라도 반대되거나 모순되는 설명이 없는 한, 본 발명의 권리 범위에 속하는 것으로 이해되어야 한다.
- [36] 이하 상기의 목적을 구체적으로 실현할 수 있는 본 발명의 실시예를 첨부한 도면을 참조하여 설명한다.
- [37] 본 발명에 따른 실시예의 설명에 있어서, 각 element의 "상(위) 또는 하(아래)(on or under)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)(on or under)는 두 개의 element가 서로 직접(directly) 접촉되거나 하나 이상의 다른 element가 상기 두 element 사이에 배치되어(indirectly) 형성되는 것을 모두 포함한다. 또한 "상(위) 또는 하(아래)(on or under)"으로 표현되는 경우 하나의 element를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.
- [38] 반도체 소자는 발광소자, 수광 소자 등 각종 전자 소자 포함할 수 있으며, 발광소자와 수광소자는 모두 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있다.
- [39] 본 실시예에 따른 반도체 소자는 발광소자일 수 있다.
- [40] 발광소자는 전자와 정공이 재결합함으로써 빛을 방출하게 되고, 이 빛의 파장은 물질 고유의 에너지 밴드갭에 의해서 결정된다. 따라서, 방출되는 빛은 상기 물질의 조성에 따라 다를 수 있다.
- [41] 도 1은 제1 실시예에 따른 반도체 소자를 도시한 평면도이고, 도 2는 도 1의 -I'-라인을 따라 절단한 반도체 소자를 도시한 단면도이고, 도 3은 도 1의 -II'-라인을 따라 절단한 반도체 소자를 도시한 단면도이고, 도 4는 도 1의 -III'-라인을 따라 절단한 반도체 소자를 도시한 단면도이다.
- [42] 도 1 내지 도 4에 도시된 바와 같이, 실시 예에 따른 반도체 소자(100)는 발광구조물(10), 패드(92), 페시베이션층(95), 제1 및 제2 전극(81, 33)을 포함할 수 있다.
- [43] 상기 발광구조물(10)은 제1 도전형 반도체층(11), 상기 제1 도전형 반도체층(11) 아래에 위치한 활성층(12) 및 상기 활성층(12) 아래에 위치한 제2 도전형 반도체층(13)을 포함할 수 있다.
- [44] 상기 제1 도전형 반도체층(11)은 반도체 화합물, 예컨대 족-족 및 족-족 등의 화합물 반도체로 구현될 수 있다. 상기 제1 도전형 반도체층(11)은 단층 또는 다층으로 형성될 수 있다. 상기 제1 도전형 반도체층(11)은 제1 도전형 도펀트가 도핑될 수 있다. 예컨대 상기 제1 도전형 반도체층(11)이 n형 반도체층인 경우, n형 도펀트를 포함할 수 있다. 예컨대 상기 n형 도펀트는 Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되지 않는다. 상기 제1 도전형 반도체층(11)은 $In_xAl_yGa_{1-x-y}N$ ($0=x=1, 0=y=1, 0=x+y=1$)의 조성식을 갖는 반도체 물질을 포함할 수 있으나, 이에 한정되는 것은 아니다. 예컨대 상기 제1 도전형 반도체층(11)은 GaN, AlN, AlGaN, InGaN, InN, InAlGaN, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있다.
- [45] 상기 제1 도전형 반도체층(11)은 상부면에 요철구조(11A)를 포함할 수 있다.

상기 요철구조(11A)는 단면이 산과 골을 갖는 형성일 수 있으나, 이에 한정되지 않고, 다각형 또는 곡률을 갖는 형상일 수도 있다. 상기 요철구조(11A)는 광 추출 효율을 향상시킬 수 있다.

- [46] 상기 제1 도전형 반도체층(11)은 복수의 돌출부(16)를 포함할 수 있다. 상기 돌출부(16)는 서로 일정한 간격을 두고 배치될 수 있다. 상기 돌출부(16)의 상부면에는 상기 요철구조(11A)가 배치될 수 있으나, 이에 한정되는 것은 아니다. 상기 돌출부(16)는 상기 제1 도전형 반도체층(11)의 상부방향으로 돌출될 수 있다. 상기 돌출부(16)는 상기 지지부재(70)와 전기적으로 연결되는 제2 전극(33)과 중첩되는 제1 도전형 반도체층(11)의 두께를 확보하여 상기 제2 전극(33)의 주변에서 집중되는 전류를 개선할 수 있다. 상기 돌출부(16)는 에칭 공정을 통해서 형성될 수 있다. 예컨대 상기 돌출부(16)는 상기 제2 전극(33)과 중첩되는 영역을 제외한 상기 제1 도전형 반도체층(11)의 상부면을 에칭하여 형성될 수 있다.
- [47] 상기 활성층(12)은 상기 제1 도전형 반도체층(11) 아래에 배치될 수 있다. 상기 활성층(12)은 단일 양자 우물, 다중 양자 우물(MQW), 양자 선(quantum wire) 구조 또는 양자 점(quantum dot) 구조를 선택적으로 포함할 수 있다. 상기 활성층(12)는 화합물 반도체로 구성될 수 있다. 상기 활성층(12)는 예로서 족-족 및 족-족 화합물 반도체 중에서 적어도 하나로 구현될 수 있다.
- [48] 상기 활성층(12)은 다중 양자 우물 구조(MQW)로 구현된 경우, 양자우물과 양자벽이 교대로 배치될 수 있다. 상기 양자우물과 양자벽은 각각 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료일 수 있다. 예컨대 상기 활성층(12)은 InGaN/GaN , InGaN/AlGaIn , InGaN/InGaIn , InAlGaIn/InAlGaIn , GaN/AlGaIn , InAlGaIn/GaN , GaInP/AlGaInP , GaP/AlGaP , InGaP/AlGaP , GaAs/AlGaAs , InGaAs/AlGaAs 중 어느 하나 이상의 페어 구조로 형성될 수 있으나 이에 한정되는 것은 아니다.
- [49] 상기 제2 도전형 반도체층(13)은 상기 활성층(12) 아래에 배치될 수 있다. 상기 제2 도전형 반도체층(13)은 반도체 화합물, 예컨대 족-족 및 족-족 화합물 반도체로 구현될 수 있다. 상기 제2 도전형 반도체층(13)은 단층 또는 다층으로 형성될 수 있다. 상기 제2 도전형 반도체층(13)은 제2 도전형 도펀트가 도핑될 수 있다. 예컨대 상기 제2 도전형 반도체층(13)이 p형 반도체층인 경우, p형 도펀트를 포함할 수 있다. 예컨대 상기 p형 도펀트는 Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있으나 이에 한정되는 것은 아니다. 상기 제2 도전형 반도체층(13)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0=x=1, 0=y=1, 0=x+y=1$)의 조성식을 갖는 반도체 물질을 포함할 수 있으나 이에 한정되는 것은 아니다. 예컨대 상기 제2 도전형 반도체층(13)은 GaN , AlN , AlGaIn , InGaIn , InN , InAlGaIn , AlInN , AlGaAs , GaP , GaAs , GaAsP , AlGaInP 등에서 선택될 수 있다.
- [50] 상기 발광구조물(10)은 n형 반도체층의 상기 제1 도전형 반도체층(11), p형 반도체층의 제2 도전형 반도체층(13)을 한정하여 설명하고 있지만, 상기 제1

도전형 반도체층(11)을 p형 반도체층, 상기 제2 도전형 반도체층(13)을 n형 반도체층으로 형성할 수도 있으며, 이에 한정되는 것은 아니다. 상기 제2 도전형 반도체층(13) 위에는 상기 제2 도전형과 반대의 극성을 갖는 반도체 예컨대 n형 반도체층(미도시)을 형성할 수 있다. 이에 따라 발광구조물(10)은 n-p 접합 구조, p-n 접합 구조, n-p-n 접합 구조, p-n-p 접합 구조 중 어느 한 구조로 구현할 수 있다.

[51] 상기 제1 전극(81)은 상기 발광구조물(10) 아래에 배치될 수 있다. 상기 제1 전극(81)은 상기 발광구조물(10)과 상기 지지부재(70) 사이에 배치될 수 있다. 상기 제1 전극(81)은 상기 제1 도전형 반도체층(13)과 전기적으로 연결될 수 있다. 상기 제1 전극(81)은 상기 제2 전극(33)과 전기적으로 절연될 수 있다. 상기 제1 전극(81)은 접촉층(15), 반사층(17) 및 캡핑층(35)을 포함할 수 있다.

[52] 상기 접촉층(15)은 상기 제1 도전형 반도체층(13) 아래에 배치될 수 있다. 상기 접촉층(15)은 상기 제1 도전형 반도체층(13)과 직접 접촉될 수 있다. 상기 접촉층(15)은 제1 도전형 반도체층(13) 및 상기 반사층(17) 사이에 배치될 수 있다. 상기 접촉층(15)은 상기 제1 도전형 반도체층(13)과 전기적으로 연결될 수 있다. 상기 접촉층(15)은 전도성 산화물, 전도성 질화물 또는 금속일 수 있다. 예컨대 상기 접촉층(15)은 ITO(Indium Tin Oxide), ITON(ITO Nitride), IZO(Indium Zinc Oxide), IZON(IZO Nitride), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), ZNO, IrOx, RuOx, NiO, In, Au, W, Al, Pt, Ag, Ti 중에서 적어도 하나를 포함할 수 있다.

[53] 상기 반사층(17)은 상기 접촉층(15)과 상기 캡핑층(35) 사이에 배치될 수 있다. 상기 반사층(17)은 상기 접촉층(15) 및 캡핑층(35)에 전기적으로 연결될 수 있다. 상기 반사층(17)은 상기 발광구조물(10)로부터 입사되는 빛을 반사시키는 기능을 포함할 수 있다. 상기 반사층(17)은 상기 발광구조물(10)로부터의 광을 외부로 반사시켜 광 추출 효율을 향상시킬 수 있다. 상기 반사층(17)은 금속일 수 있다. 예컨대 상기 반사층(17)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Cu, Au, Hf 중 적어도 하나를 포함하는 금속 또는 합금일 수 있다. 상기 반사층(17)은 상기 금속 또는 합금과 ITO(Indium-Tin-Oxide), IZO(Indium-Zinc-Oxide), IZTO(Indium-Zinc-Tin-Oxide), IAZO(Indium-Aluminum-Zinc-Oxide), IGZO(Indium-Gallium-Zinc-Oxide), IGTO(Indium-Gallium-Tin-Oxide), AZO(Aluminum-Zinc-Oxide), ATO(Antimony-Tin-Oxide) 등의 투명 전도성 물질의 단층 또는 다층일 수 있다.

[54] 상기 캡핑층(35)은 상기 반사층(17)의 아래에 배치될 수 있다. 상기 캡핑층(35)은 상기 반사층(17)의 하부면과 직접 접촉될 수 있다. 상기 캡핑층(35)은 상기 반사층(17)으로부터 노출된 상기 접촉층(15)의 일부와 직접 접촉될 수 있다. 상기 캡핑층(35)은 상기 패드(92) 아래에 배치될 수 있다. 상기

- 캡핑층(35)은 상기 패드(92)와 전기적으로 연결될 수 있다. 상기 캡핑층(35)은 상기 패드(92)의 하부면과 직접 접촉될 수 있다. 상기 캡핑층(35)은 상기 패드(92)로부터 공급되는 구동전원을 상기 발광구조물(10)에 제공할 수 있다. 상기 캡핑층(35)은 도전성 물질일 수 있다. 예컨대 상기 캡핑층(35)은 Au, Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다. 상기 캡핑층(35)의 가장자리는 상기 발광구조물(10)의 가장자리보다 더 외측에 배치될 수 있다.
- [55] 상기 제2 전극(33)은 상기 제1 도전형 반도체층(11)과 전기적으로 연결될 수 있다. 상기 제2 전극(33)은 리세스(2) 내에 배치될 수 있다. 제2 전극(33)은 Cr, V, W, Ti, Zn, Ni, Cu, Al, Au, Mo 중에서 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다.
- [56] 제2 전극(33)의 아래에는 확산 방지층(50), 본딩층(60), 지지부재(70)가 순차적으로 배치될 수 있다.
- [57] 상기 확산 방지층(50)은 상기 제1 전극(81)으로 상기 본딩층(60)에 포함된 물질의 확산을 방지하는 기능을 포함할 수 있다. 상기 확산 방지층(50)은 본딩층(60) 및 지지부재(70)와 전기적으로 연결될 수 있다. 상기 확산 방지층(50)은 Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다.
- [58] 상기 본딩층(60)은 상기 확산 방지층(50) 아래에 배치될 수 있다. 상기 본딩층(60)은 상기 확산 방지층(50)과 상기 지지부재(70) 사이에 배치될 수 있다. 상기 본딩층(60)은 베리어 금속 또는 본딩 금속 등을 포함할 수 있다. 예컨대 상기 본딩층(60)은 Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag, Nb, Pd 또는 Ta 중 적어도 하나를 포함할 수 있으며 단층 또는 다층으로 형성될 수 있다.
- [59] 상기 지지부재(70)는 금속 또는 캐리어 기판일 수 있다. 예컨대 상기 지지부재(70)는 Ti, Cr, Ni, Al, Pt, Au, W, Cu, Mo, Cu-W 또는 불순물이 주입된 반도체 기판(예: Si, Ge, GaN, GaAs, ZnO, SiC, SiGe 등) 중에서 적어도 어느 하나로 형성될 수 있으며, 단층 또는 다층으로 형성될 수 있다.
- [60] 상기 패드(92)는 제1 전극(81) 위에 배치될 수 있다. 상기 패드(92)는 상기 제1 전극(81)과 전기적으로 연결될 수 있다. 상기 패드(92)는 상기 발광구조물(10)로부터 이격될 수 있다. 상기 패드(92)는 상기 발광구조물(10)보다 외측에 배치될 수 있다. 상기 패드(92)는 상기 발광구조물(10)보다 외측에 위치한 상기 제1 전극(81) 위에 배치될 수 있다. 상기 패드(92)는 발광소자(100)의 제1 모서리(101)에 인접하게 배치될 수 있다. 상기 패드(92)는 Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다.
- [61] 실시 예의 반도체 소자(100)는 상기 발광구조물(10) 위에 배치된 페시베이션층(95)을 포함할 수 있다. 상기 페시베이션층(95)은 상기 발광구조물(10)의 표면을 보호하고, 상기 패드(92)와 상기 발광구조물(10)의

- 사이를 절연시킬 수 있다. 상기 페시베이션층(95)은 상기 발광구조물(10)을 구성하는 반도체층의 물질보다 낮은 굴절률을 가지며, 상기 발광구조물(10) 내의 광은 굴절률이 낮은 페시베이션층(95)으로 굴절되므로 발광구조물(10)과 페시베이션층(95) 계면에서의 전반사를 줄여 광 추출 효율을 개선시켜 줄 수 있다. 예컨대 상기 페시베이션층(95)은 산화물 또는 질화물로 구현될 수 있다. 예컨대 상기 페시베이션층(95)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다.
- [62] 실시 예의 반도체 소자(100)는 상기 제1 전극(81)과 상기 제2 전극(33)을 서로 절연시키는 절연층(41)을 더 포함할 수 있다. 상기 절연층(41)은 상기 제1 전극(81)과 상기 제2 전극(33) 사이에 배치될 수 있다. 상기 절연층(41)은 산화물 또는 질화물일 수 있다. 예컨대 상기 절연층(41)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택될 수 있다.
- [63] 실시 예의 반도체 소자(100)는 상기 제2 전극(33)과 상기 제1 도전형 반도체층(11)을 전기적으로 연결시키는 복수의 리세스(2), 제2 전극(33) 및 복수의 연결부(16)를 포함할 수 있다.
- [64] 상기 복수의 리세스(2)는 상기 발광구조물(10) 내에 배치될 수 있다. 상기 리세스(2)는 상기 제2 전극(33)과 상기 제1 도전형 반도체층(11)을 전기적으로 연결시키기 위해 상기 제1 도전형 반도체층(11)의 일부를 노출시키는 기능을 포함할 수 있다. 상기 복수의 리세스(2)는 상기 일정한 간격을 두고 배치될 수 있다. 상기 리세스(2)의 너비는 모두 동일할 수 있으나, 이에 한정되는 것은 아니다.
- [65] 상기 제2 전극(33)은 상기 복수의 리세스(2) 내에 배치될 수 있다. 상기 제2 전극(33)은 상기 리세스(2)로부터 노출된 제1 도전형 반도체층(11)과 전기적으로 연결될 수 있다. 상기 제2 전극(33)은 상기 리세스(2)로부터 노출된 상기 제1 도전형 반도체층(11)과 직접 접촉될 수 있다. 상기 제2 전극(33)은 Cr, V, W, Ti, Zn, Ni, Cu, Al, Au, Mo 중에서 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다.
- [66] 상기 복수의 연결부(51)는 상기 제2 전극(33) 아래에 배치될 수 있다. 상기 복수의 연결부(51)는 상기 제2 전극(33)과 전기적으로 연결될 수 있다. 상기 복수의 연결부(51)는 상기 절연층(41)을 관통하여 상기 지지부재(70)와 연결될 수 있다. 상기 복수의 연결부(51)는 상기 절연층(41)을 관통하여 상기 확산 방지층(50)과 직접 접촉될 수 있다. 상기 복수의 연결부(51)는 상기 Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag, Nb, Pd 또는 Ta 중 적어도 하나를 포함할 수 있다. 상기 제2 전극(33) 및 상기 복수의 연결부(51)는 상기 돌출부(16)와 수직으로 중첩될 수 있다.
- [67] 실시 예의 반도체 소자(100)는 상기 제2 전극(33)과 상기 활성층(12) 및 제1 도전형 반도체층(13)을 전기적으로 절연시키는 제1 내지 제7 절연 패턴(30A 내지 30G)을 포함할 수 있다. 상기 제1 내지 제7 절연 패턴(30A 내지 30G)은

절연물질 일 수 있다. 예컨대 상기 제1 내지 제7 절연 패턴(30A 내지 30G)은 산화물 또는 질화물일 수 있다. 예컨대 상기 제1 내지 제7 절연 패턴(30A 내지 30G)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택될 수 있다. 상기 제1 내지 제7 절연 패턴(30A 내지 30G)은 광이 투과될 수 있는 광투과 물질을 포함할 수 있으나, 이에 한정되는 것은 아니다.

[68] 상기 제1 내지 제6 절연 패턴(30A 내지 30F)은 상기 복수의 리세스(2)의 아래에 배치될 수 있다. 상기 제1 내지 제6 절연 패턴(30A 내지 30F)은 상기 복수의 리세스(2)의 측벽에 배치될 수 있다. 상기 제1 내지 제6 절연 패턴(30A 내지 30F)은 상기 복수의 리세스(2)의 측벽으로 노출된 상기 발광구조물(10)을 덮고, 상기 발광구조물(10)의 하부면 방향으로 연장될 수 있다. 상기 제1 내지 제6 절연 패턴(30A 내지 30F)의 탑뷰 형상은 원형일 수 있으나, 이에 한정되는 것은 아니다. 예컨대 상기 제1 내지 제6 절연 패턴(30A 내지 30F)은 타원형, 적어도 3 이상의 다각형일 수 있다.

[69] 제1 절연 패턴(30A)은 패드(92)로부터 가장 가깝게 배치된 패턴이며, 제6 절연패턴(30F)은 패드(92)로부터 가장 멀게 배치된 패턴일 수 있다.

[70] 상기 제1 내지 제6 절연 패턴(30A 내지 30F)은 수평으로 서로 다른 너비를 가질 수 있다. 상기 제1 내지 제6 절연 패턴(30A 내지 30F)의 너비는 상기 패드(92)로부터 멀어질수록 작아질 수 있다. 실시 예의 상기 제1 내지 제6 절연 패턴(30A 내지 30F)은 탑뷰가 원형일 수 있으나, 이에 한정되는 것은 아니다. 상기 제1 내지 제6 절연 패턴(30A 내지 30F)이 원형일 경우, 상기 제1 내지 제6 절연 패턴(30A 내지 30F)의 너비는 직경일 수 있다. 상기 제1 내지 제6 절연 패턴(30A 내지 30F)의 너비는 상기 패드(92)가 위치한 제1 모서리(101)로부터 제2 모서리(103)로 갈수록 작아질 수 있다. 여기서, 상기 제1 및 제2 모서리(101, 103)는 제1 대각선 방향(X-X')로 서로 마주보도록 배치될 수 있다. 예컨대 상기 제1 내지 제6 절연 패턴(30A 내지 30F)은 각각 제1 내지 제6 너비(W-1 내지 W-6)를 가질 수 있다. 상기 제1 절연 패턴(30A)의 제1 너비(W-1)는 상기 제2 절연 패턴(30B)의 제2 너비(W-2)보다 클 수 있다. 상기 제2 절연 패턴(30B)의 제2 너비(W-2)는 상기 제3 절연 패턴(30C)의 제3 너비(W-3)보다 클 수 있다. 상기 제3 절연 패턴(30C)의 상기 제3 너비(W-3)는 상기 제4 절연 패턴(30D)의 제4 너비(W-4)보다 클 수 있다. 상기 제4 절연 패턴(30D)의 제4 너비(W-4)는 상기 제5 절연 패턴(30E)의 제5 너비(W-5)보다 클 수 있다. 상기 제5 절연 패턴(30E)의 제5 너비(W-5)는 상기 제6 절연 패턴(30F)의 제6 너비(W-6)보다 클 수 있다. 실시 예는 상기 패드(92)와 인접할수록 넓은 너비를 갖도록 함으로써, 상기 패드(92)와 인접한 제1 도전형 반도체층(11)과 제2 전극(33) 주변으로 집중되는 전류 밀집(current crowding) 현상을 개선할 수 있다. 즉, 실시 예는 상기 패드(92)와 인접한 영역의 제2 전극(33)과 제1 전극(81)의 접촉영역을 줄여 전류 퍼짐을 유도함으로써, 상기 패드(92)와 인접한 영역일수록 전류가 집중되는 문제를

개선할 수 있다.

- [71] 예컨대 상기 제1 절연 패턴(30A)의 제1 너비(W-1)가 100%일 경우, 상기 제2 절연 패턴(30B)의 제2 너비(W-2)는 93%~95%일 수 있고, 상기 제3 절연 패턴(30C)의 제3 너비(W-3)는 86%~90%일 수 있고, 상기 제4 절연 패턴(30D)의 제4 너비(W-4)는 79%~85%일 수 있고, 상기 제5 절연 패턴(30E)의 제5 너비(W-5)는 72%~80%일 수 있고, 상기 제6 절연 패턴(30F)의 제6 너비(W-6)는 65%~75%일 수 있다. 여기서, 상기 제2 내지 제6 절연 패턴(30B 내지 30F)의 제2 내지 제6 너비(W-2 내지 W-6)는 상기 제1 절연 패턴(30A)의 제1 너비(W-1)를 기준으로 설명하고 있지만, 이에 한정되지 않고, 상기 제2 내지 제6 절연 패턴(30B 내지 30F)의 제2 내지 제6 너비(W-2 내지 W-6) 각각은 이전 절연 패턴의 너비를 기준으로 93%~95%일 수 있다. 상기 제1 절연 패턴(30A)의 제1 너비(W-1)와 상기 제6 절연 패턴(30F)의 제6 너비(W-6)는 35% 이하의 차이를 가질 수 있다. 제1 내지 제6 절연 패턴(30A 내지 30F)의 너비는 소정 거리 이격될 때마다 2% 내지 8%씩 차이가 날 수 있다. 제1 절연 패턴(30A)과 제6 절연 패턴(30F)의 너비는 35% 이하의 차이를 가질 수 있다.
- [72] 상기 제1 내지 제6 절연 패턴(30A 내지 30F)의 너비 범위의 미만일 경우 예컨대 상기 제5 및 제6 절연 패턴(30E, 30F) 사이의 제5 간격(I-5)이 100%일 경우, 상기 제4 및 제5 절연 패턴(30D, 30E) 사이의 제4 간격(I-4)은 94%~97%일 수 있고, 상기 제3 및 제4 절연 패턴(30C, 30D) 사이의 제3 간격(I-3)은 91%~94%일 수 있고, 상기 제2 및 제3 절연 패턴(30B, 30C) 사이의 제2 간격(I-2)은 88%~91%일 수 있고, 상기 제1 및 제2 절연 패턴(30A, 30B) 사이의 제1 간격(I-1)은 85%~88%일 수 있다. 여기서, 실시 예는 상기 제5 및 제6 절연 패턴(30E, 30F) 사이의 제5 간격(I-5)를 기준으로 설명하고 있지만, 이에 한정되지 않고, 상기 제1 내지 제6 절연 패턴(30A 내지 30F)의 간격들은 이전 절연 패턴들의 간격을 기준으로 94%~97%일 수 있다.
- [73] 상기 제7 절연 패턴(30G)은 상기 발광구조물(10)의 하부면으로부터 외측방향으로 연장될 수 있다. 즉, 상기 제7 절연 패턴(30G)의 가장자리는 상기 발광구조물(10)의 가장자리 하부면 및 상기 제1 전극(81)의 가장자리 상부면 상에 배치될 수 있다. 상기 제7 절연 패턴(30G)은 상기 발광구조물(10)의 측면보다 더 외측으로 연장될 수 있다. 상기 제7 절연 패턴(30G)은 외부의 습기 침투를 방지하고, 에칭 공정 시에 발광구조물(10), 제1 및 제2 전극(33)들로 전달되는 충격을 개선할 수 있다. 상기 제7 절연 패턴(30G)은 상기 패드(92)와 상기 제1 전극(81)이 전기적으로 연결되도록 상기 캡핑층(35)을 노출시키는 비아홀(30VH)을 포함하고, 상기 비아홀(30VH)은 상기 패드(92)와 수직으로 중첩될 수 있다.
- [74] 실시 예의 반도체 소자(100)는 상기 패드(92)로부터 멀어질수록 너비가 작아지는 제1 내지 제6 절연 패턴(30A 내지 30F)을 구비하여 전류 퍼짐을 유도함으로써, 상기 패드(92)와 인접한 제2 전극(33) 주변에서 집중되는 전류

밀집을 방지하여 전기적 특성을 개선할 수 있다.

- [75] 도 5 내지 도 13은 제1 실시예에 따른 반도체 소자의 제조방법을 도시한 도면이다.
- [76] 도 5를 참조하면, 발광구조물(10)은 기판(5) 상에 형성될 수 있다.
- [77] 상기 기판(5)은 단층 또는 다층으로 형성될 수 있다. 상기 기판(5)은 전도성 기판 또는 절연성 기판일 수 있다. 예컨대 상기 기판(5)은 GaAs, 사파이어(Al_2O_3), SiC, Si, GaN, ZnO, GaP, InP, Ge 및 Ga_2O_3 중 적어도 하나일 수 있다. 상기 기판(5)은 발광구조물(10) 형성 전에 세정공정이 진행되어 표면의 불순물이 제거될 수 있다.
- [78] 예컨대 상기 발광구조물(10)은 유기금속 화학 증착법(MOCVD; Metal Organic Chemical Vapor Deposition), 화학 증착법(CVD; Chemical Vapor Deposition), 플라즈마 화학 증착법(PECVD; Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(MBE; Molecular Beam Epitaxy), 수소화물 기상 성장법(HVPE; Hydride Vapor Phase Epitaxy) 등의 방법으로 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [79] 상기 제1 도전형 반도체층(11)은 반도체 화합물, 예컨대 족-족 및 족-족 등의 화합물 반도체로 구현될 수 있다. 상기 제1 도전형 반도체층(11)은 단층 또는 다층으로 형성될 수 있다. 상기 제1 도전형 반도체층(11)은 제1 도전형 도펀트가 도핑될 수 있다. 예컨대 상기 제1 도전형 반도체층(11)이 n형 반도체층인 경우, n형 도펀트를 포함할 수 있다. 예컨대 상기 n형 도펀트는 Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되지 않는다. 상기 제1 도전형 반도체층(11)은 $In_xAl_yGa_{1-x-y}N$ ($0=x=1, 0=y=1, 0=x+y=1$)의 조성식을 갖는 반도체 물질을 포함할 수 있으나, 이에 한정되는 것은 아니다. 예컨대 상기 제1 도전형 반도체층(11)은 GaN, AlN, AlGaN, InGaN, InN, InAlGaN, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있다.
- [80] 상기 활성층(12)은 상기 제1 도전형 반도체층(11) 아래에 배치될 수 있다. 상기 활성층(12)은 단일 양자 우물, 다중 양자 우물(MQW), 양자 선(quantum wire) 구조 또는 양자 점(quantum dot) 구조를 선택적으로 포함할 수 있다. 상기 활성층(12)은 화합물 반도체로 구성될 수 있다. 상기 활성층(12)은 예로서 족-족 및 족-족 화합물 반도체 중에서 적어도 하나로 구현될 수 있다. 상기 활성층(12)은 다중 양자 우물 구조(MQW)로 구현된 경우, 양자우물과 양자벽이 교대로 배치될 수 있다. 상기 양자우물과 양자벽은 각각 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료일 수 있다. 예컨대 상기 활성층(12)은 InGaN/GaN, InGaN/AlGaN, InGaN/InGaN, InAlGaN/InAlGaN, GaN/AlGaN, InAlGaN/GaN, GaInP/AlGaInP, GaP/AlGaP, InGaP/AlGaP, GaAs/AlGaAs, InGaAs/AlGaAs 중 어느 하나 이상의 페어 구조로 형성될 수 있으나 이에 한정되는 것은 아니다.
- [81] 상기 제2 도전형 반도체층(13)은 상기 활성층(12) 아래에 배치될 수 있다. 상기 제2 도전형 반도체층(13)은 반도체 화합물, 예컨대 족-족 및 족-족 화합물

반도체로 구현될 수 있다. 상기 제2 도전형 반도체층(13)은 단층 또는 다층으로 형성될 수 있다. 상기 제2 도전형 반도체층(13)은 제2 도전형 도펀트가 도핑될 수 있다. 예컨대 상기 제2 도전형 반도체층(13)이 p형 반도체층인 경우, p형 도펀트를 포함할 수 있다. 예컨대 상기 p형 도펀트는 Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있으나 이에 한정되는 것은 아니다. 상기 제2 도전형 반도체층(13)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0=x=1$, $0=y=1$, $0=x+y=1$)의 조성식을 갖는 반도체 물질을 포함할 수 있으나 이에 한정되는 것은 아니다. 예컨대 상기 제2 도전형 반도체층(13)은 GaN, AlN, AlGaN, InGaN, InN, InAlGaN, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있다.

- [82] 상기 발광구조물(10)은 n형 반도체층의 상기 제1 도전형 반도체층(11), p형 반도체층의 제2 도전형 반도체층(13)을 한정하여 설명하고 있지만, 상기 제1 도전형 반도체층(11)을 p형 반도체층, 상기 제2 도전형 반도체층(13)을 n형 반도체층으로 형성할 수도 있으며, 이에 한정되는 것은 아니다. 상기 제2 도전형 반도체층(13) 위에는 상기 제2 도전형과 반대의 극성을 갖는 반도체 예컨대 n형 반도체층(미도시)을 형성할 수 있다. 이에 따라 발광구조물(10)은 n-p 접합 구조, p-n 접합 구조, n-p-n 접합 구조, p-n-p 접합 구조 중 어느 한 구조로 구현할 수 있다.
- [83] 상기 발광구조물(10)에는 복수의 리세스(2)가 형성될 수 있다. 상기 리세스(2)의 바닥면에는 상기 제1 도전형 반도체층(11)이 노출되고, 상기 리세스(2)의 측벽에는 제1 도전형 반도체층(11), 활성층(12) 및 제2 도전형 반도체층(13)이 노출될 수 있다.
- [84] 도 1 및 도 6을 참조하면, 제1 내지 제7 절연 패턴(30A 내지 30G) 및 제2 전극(33)은 상기 발광구조물(10) 상에 형성될 수 있다.
- [85] 상기 제1 내지 제7 절연 패턴(30A 내지 30G)은 에칭 공정을 통해서 패턴 형태로 형성될 수 있으나, 이에 한정되는 것은 아니다. 예컨대 상기 제1 내지 제7 절연 패턴(30A 내지 30G)은 플라즈마 데미지(Plasma Damage_schottky)를 통해서 형성될 수도 있다. 상기 제1 내지 제7 절연 패턴(30A 내지 30G)은 절연물질 일 수 있다. 예컨대 상기 제1 내지 제7 절연 패턴(30A 내지 30G)은 산화물 또는 질화물일 수 있다. 예컨대 상기 제1 내지 제7 절연 패턴(30A 내지 30G)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택될 수 있다. 상기 제1 내지 제7 절연 패턴(30A 내지 30G)은 광이 투과될 수 있는 광투과 물질을 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [86] 상기 제1 내지 제6 절연 패턴(30A 내지 30G)은 상기 복수의 리세스(2)의 측벽 및 상기 제1 도전형 반도체층(13)의 상부면으로 연장될 수 있다. 상기 제1 내지 제6 절연 패턴(30A 내지 30G)의 탑뷰 형상은 원형일 수 있으나, 이에 한정되는 것은 아니다. 예컨대 상기 제1 내지 제6 절연 패턴(30A 내지 30G)은 타원형, 적어도 3 이상의 다각형일 수 있다.
- [87] 상기 제1 내지 제6 절연 패턴(30A 내지 30F)은 상기 복수의 리세스(2) 내에

배치될 수 있다. 상기 제1 내지 제6 절연 패턴(30A 내지 30F)은 상기 복수의 리세스(2)의 측벽에 배치될 수 있다. 상기 제1 내지 제6 절연 패턴(30A 내지 30F)은 상기 복수의 리세스(2)의 측벽으로 노출된 상기 발광구조물(10)을 덮고, 상기 발광구조물(10)의 하부면 방향으로 연장될 수 있다. 상기 제1 내지 제6 절연 패턴(30A 내지 30F)의 탐부 형상은 원형일 수 있으나, 이에 한정되는 것은 아니다. 예컨대 상기 제1 내지 제6 절연 패턴(30A 내지 30F)은 타원형, 적어도 3 이상의 다각형일 수 있다.

[88] 상기 제1 내지 제6 절연 패턴(30A 내지 30F)은 수평으로 서로 다른 너비를 가질 수 있다. 상기 제1 내지 제6 절연 패턴(30A 내지 30F)의 너비는 상기 패드(92)로부터 멀어질수록 작아질 수 있다. 실시 예의 상기 제1 내지 제6 절연 패턴(30A 내지 30F)는 탐부가 원형일 수 있으나, 이에 한정되는 것은 아니다. 상기 제1 내지 제6 절연 패턴(30A 내지 30F)이 원형일 경우, 상기 제1 내지 제6 절연 패턴(30A 내지 30F)의 너비는 직경일 수 있다. 이와 다르게, 제1 내지 제6 절연 패턴(30A 내지 30F)이 원형이 아닐 경우, 너비는 리세스 중심으로부터 절연 패턴의 끝단까지의 거리일 수 있다.

[89] 상기 제1 내지 제6 절연 패턴(30A 내지 30F)의 너비는 상기 패드(92)가 위치한 제1 모서리(101)로부터 제2 모서리(103)로 갈수록 작아질 수 있다. 여기서, 상기 제1 및 제2 모서리(101, 103)는 제1 대각선 방향(X-X')으로 서로 마주보도록 배치될 수 있다. 예컨대 상기 제1 내지 제6 절연 패턴(30A 내지 30F)은 각각 제1 내지 제6 너비(W-1 내지 W-6)를 가질 수 있다. 상기 제1 절연 패턴(30A)의 제1 너비(W-1)는 상기 제2 절연 패턴(30B)의 제2 너비(W-2)보다 클 수 있다. 상기 제2 절연 패턴(30B)의 제2 너비(W-2)는 상기 제3 절연 패턴(30C)의 제3 너비(W-3)보다 클 수 있다. 상기 제3 절연 패턴(30C)의 제3 너비(W-3)는 상기 제4 절연 패턴(30D)의 제4 너비(W-4)보다 클 수 있다. 상기 제4 절연 패턴(30D)의 제4 너비(W-4)는 상기 제5 절연 패턴(30E)의 제5 너비(W-5)보다 클 수 있다. 상기 제5 절연 패턴(30E)의 제5 너비(W-5)는 상기 제6 절연 패턴(30F)의 제6 너비(W-6)보다 클 수 있다. 실시 예는 상기 패드(92)와 인접할수록 넓은 너비를 갖도록 함으로써, 상기 패드(92)와 인접한 제1 도전형 반도체층(11)과 제2 전극(33) 주변으로 집중되는 전류 밀집(current crowding) 현상을 개선할 수 있다. 즉, 실시 예는 상기 패드(92)와 인접한 영역의 제2 전극(33)과 제1 전극(81)의 접촉영역을 줄여 전류 퍼짐을 유도함으로써, 상기 패드(92)와 인접한 영역일수록 전류가 집중되는 문제를 개선할 수 있다.

[90] 예컨대 상기 제1 절연 패턴(30A)의 제1 너비(W-1)가 100%일 경우, 상기 제2 절연 패턴(30B)의 제2 너비(W-2)는 93%~95%일 수 있고, 상기 제3 절연 패턴(30C)의 제3 너비(W-3)는 86%~90%일 수 있고, 상기 제4 절연 패턴(30D)의 제4 너비(W-4)는 79%~85%일 수 있고, 상기 제5 절연 패턴(30E)의 제5 너비(W-5)는 72%~80%일 수 있고, 상기 제6 절연 패턴(30F)의 제6 너비(W-6)는 65%~75%일 수 있다. 여기서, 상기 제2 내지 제6 절연 패턴(30B 내지 30F)의 제2

내지 제6 너비(W-2 내지 W-6)는 상기 제1 절연 패턴(30A)의 제1 너비(W-1)를 기준으로 설명하고 있지만, 이에 한정되지 않고, 상기 제2 내지 제6 절연 패턴(30B 내지 30F)의 제2 내지 제6 너비(W-2 내지 W-6) 각각은 이전 절연 패턴의 너비를 기준으로 93%~95%일 수 있다. 상기 제1 절연 패턴(30A)의 제1 너비(W-1)와 상기 제6 절연 패턴(30F)의 제6 너비(W-6)는 35% 이하의 차이를 가질 수 있다. 상기 제1 내지 제6 절연 패턴(30A 내지 30F)의 너비 범위의 미만일 경우, 전류 퍼짐 효과가 저하될 수 있고, 상기 제1 내지 제6 절연 패턴(30A 내지 30F)의 너비가 상기 범위를 초과할 경우, 빛이 투과되지 못하는 상기 제1 내지 제6 절연 패턴(30A 내지 30F)의 전체 면적이 증가하므로 광 추출 효율이 저하될 수 있다.

- [91] 상기 복수의 리세스(2)는 일정한 간격을 두고 배치되고, 상기 제1 내지 제6 절연 패턴(30A 내지 30F)의 너비는 상기 패드(92)로부터 멀어질수록 작아지므로 상기 제1 내지 제6 절연 패턴(30A 내지 30F)사이의 간격은 점차 커질 수 있다. 상기 제1 및 제2 절연 패턴(30A, 30B) 사이의 제1 간격(I-1)은 상기 제2 및 제3 절연 패턴(30B, 30C) 사이의 제2 간격(I-2)보다 작을 수 있다. 상기 제2 및 제3 절연 패턴(30B, 30C) 사이의 제2 간격(I-2)은 상기 제3 및 제4 절연 패턴(30C, 30D) 사이의 제3 간격(I-3)보다 작을 수 있다. 상기 제3 및 제4 절연 패턴(30C, 30D) 사이의 제3 간격(I-3)은 제4 및 제5 절연 패턴(30D, 30E) 사이의 제4 간격(I-4)보다 작을 수 있다. 상기 제4 및 제5 절연 패턴(30D, 30E) 사이의 제4 간격(I-4)은 상기 제5 및 제6 절연 패턴(30E, 30F) 사이의 제5 간격(I-5)보다 작을 수 있다. 실시 예는 제2 전극(33)가 일정 간격을 갖고, 상기 제1 내지 제6 절연 패턴(30A 내지 30F)의 너비가 패드(92)와 인접할수록 증가하므로 상기 제1 내지 제6 절연 패턴(30A 내지 30F)의 간격은 패드(92)와 인접할수록 감소할 수 있다. 여기서, 제2 방향(Y-Y')으로 나란하게 배치된 절연 패턴들 사이의 간격은 서로 같을 수 있다.
- [92] 예컨대 상기 제5 및 제6 절연 패턴(30E, 30F) 사이의 제5 간격(I-5)이 100%일 경우, 상기 제4 및 제5 절연 패턴(30D, 30E) 사이의 제4 간격(I-4)은 94%~97%일 수 있고, 상기 제3 및 제4 절연 패턴(30C, 30D) 사이의 제3 간격(I-3)은 91%~94%일 수 있고, 상기 제2 및 제3 절연 패턴(30B, 30C) 사이의 제2 간격(I-2)은 88%~91%일 수 있고, 상기 제1 및 제2 절연 패턴(30A, 30B) 사이의 제1 간격(I-1)은 85%~88%일 수 있다. 여기서, 실시 예는 상기 제5 및 제6 절연 패턴(30E, 30F) 사이의 제5 간격(I-5)를 기준으로 설명하고 있지만, 이에 한정되지 않고, 상기 제1 내지 제6 절연 패턴(30B 내지 30F)의 간격들은 이전 절연 패턴들의 간격을 기준으로 94%~97%일 수 있다.
- [93] 상기 제7 절연 패턴(30G)은 상기 발광구조물(10)의 하부면으로부터 외측방향으로 연장될 수 있다. 즉, 상기 제7 절연 패턴(30G)의 가장자리는 상기 발광구조물(10)의 가장자리 하부면 및 상기 제1 전극(81)의 가장자리 상부면 상에 배치될 수 있다. 상기 제7 절연 패턴(30G)은 상기 발광구조물(10)의 측면보다 더 외측으로 연장될 수 있다. 상기 제7 절연 패턴(30G)은 외부의 습기

침투를 방지하고, 에칭 공정 시에 발광구조물(10), 제1 및 제2 전극(33)들로 전달되는 충격을 개선할 수 있다.

- [94] 상기 제2 전극(33)은 상기 복수의 리세스(2) 내에 배치될 수 있다. 상기 제2 전극(33)은 상기 리세스(2)의 바닥면으로부터 노출된 제1 도전형 반도체층(11)과 전기적으로 연결될 수 있다. 상기 제2 전극(33)은 상기 리세스(2)로부터 노출된 상기 제1 도전형 반도체층(11)과 직접 접촉될 수 있다. 상기 제2 전극(33)의 측면은 상기 복수의 리세스(2)의 측벽에 형성된 상기 제1 내지 제6 절연 패턴(30A 내지 30F)과 접촉될 수 있다. 상기 제2 전극(33)은 Cr, V, W, Ti, Zn, Ni, Cu, Al, Au, Mo 중에서 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다.
- [95] 도 7을 참조하면, 접촉층(15) 및 반사층(17)은 제1 내지 제6 절연 패턴(30A 내지 30G)으로부터 노출된 발광구조물(10) 상에 형성될 수 있다. 상기 접촉층(15) 및 반사층(17)은 에칭 공정을 통해서 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [96] 상기 접촉층(15)은 상기 제1 도전형 반도체층(13)의 상부면 위에 형성될 수 있다. 상기 접촉층(15)은 상기 제1 도전형 반도체층(13)과 직접 접촉될 수 있다. 상기 접촉층(15)은 제1 도전형 반도체층(13) 및 상기 반사층(17) 사이에 배치될 수 있다. 상기 접촉층(15)은 상기 제1 도전형 반도체층(13)과 전기적으로 연결될 수 있다. 상기 접촉층(15)은 전도성 산화물, 전도성 질화물 또는 금속일 수 있다. 예컨대 상기 접촉층(15)은 ITO(Indium Tin Oxide), ITON(ITO Nitride), IZO(Indium Zinc Oxide), IZON(IZO Nitride), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrOx, RuOx, NiO, In, Au, W, Al, Pt, Ag, Ti 중에서 적어도 하나를 포함할 수 있다.
- [97] 상기 반사층(17)은 상기 접촉층(15) 위에 형성될 수 있다. 상기 반사층(17)은 상기 발광구조물(10)로부터 입사되는 빛을 반사시키는 기능을 포함할 수 있다. 상기 반사층(17)은 상기 발광구조물(10)로부터의 광을 외부로 반사시켜 광 추출 효율을 향상시킬 수 있다. 상기 반사층(17)은 금속일 수 있다. 예컨대 상기 반사층(17)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Cu, Au, Hf 중 적어도 하나를 포함하는 금속 또는 합금일 수 있다. 상기 반사층(17)은 상기 금속 또는 합금과 ITO(Indium-Tin-Oxide), IZO(Indium-Zinc-Oxide), IZTO(Indium-Zinc-Tin-Oxide), IAZO(Indium-Aluminum-Zinc-Oxide), IGZO(Indium-Gallium-Zinc-Oxide), IGTO(Indium-Gallium-Tin-Oxide), AZO(Aluminum-Zinc-Oxide), ATO(Antimony-Tin-Oxide) 등의 투명 전도성 물질의 단층 또는 다층일 수 있다.
- [98] 도 8을 참조하면, 캡핑층(35)은 상기 반사층(17) 및 제7 절연 패턴(30G) 위에 형성될 수 있다. 상기 캡핑층(35)은 에칭 공정을 통해서 형성될 수 있으나, 이에 한정되는 것은 아니다.

- [99] 상기 캡핑층(35)은 상기 반사층(17)의 상부면 및 제7 절연 패턴(30G)의 상부면과 직접 접촉될 수 있다. 상기 캡핑층(35)은 상기 반사층(17)으로부터 노출된 상기 접촉층(15)의 일부와 직접 접촉될 수 있다. 상기 캡핑층(35)은 도전성 물질일 수 있다. 예컨대 상기 캡핑층(35)은 Au, Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다.
- [100] 도 9를 참조하면, 절연층(41)은 캡핑층(35), 접촉층(15), 반사층(17) 및 제1 내지 제6 절연 패턴(30A 내지 30F) 위에 형성될 수 있다.
- [101] 상기 절연층(41)은 상기 캡핑층(35), 접촉층(15) 및 반사층(17)의 상부를 덮을 수 있다. 상기 절연층(41)은 산화물 또는 질화물일 수 있다. 예컨대 상기 절연층(41)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택될 수 있다.
- [102] 복수의 연결부(51)는 별도의 홀을 통해서 상기 절연층(41) 내에 형성될 수 있다. 상기 복수의 연결부(51)는 에칭 공정 등으로 절연층(41)으로부터 노출되는 상기 제2 전극(33)의 상부면과 직접 접촉될 수 있다. 상기 복수의 연결부(51)는 상기 제2 전극(33)과 전기적으로 연결될 수 있다. 상기 복수의 연결부(51)의 상부면은 상기 절연층(41)의 상부면과 나란하게 배치될 수 있다. 상기 복수의 연결부(51)는 상기 Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag, Nb, Pd 또는 Ta 중 적어도 하나를 포함할 수 있다.
- [103] 도 10을 참조하면, 상기 확산 방지층(50)은 상기 절연층(41) 위에 형성될 수 있다. 상기 확산 방지층(50)은 상기 본딩층(60)에 포함된 물질이 제1 전극(81)으로 확산되는 것을 차단하는 기능을 포함할 수 있다. 상기 확산 방지층(50)은 본딩층(60) 및 지지부재(70)와 전기적으로 연결될 수 있다. 상기 확산 방지층(50)은 Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다.
- [104] 상기 본딩층(60)은 상기 확산 방지층(50) 위에 형성될 수 있다. 상기 본딩층(60)은 상기 확산 방지층(50)과 상기 지지부재(70) 사이에 배치될 수 있다. 상기 본딩층(60)은 베리어 금속 또는 본딩 금속 등을 포함할 수 있다. 예컨대 상기 본딩층(60)은 Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag, Nb, Pd 또는 Ta 중 적어도 하나를 포함할 수 있으며 단층 또는 다층으로 형성될 수 있다.
- [105] 상기 지지부재(70)는 금속 또는 캐리어 기판일 수 있다. 예컨대 상기 지지부재(70)는 Ti, Cr, Ni, Al, Pt, Au, W, Cu, Mo, Cu-W 또는 불순물이 주입된 반도체 기판(예: Si, Ge, GaN, GaAs, ZnO, SiC, SiGe 등) 중에서 적어도 어느 하나로 형성될 수 있으며, 단층 또는 다층으로 형성될 수 있다.
- [106] 도 11을 참조하면, 기판(도9의 5)은 발광구조물(10)로부터 제거될 수 있다. 예컨대 상기 기판(도9의 5)은 레이저 리프트 오프(LLO: Laser Lift Off) 공정에 의해 제거될 수 있으나, 이에 한정되는 것은 아니다. 여기서, 상기 레이저 리프트 오프 공정(LLO)은 상기 기판(5)의 하부면에 레이저를 조사하여, 상기 기판(5)과

상기 발광구조물(10)을 서로 박리시키는 공정이다.

- [107] 기판이 제거된 구조물은 상기 발광구조물(10)이 상부방향으로 위치하도록 회전하고, 아이솔레이션 에칭을 수행하여 상기 발광구조물(10)의 가장자리가 식각될 수 있다. 이때, 상기 제7 절연 패턴(30G)의 일부 영역은 상기 발광구조물(10)로부터 노출될 수 있다. 상기 아이솔레이션 에칭은 예컨대 ICP(Inductively Coupled Plasma)와 같은 건식 식각에 의해 실시될 수 있으나, 이에 한정되는 것은 아니다. 상기 제1 도전형 반도체층(11)은 복수의 돌출부(16)가 형성될 수 있다. 상기 돌출부(16)는 서로 일정한 간격을 두고 배치될 수 있다.
- [108] 상기 제1 도전형 반도체층(11)의 상부면은 요철 구조(11A)가 형성될 수 있다. 예컨대 상기 요철 구조(11A)는 PEC (Photo Electro Chemical) 식각 공정에 의하여 형성될 수 있으나, 이에 한정되는 것은 아니다. 상기 요철 구조(11A)는 상기 발광구조물(10)내의 광을 외부로 추출하기 위한 기능을 포함하여 광 추출 효과를 상승시킬 수 있다.
- [109] 도 12를 참조하면, 페시베이션층(95)은 상기 발광구조물(10) 위에 형성될 수 있다. 상기 페시베이션층(95)은 상기 발광구조물(10)의 표면을 보호하고, 상기 페시베이션층(95)은 상기 발광구조물(10)을 구성하는 반도체층의 물질보다 낮은 굴절률을 가지며, 광 추출 효율을 개선시켜 줄 수 있다. 예컨대 상기 페시베이션층(95)은 산화물 또는 질화물로 구현될 수 있다. 예컨대 상기 페시베이션층(95)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다.
- [110] 도 13을 참조하면, 패드(92)는 상기 제1 전극(81) 위에 형성될 수 있다. 상기 패드(92)는 상기 제1 전극(81)과 전기적으로 연결될 수 있다. 상기 패드(92)는 에칭 공정 등으로 페시베이션층(95) 및 제7 절연 패턴(30G)으로부터 노출된 제1 전극(81)의 상부면에 직접 접촉될 수 있다. 상기 패드(92)는 상기 캡핑층(35)의 상부면에 직접 접촉될 수 있다. 상기 패드(92)는 상기 발광구조물(10)보다 외측에 배치될 수 있다. 상기 패드(92)는 상기 발광구조물(10)보다 외측에 위치한 상기 제1 전극(81) 위에 배치될 수 있다. 상기 패드(92)는 반도체 소자(100)의 모서리에 인접하게 배치될 수 있다. 상기 패드(92)는 Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다.
- [111] 실시 예의 반도체 소자(100)는 상기 패드(92)로부터 멀어질수록 너비가 작아지는 제1 내지 제6 절연 패턴(30A 내지 30F)을 구비하여 전류 퍼짐을 유도함으로써, 상기 패드(92)와 인접한 제2 전극(33) 주변에서 집중되는 전류 밀집을 방지하여 전기적 특성을 개선할 수 있다.
- [112] 도 14는 제2 실시예에 따른 반도체 소자를 도시한 평면도이다.
- [113] 도 14에 도시된 바와 같이, 제2 실시예에 따른 반도체 소자(200)는 제1 내지 제4 절연 패턴(230A 내지 230D), 제1 및 제2 패드(292A, 292B)를 포함할 수 있다. 상기 제1 내지 제4 절연 패턴(230A 내지 230D), 제1 및 제2 패드(292A, 292B)를 제외한

- 구성은 도 1 내지 도 13의 실시 예의 반도체 소자(100)의 기술적 특징을 채용할 수 있다.
- [114] 제2 실시예에 따른 반도체 소자(200)는 서로 대각선으로 마주보는 제1 및 제3 모서리(201, 203)와, 제2 및 제4 모서리(202, 204)를 포함할 수 있다.
- [115] 상기 제1 패드(292A)는 상기 제1 모서리(201)에 인접하게 배치될 수 있고, 상기 제2 패드(292B)는 상기 제2 모서리(202)에 인접하게 배치될 수 있다.
- [116] 제1 내지 제4 절연 패턴(230A 내지 230D)은 제1 패드(292A)와 제2 패드(292B)를 연결한 가상의 선을 기준으로 소정 간격으로 이격되도록 배치될 수 있다.
- [117] 상기 제1 내지 제4 절연 패턴(230A 내지 230D)은 절연물질일 수 있다. 예컨대 상기 제1 내지 제4 절연 패턴(230A 내지 230D)은 산화물 또는 질화물일 수 있다. 예컨대 상기 제1 내지 제4 절연 패턴(230A 내지 230D)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택될 수 있다. 상기 제1 내지 제4 절연 패턴(230A 내지 230D)은 광이 투과될 수 있는 광투과 물질을 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [118] 상기 제1 내지 제4 절연 패턴(230A 내지 230D)은 제2 전극(233)를 감싸고, 상기 복수의 리세스 내에 배치될 수 있다. 상기 제1 내지 제4 절연 패턴(230A 내지 230D)은 상기 복수의 리세스의 측벽에 배치될 수 있다. 상기 제1 내지 제4 절연 패턴(230A 내지 230D)은 상기 복수의 리세스의 측벽으로 노출된 상기 발광구조물(10)을 덮고, 상기 발광구조물(10)의 하부면 방향으로 연장될 수 있다. 상기 제1 내지 제4 절연 패턴(230A 내지 230D)의 탐부 형상은 원형일 수 있으나, 이에 한정되는 것은 아니다. 예컨대 상기 제1 내지 제4 절연 패턴(230A 내지 230D)은 타원형, 적어도 3 이상의 다각형일 수 있다.
- [119] 상기 제1 내지 제4 절연 패턴(230A 내지 230D)은 수평으로 서로 다른 너비를 가질 수 있다. 상기 제1 내지 제4 절연 패턴(230A 내지 230D)의 너비는 상기 제1 및 제2 패드(292A, 292B)로부터 멀어질수록 작아질 수 있다. 상기 제1 내지 제4 절연 패턴(230A 내지 230D)의 너비는 상기 제1 패드(292A)가 위치한 제1 모서리(201)로부터 제1 대각선 방향(X-X')의 제3 모서리(203)로 갈수록 작아질 수 있다. 상기 제1 내지 제4 절연 패턴(230A 내지 230D)의 너비는 상기 제2 패드(291B)가 위치한 제2 모서리(202)로부터 제2 대각선 방향(Y-Y')의 제4 모서리(204)로 갈수록 작아질 수 있다. 예컨대 상기 제1 내지 제4 절연 패턴(230A 내지 230D)은 각각 제1 내지 제4 너비(W-1 내지 W-4)를 가질 수 있다. 상기 제1 절연 패턴(230A)의 제1 너비(W-1)는 상기 제2 절연 패턴(230B)의 제2 너비(W-2)보다 클 수 있다. 상기 제2 절연 패턴(230B)의 제2 너비(W-2)는 상기 제3 절연 패턴(230C)의 제3 너비(W-3)보다 클 수 있다. 상기 제3 절연 패턴(230C)의 상기 제3 너비(W-3)는 상기 제4 절연 패턴(230D)의 제4 너비(W-4)보다 클 수 있다. 다른 실시 예의 제1 내지 제4 보호패턴(230A 내지 230D)은 상기 제1 및 제2 패드(292A, 292B)와 인접할수록 넓은 너비를 갖도록

함으로써, 상기 제1 및 제2 패드(292A, 292B)와 인접한 영역으로 집중되는 전류 밀집(current crowding) 현상을 개선할 수 있다. 즉, 다른 실시 예는 상기 제1 및 제2 패드(292A, 292B)와 인접한 영역의 제2 전극과 제1 전극의 직접 접촉되는 접촉영역을 줄여 전류 퍼짐을 유도함으로써, 상기 제1 및 제2 패드(292A, 292B)와 인접할수록 전류가 집중되는 문제를 개선할 수 있다.

- [120] 예컨대 상기 제1 절연 패턴(230A)의 제1 너비(W-1)가 100%일 경우, 상기 제2 절연 패턴(230B)의 제2 너비(W-2)는 93%~95%일 수 있고, 상기 제3 절연 패턴(230C)의 제3 너비(W-3)는 86%~90%일 수 있고, 상기 제4 절연 패턴(230D)의 제4 너비(W-4)는 79%~85%일 수 있다. 여기서, 상기 제1 절연 패턴(230A)의 제1 너비(W-1)를 기준으로 설명하고 있지만, 이에 한정되지 않고, 상기 제2 내지 제4 절연 패턴(230B 내지 230D)의 제2 내지 제4 너비(W-2 내지 W-4) 각각은 이전 절연 패턴의 너비를 기준으로 93%~95%일 수 있다.
- [121] 제1 내지 제4 절연 패턴(230A 내지 230D)의 너비는 소정 거리 이격될 때마다 2% 내지 8%씩 차이가 날 수 있다. 상기 제1 절연 패턴(230A)의 제1 너비(W-1)와 상기 제4 절연 패턴(230D)의 제4 너비(W-4)는 35% 이하의 차이를 가질 수 있다. 상기 제1 내지 제4 절연 패턴(230A 내지 230D)의 너비 범위의 미만일 경우, 전류 퍼짐 효과가 저하될 수 있고, 상기 제1 내지 제4 절연 패턴(230A 내지 230D)의 너비가 상기 범위를 초과할 경우, 빛이 투과되지 못하는 상기 제1 내지 제4 절연 패턴(230A 내지 230D)의 전체 면적이 증가하므로 광 추출 효율이 저하될 수 있다.
- [122] 상기 제1 내지 제4 절연 패턴(230A 내지 230D)의 너비는 상기 제1 및 제2 패드(292A, 292B)로부터 멀어질수록 작아지므로 상기 제1 내지 제4 절연 패턴(230A 내지 230D)사이의 간격은 점차 커질 수 있다. 상기 제1 및 제2 절연 패턴(230A, 230B) 사이의 제1 간격(I-1)은 상기 제2 및 제3 절연 패턴(230B, 230C) 사이의 제2 간격(I-2)보다 작을 수 있다. 상기 제2 및 제3 절연 패턴(230B, 230C) 사이의 제2 간격(I-2)은 상기 제3 및 제4 절연 패턴(230C, 230D) 사이의 제3 간격(I-3)보다 작을 수 있다. 다른 실시 예는 제2 전극(233)가 일정 간격을 갖고, 상기 제1 내지 제4 절연 패턴(230A 내지 230D)의 너비가 상기 제1 및 제2 패드(292A, 292B)와 인접할수록 증가하므로 상기 제1 내지 제4 절연 패턴(230A 내지 230D)의 간격은 상기 제1 및 제2 패드(292A, 292B)와 인접할수록 감소할 수 있다. 여기서, 상기 제1 및 제2 패드(292A, 292B)으로부터 동일한 간격을 두고 배치된 절연 패턴들 사이의 간격은 서로 같을 수 있다.
- [123] 예컨대 상기 제3 및 제4 절연 패턴(230C, 230D) 사이의 제3 간격(I-3)이 100%일 경우, 상기 제2 및 제3 절연 패턴(230B, 230C) 사이의 제2 간격(I-2)은 94%~97%일 수 있고, 상기 제1 및 제2 절연 패턴(230A, 230B) 사이의 제1 간격(I-1)은 91%~94%일 수 있다. 여기서, 다른 실시 예는 상기 제3 및 제4 절연 패턴(230C, 230D) 사이의 제3 간격(I-3)을 기준으로 설명하고 있지만, 이에 한정되지 않고, 상기 제1 내지 제4 절연 패턴(230A 내지 230D) 사이의 간격들은 이전 절연 패턴

사이의 간격을 기준으로 94%~97%일 수 있다.

- [124] 제2 실시예의 반도체 소자(200)는 상기 제1 및 제2 패드(292A, 292B)로부터 멀어질수록 너비가 작아지는 제1 내지 제4 절연 패턴(230A 내지 230D)을 구비하여 전류 퍼짐을 유도함으로써, 상기 제1 및 제2 패드(292A, 292B)와 인접한 제2 전극(233) 주변에서 집중되는 전류 밀집을 방지하여 전기적 특성을 개선할 수 있다.
- [125] 도 15는 제3 실시예에 따른 반도체 소자를 도시한 평면도이다.
- [126] 도 15에 도시된 바와 같이, 제3 실시예에 따른 반도체 소자(300)는 제1 내지 제6 절연 패턴(330A 내지 330F)을 포함할 수 있다. 상기 제1 내지 제6 절연 패턴(330A 내지 330D)을 제외한 구성은 도 1 내지 도 13의 실시예의 반도체 소자(100)의 기술적 특징을 채용할 수 있다.
- [127] 상기 제1 내지 제6 절연 패턴(330A 내지 330F)의 너비는 패드(92)로부터 멀어질수록 작아질 수 있다. 상기 제1 내지 제6 절연 패턴(330A 내지 330F)의 너비는 도 1 내지 도 13의 실시예의 반도체 소자(100)의 기술적 특징을 채용할 수 있다.
- [128] 상기 제1 내지 제6 절연 패턴(330A 내지 330F)은 패드(92)로부터 서로 상이한 간격을 두고 배치될 수 있다. 상기 제1 내지 제6 절연 패턴(330A 내지 330F) 각각은 적어도 1 이상일 수 있다. 예컨대 2개의 제1 절연 패턴(330A)은 패드(92)로부터 동일한 간격을 두고 배치될 수 있고, 3개의 제2 절연 패턴(330B)은 상기 패드(92)로부터 동일한 간격을 두고 배치될 수 있다. 즉, 상기 제1 내지 제6 절연 패턴(330A 내지 330F)은 패드(92)를 중심으로 호 형상으로 배열될 수 있다. 상기 제1 절연 패턴(330A)들과 상기 패드(92) 사이의 제1 간격(I-11)은 서로 동일할 수 있고, 상기 제2 절연 패턴(330B)들과 상기 패드(92) 사이의 제2 간격(I-12)은 서로 동일할 수 있고, 상기 제3 절연 패턴(330C)들과 상기 패드(92) 사이의 제3 간격(I-13)은 서로 동일할 수 있고, 상기 제4 절연 패턴(330D)들과 상기 패드(92) 사이의 제4 간격(I-14)은 서로 동일할 수 있고, 상기 제5 절연 패턴(330E)들과 상기 패드(92) 사이의 제5 간격(I-15)은 서로 동일할 수 있다. 여기서, 상기 제6 절연 패턴(330F)과 상기 패드(92) 사이는 제6 간격(I-16)을 갖고, 상기 제6 절연 패턴(330F)은 상기 패드(92)로부터 가장 먼 위치에 배치될 수 있다. 또 다른 실시예에서는 상기 제6 절연 패턴(330F)이 하나로 구성되지만, 이에 한정되지 않고, 복수개로 구성될 수도 있다.
- [129] 제3 실시예는 상기 제1 내지 제6 절연 패턴(330A 내지 330F) 각각이 이격된 간격은 서로 동일할 수 있다. 예컨대 상기 제1 절연 패턴(330A)들은 서로 동일한 제7 간격(I-21)을 두고 배치될 수 있고, 상기 제2 절연 패턴(330B)들은 서로 동일한 제8 간격(I-22)을 두고 배치될 수 있고, 상기 제3 절연 패턴(330C)들은 서로 동일한 제9 간격(I-23)을 두고 배치될 수 있고, 상기 제4 절연 패턴(330D)들은 서로 동일한 제10 간격(I-24)을 두고 배치될 수 있고, 상기 제5 절연 패턴(330E)들은 서로 동일한 제11 간격(I-25)을 두고 배치될 수 있다.

- [130] 제3 실시예의 반도체 소자(300)는 상기 패드(92)로부터 일정한 간격을 두고 호 형태의 배열을 갖는 제1 내지 제6 절연 패턴(330A 내지 330F)이 패드(92)로부터 멀어질수록 너비가 작아지므로 패드(92) 주변으로 집중되는 전류 집중을 개선할 수 있다. 즉, 또 다른 실시 예는 전류 퍼짐을 유도함으로써, 상기 패드(92)와 인접한 제2 전극(33) 주변에서 집중되는 전류 밀집을 방지하여 전기적 특성을 개선할 수 있다.
- [131] 도 16은 제4 실시예에 따른 반도체 소자를 나타낸 평면도이고, 도 17은 도 16의 A-A 라인을 따라 절단한 반도체 소자를 나타낸 단면도이고, 도 18은 제4 실시예에 따른 반도체 소자의 전류 퍼짐 현상을 종래와 비교한 도면이고, 도 19는 제4 실시예에 따른 반도체 소자의 출력을 종래와 비교한 도면이다. 여기서, 도 17에서는 설명의 편의상 도 16의 리세스를 3개만 표시하기로 한다.
- [132] 도 16 및 도 17을 참조하면, 제4 실시예에 따른 반도체 소자(400)는 제1 도전형 반도체층(411), 활성층(412), 제2 도전형 반도체층(413)을 포함하는 발광구조물(410)과, 상기 제2 도전형 반도체층(413)과 전기적으로 연결되는 제2 전극(481)과, 상기 제1 도전형 반도체층(411)과 전기적으로 연결되는 제1 전극(433)과, 상기 제2 전극(481)과 전기적으로 연결되는 제1 패드와 제2 패드를 포함하는 패드부(492)를 포함할 수 있다.
- [133] 상기 발광구조물(410)은 제1 도전형 반도체층(411), 상기 제1 도전형 반도체층(411) 아래에 위치한 활성층(412) 및 상기 활성층(412) 아래에 위치한 제2 도전형 반도체층(413)을 포함할 수 있다. 상기 제1 도전형 반도체층(411)은 반도체 화합물, 예컨대 족-족 및 족-족 등의 화합물 반도체로 구현될 수 있다. 상기 제1 도전형 반도체층(411)은 단층 또는 다층으로 형성될 수 있다.
- [134] 상기 제1 도전형 반도체층(411)은 제1 도전형 도펀트가 도핑될 수 있다. 예컨대 상기 제1 도전형 반도체층(411)이 n형 반도체층인 경우, n형 도펀트를 포함할 수 있다. 예컨대 상기 n형 도펀트는 Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되지 않는다. 상기 제1 도전형 반도체층(411)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질을 포함할 수 있으나, 이에 한정되는 것은 아니다. 예컨대 상기 제1 도전형 반도체층(411)은 GaN, AlN, AlGaN, InGaN, InN, InAlGaN, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있다. 상기 제1 도전형 반도체층(411)은 상부면에 요철구조(411A)를 포함할 수 있다. 상기 요철구조(411A)는 단면이 산과 골을 갖는 형성일 수 있으나, 이에 한정되지 않고, 다각형 또는 곡률을 갖는 형상일 수도 있다. 상기 요철구조(411A)는 광 추출 효율을 향상시킬 수 있다.
- [135] 상기 활성층(412)은 상기 제1 도전형 반도체층(411) 아래에 배치될 수 있다.
- [136] 활성층(412)은 단일 양자 우물, 다중 양자 우물(MQW), 양자 선(quantum wire) 구조 또는 양자 점(quantum dot) 구조를 선택적으로 포함할 수 있다. 상기 활성층(12)는 화합물 반도체로 구성될 수 있다. 상기 활성층(12)는 예로서 족-족 및 족-족 화합물 반도체 중에서 적어도 하나로 구현될 수 있다.

- [137] 상기 활성층(412)은 다중 양자 우물 구조(MQW)로 구현된 경우, 양자우물과 양자벽이 교대로 배치될 수 있다. 상기 양자우물과 양자벽은 각각 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료일 수 있다. 예컨대 활성층(12)은 InGaN/GaN , $\text{InGaN}/\text{AlGaN}$, $\text{InGaN}/\text{InGaN}$, $\text{InAlGaN}/\text{InAlGaN}$, GaN/AlGaN , $\text{InAlGaN}/\text{GaN}$, $\text{GaInP}/\text{AlGaInP}$, GaP/AlGaP , $\text{InGaP}/\text{AlGaP}$, $\text{GaAs}/\text{AlGaAs}$, $\text{InGaAs}/\text{AlGaAs}$ 중 어느 하나 이상의 페어 구조로 형성될 수 있으나 이에 한정되는 것은 아니다.
- [138] 상기 제2 도전형 반도체층(413)은 상기 활성층(412) 아래에 배치될 수 있다.
- [139] 제2 도전형 반도체층(413)은 반도체 화합물, 예컨대 족-족 및 족-족 화합물 반도체로 구현될 수 있다. 상기 제2 도전형 반도체층(413)은 단층 또는 다층으로 형성될 수 있다. 상기 제2 도전형 반도체층(413)은 제2 도전형 도펀트가 도핑될 수 있다. 예컨대 상기 제2 도전형 반도체층(413)이 p형 반도체층인 경우, p형 도펀트를 포함할 수 있다. 예컨대 상기 p형 도펀트는 Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있으나 이에 한정되는 것은 아니다. 상기 제2 도전형 반도체층(413)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질을 포함할 수 있으나 이에 한정되는 것은 아니다. 예컨대 상기 제2 도전형 반도체층(413)은 GaN, AlN, AlGaN, InGaN, InN, InAlGaN, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있다.
- [140] 상기 발광구조물(410)은 n형 반도체층의 상기 제1 도전형 반도체층(411), p형 반도체층의 제2 도전형 반도체층(413)을 한정하여 설명하고 있지만, 상기 제1 도전형 반도체층(411)을 p형 반도체층, 상기 제2 도전형 반도체층(413)을 n형 반도체층으로 형성할 수도 있으며, 이에 한정되는 것은 아니다. 상기 제2 도전형 반도체층(413) 위에는 상기 제2 도전형과 반대의 극성을 갖는 반도체 예컨대 n형 반도체층(미도시)을 형성할 수 있다. 이에 따라 발광구조물(410)은 n-p 접합 구조, p-n 접합 구조, n-p-n 접합 구조, p-n-p 접합 구조 중 어느 한 구조로 구현할 수 있다.
- [141] 상기 제2 전극(481)은 상기 발광구조물(10) 아래에 배치될 수 있다. 상기 제2 전극(481)은 상기 발광구조물(410)과 지지부재(470) 사이에 배치될 수 있다. 상기 제2 전극(481)은 상기 제2 도전형 반도체층(413)과 전기적으로 연결될 수 있다.
- [142] 상기 제2 전극(481)은 상기 제1 전극(433)과 전기적으로 절연될 수 있다. 상기 제2 전극(481)은 접촉층(415), 반사층(417) 및 캡핑층(435)을 포함할 수 있다.
- [143] 상기 접촉층(415)은 상기 제2 도전형 반도체층(413) 아래에 배치될 수 있다. 상기 접촉층(415)은 상기 제2 도전형 반도체층(413)과 직접 접촉될 수 있다. 상기 접촉층(415)은 제2 도전형 반도체층(413) 및 상기 반사층(417) 사이에 배치되어 상기 접촉층(415)과 상기 반사층(417)을 효과적으로 접촉시키고 상기 제2 도전형 반도체층(413)으로 전류 주입을 원활하게 하는 역할을 할 수 있다. 또한, 접촉층(415)은 제2 도전형 반도체층(413)의 저면으로부터 전류 차단층(430)의 저면까지 연장되어 배치될 수 있다. 접촉층(415)이 전류 차단층(430)의 저면의

일부에 배치될 경우, 반사층(417)도 전류 차단층(430)의 일부 영역과 수직으로 중첩되도록 배치될 수 있다.

- [144] 접촉층(415)의 두께는 1nm~10nm 로 형성될 수 있다. 접촉층(415)의 두께가 1nm 미만이면 반도체 소자의 전기적인 특성이 저하되고, 접촉층(415)의 두께가 10nm를 초과하게 되면 광 흡수율 증가로 인한 추출 효율이 저하된다.
- [145] 반사층(417)이 전류 차단층(430)의 일부 영역과 수직으로 중첩될 경우, 상기 활성층(412)으로부터 발광구조물(410)의 하부로 방출되는 광을 반사할 수 있는 면적이 증가할 수 있다.
- [146] 상기 접촉층(415)은 상기 제2 도전형 반도체층(413)과 전기적으로 연결될 수 있다. 상기 접촉층(415)은 전도성 산화물, 전도성 질화물 또는 금속일 수 있다. 예컨대 상기 접촉층(415)은 ITO(Indium Tin Oxide), ITON(ITO Nitride), IZO(Indium Zinc Oxide), IZON(IZO Nitride), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrOx, RuOx, NiO, In, Au, W, Al, Pt, Ag, Ti 중에서 적어도 하나를 포함할 수 있다.
- [147] 상기 반사층(417)은 상기 접촉층(415)과 상기 캡핑층(435) 사이에 배치될 수 있다. 상기 반사층(417)은 상기 접촉층(415) 및 캡핑층(435)에 전기적으로 연결될 수 있다. 상기 반사층(417)은 상기 활성층(412)에서 상기 발광구조물(410)의 하부로 방출되는 광을 상기 발광구조물(410)의 상부로 반사시키는 기능을 포함할 수 있다. 상기 반사층(417)이 배치되는 면적은 상기 접촉층(415)이 배치되는 면적과 같거나 좁을 수 있다. 상기 반사층(17)이 배치되는 면적이 상기 접촉층(15)이 배치되는 면적보다 좁거나 같을 경우 반도체 소자의 전기적 신뢰성을 향상시킬 수 있고, 상기 반사층(417)이 배치되는 면적이 상기 접촉층(415)이 배치되는 면적보다 클 경우 광학적 특성은 향상될 수 있지만 전기적 신뢰성이 저하될 수 있다.
- [148] 상기 반사층(417)은 금속일 수 있다. 상기 반사층(417)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Cu, Au, Hf 중 적어도 하나를 포함하는 금속 또는 합금일 수 있다. 상기 반사층(417)은 상기 금속 또는 합금과 ITO(Indium-Tin-Oxide), IZO(Indium-Zinc-Oxide), IZTO(Indium-Zinc-Tin-Oxide), IAZO(Indium-Aluminum-Zinc-Oxide), IGZO(Indium-Gallium-Zinc-Oxide), IGTO(Indium-Gallium-Tin-Oxide), AZO(Aluminum-Zinc-Oxide), ATO(Antimony-Tin-Oxide) 등의 투명 전도성 물질의 단층 또는 다층일 수 있다.
- [149] 반사층(417)이 Ag/Ni층으로 이루어질 경우, Ag층의 두께는 100nm~300nm로 형성될 수 있다. Ag층의 두께가 100nm 미만이면 반사층(417)의 밀도가 높게 형성되지 않아 반사율이 현저하게 저하될 수 있다. Ag층의 두께가 300nm를 초과하면 스트레스에 의한 박리가 발생하게 된다.

- [150] Ni층의 두께는 10nm~100nm로 형성될 수 있다. Ni층의 두께가 10nm 미만이면 이송(Migration)과 응집(agglomeration) 특성이 높은 Ag 원자를 고정하는데 충분하지 않게 된다. Ni층의 두께가 100nm를 초과하면 스트레스가 커져 Ag층의 박리 발생 가능성이 높아진다.
- [151] 상기 캡핑층(435)은 상기 반사층(417)의 아래에 배치될 수 있다. 상기 접촉층(415)이 배치되는 면적보다 반사층(417)이 배치되는 면적이 클 경우, 상기 캡핑층(435)은 상기 반사층(417)으로부터 노출된 상기 접촉층(415)의 일부와 직접 접촉될 수 있다. 상기 캡핑층(435)은 상기 패드부(492) 아래에 배치될 수 있다. 상기 캡핑층(435)은 상기 패드부(492)와 전기적으로 연결될 수 있다. 상기 캡핑층(435)은 상기 패드부(492)의 저면과 직접 접촉될 수 있다.
- [152] 상기 캡핑층(435)은 상기 패드부(492)에서 제2 도전형 반도체층(413)으로 주입되는 전류가 발광구조물(410)에 골고루 퍼질 수 있도록 하는 역할을 할 수 있다.
- [153] 상기 캡핑층(435)은 상기 패드부(492)로부터 공급되는 구동 전원을 상기 발광구조물(410)에 제공할 수 있다. 상기 캡핑층(435)은 도전성 물질일 수 있다. 예컨대 상기 캡핑층(435)은 Au, Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다. 상기 캡핑층(435)의 가장자리는 상기 발광구조물(410)의 가장자리보다 더 외측에 배치될 수 있다.
- [154] 캡핑층(435)이 Ti/Ni/Ti 층으로 이루어질 경우, Ni 일측의 Ti의 두께는 1nm~3nm로 형성될 수 있다. Ti의 두께가 1nm 미만으로 형성될 경우 Ni 아래의 Ti와 Ni 상부의 Ti 사이에서 접착 특성이 약해질 수 있다. Ti의 두께가 3nm를 초과하면 접착층 자체의 박리 가능성이 높아지게 된다.
- [155] Ni의 두께는 300nm~400nm로 형성될 수 있다. Ni의 두께가 300nm 미만이면 전류 확산이 어렵게 된다. Ni의 두께가 400nm를 초과하게 되면 스트레스에 의한 박리 가능성이 높아진다.
- [156] Ni 타측의 Ti의 두께는 10nm~100nm로 형성될 수 있다. Ti의 두께가 10nm 미만으로 형성될 경우 하부 절연층과의 접착력이 떨어진다. Ti의 두께가 100nm를 초과하면 하부 절연층과의 스트레스에 의한 박리 가능성이 높아지게 된다.
- [157] 상기 지지부재(470)는 상기 제2 전극(481) 아래에 배치될 수 있다. 상기 지지부재(470)는 상기 제1 도전형 반도체층(411)과 전기적으로 연결될 수 있다. 지지부재(470)는 제1 전극(433)과 전기적으로 연결될 수 있다.
- [158] 이를 위해, 지지부재(470)는 도전성 재질을 포함할 수 있다. 상기 지지부재(470)는 금속 또는 캐리어 기판일 수 있다. 예컨대 상기 지지부재(470)는 Ti, Cr, Ni, Al, Pt, Au, W, Cu, Mo, Cu-W 또는 불순물이 주입된 반도체 기판(예: Si, Ge, GaN, GaAs, ZnO, SiC, SiGe 등) 중에서 적어도 어느 하나로 형성될 수 있으며, 단층 또는 다층으로 형성될 수 있다.

- [159] 상기 지지부재(470)의 상부에는 본딩층(460) 및 확산 방지층(450)을 포함할 수 있다.
- [160] 상기 확산 방지층(450)은 상기 본딩층(460)에 포함된 물질의 확산을 방지하는 기능을 포함할 수 있다. 상기 확산 방지층(450)은 본딩층(460) 및 지지부재(470)와 전기적으로 연결될 수 있다. 상기 확산 방지층(450)은 Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다.
- [161] 상기 본딩층(460)은 상기 확산 방지층(450) 아래에 배치될 수 있다. 상기 본딩층(460)은 상기 확산 방지층(450)과 상기 지지부재(470) 사이에 배치될 수 있다. 본딩층(460)은 확산 방지층(450)과 상기 지지부재(470) 사이를 안정적으로 접착시키는 역할을 한다. 상기 본딩층(460)은 베리어 금속 또는 본딩 금속 등을 포함할 수 있다. 예컨대 상기 본딩층(460)은 Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag, Nb, Pd 또는 Ta 중 적어도 하나를 포함할 수 있으며 단층 또는 다층으로 형성될 수 있다.
- [162] 상기 패드부(492)는 제2 전극(481) 위에 배치될 수 있다. 상기 패드부(492)는 상기 제2 전극(481)과 전기적으로 연결될 수 있다. 상기 패드부(492)는 상기 발광구조물(410)로부터 이격될 수 있다. 상기 패드부(492)는 상기 발광구조물(410)보다 외측에 배치될 수 있다. 상기 패드부(492)는 상기 발광구조물(410)보다 외측에 위치한 상기 제2 전극(481) 위에 배치될 수 있다.
- [163] 패드부(492)는 제1 패드(492a)와 제2 패드(492b)를 포함할 수 있다. 제1 패드(492a)는 반도체 소자(400)의 일측 모서리에 인접하게 배치될 수 있다. 제2 패드(492b)는 반도체 소자(400)의 타측 모서리에 인접하게 배치될 수 있다.
- [164] 상기 패드부(492)는 Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다.
- [165] 실시예의 반도체 소자(400)는 상기 발광구조물(410) 위에 배치된 페시베이션층(495)을 포함할 수 있다. 상기 페시베이션층(495)은 상기 발광구조물(410)의 표면을 보호하고, 상기 패드부(492)와 상기 발광구조물(410)의 사이를 절연시킬 수 있다. 상기 페시베이션층(495)은 상기 발광구조물(410)을 구성하는 반도체층의 물질보다 낮은 굴절률을 가지며, 상기 발광구조물(410) 내의 광은 굴절률이 낮은 페시베이션층(495)으로 굴절되므로 발광구조물(410)과 페시베이션층(495) 계면에서의 전반사를 줄여 광 추출 효율을 개선시켜 줄 수 있다. 예컨대 상기 페시베이션층(495)은 산화물 또는 질화물로 구현될 수 있다. 예컨대 상기 페시베이션층(495)은 SiO₂, SixOy, Si₃N₄, SixNy, SiOxNy, Al₂O₃, TiO₂, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다.
- [166] 실시예의 반도체 소자(400)는 상기 제2 전극(481)과 상기 제1 전극(433)를 서로 절연시키는 절연층(441)을 더 포함할 수 있다. 상기 절연층(441)은 상기 제2 전극(481)과 상기 지지부재(470) 사이에 배치될 수 있다. 상기 절연층(441)은

산화물 또는 질화물일 수 있다. 예컨대 상기 절연층(441)은 SiO_2 , SixOy , Si_3N_4 , SixNy , SiOxNy , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택될 수 있다.

- [167] 실시예의 반도체 소자(400)는 상기 지지부재(470)과 상기 제1 도전형 반도체층(411)을 전기적으로 연결시키는 복수의 리세스(402), 제1 전극(433) 및 복수의 연결부(451)를 포함할 수 있다.
- [168] 상기 복수의 리세스(402)는 상기 발광구조물(410) 내에 배치될 수 있다. 리세스(402)는 제2 도전형 반도체층(413)에서 활성층(412)을 관통하여 제1 도전형 반도체층(411)의 일부까지 형성될 수 있다. 상기 리세스(402)는 상기 지지부재(470)과 상기 제1 도전형 반도체층(411)을 전기적으로 연결시키기 위해 상기 제1 도전형 반도체층(411)의 일부를 노출시킬 수 있다. 상기 복수의 리세스(402)는 상기 일정한 간격을 두고 배치될 수 있다. 상기 리세스(402)의 너비는 모두 동일할 수 있으나, 이에 한정되는 것은 아니다. 복수의 리세스(402)의 간격은 패드부(492)로부터 멀어질수록 가깝게 배치될 수 있다. 실시예에 따른 반도체 소자의 리세스(402) 구조는 이후에 보다 상세히 설명하기로 한다.
- [169] 상기 제1 전극(433)은 상기 복수의 리세스(402) 내에 배치될 수 있다. 상기 제1 전극(433)은 상기 리세스(402)로부터 노출된 제1 도전형 반도체층(411)과 전기적으로 연결될 수 있다. 상기 제1 전극(433)은 상기 리세스(402)로부터 노출된 상기 제1 도전형 반도체층(411)과 직접 접촉될 수 있다. 상기 제1 전극(433)은 Cr, V, W, Ti, Zn, Ni, Cu, Al, Au, Mo 중에서 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다. 제1 전극(433)의 지름은 $30\mu\text{m}$ 내지 $40\mu\text{m}$ 일 수 있다.
- [170] 상기 복수의 연결부(451)는 상기 제1 전극(433) 아래에 배치될 수 있다. 상기 복수의 연결부(451)는 상기 제1 전극(433)과 전기적으로 연결될 수 있다. 상기 복수의 연결부(451)는 상기 절연층(41)을 관통하여 도전성 재질인 기판(70)과 연결될 수 있다. 상기 복수의 연결부(451)는 상기 확산 방지층(450)과 직접 접촉될 수 있다. 상기 복수의 연결부(451)는 상기 Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag, Nb, Pd 또는 Ta 중 적어도 하나를 포함할 수 있다.
- [171] 실시예의 반도체 소자(400)는 확산 방지층(450)과 상기 활성층(412) 및 제1 도전형 반도체층(413)을 절연시키는 제2 절연층(437)를 더 포함할 수 있다. 제2 절연층(437)은 제1 전극(433)의 주위를 둘러싸도록 배치될 수 있다. 제2 절연층(437)은 리세스(402)에 의해 노출된 제1 도전형 반도체층(411)의 측벽, 활성층(412)의 측벽, 제2 도전형 반도체층(413)의 측벽을 따라 배치될 수 있다. 여기서, 제2 절연층(437)의 지름은 $50\mu\text{m}$ 내지 $60\mu\text{m}$ 일 수 있다.
- [172] 제2 절연층(437)의 하부에는 제2 도전형 반도체층(413)의 하부와 접촉되는 전류 차단층(430, CBL)을 더 포함할 수 있다. 전류 차단층(430)은 리세스(2)를 둘러싸도록 배치될 수 있다. 여기서, 전류 차단층(430)은 일측이 제2 도전형

반도체층(413)과 상하로 중첩되는 하부 일측으로부터 제2 도전형 반도체층(413)과 중첩되지 않는 하부 타측 사이의 영역으로 정의될 수 있다. 전류 차단층(430)의 일측의 측벽 및 하부 일부는 접촉층(415)과 접촉될 수 있다. 전류 차단층(430)의 하부 일부는 절연층(441)과 접촉될 수 있다. 전류 차단층(430)의 지름은 $90\mu\text{m}$ 내지 $95\mu\text{m}$ 일 수 있다.

- [173] 전류 차단층(430)은 타원형 또는 적어도 3 이상의 다각형일 수 있다.
- [174] 전류 차단층(430)은 산화물 또는 질화물일 수 있다. 예컨대 전류 차단층(430)은 SiO_2 , SixOy , Si_3N_4 , SixNy , SiOxNy , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택될 수 있다. 상기 전류 차단층(430)은 광이 투과될 수 있는 광 투과 물질을 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [175] 이러한 반도체 소자는 전류가 패드부(492)에 인접한 리세스(402) 주위에 집중될 수 있기 때문에 제1 실시예의 반도체 소자는 리세스(402)의 간격을 제어하여 전류가 패드부(492) 주위 영역에 집중되는 것을 방지할 수 있다. 여기서, 리세스(402)의 간격은 리세스(402) 내에서 서로 인접하게 이격 배치된 제1 전극(433)의 중심 사이의 거리로 정의될 수 있다.
- [176] 도 16에 도시된 바와 같이, 복수의 리세스(402)는 다수의 그룹의 리세스를 포함할 수 있다. 다수의 그룹의 리세스(402)는 패드부(492)로부터 멀어질수록 리세스(402) 간격이 가깝게 배치될 수 있다.
- [177] 제1 그룹의 리세스(402-1)는 제1 패드(492a)와 제2 패드(492b) 사이에 형성된 복수의 리세스(402)를 포함할 수 있다. 제1 그룹의 리세스(402-1)는 제1 패드(492a)와 제2 패드(492b) 사이에서 제1 간격(L1)으로 제1 패드(491a)와 제2 패드(492b)를 연결한 제1 방향(D1)으로 이격 배치될 수 있다.
- [178] 제2 그룹의 리세스(402-2)는 제1 그룹의 리세스(402-1)로부터 제2 방향(D2)으로 제2 간격(L2)으로 이격 배치될 수 있다. 제2 방향(D2)은 제1 방향(D1)과 수직인 방향일 수 있으며, 제2 방향(D2)은 패드부(492)로부터 멀어지는 방향일 수 있다. 제2 간격(L2)은 제1 간격(L1)보다 클 수 있다. 제2 그룹의 리세스(402-2)들은 제1 간격(L1)과 동일하게 형성될 수 있으나, 이에 한정되지 않는다.
- [179] 제2 간격(L2)은 제1 간격(L1)의 1.25 내지 1.35배일 수 있다. 이와 다르게, 제2 간격(L2)은 아래 식에 의해 결정될 수 있다.
- [180] $\alpha L \times \beta L1$ ($\alpha=1.4\sim 1.5$, $\beta=1/5\sim 1/7$) (여기서, α, β 는 임의의 실험치)
- [181] 제3 그룹의 리세스(402-3)는 제2 그룹의 리세스(402-2)로부터 제2 방향(D2)으로 제3 간격(L3)으로 이격 배치될 수 있다. 제3 그룹의 리세스(402-3)는 제2 그룹의 리세스(402-2)보다 패드부(492)로부터의 거리가 더 멀다. 제3 간격(L3)은 제1 간격(L1)보다 작게 형성될 수 있다.
- [182] 제3 그룹의 리세스(402-3)는 다수의 그룹의 리세스를 포함할 수 있다. 제3 그룹의 리세스(402-3)는 제2 그룹의 리세스(402-2)와 인접한 제3-1 그룹의 리세스(402-31) 내지 제2 그룹의 리세스(402-2)와 가장 먼 제3-n 그룹의 리세스(402-3n)를 포함할 수 있다. 제3 그룹의 리세스(402-3)들은 패드부(492)와

- 가까울수록 그 간격이 증가할 수 있다. 예컨대, 제3 그룹의 리세스(402-3)들은 패드부(492)와 가까울수록 그 간격이 등간격으로 증가할 수 있다.
- [183] 제3 그룹의 리세스들(402-3)이 패드부(492)와 가까울수록 그 간격이 증가하게 되면, 패드부(492)에서 먼 방향의 제3 그룹의 리세스(402-3)들의 간격이 가깝기 때문에 패드부(492)에 인접하는 리세스(402) 주위에 집중되는 전류가 분산될 수 있는 효과가 있다.
- [184] 제3 그룹의 리세스(402-3) 중 패드부(492)로부터 가장 먼 거리에 배치된 제3-n 그룹의 리세스(402-3n)와 그에 인접한 제3-(n-1) 그룹(미도시)의 리세스의 간격(Ln)은 일정하게 고정될 수 있다. 예컨대, 제3-n 그룹의 리세스(2-3n)와 그에 인접한 제3-(n-1) 그룹의 리세스의 간격(Ln)은 아래 식에 의해 결정될 수 있다.
- [185] $L_n = \beta L_1$ (여기서, β 는 임의의 실험값)
- [186] β 는 반도체 소자의 크기에 따라 실험치에 의해 결정될 수 있으며, 1/5 내지 1/7로 형성될 수 있다. 예컨대, $L_1 = 1248 \mu\text{m}$ 라고 가정하면, L_n 은 $208 \mu\text{m}$ 일 수 있으며, $L(n-1)$ 은 $248 \mu\text{m}$, $L(n-2)$ 은 $288 \mu\text{m}$ 일 수 있다. 이러한 수치는 수학적 1,2에 대한 일 예로서 이에 한정되지 않는다.
- [187] 제4 실시예에 따른 반도체 소자(400)는 제1 간격(L1)에 대해 제3 그룹의 리세스(402-3)들의 간격을 결정함으로써, 제3 그룹의 리세스(402-3)들을 적절한 간격으로 배치할 수 있게 된다.
- [188] 도 18에 도시된 바와 같이, 종래 리세스 그룹의 간격을 동일하게 설정한 반도체 소자는 패드와 인접한 리세스 영역에 전류가 집중되는 모습을 볼 수 있다. 반면, 복수의 리세스 그룹의 간격을 제어한 제4 실시예에 대한 반도체 소자는 전류가 리세스 그룹들의 전 영역에 고르게 분포된 것을 알 수 있다.
- [189] 도 19에 도시된 바와 같이, 종래 전류를 350mA에서 1500mA로 증가시키면 제1 실시예에 대한 반도체 소자는 종래에 비해 0.4%의 출력을 절감할 수 있음을 알 수 있다.
- [190] 제4 실시예에 따른 반도체 소자는 전류의 집중을 방지하면서, 발열 특성을 개선하여 수명 및 신뢰성을 개선할 수 있는 효과가 있다. 또한, 온도 저하로 인한 방열 비용을 감소할 수 있다.
- [191] 도 20은 제5 실시예에 따른 반도체 소자를 나타낸 평면도이다. 여기서, 제5 실시예에 따른 반도체 소자는 패드가 1개일 경우를 설명한다. 또한, 제5 실시예에 따른 반도체 소자의 복수의 리세스들의 간격 외의 구성은 제4 실시예에 따른 반도체 소자와 동일하므로 도 17을 참고하여 설명한다.
- [192] 제5 실시예에 따른 반도체 소자는 제1 도전형 반도체층(411), 제2 도전형 반도체층(413), 상기 제1 도전형 반도체층(411)과 상기 제2 도전형 반도체층(413) 사이에 배치되는 활성층(412) 및 상기 제2 도전형 반도체층(411)에서 상기 활성층(412)을 관통하여 상기 제1 도전형 반도체층(411)의 일부까지 형성되는 복수개의 리세스를 포함하는 발광구조물(410)과, 상기 복수개의 리세스 내부에 배치되고 상기 제2 도전형 반도체층(413)과 전기적으로 연결되는 제2

전극(481)과, 상기 제1 도전형 반도체층(411)과 전기적으로 연결되는 제1 전극(433)과, 상기 제2 전극(481)과 전기적으로 연결되는 패드(592)를 포함하고, 상기 복수의 리세스 중 제1 그룹의 리세스(502-1)는 상기 패드(592)와 제1 방향(D1)과 상기 제1 방향(D1)과 수직한 제2 방향(D2)으로 인접하게 배치되어 제1 간격(L1)을 이루고, 상기 복수의 리세스 중 제2 그룹의 리세스(502-2)는 상기 제1 그룹의 리세스(502-1)에서 제1 방향(D1)과 제2 방향(D2) 사이의 제3 방향(D3)으로 제1 간격(L1)보다 작은 간격으로 배치될 수 있다. 여기서, 제5 실시예에 따른 반도체 소자의 복수의 리세스들의 간격 외의 구성은 제1 실시예에 따른 반도체 소자와 동일하므로 생략한다.

- [193] 도 5에 도시된 바와 같이, 패드(592)는 반도체 소자(500)의 일측 모서리에 인접하게 배치될 수 있다. 복수의 리세스(502)는 다수의 그룹의 리세스를 포함할 수 있다. 다수의 그룹의 리세스는 패드(592)에서 가까워질수록 등간격을 이루며 증가할 수 있다.
- [194] 제1 그룹의 리세스(502-1)는 제1 간격(L1)을 이루는 다수의 리세스를 포함할 수 있다. 제1 그룹의 리세스(502-1)는 패드(592)와 제1 방향(D1)과 제2 방향(D2)으로 인접하게 배치된 복수의 리세스를 포함할 수 있다. 제1 그룹의 리세스(502-1)는 패드(592)와 제3 방향(D3)으로 이격되어 배치될 수 있다.
- [195] 제2 그룹의 리세스(502-2)는 제1 그룹의 리세스(502-1)와 제3 방향(D3)으로 이격 배치될 수 있다. 제2 그룹의 리세스(502-2)는 제1 그룹의 리세스(502-1)와 제1 간격(L1)보다 작은 간격으로 이격 배치될 수 있다.
- [196] 제2 그룹의 리세스(502-21)는 제1 그룹의 리세스(502-1)와 인접한 제2-1 그룹의 리세스(502-21) 내지 제2-n 그룹의 리세스(502-2n)를 포함할 수 있다. 제2-n 그룹의 리세스(502-2n)는 제1 그룹의 리세스(502-1)와 가장 먼 거리의 그룹 리세스일 수 있다. 제2-n 그룹의 리세스(502-2n)와 제2-(50n-1) 그룹의 리세스(502-(2n-1))의 간격(Ln)은 제1 간격(L1)의 1/5 내지 1/7의 간격으로 형성될 수 있다.
- [197] 제5 실시예에 따른 반도체 소자는 제1 간격(L1)에 대해 패드(592)로부터 제3 방향(D3)으로 배치된 리세스들의 간격을 결정함으로써, 그룹의 리세스들을 적절하게 배치할 수 있게 된다.
- [198] 제5 실시예에 따른 반도체 소자는 제4 실시예에 따른 반도체 소자와 다르게 패드가 하나로 이루어지기 때문에 제3 방향으로 배치된 리세스의 간격을 제어하여 패드 주위의 리세스에 전류가 집중되는 것을 효과적으로 방지할 수 있다.
- [199] 도 21은 제6 실시예에 따른 반도체 소자를 나타낸 평면도이고, 도 22는 도 21의 B-B 라인을 따라 절단한 반도체 소자를 나타낸 단면도이다. 여기서, 도 22에서는 설명의 편의상 도 21의 리세스를 3개만 표시하기로 한다.
- [200] 도 21 및 도 22를 참조하면, 제6 실시예에 따른 반도체 소자(600)는 제1 도전형 반도체층(611), 활성층(612), 제2 도전형 반도체층(613)을 포함하는

발광구조물(610)과, 상기 제2 도전형 반도체층(613)과 전기적으로 연결되는 제2 전극(681)과, 상기 제1 도전형 반도체층(611)과 전기적으로 연결되는 제1 전극(633)과, 상기 제2 전극(681)과 전기적으로 연결되는 패드부(692)를 포함할 수 있다. 여기서, 리세스 사이의 간격 및 전류 차단층의 두께를 제외하고는 제4 실시예에 따른 반도체 소자의 구성과 동일하므로 그 설명은 생략한다.

- [201] 도 21에 도시된 바와 같이, 복수의 리세스는 다수의 그룹의 리세스를 포함할 수 있다. 다수의 그룹의 리세스는 패드부(692)로부터 멀어질수록 리세스 간격이 가깝게 배치될 수 있다.
- [202] 제1 그룹의 리세스(602-1)는 제1 패드(692a)와 제2 패드(692b) 사이에 형성된 복수의 리세스를 포함할 수 있다. 제1 그룹의 리세스(602-1)는 제1 패드(692a)와 제2 패드(692b) 사이에서 제1 간격(L1)으로 제1 패드(692a)와 제2 패드(692b)를 연결한 제1 방향(D1)으로 이격 배치될 수 있다.
- [203] 제2 그룹의 리세스(602-2)는 제1 그룹의 리세스(602-1)로부터 제2 방향(D2)으로 제2 간격(L2)으로 이격 배치될 수 있다. 제2 방향(D2)은 제1 방향(D1)과 수직인 방향일 수 있으며, 제2 방향(D2)은 패드부(692)로부터 멀어지는 방향일 수 있다. 제2 간격(L2)은 제1 간격(L1)보다 클 수 있다. 제2 그룹의 리세스(602-2)들은 제1 간격(L1)과 동일하게 형성될 수 있으나, 이에 한정되지 않는다.
- [204] 제3 그룹의 리세스(602-3)는 제2 그룹의 리세스(602-2)로부터 제2 방향(D2)으로 제3 간격(L3)으로 이격 배치될 수 있다. 제3 그룹의 리세스(602-3)는 제2 그룹의 리세스(602-2)보다 패드부(692)와의 거리가 더 멀다. 제3 간격(L3)은 제1 간격(L1)보다 작게 형성될 수 있다.
- [205] 제3 그룹의 리세스(602-3)는 다수의 그룹의 리세스를 포함할 수 있다. 제3 그룹의 리세스(602-3)는 제2 그룹의 리세스(602-2)와 인접한 제3-1 그룹의 리세스(602-31) 내지 제2 그룹의 리세스(602-2)와 가장 먼 제3-n 그룹의 리세스(602-3n)를 포함할 수 있다. 제3 그룹의 리세스(602-3n)들은 패드부(692)와 가까울수록 그 간격이 등간격으로 증가할 수 있다.
- [206] 제3 그룹의 리세스(602-3) 중 패드부(692)로부터 가장 먼 거리게 배치된 제3-n 그룹의 리세스(602-3n)와 그에 인접한 제3-(n-1) 그룹의 리세스의 간격은 일정 거리로 고정될 수 있다. 예컨대, 제3-n 그룹의 리세스(602-3n)와 그에 인접한 제3-(n-1) 그룹의 리세스의 간격은 제1 간격(L1)의 1/5 내지 1/7로 형성될 수 있다.
- [207] 전류 차단층(630)은 복수의 리세스를 둘러싸도록 배치될 수 있다. 전류 차단층(630)은 제1 그룹의 리세스(2-1)들을 둘러싸는 제1 그룹의 전류차단층(430A)과, 제2 그룹의 리세스(602-2)를 둘러싸는 제2 그룹의 전류차단층(630B)과, 제3 그룹의 리세스(602-3)를 둘러싸는 제3 그룹의 전류차단층(630C)을 포함할 수 있다. 전류 차단층(630)의 두께는 패드부(692)와 가까워질수록 등간격으로 두꺼워지도록 형성될 수 있다. 여기서, 전류 차단층(630)의 두께는 일측이 제2 도전형 반도체층(613)과 상하로 중첩되는 하부 일측으로부터 제2 도전형 반도체층(613)과 중첩되지 않는 하부 타측 사이의

간격으로 정의될 수 있다.

- [208] 제3-n 그룹의 리세스(602-3n)를 둘러싸는 제3-n 그룹의 전류차단층(630n)의 두께(T_n)는 제1 간격(L1)의 1/9 내지 1/11로 정의될 수 있다. 이로부터 패드부(692)로부터 가장 먼 영역에 배치된 제3-n 그룹의 전류차단층(630n)의 두께를 결정할 수 있다. 제3-n 그룹의 전류차단층(630n)의 두께가 100% 일 경우, 제3-(n-1) 그룹의 전류차단층(630n)의 두께는 93%~95% 일 수 있다. 또한, 제3-(n-2) 그룹의 전류차단층의 두께는 86%~90% 일 수 있다.
- [209] 제6 실시예에 따른 반도체 소자는 전류 차단층(630)의 두께를 제어하여 패드부(692)의 인접하는 리세스 영역에서 전류가 집중되는 것을 방지할 수 있다. 특히, 제6 실시예에 따른 반도체 소자는 제4 실시예에 따른 반도체 소자의 리세스 사이의 거리에 따라 그 두께를 결정함으로써, 전자와 홀과의 결합을 극대화시킬 수 있다. 이로 인해 광 효율을 극대화시킬 수 있는 효과가 있다.
- [210] 도 23은 제1 내지 제6 실시예에 따른 반도체 소자가 구비된 반도체 소자 패키지를 도시한 단면도이다.
- [211] 도 23을 참조하면, 반도체 소자 패키지(700)는 몸체(715)와, 상기 몸체(715)에 배치된 복수의 리드 프레임(721,723)과, 상기 몸체(715)에 배치되어 상기 복수의 리드 프레임(721,723)과 전기적으로 연결되는 실시예에 따른 반도체 소자(100)와, 상기 반도체 소자(100)를 덮는 몰딩 부재(731)를 포함한다. 여기서, 반도체 소자는 제1 내지 제6 실시예에 따른 반도체 소자 중 어느 하나일 수 있다.
- [212] 상기 몸체(715)는 실리콘과 같은 도전성 기판, 폴리프탈아미드(PPA) 등과 같은 합성수지 재질, 세라믹 기판, 절연 기판, 또는 금속 기판(예: MCPCB-Metal core PCB)을 포함하여 형성될 수 있다. 상기 몸체(715)는 상기 반도체 소자(100)의 주위에 캐비티(717) 구조에 의해 경사면이 형성될 수 있다. 또한 몸체(715)의 외면도 수직하거나 기울기를 가지면서 형성될 수 있다. 상기 몸체(715)는 상부가 개방된 오목한 캐비티(717)를 갖는 반사격벽(713)과 상기 반사격벽(713)을 지지하는 지지부(711) 구조를 포함할 수 있으며, 이에 대해 한정하지는 않는다.
- [213] 상기 몸체(715)의 캐비티(717) 내에는 리드 프레임(721,723) 및 상기 반도체 소자(100)가 배치된다. 상기 복수의 리드 프레임(721,723)은 상기 캐비티(717) 바닥에 서로 이격된 제1 리드 프레임(721) 및 제2리드 프레임(723)을 포함한다. 상기 반도체 소자(100)는 제2리드 프레임(723) 상에 배치되고 연결부재(703)로 제1리드 프레임(721)과 연결될 수 있다. 상기 제1리드 프레임(721) 및 제2리드 프레임(723)은 서로 전기적으로 분리되며, 상기 반도체 소자(100)에 전원을 제공한다. 상기 연결 부재(703)는 와이어를 포함할 수 있다. 또한, 상기 제1리드 프레임(721) 및 제2 리드 프레임(723)은 상기 반도체 소자(100)에서 발생된 빛을 반사시켜 광 효율을 증가시킬 수 있다. 이를 위해 상기 제1리드 프레임(721) 및 제2 리드 프레임(723)상에 별도의 반사층이 더 형성될 수 있으나 이에 한정하지 않는다. 또한, 상기 제1,2 리드 프레임(721,723)은 상기 반도체 소자(100)에서 발생된 열을 외부로 배출시키는 역할을 할 수도 있다. 상기 제1리드

프레임(721)의 리드부(722) 및 상기 제2리드 프레임(723)의 리드부(724)는 몸체(715)의 하면에 배치될 수 있다.

- [214] 상기 제1 및 제2리드 프레임(721,723)은 금속 재질, 예를 들어, 티타늄(Ti), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈륨(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P) 중 적어도 하나를 포함할 수 있다. 또한, 상기 제1, 2리드 프레임(721,723)은 단층 또는 다층 구조를 가지도록 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [215] 상기 몰딩 부재(731)는 실리콘 또는 에폭시와 같은 수지 재질을 포함하며, 상기 반도체 소자(100)를 포위하여 상기 반도체 소자(100)를 보호할 수 있다. 또한, 상기 몰딩 부재(731)에는 형광체가 포함되어 상기 반도체 소자(100)에서 방출된 광의 파장을 변화시킬 수 있다. 상기 형광체는 YAG, TAG, Silicate, Nitride, Oxy-nitride 계 물질 중에서 선택적으로 형성될 수 있다. 상기 형광체는 적색 형광체, 황색 형광체, 녹색 형광체 중 적어도 하나를 포함한다. 상기 몰딩 부재(731)는 상면이 플랫하거나 오목 또는 볼록한 형상으로 형성될 수 있다.
- [216] 상기 몰딩 부재(731) 위에는 렌즈가 배치될 수 있으며, 상기 렌즈는 상기 몰딩 부재(731)와 접촉되거나 비 접촉되는 형태로 구현될 수 있다. 상기 렌즈는 오목 또는 볼록한 형상을 포함할 수 있다. 상기 몰딩 부재(731)는 상면이 평평하거나 볼록 또는 오목하게 형성될 수 있으며 이에 한정하지 않는다.
- [217] 상술한 반도체 소자는 반도체 소자 패키지로 구성되어, 조명 시스템의 광원으로 사용될 수 있는데, 예를 들어 자동차 헤드 램프 또는 리어 램프를 포함하는 자동차 램프에 사용될 수 있다.
- [218] 도 24는 실시예에 따른 반도체 소자가 구비된 자동차 헤드램프를 나타낸 사시도이고, 도 25는 도 24의 자동차 헤드램프를 나타낸 단면도이다. 여기서, 자동차 헤드램프를 일 예로 설명하고 있으나, 자동차의 리어 램프에도 적용될 수도 있다.
- [219] 도 24에 도시된 바와 같이, 자동차용 헤드램프는 기본적으로 라이트 하우스(Light Housing, H)와 면광원을 발생시키는 조명유닛(1000)을 포함한다. 라이트 하우스(H)는 상기 조명유닛(1000)을 수납하며, 투광성 재질로 이루어질 수 있다. 차량용 라이트 하우스(H)는 장착되는 차량 부위 및 디자인에 따라 굴곡을 포함할 수 있다.
- [220] 도 25에 도시된 바와 같이, 조명유닛(1000)은 실시예에 따른 반도체 소자 패키지(1300)가 기판(1100)에 실장된 구조를 가질 수 있다. 기판(1100)은 일면에 회로 패턴이 형성된 인쇄회로기판일 수 있다. 기판(1100)은 리지드 또는 연성 재질로 형성될 수 있다.
- [221] 반도체 소자 패키지(1300) 상에는 광 가이드 부재(1400)가 배치될 수 있다. 광 가이드 부재(1400)는 반도체 소자 패키지(1300)를 매립하는 구조로 적층될 수 있다. 광 가이드 부재(1400)는 반도체 소자 패키지(1300)의 외부 표면에 광 가이드 부재(1400)와 밀착되게 형성될 수 있다.

- [222] 광 가이드 부재(1400)는 레진층을 포함할 수 있다. 레진층은 올리고머(oligomer)를 포함하는 고내열성 자외선 경화 수지로 이루어질 수 있다. 자외선 경화 수지는 우레탄 아크릴레이트(Urethane Acrylate)가 이용될 수 있으나, 이에 한정되는 것은 아니며 이외에도 에폭시 아크릴레이트(Epoxy Acrylate), 폴리에스테르 아크릴레이트(Polyester Acrylate), 폴리에테르 아크릴레이트(Polyether Acrylate), 폴리부타디엔 아크릴레이트(Polybutadiene Acrylate), 실리콘 아크릴레이트(Silicon Acrylate) 중 적어도 하나의 물질이 이용될 수 있다.
- [223] 특히 올리고머로서 우레탄 아크릴레이트(Urethane Acrylate)를 사용하는 경우, 두가지 타입의 우레탄 아크릴레이트(Urethane Acrylate)를 혼합하여 사용함으로써 각기 다른 물성을 동시에 구현할 수 있다.
- [224] 레진층은 추가적으로 모노머(monomer) 및 광개시제(photo initiator) 중 적어도 하나를 더 포함하여 이루어질 수도 있다. 또한 레진층은 고내열성을 갖는 열경화 수지로 이루어질 수 있다. 구체적으로 레진층은 폴리에스테르 폴리올(Polyester Polyol) 수지, 아크릴 폴리올(Acryl Polyol) 수지, 탄화수소계 또는/및 에스테르계의 용제 중 적어도 하나를 포함하는 열경화 수지로 이루어질 수 있다. 이러한 열경화 수지에는 도막강도 향상을 위해 열경화제가 더 포함될 수 있다.
- [225] 레진층의 굴절율은 1.4 내지 1.8 범위에서 결정될 수 있으나, 이에 한정하지 않는다.
- [226] 기관(1100)과 광 가이드 부재(1400) 사이에는 반사 부재(1200)가 더 포함될 수 있다. 반사 부재(1200)는 기관(1100)의 상면에 형성되며, 반도체 소자 패키지(1300)가 삽입 형성되는 구조로 이루어진다. 이러한 실시형태의 반사부재(1200)는 반사효율이 높은 재질로 형성됨으로써 발광유닛(130)에서 출사되는 광을 상부로 반사시켜 광손실을 줄이는 역할을 한다.
- [227] 반사부재(1200)는 필름형태로 이루어질 수 있다. 반사부재(1200)의 표면에는 반사패턴이 형성될 수 있으며, 반사패턴은 입사되는 광을 산란 및 분산시킴으로써 상부에 광이 균일하게 전달되도록 하는 역할을 한다. 반사패턴의 형성은 TiO_2 , $CaCo_3$, $BaSo_4$, Al_2O_3 , Silicon, PS 중 어느 하나를 포함하는 반사잉크를 이용하여 반사부재(1200) 표면에 인쇄함으로써 이루어질 수 있으나 이에 한정되는 것은 아니다.
- [228] 반도체 소자 패키지(1300)가 광 가이드 부재(1400)에 매립되는 경우, 구조가 단순하게 된다. 또한, 반도체 소자 패키지(1300)는 광 가이드 부재(1400)로 인해 공기로 직접 출사하는 경우보다 광의 양이 많아지게 되어 광 효율이 향상될 수 있다.
- [229] 상기 광 가이드 부재(1400)의 상부에는 광학부재(1500)가 배치될 수 있다.
- [230] 광학부재(1500)은 표면에 광학패턴을 포함하는 이너렌즈(Inner lense) 타입의 부재를 사용할 수 있다. 광학부재(1500)는 렌즈 자체의 투과율 상승으로 인한 광 효율을 높이며, 광학패턴(1500b)을 통해 차량 조명의 점등시뿐만 아니라

미점등시에도 디자인적 효과를 구현할 수 있도록 할 수 있다.

- [231] 광학부재(1500)과 상기 광 가이드 부재(1400) 사이는 일정 간격으로 이격될 수 있다. 상기 반도체 소자 패키지(1300)에서 출사되는 광을 광 가이드 부재(1400)을 통해서 유도 확산하여 상부 방향으로 면발광시키는 경우, 광 가이드 부재(1400)와 굴절율이 다른 상기 이격부의 공기층의 존재로 인해 광산란효과를 높일 수 있으며, 이에 따라 광의 균일도를 증가시킬 수 있게 된다. 결과적으로 광학 부재(150)으로 출사되는 광의 균일도(uniformity)를 향상시키는 효과, 균일한 면발광을 구현할 수 있는 효과를 갖게 된다.
- [232] 상기 광학부재(1500)은 광투과율이 좋은 투명 렌즈부재(1500a)의 표면에 방향성을 가지는 양각 또는 음각의 광학패턴(1500b)이 구현되는 구조로 형성될 수 있다.
- [233] 또한, 상술한 반도체 소자는 반도체 소자 패키지로 구성되어, 영상표시장치의 광원이나 조명 장치 등의 광원으로 사용될 수 있다.
- [234] 영상표시장치의 백라이트 유닛으로 사용될 때 에지 타입의 백라이트 유닛으로 사용되거나 직하 타입의 백라이트 유닛으로 사용될 수 있고, 조명 장치의 광원으로 사용될 때 등기구나 벌브 타입으로 사용될 수도 있으며, 또한 이동 단말기의 광원으로 사용될 수도 있다.
- [235] 반도체 소자는 상술한 발광 다이오드 외에 레이저 다이오드가 있다.
- [236] 레이저 다이오드는, 반도체 소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있다. 그리고, p-형의 제1 도전형 반도체와 n-형의 제2 도전형 반도체를 접합시킨 뒤 전류를 흘려주었을 때 빛이 방출되는 electro-luminescence(전계발광) 현상을 이용하나, 방출되는 광의 방향성과 위상에서 차이점이 있다. 즉, 레이저 다이오드는 여기 방출(stimulated emission)이라는 현상과 보강간섭 현상 등을 이용하여 하나의 특정한 파장(단색광, monochromatic beam)을 가지는 빛이 동일한 위상을 가지고 동일한 방향으로 방출될 수 있으며, 이러한 특성으로 인하여 광통신이나 의료용 장비 및 반도체 공정 장비 등에 사용될 수 있다.
- [237] 수광 소자로는 빛을 검출하여 그 강도를 전기 신호로 변환하는 일종의 트랜스듀서인 광 검출기(photodetector)를 예로 들 수 있다. 이러한 광 검출기로서, 광전지(실리콘, 셀렌), 광도전 소자(황화 카드뮴, 셀렌화 카드뮴), 포토 다이오드(예를 들어, visible blind spectral region이나 true blind spectral region에서 피크 파장을 갖는 PD), 포토 트랜지스터, 광전자 증배관, 광전관(진공, 가스 봉입), IR(Infra-Red) 검출기 등이 있으나, 실시 예는 이에 국한되지 않는다.
- [238] 또한, 광검출기와 같은 반도체 소자는 일반적으로 광변환 효율이 우수한 직접 천이 반도체(direct bandgap semiconductor)를 이용하여 제작될 수 있다. 또는, 광검출기는 구조가 다양하여 가장 일반적인 구조로는 p-n 접합을 이용하는 pin형 광검출기와, 쇼트키접합(Schottky junction)을 이용하는 쇼트키형 광검출기와, MSM(Metal Semiconductor Metal)형 광검출기 등이 있다.

- [239] 포토 다이오드(Photodiode)는 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있고, pn접합 또는 pin 구조로 이루어진다. 포토 다이오드는 역바이어스 혹은 제로바이어스를 가하여 동작하게 되며, 광이 포토 다이오드에 입사되면 전자와 정공이 생성되어 전류가 흐른다. 이때 전류의 크기는 포토 다이오드에 입사되는 광의 강도에 거의 비례할 수 있다.
- [240] 광전지 또는 태양 전지(solar cell)는 포토 다이오드의 일종으로, 광을 전류로 변환할 수 있다. 태양 전지는, 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있다.
- [241] 또한, p-n 접합을 이용한 일반적인 다이오드의 정류 특성을 통하여 전자 회로의 정류기로 이용될 수도 있으며, 초고주파 회로에 적용되어 발진 회로 등에 적용될 수 있다.
- [242] 또한, 상술한 반도체 소자는 반드시 반도체로만 구현되지 않으며 경우에 따라 금속 물질을 더 포함할 수도 있다. 예를 들어, 수광 소자와 같은 반도체 소자는 Ag, Al, Au, In, Ga, N, Zn, Se, P, 또는 As 중 적어도 하나를 이용하여 구현될 수 있으며, p형이나 n형 도펀트에 의해 도핑된 반도체 물질이나 진성 반도체 물질을 이용하여 구현될 수도 있다. 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

청구범위

- [청구항 1] 제1 도전형 반도체층, 상기 제1 도전형 반도체층 아래에 활성층, 상기 활성층 아래에 제2 도전형 반도체층, 상기 제1 도전형 반도체층의 하부를 노출시키는 복수의 리세스를 포함하는 발광구조물;
상기 발광구조물의 외측에 배치되고, 적어도 하나 이상의 모서리에 인접하게 배치된 적어도 하나의 패드; 및
상기 리세스 내에 배치되어 상기 발광구조물의 하부면으로 연장되는 복수의 절연 패턴을 포함하고,
상기 복수의 절연 패턴은 상기 패드로부터 멀어질수록 작아지는 너비를 갖는 반도체 소자.
- [청구항 2] 제 1 항에 있어서,
상기 복수의 절연 패턴은 제1 내지 제6 절연 패턴을 포함하고,
상기 제1 내지 제6 절연 패턴은 상기 패드와 인접한 제1 모서리로부터 대각선 방향으로 마주보는 제2 모서리 방향으로 배치되는 반도체 소자.
- [청구항 3] 제 2 항에 있어서,
상기 제1 절연 패턴의 너비가 100%일 경우,
상기 제6 절연 패턴의 너비는 65% 이상이고,
상기 제1 절연 패턴의 너비가 100%일 경우,
상기 제2 절연 패턴의 너비는 93%~95%, 상기 제3 절연 패턴의 너비는 86%~90%, 상기 제4 절연 패턴의 너비는 79%~85%, 상기 제5 절연 패턴의 너비는 72%~80%, 상기 제6 절연 패턴의 너비는 65%~75%인 반도체 소자.
- [청구항 4] 제 1 항에 있어서,
상기 복수의 리세스는 상기 발광구조물 상에서 일정한 가격을 두고 배치되고, 상기 복수의 리세스는 일정한 너비를 갖고,
상기 복수의 리세스 내에 배치되고, 상기 리세스로부터 노출된 상기 제1 도전형 반도체층과 직접 접촉된 제2 전극을 더 포함하고,
상기 복수의 절연 패턴은 상기 제2 전극을 감싸며, 서로 인접한 상기 절연 패턴 사이의 간격은 상기 패드로부터 멀어질수록 커지는 반도체 소자.
- [청구항 5] 제 1 항에 있어서,
상기 복수의 절연 패턴은 제1 내지 제6 절연 패턴을 포함하고,
상기 패드와 인접한 제1 절연 패턴과 제2 절연 패턴 사이의 제1 간격이 100%일 경우,
상기 제2 및 제3 절연 패턴 사이의 제2 간격은 94%~97%, 상기 제3 및 제4 절연 패턴 사이의 제3 간격은 91%~94%, 상기 제2 및 제3 절연 패턴 사이의 제2 간격은 88%~91%, 상기 제1 및 제2 절연 패턴 사이의 제1 간격은 85%~88%이고, 상기 패드는 제1 모서리에 인접하게 배치된 제1 패드 및 상기 제2 모서리와 인접하게 배치된 제2 패드를 포함하고,

상기 복수의 절연 패턴은 상기 제1 모서리로부터 대각선 방향의 제3 모서리로 갈수록 작아지는 너비를 가지며, 상기 복수의 절연 패턴은 상기 제2 모서리로부터 대각선 방향의 제4 모서리로 갈수록 작아지는 너비를 갖는 반도체 소자.

- [청구항 6] 제1 도전형 반도체층, 제2 도전형 반도체층, 상기 제1 반도체층과 상기 제2 반도체층 사이에 배치되는 활성층 및 상기 제2 도전형 반도체층에서 상기 활성층을 관통하여 상기 제1 도전형 반도체층의 일부까지 형성되는 복수개의 리세스를 포함하는 발광구조물;
 상기 복수개의 리세스 내부에 배치되고 상기 제1 도전형 반도체층과 전기적으로 연결되는 제1 전극;
 상기 제2 도전형 반도체층과 전기적으로 연결되는 제2 전극; 및
 상기 제2 전극과 전기적으로 연결되는 제1 패드와 제2 패드를 포함하는 패드부;를 포함하고,
 상기 복수의 리세스 중 제1 그룹의 리세스는 상기 제1 패드와 상기 제2 패드 사이에서 제1 간격으로 상기 제1 패드와 상기 제2 패드를 연결한 제1 방향으로 이격되어 배치되고,
 상기 복수개의 리세스 중 제2 그룹의 리세스는 상기 제1 그룹의 리세스에서 상기 제1 방향과 수직인 제2 방향으로 상기 제1 간격 보다 큰 제2 간격으로 이격되어 상기 제1 방향으로 배치되고,
 상기 복수개의 리세스 중 제3 그룹의 리세스는 상기 제2 그룹의 리세스에서 상기 제2 방향으로 상기 제1 그룹의 리세스보다 작은 제3 간격으로 이격되어 제1 방향으로 배치되는 반도체 소자.

- [청구항 7] 제 6 항에 있어서,
 상기 제3 그룹의 리세스는 상기 제2 그룹의 리세스와 인접한 제3-1 그룹의 리세스 내지 상기 제2 그룹의 리세스와 가장 먼 거리의 제3-n 그룹을 포함하고, 상기 패드부와 가까워질수록 상기 제2 그룹의 리세스 내지 상기 제3-n 그룹의 리세스들 사이의 간격이 등간격으로 증가하며, 상기 제3-n 그룹의 리세스와 제3-(n-1) 그룹의 리세스의 간격은 제1 간격의 1/5 내지 1/7 간격으로 배치되는 반도체 소자.

- [청구항 8] 제 7 항에 있어서,
 상기 제2 간격은 상기 제1 간격의 1.25 내지 1.35 배이고,
 상기 제2 간격은 아래 식에 의해 결정되며,
 $\alpha L \times \beta L$ ($\alpha=1.4\sim 1.5$, $\beta=1/5\sim 1/7$) (여기서, L은 제1 간격)
 상기 복수의 리세스를 둘러싸는 전류 차단층을 더 포함하고, 상기 전류 차단층의 두께는 상기 패드부와 가까워질수록 두꺼워지며, 상기 패드부와 가장 멀게 배치된 상기 전류 차단층의 두께는 상기 제1 간격의 1/9 내지 1/11을 포함하는 반도체 소자.

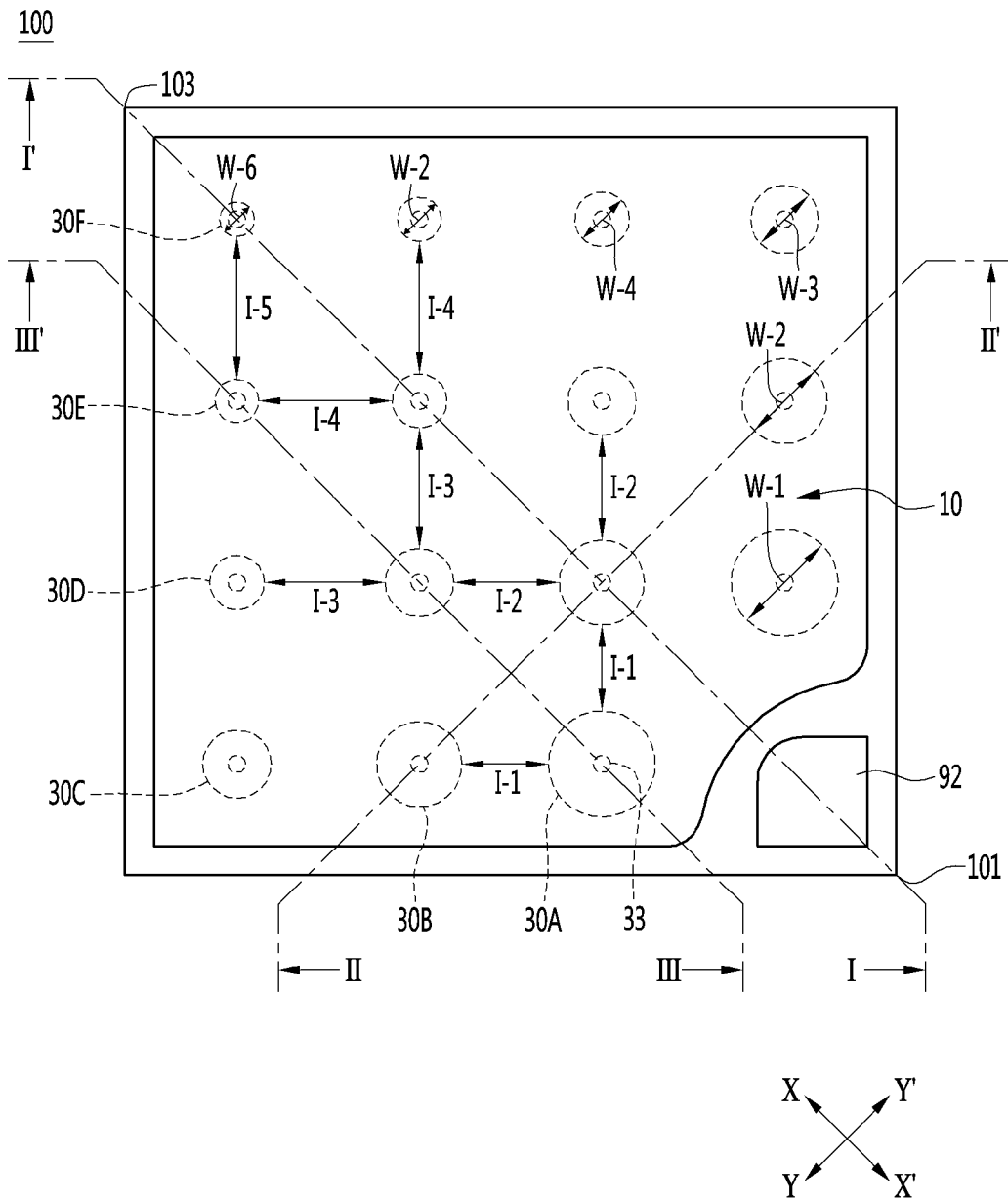
- [청구항 9] 제1 도전형 반도체층, 제2 도전형 반도체층, 상기 제1 도전형 반도체층과

상기 제2 도전형 반도체층 사이에 배치되는 활성층 및 상기 제2 도전형 반도체층에서 상기 활성층을 관통하여 상기 제1 도전형 반도체층의 일부까지 형성되는 복수개의 리세스를 포함하는 발광구조물;
 상기 복수개의 리세스 내부에 배치되고 상기 제1 반도체층과 전기적으로 연결되는 제1 전극;
 상기 제2 반도체층과 전기적으로 연결되는 제2 전극; 및
 상기 제2 전극과 전기적으로 연결되는 패드;를 포함하고,
 상기 복수의 리세스 중 제1 그룹의 리세스는 상기 패드와 제1 방향과 상기 제1 방향과 수직인 제2 방향으로 인접하게 배치되어 제1 간격을 이루고,
 상기 복수의 리세스 중 제2 그룹의 리세스는 상기 제1 그룹의 리세스에서 제1 방향과 제2 방향 사이의 제3 방향으로 제1 간격보다 작은 간격으로 배치되는 반도체 소자.

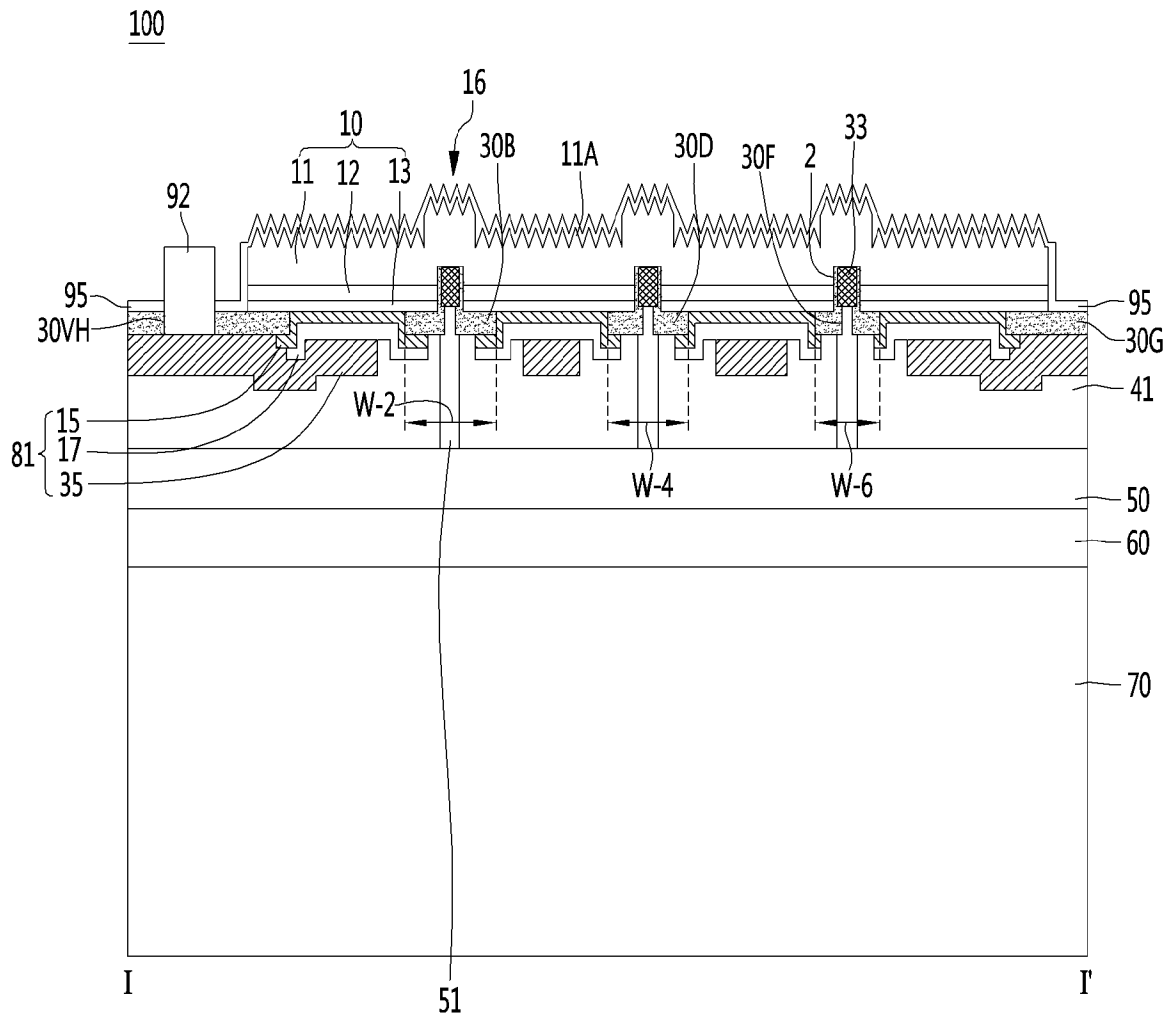
[청구항 10]

제 9 항에 있어서,
 상기 제2 그룹의 리세스는 상기 제1 그룹의 리세스와 인접한 제2-1 그룹의 리세스 내지 상기 제1 그룹의 리세스와 가장 먼 거리의 제2-n 그룹을 포함하고, 상기 패드와 가까워질수록 상기 제2 그룹의 리세스들 사이의 간격이 등간격으로 증가하고, 상기 제2-n 그룹의 리세스와 제2-(n-1) 그룹의 리세스의 간격은 제1 간격의 1/5 내지 1/7 간격으로 배치되는 반도체 소자.

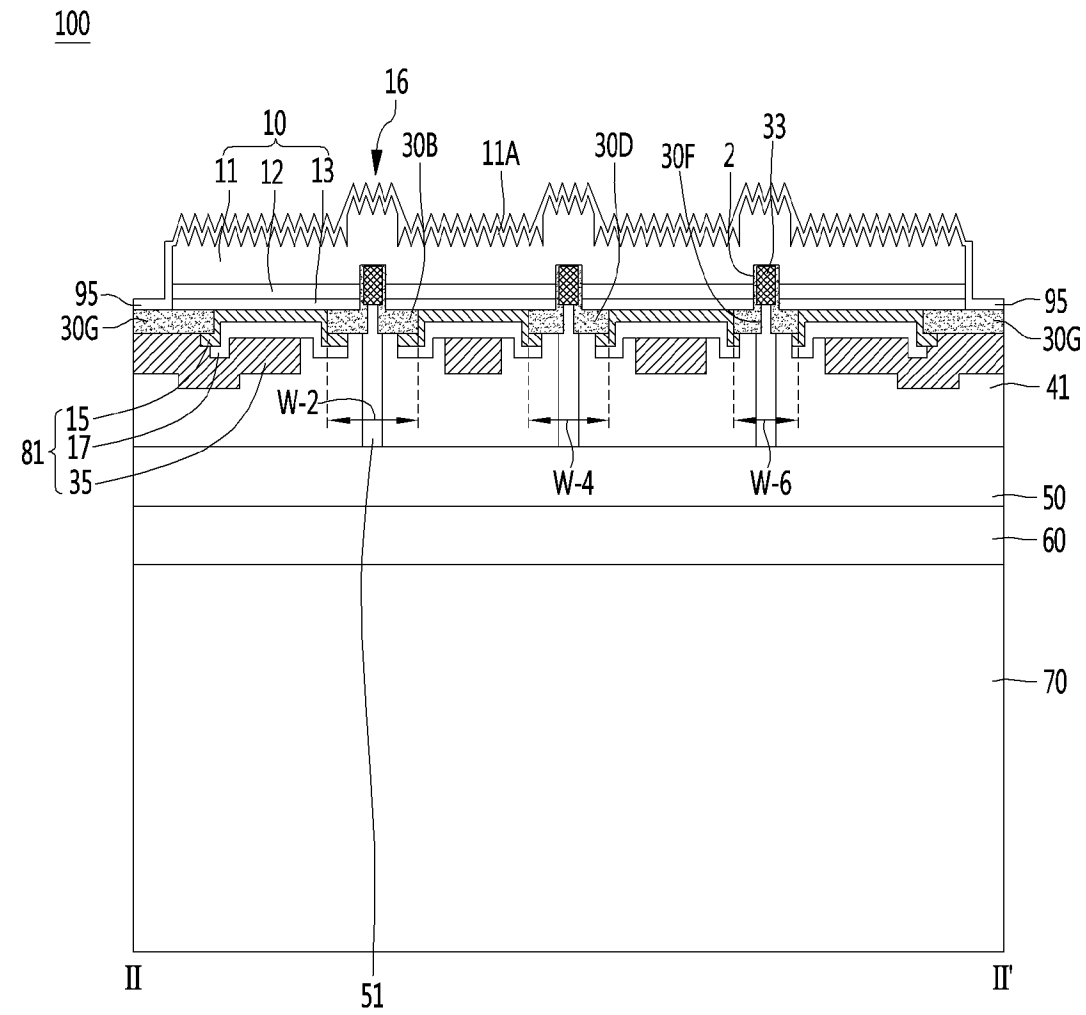
[도 1]



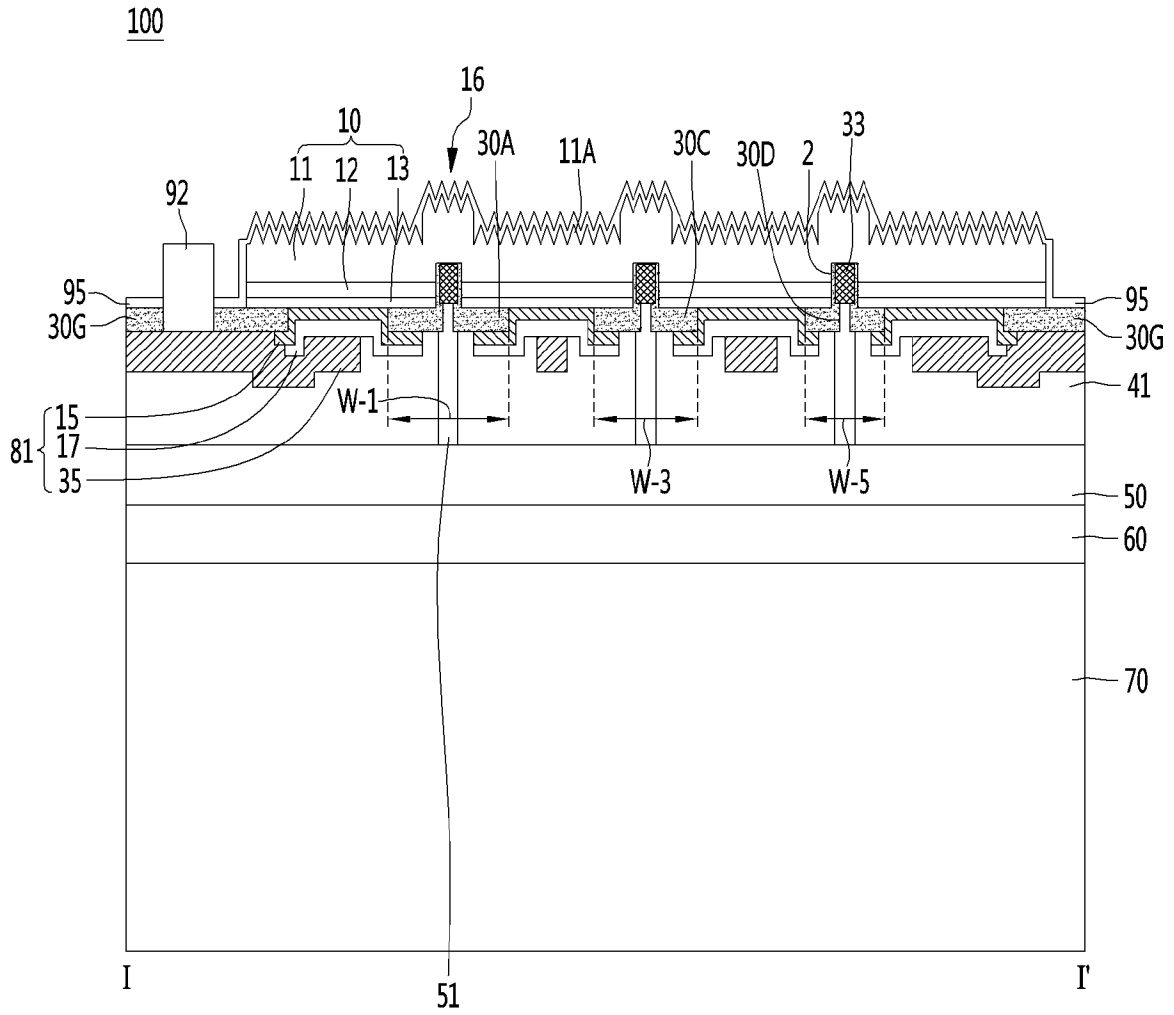
[도2]



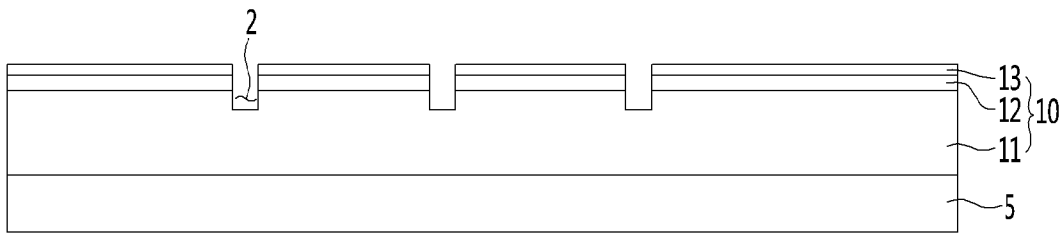
[도3]



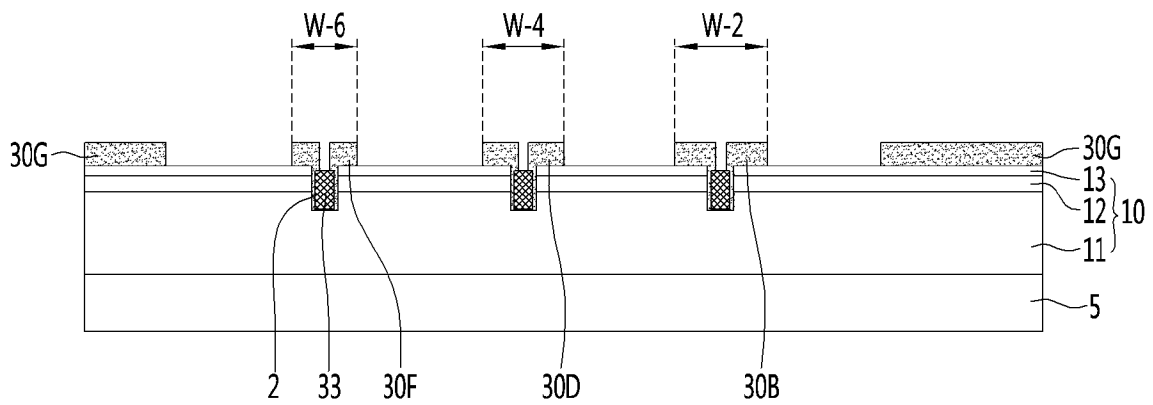
[도4]



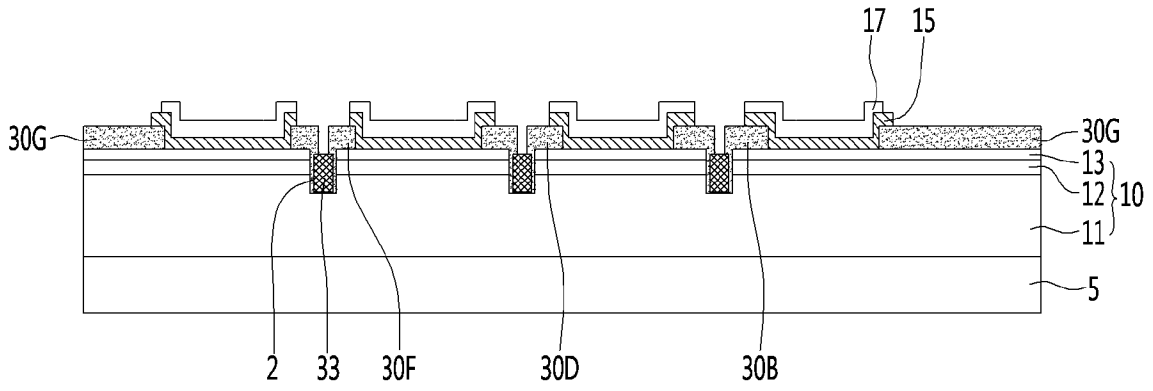
[도5]



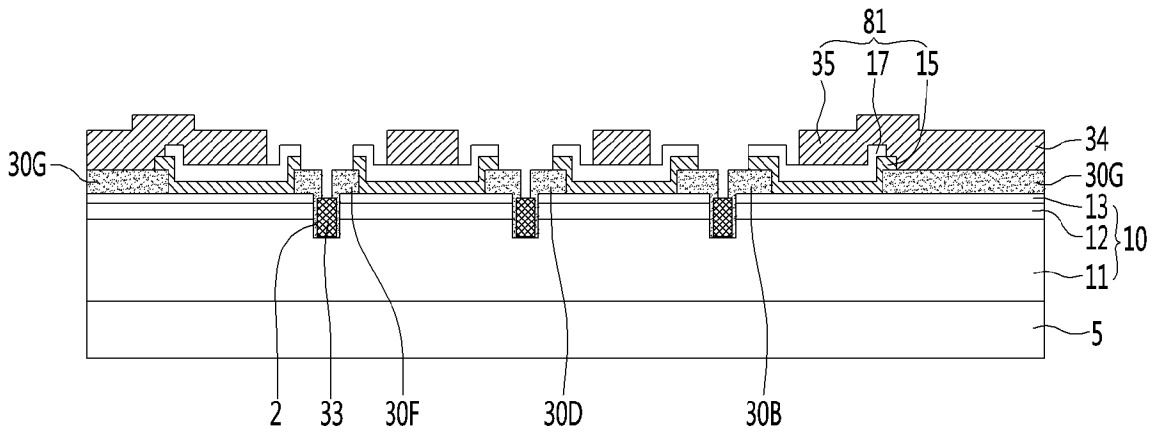
[도6]



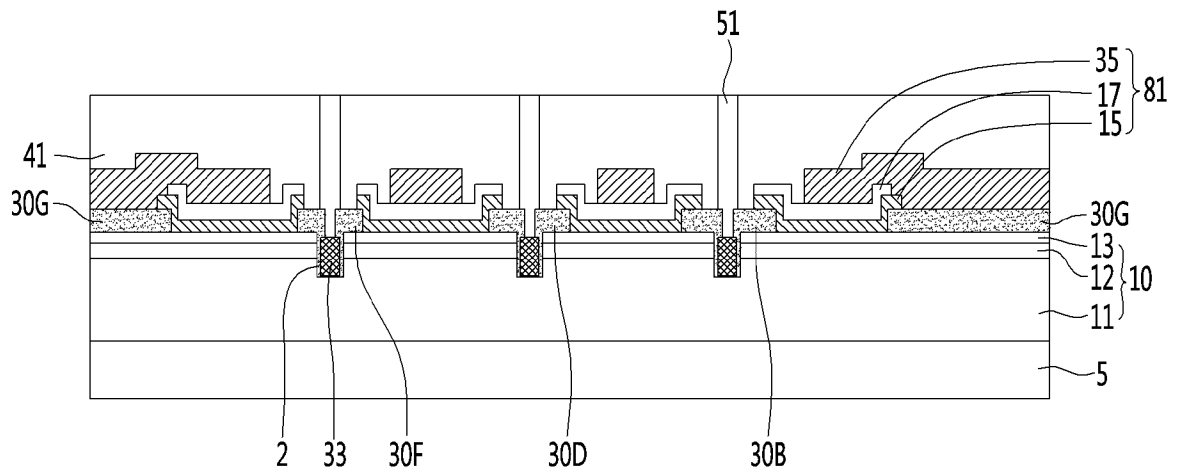
[도7]



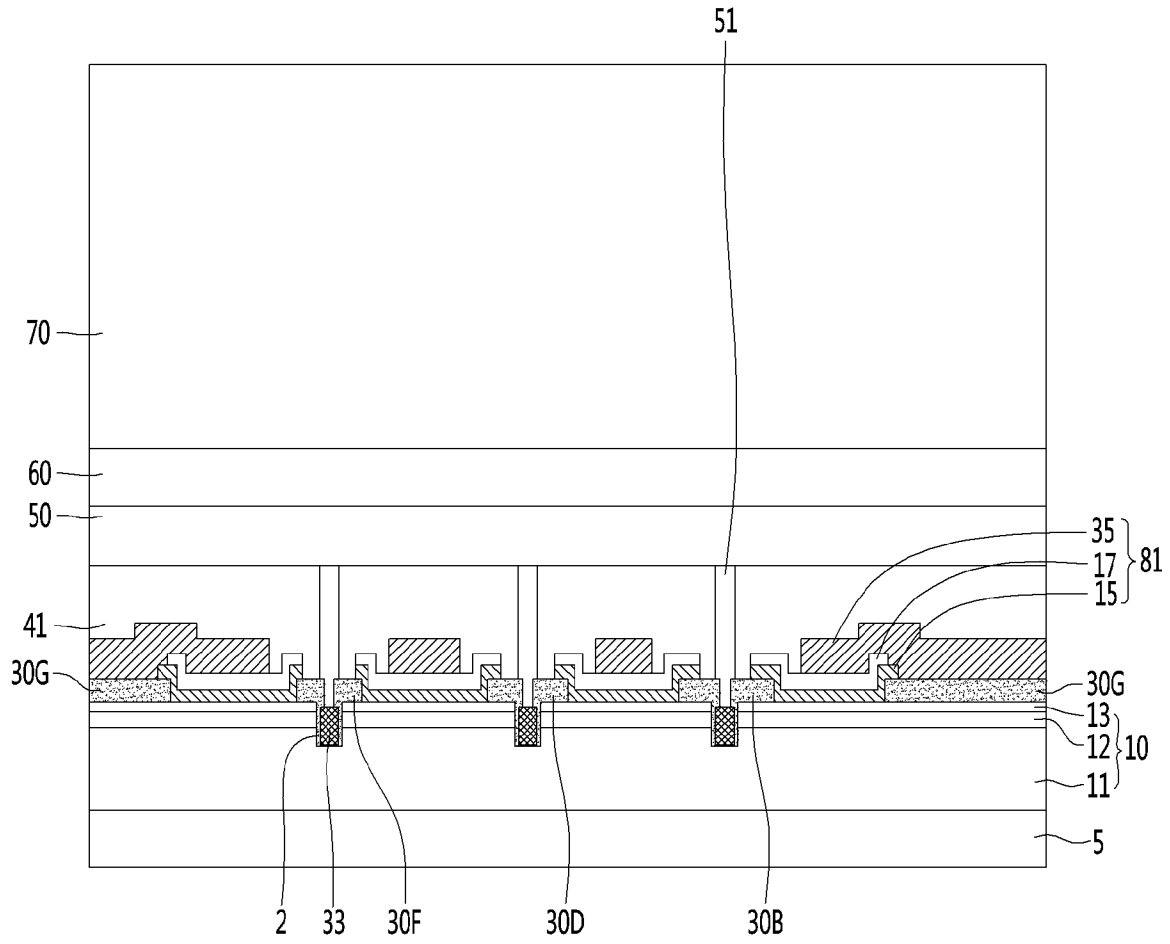
[도8]



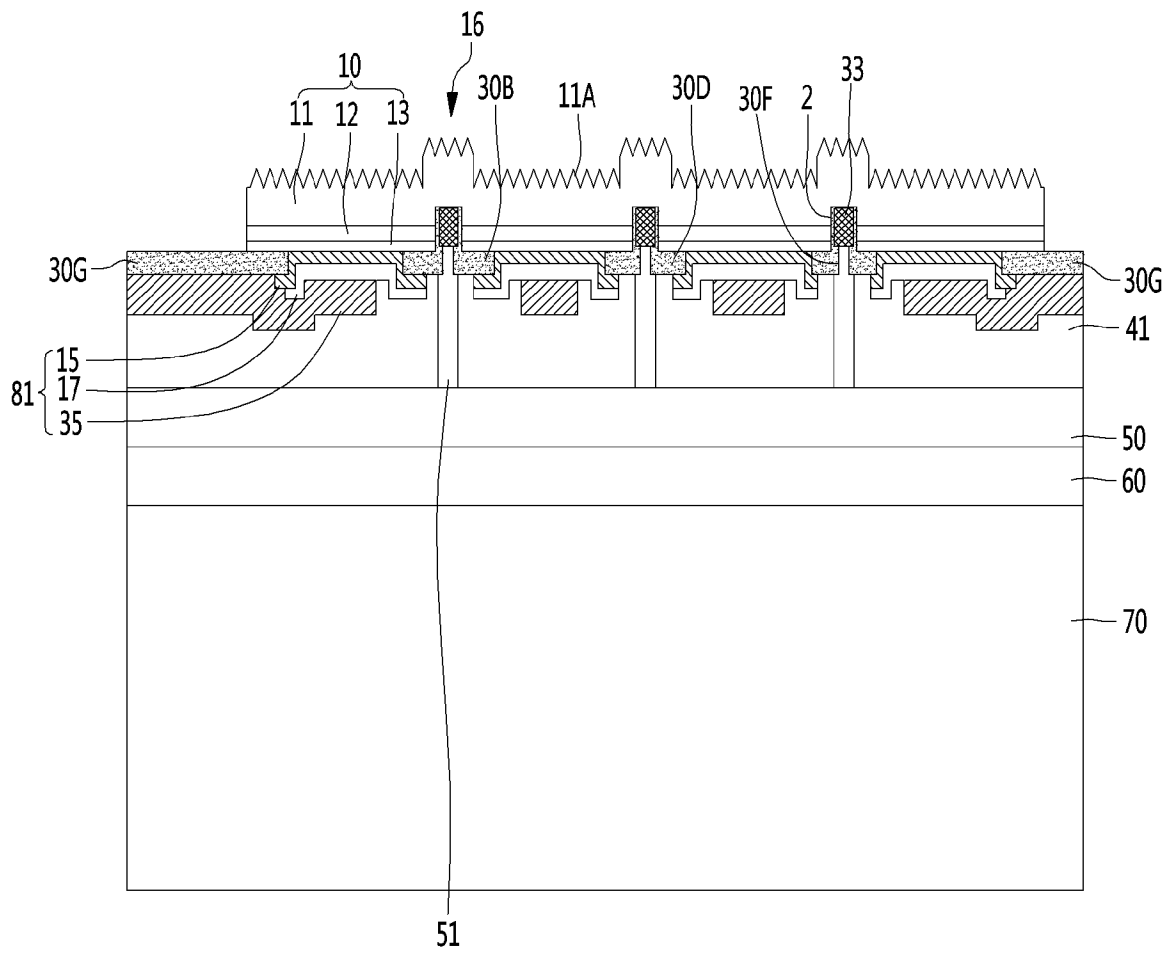
[도9]



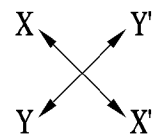
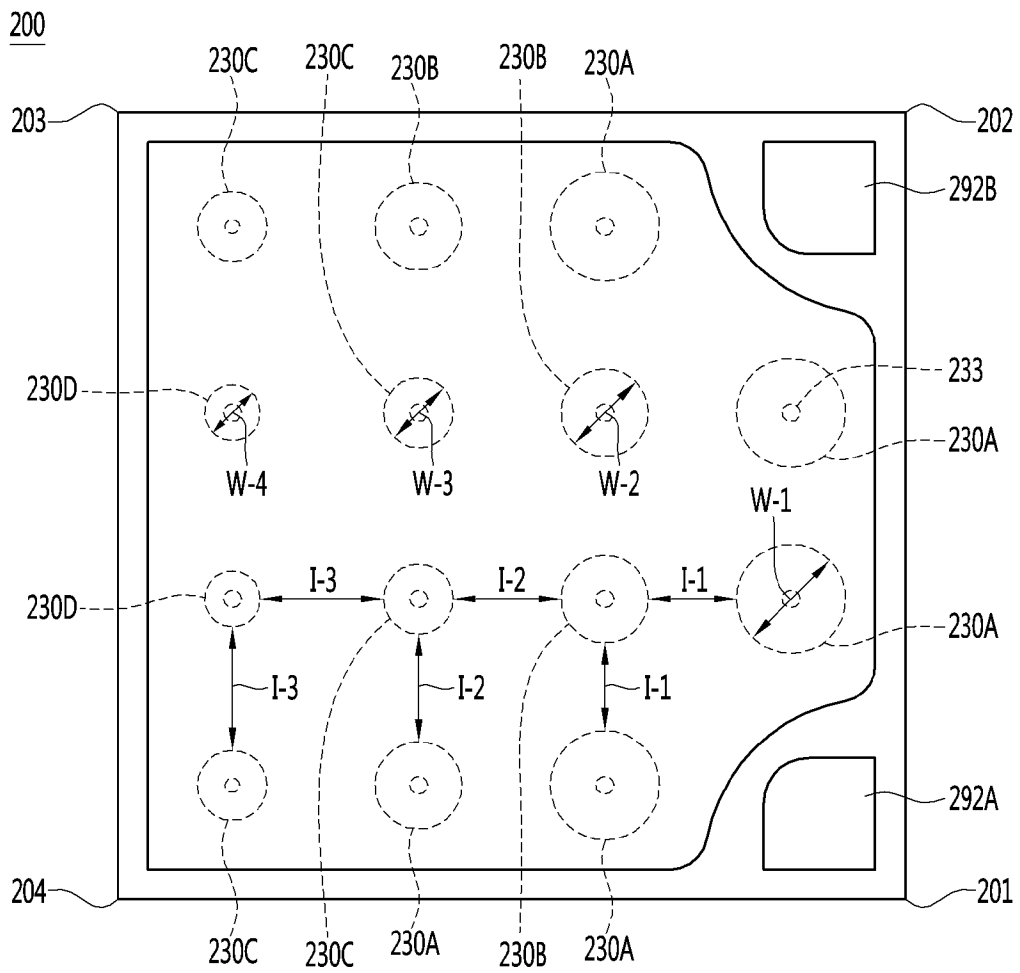
[도 10]



[도 11]

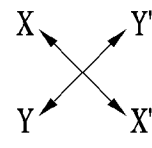
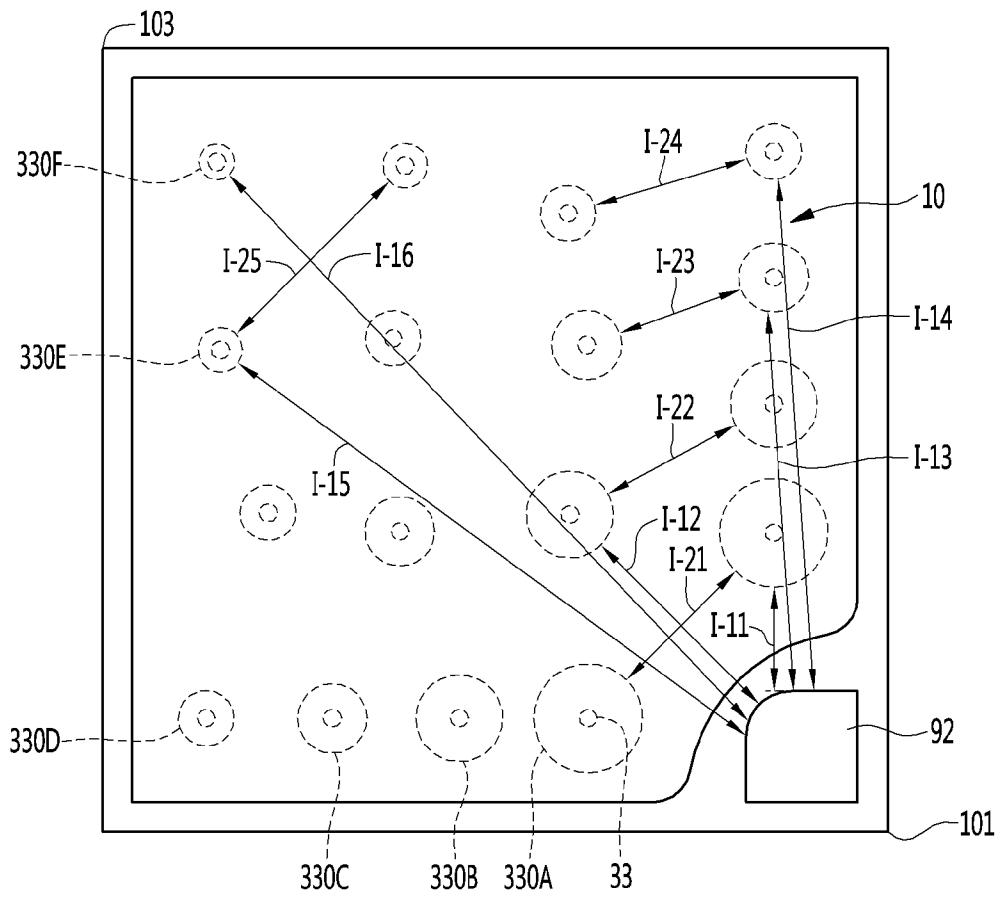


[도 14]

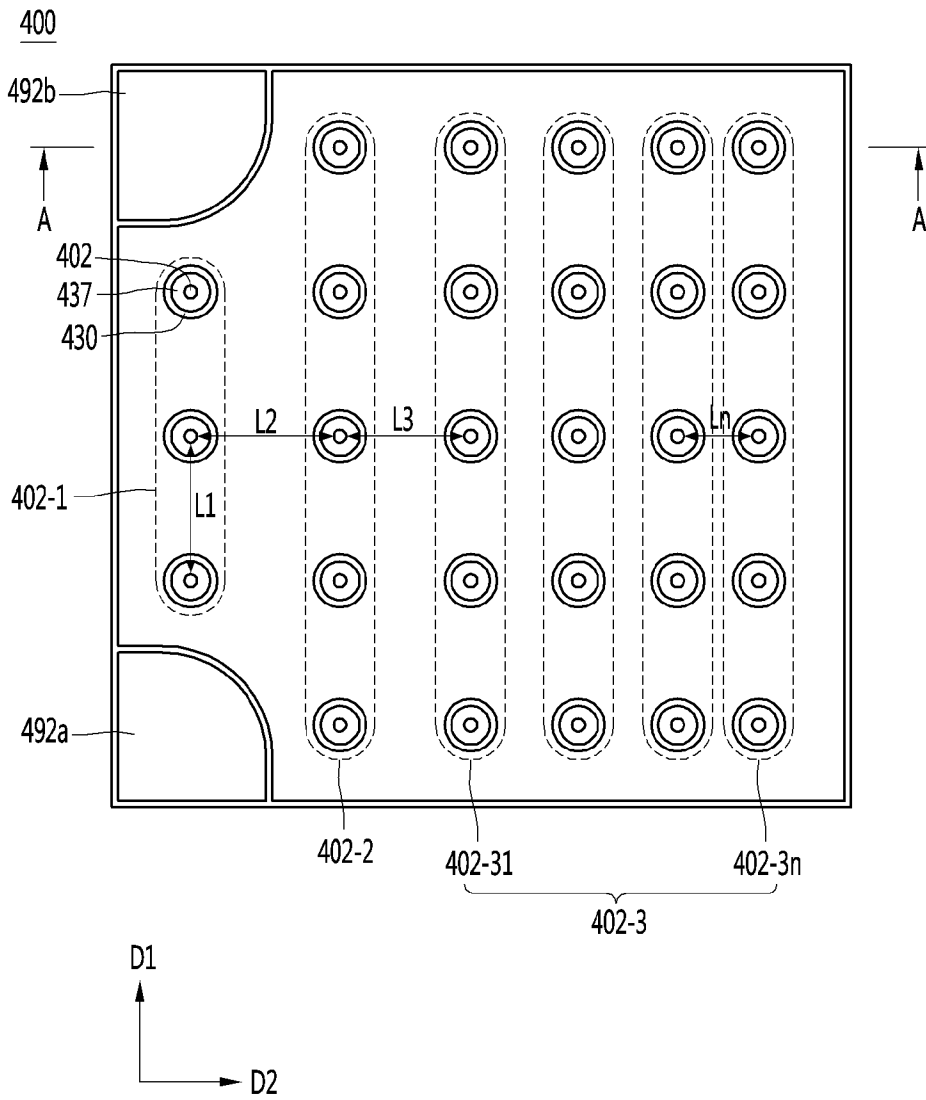


[도 15]

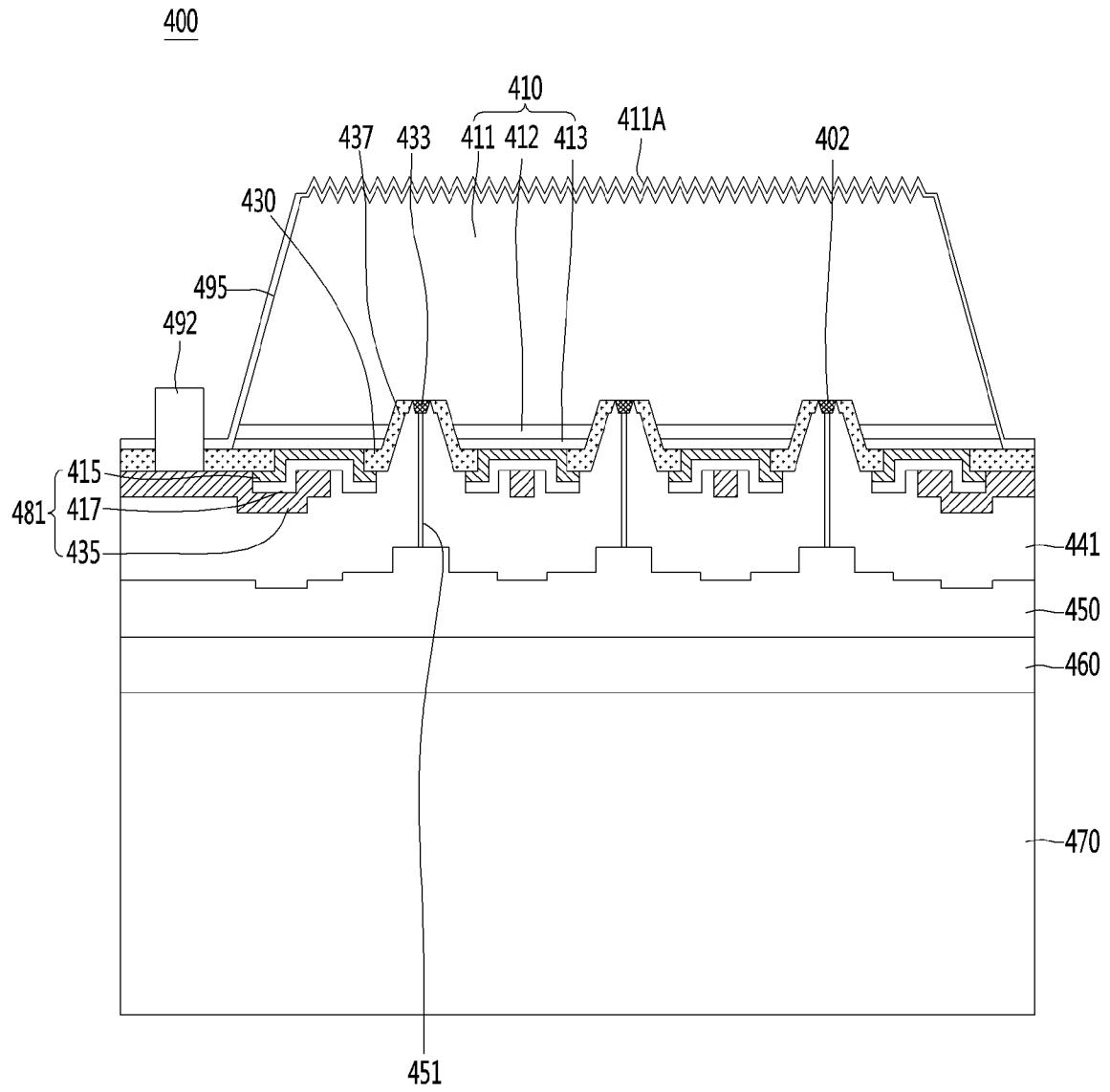
300



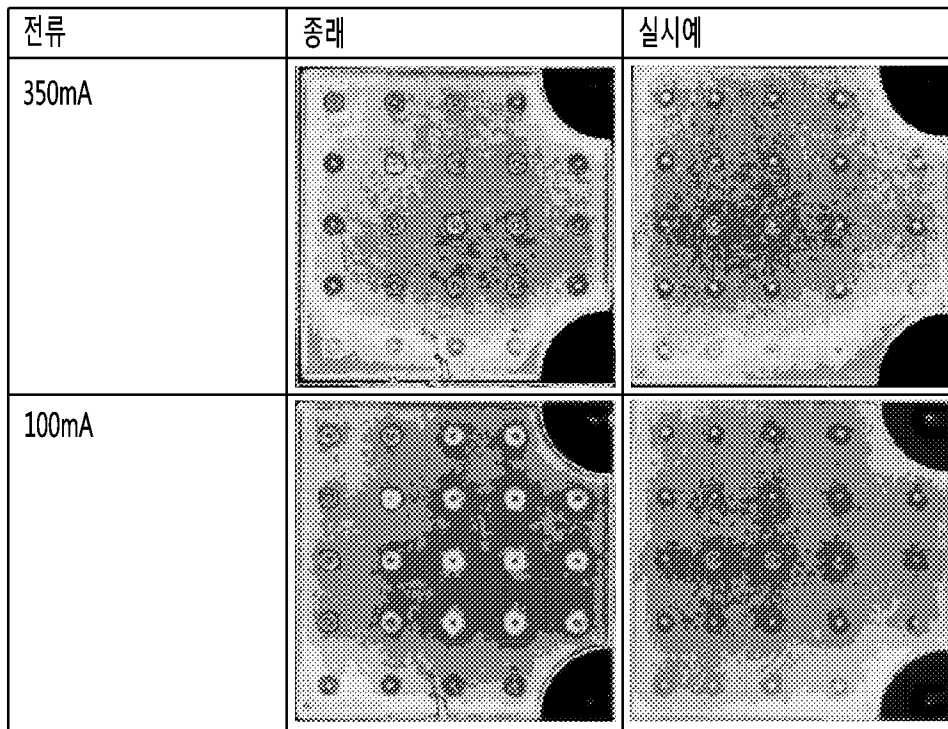
[도 16]



[도 17]



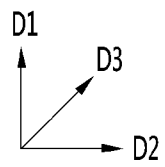
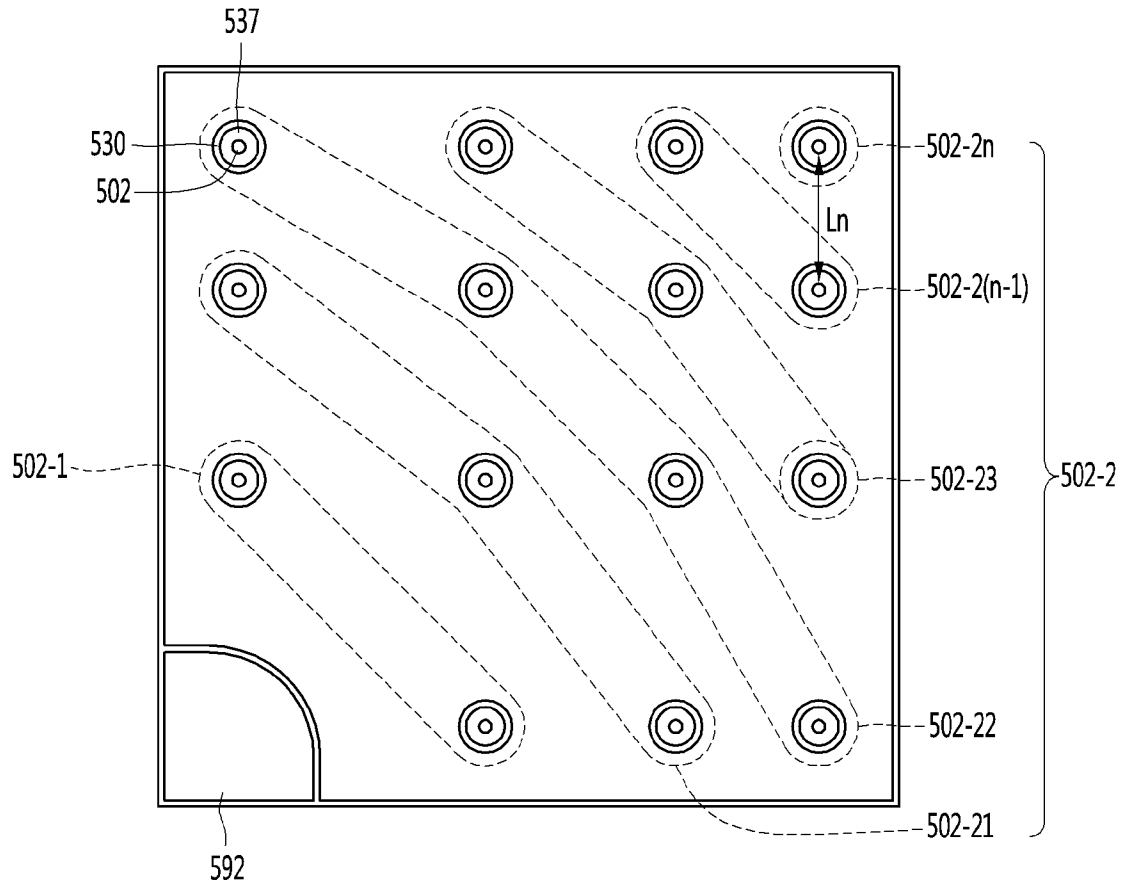
[도 18]



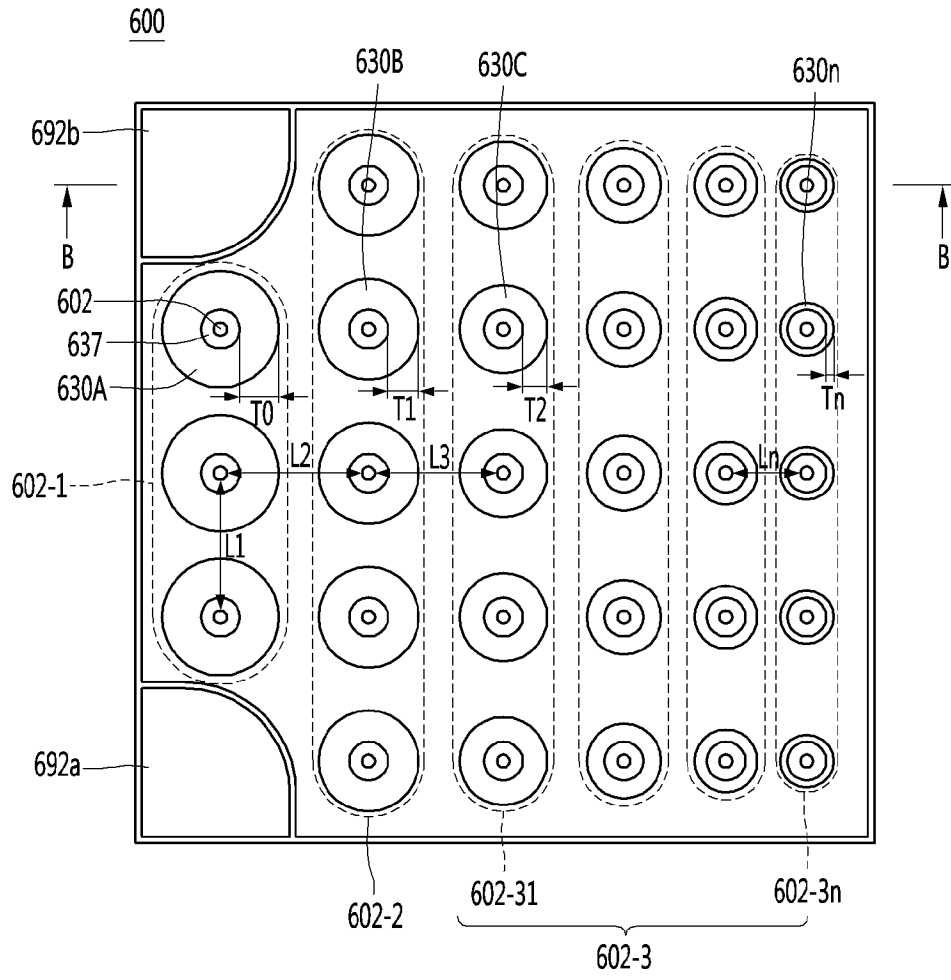
[도 19]

	종래		실시예	
	350	1500	350	1500
IF (mA)	350	1500	350	1500
VF (V)	2.97	3.40	2.97	3.42
Po (mV)	559.8	1987.3	562.6	1995.2
ΔPo (%)	355.0%		354.6%	

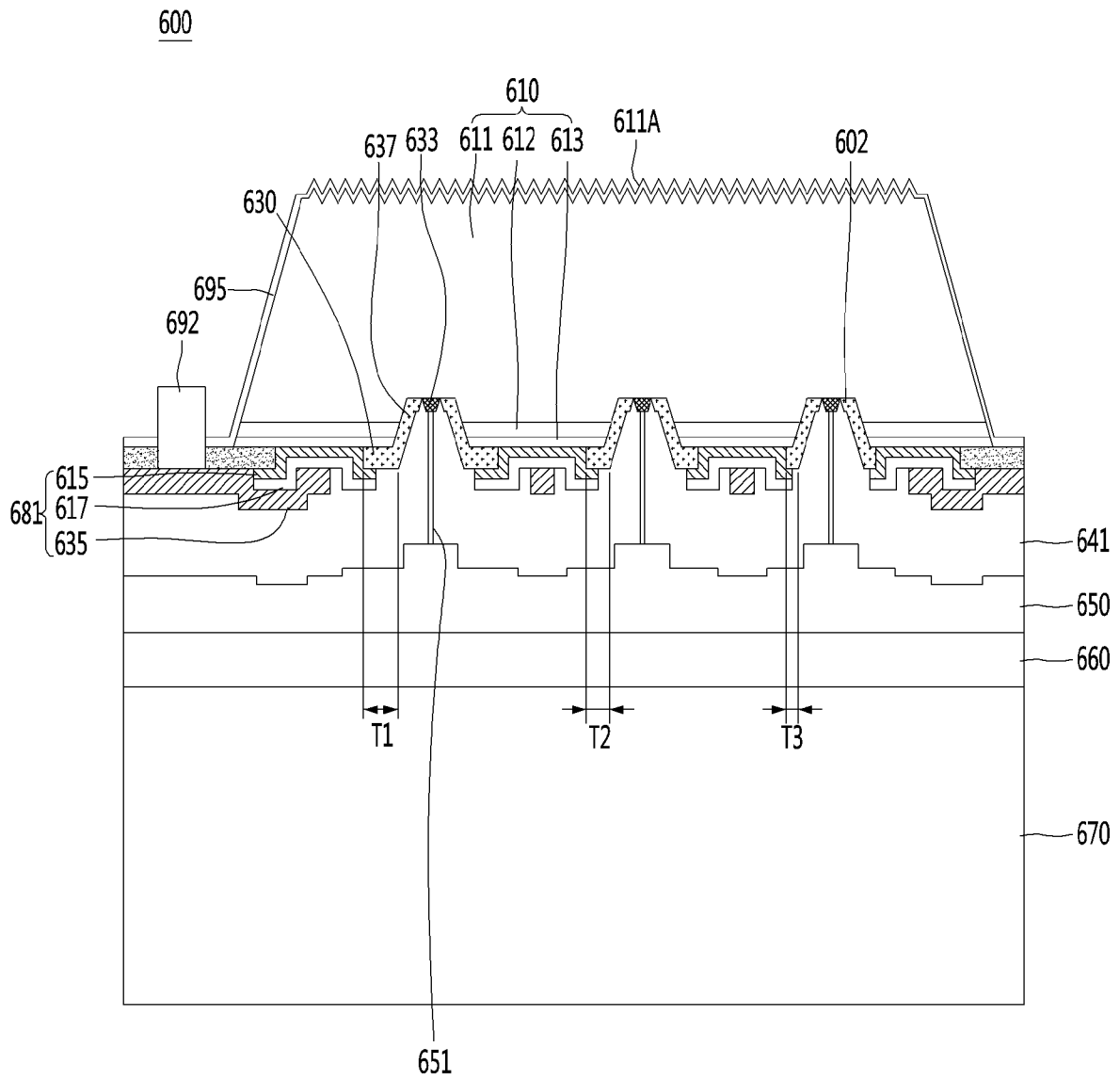
[도20]

500

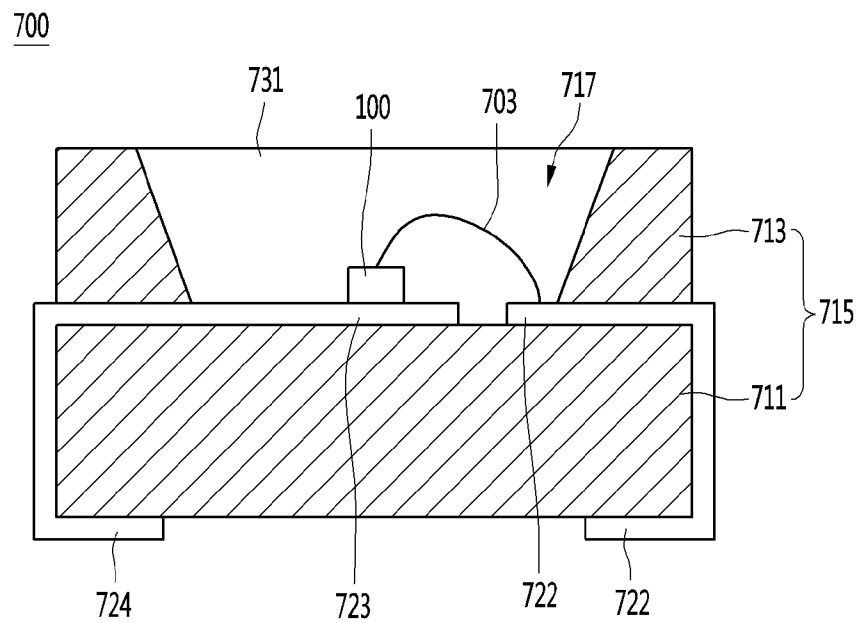
[도21]



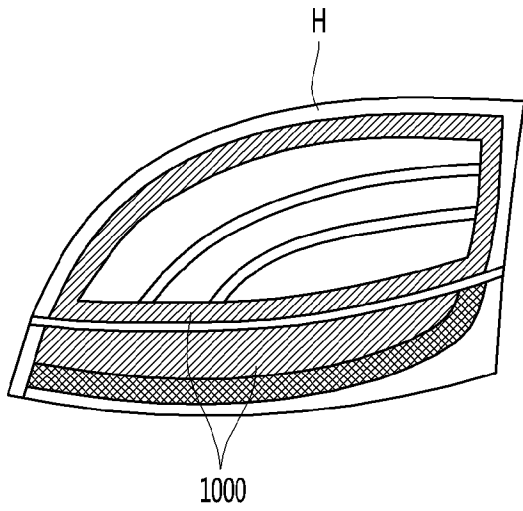
[도22]



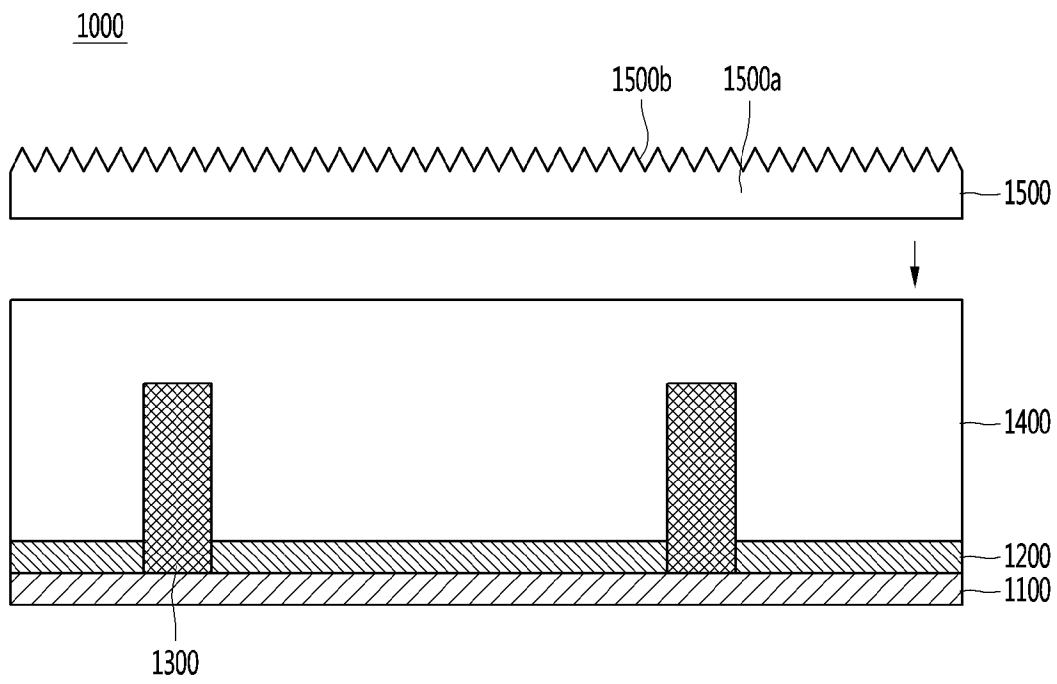
[도23]



[도24]



[도25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/012614

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.: 5
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
Claim 5 delimits a first gap and a second gap twice to different numerical ranges, and thus the numerical range cannot be specified. Therefore, it is not clear the matter for which protection is sought in claim 5.

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/012614

A. CLASSIFICATION OF SUBJECT MATTER

H01L 33/02(2010.01)i, H01L 33/22(2010.01)i, H01L 33/38(2010.01)i, H01L 33/14(2010.01)i, H01L 33/48(2010.01)i, H01L 33/44(2010.01)i, H01L 33/36(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/02; H01L 33/20; F21S 2/00; F21V 19/00; H01L 33/10; H01L 33/36; H01L 33/48; H01L 33/38; H01L 33/22; H01L 33/14; H01L 33/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: recess, pad, interval, area, edge, insulation pattern, width

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2015-0007854 A (LG INNOTEK CO., LTD.) 21 January 2015 See paragraphs [50]-[60], [70]-[85], [108]-[112], claim 1 and figures 2-3.	1-4,6-10
A	KR 10-2012-0081333 A (SAMSUNG LED CO., LTD.) 19 July 2012 See paragraphs [20]-[30], claims 1-5 and figures 1-3.	1-4,6-10
A	KR 10-2012-0031340 A (LG INNOTEK CO., LTD.) 03 April 2012 See paragraphs [24]-[42], claim 1 and figures 1a-5.	1-4,6-10
A	JP 2013-135185 A (TOSHIBA CORP.) 08 July 2013 See paragraphs [17]-[40], claim 1 and figures 1-10.	1-4,6-10
A	JP 2010-171193 A (TOSHIBA LIGHTING & TECHNOLOGY CORP.) 05 August 2010 See paragraphs [40]-[58], claim 1 and figures 1-4.	1-4,6-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

23 FEBRUARY 2017 (23.02.2017)

Date of mailing of the international search report

23 FEBRUARY 2017 (23.02.2017)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/012614

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2015-0007854 A	21/01/2015	NONE	
KR 10-2012-0081333 A	19/07/2012	NONE	
KR 10-2012-0031340 A	03/04/2012	NONE	
JP 2013-135185 A	08/07/2013	US 2013-0161674 A1	27/06/2013
JP 2010-171193 A	05/08/2010	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/02(2010.01)i, H01L 33/22(2010.01)i, H01L 33/38(2010.01)i, H01L 33/14(2010.01)i, H01L 33/48(2010.01)i, H01L 33/44(2010.01)i, H01L 33/36(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/02; H01L 33/20; F21S 2/00; F21V 19/00; H01L 33/10; H01L 33/36; H01L 33/48; H01L 33/38; H01L 33/22; H01L 33/14; H01L 33/44

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 리세스, 패드, 간격, 면적, 모서리, 절연 패턴, 너비

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2015-0007854 A (엘지이노텍 주식회사) 2015.01.21 단락 50-60, 70-85, 108-112, 청구항 1 및 도면 2-3 참조.	1-4,6-10
A	KR 10-2012-0081333 A (삼성엘이디 주식회사) 2012.07.19 단락 20-30, 청구항 1-5 및 도면 1-3 참조.	1-4,6-10
A	KR 10-2012-0031340 A (엘지이노텍 주식회사) 2012.04.03 단락 24-42, 청구항 1 및 도면 1a-5 참조.	1-4,6-10
A	JP 2013-135185 A (TOSHIBA CORP.) 2013.07.08 단락 17-40, 청구항 1 및 도면 1-10 참조.	1-4,6-10
A	JP 2010-171193 A (TOSHIBA LIGHTING & TECHNOLOGY CORP.) 2010.08.05 단락 40-58, 청구항 1 및 도면 1-4 참조.	1-4,6-10

추가 문헌이 C(계속)에 기재되어 있습니다.

대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 02월 23일 (23.02.2017)

국제조사보고서 발송일

2017년 02월 23일 (23.02.2017)

ISA/KR의 명칭 및 우편주소



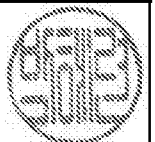
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

박혜련

전화번호 +82-42-481-3463



제2기재란 일부 청구항을 조사할 수 없는 경우의 의견(첫 번째 용지의 2의 계속)

PCT 제17조(2)(a)의 규정에 따라 다음과 같은 이유로 일부 청구항에 대하여 본 국제조사보고서가 작성되지 아니하였습니다.

1. 청구항:
이 청구항은 본 기관이 조사할 필요가 없는 대상에 관련됩니다. 즉,

2. 청구항: 5
이 청구항은 유효한 국제조사를 수행할 수 없을 정도로 소정의 요건을 충족하지 아니하는 국제출원의 부분과 관련됩니다. 구체적으로는,
 청구항 5에는 제1 간격과 제2 간격이 서로 다른 수치범위로 이중으로 한정되어 있어, 그 수치범위를 특정할 수 없습니다. 따라서, 청구항 5는 보호받아야 하는 발명이 무엇인지 명확하지 않습니다.

3. 청구항:
이 청구항은 종속청구항이나 PCT규칙 6.4(a)의 두 번째 및 세 번째 문장의 규정에 따라 작성되어 있지 않습니다.

제3기재란 발명의 단일성이 결여된 경우의 의견(첫 번째 용지의 3의 계속)

본 국제조사기관은 본 국제출원에 다음과 같이 다수의 발명이 있다고 봅니다.

1. 출원인이 모든 추가수수료를 기간 내에 납부하였으므로, 본 국제조사보고서는 모든 조사 가능한 청구항을 대상으로 합니다.

2. 추가수수료 납부를 요구하지 않고도 모든 조사 가능한 청구항을 조사할 수 있었으므로, 본 기관은 추가수수료 납부를 요구하지 아니하였습니다.

3. 출원인이 추가수수료의 일부만을 기간 내에 납부하였으므로, 본 국제조사보고서는 수수료가 납부된 청구항만을 대상으로 합니다. 구체적인 청구항은 아래와 같습니다.

4. 출원인이 기간 내에 추가수수료를 납부하지 아니하였습니다. 따라서 본 국제조사보고서는 청구범위에 처음 기재된 발명에 한정되어 있으며, 해당 청구항은 아래와 같습니다.

이의신청에
 관한 기재

- 출원인의 이의신청 및 이의신청료 납부(해당하는 경우)와 함께 추가수수료가 납부되었습니다.
- 출원인의 이의신청과 함께 추가수수료가 납부되었으나 이의신청료가 보정요구서에 명시된 기간 내에 납부되지 아니하였습니다.
- 이의신청 없이 추가수수료가 납부되었습니다.

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2015-0007854 A	2015/01/21	없음	
KR 10-2012-0081333 A	2012/07/19	없음	
KR 10-2012-0031340 A	2012/04/03	없음	
JP 2013-135185 A	2013/07/08	US 2013-0161674 A1	2013/06/27
JP 2010-171193 A	2010/08/05	없음	