

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012 年 3 月 22 日(22.03.2012)

PCT

(10) 国際公開番号
WO 2012/035941 A1

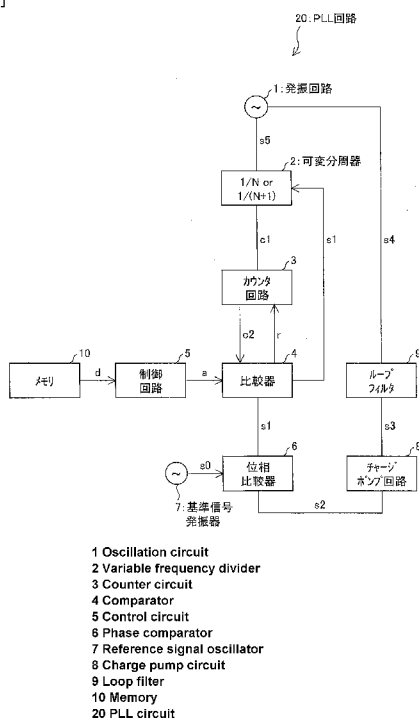
- (51) 国際特許分類:
H03K 23/64 (2006.01) H03L 7/197 (2006.01)
H03L 7/183 (2006.01)
- (21) 国際出願番号: PCT/JP2011/069029
- (22) 国際出願日: 2011 年 8 月 24 日(24.08.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-207220 2010 年 9 月 15 日(15.09.2010) JP
特願 2011-150344 2011 年 7 月 6 日(06.07.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 満仲 健
(MITSUNAKA, Takeshi). 田口 滋也 (TAGUCHI,
Shigenari).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADE-
MARK); 〒5300041 大阪府大阪市北区天神橋 2
丁目北 2 番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL,
PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: FREQUENCY DIVIDER CIRCUIT, PLL CIRCUIT PROVIDED THEREWITH, AND SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 分周回路およびそれを備えた PLL 回路並びに半導体集積回路

[図1]



(57) Abstract: The disclosed frequency divider circuit is provided with: a variable frequency divider (2) which frequency-divides a periodic signal (s5) with two frequency division ratios and outputs a first frequency-divided signal (c1); a counter circuit (3) which outputs a count value (c2) of the number of cycles of the first frequency-divided signal (c1) and which, when reset, restarts the counting operation to count from an initial value; a comparator (4) which outputs as a second frequency-divided signal a pulse signal (s1) that reverses High and Low each time the count value (c2) matches a comparison reference value (a), which supplies said pulse signal (s1) as the frequency division ratio switch signal to the variable frequency divider (2), and which outputs a reset signal (r) to the counter circuit (3) each time the count value (c2) matches the comparison reference value (a); and a control circuit (5) for supplying the comparison reference value (a) to the comparator (4).

(57) 要約: 周期信号 (s5) を 2 種類の分周比で分周して第 1 の分周信号 (c1) を出力する可変分周器 (2) と、第 1 の分周信号 (c1) のサイクル数のカウント値 (c2) を出力し、リセットされるとカウント動作を初期値から再開するカウンタ回路 (3) と、カウント値 (c2) が比較基準値 (a) と一致する度に High と Low とを反転させたパルス信号 (s1) を、第 2 の分周信号として出力するとともに分周比の切替信号として可変分周器 (2) に供給し、カウント値 (c2) が比較基準値 (a) と一致する度にカウンタ回路 (3) にリセット信号 (r) を出力する比較器 (4) と、比較器 (4) に比較基準値 (a) を供給する制御回路 (5) とを備えている。

WO 2012/035941 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

分周回路およびそれを備えたPLL回路並びに半導体集積回路

技術分野

[0001] 本発明は、入力周期信号の分周を行う回路に関する。

背景技術

[0002] 基準発振信号から安定した所望の周波数信号を生成するPLL (Phase Locked Loop : 位相ロックループ)回路には、高速応答および分周比可変範囲の拡大を目的とするパルススワロー方式の構成がある。パルススワロー方式では、デュアル・モジュラス・プリスケアラの分周比をスワローカウンタによって制御して大きな分周比を生成する。デュアル・モジュラス・プリスケアラは $1/(N+1)$ および $1/N$ の2種類の分周比を備えた可変分周器を備えている。一般に、基準周波数の整数倍で発振器をコントロールするInteger-N型のPLL回路においては、可変分周器の上記2種類の分周比を固定し、基準周波数の何倍の周波数を得るかという設定が前もってシステムによって決められている。

[0003] 図3に、このようなパルススワローカウンタ回路を用いた特許文献1のPLL回路の構成を示す。

[0004] 図3のPLL回路は、電圧制御発振器101、分周器102、分周器103、比較器104、位相検出器105、基準周波数信号源R、および、基準分周器106を備えている。分周器102は可変分周器であり、 $1/(N+1)$ の分周比と $1/N$ の分周比とを有している。分周器103は1クロック毎に減算を基本として動作する減算型分周器、あるいは、1クロック毎に1加算を基本としている加算型分周器であって、第1の出力としての分周信号出力を有している。また、分周器103は、外部から設定された値nに基づいて0～nまでのn+1個 ($n=1, 2, 3, \dots$) の入力パルスをカウントし、当該カウント値の加減算途中結果を出力する第2の出力を有している。

比較器 104 は、分周器 103 の第 2 の出力を外部から設定された値 A ($n > A$, $A = 0, 1, 2, \dots$) と比較し、数値比較結果の論理値から分周器 102 の分周比選択に必要な論理制御信号を生成して分周器 102 に出力する。設定値の変更直後に発生する遅延防止のために、分周器 102、分周器 103、および位相比較器 105 にはリセット信号が供給されて強制的に初期化動作が実行されるようになっている。

[0005] 電圧制御発振器 101 の出力は分周器 102 に入力される。分周器 102 は初期化動作によって設定される $1/(N+1)$ の分周比で分周動作を行っており、分周器 103 が分周器 102 の出力パルスのカウントする。分周器 103 は $n+1$ 個のカウントを行うとリセットされて初期値からカウントし直すように構成されている。比較器 104 は、分周器 103 の第 2 の出力から出力されるカウント値を値 A と比較し、当該カウント値が A に一致すると、分周器 102 の分周比を $1/N$ に切り替える信号を出力する。

[0006] 従って、分周器 103 は、 $n+1$ 個をカウントする間に、途中で分周比を $1/(N+1)$ から $1/N$ に変えて分周された出力パルスを分周器 102 から受け取ってカウントする。

[0007] 分周器 103 は、 $n+1$ 個をカウントする度に 1 周期分が終了する信号を、第 1 の出力として位相検出器 105 に出力する。これによって、電圧制御発振器 101 の出力は $(N+1) \times (A+1) + N \times (n-A) = n \cdot N + A + 1$ の分周比で分周される。位相検出器 105 はこの分周入力信号を基準周波数信号源 R から出力される基準周波数信号と比較して、その位相差に応じた制御信号を電圧制御発振器 101 に出力する。電圧制御発振器 101 の発振周波数はこのような閉ループ制御によって安定化される。

先行技術文献

特許文献

[0008] 特許文献 1：日本国公開特許公報「特開平 7-111452 号公報（公開日：1995 年 4 月 25 日）」

発明の概要

発明が解決しようとする課題

- [0009] 特許文献1のPLL回路では、分周器102、分周器103、および比較器104でパルススワローカウンタ回路が構成されていると見なせる。そして、 n および A の設定を可変にすると周波数シンセサイザとして動作する。
- [0010] ここで例えば $n=1$ とすると、 $A=0$ に設定することになり、図4(a)に示すように、分周器103が2個をカウントする間の1個ずつのカウント期間が、 $1/(N+1)$ の分周期間と $1/N$ の分周期間とのそれぞれに割り当てられる。この場合のパルススワローカウンタ回路全体の分周比 X は $(N+1) \times 1 + N \times 1 = 2N+1$ となる。分周器103から出力される分周信号は、分周器103の2個のカウント期間を1周期とする信号となる。
- [0011] また、例えば、 $n=3$ とすると、 $A=0, 1, 2$ の3通りの設定が可能である。分周器103から出力される分周信号は、分周器103の4個のカウント期間を1周期とする信号となる。以下に、 $n=3$ において A の値による動作の違いを説明する。
- [0012] $n=3$ 、 $A=0$ の場合には、図4(b)に示すように、分周器103が4個をカウントする間の1個のカウント期間が $1/(N+1)$ の分周期間に割り当てられるとともに、3個のカウント期間が $1/N$ の分周期間に割り当てられる。この場合のパルススワローカウンタ回路全体の分周比 X は $(N+1) \times 1 + N \times 3 = 4N+1$ となる。
- [0013] $n=3$ 、 $A=1$ の場合には、図4(c)に示すように、分周器103が4個をカウントする間の2個ずつのカウント期間が $1/(N+1)$ の分周期間と $1/N$ の分周期間とのそれぞれに割り当てられる。この場合のパルススワローカウンタ回路全体の分周比 X は $(N+1) \times 2 + N \times 2 = 4N+2$ となる。
- [0014] $n=3$ 、 $A=2$ の場合には、図4(d)に示すように、分周器103が4個をカウントする間の3個のカウント期間が $1/(N+1)$ の分周期間に割り当てられるとともに、1個のカウント期間が $1/N$ の分周期間に割り当てられる。この場合のパルススワローカウンタ回路全体の分周比 X は $(N+1)$

) $\times 3 + N \times 1 = 4N + 3$ となる。

[0015] 特許文献1のパルススワローカウンタ回路で、分周器103のnに1～3の設定が可能であるとする、最も小さい分周比は $n = 1$ 、 $A = 0$ の場合の $X = 2N + 1$ であり、最も大きい分周比は $n = 3$ 、 $A = 2$ の場合の $X = 4N + 3$ である。

[0016] しかしながら、多くの局部発振周波数をPLL回路で設定したい場合に、上記の可変分周比では足りない場合がある。その場合、可変分周器の出力を数える回数（特許文献1の例では分周器103のカウント数）を増やす必要があるが、数える回数を増やすことは回路規模の増大につながる、さらには消費電力増大に繋がるため好ましくない。

[0017] 本発明は、上記従来の問題点に鑑みなされたものであり、その目的は、回路規模および消費電力を増大させることなく、回路全体の分周比の可変範囲をより拡大することのできる分周回路、およびそれを備えたPLL回路、並びに半導体集積回路を実現することにある。

課題を解決するための手段

[0018] 本発明の分周回路は、上記課題を解決するために、

2種類の分周比で分周可能であって、入力される周期信号を指定された上記分周比で分周して生成した第1の分周信号を出力する可変分周器と、

上記可変分周器が出力した上記第1の分周信号のサイクル数を初期値からカウントして得たカウント値を出力するとともに、リセットされるとカウント動作を初期値から再開するカウンタ回路と、

上記カウント値を比較基準値と比較して上記カウント値が上記比較基準値と一致する度にHighとLowとを反転させるように生成したパルス信号を、上記周期信号に対する第2の分周信号として出力するとともに上記可変分周器において指定する上記分周比の切替信号として上記可変分周器に供給し、上記カウント値が上記比較基準値と一致する度に上記カウンタ回路にリセット信号を出力して上記カウンタ回路をリセットする比較器と、

上記比較器に上記比較基準値を供給する制御回路とを備えていることを特

徴としている。

[0019] 上記の発明によれば、可変分周器は入力される周期信号を最初に指定された一方の分周比で分周する。可変分周器が出力する第1の分周信号はカウンタ回路によってカウントされ、カウンタ回路はカウント値として比較基準値までのカウント値を順次比較器に出力する。比較器は、入力されたカウント値が比較基準値に一致していない場合には、パルス信号をHighまたはLowのままとする。比較器は、入力されたカウント値が比較基準値に一致している場合には、パルス信号をHighとLowとの間で反転させる。このパルス信号は可変分周器に切替信号として入力され、可変分周器は分周比を次に指定された他方の分周比に切り替える。また、比較器は同時にカウンタ回路にリセット信号を出力する。

[0020] リセットされたカウンタ回路は可変分周器が出力する第1の分周信号のカウント動作を初期値から再開し、比較基準値までのカウント値を順次比較器に出力する。比較器は、入力されたカウント値が比較基準値に一致していない場合には、パルス信号をLowまたはHighのままとする。比較器は、入力されたカウント値が比較基準値に一致している場合には、パルス信号をHighとLowとの間で反転させる。このパルス信号は可変分周器に切替信号として入力され、可変分周器は分周比を再び上記一方の分周比に切り替える。また、比較器は同時にカウンタ回路にリセット信号を出力する。

[0021] こうして、パルス信号は一方の分周比によるカウンタ回路の比較基準値までのカウント期間分の分周期間と他方の分周比によるカウンタ回路の比較基準値までのカウント期間分の分周期間との和で構成される周期を有する第2の分周信号となる。このとき、分周回路の入力信号である周期信号に対する分周回路の出力信号である第2の分周信号の最大分周比は非常に大きなものとなり、最小分周比は従来と同等のものとなる。

[0022] 以上により、回路規模および消費電力を増大させることなく、回路全体の分周比の可変範囲をより拡大することのできる分周回路を実現することができるという効果を奏する。

発明の効果

[0023] 本発明の分周回路は、以上のように、

2種類の分周比で分周可能であって、入力される周期信号を指定された上記分周比で分周して生成した第1の分周信号を出力する可変分周器と、

上記可変分周器が出力した上記第1の分周信号のサイクル数を初期値からカウントして得たカウント値を出力するとともに、リセットされるとカウント動作を初期値から再開するカウンタ回路と、

上記カウント値を比較基準値と比較して上記カウント値が上記比較基準値と一致する度にHighとLowとを反転させるように生成したパルス信号を、上記周期信号に対する第2の分周信号として出力するとともに上記可変分周器において指定する上記分周比の切替信号として上記可変分周器に供給し、上記カウント値が上記比較基準値と一致する度に上記カウンタ回路にリセット信号を出力して上記カウンタ回路をリセットする比較器と、上記比較器に上記比較基準値を供給する制御回路とを備えている。

[0024] 以上により、回路規模および消費電力を増大させることなく、回路全体の分周比の可変範囲をより拡大することのできる分周回路を実現することができるという効果を奏する。

図面の簡単な説明

[0025] [図1]本発明の実施形態を示すものであり、PLL回路の構成を示す回路ブロック図である。

[図2]本発明の実施形態を示すものであり、(a)ないし(d)は、図1のPLL回路の動作を示すタイミングチャートである。

[図3]従来技術を示すものであり、PLL回路の構成を示す回路ブロック図である。

[図4] (a)ないし(d)は、図3のPLL回路の動作を示すタイミングチャートである。

[図5]図1のPLL回路において用いられる可変分周器の構成を示す回路図である。

[図6]図1のPLL回路において用いられるカウンタ回路の構成を示す回路図である。

[図7]図1のPLL回路において用いられる比較器の構成を示す回路図である。

発明を実施するための形態

[0026] 本発明の実施形態について図1および図2を用いて説明すれば、以下の通りである。

[0027] [本実施形態に係るPLL回路の構成]

図1に、本実施形態に係るPLL回路20の構成を示す。

[0028] PLL回路20は、パルススワロー方式のPLL回路であり、発振回路1、可変分周器2、カウンタ回路3、比較器4、制御回路5、位相検出器6、基準信号発振器7、チャージポンプ回路8、ループフィルタ9、および、メモリ10を備えている。可変分周器2、カウンタ回路3、比較器4、制御回路5、および、メモリ10は、パルススワローカウンタ回路（分周回路）を構成している。

[0029] 発振回路1は発振周波数が複数の周波数に可変の電圧制御発振器であり、ループフィルタ9の出力電圧により発振周波数が制御された発振信号（周期信号）s5を出力する。

[0030] 可変分周器2は、いわゆる、デュアル・モジュラス・プリスケアラであり、入力される周期信号を指定された分周比で分周して生成した第1の分周信号を出力する。具体的には、可変分周器2は $1/(N+1)$ と $1/N$ との2種類の分周比で分周可能であって、選択設定されることによって指定されたいずれかの分周比によって、発振回路1から入力される発振信号s5を分周して得た分周信号（第1の分周信号）c1をカウンタ回路3に出力する。ここでは、分周信号c1は1サイクルに1つのパルスを含むパルス信号である。可変分周器2には、分周比を選択設定するための切替信号となるパルス信号s1が比較器4から入力される。可変分周器2は切替信号の指示に従って分周比を $1/(N+1)$ と $1/N$ との間で切り替える。

[0031] 可変分周器 2 において、 $N = 3$ の場合、すなわち可変分周器 2 が $3/4$ 分周器となる場合の構成を図 5 に例示する。図 5 に示す可変分周器 2 は、二つの D フリップフロップ 21 および 22 と一つのアンド回路 23 と一つのスイッチ 24 とにより構成されており、発振信号 s_5 はフリップフロップ 21 および 22 のクロック入力端子に入力される。フリップフロップ 21 の出力は、アンド回路 23 の二つの入力のうちのひとつとなる。アンド回路 23 の出力は、フリップフロップ 22 の D 入力端子に入力される。フリップフロップ 22 の出力は、分周信号 c_1 として可変分周器 2 の出力となると共に、フリップフロップ 21 の D 入力端子に入力される（尚、フリップフロップ 21 の出力を分周信号 c_1 として可変分周器 2 の出力としても良い）。アンド回路 23 の他方の入力、スイッチ 24 を介してフリップフロップ 22 の出力または GND 電位に接続される。スイッチ 24 は、後述する比較器 4 からのパルス信号 s_1 によって切替動作が行われるものであり、図 5 の回路構成における可変分周器 2 は、スイッチ 24 が左（GND 電位）につながっているときは 4 分周動作、右（フリップフロップ 22 の出力）につながっているときは 3 分周動作を行う。すなわち、可変分周器 2 は、パルス信号 s_1 によってスイッチ 24 を切り替えることにより、3 分周と 4 分周とを切り替えることができる。

[0032] 尚、図 5 では、可変分周器 2 が $3/4$ 分周器の場合（ $N = 3$ の場合）を例示したが、本発明はこれに限定されるものではなく、 $N = 3$ の場合以外の可変分周器が用いられてもよい。可変分周器 2 は、 $N = 3$ の場合以外であっても、その構成は周知である。

[0033] カウンタ回路 3 はスワローカウンタであり、可変分周器 2 から入力される分周信号 c_1 のパルス数を加算カウントあるいは減算カウントすることによって分周信号 c_1 のサイクル数をカウントし、カウントした結果をカウント値 c_2 として比較器 4 に出力する。カウンタ回路 3 には、比較器 4 からリセット信号 r が入力され、リセットされるとカウント動作を初期値から再開する。

[0034] カウンタ回路3はデジタルカウンタで構成することができる。カウンタ回路3を非同期式バイナリカウンタによって構成した場合の構成を図6に例示する。図6に示すカウンタ回路3は、複数のDフリップフロップ31を接続してなる構成であり、Dフリップフロップ31の個数はカウンタ回路3が出力するカウント値c2のビット数（ここでは、 $(n+1)$ ビット）と等しい。1段目のDフリップフロップ31のクロック入力端子には、可変分周器2から出力される分周信号c1が入力され、2段目以降のDフリップフロップ31のクロック入力端子には、前段のDフリップフロップ31からの反転出力信号が入力される。また、各段のDフリップフロップ31の反転出力信号は自段へのセット入力にもなる。

[0035] 図6の回路構成におけるカウンタ回路3では、各段のDフリップフロップ31の出力がカウント値c2を示すビット信号を形成する。すなわち、1段目のDフリップフロップ31の出力がカウント値c2の下位から1ビット目の信号を形成し、2段目のDフリップフロップ31の出力がカウント値c2の下位から2ビット目の信号を形成し、最終段のDフリップフロップ31の出力がカウント値c2の下位から $(n+1)$ ビット目の信号を形成する。

[0036] さらに、Dフリップフロップ31のそれぞれには、後述する比較器4からのリセット信号rが入力される。これにより、カウンタ回路3は、リセット信号rがHighとなった時に、カウント値c2がリセットされて0に戻る。

[0037] 尚、本発明のカウンタ回路3は、図6に示すような非同期式バイナリカウンタに限定されるものではなく、他の周知の構成のカウンタを用いても良い。例えば、カウンタ回路3は、同期式であってもよく、また、グレイカウンタあるいはその他の構成のカウンタを用いても構わない。

[0038] 比較器4は、カウンタ回路3から入力されるカウント値c2を、制御回路5から設定信号として入力される比較基準値aと比較し、カウント値c2が比較基準値aと一致する度に、HighとLowとの間で反転するパルス信号s1をパルススワローカウンタ回路全体の分周信号（第2の分周信号）と

して位相比較器 6 に出力する。すなわち、パルス信号 s_1 はパルススワローカウンタ回路全体の分周信号であると同時に、可変分周器 2 の分周比の切替信号でもある。切替信号としてのパルス信号 s_1 は、High と Low との間での各反転が分周比の切替指示を意味する。

[0039] 比較器 4 の具体的構成の一例を図 7 に示す。図 7 に示す比較器 4 は、複数の 1 段目のアンド回路 4 1 と 2 段目のアンド回路 4 2 と T フリップフロップ 4 3 とにより構成されている。1 段目のアンド回路 4 1 の個数は、カウンタ回路 3 が出力するカウント値 c_2 のビット数（ここでは、 $(n+1)$ ビット）と等しい。それぞれのアンド回路 4 1 は 2 つの入力を有し、一方の入力にはカウント値 c_2 の何れかのビット信号が入力され、他方の入力には比較基準値 a として設定されている何れかのビット値が入力される。それぞれのアンド回路 4 1 において、入力されるカウント値 c_2 のビット信号と比較基準値 a として設定されているビット値とは互いに対応している。1 段目のアンド回路 4 1 の全ての出力は、2 段目のアンド回路 4 2 に入力される。これにより、アンド回路 4 2 の出力は、1 段目のアンド回路 4 1 の全ての出力が High となる時、すなわちカウント値 c_2 と比較基準値 a とが一致した時に High となり、カウント値 c_2 と比較基準値 a とが一致しない場合には Low となる。

[0040] また、2 段目のアンド回路 4 2 の出力はその後段に設けられた T フリップフロップ 4 3 に入力され、T フリップフロップ 4 3 の出力はパルス信号 s_1 として出力される。すなわち、比較器 4 から出力されるパルス信号 s_1 は、カウント値 c_2 と比較基準値 a とが一致するたびに High と Low とが切り替えられる。さらに、比較器 4 は、カウンタ回路 3 へのリセット信号も出力するが、このリセット信号はカウント値 c_2 と比較基準値 a とが一致するときに High となる信号であればよい。そのため、アンド回路 4 2 の出力をリセット信号 r として出力すればよい。

[0041] 制御回路 5 は、メモリ 10 に格納されている分周比設定情報（比較基準値に関する情報） d を読み出し、分周比設定情報 d に基づいて、設定するパル

ススワローカウンタ回路全体の分周比に応じた比較基準値 a を比較器 4 に入力する。比較基準値 a は分周比設定情報 d に用意された数だけ可変であり、複数の比較基準値 a に対応する分周比設定情報 d がメモリ 10 に格納される場合には、PLL 回路 20 は周波数シンセサイザとして機能することが可能である。

[0042] 分周比設定情報 d は、例えば、制御回路 5 がパルススワローカウンタ回路に設定しようとする分周比と比較基準値 a との対応を記述したルックアップテーブルの形態でメモリ 10 に格納され、制御回路 5 が設定しようとする分周比をメモリ 10 に読み出しアクセスすると、ルックアップテーブルから対応する比較基準値 a が読み出されるという処理が行われる。あるいは、例えば、分周比設定情報 d として予め決められた比較基準値 a の時間的な切り替えシーケンスがメモリ 10 に格納されていて、制御回路 5 がメモリ 10 に読み出しアクセスすると、メモリ 10 から当該シーケンスで複数の比較基準値 a が順次読み出されるという処理が行われる。

[0043] また、メモリ 10 に代えて、あるいはメモリ 10 に追加して、分周比設定情報 d の入力を、PLL 回路 20 の外部すなわちパルススワローカウンタ回路の外部から受け付けるインタフェースとなる設定回路（図示せず）を備えていてもよい。これは、PLL 回路 20 を搭載した機器内部の別の制御回路による分周比の設定や、機器のユーザからの分周比に関する入力指示などに対応するものである。この場合に、制御回路 5 は、設定回路に入力された分周比設定情報 d に関する情報に基づいて、比較器 4 に比較基準値 a を供給する。

[0044] 位相比較器 6 は、比較器 4 から入力されるパルス信号 s_1 と水晶発振器などから構成された基準信号発振器 7 が発生する基準周波数信号 s_0 との位相差を検出し、検出した結果を位相差信号 s_2 としてチャージポンプ回路 8 に出力する。

[0045] チャージポンプ回路 8 は、位相比較器 6 から入力される位相差信号 s_2 を電圧信号または電流信号に変換して、信号 s_3 としてループフィルタ 9 に出

力する。

[0046] ループフィルタ 9 はローパスフィルタで構成され、チャージポンプ回路 8 から入力される信号 s 3 をフィルタリングして直流成分を抽出し、電圧信号としての信号 s 4 を発振回路 1 に出力する。発振回路 1 は信号 s 4 によって発振周波数が制御される。

[0047] 〔半導体集積回路としての構成〕

上記の構成の PLL 回路 20 において、発振回路 1、可変分周器 2、カウンタ回路 3、比較器 4、および、制御回路 5 は同一半導体基板上に形成されて 1 つの半導体集積回路を構成していてもよい。また、位相比較器 6 とチャージポンプ回路 8 とは他の同一半導体基板上に形成されて 1 つの半導体集積回路を構成していてもよい。また、ループフィルタ 9 がさらに他の半導体基板に形成されて 1 つの半導体集積回路を構成していてもよい。また、基準信号発振器 7、位相比較器 6、チャージポンプ回路 8、ループフィルタ 9、メモリ 10、および設定回路の、全部あるいは任意の一部が、発振回路 1、可変分周器 2、カウンタ回路 3、比較器 4、および、制御回路 5 と同一半導体基板上に形成されて 1 つの半導体集積回路を構成していてもよい。

[0048] 同一半導体基板上に集積される回路が多いと、それだけ回路の小型化、作製コストの低減、プロセスの簡略化、および信号品質の向上を図ることができる。

[0049] 〔PLL 回路の動作〕

次に、図 2 を参照して、PLL 回路 20 の動作を、特にパルススワローカウンタ回路の動作に着目しながら説明する。

[0050] PLL 回路 20 において、カウンタ回路 3 は 4 回までカウントが可能な構成であるとする。この場合に、カウント値が 0 から 3 まで変化可能であるとする、比較基準値 a は 0、1、2、3 の 4 通りに設定することが可能である。以下では、PLL 回路 20 が搭載された例えば通信装置において電源が投入され、装置内で使用することが決められた高周波回路の周波数の設定に従って、制御回路 5 がメモリ 10 から分周比設定情報 d を読み出して比較基

準値 a を比較器 4 に供給した後の動作を考える。発振回路 1 は自走周波数からロック状態に制御されているとする。

[0051] まず、制御回路 5 が比較基準値 $a = 0$ を比較器 4 に供給したとする（図 2（a）参照）。

[0052] カウンタ回路 3 は装置電源の投入とともに初期化されてカウント動作を 0 から開始する。可変分周器 2 は発振回路 1 の出力する発振信号 s_5 をまず $1 / (N + 1)$ の分周比で分周する。可変分周器 2 が出力する分周信号 c_1 はカウンタ回路 3 によってカウントされ、カウンタ回路 3 はカウント値 c_2 として 0 を比較器 4 に出力する。比較器 4 は、入力されたカウント値 c_2 が比較基準値 a に一致していることから、図 2（a）に示すようにパルス信号 s_1 を Low から High に反転させる。この High は可変分周器 2 に切替信号として入力され、可変分周器 2 は分周比を $1 / N$ に切り替える。また、比較器 4 は同時にカウンタ回路 3 にリセット信号 r を出力する。

[0053] リセットされたカウンタ回路 3 は可変分周器 2 が出力する分周信号 c_1 を 0 からカウントし直し、カウント値 c_2 として 0 を比較器 4 に出力する。比較器 4 は、入力されたカウント値 c_2 が比較基準値 a に一致していることから、パルス信号 s_1 を High から Low に反転させる。この Low は可変分周器 2 に切替信号として入力され、可変分周器 2 は分周比を再び $1 / (N + 1)$ に切り替える。また、比較器 4 は同時にカウンタ回路 3 にリセット信号 r を出力する。

[0054] こうして、パルス信号 s_1 は $1 / (N + 1)$ によるカウンタ回路 3 の 1 カウント期間分の分周期間と $1 / N$ によるカウンタ回路 3 の 1 カウント期間分の分周期間との和で構成される周期を有する信号となる。このとき、パルススワローカウンタ回路の入力信号である発振信号 s_5 に対するパルススワローカウンタ回路の出力信号であるパルス信号 s_1 の分周比 $Y(s_1)$ は、 $(N + 1) \times 1 + N \times 1 = 2N + 1$ となる。この分周比 $Y(s_1)$ は PLL 回路 20 の最小の分周比であり、図 3 および図 4 に示した従来の PLL 回路の $X = 2N + 1$ と同じである。

[0055] 当該パルス信号 s_1 は位相比較器 6 に入力され、基準信号発振器 7 から供給される基準周波数信号 s_0 との位相差が検出される。位相比較器 6 が出力する位相差信号 s_2 はチャージポンプ回路 8 に入力されて電圧信号または電流信号に変換される。チャージポンプ回路 8 が出力する信号 s_3 はループフィルタ 9 に入力され、ループフィルタ 9 によって直流成分が抽出される。当該直流成分は電圧信号として発振回路 1 に入力され、この電圧信号によって発振回路 1 の発振周波数がパルス信号 s_1 と基準周波数信号 s_0 との位相差を打ち消すように制御される。位相比較器 6、チャージポンプ回路 8、ループフィルタ 9、および、発振回路 1 の各動作は、以後の例でも同様である。

[0056] 次に、制御回路 5 が比較基準値 $a = 1$ を比較器 4 に供給したとする（図 2（b）参照）。

[0057] カウンタ回路 3 は装置電源の投入とともに初期化されてカウント動作を 0 から開始する。可変分周器 2 は発振回路 1 の出力する発振信号 s_5 をまず $1 / (N + 1)$ の分周比で分周する。可変分周器 2 が出力する分周信号 c_1 はカウンタ回路 3 によってカウントされ、カウンタ回路 3 は最初のカウント値 c_2 として 0 を比較器 4 に出力する。比較器 4 は、入力されたカウント値 c_2 が比較基準値 a に一致していないことから、パルス信号 s_1 を Low のままとする。カウンタ回路 3 が次のカウント値 c_2 として 1 を比較器 4 に出力すると、比較器 4 は、入力されたカウント値 c_2 が比較基準値 a に一致していることから、パルス信号 s_1 を Low から High に反転させる。この High は可変分周器 2 に切替信号として入力され、可変分周器 2 は分周比を $1 / N$ に切り替える。また、比較器 4 は同時にカウンタ回路 3 にリセット信号 r を出力する。

[0058] リセットされたカウンタ回路 3 は可変分周器 2 が出力する分周信号 c_1 を 0 からカウントし直し、カウント値 c_2 として 0、1 を順次比較器 4 に出力する。比較器 4 は、入力されたカウント値 c_2 が 1 になるとカウント値 c_2 が比較基準値 a に一致していることから、パルス信号 s_1 を High から Low に反転させる。この Low は可変分周器 2 に切替信号として入力され、

可変分周器 2 は分周比を再び $1 / (N + 1)$ に切り替える。また、比較器 4 は同時にカウンタ回路 3 にリセット信号 r を出力する。

[0059] こうして、パルス信号 s_1 は $1 / (N + 1)$ によるカウンタ回路 3 の 2 カウント期間分の分周期間と $1 / N$ によるカウンタ回路 3 の 2 カウント期間分の分周期間との和で構成される周期を有する信号となる。このとき、パルススワローカウンタ回路の入力信号である発振信号 s_5 に対するパルススワローカウンタ回路の出力信号であるパルス信号 s_1 の分周比 $Y(s_1)$ は、 $(N + 1) \times 2 + N \times 2 = 4N + 2$ となる。

[0060] 次に、制御回路 5 が比較基準値 $a = 2$ を比較器 4 に供給したとする（図 2 (c) 参照）。

[0061] カウンタ回路 3 は装置電源の投入とともに初期化されてカウント動作を 0 から開始する。可変分周器 2 は発振回路 1 の出力する発振信号 s_5 をまず $1 / (N + 1)$ の分周比で分周する。可変分周器 2 が出力する分周信号 c_1 はカウンタ回路 3 によってカウントされ、カウンタ回路 3 はカウント値 c_2 として 0、1、2 を順次比較器 4 に出力する。比較器 4 は、入力されたカウント値 c_2 が 0 および 1 の場合にはカウント値 c_2 が比較基準値 a に一致していないことから、パルス信号 s_1 を Low のままとする。比較器 4 は、入力されたカウント値 c_2 が 2 の場合にはカウント値 c_2 が比較基準値 a に一致していることから、パルス信号 s_1 を Low から $High$ に反転させる。この $High$ は可変分周器 2 に切替信号として入力され、可変分周器 2 は分周比を $1 / N$ に切り替える。また、比較器 4 は同時にカウンタ回路 3 にリセット信号 r を出力する。

[0062] リセットされたカウンタ回路 3 は可変分周器 2 が出力する分周信号 c_1 を 0 からカウントし直し、カウント値 c_2 として 0、1、2 を順次比較器 4 に出力する。比較器 4 は、入力されたカウント値 c_2 が 2 になるとカウント値 c_2 が比較基準値 a に一致していることから、パルス信号 s_1 を $High$ から Low に反転させる。この Low は可変分周器 2 に切替信号として入力され、可変分周器 2 は分周比を再び $1 / (N + 1)$ に切り替える。また、比較

器 4 は同時にカウンタ回路 3 にリセット信号 r を出力する。

[0063] こうして、パルス信号 s_1 は $1 / (N + 1)$ によるカウンタ回路 3 の 3 カウント期間分の分周期間と $1 / N$ によるカウンタ回路 3 の 3 カウント期間分の分周期間との和で構成される周期を有する信号となる。このとき、パルススワローカウンタ回路の入力信号である発振信号 s_5 に対するパルススワローカウンタ回路の出力信号であるパルス信号 s_1 の分周比 $Y(s_1)$ は、 $(N + 1) \times 3 + N \times 3 = 6N + 3$ となる。

[0064] 次に、制御回路 5 が比較基準値 $a = 3$ を比較器 4 に供給したとする（図 2（d）参照）。

[0065] カウンタ回路 3 は装置電源の投入とともに初期化されてカウント動作を 0 から開始する。可変分周器 2 は発振回路 1 の出力する発振信号 s_5 をまず $1 / (N + 1)$ の分周比で分周する。可変分周器 2 が出力する分周信号 c_1 はカウンタ回路 3 によってカウントされ、カウンタ回路 3 はカウント値 c_2 として 0、1、2、3 を順次比較器 4 に出力する。比較器 4 は、入力されたカウント値 c_2 が 0、1、および 2 の場合にはカウント値 c_2 が比較基準値 a に一致していないことから、パルス信号 s_1 を Low のままとする。比較器 4 は、入力されたカウント値 c_2 が 3 の場合にはカウント値 c_2 が比較基準値 a に一致していることから、パルス信号 s_1 を Low から High に反転させる。この High は可変分周器 2 に切替信号として入力され、可変分周器 2 は分周比を $1 / N$ に切り替える。また、比較器 4 は同時にカウンタ回路 3 にリセット信号 r を出力する。

[0066] リセットされたカウンタ回路 3 は可変分周器 2 が出力する分周信号 c_1 を 0 からカウントし直し、カウント値 c_2 として 0、1、2、3 を順次比較器 4 に出力する。比較器 4 は、入力されたカウント値 c_2 が 3 になるとカウント値 c_2 が比較基準値 a に一致していることから、パルス信号 s_1 を High から Low に反転させる。この Low は可変分周器 2 に切替信号として入力され、可変分周器 2 は分周比を再び $1 / (N + 1)$ に切り替える。また、比較器 4 は同時にカウンタ回路 3 にリセット信号 r を出力する。

[0067] こうして、パルス信号 s_1 は $1/(N+1)$ によるカウンタ回路 3 の 4 カウント期間分の分周期間と $1/N$ によるカウンタ回路 3 の 4 カウント期間分の分周期間との和で構成される周期を有する信号となる。このとき、パルススワローカウンタ回路の入力信号である発振信号 s_5 に対するパルススワローカウンタ回路の出力信号であるパルス信号 s_1 の分周比 $Y(s_1)$ は、 $(N+1) \times 4 + N \times 4 = 8N + 4$ となる。

[0068] 上記の比較基準値 a が $0 \sim 3$ の例では、 $a = 3$ の場合の $Y(s_1) = 8N + 4$ が最大の分周比となる。これは、図 3 および図 4 に示した従来の PLL 回路においてスワローカウンタを 4 回カウント可能とした場合の最大分周比 $X = 4N + 3$ よりも大きい。本実施形態では、比較基準値 a としてカウンタ回路 3 に設定されるカウント値のリミットが、 $1/(N+1)$ による分周期間と $1/N$ による分周期間とのそれぞれにおいてカウントされて、両分周期間の和が最終的な分周信号の周期を決定するので、非常に大きな分周比を設定することが可能になる。

[0069] スワローカウンタのカウント可能回数を k (k は自然数) で表すと、一般に、図 3 および図 4 の従来の PLL 回路では $X = (N+1) \times (k-1) + N \times 1 = kN + k - 1$ の最大分周比が得られるのに対して、本実施形態では $Y(s_1) = (N+1) \times k + N \times k = 2kN + k$ の最大分周比が得られる。従来の PLL 回路では図 3 および図 4 のものに限らず、パルススワローカウンタ回路の最終的な分周出力の 1 周期分がスワローカウンタのカウント可能回数 k を一通りカウントする期間までに制限されてしまうため、最大分周比における N の項の乗数が k となる。本実施形態における最大分周比は、パルススワローカウンタ回路の最終的な分周出力の 1 周期分に、スワローカウンタのカウント可能回数 k を一通りカウントする期間の 2 倍の期間を割り当てることができるので、最大分周比における N の項の乗数が $2k$ となり、非常に大きな最大分周比が得られる。

[0070] 一方、本実施形態における最小分周比は、従来の PLL 回路と同様にパルススワローカウンタ回路の最終的な分周出力の最小の 1 周期分がスワローカ

ウンタの2カウント分の期間で決まることから、従来と同様の小さい値をそのまま実現可能である。

[0071] 以上により、本実施形態によれば、回路規模および消費電力を増大させることなく、回路全体の分周比の可変範囲をより拡大することのできる分周回路、およびそれを備えたPLL回路、並びに半導体集積回路を実現することができる。

[0072] なお、上記例では、本発明を基準周波数の整数倍で発振器をコントロールするInteger-N型PLL回路の動作に基づいて説明したが、本発明を基準周波数の分数倍で発振器をコントロールするFractional-N型PLL回路に適用しても良い。

[0073] 本発明は上記の実施形態に限定されるものではなく、上記実施形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施形態に含まれる。

産業上の利用可能性

[0074] 本発明は、局部発振信号など安定化された周波数信号を用いる通信機器や高周波回路に好適に使用することができる。

符号の説明

[0075]	1	発振回路
	2	可変分周器
	3	カウンタ回路
	4	比較器
	5	制御回路
	6	位相比較器
	7	基準信号発振器
	8	チャージポンプ回路
	9	ループフィルタ
	10	メモリ
	20	PLL回路

4 1 ・ 4 2	アンド回路
4 3	Tフリップフロップ
s 5	発振信号（周期信号）
c 1	分周信号（第 1 の分周信号）
c 2	カウント値
a	比較基準値
d	分周比設定情報（比較基準値に関する情報）
s 1	パルス信号（第 2 の分周信号、切替信号）
r	リセット信号

請求の範囲

- [請求項1] 2種類の分周比で分周可能であって、入力される周期信号を指定された上記分周比で分周して生成した第1の分周信号を出力する可変分周器と、
- 上記可変分周器が出力した上記第1の分周信号のサイクル数を初期値からカウントして得たカウント値を出力するとともに、リセットされるとカウント動作を初期値から再開するカウンタ回路と、
- 上記カウント値を比較基準値と比較して上記カウント値が上記比較基準値と一致する度にHighとLowとを反転させるように生成したパルス信号を、上記周期信号に対する第2の分周信号として出力するとともに上記可変分周器において指定する上記分周比の切替信号として上記可変分周器に供給し、上記カウント値が上記比較基準値と一致する度に上記カウンタ回路にリセット信号を出力して上記カウンタ回路をリセットする比較器と、
- 上記比較器に上記比較基準値を供給する制御回路とを備えていることを特徴とする分周回路。
- [請求項2] 上記比較基準値に関する情報が格納されるメモリを備えており、
- 上記制御回路は、上記メモリから上記比較基準値に関する情報を読み出して上記比較器に上記比較基準値を供給することを特徴とする請求項1に記載の分周回路。
- [請求項3] 上記比較基準値に関する情報の外部からの入力を受け付ける設定回路を備えており、
- 上記制御回路は、上記設定回路に入力された上記比較基準値に関する情報に基づいて、上記比較器に上記比較基準値を供給することを特徴とする請求項1または2に記載の分周回路。
- [請求項4] 請求項1から3までのいずれか1項に記載の分周回路と、発振周波数が可変であり上記周期信号としての発振信号を出力する発振回路と、基準周波数信号を発生する基準信号発振器と、上記第2の分周信号

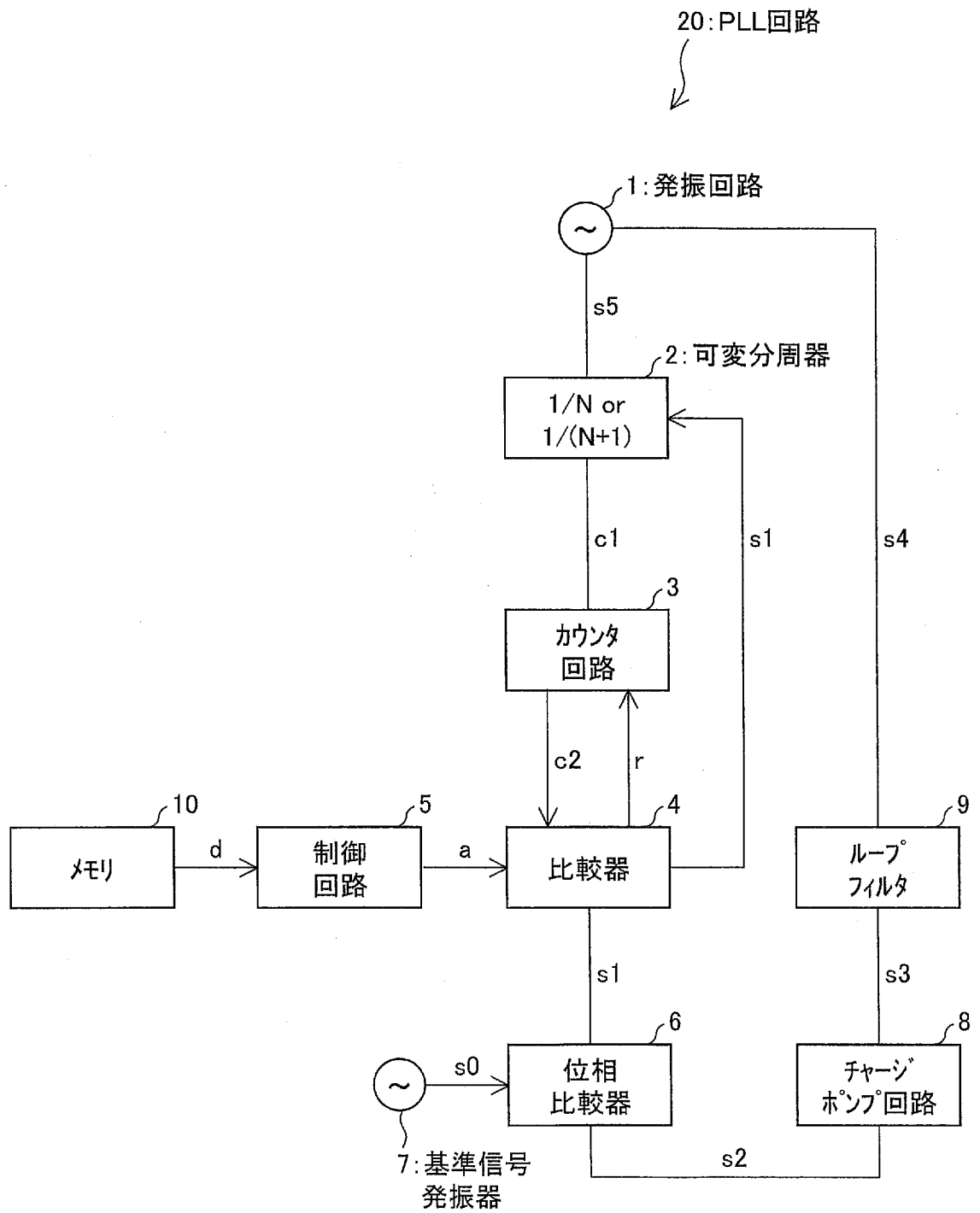
と上記基準周波数信号との位相差を検出する位相比較器と、上記位相比較器が検出した上記位相差を電圧信号または電流信号に変換して出力するチャージポンプ回路と、上記チャージポンプ回路の出力をフィルタリングして上記発振回路の上記発振周波数を制御する信号を出力するループフィルタとを備えていることを特徴とするPLL回路。

[請求項5] 請求項1から3までのいずれか1項に記載の分周回路と、発振周波数が可変であり上記周期信号としての発振信号を出力する発振回路とを備える半導体集積回路であって、

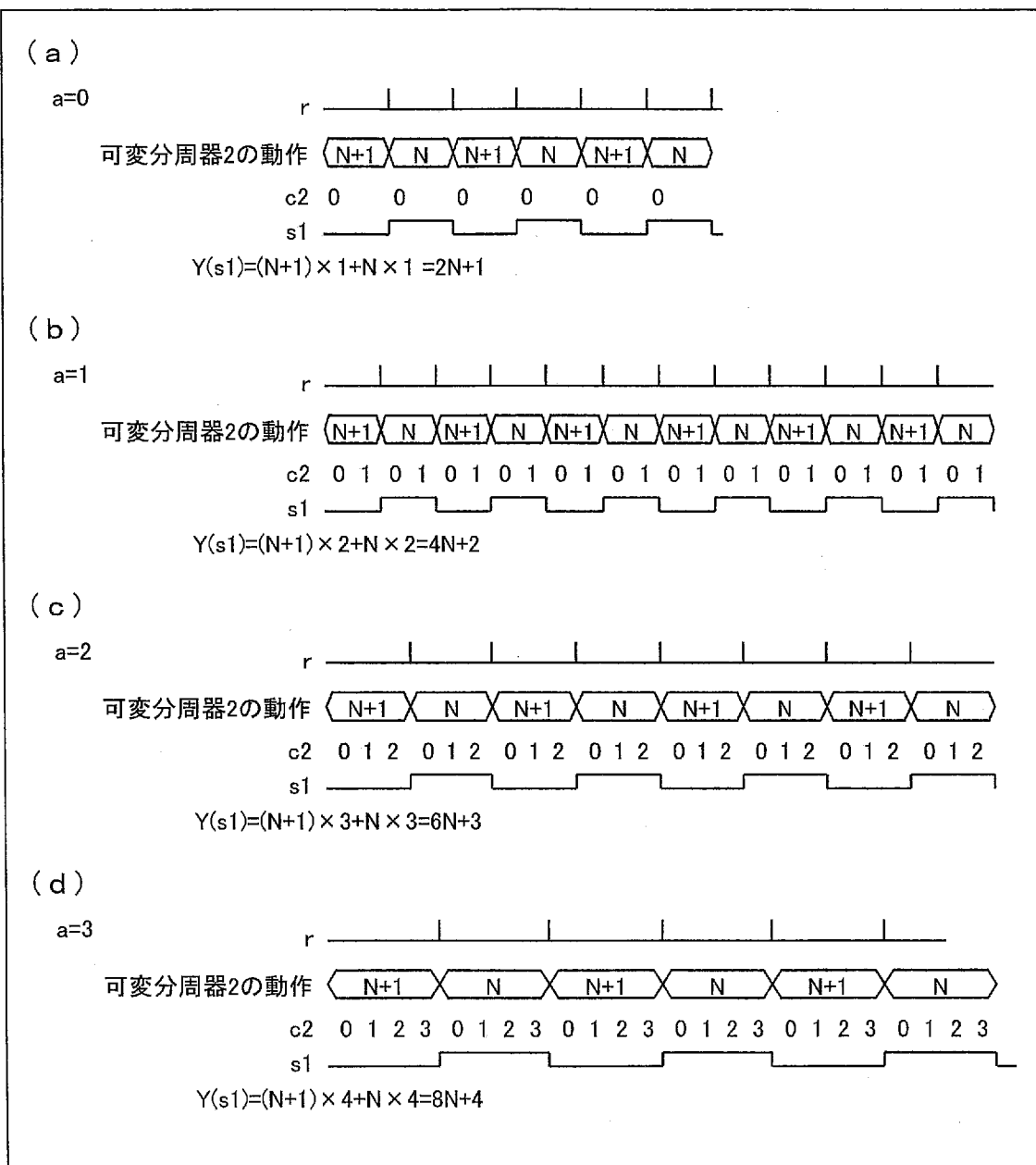
上記可変分周器と、上記カウンタ回路と、上記比較器と、上記制御回路と、上記発振回路とが同一半導体基板上に形成されていることを特徴とする半導体集積回路。

[請求項6] さらに、上記第2の分周信号と基準周波数信号との位相差を検出する位相比較器と、上記位相比較器が検出した上記位相差を電圧信号または電流信号に変換して出力するチャージポンプ回路とが、上記可変分周器と上記カウンタ回路と上記比較器と上記制御回路と上記発振回路とが形成された半導体基板上に形成されていることを特徴とする請求項5に記載の半導体集積回路。

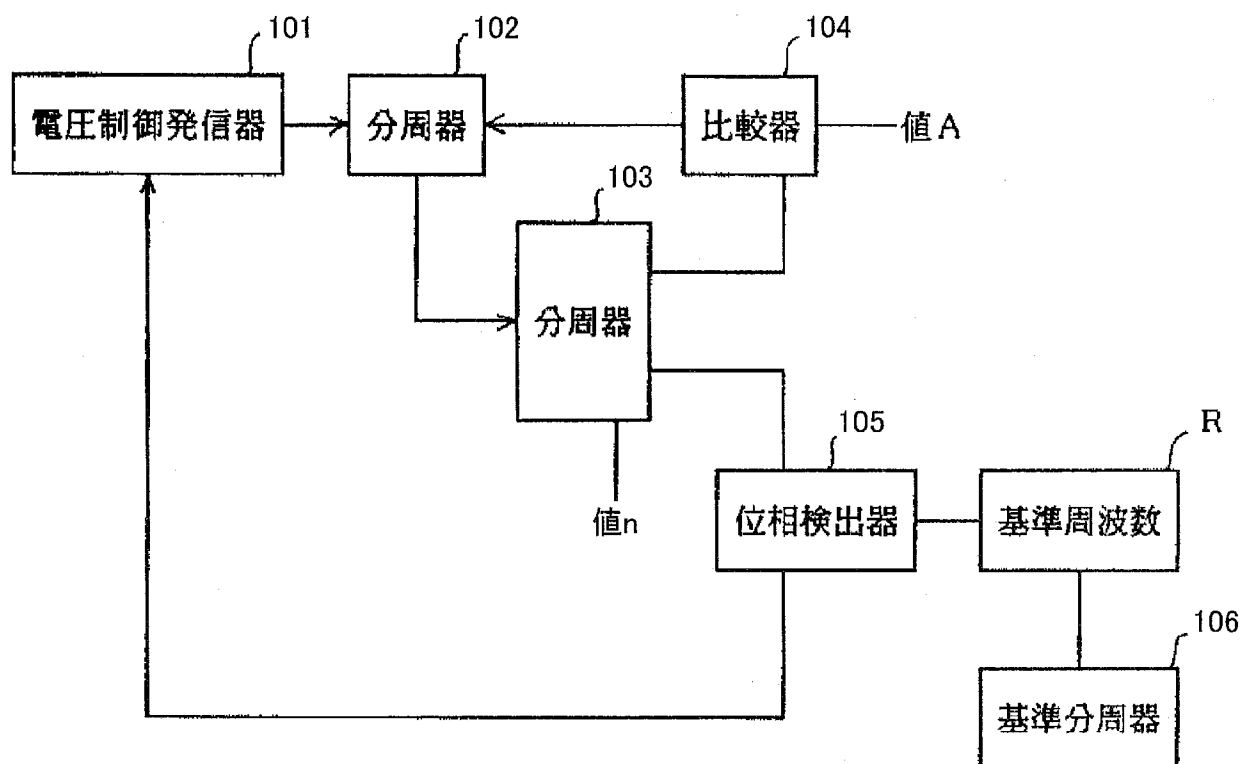
[図1]



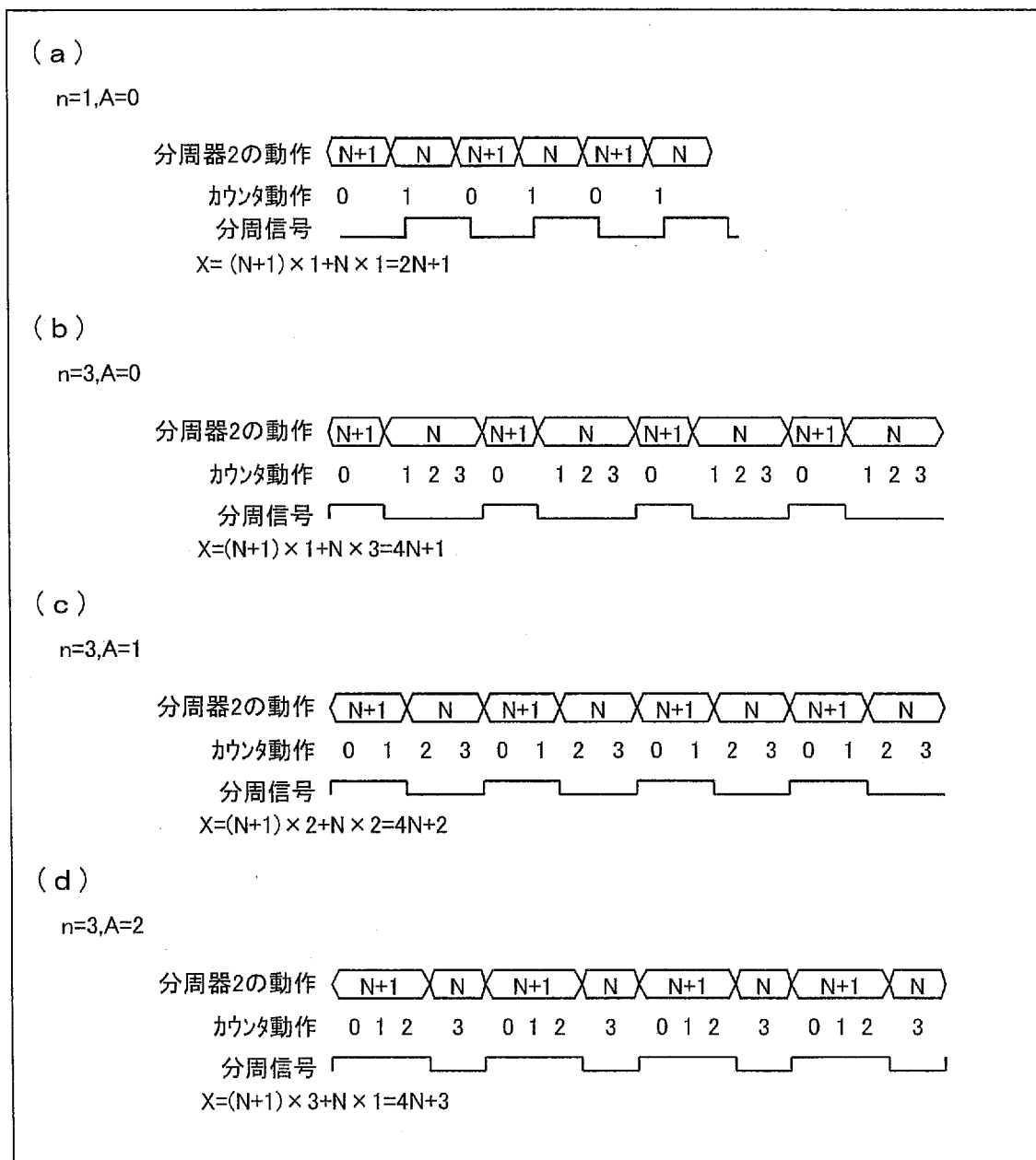
[図2]



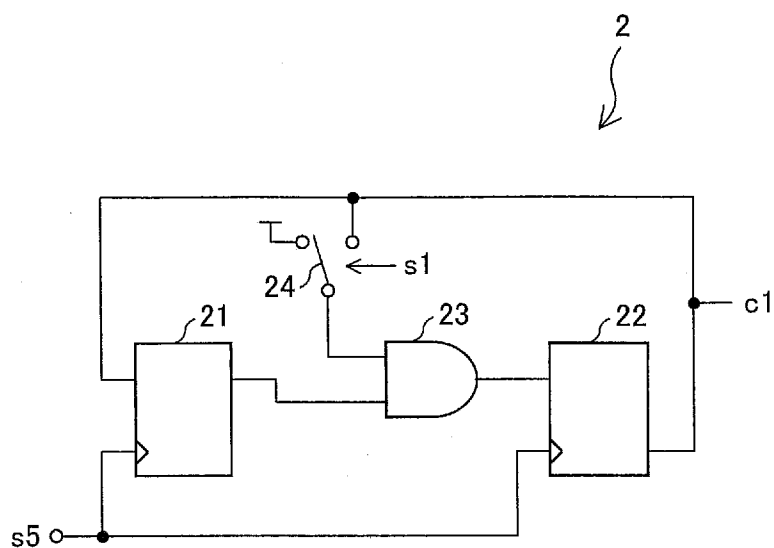
[図3]



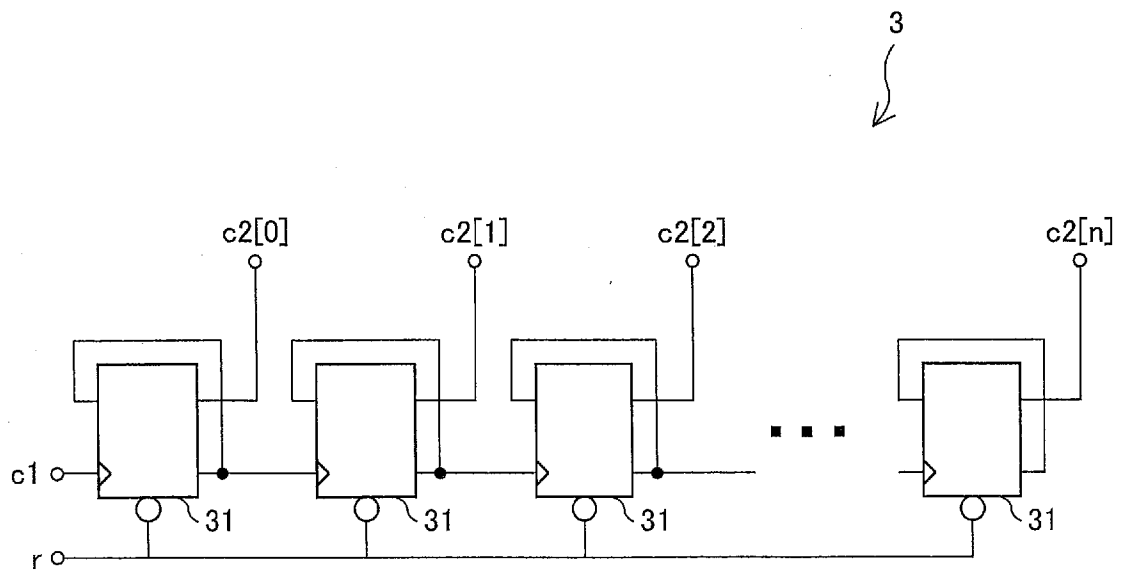
[図4]



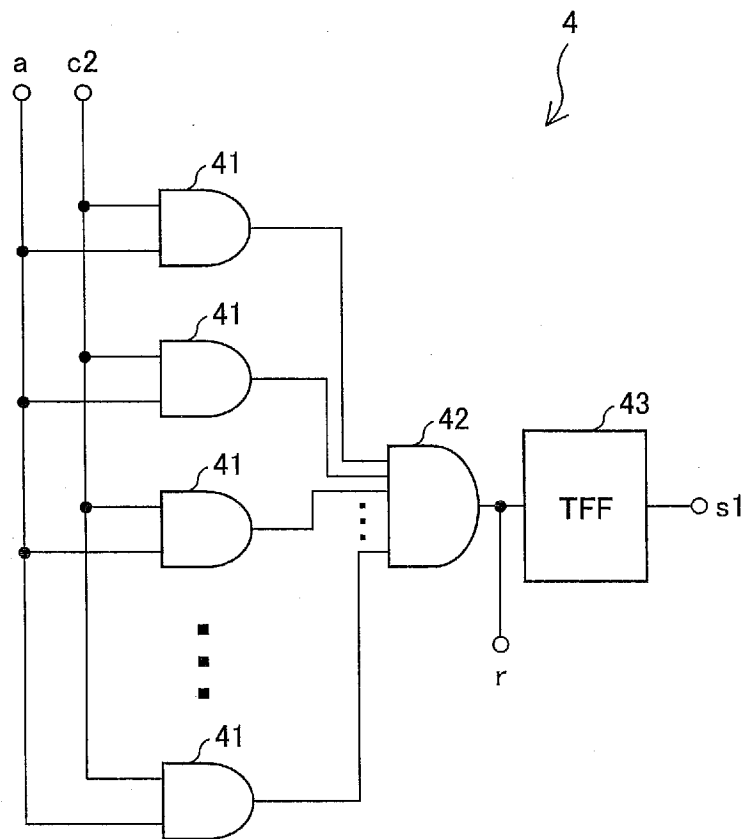
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/069029

A. CLASSIFICATION OF SUBJECT MATTER

H03K23/64(2006.01)i, H03L7/183(2006.01)i, H03L7/197(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K23/64, H03L7/183, H03L7/197

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-326605 A (Kiyoshi KASE), 25 November 1994 (25.11.1994), entire text; fig. 1 (Family: none)	1-6
Y	JP 7-111452 A (Kiyoshi KASE), 25 April 1995 (25.04.1995), entire text; fig. 1 (Family: none)	1-6
Y	JP 4-83425 A (Fujitsu Ltd.), 17 March 1992 (17.03.1992), entire text; fig. 1, 4 (Family: none)	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

03 October, 2011 (03.10.11)

Date of mailing of the international search report

11 October, 2011 (11.10.11)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03K23/64(2006.01)i, H03L7/183(2006.01)i, H03L7/197(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03K23/64, H03L7/183, H03L7/197

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	J P 6-326605 A (加瀬 清) 1994. 11. 25、全文、図1 (ファミリーなし)	1-6
Y	J P 7-111452 A (加瀬 清) 1995. 04. 25、全文、図1 (ファミリーなし)	1-6
Y	J P 4-83425 A (富士通株式会社) 1992. 03. 17、全文、第1図及び第4図 (ファミリーなし)	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

03. 10. 2011

国際調査報告の発送日

11. 10. 2011

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石田 勝

5 X

3572

電話番号 03-3581-1101 内線 3596