



(12)发明专利申请

(10)申请公布号 CN 109727576 A  
(43)申请公布日 2019.05.07

(21)申请号 201811276229.2

(22)申请日 2018.10.30

(30)优先权数据

15/797,661 2017.10.30 US

(71)申请人 伊格尼斯创新公司

地址 加拿大安大略

(72)发明人 戈尔拉玛瑞扎·恰吉

亚沙尔·阿齐兹 阿拉什·莫拉迪  
刘洪鑫

(74)专利代理机构 北京信慧永光知识产权代理  
有限责任公司 11290

代理人 姚鹏 曹正建

(51)Int.Cl.

G09G 3/3225(2016.01)

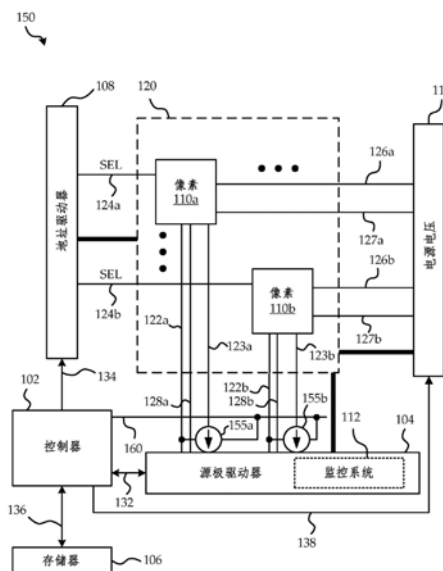
权利要求书2页 说明书23页 附图21页

(54)发明名称

像素、参考电路以及时序技术

(57)摘要

本发明公开了一种像素、参考电路、显示系统和时序技术。所述显示系统包括控制器、源驱动器、多条组合数据/监控线、多条数据线、多条监控线和切换系统。根据本发明，能够在以使用现有显示器组件的方式利用集成在显示器上的电路的同时，控制像素电路和电流偏置元件组的时序和校准。



1. 一种显示系统,其包括多个像素,所述显示系统包括:

控制器,用于接收表明将被显示在所述显示系统上的信息的数字数据;

源驱动器,用于接收来自所述控制器的数据并且用于在编程阶段将数据信号发送至各像素,并且所述源驱动器包括一体化的监控系统,所述监控系统用于在测量阶段内测量与各所述像素相关联的电流或电压以提取表明各所述像素的劣化的信息;

多条组合数据/监控线,从所述源驱动器延伸并且用于在交替的所述编程阶段和所述测量阶段内分别发送所述数据信号和监控信号;

多条数据线,延伸至各所述像素;

多条监控线,延伸至各所述像素并且用于在所述编程阶段之后测量与各所述像素相关联的电流或电压;

以及切换系统,用于将各所述组合数据/监控线交替地连接至一条所述数据线和一条所述监控线。

2. 根据权利要求1所述的显示系统,其中,各所述像素包括:

发光装置;

存储元件,所述存储元件连接至一条所述数据线,所述存储元件用于在所述编程阶段存储编程信号;

驱动晶体管开关,所述驱动晶体管开关用于根据所述编程信号将来自第一电源线的驱动电流传送到所述发光装置,以使所述发光装置在发光阶段内以期望量的亮度发光;

存取晶体管开关,用于选择性地地在所述编程阶段将所述存储元件连接至所述源驱动器,并且在所述发光阶段将所述存储元件与所述源驱动器断开;以及

监控晶体管开关,用于选择性地地将各所述像素连接至相应的所述监控线。

3. 根据权利要求1所述的显示系统,其中,各所述切换系统包括第一开关和第二开关,所述第一开关用于选择性地地将相应的所述数据线连接至相应的所述组合数据/监控线,所述第二开关用于选择性地地将相应的所述监控线连接至相应的所述组合数据/监控线。

4. 根据权利要求3所述的显示系统,其中,所述源驱动器能够在所述编程阶段内开启所述第一开关并使所述第二开关无效,并且能够在所述测量阶段内开启所述第二开关并使所述第一开关无效。

5. 根据权利要求3所述的显示系统,还包括偏置电路,所述偏置电路连接至各所述监控线;

其中,各所述切换系统还包括第三开关,所述第三开关用于将相应的所述偏置电路选择性地连接至各所述监控线。

6. 根据权利要求5所述的显示系统,其中,所述源驱动器能够在所述编程阶段内开启所述第一开关和所述第三开关并使所述第二开关无效,并且能够在所述测量阶段内开启所述第二开关并使所述第一开关和所述第三开关无效。

7. 根据权利要求1所述的显示系统,其中,各所述组合数据/监控线连接至相应的第一数据线和第二数据线;

其中,各所述切换系统包括第一开关、第二开关和第三开关,所述第一开关用于将所述第一数据线选择性地连接至所述组合数据/监控线,所述第二开关用于将所述第二数据线选择性地连接至所述组合数据/监控线,所述第三开关用于将所述监控线选择性地连

接至所述组合数据/监控线。

8. 根据权利要求7所述的显示系统,其中,所述源驱动器能够在所述编程阶段内依次开启所述第一开关和所述第二开关并使所述第三开关无效,并且能够在所述测量阶段内开启所述第三开关并使所述第一开关和所述第二开关无效。

9. 根据权利要求7所述的显示系统,还包括偏置电路,所述偏置电路连接至各所述监控线;

其中,各所述切换系统还包括第四开关,所述第四开关用于将所述偏置电路选择性地连接至各所述监控线。

10. 根据权利要求9所述的显示系统,其中,所述源驱动器能够在所述编程阶段内依次开启所述第一开关和所述第二开关并,开启所述第四开关,并且使所述第三开关无效;并且所述源驱动器能够在所述测量阶段内开启所述第三开关并使所述第一开关、所述第二开关和所述第四开关无效。

11. 根据权利要求2所述的显示系统,其中,所述源驱动器能够:

在编程周期内基于相应的所述数据信号将各所述存储元件充电至限定水平;并且

在所述编程周期之后,在校准周期内,根据所述驱动晶体管开关的特性对所述存储元件进行部分地放电。

12. 根据权利要求11所述的显示系统,其中,所述源驱动器能够:

在所述编程周期内,使连接至所述驱动晶体管开关的栅极端子的所述存储元件充电至少包括所述驱动晶体管开关的阈值电压,使得在所述发光周期内,所述源极端子与所述漏极端子之间的电压是所述驱动晶体管的所述阈值电压的函数。

13. 根据权利要求2所述的显示系统,还包括连接至各所述像素的所述第一电源线和第二电源线,用于将来自电压源的第一电位和第二电位分别提供至所述像素,以使所述驱动电流经由所述驱动晶体管开关供给至所述发光装置;

其中,所述控制器能够将所述第二电位升高至等于所述第一电位以避免在所述测量阶段内来自所述发光装置的干扰。

## 像素、参考电路以及时序技术

### 技术领域

[0001] 本发明涉及发光视觉显示器技术的像素、电流偏置和信号时序,并且特别地,涉及用于对有源矩阵发光二极管装置(AMOLED)和其它发射显示器中的像素和像素电流偏置进行编程和校准的系统和方法。

[0002] 本申请要求于2017年10月30日提交的美国专利申请15/797,661的优先权,并且将该优先权文件的全部内容以参考的方式并入本文。

### 背景技术

[0003] 许多当前的显示技术受到制造时产生的缺陷、差异和不均匀的不利影响,并且可能还受到在显示器的整个使用寿命中的老化和劣化的不利影响,这导致了生成的图像与期望的图像存在偏差。图像校准和补偿的方法被用于校准这些缺陷以产生更加准确、均匀的图像,或者,产生更加接近地还原图像数据所代表的图像。一些显示器利用电流偏置电压编程驱动方案,显示器的每个像素是电流偏置电压编程(CBVP)像素。在这样的显示器中,对于产生并保持准确的图像再现还有如下要求:用于提供电流偏置的电流偏置元件(即,电流源或电流吸收器)将适当水平的电流偏置提供至那些像素。

[0004] 由于制造中的差异和使用劣化的差异无法避免,所以为显示器和该显示器的像素设置的一些电流偏置元件虽然被设计为是同样均匀和准确的并且被编程为提供期望的电流偏置水平和相应的期望亮度,但实际上呈现出电流偏置和对应的提供的亮度的偏差。为了校正由这些电流源或电流吸收器以及像素的不均匀和不准确而导致的视觉缺陷,电流偏置元件和像素的编程被添加了校准和选择性的监控以及补偿。

[0005] 随着阵列半导体装置的分辨率增大,驱动、校准和/或监控该阵列所需的线和元件的数量急剧增加。这可能导致更高的耗电量、更高的制造成本和更大的物理足印(physical foot print)。在CBVP像素显示器的情况下,随着行或列的数量的增加,设置电路来编程、校准和监控电流源或电流吸收器可能增大集成电路的成本和复杂度。

### 发明内容

[0006] 因此,本发明涉及含有多个像素的显示系统,所述显示系统包括:控制器,其用于接收表明将被显示在所述显示系统上的信息的数字数据;源驱动器,用于接收来自所述控制器的数据并且用于在编程周期将数据信号发送至各像素,并且所述源驱动器包括一体化的监控系统,所述监控系统用于在测量期间内测量与各所述像素相关联的电流或电压以提取表明各所述像素的劣化的信息;多条组合数据/监控线,从所述源驱动器延伸并且用于在交替的所述编程周期和所述测量周期分别发送数据信号和监控信号;多条数据线,延伸至各所述像素;多条监控线,延伸至各所述像素并且用于在所述编程周期之后测量与各所述像素相关联的电流或电压;以及切换系统,用于将各所述组合数据/监控线交替地连接至一条所述数据线和一条所述监控线。

[0007] 鉴于参照附图进行的各种实施例和/或方面的详细说明,本发明的前述和额外的

各方面和实施例对于本领域普通技术人员而言将是显然的,接下来提供附图的简要说明。

### 附图说明

- [0008] 基于阅读下面的详细说明并且参照附图,本发明的上述和其它优点将变得更加显然。
- [0009] 图1图示了利用公开的方法并且包括公开的像素和电流偏置元件的示例性显示系统;
- [0010] 图2是根据一个实施例的电流吸收器(current sink)的电路图;
- [0011] 图3是根据一个实施例的电流吸收器和电流源编程和校准的时序图;
- [0012] 图4是根据另一实施例的电流源的电路图;
- [0013] 图5是根据实施例的4T1C像素电路的电路图;
- [0014] 图6A是图示了4T1C像素电路的编程和驱动的时序图;
- [0015] 图6B是图示了4T1C像素电路的编程和测量的时序图;
- [0016] 图7是根据实施例的6T1C像素电路的电路图;
- [0017] 图8A是图示了6T1C像素电路的编程和驱动的时序图;
- [0018] 图8B是图示了6T1C像素电路的编程和测量的时序图;
- [0019] 图9是用于各像素行的改进驱动的时序图;
- [0020] 图10是根据实施例的在电流模式中操作的4T1C像素电路的电路图;
- [0021] 图11是根据实施例的在电流模式中操作的6T1C像素电路的电路图;
- [0022] 图12是图示了图10和图11中的4T1C像素电路和6T1C像素电路的编程和驱动的时序图;
- [0023] 图13是根据实施例的4T1C参考电流吸收器的电路图;
- [0024] 图14是根据实施例的6T1C参考电流吸收器的电路图;
- [0025] 图15是根据实施例的4T1C参考电流源的电路图;
- [0026] 图16是根据实施例的6T1C参考电流源的电路图;
- [0027] 图17是图示了图13至16中的4T1C、6T1C、电流吸收器和电流源的编程和驱动的参考行时序图;
- [0028] 图18是数据线和监控线的面板上多路复用(on-panel multiplexing)的示意图;
- [0029] 图19是数据线和监控线的面板上多路复用的示意图;
- [0030] 图20是图示了图19的像素电路的驱动的编程的时序图;并且
- [0031] 图21是数据线和监控线的面板上多路复用的变型例的示意图,其中在一个周期内对两个像素进行编程。
- [0032] 虽然本发明容易具有各种变型例和替代形式,但是附图中以示例的方式示出了具体实施例,并且将在本文中详细说明。然而,应理解,本发明不是意在限于公开的特定形式。而是,本发明旨在覆盖落入如随附权利要求限定的本发明的实质和范围内的所有变型例、等同物以及替代例。

### 具体实施方式

- [0033] 下文中公开的系统和方法通过如下方式解决这些问题:在以使用现有显示器组件

的方式利用集成在显示器上的电路的同时,控制像素电路和电流偏置元件组的时序和校准。

[0034] 虽然本文中说明的实施例是基于AMOLED显示器的背景,但是应当理解的是,本文中说明的系统和方法能够应用于包含可以利用电流偏置的像素的任何其它的显示器,包括但不限于发光二极管显示器(LED)、电致发光显示器(ELD)、有机发光二极管显示器(OLED)、等离子显示板(PSP)以及其它显示器。

[0035] 应当理解的是,本文中说明的实施例涉及校准和补偿的系统和方法,并且不限于以它们的操作以及它们在其中得以实施的显示器的操作为基础的显示技术。本文中说明的系统和方法能够应用于各种视觉显示技术的各种类型和实施方式。

[0036] 图1是实施方法并包括下文中将说明的电路的显示系统150的示例的示图。显示系统150包括显示面板120、地址驱动器108、源极驱动器104、控制器102和存储器106。

[0037] 显示面板120包括以行和列排列的像素110a、110b的阵列(仅明确地示出了两个)。各像素110a、110b能够单独编程,从而以单独编程的亮度值发光,并且是电流偏置电压编程像素(CBVP)。控制器102接收表示将被显示在显示面板120上的信息的数字数据。控制器102将信号132发送至源极驱动器104并且将调度信号134发送至地址驱动器108以驱动显示面板120中的像素110显示指示的信息。显示面板120的多个像素110因此包括适于根据由控制器102接收的输入数字数据而动态地显示信息的显示阵列或显示屏。显示屏能够显示基于由控制器102接收的数据的图像和视频信息流。电源电压114提供恒定电压或者能够用作受来自控制器102的信号控制的可调节电压源。显示系统150包括来自电流偏置元件155a、155b(电流源或电流吸收器,图示的是电流吸收器)的特征以向显示面板120中的像素110a、110b提供偏置电流,从而减少像素110的编程时间。虽然与源极驱动器104分离地示出,但是电流偏置元件155a、155b可以与源极驱动器104分离地形成,或者可以集成为单独的元件。需要理解的是,用来为像素提供电流偏置的电流偏置元件155a、155b除了图1中所示的电流吸收器之外,也可以是电流源。

[0038] 为了图示的目的,在图1中的显示系统150中仅明确地示出了两个像素110a和110b。应当理解的是,显示系统150被实施有包括像素(诸如像素110a和110b)阵列的显示屏,并且所述显示屏不限于特定数量的像素行和列。例如,显示系统150能够被实施有在用于移动装置、基于显示器的装置和/或投影装置的显示器中通常可用的具有多个像素行和列的显示屏。在多通道或彩色显示器中,在显示器中存在多个不同种类的像素,各像素负责重现特性通道的颜色或者诸如红、绿或蓝等颜色。这种像素还可以被称为“子像素”,因为一组这样的像素在显示器的特定行和列共同提供期望的颜色,子像素的组也可以被统称为“像素”。

[0039] 通过驱动电路或像素电路来操作各像素110a、110b,驱动电路或像素电路通常包括驱动晶体管和发光装置。下文中,像素110a、110b可以称为像素电路。发光装置能够选择性地为有机发光二极管、但是本发明的实施方式采用具有其它电致发光装置(包括电流驱动发光装置和上文中列出的那些装置)的像素电路。可选地,像素110a、110b中的驱动晶体管是n型或p型非晶硅薄膜晶体管,但是本发明的实施方式不限于具有特定极性的晶体管的像素电路或者不仅限于具有薄膜晶体管的像素电路。像素电路110a、110b还能够包括用于存储编程信息并且使像素电路110能够在被寻址后驱动发光装置的存储电容器。因此,显示

面板120能够是有源矩阵显示阵列。

[0040] 如图1所示,显示面板120中的各像素110a、110b连接至相应的选择线124a、124b,相应的电源线126a、126b,相应的数据线122a、122b,相应的电流偏置线123a、123b和相应的监控线128a、128b。还可以包括读取线以用于控制监控线的连接。在一个实施例中,电源电压114还能够提供第二电源线至各像素110a、110b。例如,各像素能够连接至充电有Vdd的第一电源线126a、126b和与Vss连接的第二电源线127a、127b,并且像素电路110a、110b能够位于第一电源线与第二电源线之间以便于在像素电路的发射阶段期间在两个电源线之间驱动电流。应当理解的是,显示器120的像素阵列中的各像素110连接至适当的选择线、电源线、数据线和监控线。请注意,本发明的各方面适用于具有诸如至额外的选择线的连接等额外连接的像素,并且适应于具有更少连接的像素,以及适用于共用多种连接的像素。

[0041] 参照显示面板120的像素110a,选择线124a由地址驱动器108设置,并且能够被用于通过如下方式使能像素110a的编程操作:激活开关或晶体管以使数据线122a对像素110a编程。数据线122a将来自源极驱动器104的编程信息传送至像素110a。例如,数据线122a能够被用于将编程电压或编程电流施加至像素110a,以对像素110a进行编程以使其发出期望量的亮度。由源极驱动器104经由数据线122a提供的编程电压(或编程电流)是适合于使像素110a以根据控制器102接收的数字数据的期望量的亮度发光的电压(或电流)。编程电压(或编程电流)能够在像素110a的编程操作期间被施加至像素110a,以此对像素110a中的存储装置(诸如存储器等)充电,从而使像素110a在编程操作之后的发射操作期间能够以期望量的亮度发光。例如,像素110a中的存储装置可以在编程操作期间被充电以在发射操作期间将电压施加至驱动晶体管的栅极端子或源极端子的一者或多者,从而使驱动晶体管根据存储在存储装置中的电压传递驱动电流通过发光装置。电流偏置元件155a经由显示面板120中的电流偏置线123a将偏置电流提供至像素110a,从而减少像素110a的编程时间。电流偏置元件155a还连接至数据线122a,并且如下所述地在不用于编程像素的时候使用数据线122a来对电流偏置元件的电流输出进行编程。在一些实施例中,电流偏置元件155a、155b还连接至与控制器102连接的参考/监控线160,以用于监视和控制电流偏置元件155a、155b。

[0042] 通常,在像素110a中,在像素110a的发射操作期间由驱动晶体管传送经过发光装置的驱动电流是由第一电源线126a供给并排出至第二电源线127a的电流。第一电源线126a和第二电源线127a连接至电源电压114。第一电源线126a能够提供正电源电压(例如,在电路设计中被统称为“Vdd”的电压)并且第二电源线127a能够提供负电源电压(例如,例如,在电路设计中被统称为“Vss”的电压)。本发明的实施方式能够被实现为电源线中的一者或另一者(例如,电源线127a)被固定于接地电压或另一参考电压。

[0043] 显示系统150还包括监控系统112。再参照显示面板120的像素110a,监控线128a将像素110a连接至监控系统112。监控系统112能够与源极驱动器104一体化,或者能够是分离的独立系统。特别地,监控系统112能够通过像素110a的监控操作期间监控数据线122a的电流和/或电压而被可选择地实施,并且监控线128a能够被整体地省略。监控线128a使得监控系统112能够测量与像素110a相关联的电流或电压,从而提取表示像素110a的劣化或老化或者表示像素110a的温度的信息。在一些实施例中,显示面板120包括像素110a中实施的专用于感测温度的温度感测电路,而在另一些实施例中,像素110a包括既参与感测温度又参与驱动像素的电路。例如,监控系统112能够经由监控线128a提取流经像素110a中的驱动

晶体管的电流,并因而能够基于检测的电流和在测量期间供给至驱动晶体管的电压确定驱动晶体管的阈值电压或偏移。在一些实施例中,监控系统112经由数据线122a、122b或参考/监控线160提取与电流偏置元件有关的信息,并且在一些实施例中这是由控制器102进行的或与控制器102协同进行的。

[0044] 监控系统112还能够提取发光装置(例如,当发光装置进行工作以发光的时候发光装置两侧的压降)的操作电压。监控系统112随后能够与控制器102和/或存储器106进行信号132的通信,以使显示系统150能够将提取的老化信息存储在存储器106中。在像素110a接下来的编程和/或发射操作期间,该老化信息被控制器102经由存储信号136从存储器106中取回,并且控制器102随后在像素110a的后续编程和/或发射操作中针对提取的劣化信息进行补偿。例如,一旦提取了劣化信息,在像素110a的后续编程操作期间能够适当地调整经由数据线122a传送到像素110a的编程信息,以使像素110a以不受像素110a的劣化影响的期望量的亮度发光。在示例中,像素110a中的驱动晶体管的阈值电压的增大能够通过适当地增大施加至像素110a的编程电压来补偿。以类似的方式,监控系统112能够提取电流偏置元件155a的偏置电流。监控系统112随后能够与控制器102和/或存储器106进行信号132的通信,以使显示系统150能够将提取的信息存储在存储器106中。在电流偏置元件155a的后续编程中,该信息被控制器102经由存储信号136从存储器106中取回,并且控制器102随后利用在电流偏置元件155a的后续编程中的调整对之前检测的电流中的错误进行补偿。

[0045] 现在参照图2说明根据实施例的电流吸收器200的电路结构。电流吸收器200例如对应于图1中所示的显示系统150的单个电流偏置元件155a、155b,其通过电流偏置线123a、123b将偏置电流 $I_{bias}$ 提供至CBVP像素110a、110b。图2中所示的电流吸收器200基于PMOS晶体管。基于电流源的PMOS根据本文所述的类似原理而被预期、构造并发挥功能。应当理解的是,该电流吸收器及其功能的变型能够被预期,并且包括不同类型的晶体管(PMOS、NMOS或CMOS)和不同的半导体材料(例如LTPS、金属氧化物等)。

[0046] 电流吸收器200包括第一开关晶体管202(T4),第一开关晶体管202受到连接至其栅极端子的使能信号EN的控制,并且经由源极端子和漏极端子中的一者连接至例如与图1的电流偏置线123a对应的电流偏置线223( $I_{bias}$ ),并且经由源极端子和漏极端子中的另一者连接至存储电容器210的第一端子。电流驱动晶体管206(T1)的栅极端子连接至存储电容器210的第二端子,电流驱动晶体管206的源极端子和漏极端子中的一者连接至存储电容器210的第一端子。电流驱动晶体管206的源极端子和漏极端子中的另一者连接至VSS。第二开关晶体管208(T2)的栅极端子连接至写入信号线(WR),且其源极端子和漏极端子的一者连接至例如与图1中所示的数据线122a对应的电压偏置或数据线222( $V_{bias}$ )。第二开关晶体管208(T2)的源极端子和漏极端子的另一者连接至存储电容器210的第二端子。第三开关晶体管204的栅极端子(T3)连接至校准控制线(CAL),而其源极端子和漏极端子的一者连接至例如与图1中所示的参考监控线160相对应的参考监控线260。第三开关晶体管204的源极端子和漏极端子的另一者连接至存储电容器210的第一端子。如上所述,数据线被共用,并用于在帧期间的特定时段内为像素提供变压偏置或数据以及用于在帧的其它时段内为电流偏置元件(这里是电流吸收器)提供电压偏置。这种数据线的再利用使得能够实现通过仅使用一个额外的参考监控线160的多个单独的电流吸收器的编程和补偿的额外益处。

[0047] 还参照图3,现在说明用于编程和校准图2中所示的电流吸收器200的电流控制周



期的时序示例。完整的控制周期300通常每帧发生一次,并且包括四个子周期:断开周期302、编程周期304、校准周期306和稳定周期308。在断开周期302内,电流吸收器200响应于EN信号变为高并且第一开关晶体管202截止而停止将偏置电流 $I_{bias}$ 提供至电流偏置线223。凭借CAL和WR信号变为高,第二和第三开关晶体管208、204保持截止。断开周期302的持续时间还提供了电流吸收器200电流的稳定时间。在整个控制周期300期间EN信号保持为高,只有在电流吸收器200已经完成编程、校正和稳定并且准备经由电流偏置线223提供偏置电流的时候变为低。一旦电流吸收器200在完成断开周期302之后稳定,通过WR信号变为低接通第二开关晶体管208并且CAL信号变为低接通第三开关晶体管204,编程周期304开始。在编程周期304期间,第三开关晶体管204将其上传送有已知的参考信号(可能是电压或电流)的参考监控线260连接至存储电容器210的第一端子,同时第二开关晶体管208将输入有电压 $V_{bias}$ 的电压偏置或数据线222连接至电流驱动晶体管206的栅极端子和存储电容器210的第二端子。因此,存储电容器210被充电至定义值。该值大致是在考虑了下述的可选的校准的情况下预计的控制电流驱动晶体管206以递送适当的电流偏置 $I_{bias}$ 所必需的值。

[0048] 在编程周期304之后并且在校准周期306期间,电路被重设用于通过电流驱动晶体管206排出存储电容器210的一部分电压(电荷)。校准信号CAL变为高,由此关断第三开关晶体管204并且将存储电容器210的第一端子与参考监控线260断开。排出的量是电流吸收器200的主要元件(即电流驱动晶体管206或其相关部件)的函数。例如,如果电流驱动晶体管206为“强”,那么排出发生得相对迅速,并且在校准周期306的固定时长内相对更多的电荷经由电流驱动晶体管206从存储电容器210排出。另一方面,如果电流驱动晶体管206为“弱”,那么排出发生得相对缓慢,并且在校准周期306的固定时长内相对更少的电荷经由电流驱动晶体管206从存储电容器210排出。于是,对于相对强的电流驱动晶体管,存储在存储电容器210中的电压(电荷)减少得相对更多;反之,对于相对弱的电流驱动晶体管,存储在存储电容器210中的电压(电荷)减少得相对更少,从而为整个显示器的电流驱动晶体管中的不均匀和差异(不论是由于制造中的差异还是随时间的劣化差异而导致的)提供了一些补偿。

[0049] 在校准周期306之后,在将偏置电流 $I_{bias}$ 提供至电流偏置线223之前进行稳定周期308。在稳定周期308期间,第一和第三开关晶体管202、204保持截止,而WR信号变为高以使第二开关晶体管208也截止。在稳定周期308的持续时间结束之后,使能信号EN变为低以导通第一开关晶体管202并且使电流驱动晶体管206能够根据在存储电容器210中存储的如上所述地具有下述值的电压(电荷)吸收电流偏置线223上的偏置电流 $I_{bias}$ 以提供对电流驱动晶体管206的特定特性的补偿,所述值已经作为电流驱动晶体管206的函数而经过排出。

[0050] 在一些实施例中,消除了校准周期306。在这样的情况下,表现为作为电流驱动晶体管206的特性的函数的由存储电容器210存储的电压(电荷)中的改变的补偿不是自动提供的。在这样的情况下,可以结合监控采用手动补偿的形式。

[0051] 在一些实施例中,在电流吸收器200被编程之后,并且在对电流偏置线223提供偏置电流之前,通过控制CAL信号变为低以导通第三开关晶体管204经由参考监控线260测量电流吸收器200的电流。如图1所示,在一些实施例中,参考监控线160被共用并且因此在目标电流吸收器200的测量期间,所有其它的电流吸收器被编程或者被控制为使它们不在参

考监控线160上放出或吸收任何电流。一旦已经响应于电流吸收器200的已知的编程测量了电流吸收器200的电流并且可能地在响应于多个编程值的多个各种电流测量已经被测量并存储在存储器106中之后,控制器102和存储器106(可能与显示系统150的其它部件协同地)调整用来对电流吸收器200进行编程的电压Vbias以补偿电流吸收器200呈现出的与期望的或理想的电流吸收的偏差。这样的监控和补偿不必每帧都进行并且能够在显示器的使用寿命内以周期性的方式进行,以校正电流吸收器200的劣化。

[0052] 在一些实施例中,使用校准与监控和补偿的组合。在这样的情况下,结合周期性的监控和补偿,可以每帧都进行校准。

[0053] 现在将参照图4说明根据实施例的电流源400的电路结构。电流源400例如对应于图1中所示的显示系统150的单个电流偏置元件155a、155b,其经由电流偏置线123a、123b将偏置电流Ibias提供至CBVP像素110a、110b。如下文中将详细说明地,电流源400在显示系统150中的连接和集成方式与针对电流吸收器200在图1中所示的略有不同。图4中所示的电流源400是基于PMOS晶体管。应当理解的是,此电流源及其功能的变型能够预期,并且包括不同种类的晶体管(PMOS、NMOS或CMOS)和不同的半导体材料(例如LTPS、金属氧化物等)。

[0054] 电流源400包括第一开关晶体管402(T4),第一开关晶体管402受到连接至其栅极端子的使能信号EN的控制,并且经由第一开关晶体管402的源极端子和漏极端子中的一者连接至例如与图1的电流偏置线123a对应的电流偏置线423(Ibias)。电流驱动晶体管406(T1)的栅极端子连接至存储电容器410的第一端子,电流驱动晶体管406的源极端子和漏极端子中的第一者连接至第一开关晶体管402的源极端子和漏极端子中的另一者,并且电流驱动晶体管406的源极端子和漏极端子中的第二者连接至存储电容器410的第二端子。存储电容器410的第二端子连接至VDD。第二开关晶体管408(T2)的栅极端子连接至写入信号线(WR),其源极端子和漏极端子中的一者连接至存储电容器410的第一端子,并且其源极端子和漏极端子中的另一者连接至电流驱动晶体管406的源极端子和漏极端子中的第一者。第三开关晶体管404(T3)的栅极端子连接至校准控制线(CAL),其源极端子和漏极端子中的一者连接至例如与图1中所示的电压偏置或数据线122a、122b对应的电压偏置监控线460。第三开关晶体管404的源极端子和漏极端子中的另一者连接至电流驱动晶体管406的源极端子和漏极端子中的第一者。

[0055] 在图4中所示的实施例中,电流源未连接至如图1所示的参考监控线160。作为像电流吸收器200的情况那样用Vbias和参考电压对电流源400进行编程的替代,使用VDD和通过电压偏置或数据线122a提供的电压偏置信号Vbias将电流源400的存储电容器410充电至定义值。在此实施例中,数据线122a、122b在需要的时候用作监控线。

[0056] 再参照图3,现在说明图中所示的用于编程和校准电流源400的电路控制周期300的时序的示例。用于编程和校准图4的电流源400的电路控制周期300的时序与用于图2的电流吸收器200的时序相同。

[0057] 完整的控制周期300通常每帧发生一次,并且包括四个子周期:断开周期302、编程周期304、校准周期306和稳定周期308。在断开周期302内,电流源400响应于EN信号变为高并且第一开关晶体管402截止而停止将偏置电流Ibias提供至电流偏置线423。凭借CAL和WR信号变为高,第二和第三开关晶体管408、404保持截止。断开周期302的持续时间还提供了

电流源400电路的稳定时间。在整个控制周期300期间内EN信号保持为高,只有在电流源400已经完成编程、校正和稳定并且准备经由电流偏置线423提供偏置电流的时候变为低。一旦电流源400在完成断开周期302之后稳定,通过WR信号变为低以接通第二开关晶体管408并且CAL信号变为低以接通第三开关晶体管404,编程周期304开始。因此,在编程周期304期间,第三开关晶体管404和第二开关晶体管408将其上传送有已知的Vbias信号的电压偏置监控线460连接至存储电容器410的第一端子。因此,由于存储电容器410的第二端子连接至顶部VDD,所以存储电容器410被充电至定义值。该值大致是在考虑了下述的可选的校准的情况下预计的控制电流驱动晶体管406以递送适当的电流偏置Ibias所必需的值。

[0058] 在编程周期304之后并且在校准周期306期间,电路被重设用于通过电流驱动晶体管406排出存储电容器410的一部分电压(电荷)。校准信号CAL变为高,由此关断第三开关晶体管404并且将存储电容器410的第一端子与电压偏置监控线460断开。排出的量是电流源400的主要元件(即电流驱动晶体管406或其相关部件)的函数。例如,如果电流驱动晶体管406为“强”,那么排出发生得相对迅速,并且在校准周期306的固定时长内相对更多的电荷经由电流驱动晶体管406从存储电容器410排出。另一方面,如果电流驱动晶体管406为“弱”,那么排出发生得相对缓慢,并且在校准周期306的固定时长内相对更少的电荷经由电流驱动晶体管406从存储电容器410排出。于是,对于相对强的电流驱动晶体管,存储在存储电容器410中的电压(电荷)减少得相对更多;反之,对于相对弱的电流驱动晶体管,存储在存储电容器410中的电压(电荷)减少得相对更少,从而为整个显示器的电流驱动晶体管的不均匀性和差异性(不论是由于制造中的差异还是随时间的劣化差异而导致的)提供一些补偿。

[0059] 在校准周期306之后,在将偏置电流Ibias提供至电流偏置线423之前进行稳定周期308。在稳定周期308期间,第一和第三开关晶体管402、404保持截止,而WR信号变为高以使第二开关晶体管408也截止。在稳定周期308的持续时间结束之后,使能信号EN变为低以导通第一开关晶体管402并且使电流驱动晶体管406能够根据在存储电容器410中存储的如上所述地具有下述值的电压(电荷)而提供电流偏置线423上的偏置电流Ibias以提供对电流驱动晶体管406的特定特性的补偿,所述值已经作为电流驱动晶体管206的函数而经过排出。

[0060] 在一些实施例中,消除了校准周期306。在这样的情况下,表现为作为电流驱动晶体管406的特性的函数的由存储电容器410存储的电压(电荷)中的改变的补偿不是自动提供的。在这样的情况下,与基于电流吸收器200的上述实施例类似地,可以结合针对电流源400的监控采用手动补偿的形式。

[0061] 在一些实施例中,在电流源400被编程之后,并且在对电流偏置线423提供偏置电流之前,通过控制CAL信号变为低以导通第三开关晶体管404经由电压偏置监控线460测量电流源400的电流。

[0062] 一旦已经响应于电流源400的已知的编程测量了电流源400的电流并且可能地在响应于多个编程值的多个电流测量已经被测量并存储在存储器106中之后,控制器102和存储器106(可能与显示系统150的其它部件协同地)调整用来对电流源400进行编程的电压Vbias以补偿电流源400呈现出的与期望的或理想的电流源的偏差。这样的监控和补偿不必每帧都进行并且能够在显示器的使用寿命内以周期性的方式进行,以校正电流源400的劣

化。

[0063] 虽然图2的电流吸收器200和图4的电流源400被图示为具有单个电流驱动晶体管206、406,但应当理解的是,它们均可以包括用于提供与图2和图4相关联地图示并说明的功能相同的功能的级联晶体管结构。

[0064] 参照图5,现在说明根据实施例的四晶体管一电容器(4T1C)像素电路500的结构。4T1C像素电路500例如对应于图1中所示的显示系统150的单个像素110a,该像素在一些实施例中不一定是电流偏置像素。图5中所示的4T1C像素电路500基于NMOS晶体管。应当理解的是,此像素及其功能的变型能够预期,并且包括不同类型的晶体管(PMOS、NMOS或CMOS)和不同的半导体材料(例如LTPS、金属氧化物等)。

[0065] 4T1C像素电路500包括驱动晶体管510(T1)、发光装置520、第一开关晶体管530(T2)、第二开关晶体管540(T3)、第三开关晶体管550(T4)和存储电容器560(C<sub>S</sub>)。驱动晶体管510(T1)、第一开关晶体管530、第二开关晶体管540和第三开关晶体管550分别具有第一端子、第二端子和栅极端子,并且发光装置520和存储电容器560分别具有第一端子和第二端子。

[0066] 驱动晶体管510的栅极端子连接至存储电容器560的第一端子,驱动晶体管510的第一端子连接至存储电容器560的第二端子,并且驱动晶体管510的第二端子连接至发光装置的第一端子。发光装置520的第二端子连接至第一参考电位ELVSS。发光装置520的电容在图5中被示出为C<sub>LD</sub>。在一些实施例中,发光装置520是OLED。第一开关晶体管530的栅极端子连接至写入信号线(WR),第一开关晶体管530的第一端子连接至数据信号线(V<sub>DATA</sub>),并且第一开关晶体管530的第二端子连接至驱动晶体管510的栅极端子。驱动晶体管510的栅极端子与存储电容器560和第一开关晶体管530共用的节点在图中用它的电压V<sub>G</sub>标示。第二开关晶体管540的栅极端子连接至读取信号线(RD),第二开关晶体管540的第一端子连接至监控信号线(V<sub>MON</sub>),第二开关晶体管540的第二端子连接至存储电容器560的第二端子。第三开关晶体管550的栅极端子连接至发射信号线(EM),第三开关晶体管550的第一端子连接至第二参考电位ELVDD,并且第三开关晶体管550的第二端子连接至存储电容器560的第二端子。存储电容器560的第二端子、驱动晶体管510、第二开关晶体管540和第三开关晶体管550共用的节点在图中由其电压V<sub>S</sub>所标示。

[0067] 参照图6A,说明图5中所示的4T1C像素电路500的显示时序600A的示例。完整的显示时序600A通常每帧发生一次并且包括编程周期602A、校准周期604A、稳定周期606A和发光周期608A。在经过时段T<sub>RD</sub>的编程周期602A期间,读取信号(RD)和写入信号(WR)被保持为低而发射信号(EM)被保持为高。发射信号(EM)在整个编程、校准和稳定周期602A至606A期间内都被保持为高以确保第三开关晶体管550在这些周期(T<sub>EM</sub>)内保持截止。

[0068] 在编程周期602A期间,第一开关晶体管530和第二开关晶体管540均保持导通。存储电容器560的电压并且因此驱动晶体管510的电压V<sub>SG</sub>被充电至V<sub>MON</sub>-V<sub>DATA</sub>的值,其中,V<sub>MON</sub>是监控线的电压而V<sub>DATA</sub>是数据线的电压。这些电压是根据用于使像素500以根据图像数据的期望亮度发光的期望编程电压而设定的。

[0069] 在校准周期604A的开始,读取线(RD)变为高以关断第二开关晶体管540,从而通过驱动晶体管510排出存储电容器560的一部分电压(电荷)。排出的量是驱动晶体管510的特性的函数。例如,如果驱动晶体管510为“强”,那么排出发生得相对迅速,并且在校准周期

604A的固定时长 $T_{IPC}$ 内相对更多的电荷经由驱动晶体管510从存储电容器560排出。另一方面,如果驱动晶体管510为“弱”,那么排出发生得相对缓慢,并且在校准周期604A内相对更少的电荷经由驱动晶体管510从存储电容器560排出。于是,对于相对强的驱动晶体管,存储在存储电容器560中的电压(电荷)减少得相对更多;反之,对于相对弱的驱动晶体管,存储在存储电容器560中的电压(电荷)减少得相对更少,从而为整个显示器的驱动晶体管的不均匀性和差异性(不论是由于制造中的差异还是随时间的劣化差异而导致的)提供一些补偿。

[0070] 在校准周期604A之后,在发射之前进行稳定周期606A。在稳定周期606A期间,第二和第三开关晶体管540、550保持截止,而WR信号变为高以使第一开关晶体管530也截止。在稳定周期606A的持续时间结束之后,在发光周期608A的开始,发射信号(EM)变为低以导通第三开关晶体管550,使得电流能够根据存储电容器560中的校准后的存储电压流经发光装置520。

[0071] 现在参照图6B说明图5中的4T1C像素电路500的测量时序600B的示例。完整的测量时序600B通常在与显示帧相同的时段内发生并且包括编程周期602B、校准周期604B、稳定周期606B和测量周期610B。编程周期602B、校准周期604B、稳定周期606B与结合图6A的上文中的说明基本相同,然而,为 $V_{DATA}$ 、 $V_{MON}$ 设定的并且存储在存储电容器560中的电压的数量是以测量像素电路500的目的而确定的,而不是为了显示任何特定的根据图像数据的亮度。

[0072] 一旦完成编程周期602B、校准周期604B和稳定周期606B,具有时长 $T_{MS}$ 的测量周期610B开始。在测量时长610B的开始处,发射信号(EM)变为高以关断第三开关晶体管550,同时读取信号(RD)变为低以导通第二开关晶体管540,从而提供对监控线的读取。

[0073] 为了测量驱动晶体管510,通过编程周期602B和校准周期604B将用于驱动晶体管510的编程电压 $V_{SG}$ 设定至期望水平,并且随后在测量周期610B的持续期 $T_{MS}$ 内,在监控线 $V_{MON}$ 上观察电流/电荷。为了测量驱动晶体管510,监控线上的电压 $V_{MON}$ 保持在足够高的水平以在饱和模式下操作驱动晶体管510。

[0074] 为了测量发光装置520,通过编程周期602B和校准周期604B将用于驱动晶体管510的编程电压 $V_{SG}$ 设定至数据线 $V_{DATA}$ 上能够获得的最高可能电压(例如与峰值白灰阶相对应的值),从而在三极管区域内(开关模式)操作驱动晶体管510。在此状态下,在测量周期610B的持续期 $T_{MS}$ 内,能够通过监控线直接调制/测量发光装置520的电压/电流。

[0075] 参照图7,现在说明根据实施例的六个晶体管一个电容器(6T1C)的像素电路700的结构。6T1C的像素电路700例如对应于图1的显示系统150的单个像素110a,其在一些实施例中不一定是电流偏置像素。图7中的6T1C的像素电路700基于NMOS晶体管。应当理解的是,此像素及其功能的变型能够预期,并且包括不同种类的晶体管(PMOS、NMOS或CMOS)和不同的半导体材料(例如LTPS、金属氧化物等)。

[0076] 6T1C像素电路700包括驱动晶体管710(T1)、发光装置720、存储电容器730( $C_S$ )、第一开关晶体管740(T2)、第二开关晶体管750(T3)、第三开关晶体管760(T4)、第四开关晶体管770(T5)和第五开关晶体管780(T6)。驱动晶体管710(T1)、第一开关晶体管740、第二开关晶体管750、第三开关晶体管760、第四开关晶体管770和第五开关晶体管780分别具有第一端子、第二端子和栅极端子,并且发光装置720和存储电容器730分别具有第一端子和第二端子。

[0077] 驱动晶体管710的栅极端子连接至存储电容器730的第一端子,驱动晶体管710的第一端子连接至第一参考电位ELVDD,并且驱动晶体管710的第二端子连接至第三开关晶体管760的第一端子。第三开关晶体管760的栅极端子连接至读取信号线(RD)并且第三开关晶体管760的第二端子连接至监控/参考电流线 $V_{MON}/I_{REF}$ 。第四开关晶体管770的栅极端子连接至发射信号线(EM),第四开关晶体管770的第一端子连接至第三开关晶体管760的第一端子,第四开关晶体管770的第二端子连接至发光装置720的第一端子。发光装置720的第二端子连接至第二参考电位ELVSS。发光装置720的电容在图7中图示为 $C_{LD}$ 。在一些实施例中,发光装置720为OLED。第一开关晶体管740的栅极端子连接至写入信号线(WR),第一开关晶体管740的第一端子连接至存储电容器730的第一端子,第一开关晶体管740的第二端子连接至第三开关晶体管760的第一端子。第二开关晶体管750的栅极端子连接至写入信号线(WR),第二开关晶体管750的第一端子连接至数据信号线( $V_{DATA}$ ),并且第二开关晶体管750的第二端子连接至存储电容器730的第二端子。驱动晶体管710的栅极端子和存储电容器730以及第一开关晶体管740共用的节点在图中以其电压 $V_G$ 标示。第五开关晶体管780的栅极端子连接至发射信号线(EM),第五开关晶体管780的第一端子连接至参考电位VBP,并且第五开关晶体管780的第二端子连接至存储电容器730的第二端子。存储电容器730的第二端子、第二开关晶体管750和第五开关晶体管780共用的节点在图7中用其电压 $V_{CB}$ 标示。

[0078] 现在参照图8A说明图7中所示的6T1C像素电路700的显示时序800A的示例。完整的显示时序800A通常每帧发生一次并且包括编程周期802A、校准周期804A、稳定周期806A和发光周期808A。在经过时段 $T_{RD}$ 的编程周期802A期间,读取信号(RD)和写入信号(WR)被保持为低而发射信号(EM)被保持为高。发射信号(EM)在整个编程、校准和稳定周期802A、804A和806A期间内都被保持为高以确保第四开关晶体管770和第五开关晶体管780在这些周期( $T_{EM}$ )内保持截止。

[0079] 在编程周期802A期间,第一开关晶体管740、第二开关晶体管750和第三开关晶体管760均保持导通。存储电容器730的电压被充电至如下值: $V_{CB}-V_G=V_{DATA}-(V_{DD}-V_{SG}(T1))\approx V_{DATA}-V_{DD}+V_{th}(T1)$ ,其中, $V_{DATA}$ 是数据线上的电压, $V_{DD}$ 是第一参考电位的电压(也称为ELVDD), $V_{SG}(T1)$ 是驱动晶体管710的栅极端子与第一端子之间的电压, $V_{th}(T1)$ 是驱动晶体管710的阈值电压。这里, $V_{DATA}$ 是在考虑了用于使像素700以根据图像数据的期望亮度发光的期望编程电压的情况下设定的。

[0080] 在校准周期804A的开始,读取线(RD)变为高以关断第三开关晶体管760,从而通过驱动晶体管710排出存储电容器730的一部分电压(电荷)。排出的量是驱动晶体管710的特性的函数。例如,如果驱动晶体管710为“强”,那么排出发生得相对迅速,并且在校准周期804A的固定时长 $T_{IPC}$ 内相对更多的电荷经由驱动晶体管710从存储电容器730排出。另一方面,如果驱动晶体管710为“弱”,那么排出发生得相对缓慢,并且在校准周期804A内相对更少的电荷经由驱动晶体管710从存储电容器730排出。于是,对于相对强的驱动晶体管,存储在存储电容器730中的电压(电荷)减少得相对更多;反之,对于相对弱的驱动晶体管,存储在存储电容器730中的电压(电荷)减少得相对更少,从而为整个显示器的驱动晶体管的不均匀性和差异性(不论是由于制造中的差异还是随时间的劣化差异而导致的)提供一些补偿。

[0081] 在校准周期804A之后,在发光周期808A之前进行稳定周期806A。在稳定周期806A

期间,第三、第四和第五开关晶体管760、770和780保持截止,而写入信号(WR)变为高以使第一开关晶体管和第二开关晶体管740、750也截止。在稳定周期806A的持续时间结束之后,在发光周期808A的开始,发射信号(EM)变为低以导通第四和第五开关晶体管770、780。这使得驱动晶体管710能够被电压 $V_{SG} = V_{DD} - V_G = V_{DD} - (V_{BP} - V_{CS}) = V_{DD} - V_{BP} + V_{DATA} - V_{DD} + V_{th}(T1) = V_{DATA} + V_{th}(T1) - V_{BP}$ 驱动。这使得电流能够根据存储电容器730中的校准后的存储电压流经发光装置720,并且该电流也是驱动晶体管710的阈值电压 $V_{th}(T1)$ 的函数并且与 $V_{DD}$ 无关。

[0082] 现在参照图8B说明图7中所示的6T1C像素电路700的测量时序800B的示例。完整的测量时序800B通常在与显示帧相同的时段内发生并且包括编程周期802B、校准周期804B、稳定周期806B和测量周期810B。编程周期802B、校准周期804B、稳定周期806B与结合图8A的上文中的说明基本相同,然而,为 $V_{DATA}$ 、 $V_{MON}$ 、 $V_{BP}$ 设定的并且存储在存储电容器730中的电压的数量是以测量像素电路700的目的而确定的,而不是为了显示任何特定的根据图像数据的亮度。

[0083] 一旦完成编程周期802B、校准周期804B和稳定周期806B,具有时长 $T_{MS}$ 的测量周期810B开始。在测量周期810B的开始处,读取信号(RD)变为低以导通第三开关晶体管760,从而提供对监控线的读取。发射信号(EM)保持为低,并且因此第四和第五开关晶体管770、780在测量的整个持续时间 $T_{MS}$ 内保持导通。

[0084] 为了测量驱动晶体管710,通过编程周期802B、校准周期804B和稳定周期806B将用于驱动晶体管710的编程电压 $V_{SG}$ 设定至期望水平,并且随后在测量周期810B的持续期 $T_{MS}$ 内,在监控线 $V_{MON}$ 上观察电流/电荷。为了避免来自发光装置720的干扰,第二参考电位(ELVSS)的电压被升高至足够高的水平(例如,升高至ELVDD)。

[0085] 为了测量发光装置720,通过编程周期802B、校准周期804B和稳定周期806B将用于驱动晶体管710的编程电压 $V_{SG}$ 设定至数据线 $V_{DATA}$ 上能够获得的最低可能电压(例如与黑电平灰阶相对应的值),避免来自发光装置720的干扰。

[0086] 现在参照图9说明与这里图示的时序周期类似的用于驱动诸如本文中说明的4T1C和6T1C像素等的像素行的改进时序900的示图。

[0087] 为了图示的目的,与其四个连续行 $Row\#(i-2)$ 、 $Row\#(i-1)$ 、 $Row\#(i)$ 和 $Row\#(i+1)$ 的应用相关联地示出改进时序900。高发射信号EM跨越三个行 $Row\#(i+1)$ 、 $Row\#(i)$ 、 $Row\#(i-1)$ ,前导EM令牌跨越行 $Row\#(i+1)$ 接在有效EM令牌跨越行 $Row\#(i)$ 之后,有效EM令牌跨越行 $Row\#(i)$ 接在追踪EM令牌跨越行 $Row\#(i-1)$ 之后。这些用来确保在 $Row\#(i)$ 的有效编程时间内在行上的所有像素的稳态条件。 $Row\#(i)$ 上的有效RD令牌的开始追踪前导EM令牌,但是与有效WR令牌对齐,并且对应于在本文中的其它时序图相关联地说明的编程周期的开始时RD和WR信号的同时变低。对于 $Row\#(i)$ ,有效RD令牌在有效WR令牌结束之前结束,其对应于使得存储电容器的部分排出能够进行的校准周期。追踪RD令牌 $Row\#(i-2)$ 在有效RD令牌之后设置有一定的间隙(并且一旦EN为低且像素刚开始发光),以将发光装置(OLED)的阳极和驱动晶体管的漏极复位至监控线上可获取的低参考电压。该经由监控线的进一步的“重设周期”在诸如图7和图11的6T1C像素700、1100等实施例中尤其有用。

[0088] 现在参照图10说明根据实施例的在电流模式下操作的四晶体管一电容器(4T1C)像素电路1000的结构。4T1C像素电路1000例如对应于图1中所示的显示系统150的单个像素110a。图10中所示的实施例是电流偏置像素。图示了用于偏置4T1C像素电路1000的相关偏



置电路1070。偏置电路1070经由监控/电流偏置线( $V_{MON}/I_{REF}$ )连接至4T1C像素电路1000。图10中所示的4T1C像素电路1000基于NMOS晶体管。应当理解的是,此像素及其功能的变型能够预期,并且包括不同种类的晶体管(PMOS、NMOS或CMOS)和不同的半导体材料(例如LTPS、金属氧化物等)。

[0089] 4T1C像素电路1000与图5中所示的4T1C像素电路500的结构基本相同。4T1C像素电路1000包括驱动晶体管1010(T1)、发光装置1020、第一开关晶体管1030(T2)、第二开关晶体管1040(T3)、第三开关晶体管1050(T4)和存储电容器1060( $C_S$ )。驱动晶体管1010(T1)、第一开关晶体管1030、第二开关晶体管1040和第三开关晶体管1050分别具有第一端子、第二端子和栅极端子,并且发光装置1020和存储电容器1060分别具有第一端子和第二端子。

[0090] 驱动晶体管1010的栅极端子连接至存储电容器1060的第一端子,驱动晶体管1010的第一端子连接至存储电容器1060的第二端子,并且驱动晶体管1010的第二端子连接至发光装置1020的第一端子。发光装置1020的第二端子连接至第一参考电位ELVSS。发光装置1020的电容在图10中被示出为 $C_{LD}$ 。在一些实施例中,发光装置1020是OLED。第一开关晶体管1030的栅极端子连接至写入信号线(WR),第一开关晶体管1030的第一端子连接至数据信号线( $V_{DATA}$ ),并且第一开关晶体管1030的第二端子连接至驱动晶体管1010的栅极端子。驱动晶体管1010的栅极端子与存储电容器1060和第一开关晶体管1030共用的节点在图中用它的电压 $V_G$ 标示。第二开关晶体管1040的栅极端子连接至读取信号线(RD),第二开关晶体管1040的第一端子连接至监控/参考电流线( $V_{MON}/I_{REF}$ ),第二开关晶体管1040的第二端子连接至存储电容器1060的第二端子。第三开关晶体管1050的栅极端子连接至发射信号线(EM),第三开关晶体管1050的第一端子连接至第二参考电位ELVDD,并且第三开关晶体管1050的第二端子连接至存储电容器1060的第二端子。存储电容器1060的第二端子、驱动晶体管1010、第二开关晶体管1040和第三开关晶体管1050共用的节点在图中由其电压 $V_S$ 所标示。

[0091] 连接至监控/参考电流线的是偏置电路1070,其包括电流源1072和参考电压 $V_{REF}$ ,电流源1072提供用于像素的电流偏置的参考电流 $I_{REF}$ ,参考电压 $V_{REF}$ 经由受到复位信号(RST)控制的开关1074选择性地连接至监控/参考电流线。

[0092] 4T1C像素电路1000的功能与上文中说明的与图5的4T1C像素电路500相关的功能基本类似。然而,图10的4T1C像素电路1000与偏置电路1070协同地与电流模式操作,下面将联合图12说明其操作的时序。

[0093] 现在参照图11说明根据实施例的以电流模式操作的六晶体管一电容器(6T1C)像素电路1100的结构。6T1C像素电路1100例如对应于图1的显示系统150的单个像素110a。图11中所示的实施例是电流偏置像素。图示了用于偏置6T1C像素电路1100的相关偏置电路1190。偏置电路1190经由监控/电流偏置线( $V_{MON}/I_{REF}$ )连接至6T1C像素电路1100。图11中所示的6T1C像素电路1100基于NMOS晶体管。应当理解的是,此像素及其功能的变型能够预期,并且包括不同种类的晶体管(PMOS、NMOS或CMOS)和不同的半导体材料(例如LTPS、金属氧化物等)。

[0094] 6T1C像素电路1100与图7中所示的6T1C像素电路700的结构基本相同。6T1C像素电路1100包括驱动晶体管1110(T1)、发光装置1120、存储电容器1130( $C_S$ )、第一开关晶体管1140(T2)、第二开关晶体管1150(T3)、第三开关晶体管1160(T4)、第四开关晶体管1170(T5)和第五开关晶体管1180(T6)。驱动晶体管1110、第一开关晶体管1140、第二开关晶体管



1150、第三开关晶体管1160、第四开关晶体管1170和第五开关晶体管1180分别具有第一端子、第二端子和栅极端子,并且发光装置1120和存储电容器1130分别具有第一端子和第二端子。

[0095] 驱动晶体管1110的栅极端子连接至存储电容器1130的第一端子,驱动晶体管1110的第一端子连接至第一参考电位ELVDD,并且驱动晶体管1110的第二端子连接至第三开关晶体管1160的第一端子。第三开关晶体管1160的栅极端子连接至读取信号线(RD)并且第三开关晶体管1160的第二端子连接至监控/参考电流线 $V_{MON}/I_{REF}$ 。第四开关晶体管1170的栅极端子连接至发射信号线(EM),第四开关晶体管1170的第一端子连接至第三开关晶体管1160的第一端子,第四开关晶体管1170的第二端子连接至发光装置1120的第一端子。发光装置1120的第二端子连接至第二参考电位ELVSS。发光装置1120的电容在图11中图示为 $C_{LD}$ 。在一些实施例中,发光装置1120为OLED。第一开关晶体管1140的栅极端子连接至写入信号线(WR),第一开关晶体管1140的第一端子连接至存储电容器1130的第一端子,第一开关晶体管1140的第二端子连接至第三开关晶体管1160的第一端子。第二开关晶体管1150的栅极端子连接至写入信号线(WR),第二开关晶体管1150的第一端子连接至数据信号线( $V_{DATA}$ ),并且第二开关晶体管1150的第二端子连接至存储电容器1130的第二端子。驱动晶体管1110的栅极端子和存储电容器1130以及第一开关晶体管1140共用的节点在图中以其电压 $V_G$ 标示。第五开关晶体管1180的栅极端子连接至发射信号线(EM),第五开关晶体管1180的第一端子连接至参考电位VBP,并且第五开关晶体管1180的第二端子连接至存储电容器1130的第二端子。存储电容器1130的第二端子、第二开关晶体管1150和第五开关晶体管1180共用的节点在图11中用其电压 $V_{CB}$ 标示。

[0096] 连接至监控/参考电流线的是偏压电路1190,其包括电流吸收器1192和参考电压 $V_{REF}$ ,电流吸收器1192提供用于像素的电流偏置的参考电流 $I_{REF}$ ,参考电压 $V_{REF}$ 经由受到复位信号(RST)控制的开关1194选择性地连接至监控/参考电流线。

[0097] 现在参照图12说明图10中所示的4T1C像素电路1000和图11中所示的6T1C像素电路1100的显示时序1200的示例。完整的显示时序1200通常每帧发生一次并且包括第一编程周期1202和第二编程周期1203、校准周期1204、稳定周期1206和发光周期1208。在经过时段 $T_{RST}$ 的第一编程周期1202期间,复位信号(RST)、读取信号(RD)和写入信号(WR)被保持为低而发射信号(EM)被保持为高。发射信号(EM)在整个编程、校准和稳定周期1202、1203、1204和1206的整个持续期间 $T_{EM}$ 内都被保持为高。在第二编程周期、校准周期、稳定周期和发光周期1203、1204、1206和1208内,4T1C像素电路1000和6T1C像素电路1100除了被电流偏置以外,以如上文中结合图5和图7说明的那样发挥作用。

[0098] 对于4T1C像素电路1000,在第一编程周期1202内,参考电压 $V_{REF}$ 通过开关1074和第二开关晶体管1040连接至存储电容器1060、驱动晶体管1010和第三开关晶体管1050共用的节点,以将电压 $V_S$ 复位至 $V_{REF}$ 。存储电容器1060的电压且进而驱动晶体管1010的电压 $V_{SG}$ 被充电至 $V_{REF}-V_{DATA}$ 的值,其中, $V_{REF}$ 是监控线的电压, $V_{DATA}$ 是数据线的电压。这些电压是根据用于使像素1000以根据图像数据的期望亮度发光的期望编程电压而设定的。在第一编程周期1202的结束,复位信号变高以关断开关1074并且断开监控/参考电流线与参考电压 $V_{REF}$ 。在第一编程周期之后,复位信号保持为高,以使参考电流 $I_{REF}$ 能够在第二编程周期1203内连续偏置像素1000。为了实现对于阈值差异和迁移率差异的补偿的期望电平,一行中的各像素

在像素的编程期间(包括在第一编程周期1202和第二编程周期1203内)被参考电流 $I_{REF}$ 驱动。

[0099] 对于6T1C像素电路1100,在第一编程周期1202内,参考电压 $V_{REF}$ 通过开关1194和第三开关晶体管1160连接至第一开关晶体管1140、驱动晶体管1110、第三开关晶体管1160和第四开关晶体管1170共用的节点,以将电压 $V_D$ 复位至 $V_{REF}$ ,并且第一开关晶体管1140、第二开关晶体管1150、第三开关晶体管1160均导通。存储电容器1130的电压 $V_{CS}$ 被充电至如下值: $V_{CB}-V_G=V_{DATA}-(V_{DD}-V_{SG}(T1))\approx V_{DATA}-V_{DD}+V_{th}(T1)$ ,其中, $V_{DATA}$ 是数据线的电压, $V_{DD}$ 是第一参考电位的电压(也被称为ELVDD), $V_{SG}(T1)$ 是驱动晶体管1110的栅极端子与第一端子之间的电压,并且 $V_{th}(T1)$ 是驱动晶体管1110的阈值电压。这里, $V_{DATA}$ 是在考虑了用于使像素1100以根据图像数据的期望亮度发光的期望编程电压的情况下设定的。

[0100] 在第一编程周期1202的结束,复位信号(RST)变高以关断开关1194并且断开监控/参考电流线与参考电压 $V_{REF}$ 。在第一编程周期1202之后,复位信号保持为高,以使参考电流源1192能够在第二编程周期1203内连续偏置像素1100。为了实现对于阈值差异和迁移率差异的补偿的期望电平,一行中的各像素在像素的编程期间(包括在第一编程周期1202和第二编程周期1203内)被参考电流 $I_{REF}$ 驱动。

[0101] 在校准周期1204的开始,读取线(RD)变为高以关断第三开关晶体管1160,从而通过驱动晶体管1110排出存储电容器1130的一部分电压(电荷)并且停止偏置电路1190的电流偏置。排出的量是驱动晶体管1110的特性的函数。例如,如果驱动晶体管1110为“强”,那么排出发生得相对迅速,并且在校准周期1204的固定时长 $T_{IPC}$ 内相对更多的电荷经由驱动晶体管1110从存储电容器1130排出。另一方面,如果驱动晶体管1110为“弱”,那么排出发生得相对缓慢,并且在校准周期1204内相对更少的电荷经由驱动晶体管1110从存储电容器1130排出。于是,对于相对强的驱动晶体管,存储在存储电容器1130中的电压(电荷)减少得相对更多;反之,对于相对弱的驱动晶体管,存储在存储电容器1130中的电压(电荷)减少得相对更少,从而为整个显示器的驱动晶体管的不均匀性和差异性(不论是由于制造中的差异还是随时间的劣化差异而导致的)提供一些补偿。

[0102] 在校准周期1204之后,在发光周期1208之前进行稳定周期1206。在稳定周期1206期间,第三、第四和第五开关晶体管1160、1170和1180保持截止,而写入信号(WR)变为高以使第一开关晶体管和第二开关晶体管1140、1150也截止。在稳定周期1206的持续时间结束之后,在发光周期1208的开始,发射信号(EM)变为低以导通第四和第五开关晶体管1170、1180。这使得驱动晶体管1110能够被电压 $V_{SG}=V_{DD}-V_G=V_{DD}-(V_{BP}-V_{CS})=V_{DD}-V_{BP}+V_{DATA}-V_{DD}+V_{th}(T1)=V_{DATA}+V_{th}(T1)-V_{BP}$ 驱动。这使得电流能够根据存储电容器1130中的校准后的存储电压流经发光装置1120,并且该电流也是驱动晶体管1110的阈值电压 $V_{th}(T1)$ 的函数并且与 $V_{DD}$ 无关。

[0103] 现在参照图13说明根据实施例的四个晶体管一个电容器(4T1C)的4T1C参考电流吸收器1300的结构。4T1C参考电流吸收器1300例如对应于图1中所示的显示系统150的吸收器155或图11中所示的吸收器1192。图13中所示的4T1C参考电流吸收器1300基于NMOS晶体管。应当理解的是,此吸收器及其功能的变型能够预期,并且包括不同种类的晶体管(PMOS、NMOS或CMOS)和不同的半导体材料(例如LTPS、金属氧化物等)。

[0104] 4T1C参考电流吸收器1300包括驱动晶体管1310(T1)、第一开关晶体管1330(T2)、

第二开关晶体管1340 (T3)、第三开关晶体管1350 (T4) 和存储电容器1360 (C<sub>S</sub>)。驱动晶体管1310 (T1)、第一开关晶体管1330、第二开关晶体管1340和第三开关晶体管1350分别具有第一端子、第二端子和栅极端子,并且存储电容器1360分别具有第一端子和第二端子。

[0105] 驱动晶体管1310的栅极端子连接至存储电容器1360的第一端子,驱动晶体管1310的第一端子连接至存储电容器1360的第二端子,并且驱动晶体管1310的第二端子连接至参考电位V<sub>BS</sub>。第一开关晶体管1330的栅极端子连接至写入信号线(WR),第一开关晶体管1330的第一端子连接至数据信号线(V<sub>DATA</sub>),并且第一开关晶体管1330的第二端子连接至驱动晶体管1310的栅极端子。驱动晶体管1310的栅极端子与存储电容器1360和第一开关晶体管1330共用的节点在图中用它的电压V<sub>G</sub>标示。第二开关晶体管1340的栅极端子连接至读取信号线(RD),第二开关晶体管1340的第一端子连接至监控信号线(V<sub>MON</sub>),第二开关晶体管1340的第二端子连接至存储电容器1360的第二端子。第三开关晶体管1350的栅极端子连接至发射信号线(EM),第三开关晶体管1350的第一端子连接至监控信号线,并且第三开关晶体管1350的第二端子连接至存储电容器1360的第二端子。存储电容器1360的第二端子、驱动晶体管1310、第二开关晶体管1340和第三开关晶体管1350共用的节点在图中由其电压V<sub>S</sub>所标示。

[0106] 将结合在下面讨论的图17的时序图说明4T1C参考电流吸收器1300的功能。

[0107] 现在参照图14说明根据实施例的六晶体管一电容器(6T1C)参考电流吸收器1400的结构。6T1C参考电流吸收器1400例如对应于图1的显示系统150的吸收器155a或图11所示的吸收器1192。图14中所示的6T1C参考电流吸收器1400基于NMOS晶体管。应当理解的是,此吸收器及其功能的变型能够预期,并且包括不同类型的晶体管(PMOS、NMOS或CMOS)和不同的半导体材料(例如LTPS、金属氧化物等)。

[0108] 6T1C参考电流吸收器1400包括驱动晶体管1410 (T1)、存储电容器1430 (C<sub>S</sub>)、第一开关晶体管1440 (T2)、第二开关晶体管1450 (T3)、第三开关晶体管1460 (T4)、第四开关晶体管1470 (T5) 和第五开关晶体管1480 (T6)。驱动晶体管1410、第一开关晶体管1440、第二开关晶体管1450、第三开关晶体管1460、第四开关晶体管1470和第五开关晶体管1480分别具有第一端子、第二端子和栅极端子,并且存储电容器1430分别具有第一端子和第二端子。

[0109] 驱动晶体管1410的栅极端子连接至存储电容器1430的第一端子,驱动晶体管1410的第一端子连接至监控/电流参考线(V<sub>MON</sub>/I<sub>REF</sub>),并且驱动晶体管1410的第二端子连接至第三开关晶体管1460的第一端子。第三开关晶体管1460的栅极端子连接至读取信号线(RD)并且第三开关晶体管1460的第二端子连接至V<sub>BS</sub>。第四开关晶体管1470的栅极端子连接至发射信号线(EM),第四开关晶体管1470的第一端子连接至第三开关晶体管1460的第一端子,第四开关晶体管1470的第二端子连接至第三开关晶体管1460的第二端子。第一开关晶体管1440的栅极端子连接至写入信号线(WR),第一开关晶体管1440的第一端子连接至存储电容器1430的第一端子,第一开关晶体管1440的第二端子连接至第三开关晶体管1460的第一端子。第二开关晶体管1450的栅极端子连接至写入信号线(WR),第二开关晶体管1450的第一端子连接至数据信号线(V<sub>DATA</sub>),并且第二开关晶体管1450的第二端子连接至存储电容器1430的第二端子。驱动晶体管1410的栅极端子和存储电容器1430以及第一开关晶体管1440共用的节点在图中以其电压V<sub>G</sub>标示。第五开关晶体管1480的栅极端子连接至发射信号线(EM),第五开关晶体管1480的第一端子连接至参考电位V<sub>BP</sub>,并且第五开关晶体管1480的第

二端子连接至存储电容器1430的第二端子。存储电容器1430的第二端子、第二开关晶体管1450和第五开关晶体管1480共用的节点在图14中用其电压 $V_{CB}$ 标示。

[0110] 将结合在下面讨论的图17的时序图说明6T1C参考电流吸收器1400的功能。

[0111] 现在参照图15说明根据实施例的四个晶体管一个电容器(4T1C)的参考电流源1500的结构。4T1C参考电流源1500例如对应于图1中所示的显示系统150的电流源155a或图10中所示的电流源1072。图15中所示的4T1C参考电流源1500基于NMOS晶体管。应当理解的是,此电流源及其功能的变型能够预期,并且包括不同种类的晶体管(PMOS、NMOS或CMOS)和不同的半导体材料(例如LTPS、金属氧化物等)。

[0112] 4T1C参考电流源1500包括驱动晶体管1510(T1)、第一开关晶体管1530(T2)、第二开关晶体管1540(T3)、第三开关晶体管1550(T4)和存储电容器1560( $C_s$ )。驱动晶体管1510(T1)、第一开关晶体管1530、第二开关晶体管1540和第三开关晶体管1550分别具有第一端子、第二端子和栅极端子,并且存储电容器1560分别具有第一端子和第二端子。

[0113] 驱动晶体管1510的栅极端子连接至存储电容器1560的第一端子,驱动晶体管1510的第一端子连接至存储电容器1560的第二端子,并且驱动晶体管1510的第二端子连接至监控/参考电流线 $V_{MON}/I_{REF}$ 。第一开关晶体管1530的栅极端子连接至写入信号线(WR),第一开关晶体管1530的第一端子连接至数据信号线( $V_{DATA}$ ),并且第一开关晶体管1530的第二端子连接至驱动晶体管1510的栅极端子。驱动晶体管1510的栅极端子与存储电容器1560和第一开关晶体管1530共用的节点在图中用它的电压 $V_G$ 标示。第二开关晶体管1540的栅极端子连接至读取信号线(RD),第二开关晶体管1540的第一端子连接至参考电位(ELVDD),第二开关晶体管1540的第二端子连接至存储电容器1560的第二端子。第三开关晶体管1550的栅极端子连接至发射信号线(EM),第三开关晶体管1550的第一端子连接至ELVDD,并且第三开关晶体管1550的第二端子连接至存储电容器1560的第二端子。存储电容器1560的第二端子、驱动晶体管1510、第二开关晶体管1540和第三开关晶体管1550共用的节点在图中由其电压 $V_S$ 所标示。

[0114] 将结合在下面讨论的图17的时序图说明4T1C参考电流源1500的功能。

[0115] 现在参照图16说明根据实施例的六晶体管一电容器(6T1C)参考电流源1600的结构。6T1C参考电流源1600例如对应于图1中所示的显示系统150的源155a或图10中所示的源1072。图16中所示的6T1C参考电流源1600基于NMOS晶体管。应当理解的是,此源及其功能的变型能够预期,并且包括不同种类的晶体管(PMOS、NMOS或CMOS)和不同的半导体材料(例如LTPS、金属氧化物等)。

[0116] 6T1C参考电流源1600包括驱动晶体管1610(T1)、存储电容器1630( $C_s$ )、第一开关晶体管1640(T2)、第二开关晶体管1650(T3)、第三开关晶体管1660(T4)、第四开关晶体管1670(T5)和第五开关晶体管1680(T6)。驱动晶体管1610、第一开关晶体管1640、第二开关晶体管1650、第三开关晶体管1660、第四开关晶体管1670和第五开关晶体管1680分别具有第一端子、第二端子和栅极端子,并且存储电容器1630分别具有第一端子和第二端子。

[0117] 驱动晶体管1610的栅极端子连接至存储电容器1630的第一端子,驱动晶体管1610的第一端子连接至参考电位(ELVSS),并且驱动晶体管1610的第二端子连接至第三开关晶体管1660的第一端子。第三开关晶体管1660的栅极端子连接至读取信号线(RD)并且第三开关晶体管1660的第二端子连接至监控/参考电流线( $V_{MON}/I_{REF}$ )。第四开关晶体管1670的栅极

端子连接至发射信号线 (EM), 第四开关晶体管1670的第一端子连接至第三开关晶体管1660的第一端子, 第四开关晶体管1670的第二端子连接至第三开关晶体管1660的第二端子。第一开关晶体管1640的栅极端子连接至写入信号线 (WR), 第一开关晶体管1640的第一端子连接至存储电容器1630的第一端子, 第一开关晶体管1640的第二端子连接至第三开关晶体管1660的第一端子。第二开关晶体管1650的栅极端子连接至写入信号线 (WR), 第二开关晶体管1650的第一端子连接至数据信号线 ( $V_{DATA}$ ), 并且第二开关晶体管1650的第二端子连接至存储电容器1630的第二端子。驱动晶体管1610的栅极端子和存储电容器1630以及第一开关晶体管1640共用的节点在图中以其电压 $V_G$ 标示。第五开关晶体管1680的栅极端子连接至发射信号线 (EM), 第五开关晶体管1680的第一端子连接至参考电位 $V_{BP}$ , 并且第五开关晶体管1680的第二端子连接至存储电容器1630的第二端子。存储电容器1630的第二端子、第二开关晶体管1650和第五开关晶体管1680共用的节点在图16中用其电压 $V_{CB}$ 标示。

[0118] 将结合在下面讨论的图17的时序图说明6T1C参考电流源1600的功能。

[0119] 现在将参照图17说明图13中所示的4T1C参考电流吸收器1300、图14中所示的6T1C参考电流吸收器1400、图15中所示的4T1C参考电流源1500和图16中所示的6T1C参考电流源1600的参考行时序1700的示例。所有的这些电流吸收器和电流源1300、1400、1500和1600使用相同的控制信号 (EM、WR、RD) 和类似的时序作为有效行, 这使得它们便于显示面板中的集成, 例如在显示面板的第一或最后行。应当注意的是, 由于编程期间被电流偏置的像素电路使用由电流源 (或电流吸收器) 提供的偏置电流作为它们的输入, 并且自这些源或吸收器已经被编程之后, 使用适当的延迟或同步来确保这些源和吸收器的编程在像素不需要偏置电流的时候发生, 并且确保在像素需要的时候提供偏置电流。

[0120] 完整的显示时序1700通常每帧发生一次并且包括编程周期1702、校准周期1704、稳定周期1706和发光周期1708。在经过时段 $T_{RST}$ 的第一编程周期1702期间, 读取信号 (RD) 和写入信号 (WR) 被保持为低而发射信号 (EM) 被保持为高。发射信号 (EM) 在整个编程、校准和稳定周期1702、1704和1706的整个持续期间 $T_{EM}$ 内都被保持为高。

[0121] 对于图13中所示的4T1C参考电流吸收器1300, 在编程周期1702期间, 第一开关晶体管1330和第二开关晶体管1340均导通。存储电容器1360的电压且进而驱动晶体管1310的电压 $V_{SG}$ 被充电至 $V_{MON}-V_{DATA}$ 的值, 其中,  $V_{MON}$ 是监控线的电压,  $V_{DATA}$ 是数据线的电压。这些电压是根据用于使像素1300以根据图像数据的期望亮度发光的期望编程电压而设定的。

[0122] 在校准周期1704的开始, 读取线 (RD) 变为高以关断第二开关晶体管1340, 从而通过驱动晶体管1310排出存储电容器1360的一部分电压 (电荷)。排出的量是驱动晶体管1310的特性的函数。例如, 如果驱动晶体管1310为“强”, 那么排出发生得相对迅速, 并且在校准周期1704的固定时长 $T_{IPC}$ 内相对更多的电荷经由驱动晶体管1310从存储电容器1360排出。另一方面, 如果驱动晶体管1310为“弱”, 那么排出发生得相对缓慢, 并且在校准周期1704内相对更少的电荷经由驱动晶体管1310从存储电容器1360排出。于是, 对于相对强的驱动晶体管, 存储在存储电容器1360中的电压 (电荷) 减少得相对更多; 反之, 对于相对弱的驱动晶体管, 存储在存储电容器1360中的电压 (电荷) 减少得相对更少, 从而针对为整个显示器提供的参考电流的不均匀性和差异性 (不论是由于制造中的差异还是随时间的劣化差异而导致的) 提供一些补偿。

[0123] 在校准周期1704之后, 在发射之前进行稳定周期1706。在稳定周期1706期间, 第二

和第三开关晶体管1340、1350保持截止,而写入信号(WR)变为高以使第一开关晶体管1330也截止。在稳定周期1706的持续时间结束之后,在发光周期1708的开始,发射信号(EM)变为低以导通第三开关晶体管1350,这使得参考电流 $I_{REF}$ 能够根据存储电容器1360中被校准的存储电压而被提供至监控/参考电流线。

[0124] 对于图14中所示的6T1C参考电流吸收器1400,在编程周期1702内,第一开关晶体管1440、第二开关晶体管1450和第三开关晶体管1460均导通。存储电容器1430的电压 $V_{CS}$ 被充电至如下值: $V_{CB}-V_G=V_{DATA}-(V_{MON}-V_{SG}(T1))\approx V_{DATA}-V_{MON}+V_{th}(T1)$ ,其中, $V_{DATA}$ 是数据线的电压, $V_{MON}$ 是监控/参考电流线的电压, $V_{SG}(T1)$ 是驱动晶体管1410的栅极端子与第一端子之间的电压,并且 $V_{th}(T1)$ 是驱动晶体管1410的阈值电压。这里, $V_{DATA}$ 是在考虑了用于使参考电流吸收器1400生成期望水平的参考电流的期望编程电压的情况下设定的。

[0125] 在校准周期1704的开始,读取线(RD)变为高以关断第三开关晶体管1460,从而通过驱动晶体管1410排出存储电容器1430的一部分电压(电荷)。排出的量是驱动晶体管1410的特性的函数。例如,如果驱动晶体管1410为“强”,那么排出发生得相对迅速,并且在校准周期1704的固定时长 $T_{IPC}$ 内相对更多的电荷经由驱动晶体管1410从存储电容器1430排出。另一方面,如果驱动晶体管1410为“弱”,那么排出发生得相对缓慢,并且在校准周期1704内相对更少的电荷经由驱动晶体管1410从存储电容器1430排出。于是,对于相对强的驱动晶体管,存储在存储电容器1430中的电压(电荷)减少得相对更多;反之,对于相对弱的驱动晶体管,存储在存储电容器1430中的电压(电荷)减少得相对更少,从而为整个显示器的电流吸收器1400的不均匀性和差异性(不论是由于制造中的差异还是随时间的劣化差异而导致的)提供一些补偿。

[0126] 在校准周期1704之后,在发光周期1708之前进行稳定周期1706。在稳定周期1706期间,第三、第四和第五开关晶体管1460、1470和1480保持截止,而写入信号(WR)变为高以使第一开关晶体管和第二开关晶体管1440、1450也截止。在稳定周期1706的持续时间结束之后,在发光周期1708的开始,发射信号(EM)变为低以导通第四和第五开关晶体管1470、1480。这使得驱动晶体管1410能够被电压 $V_{SG}=V_{MON}-V_G=V_{MON}-(V_{BP}-V_{CS})=V_{MON}-V_{BP}+V_{DATA}-V_{MON}+V_{th}(T1)=V_{DATA}+V_{th}(T1)-V_{BP}$ 驱动。这使得参考电流 $I_{REF}$ 能够根据存储电容器1430中的校准后的存储电压而被提供至监控/参考电流线,并且该参考电流也是驱动晶体管1410的阈值电压 $V_{th}(T1)$ 的函数并且与 $V_{MON}$ 无关,也与 $V_{DD}$ 无关。

[0127] 对于图15中所示的4T1C参考电流源1500,在编程周期1702期间,第一开关晶体管1530和第二开关晶体管1540均导通。存储电容器1560的电压且进而驱动晶体管1510的电压 $V_{SG}$ 被充电至 $V_{DD}-V_{DATA}$ 的值,其中, $V_{DD}$ 是参考电位线ELVDD的电压, $V_{DATA}$ 是数据线的电压。这些电压中的至少一者是根据用于使参考电流源1500生成期望水平的参考电流的期望编程电压而设定的。

[0128] 在校准周期1704的开始,读取线(RD)变为高以关断第二开关晶体管1540,从而通过驱动晶体管1510排出存储电容器1560的一部分电压(电荷)。排出的量是驱动晶体管1510的特性的函数。例如,如果驱动晶体管1510为“强”,那么排出发生得相对迅速,并且在校准周期1704的固定时长 $T_{IPC}$ 内相对更多的电荷经由驱动晶体管1510从存储电容器1560排出。另一方面,如果驱动晶体管1510为“弱”,那么排出发生得相对缓慢,并且在校准周期1704内相对更少的电荷经由驱动晶体管1510从存储电容器1560排出。于是,对于相对强的驱动晶

晶体管,存储在存储电容器1560中的电压(电荷)减少得相对更多;反之,对于相对弱的驱动晶体管,存储在存储电容器1560中的电压(电荷)减少得相对更少,从而针对为整个显示器提供的参考电流的不均匀性和差异性(不论是由于制造中的差异还是随时间的劣化差异而导致的)提供一些补偿。

[0129] 在校准周期1704之后,在发光周期之前进行稳定周期1706。在稳定周期1706期间,第二和第三开关晶体管1540、1550保持截止,而写入信号(WR)变为高以使第一开关晶体管1530也截止。在稳定周期1706的持续时间结束之后,在发光周期1708的开始,发射信号(EM)变为低以导通第三开关晶体管1550,这使得参考电流 $I_{REF}$ 能够根据存储电容器1560中的校准后的存储电压而被提供至监控/参考电流线。

[0130] 对于图16中所示的6T1C参考电流源1600,在编程周期1702内,第一开关晶体管1640、第二开关晶体管1650和第三开关晶体管1660均导通。存储电容器1630的电压 $V_{CS}$ 被充电至如下值: $V_{CB}-V_G=V_{DATA}-(V_{DD}-V_{SG}(T1))\approx V_{DATA}-V_{DD}+V_{th}(T1)$ ,其中, $V_{DATA}$ 是数据线的电压, $V_{DD}$ 是参考电势ELVDD的电压, $V_{SG}(T1)$ 是驱动晶体管1610的栅极端子与第一端子之间的电压,并且 $V_{th}(T1)$ 是驱动晶体管1610的阈值电压。这里, $V_{DATA}$ 是在考虑了用于使参考电流源1600生成期望水平的参考电流的期望编程电压的情况下而设定的。

[0131] 在校准周期1704的开始,读取线(RD)变为高以关断第三开关晶体管1660,从而通过驱动晶体管1610排出存储电容器1630的一部分电压(电荷)。排出的量是驱动晶体管1610的特性的函数。例如,如果驱动晶体管1610为“强”,那么排出发生得相对迅速,并且在校准周期1704的固定时长 $T_{IPC}$ 内相对更多的电荷经由驱动晶体管1610从存储电容器1630排出。另一方面,如果驱动晶体管1610为“弱”,那么排出发生得相对缓慢,并且在校准周期1704内相对更少的电荷经由驱动晶体管1610从存储电容器1630排出。于是,对于相对强的驱动晶体管,存储在存储电容器1630中的电压(电荷)减少得相对更多;反之,对于相对弱的驱动晶体管,存储在存储电容器1630中的电压(电荷)减少得相对更少,从而为整个显示器的电流源1600的不均匀性和差异性(不论是由于制造中的差异还是随时间的劣化差异而导致的)提供一些补偿。

[0132] 在校准周期1704之后,在发光周期1708之前进行稳定周期1706。在稳定周期1706期间,第三、第四和第五开关晶体管1660、1670和1680保持截止,而写入信号(WR)变为高以使第一开关晶体管和第二开关晶体管1640、1650也截止。在稳定周期1706的持续时间结束之后,在发光周期1708的开始,发射信号(EM)变为低以导通第四和第五开关晶体管1670、1680。这使得驱动晶体管1610能够被电压 $V_{SG}=V_{DD}-V_G=V_{DD}-(V_{BP}-V_{CS})=V_{DD}-V_{BP}+V_{DATA}-V_{DD}+V_{th}(T1)=V_{DATA}+V_{th}(T1)-V_{BP}$ 驱动。这使得参考电流 $I_{REF}$ 能够根据存储电容器1630中的校准后的存储电压而被提供至监控/参考电流线,并且该参考电流也是驱动晶体管1610的阈值电压 $V_{th}(T1)$ 的函数并且与 $V_{DD}$ 无关。

[0133] 参照图18,现在讨论数据线122和监控线128的面板上多路复用1800。驱动芯片(例如104)针对例如一列的红、绿和蓝像素经由数据/监控线DM\_R、DM\_G和DM\_B提供驱动信号。这些线的各者经由两个开关(例如,用于DM\_R的1801和1802)连接至单独的对应的数据线和监控线。例如,DM\_R连接至用于红色子像素的Data\_R和Mon\_R,DM\_G连接至用于绿色子像素的Data\_G和Mon\_G,DM\_B连接至用于蓝色子像素的Data\_B和Mon\_B。Data\_X和Mon\_X线上用于多路解编DM\_X信号的开关(例如,1801和1802)相应地受到数据使能(DEN)信号线(对应于本



文中说明的WR信号)和监控使能(MEN)信号线(对应于本文中说明的RD信号)的控制。各监控线Mon\_X也可以经由额外开关(例如,1803)连接至单独的参考电压 $V_{REF}$ 和/或 $I_{REF}$ ,就像图10和图11中那样。例如,MON\_R连接至 $V_{refR}$ ,MON\_G连接至 $V_{refG}$ ,并且MON\_B连接至 $V_{refB}$ 。这些将监控线128连接至各自的参考电压的相应的额外开关(例如1803)受到复位使能(REN)信号线(对应于本文中说明的RST信号)的控制。多路复用提供了驱动芯片104的I/O计数的减少。因此,任何具有数据线122和监控线128的包含多个像素的显示系统可以包括本发明的多路复用线系统。

[0134] 现在将参照图19说明根据图18的数据线和监控线的用于图10中所示的4T1C像素电路1000和图11中所示的6T1C像素电路的多路复用显示时序1900的示例。对于多路复用信号线DM\_R,先执行驱动阶段1910(如果需要的话)并且随后,一旦为了测量的目的对像素编程,用于第一开关1801的DEN信号截止,并且随着MEN信号导通第二开关1802开始测量阶段1915。

[0135] 完整的显示时序1900通常每帧发生一次,并且在驱动阶段1910内可以包括第一编程周期1901、第二编程周期1902、校准周期1904和稳定周期1906。第二编程周期1902、校准周期1904和稳定周期1906对于所有实施例而言不是必需的,而是为了完整性而被包含在此处。在发光周期1908之前、之中或之后,并且在例如测量阶段1915的持续期 $T_{MS}$ 内,在监控线 $V_{MON}$ 或MON\_R、MON\_G和MON\_B上观察电流/电荷。测量期间,EM信号的激活可以是像素相关的。例如,对于图10的4T像素,当MEN有效时,在测量期间,EM和WR无效而RD有效。作为另一示例,对于6T像素,为了TFT测量,EM有效。

[0136] 在经过期间 $T_{RST}$ 的第一编程周期1901期间,复位信号(RST)、读取信号(RD)、写入信号(WR)、DEN信号和REN信号被保持为低,而发光信号(EM)被保持为高。于是,开关1801使得数据信号能够从驱动器104沿着DM\_X线被发送至Data\_R线。发光信号(EM)在整个编程周期1901和1902、校准周期1904和稳定周期1906内,在其整个持续期 $T_{EM}$ 都保持为高。在第二编程周期1902、校准周期1904、稳定周期1906和发光周期1908期间,4T1C像素电路1000和6T1C像素电路除了可能被电流偏置之外,如上面与图5和图7相关地说明的那样起作用。

[0137] 对于4T1C像素电路1000,在第一编程周期1901期间,可以通过开关1803和1074以及第二开关晶体管1040将参考电压 $V_{REF}$ 连接至存储电容器1060、驱动晶体管1010和第三开关晶体管1050共用的节点,从而将电压 $V_s$ 复位至 $V_{REF}$ 。存储晶体管1060的电压和驱动晶体管1010的电压 $V_{SG}$ 被充电至 $V_{REF}-V_{DATA}$ 的值,这里, $V_{REF}$ 是监控线的电压, $V_{DATA}$ 是数据线的电压。这些电压是依据用于使像素1000以根据图像数据的期望的亮度发光的期望的编程电压而设定的。在第一编程周期1901结束时,复位信号变为高,关断开关1074并且断开监控/参考电流线与参考电压 $V_{REF}$ 的连接。在第一编程周期1901之后,读取信号RD保持为低,使得参考电流 $I_{REF}$ 能够在第二编程周期1902内继续偏置像素1000。为了获得对于阈值和迁移率变化的期望等级的补偿,在包括第一编程周期1901和第二编程周期1902在内的像素编程期间以参考电流 $I_{REF}$ 驱动各行像素。

[0138] 对于6T1C像素电路1100,在第一编程周期1901期间,可以通过开关1803和11194以及第三开关晶体管1160将参考电压 $V_{REF}$ 连接至第一开关晶体管1140、驱动晶体管1110、第三开关晶体管1160和第四开关晶体管1170共用的节点,从而将电压 $V_D$ 复位至 $V_{REF}$ ,并且第一开关晶体管1140、第二开关晶体管1150和第三开关晶体管1160全部导通。存储电容器1130的



电压 $V_{CS}$ 被充电至如下值： $V_{CB}-V_G=V_{DATA}-(V_{DD}-V_{SG}(T1))\approx V_{DATA}-V_{DD}+V_{th}(T1)$ ，其中， $V_{DATA}$ 是数据线的电压， $V_{DD}$ 是第一参考电位的电压（也被称为 $ELVDD$ ）， $V_{SG}(T1)$ 是驱动晶体管1110的栅极端子与第一端子之间的电压， $V_{th}(T1)$ 是驱动晶体管1110的阈值电压。这里，在考虑了用于使像素1100以根据图像数据的期望的亮度发光的期望编程电压的情况下，设定 $V_{DATA}$ 。

[0139] 在第一编程周期1901结束时，复位信号(RST)变高以关断开关1194并且断开监控/参考电流线与参考电压 $V_{REF}$ 的连接。在第一编程周期1901之后，读取信号RD保持为高，使得参考电流源1192的参考电流 $I_{REF}$ 能够在第二编程周期1902内继续偏置像素1100。为了获得对于阈值和迁移率变化的期望等级的补偿，在包括第一编程周期1901和第二编程周期1902在内的像素编程期间以参考电流 $I_{REF}$ 驱动各行像素。

[0140] 对于具有校准周期的实施例，在校准周期1904的开始，DEN线变为高以关断第一开关1801，并且读取线RD变为高以关断第三开关晶体管1160，从而通过驱动晶体管1110排出存储电容器1130的一部分电压(电荷)并且停止通过偏置电路1190的电流偏置。如上文中讨论地，被排出的量是驱动晶体管1110的特性的函数。

[0141] 在校准周期1904之后，可以在发光周期1908和/或测量阶段1915之前执行稳定周期1906。在稳定周期1906期间，第三开关晶体管1160、第四开关晶体管1170和第五开关晶体管1180保持关断，同时写入信号(WR)变为高以也关断第一开关晶体管1140和第二开关晶体管1150。在稳定周期1906的持续期结束之后，在发光周期1908的开始处，发光信号(EM)变为低以导通第四开关晶体管1170和第五开关晶体管1180。这使得驱动晶体管1110能够被电压 $V_{SG}=V_{DD}-V_G=V_{DD}-(V_{BP}-V_{CS})=V_{DD}-V_{BP}+V_{DATA}-V_{DD}+V_{th}(T1)=V_{DATA}+V_{th}(T1)-V_{BP}$ 驱动。这使得电流能够根据存储电容器1130上的校准后的存储电压而流过发光装置1120，并且电流也是驱动晶体管1110的阈值电压 $V_{th}(T1)$ 的函数且与 $V_{DD}$ 无关。

[0142] 一旦编程周期1901和1902、校准周期1904以及稳定周期1906结束，具有持续期 $T_{MS}$ 的测量周期1915可以开始。在测量周期1915的开始，MEN信号变为低从而导通第二开关1802，并且读取信号(RD)变为低从而导通第三开关晶体管(例如，760、1040或1160)，以提供对于监控线 $Mon\_X$ 的读取。在测量的整个持续期 $T_{MS}$ 内，发光信号(EM)可以保持为低，并且因此第三开关晶体管1050或第四开关晶体管1170和第五开关晶体管1180可以保持导通。

[0143] 为了驱动晶体管710、1010或1110的测量，通过编程周期1901和1902、校准周期1904、稳定周期1906和发光周期1908将用于驱动晶体管710、1010或1110的编程电压 $V_{SG}$ 设定为期望的水平，并且随后在测量阶段1915的持续期 $T_{MS}$ 内，在监控线 $V_{MON}$ 上观察电流/电荷。第二参考电位的电压(ELVSS)被升高至足够高的电位(例如， $ELVDD$ )，以避免发光装置720、1020或1120的干扰。

[0144] 为了发光装置720、1020或1120的测量，通过编程周期1901和1902、校准周期1904、稳定周期1906和发光周期1908将用于驱动晶体管710、1010或1110的编程电压 $V_{SG}$ 设定至数据线 $V_{DATA}$ 上可用的最低可能电压(例如，对应于黑电平灰阶的值)，从而避免发光装置720、1020或1120的电流的干扰。

[0145] 参照图20和21，现在将讨论数据线122和监控线128的面板上多路复用2100的另一实施例，其中，在一个周期内对两个像素编程。驱动芯片(例如104)提供数据/监控线DM1、DM2、DM3上的驱动信号，各数据/监控线用于对例如一行或相邻像素中的两个红、绿和蓝像素进行多路复用，并且各数据/监控线具有单条数据线 $Mon1$ 、 $Mon2$ 和 $Mon3$ 。这些线DM1、DM2、

DM3中的每一者经由两个开关(2101a和2101b)连接至两条分离的相应的数据线并且经由第三开关2102连接至一条监控线。例如,DM1连接至R1、R2和Mon1以用于红色子像素,DM2连接至G1、G2和Mon2以用于绿色子像素,DM3连接至B1、B2和Mon3以用于蓝色子像素。开关(例如2101a)将数据DM\_X多路分用至第一像素的R1线、G1线和B1线,并且受第一数据使能(DEN1)信号线(对应于本文中说明的WR信号)的控制。开关(例如2101b)将数据DM\_X多路分用至第二像素的R2线、G2线和B2线,并且受第二数据使能(DEN2)信号线(对应于本文中说明的WR信号)的控制。

[0146] 各开关2102受监控使能(MEN)信号线(对应于本文中说明的RD信号)的控制。与如图18中的单独的单个 $V_{REF}$ 相反地,各监控线Mon\_X还可以经由附加开关(例如2103)连接至单个参考电压 $V_{REF}$ 和/或参考电流 $I_{REF}$ ,如图10和11中那样。这些将监控线128连接至参考电压的相应的附加开关(例如2103)受到复位使能(REN)信号线(对应于本文中说明的RST信号)的控制。多路复用减小了驱动芯片104的I/O计数。因此,任何具有数据线122和监控线128的包含多个像素的显示系统可以包括本发明的多路复用线系统。

[0147] 如图21中所示,处理类似于图19中的处理,除了存在交替的像素R1、G1和B1与像素R2、G2和B2之间的多路复用。当DEN1信号最初导通以加载R1、G1和B1数据至第一像素,并且随后关断,虽有DEN2信号导通以加载R2、G2和B2数据至第二像素,与上述同时地,WR信号激活数据晶体管开关(例如1030或1150)。在DEN1、DEN2和WR信号被关断之后,在发光信号EM的激活之前、之中或之后,MEN信号被导通以使监控信号能够分别从Mon1、Mon2和Mon3线被发送至同一DM1、DM2和DM3线。如上,REN信号可以被用来激活附件开关2103以如上所述地将参考电压 $V_{REF}$ 提供至各像素。

[0148] 虽然已经图示并说明了本发明的特定实施方式和应用方式,但是应当理解的是,本发明不限于本文中公开的具体的结构和构成,并且在不背离如随附的权利要求书中所限定的本发明的精神和范围的前提下,显然能够从前述说明中获得各种变型、改变和修改。

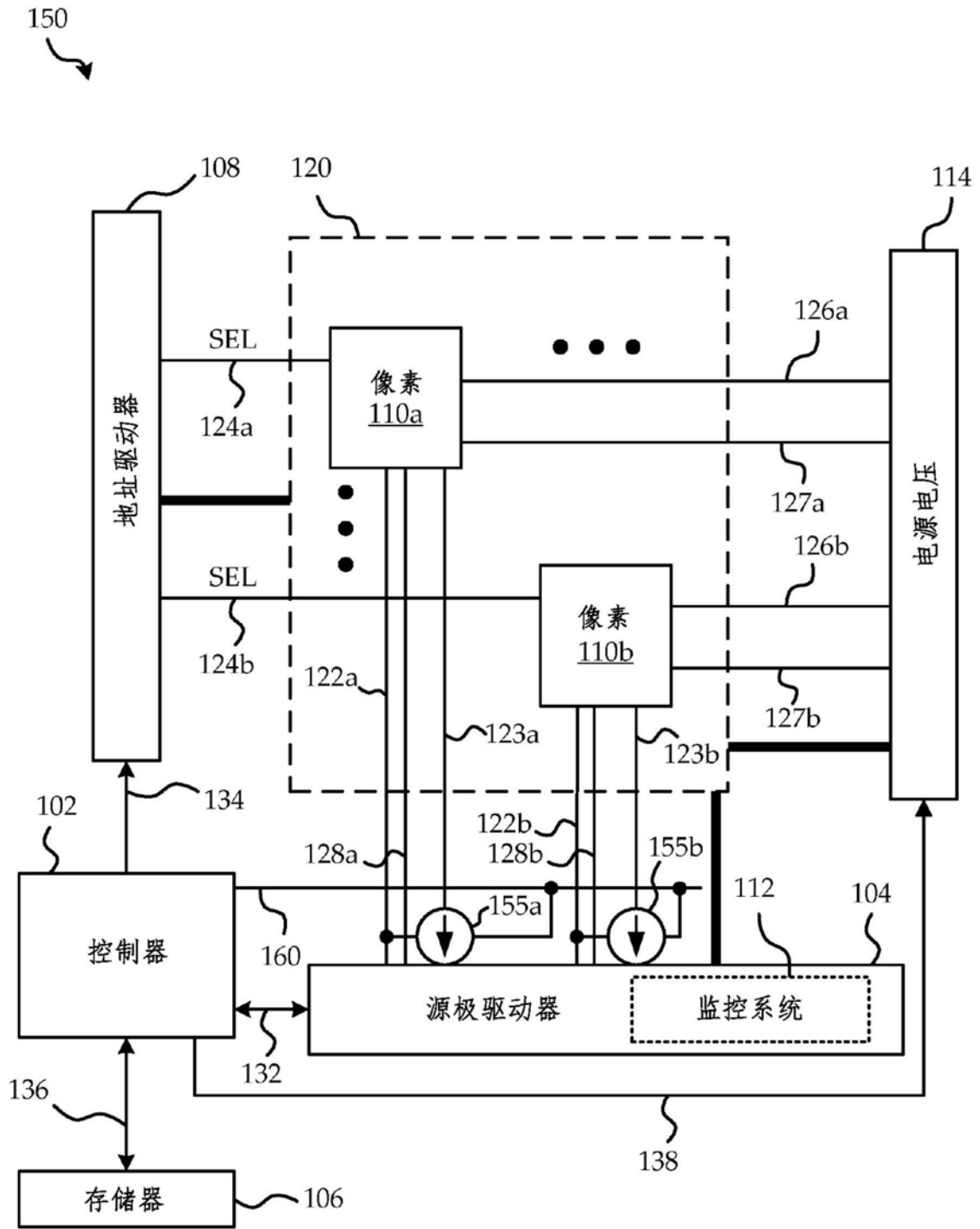


图1

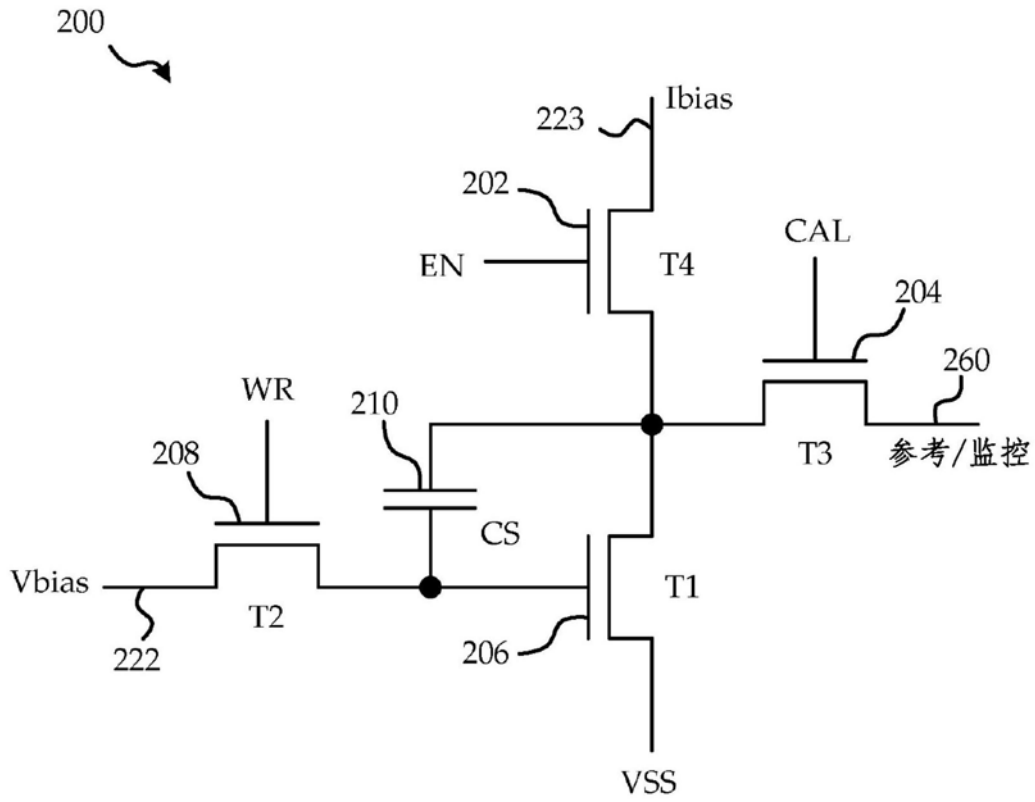


图2

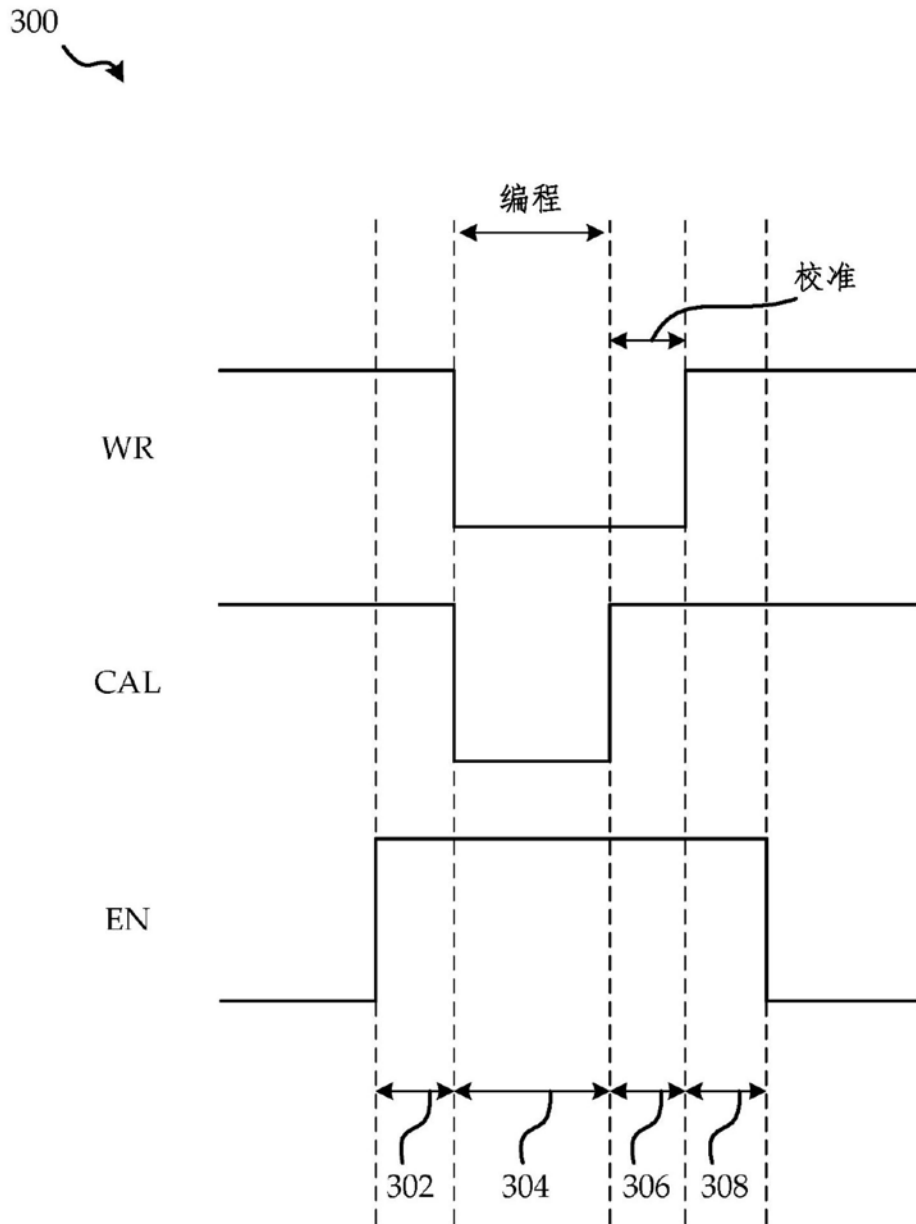


图3

400

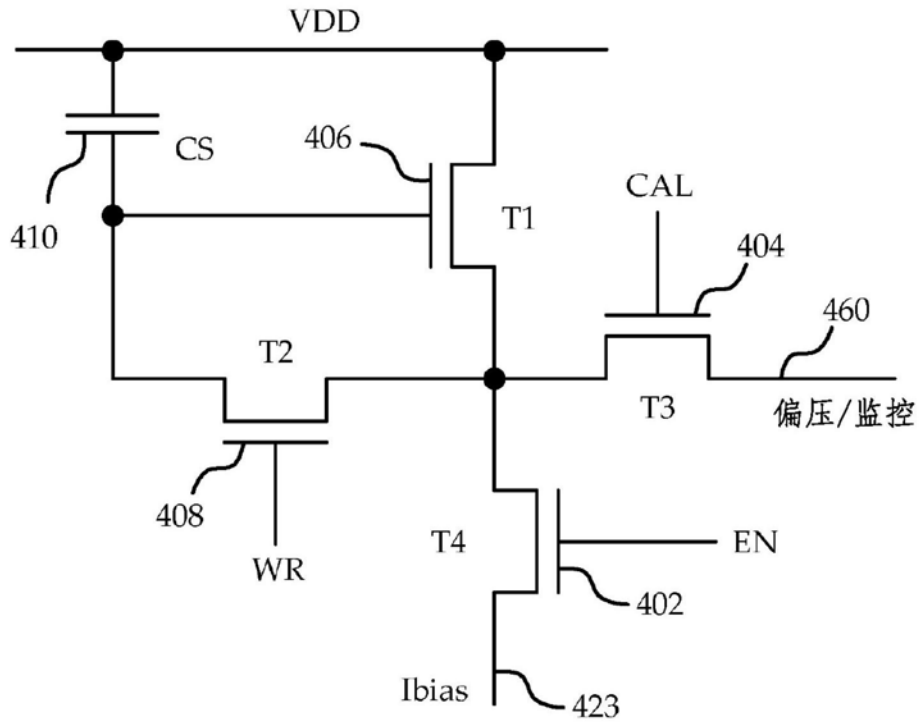


图4

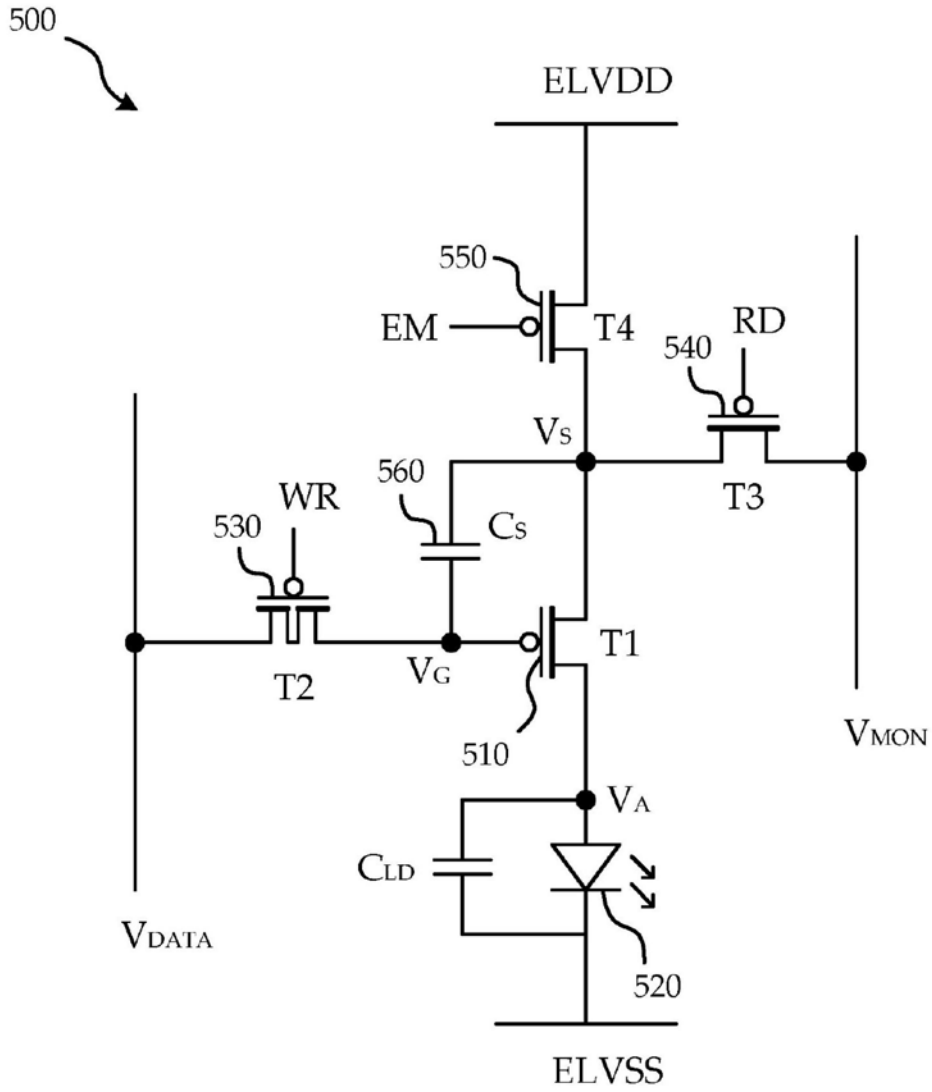


图5

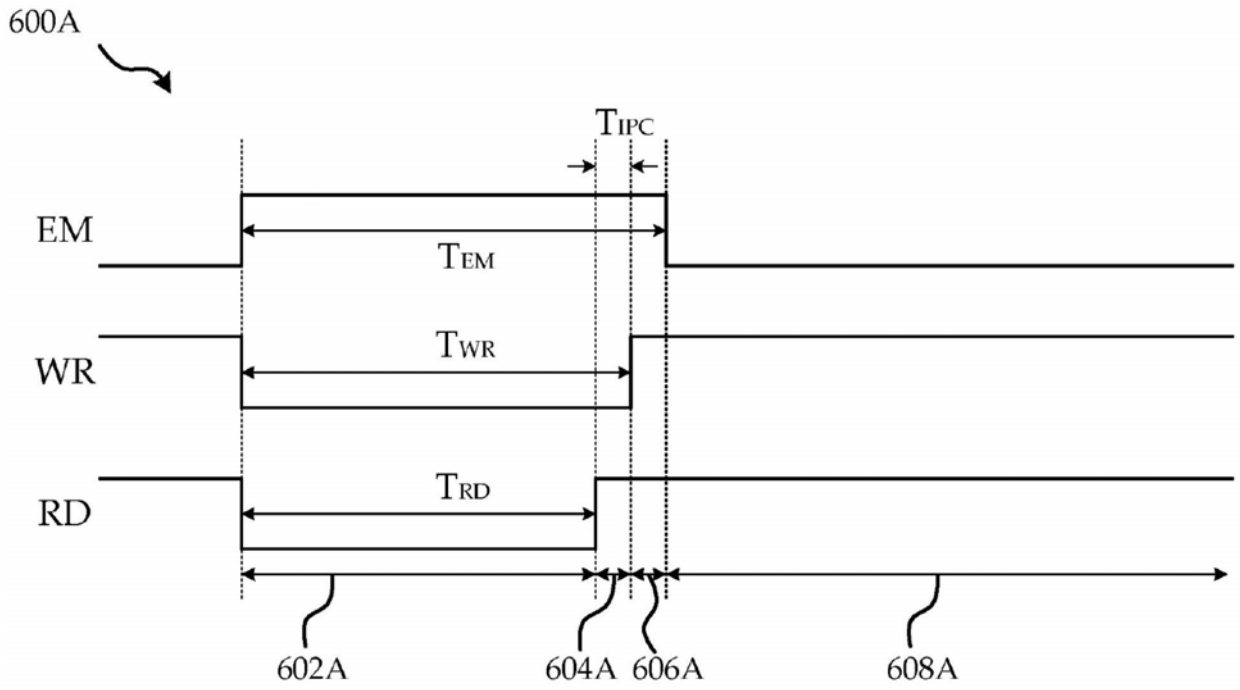


图6A

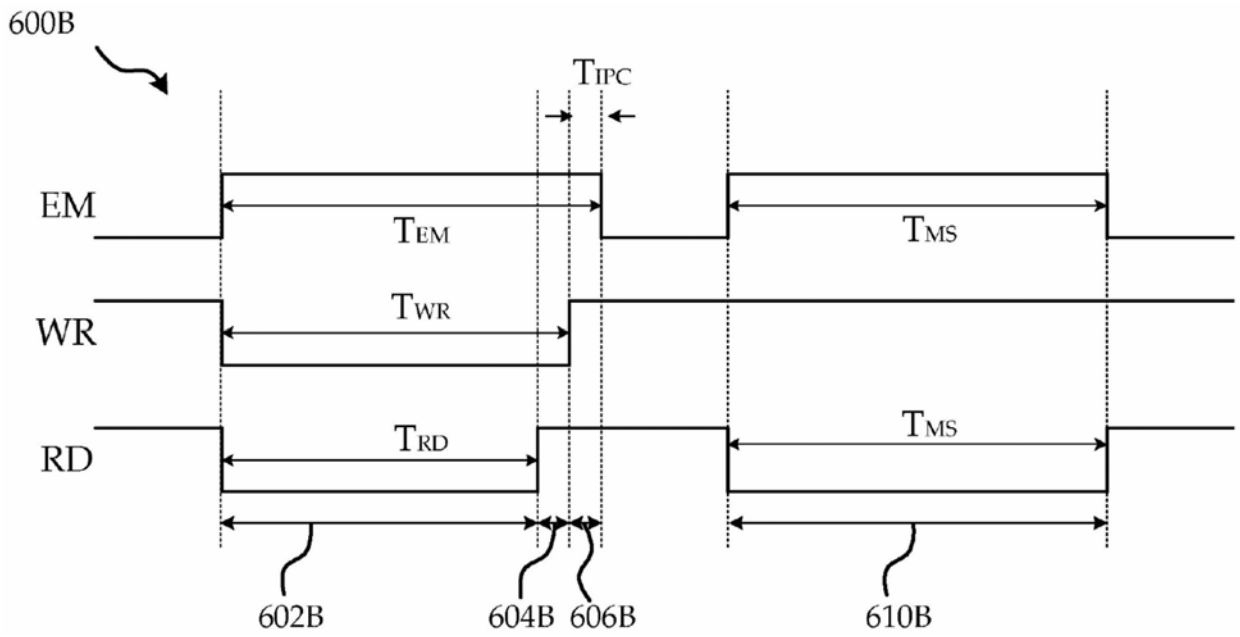


图6B



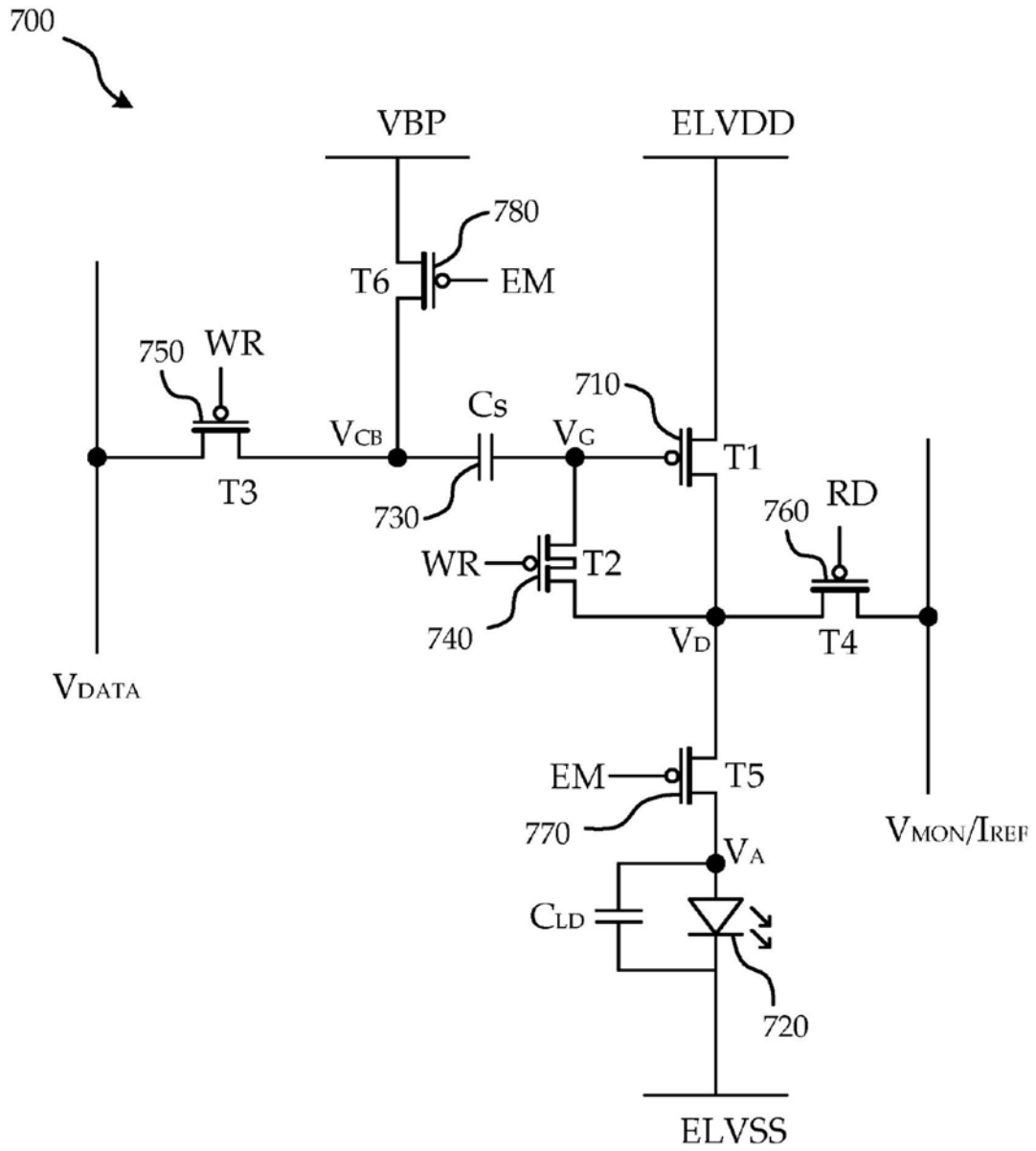


图7

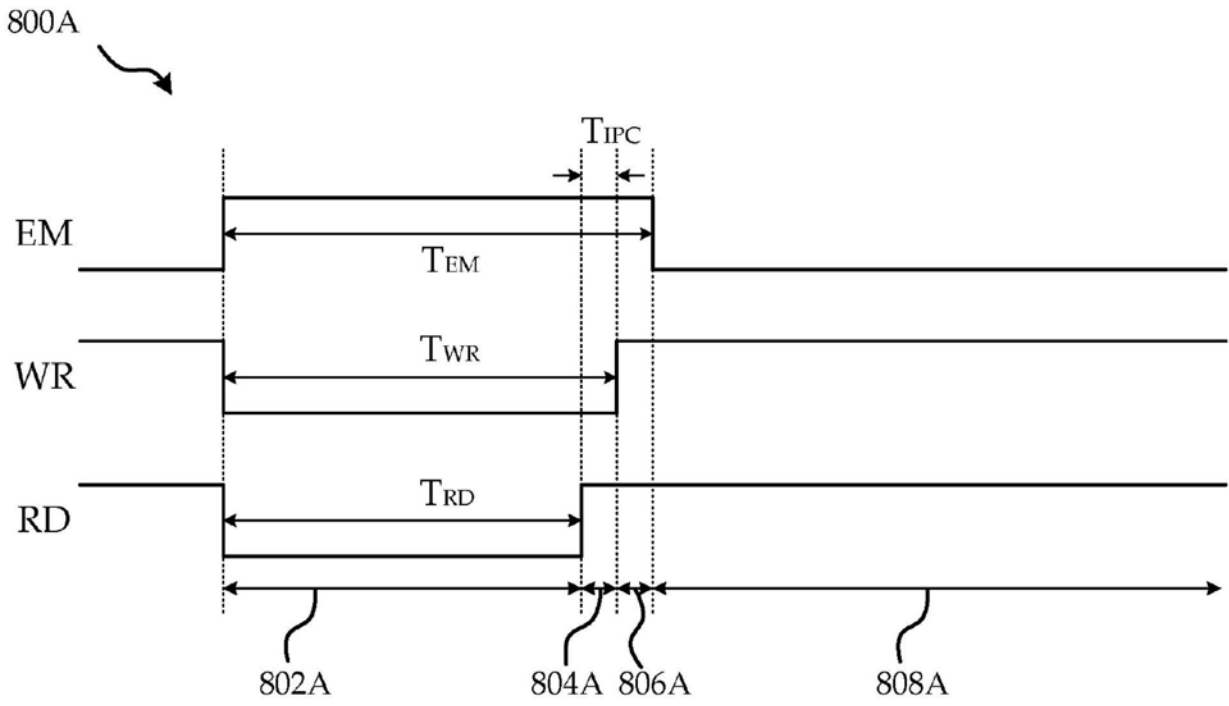


图8A

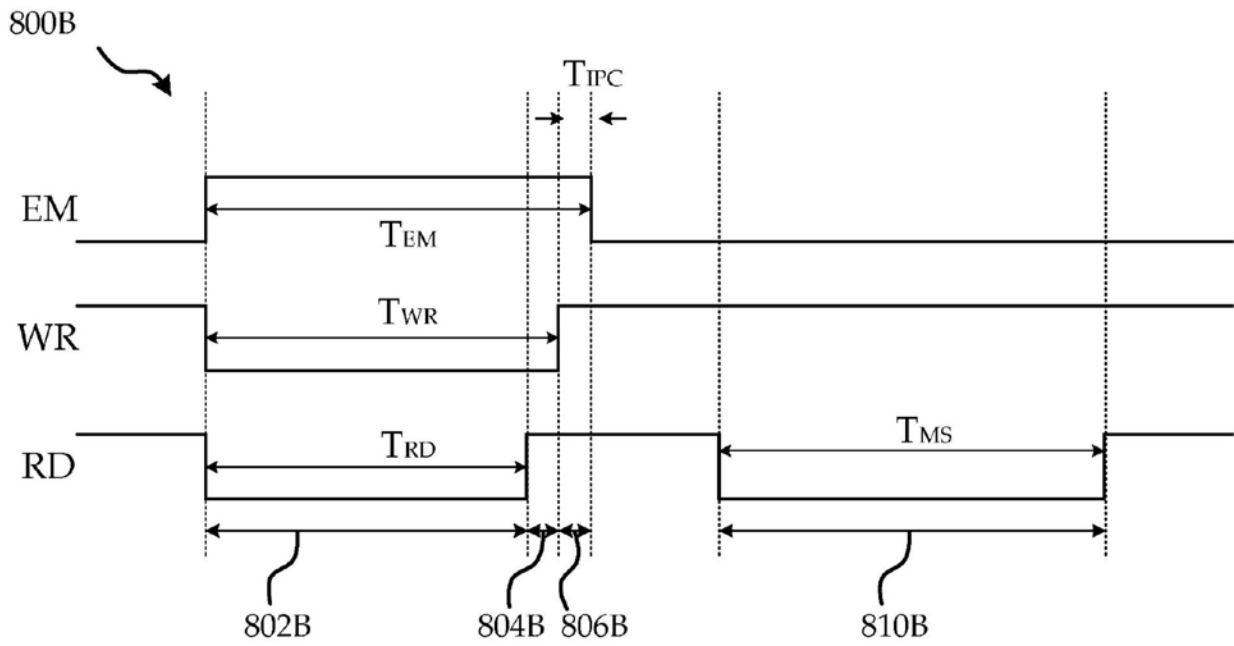


图8B

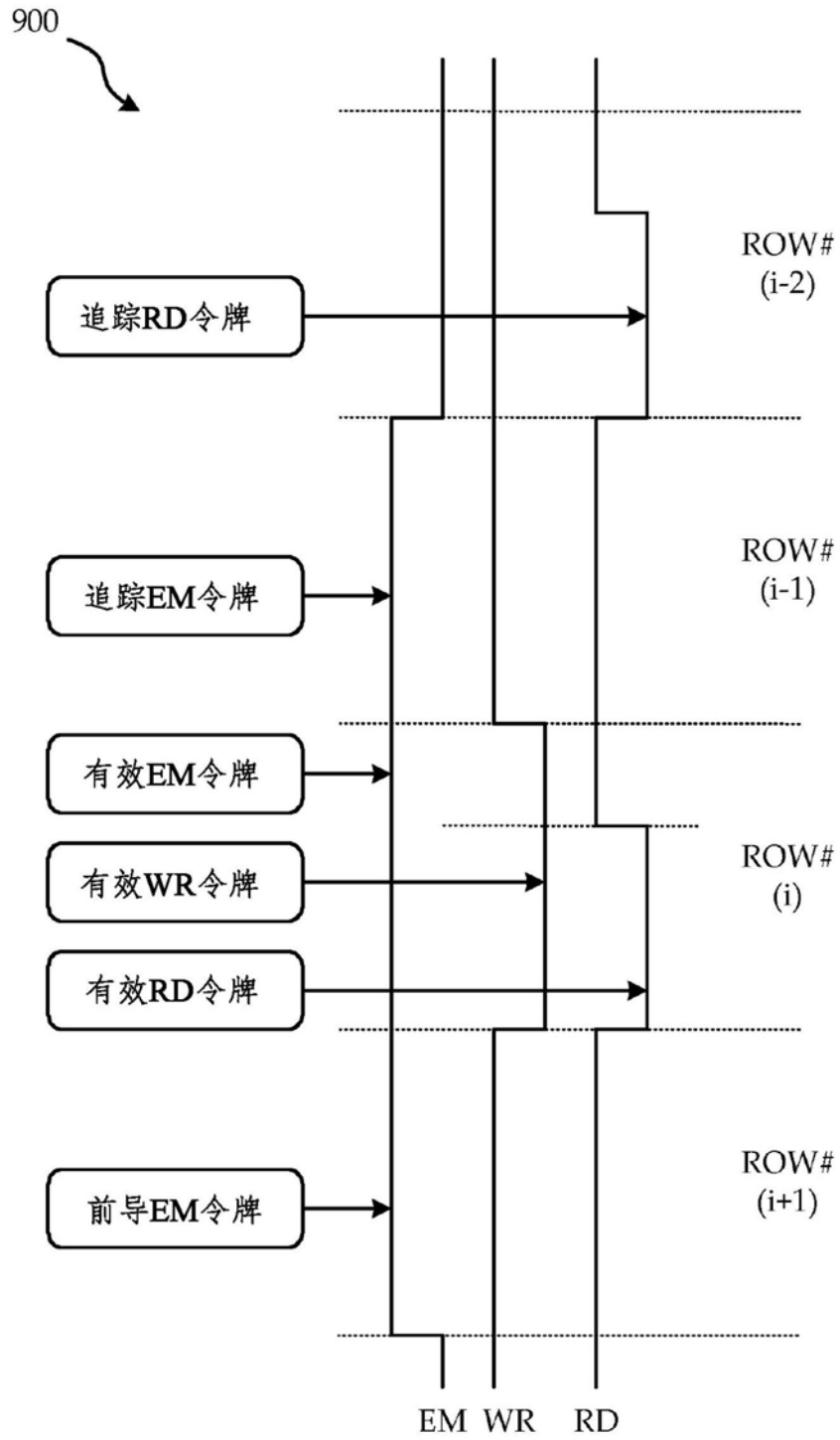


图9

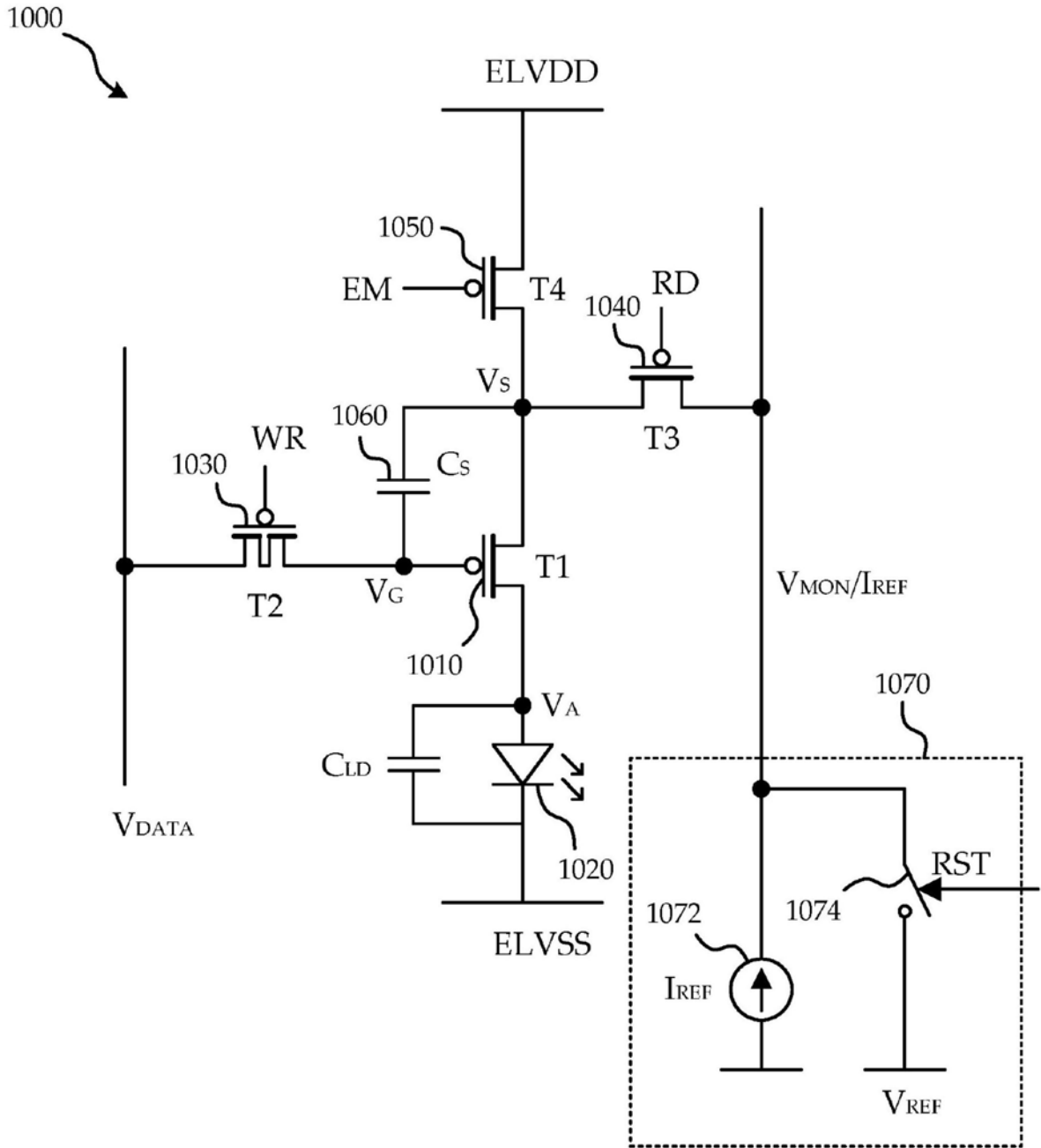


图10

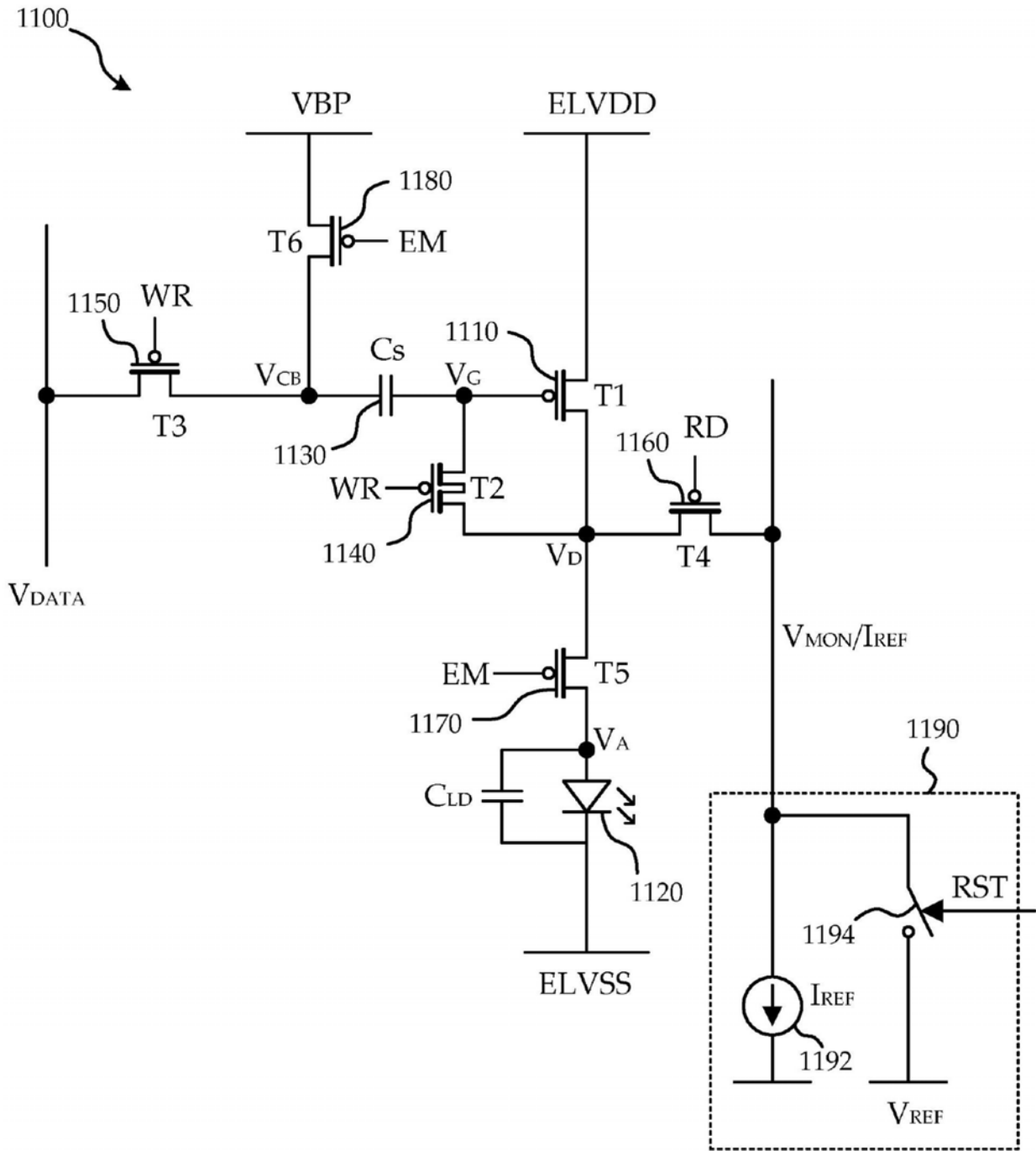


图11

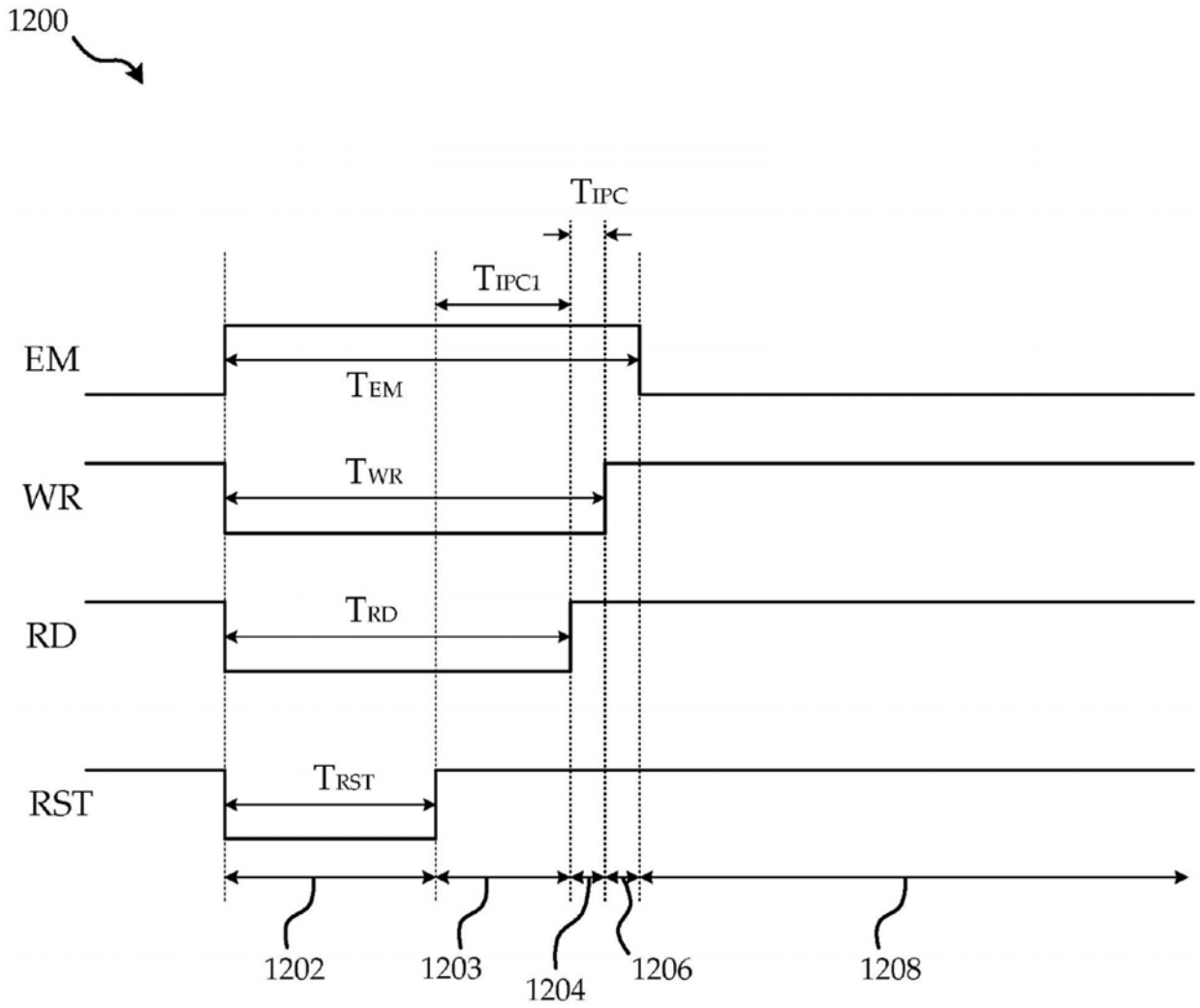


图12

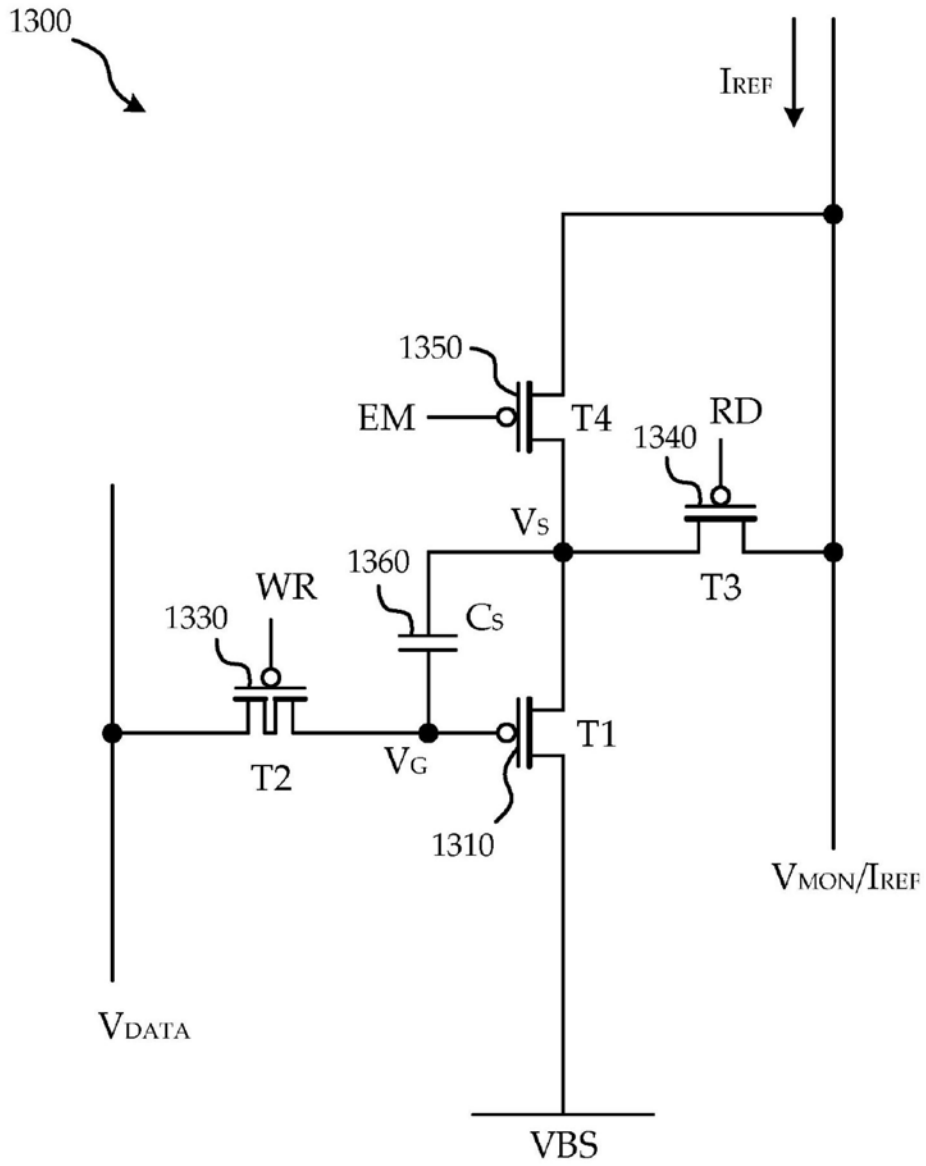


图13

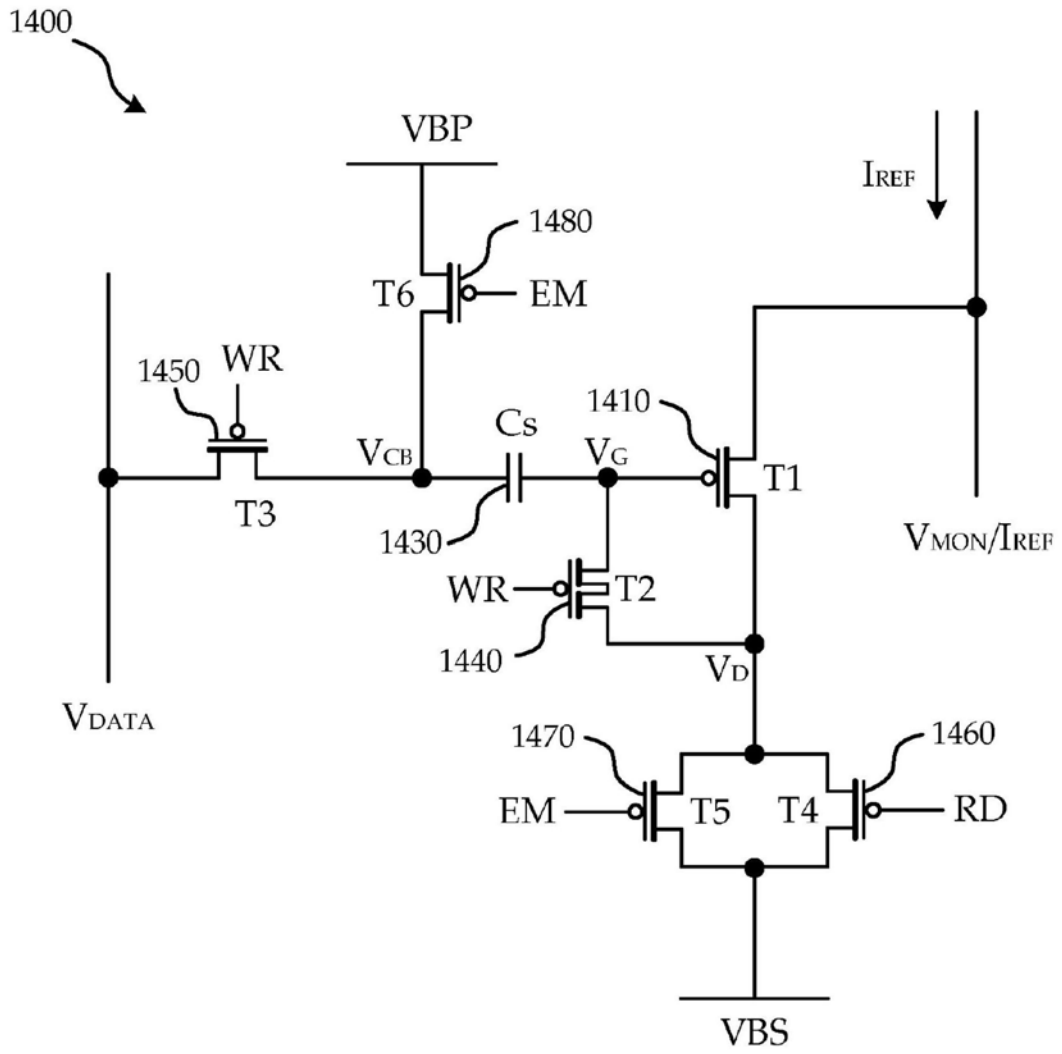


图14



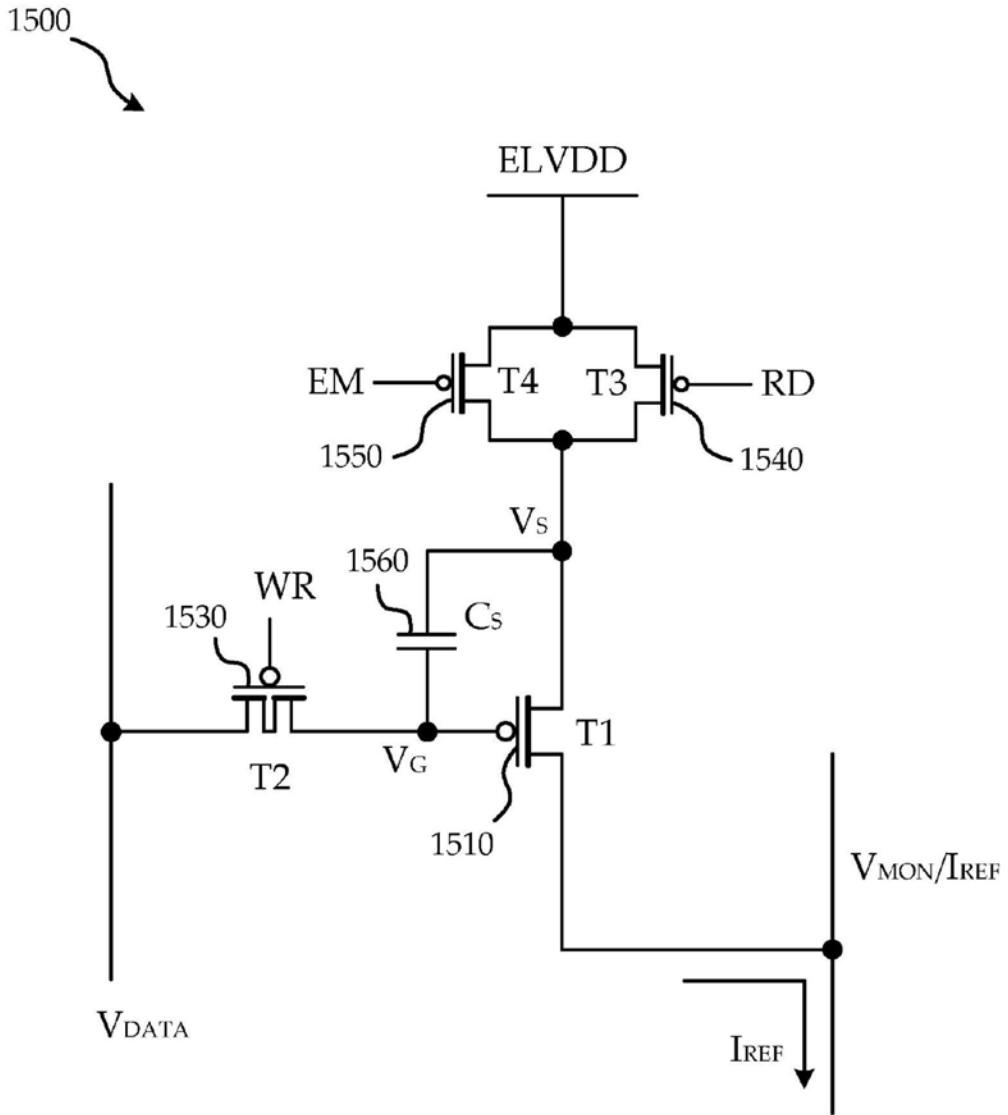


图15

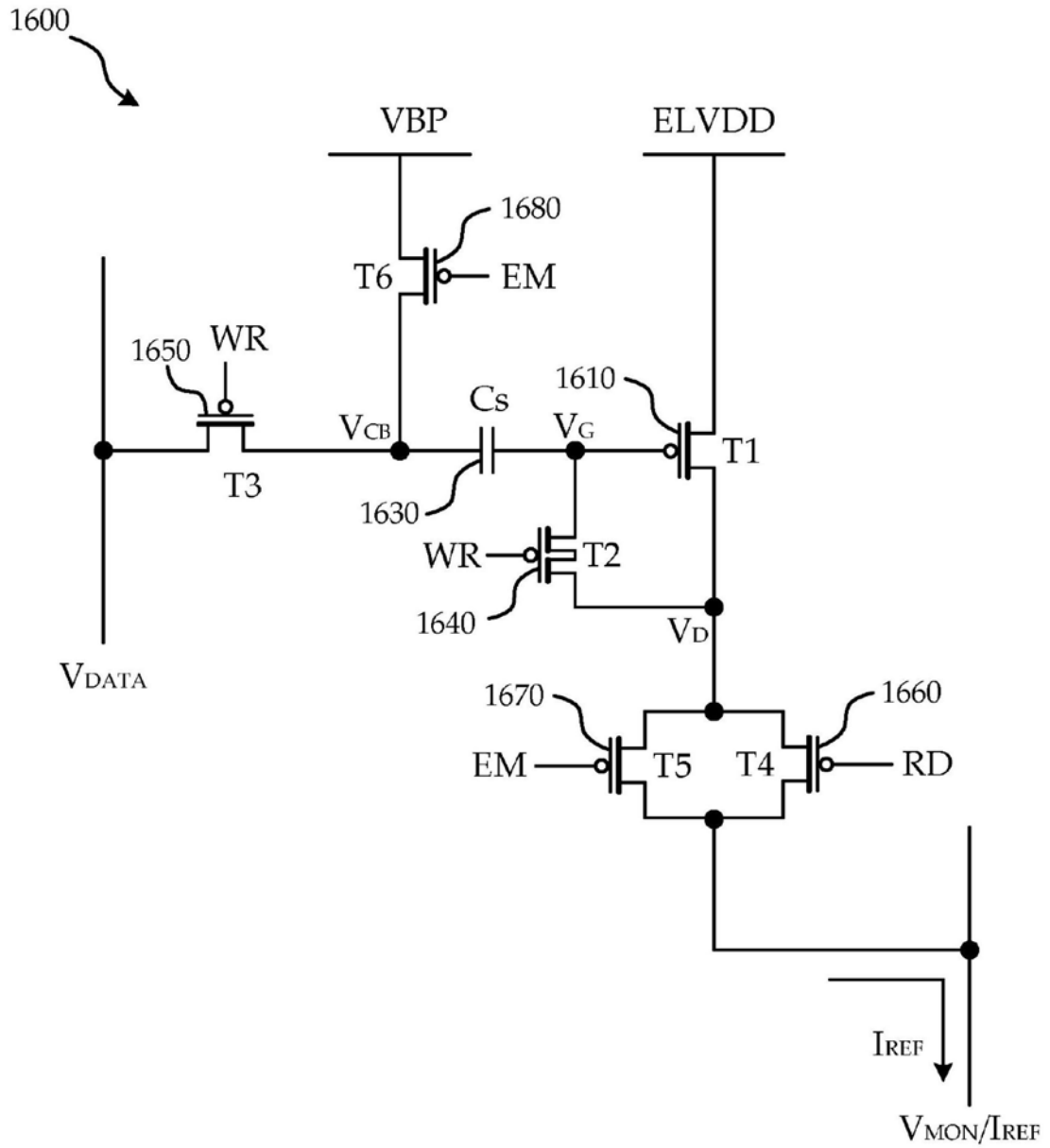


图16

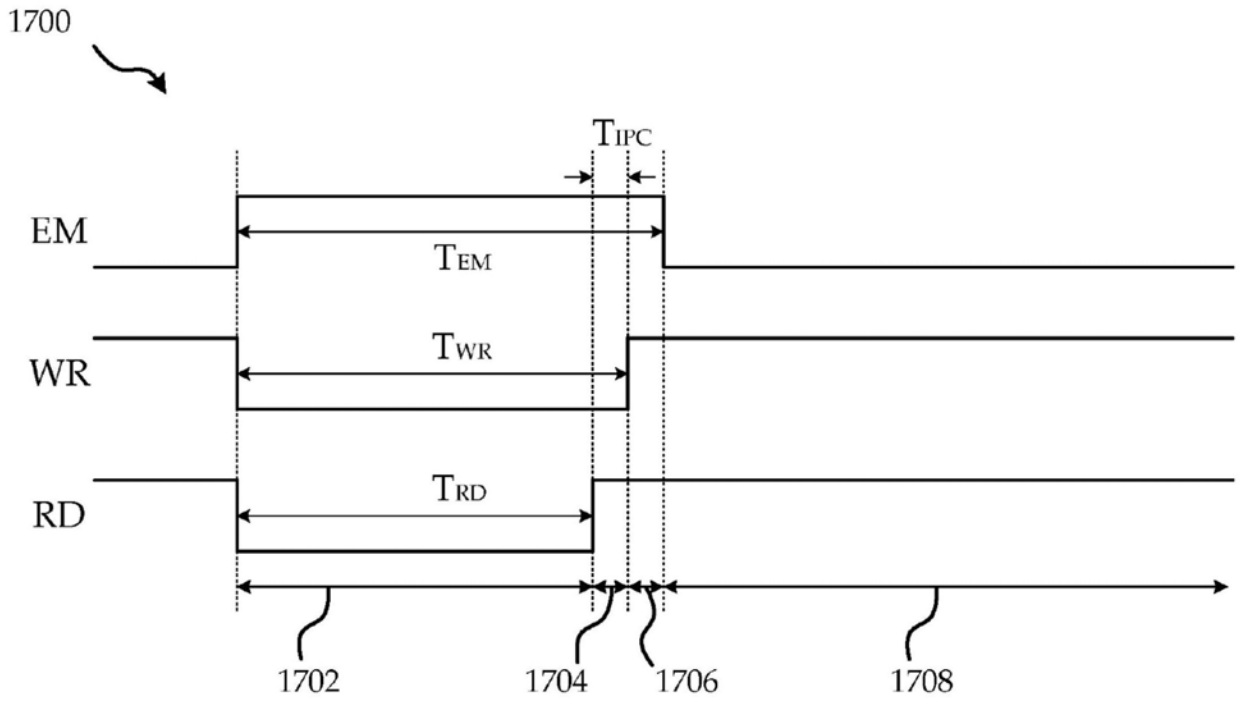


图17

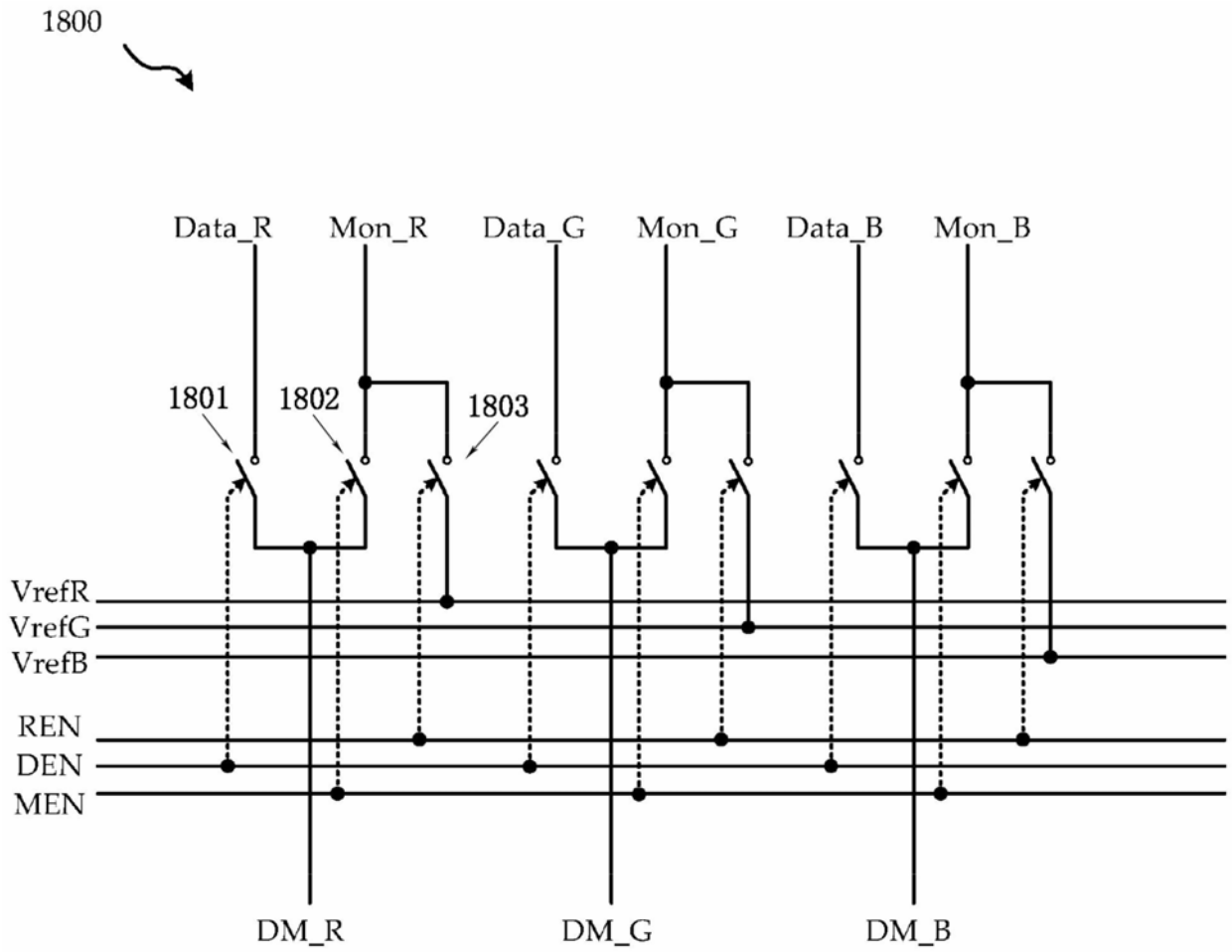


图18

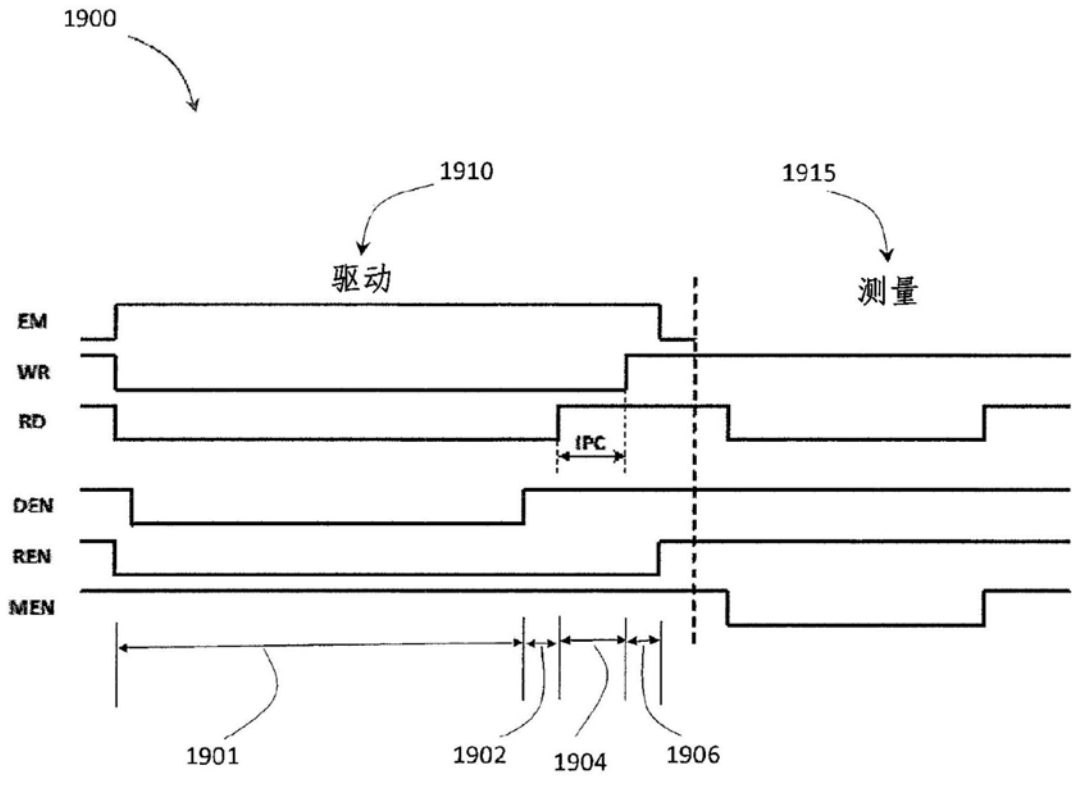
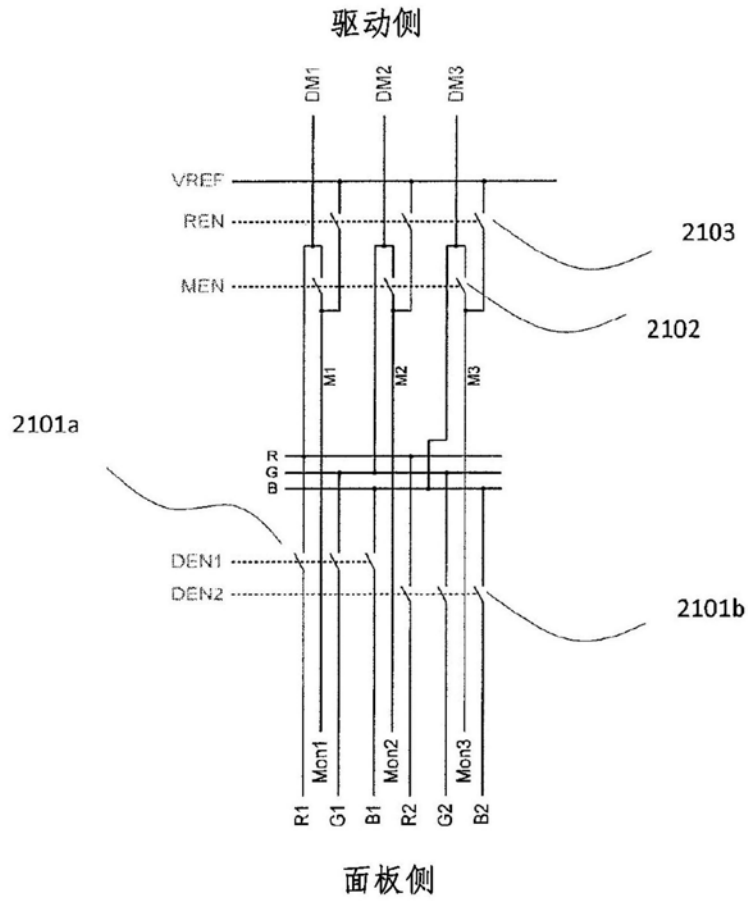


图19



—— 驱动器输出焊盘  
- - - 来自TCON的控制/偏置

图20

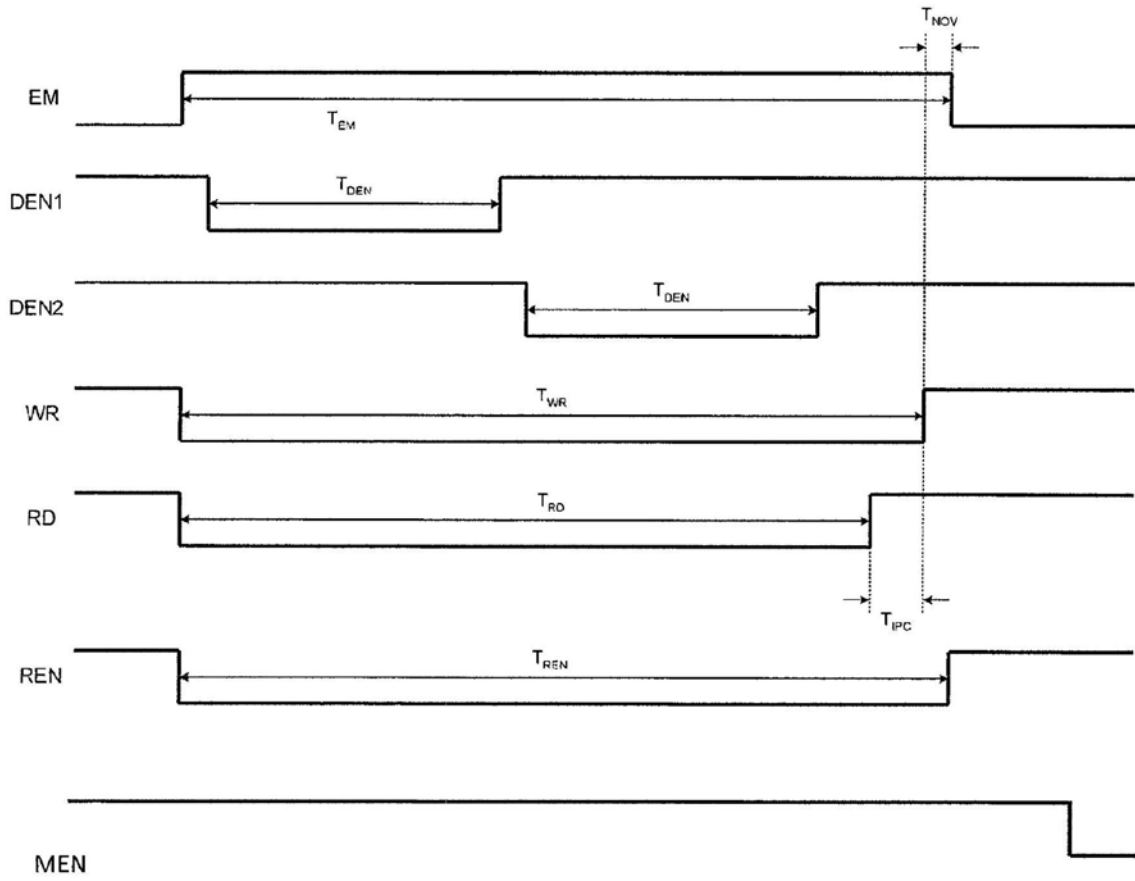


图21