

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁴
H04Q 11/04

(45) 공고일자 1985년05월07일
(11) 공고번호 특 1985-0000658

(21) 출원번호	특 1980-0004952	(65) 공개번호	특 1983-0004749
(22) 출원일자	1980년 12월 26일	(43) 공개일자	1983년 07월 16일

(30) 우선권주장	106,393 1979년 12월 26일 미국(US)
(71) 출원인	웨스턴 이렉트릭 컴파니 인코퍼레이티드 오. 이. 알버 미합중국, 뉴욕, 10038, 뉴욕 브로드웨이 222

(72) 발명자	에드워드 헨리 하퍼 미합중국, 일리노이스 60190, 원월드, 피. 오. 박스 194
(74) 대리인	이병호

심사관 : 고금영 (책자공보 제1068호)

(54) 시분할 교환 회로망을 통하는 통신로의 연속성 확인장치

요약

내용 없음.

대표도

도1

형세서

[발명의 명칭]

시분할 교환 회로망을 통하는 통신로의 연속성 확인장치

[도면의 간단한 설명]

제1도는 본 발명을 구체화한 시스템의 블럭선도.

제2도는 제1도의 실시예에 이용된 라인 유니트의 상세한 블럭선도.

제3도는 제1도의 실시예에 이용된 타임슬롯 인터체인지 유니트와 그 제어유니트에 대한 상세한 블럭선도.

제4도는 제1도의 시분할 교환유니트와의 통신에 이용되는 각 타임슬롯 인터체인지 유니트에 포함된 링크 인터페이스 유니트의 블럭선도.

제5도는 제1도의 타임슬롯 인터체인지 유니트와의 통신에 이용되는 시분할 교환유니트에 링크인터페이스 유니트에 대한 블럭선도.

제6도는 제1도의 실시예에 이용되는 데이터워드의 구성도.

제7도는 제1도에 도시된 실시예의 제어분배 유니트에 대한 상세한 블럭선도.

제8도는 제1도에 도시된 실시예의 분배처리장치에 의해 변환된 호출완료 제어 멘세지의 기능선도.

제9도는 본 실시예의 E비트 제어 시퀀스에 대한 순서도.

제10도는 본 실시예에 이용된 E비트검사회로의 블럭선도.

[발명의 상세한 설명]

본 발명은 제1통신유니트와, 제2통신 유니트와, 통신로 식별신호를 발생시키는 중앙제어유니트 및 상기 통신로 식별신호에 따라서 제1 및 제2통신 유니트사이에 통신로를 완성시키기 위한 제어회로를 포함하는 시분할 교환유니트로 구성된 시분할 회로망에 있어서, 상기 시분할 교환 회로망을 통하는 통신로의 연속성을 확인하기 위한 장치에 관한 것이다.

기억 프로그램제어식 통신교환시스템은 메모리에 기억된 프로그램에 따라서 교환기능을 제어하는 형태의 지능을 갖고 있다. 역사적으로 이러한 시스템은 가입자와 교환국사이의 통신로 전체를 제어하는 단일주 처리장치를 보유한다. 그러나, 기술과 시스템의 혁신이 진행됨에 따라, 주처리장치로부터 일부의 루틴 기능을 분리하는 것이 보다 복잡한 시스템의 기능 및 판정에 대한 처리 시간을 단축시키는데 바람직하다는 것을 알게 되었다. 분배식 제어시스템이라 불리우는 시스템이 현재 설계되어 있지만, 이것도 또한 통

신로의 일부의 제어를 몇개의 지능을 갖는 처리장치로 분배하는 것이다.

전화 교환시스템을 통하는 통신로에 가입자를 접속하기 전에, 통신로의 연속성을 확인하기 위한 검사가 필요하다. 미합중국 특허 제3,909,562호는 기억프로그램 베어식시스템에서 통신로의 연속성을 검사하기 위한 중앙검사장치에 관해 설명한 것이다. 이러한 시스템의 경우 모든 필요한 정보가 단일 제어장치에 이용되며, 경로의 모든 부분을 검사하는데 단일 처리장치가 사용되기 때문에 이러한 검사는 비교적 용이하다. 그러나, 다수의 제어장치가 사용되고, 각 제어장치에 의해서 다른 장치가 실행한 것을 검사해야만 할 때에는, 상기와 같은 검사는 상당히 곤란하며, 시간도 소비된다.

이 문제는 본 발명의 연속성 확인장치에 의해 해결되고, 여기서 이용되는 시분할 교환유니트는 통신로 식별정보를 제1 및 제2통신유니트에 송신하기 위한 제어 분배회로와, 통신로 식별정보에 따라서 통신로에 대하여 고유의 캐릭터를 송신하기 위한 제어유니트를 포함하는 제1통신유니트와, 제1통신유니트에 의해서 송신된 고유의 캐릭터를 통신로로부터 수신하기 위한 수시회로를 포함하는 제2통신유니트와, 통신로로부터 고유의 캐릭터가 수신될 때에 연속성 신호를 발생시키기 위한 연속성 표시회로를 구비하고 있다.

본 발명의 목적은 1개 이상의 제어처리장치에 의해서 제어된 시분할 통신로를 통하는 통신호의 연속성을 검사하기 위한 고속의 신뢰도가 높은 장치를 제공하는데 있다. 본 발명에서는 각처리장치에 의해 제어되는 시스템의 통신로의 연속성을 검사하고, 이 검사결과를 이정보가 필요한 다른 유니트로 전송하도록 한다.

본 발명은 제1통신유니트와, 제2통신유니트와, 통신로 식별신호를 발생시켜서 이를 통신로 식별신호에 따라 제1통신유니트 및 제2통신유니트 사이에 통신로를 완성하기 위한 시분할 교환유니트를 시분할 교환 시스템에 사용하는 통신로의 연속성 확인장치이다. 본 발명에서는, 시분할 교환시스템이 제1 및 제2통신유니트에 대해서 통신로 식별신호를 송신하는 장치를 포함하고, 제1통신유니트는 통신로 식별신호에 따라서 통신로에 대하여 고유의 캐릭터를 송출하는 장치로 포함하며, 제2통신 유니트는 통신로로부터 고유의 캐릭터를 수신하는 장치와 통신로로부터 고유의 캐릭터가 수신된 때에는 연속성 신호를 발생시키는 장치를 포함하는 것을 특징으로 하고 있다. 본 발명의 또 다른 특징에 따르면, 통신유니트는 연속성 신호가 발생될 때까지 통신로를 통한 통신을 지속한다.

본 발명의 일실시예에 따르면, 각 신호유니트는 최소한 하나의 가입자가 접속된 타임슬롯 인터체인지 유니트를 포함하고 있다. 다른 가입자를 호출하고자 하는 가입자의 통신신유니트는 발신유니트라고 하고, 상대방인 피호출자의 통신유니트는 착신 유니트라고 한다. 제어유니트는 발신유니트로부터의 루틴정보에 따라서 시분할 공간회로망을 통하는 통신로를 설정하고, 식별된 경로의 발신유니트와 착신유니트의 양방에 알려준다. 발신유니트와 착신유니트는 통신로를 통하여 다른 유니트에 대해 임의의 고유캐릭터를 송신하기 시작한다. 본 실시예에 있어서, 고유의 캐릭터는 발신유니트와 착신유니트 사이의 각 타임슬롯의 소정의 위치에서 송신되는 논리 '1'이다. 발신유니트와 착신유니트는 서로 상대편으로부터 보내지는 고유의 캐릭터를 주목함으로써 이들 사이에 경로의 연성이 존재함을 확인한다. 경로가 연속할 때에는 가입자는 통신로에 접속된다. 그 대신, 발신유니트 또는 착신유니트 중 어느 한쪽에 소정시간동안에 고유의 캐릭터를 수신하지 못하게 되면, 그 유니트는 시분할 공간회로망 제어유니트에 대해서 불연속성이 생겼음을 알려준다. 더우기, 어떤 유니트가 연속성을 상실했음을 판정한 때에는, 그것에 관련하는 가입자는 통신로로부터 단절되고, 시분할 공간회로망에는 상술한 바와 같이 통지된다.

이하, 첨부된 도면을 참조하면서 본 발명의 더욱 상세히 설명하기로 한다.

제1도는 가입자 세트(23) 내지 (26)과 같은 가입자 세트들을 상호 접속하는데 사용되는, 본 발명에 따른 시분할 교환시스템의 블럭선도이다. 제1도의 실시예에는 64개의 입력포트와 64개의 출력포트를 갖는 시분할 공간분할 스위치로 구성된 시분할 교환 유니트(10 ; "이하 'TMS유니트'로 함")가 도시되어 있다. 제1도의 실시예에는 또한 31개의 타입-슬롯 인터체인지 유니트(이하, 'TSI유니트'로 함)를 포함하고 있지만, 도면에서는 대표적으로 TSI유니트(11) 및 (12)만 도시하였다. 각각의 TSI유니트(11) 및 (12)는 양 방향으로서, TMS유니트(10)의 2개의 입력포트 및 2개의 출력포트에 접속되어 있다. 본 실시예의 경우, TSI유니트(11)는 시분할 다중라인(13) 및 (14)를 통해 TMS유니트(10)의 2개의 입력포트에 접속되어 있고, 시분할 다중라인(15) 및 (16)을 통해서는 2개의 출력포트에 접속되어 있다.

이하의 설명에서는, TMS유니트(10)의 입력 및 출력포트를 입/출력포트 쌍이라고 부르기로 한다. 소정의 입/출력포트 쌍의 입력포트에 대한 데이터원이 그 쌍의 출력포트로부터의 데이터워드에 대한 수신처로도 되기 때문에 상기와 같은 용어를 사용한다. 제1도에 도시된 바와 같이, 입/출력포트 쌍(1)에는 시분할 다중라인(13) 및 (15)이 접속되어 있다. 각각의 시분할 다중라인(13) 내지 (16)은 125 μ Sec기간의 프레임 내에 디지털 정보를 전송하며 각 프레임에는 256개의 시분할 채널이 포함된다. 따라서, 각각의 TSI유니트는 매 125 μ Sec의 프레임 사이에 512채널까지의 디지털정보를 송·수신한다.

각각의 TSI유니트는 제어유니트와 일의적으로 접속되어 있는데, 제1도의 실시예의 경우, TSI유니트(11)에는 제어유니트(17)가, 또한 TSI유니트(12)에는 제어유니트(18)가 각각 접속되어 있다. 또한 각각의 TSI유니트에는 개개의 시분할 다중라인을 통해 다수의 라인유니트(19) 내지 (22)도 접속되어 있다. 본 실시예의 경우, TSI유니트(11)에는 라인유니트(19) 및 (20)가, 또한 TSI유니트(12)에는 라인유니트(21) 및 (22)가 접속되어 있다.

본 실시예의 각 라인유니트에는 다수의 가입자 세트가 접속되는데, 제1도에서는 그중 가입자 세트(23) 내지 (26)만을 도시하였다. 각각의 TSI유니트에 접속되는 라인유니트의 정확한 수와, 각각의 라인유니트에 접속되는 가입자 세트의 정확한 수는 사용가입자수와 이들 가입자의 호출율에 의해 결정된다. 각각의 라인유니트는 가입자 세트로부터의 공지된 형태의 아날로그 루프와 접속되어, 아날로그 음성신호를 포함하는 호출정보를 디지털 데이터 워드로 변환해서 그 관련 TS유니트로 송출한다. 또한, 각각의 라인유니트는 가입자 세트로부터의 서비스요청을 검색하여 이러한 가입자 세트에 대해 신호정보를 발생시킨다. 음성샘플이 취해서 저 인코드되는 특정 가입자 세트 및 라인유니트와 그것에 접속된 TSI유니트사이에서

얻어진 코드를 전송하는데 사용되는 특정 시분할 채널은 관련 TSI유니트의 제어유니트에 의해서 결정된다.

가입자 세트와 라인유니트 및 TSI유니트사이의 관계는 상호 접속된 이와 같은 그룹의 관계와 실질적으로 동일하다. 따라서, 가입자세트(23)와 라인유니트(19) 및 TSI유니트(11)에 관련된 이하의 설명은 이러한 유니트들의 다른 모든 그룹에 대한 관계에도 동일하게 적용할 수 있다. 라인유니트(19)는 각각의 가입자 세트에 접속되어 있는 라인들을 주사하여, 서비스요청을 검출한다. 서비스요청이 검출되면, 라인유니트(19)는 서비스요청과 서비스를 요청하는 가입자세트의 번호를 나타내는 맷세지를 제어유니트(17)로 전송한다. 이러한 맷세지는 통신로(27)를 통해서 제어유니트(17)로 전송되는 것이다. 제어유니트(17)는 서비스요청과 서비스를 요청하고 있는 가입자세트의 번호 및 이용될 장치를 근거로 하여 필요한 해석을 하고, 통신로(27)를 통하여 라인유니트(19) 및 TSI유니트(11)사이의 다수의 시분할 채널중에서 어느채널이 가입자 세트(23)로부터의 정보를 TSI유니트(11)로 전송할 것인지를 결정하는 맷세지를 라인유니트(19)로 송신한다. 이러한 맷세지에 따라서, 라인유니트(19)는 가입자세트(23)로부터의 아날로그 정보를 디지털데이터 워드로 인코드하여, 그데이터 워드를 지정된 채널로 전송한다. 본 실시예의 경우, 라인유니트(19)는 지정된 채널로 가입자세트(23)에 접속되어 있는 가입자 루프의 직류상태, 즉 개방회로 인지 또는 폐쇄회로인지를 나타내는 표시신호도 송신한다.

라인유니트(19)와 TSI유니트(11)사이의 하나의 시분할 채널이 소정의 가입자 세트에 할당된 후, 제어유니트(17)는 할당된 채널에 전송된 정보를 샘플링 함으로써, 가입자 세트로부터의 신호정보를 검색한다. 제어유니트(17)는 가입자의 채널로부터의 신호정보와 다른 제어유니트, 예를 들어, (18)로부터의 제어맷세지 및 중앙제어 유니트(30)로부터의 제어맷세지에 따라 TSI유니트(11)의 타임-슬로트 인터체인 지능을 제어한다. 이미 언급한 바와 같이, TSI유니트와 TMS유니트(10)사이의 시분할 다중라인은 각각의 프레임에 256개의 채널을 포함하고 있다. 이러한 채널들에는 그 발생순서에 따라 1부터 256까지의 번호가 순차적으로 부여된다. 이들 채널의 계열은 소정채널이 125 μsec마다 이용될 수 있도록 반복된다. 타임-슬로트 인터체인지 기능은 라인유니트로부터 수신된 데이터워드를 취하에 이들을 제어유니트(17) 및 (18)의 제어하에 TSI유니트와 TMS유니트(10)사이에 있는 시분할 라인의 채널에 부여하는 방식으로 동작한다.

TMS유니트(10)는 타임-슬로트의 반복프레임에서 동작하며, 그 12 μsec의 프레임은 256타임-슬로트를 구비하고 있다. 각 타임-슬로트 동안에, TMS유니트(10)는 64개의 입력포트중 임의의 입력포트에서 수신된 데이터워드를 제어메모리(29)에 기억되어 있는 타임-슬로트 제어정보에 따라서 64개의 출력포트중 임의의 출력포트에 접속할 수 있다.

TMS유니트(10)를 통한 접속의 구성패턴은 매 256타임-슬로트마다 반복되고, 각각의 타임-슬로트에는 부터 256까지의 번호가 순차적으로 부여된다. 라서따, 제1의 타임-슬로트 TS 1동안에는 시분할라인(13)상의 채널(1)의 정보가 TMS유니트(10)에 의해 교환되어 출력포트(64)에 부여되고, 반면에 다음의 타임-슬로트 TS 2동안에는 시분할라인(13)상의 다음 채널(2)이 출력포트(n)으로 교환되도록 할수 있다. 타임-슬로트 제어정보는 중앙제어유니트(30)에 의해서 제어메모리(29)에서 입되지만, 이것은 여러 제어유니트, 예를들면, (17) 및 (18)에서 얻어진 제어맷세지로부터 중앙제어유니트(30)에 의해서 유도된 것이다.

중앙제어유니트(30)와 제어유니트(17) 및 (18)는 TSI유니트와 TMS유니트(10)사이에 있는 시분할라인, 예를들어, (13) 내지 (16)의 제어채널이라고 불리우는 선택된 채널을 이용하여 제어 맷세지를 교환한다. 본 실시예의 경우, 각 제어 맷세지는 다수의 제어워드를 포함하고 있으며, 각 제어채널은 256개의 시분할채널의 프레임당 1개의 제어워드를 송신한다. 소정의 입/출력 포트쌍에 접속되어 있는 2개의 시분할라인에서는 동일채널이 제어채널로서 사용된다. 또한, 소정의 채널은 1쌍의 시분할 라인에 대해서만 제어채널로서 사용된다. 예를들어, 채널(1)이 시분할라인(13) 및 관련 시분할라인(15)의 제어채널로서 사용되면, 다른 시분할라인은 채널(1)을 제어채널로서 사용할 수 없다. 제어채널과 동일한 번호의 각 타임-슬로트 기간동안, TMS유니트(10)는 제어채널을 점유하고 있는 데이터워드를 64번째의 출력포트에 접속하고, 또 한 64번째의 입력포트를 상술한 제어채널과 관련된 출력포트에 접속한다. 이하의 설명은 채널(1)이 시분할라인(13) 및 (15)이 제어채널이고, 채널(2)은 시분할라인(14) 및 (16)의 제어채널인 경우의 동작예이다. 타임-슬로트 TS 1동안에 제어메모리(29)로부터의 정보는, 다른 접속과 공히, 시분할라인(13)의 채널(1)의 제어워드를 출력포트(64)에 접속하고, 입력포트(64)의 채널(1)의 제어워드를 시분할라인(15)에 접속하는 것을 지정한다. 마찬가지로, 타임-슬로트 TS 2동안에는, 제어메모리(29)로부터의 정보는 시분할라인(14)의 채널(2)의 제어워드를 출력포트(64)에 접속하고, 입력포트(64)의 접속하고, 입력포트(64)의 채널(2)의 제어워드를 시분할라인(16)에 접속하는 것을 지정한다. 이와 같이 동작하면, 출력포트(64)는 모든 제어워드가 송신되었던 채널과 동일한 번호의 채널에서 TMS유니트(10)로부터 모든 제어워드를 수신한다. 또한, 각 제어채널은 그것에 관련된 제어채널과 동일번호의 타임-슬로트 동안에 입력포트(64)로부터의 제어워드를 수신하도록 접속된다. 64번째 출력포트로 교환된 제어워드는 제어분 배유니트(31)로 전송되고, 이 제어분배 유니트(31)는 제어워드를 그 제어채널과 관련된 장소에 일시적으로 기억한다. 제어채널과 제어분 배유니트(31)내의 기억장소사이의 관계로 기억된 정보의 소오스를 판별한다.

TSI유니트로부터의 각 제어 맷세지는 스타트(start)캐릭터, 행선부, 신호정보부 및 엔드(end)캐릭터를 포함한다. 행성부는 제어맷세지의 기대되는 행선을 일의적으로 지정한다. 제어분배 유니트(31)는 각 제어 맷세지의 행성부를 해석하여, 그 제어맷세지의 적절한 행선을 판정하고, 행선유니트와 관련된 제어채널과 동일한 번호의 채널에서 TMS유니트(10)의 입력포트(64)로 맷세지를 재송신한다.

상술한 바와 같이 동작하는 경우, TSI유니트(11)는 제어맷세지를 전송함으로써 TSI유니트(12)로 제어 맷세지를 송신하고, 반복제어채널사이에서 TSI유니트(12)를 나타내는 행선부를 갖는 제어 맷세지를 형성한다. 제어분배 유니트(31)는 그 제어워드를 기억하고, 행선부를 해석하며, TSI유니트(12)와 관련된 제어 채널과 동일번호의 제어채널동안에 맷세지를 입력포트(64)로 재송신한다. 제어맷세지는 또한 제어맷세지의 행선부내에서 중앙제어유니트(30)을 지정함으로써, 중앙제어유니트(30)에 전송될 수 있다.

이와 같은 경우, 제어분배유니트(31)는 맷세지를 TMS유니트(10)로 반송하지 않고, 통신링크(32)를 경유

하여 중앙제어유니트(30)로 송신한다. 마찬가지로, 특정의 TSI유니트를 지정하는 행선부를 갖는 제어ユニ트 세지를 제어분배유니트에 송신함으로써, 멧세지를 중앙제어유니트(30)로부터 하나의 TSI유니트로 송신 할 수 있다. 이와 같은 전송은 또한 통신링크(32)를 통해서 실행된다.

각각의 제어유니트, 예를들어, (7) 및 (18)는 메모리(57)(제3도)를 포함하고 있으며, 이것은 관련제어유니트를 제어하는 프로그램과, 제어유니트의 1차기능과, TSI관련유니트 및 관련 가입자의 데이터를 기억 한다. 메모리(57)는 서비스의 종류, 이득 또는 감쇠에 대한 가입자의 제한, 시외 구별정보 및, 예를들면, 피호출자 보류 또는 조인트 보류와 같은 정상적인 호출 취급순서에 있어서의 변화에 관한 정보를 기억한다. 소정 메모리(57)의 기억내용중 대부분은 다른 제어유니트나 중앙제어유니트와 관련된 기억장소에는 기억되지 않는다. 그러나, 지속적인 기억의 목적을 위해서는 벌크메모리(도시안함)에 기억될 수도 있다. 메모리(57)의 정보중 일부, 예를들어, 피호출자 보류 또는 조인트보류정보는 주로 다른 제어유니트에 의해서 실행되는 기능과 관련이 있다. 이 정보는 데이터의 중복을 회피하고, 정보를 집중화하여 기억하는것을 회피하기 위해서 관련가입자와 연관하여 기억되어 있는 것이다. 이와 같은 호출에 관련된 정보를 다른 제어유니트 및 중앙제어유니트에 전송하기 위해서는 이미 기술한 제어분배 유니트(31)를 통하여 전송된 제어채널을 이용한 장치가 사용된다.

제2도에는 라인유니트(19)가 보다 상세히 도시되어 있다. 본 실시예의 모든 라인유니트는 라인유니트(19)와 실질적으로 동일하다. 가입자세트(23) 및 (33)와 같은 가입자 세트가 512세트까지 본 실시예의 라인유니트에 접속될 수 있다. 이와 같은 가입자 세트들은 당분야에 공지된 형태의 가입자 루프회로를 거쳐서 집/배선장치(34)에 접속된다. 가입자 세트(23)는 가입자 루프회로(35)를 통해 집/배선장치(34)에 접속되고, 가입자 세트(33)는 가입자 루프회로(36)를 경유하여 집/배선장치(34)에 접속되어 있다. 집/배선장치(34)는 512개의 입력단자와 64개의 출력단자를 구비하므로, 8대 1의 집선 및 배선을 실행한다. 본 실시예는 또한 64개의 채널회로를 포함하며, 이것은 가입자 세트로부터의 아날로그 신호를 디지털 데이터워드로 변환하여 교환시스템에 송신하고, 또한 교환시스템으로부터의 디지털 정보를 아날로그 형태로 변환하여 가입자 세트에 전송하는 것이다. 각각의 채널회로(37)는 집배선장치(34)의 출력단자중 하나에 접속되어 있다. 집/배선장치(34)의 각각의 출력포트에는 또한 고레벨 서비스회로(41)가 접속되어 있으며, 이 회로(41)는, 예를들면, 가입자 세트에 대하여 링잉(ringing) 전류를 공급하는데 사용된다. 각각의 채널회로(37)는 집/배선장치(34)의 출력단자로부터의 아날로그 신호를 8kHz의 주파수로 샘플하고, 이러한 샘플을 아날로그 샘플의 8비트 PCM표시로 변환한다. 이 8비트 PCM표시는 TSI유니트(11)로 전송되는 데이터워드의 일부로서 사용된다.

제6도에 도시된 바와 같은 각각의 데이터 워드는 16비트의 길이로서, 8비트의 PCM데이터부와 7비트의 신호부 및 패리티비트로 구성된다. 신호부는 채널회로 또는 그 채널회로가 접속되어 있는 가입자 세트에 관한 신호정보를 전송하는데 사용된다. 예를들면, 신호부의 'A'비트는 관련 가입자 세트의 현재의 직류 상태를 TSI유니트(11)로 송신하는데 사용된다.

데이터워드는 채널회로(37)로부터 멀티플렉스/디멀티플렉스회로(43 ; 이하 'MPX/DMPX회로'로 함)로 전송되며, 이 MPX/DMPX회로(43)는 TSI유니트(11)와의 사이에서 시분할 디지털 정보를 송·수신하도록 접속된다. MPX/DMPX회로(43)는 각각 16비트를 갖는 64채널의 125 μsec프레임 형식인 시분할 다중라인(45)을 통하여 디지털정보를 TSI유니트(11)로 송신한다. 시분할라인(45)상에서 전송된 각 채널은 하나의 채널회로(37)에 일의적으로 관련되어 있고, 그 채널회로(37)로부터 TSI유니트(11)로 정보를 전송하는데 사용된다. MPX/DMPX회로(43)는 당분야에 공지된 방법으로 동작하며, 각각의 채널회로(37)로부터 16비트의 데이터워드가 송신된다. MPX/DMPX회로(43)는 시분할 다중라인(45)의 형식과 본질적으로 동일한 형식으로 시분할다중라인(44)을 거쳐 TSI유니트(11)로부터 디지털정보를 수신한다. DMPX회로로서만 동작하는 경우에는, MPX/DMPX회로(43)는 시분할라인(44)의 각 채널에서 수신된 데이터워드를 그 채널과 일의적으로 관련된 하나의 채널회로(37)에 제공한다. 그 채널을 수신하게될 특정 채널회로(37)는 그 채널의 프레임중에서 그 채널의 위치에 의해서 결정된다. 다음에 채널회로(37)는 8비트 PCM데이터워드를 해독하여 그 결과로서 얻어진 아날로그 신호를 집/배선장치(34)를 통해 관련 가입자에게 송신한다.

MPX/DMPX회로(43)는 또한 클럭 재생회로(도시안함)를 포함하고 있는데, 이것은 당분야에 공지된 방법으로서의 시분할라인(44)상의 신호로부터 클럭신호를 발생시킨다. 이러한 클럭신호는 MPX/DMPX회로(43)의 타이밍을 제어하는데 사용되며, 또한 도체(46)를 경유하여 채널회로(37)에 송신되어 그 타이밍도 제어한다.

상술한 바와 같이, 제어유니트(17)는 각각의 라인유니트에서 실행되는 다수의 동작을 제어한다. 제어유니트(17)의 주처리장치는 메모리(57)내에 기억된 명령에 따라서 동작하는 처리장치(66)(제3도)이다. 제어유니트(17)는 또한 제어 인터페이스회로(56)를 포함하고 있는데, 이 회로(56)는 버스(59)를 통해 처리장치(66)로부터 명령을 수신하고, 이 명령에 따라서 제어버스(27)를 통해 예를들면, (19) 및 (20)과 같은 라인유니트와 통신한다. 제어버스(27)는 다수의 통신로를 포함하고 있으며, 그중 최소한 하나는 각 라인유니트와 일의적으로 관련되어 있다. 각각의 라인유니트는 라인유니트 제어기를 포함하고 있으며, 이것은 제어버스(27)에 접속되어 있다.

본 실시예에 있어서, 라인유니트(19)는 라인유니트 제어기(47)를 포함하고 있다. 제어유니트(17)와 라인유니트 제어기(47)사이의 통신의 대부분은 제어유니트(17)로부터의 판독 또는 서입명령에 의해서 개시된다. 판독명령은 라인유니트(19)내의 식별가능한 정보를 판독하도록 하는 지시이며, 단일비트의 판독표시와 판독될 특정정보의 어드레스를 포함하고 있다. 서입명령은, 예를들어, 주사제어 유니트(39)와 같은 라인유니트(19)내의 유니트에 대한 정보를 서입하도록 하는 지시이며, 서입어드레스와 서입될 정보 및 비1트의 서입코드로 이루어진다. 판독 또는 서입의 대상이 되는 특정유니트는 주사제어유니트(39), 집선 제어유니트(40), 또는 고레벨서비스회로(41)등이다. 라인유니트 제어기(47)는 제어유니트(17)로부터의 각명령을 부분적으로 해독하고, 명령의 나머지 부분과 판독/서입 표시 비트를 어드레스된 특정유니트로 향하게 한다. 어드레스된 특정유니트는 제어유니트(17)로부터 전송된 어드레스부와 판독/서입 명령에 따라서어드레스부에 의해 식별된 기억장소를 판독 또는 서입한다. 라인유니트(19)내의 특정유니트로부터

판독된 정보는 라인유니트 제어기(47)로 반송되고, 이것에 의해서 제어유니트(17)로 송신된다.

각각의 가입자 루프, 예를들어, (35) 및 (36)는 주사점(38)을 포함하며, 이것은 관련 가입자 루프의 직류도통상태를 나타낸다. 제어유니트(17)는 제1도의 라인유니트에 판독될 주사점의 번호를 표시하는 판독명령을 전송함으로써, 교환시스템의 가입자세트에 접속된 가입자 루프를 주기적으로 주사한다. 본 실시예에 있어서, 이와 같은 주사명령은 라인유니트제어기(47)에 의해서 수신되며, 라인유니트제어기(47)는 주사제어유니트(39)에 대하여 명령의 어드레스부와 판독/서입 비트부를 전송한다. 주사제어유니트(39)는 제어유니트(17)에 대한 응답을 형성하며, 이 응답은 어드레스부에 의해서 표시되는 주사점(38)에 있어서의 가입자 루프의 현재의 직류상태를 표시하는 것이다. 제어유니트(17)는 주사제어 유니트(39)에 의해서 전송된 정보를 검색하여 어느 가입자 세트의 상태가 변화하였는지를 판정한다. 예를들면, 어느한 가입자 세트에 대한 주사의 다음에 오프-후크(off-hook)되는 경우, 그 가입자 세트로부터 집/배선장치(34)를 통하여 채널회로(37)중 이용가능한 것에 대해서 통신로를 제공할 필요가 있다. 따라서, 제어유니트(17)는 집선제어유니트(40)에 대해서 서입명령을 전송하고, 집선제어 유니트(40)는 이 명령에서 따라서 가입자 세트, 예를들면, (33)를 집/배선장치(34)의 소정의 출력단자에 접속한다. 서입명령에 대한 응답은 필요 없지만, 제어유니트(17)에 대한 모든 신호의 반송을 전체 시스템의 정상가동을 유지하는데 도움이 된다.

상술한 바와 같이, MPX/DMPX회로(43)의 출력신호는 각각 16비트의 64디지털 채널을 포함하는 반복프레임으로 형성된다. 이 정보는 TSI유니트(11)내의 멀티플렉스회로(60 ; 이하 'DMPX회로'로 함)(제3도)에 전송된다. MPX회로(60)는 8개의 라인유니트로부터의 출력신호를 수신하고, 그 신호의 형식을 변경하여, 각 프레임에 대해서 512채널을 갖는 출력시 분할라인(62)으로 송출한다. 마찬가지로, 디멀티플렉스회로(61 ; 이하 'DMPX회로'로 함)는 각 16비트의 512채널을 시분할라인(63)으로부터 수신하며, 이 채널들은 라인유니트(19)와 같은 8개의 라인유니트에 소정의 구성으로서 분배된다. 또한, MPX회로(60)는 입력되는 정보의 채널을 직렬형태에서 병렬형태로 변환하며, 반대로 DMPX회로(61)는 수신된 정보를 병렬형태에서 직렬형태로 변환한다. 시분할라인(62)상의 소정채널에서 전송된 정보는 그 소정채널과 일의적으로 관련된 수신 타임-슬로트 인터체인지 유니트(50 ; 이하 'RTSI유니트'로 함)내의 기억장소에 기억된다.

소정의 데이터워드가 기억되는 특정기억장소는 타임-슬로트 카운터(54)에 의해서 발생된 타임-슬로트번호에 의해서 지정된다. 타임-슬로트 카운터(54)는 타임-슬로트당 하나의 비율로 512타임-슬로트 번호의 반복계열을 발생시킨다. 소정의 데이터워드가 수신되는 타임-슬로트 기간중에 발생된 특정 타임-슬로트 번호는 데이터워드가 기억될 RTSI유니트(50)내의 기억장소를 지정한다. 데이터워드는 또한 타임-슬로트당 하나의 데이터워드의 속도로서 RTSI유니트(50)로부터 판독된다. 소정타임-슬로트 동안에 RTSI유니트(50)로부터 판독된 데이터워드의 기억어드레스는 제어 램(RAM)(55)을 판독함으로써 얻어진다. 제어램(55)은 타임-슬로트 카운터(54)로부터의 타임-슬로트 번호로서 지정된 어드레스로서 매 타임-슬로트마다 판독되며, 이와 같이 판독된 값은 그타임-슬로트 판독어드레스로서 RTSI유니트(50)로 전송된다. RTSI유니트(50)로부터 판독된 데이터 워드는 시분할라인(68) 및 인터페이스 유니트(69)를 경유하여 시분할 스위치로 전송된다.

TMS유니트(10)로부터의 데이터 워드는 인터페이스 유니트(69)를 경유하여 TSI유니트(11)에 의해 수신되고, 시분할 라인(70)에 제공된다. 시분할라인(70)은 송신 타임-슬로트 인터체인지 유니트(53 ; 이하 'TTSI유니트'로 함)에 접속되어 있으며, TTSI유니트(53)는 입력되는 데이터워드를 제어램(55)으로부터의 어드레스로서 지정된 장소에 기억한다. 데이터워드는 타임-슬로트 카운터(54)에 의해서 지정된 어드레스로서 TTSI유니트(53)로부터 판독된다. 이와 같이 판독된 데이터워드는 시분할라인(63)에 전송된 후, 라인유니트(19)로 송신된다. 제어램(55)은, 예를들면, TTSI유니트(53)와 같은 특정회로에 각각 관련되어 있는 제어메모리로 구성할 수도 있다. 제어 메모리의 특정구성은 본 발명에서는 중요하지 않으며, TSI유니트(11)내부의 타이밍과 회로의 요구에 따라 변화시킬 수 있다. RTSI유니트(50), 제어램(55), 타임-슬로트 카운터(54) 및 TTSI유니트(53)에 의해서 실행되는 타임-슬로트 인터체인지동작의 일반적인 원리는 당분야에서는 공지되어 있으므로, 여기에서는 상세히 기술하지 않겠다.

시분할라인(62)상의 각 데이터 워드는 상술한 바와 같이 RTSI유니트(50)에 기억된다. RTSI유니트(50)에 기억되는 것외에도, TSI유니트(11)에 의해서 수신된 각 데이터워드의 신호부(비트 A 내지 G)는 제어유니트(17)(제3도)의 일부인 신호처리장치(65)로 전송된다. 신호처리장치(65)는 비트 A 내지 G를 수신하여 해석함으로써 처리장치(66)의 리얼타임부하 요구를 경감한다. 예를들면, 신호처리장치(65)는 각 데이터워드중 관련 가입자 세트의 직류상태를 나타내는 비트를 해석하여, 가입자 세트가 온-후크되었는지, 또는 유효한 다이얼 필스가 송신되었는지를 판정한다. 온-후크상태 또는 다이얼필스가 검출되면, 신호처리장치(65)는 얻어진 정보를 나타내는 신호를 처리장치(66)로 전송한다. 처리장치(66)는 신호처리장치(65)로부터의 정보를 축적하고, 후에 자세히 설명하게 되는 바와 같이 교환시스템에 대한 제어를 실행한다.

제3도의 실시예에는 또한 디지털 서비스유니트(67)를 포함하고 있는데, 이것은 시분할라인(62)을 통해서 전송된 각 데이터워드의 데이터부(제6도)를 수신하도록 되어있다. 디지털 서비스유니트(67)는 주로 채널회로(37)에 의해서 PCM신호 형태로 변환되어 있는 가입자로부터의 톤(tone)신호를 수신하여 분석하고, PCM형식으로서 톤 및 신호를 전송하는데 사용된다. 디지털 서비스유니트(67)는 시분할라인(62)으로부터의 데이터워드중 데이터부를 수신하도록 최소한 65개의 기억장소를 갖는 메모리(도시안함)를 포함하고 있다. 시분할라인(62)으로부터 판독된 각 데이터워드의 데이터부는 제어램(55)으로부터 판독된 어드레스에 의해서 정의된 디지털 서비스 유니트(67)내의 기억장소에 기억된다. 64 채널만이 디지털 서비스 유니트(67)에 의해서 이용될 정보를 능동적으로 송신할 수 있다. 다른 모든 채널로 부터의 데이터워드는 디지털서비스 유니트(67)중 65번째의 기억장소에 기억되고, 그곳에서 무시된다. 디지털 서비스유니트(67)는 이렇게 기억된 데이터워드를 판독하고, 어떤 신호가 수신되었는가를 판정하며, 그러한 신호의 성질과 번호를 처리장치(66)에 알려준다. 처리장치(66)는 수신된 신호에 응답하여 어떤 동작이 수행되었는가를 결정한다.

디지털 서비스 유니트(67)는 또한 시분할라인(63)의 가입자 세트와 관련된 채널에서 시분할라인(63)을 통하여 가입자 세트에게 톤을 송신한다.

이러한 톤은 PCM형식으로서, 수신가입자와 관련된 타임-슬로트 동안에 디지털 서비스 유니트(67)로부터 게이트회로(51)의 제1입력포트로 전송된다. 게이트회로(51)의 다른 입력포트는 TTSI 유니트(53)로부터 판독된 각 데이터 워드의 데이터부를 수신하도록 접속되어 있다. 게이트 제어비트는 제어램(55)으로부터 판독되고, 각 타임-슬로트 동안에 게이트회로(51)로 전송되어 TTSI 유니트(53)로 부터의 데이터부나 디지털 서비스 유니트(67)로 부터의 데이터종 어느 것이 DMPX회로(61)로 송신되는지를 결정한다.

본 실시예에 있어서, 논리 '1'의 게이트 비트는 디지털 서비스 유니트(67)를 데이터 비트의 소오스로서 결정하며, 논리 '0'의 게이트 비트는 TTSI 유니트(53)를 데이터부의 소오스로서 결정한다.

PCM 부호화된 톤을 관련 라인유니트로 전송하는 것 이외에도, 각 TSI 유니트는 상기와 같은 톤을 TMS 유니트(10)로 전송할 수도 있다. 후술하는 바와 같이, 발신 가입자의 가청링톤은 착신 가입자의 관련 TSI유니트에서 발생되기 때문에, 상기와 같은 기능이 존재하는 것이다. 입력 시분할 라인은 게이트(52)의 한 입력으로서 접속되어 있으며, 게이트회로(52)는 TMS 유니트 (10)에 대해서 톤을 삽입하는 점이 된다. 게이트회로(52)의 또 하나의 입력은 디지털서비스 유니트(67)의 출력단자에 접속되어 있다. 게이트 회로(52)와 디지털 서비스 유니트(67)는 게이트회로(51)에 대해서 상술한 바와 같이 동작하며, 시분할라인(62)의 시분할 채널중에서 미리 정해진 것에 톤을 제공한다.

TMS 유니트(10)로 전송될 소정톤의 부호화 표시는 시분할 라인(62)의 동일 채널에 제공되고, 따라서 RTSI 유니트(50)의 동일 어드레스 장소에 기억된다. 이러한 톤을 출력 시분할 라인(68)의 소정채널에 인가하기 위하여, 제어 램(55)은 처리장치(66)에 의해서 제어되어 상기의 소정채널의 관련 타임-슬로트 동안에 톤을 기억하는 어드레스 장소의 판독어드레스를 발생한다. 예를들면, 가청 링톤은 시분할라인(62)의 채널 512에 제공되고, 이 경우에는 RTSI 유니트(50)의 512번째 어드레스 장소에 기억된다. TSI 유니트(11)가 가청 링톤을 소정 채널로 송신하도록 할 때에는, 처리장치(66)는 소정 채널과 관련된 제어램의 타임-슬로트 장소에 어드레스 512를 제공한다. 따라서, 소정채널이 발생할 때마다 가청 링톤의 PCM 표시를 수신하게 된다. 가청 링톤을 중지시키고자 할 때에는, 처리장치(66)는 소정 채널과 관련된 타임-슬로트 장소에 있어서 제어 램(55)에 의해 기억된 어드레스를 변화시킨다.

다음에 신호처리장치(65), 처리장치(66) 및 디지털 서비스 유니트(67) 사이의 상호 작용에 대해서 설명한다. 이 설명을 위해서, 톤-다이얼을 이용하는 가입자는 온-후크 상태이고, 라인 유니트(19)에 관하여 전술한 바와 같이 채널회로에 할당된 것으로 가정한다. 채널회로가 할당된 후에, 감시는 디지털 서비스 유니트(67)와 신호처리장치(65)로 이송된다. 할당된 채널 중에서 데이터 워드의 신호부를 판독함으로써, 신호처리장치(65)는 가입자 세트의 직류상태를 감시하고, 임의의 변화를 처리장치(66)에 통지한다. 또한, 처리장치(66)는 버스(59)를 경유하여 새로이 오프-후크상태로 된 가입자의 관련채널의 타임-슬로트에서, 게이트회로(41)과 관련된 제어램(55)의 게이트 비트 위치에 논리 '1'을 서입한다. 이것은 새로이 오프-후크상태로된 가입자의 관련 타임-슬로트 동안, 디지털 서비스 유니트(67)의 출력신호가 게이트회로(51)를 경유하여 DMPX회로(16)로 전송되는 것을 나타낸다.

또한, 처리장치(66)는 다른 디지털 서비스 유니트(67)에 대해서 새로이 오프-후크상태로 된 가입자의 관련 타임 슬로트 동안에 그 내부기억 내용으로부터 버스(59)를 경유하여 다이얼 톤의 PCM 표시를 판독하도록 지시한다. 따라서, 다이얼 톤은 새로이 오프-후크상태로 된 가입자의 관련 채널에서 DMPX 회로(61)로 전송된다. 처리장치(66)는 또한 디지털 서비스 유니트(67)에 대하여 새로이 오프-후크 상태로 된 가입자와 관련된 시분할 라인(62) 상의 각 채널의 데이터 부를 수신하도록 지시한다. 이와 같이 하여, 다이얼 숫자가 디지털 서비스 유니트(67)에 의해서 검출된다. 다이얼 숫자에 관련하는 정보와 특정 가입자 세트의 직류상태는 다이얼 톤의 송출을 중지시키는 처리장치(66)에 이송되며, 처리장치(66)는 다이얼숫자를 계속 기억한다.

본 실시예에 있어서 제어 정보 교환의 주요 모드는 공급원인 TSI 유니트로부터 TMS 유니트(10) 및 제어 분배 유니트(31)를 경유하여 행선지의 TSI 유니트로 제어 맷세지를 전송하는 것이다. 소정의 호출에 대해서 그 호출에 할당된 타임-슬로트를 이용하여 공급원인 TSI 유니트로 부터 TMS 유니트(10)를 거쳐서 행선지의 TSI 유니트로 제어정보를 전송하는 제2의 통신모드도 사용된다. 본 실시예의 경우, 호출 타임-슬로트의 데이터워드의 E비트 위치는 제2의 통신모드를 위해 사용된다. 그러나, 이 제2의 통신모드에 있어서는 신호 비트내의 임의의 비트나 모든 비트들을 부용할 수 있다.

본 실시예에 있어서, E비트는 통신로의 연속성 검사와 신호의 확인의 2중 목적으로 사용된다. 제어 램(55)은 그 512개의 기억장소의 각각에 E 비트위치를 포함하고 있다. 호출도중에, 처리장치(66)는 호출과 관련된 제어램(55)의 각 기억장소의 E비트원치에 기억되어 있는 디지트를 제어한다. 제어램(55)이 RTSI유니트(50)로 부터 판독될 데이터 워드를 지정하는 어드레스를 송신할 때, 이 제어 램(55)은 RTSI 유니트(50)에 기억되어 있는 E비트 대신에 시분할 라인(68)에 기억된 E비트를 송신한다. 이에 따라, TSI 유니트 사이의 E비트채널을 이용하여 맷세지를 전송하는 것이 가능하다. 제3도의 장치는 또한 시분할 라인(70)에서 수신된 각 데이터 워드의 E비트를 수신하는 E비트 어큐뮬레이터(48)를 포함하고 있다.

상기와 같은 E 비트들은 E 비트 어큐뮬레이터(48)에 의해서 E비트 검사회로(192)로 전송된다. E비트 검 사회로(192)는 도체(195)를 통해 처리장치(66)로부터 전송되는 명령에 응답하여, 선택된 데이터 워드의 E비트와 관련된 출력신호를 처리장치(66)로 전송한다. 예를들면, 통신로가 설정되어 있는 동안에는, 처리장치(66)는 E 비트 검사회로(192)에 지시하여, E 비트 검사회로(192)로 하여금 특정채널의 E비트위치를 조사하고 처리장치(66)에 대해 소정시간 사이에 논리 '1'이 수신되었는가를 알려주도록 한다. 제9도는 E비트 검사회로(192)에 의해서 실행되는 기능의 순서도이다. 지정된 채널에서 소정 시간 사이에 논리 '1'의 E 비트가 발견되지 않을 경우, 이 사실을 나타내는 본연속 신호가 도체(193)를 경유하여 처리장치(66)로 전송된다. 그 대신, 소정시간 사이에 E비트검사회로(192)에 의해서 이와 같은 논리 '1'이 검출되면, 도체(194)를 통해서 연속신호가 처리장치(66)로 송신된다. E비트 검사회로(192)는 또한 각각의 통화중의 호출의 E비트를 조사한다. 통화 중의 호출의 E비트가 논리 '0'이 되어 이 상태로 일정 시간 계속되면, 상술한 불연속 신호가 관련 처리장치(66)로 송신된다. 불연속 신호를 수신한 처리장치는 중앙제어 유니트(30)로 이 사실을 나타내는 제어 맷세지를 전송한다.

제10도를 하나의 입력채널, 즉 통신로에 관련된 E비트검사회로(192)의 일부를 도시한 것이다. 타이머(196)는 도체(195)를 통하여 처리장치(66)로부터 수신된 명령에 따라서 계수를 시작한다. 처리장치(66)로 부터의 명령이 수신된 후 일정시간이 경과하면, 타이머(196)는 AND게이트(199)의 한 입력으로 접속되어 있는 도체(197)를 통해 논리 '1'을 송출한다. AND 게이트(199)의 출력은 도체(193)에 접속되어 있다. 연속신호발생기(198)는 관련 채널의 E 비트 위치를 수신하여 논리 '1'의 E 비트에 따라서 도체(194)상에 논리 '1'의 출력을 발생시킨다. 도체(194) 상의 논리 '1'은 연속신호발생기(198)에 의해서 논리 '0'의 E 비트가 검출될 때까지 계속 인가된다. 연속신호발생기(198)로 부터의 출력신호는 또한 반전되어 AND 게이트(199)의 입력에 인가된다. 따라서, 타이머(196)가 논리 '1'의 출력을 발생시키는 경우, 연속신호발생기(198)가 논리 '0'의 출력을 발생시켜 E 비트가 수신되지 않았음을 나타낼 때에는, 이 논리 '1'의 출력은 AND 게이트(199)를 경유하여 불연속신호로서 도체(193)에 인가될 것이다. 그 대신에, 연속신호 발생기(198)가 논리 '1'의 출력을 발생시킬 때에는, 도체(193) 상의 신호는 강제적으로 논리 '0'으로 되고, 반면에 논리 '1'의 연속신호는 도체(194)에 인가된다. E비트 검사회로(192)의 기능은 처리장치(66)에 의해서 유리하게 실행되므로, 개별적인 E비트검사회로(192)는 필요없음을 주의해야 한다. E비트채널을 호출의 완성을 위해 사용하는 방법에 대해서는 후에 상술하기로 한다.

다음에 교환시스템의 여러 제어장치 사이의 주요 통신모드를 설명하기로 한다. 처리장치(66)는 완전한 다이얼 숫자에 응답하여, 그 다이얼 숫자에 관련된 번역을 행하고, 중앙제어유니트(30)(제1도)를 위한 제어 멧세지를 형성하며, 호출에 대한 타임-슬로트가 TMS 유니트(10)를 통해 설정되도록 한다. 이 제어 멧세지는 처리장치(66)에 의해서 메모리(57)에 기억된다. 당 분야에서는 공지된 형태의 DMA 유니트(58)는 프레임당 하나의 제어워드의 비율로 제어 멧세지를 판독하고, 그 제어워드를 인터페이스 유니트(69)의 제어워드 공급 레지스터(80)(제4도)로 송출하여, 시분할 라인을 통해 TMS 유니트(10)로 송신되도록 한다.

마찬가지로, 제어멧세지는 다른 제어유니트 및 중앙제어유니트(30)로부터 인터페이스 유니트(69)의 제어워드 행선 레지스터(92)(제4도)로 송신되어, DMA 유니트(58)에 의해 메모리(57)로 전송되고, 여기에서 처리장치(66)에 의해 판독된다. 제4도에 상세히 도시되어 있는 인터페이스 유니트(69)는 MPX/DMPX회로(75)와 2개의 링크 인터페이스 유니트(78) 및 (79)를 구비하고 있다. MPX/DMPX회로(75)는 시분할라인(68)을 통해 RTSI 유니트(50)로부터 데이터 워드를 수신하고, 이 데이터 워드를 시분할라인(70)을 통해 TTSI 유니트(53)로 송신하도록 접속되어 있다. 시분할 라인(68) 및 (70)은 프레임당 512채널의 속도로 데이터 워드를 전송한다. NPX/DMPX 회로(75)는 시분할라인(68)을 통해 수신된 정보를 2개의 시분할 라인(76) 및 (77)으로 분할하여, 우수번째의 각 채널의 데이터 워드는 시분할라인(77)으로 송신하고, 기수번째의 각 채널의 데이터 워드는 시분할 라인(76)으로 송신한다. 따라서, 각각의 시분할라인(76) 및 (77)은 프레임당 256채널의 속도로 정보를 전송한다. 또한, MPX/DMPX회로(75)는 2개의 256채널의 시분할라인(85) 및 (86)상의 정보를 조합하여 512채널의 시분할 라인(70)으로 송출한다. 이러한 조합은 시분할 라인(85) 및 (86)으로 부터의 데이터 워드를 서로 상대편에 송신하여 시분할 라인(85)으로 부터의 데이터 워드는 시분할 라인(70)의 기수번째 채널로 전송되게 하고, 반면에 시분할 라인(86)으로부터의 데이터 워드는 우수번째의 채널로 전송되도록 한다.

본 실시예의 경우, 시분할 라인(76) 및 (85)은 링크인터페이스 유니트(78)에 접속되고, 시분할라인(77) 및 (86)은 링크 인터페이스 유니트(78)에 접속된다.

TSI유니트(11)는 프레임당 512타임-슬로트로서 동작하고, 링크 인터페이스유니트(78) 및 (79)와 TMS 유니트(10)은 프레임당 512타임-슬로트로서 동작함을 주의해야 한다. 또한, TSI유니트(11)에 대해 송·수신되는 데이터 워드의 채널은 완전히 동기되어 있다. 즉, 소정번호의 채널이 TSI유니트(11)로부터 링크 인터페이스유니트(78)에 의해서 수신될 때마다, 링크 인터페이스유니트(78) 및 (79)는 모두 TSI 유니트(11)와 동일한 번호의 채널을 수신하고, 송신하게 된다. 분할 후에도 동기를 유지하기 위해서는, 시분할 라인(68) 상의 모든 기수번째의 채널은 MPX/DMPX회로(75)에 의해서 지연되어, 기수번째의 채널과 그 직후의 우수번째의 채널이 제각기의 시분할라인(76) 및 (77) 상에서 실질적으로 동시에 송신되도록 한다. 마찬가지로, 링크 인터페이스 유니트(79)로부터 시분할 라인(86)상의 각 데이터 워드는 MPX/DMPX 회로(75)에 의해서 지연되고, 이렇게 지연된 데이터워드는 MPX/DMPX회로(75)에 의해서 실질적으로 이것과 동시에 수신된 데이터 워드의 직후에 시분할라인(70) 상으로 전송된다. 이하의 설명에 있어서는, 소정 데이터워드의 타임-슬로트는 링크 인터페이스 유니트(78) 및 (79)와 TMS 유니트(10)에 있어서의 타임-슬로트를 나타내는 것으로 한다. 예를 들면, 시분할라인(68)의 채널(1) 및 (2)로부터의 데이터 워드는 공히 링크 인터페이스 유니트(78) 및 (79)와 TMS 유니트(10)의 타임-슬로트(1)와 관련된다. 각각의 링크 인터페이스 유니트(78) 및 (79)는 TMS유니트(10)의 하나의 입/출력 포트쌍과 일의적으로 접속되어 있다.

링크 인터페이스 유니트(1)는 수신기(78)를 포함하고 있어서, 시분할 라인(79)을 통해 TMS 유니트(10)로부터 직렬로 전송된 데이터 워드를 수신하고, 이 정보를 도체(78)에 직렬로 송신한다. 클럭회복회로(84)는 도체(83)와의 접속에 의해서 입력비트 스트림을 수신하고, 이로 부터 36,768MHz의 클럭신호를 회복한다. 이 클럭신호는 링크 인터페이스 유니트(78)에 대한 타이밍을 제공하는데 사용된다. 다음에 상세히 설명하게 되는 이유로서, 시분할 라인(15)에서 수신된 정보는 시분할 라인(13)에서 수신된 정보와 반드시 채널동기되지는 않는다. 시분할 라인(76)과 (85)상의 데이터 워드 사이의 채널동기를 실현하기 위해서는, 도체(83)상의 입력데이터 워드는 램(87)에 버퍼(buffer) 된다. 도체(83)상의 데이터워드는 서입 어드레스 발생기(88)에 의해 지정된 램(87) 내의 기억장소에 서입된다. 서입 어드레스발생기(88)는 클럭회복회로(84)로부터의 2.048MHz 클럭신호를 수신하고, 이 클럭신호에 응답하여 도체(83)상의 입력 데이터워드와 동기상태로서 256개의 서입 어드레스의 반복계열을 발생시킨다. 데이터 워드는 램(87)의 256개의 판독 어드레스 반복계열을 발생시키는 판독 어드레스 발생기(89)에 의해 지정된 기억장소로 부터 판독되어 TSI 유니트(11)로 전송된다. 판독 어드레스는 오프셋 회로(90)로부터 수신된 정보에 의해서 유도된다.

오프셋 회로(90)는 서입 어드레스 발생기(88)로부터 발생된 서입 어드레스를 수신하고, 이것으로 부터

소정의 수를 실효적으로 감산한다. 이 감산의 결과는 판독 어드레스 발생기(89)로 전송된다. 이와같이 하여, 판독 어드레스 발생기(89)는, 서입 어드레스 발생기(88)에 의해서 발생되는 어드레스 다음의 소정의 수의 어드레스로 되는 판독 어드레스 계열을 발생시킨다.

본 실시예의 경우, 판독 어드레스 발생기(89)는 서입어드레스 발생기(88)에 의해 어드레스가 발생된 후 약 1/4프레임(64타임-슬로트) 후에 어드레스를 발생시키도록 한다.

인터페이스 유니트(69)의 링크 인터페이스 유니트(78) 및 (79)는 마스터-슬레이브 모드로서 채널동기를 유지시키도록 동작한다. 본 실시예의 경우, 링크 인터페이스 유니트(78)가 마스터로서, 상술한 방법으로 동작을 계속한다. 그러나, 링크 인터페이스유니트(79)의 판독 어드레스 발생기는, 링크 인터페이스 유니트(78)의 판독 어드레스 발생기(89)로 부터의 판독 어드레스에 의해서 구동된다.

시분할 라인(15) 및 (16)의 길이가 다를 수도 있기 때문에, 1/4프레임 전·후의 정보에 의해서 링크 인터페이스 유니트(78)에 이용된 서입어드레스 및 판독어드레스가 분리될 수 있음에 주의해야 한다.

이와 같은 상황이 발생하는 이유는, 시분할 라인(85) 및 (86)상에서 전송된 데이터 워드가 채널동기되면, 시분할 라인(15) 및 (16)에서는 이와 같은 동기가 필요없기 때문이다.

제어 멘세지의 송신 및 수신의 향방을 위해서 동일 채널이 소정의 링크 인터페이스 유니트에 사용된다.

소정의 링크 인터페이스 유니트, 예를들면, 링크 인터페이스 유니트(78)로서, 제어 멘세지를 전송하고, 제어 채널 레지스터(81)에 기억시키는데 사용되는 특정 채널이 존재한다. 판독 어드레스 발생기(89)에 의해서 발생된 각각의 판독 어드레스는 비교기(91)로 전송되어, 여기에서 제어채널 레지스터(81)에 기억되어 있는 현재의 제어 채널과 비교된다. 비교기(91)에 의해서 현재의 판독 어드레스가 제어 채널의 번호와 동일하다고 판정되었을 때, 비교기(91)는 제어 멘세지 공급 레지스터(80) 및 제어 멘세지 행선 레지스터(92)로 전송될 게이트 신호를 발생시킨다. 제어 멘세지 행선 레지스터(92)는 비교기(91)로 부터의 게이트 신호에 응답하여 시분할 라인(85)의 정보를 기억한다. 특정 채널 동안, 시분할 라인(85)상의 정보는 제어유니트(17)에 의해서 이용될 제어 채널의 내용을 포함한다. DMA 유니트(58)에 의해서, 다음의 제어 채널전에 제어워드 행선레지스터(92)의 내용이 메모리(57)로 전송된다. 마찬가지로, 제어워드 공급 레지스터(80)는 비교기(91)로 부터의 게이트신호에 응답하여 그 내용을 시분할 라인(76)으로 송출하고, 이것에 의해서 제어워드를 송신한다. 제어워드는 링크 인터페이스 유니트(79)에 의해서 유사한 방법으로 송·수신되지만, 링크 인터페이스 유니트(79)와 관련된 특정 제어채널의 번호는 링크 인터페이스 유니트(78)와 관련된 제어채널과는 다르다.

판독 어드레스 발생기(89)에 의해서 발생된 판독 어드레스는 또한 프레임 계열 발생기(93)로도 전송된다. 프레임 계열발생기(93)는 수신된 판독 어드레스에 응답하여, 채널당 1비트의 비율로 임의적인 프레임비트 계열을 발생시킨다. 각 채널 동안, 프레임 계열발생기(89)에 의해서 발생된 비트는 프레임 삽입 회로(94)로 전송되고, 여기에서 프레임 비트는 TSI 유니트(11)로 부터의 데이터 워드의 G 비트 위치에 삽입된다. 다음에, 이 프레임 비트를 포함하는 데이터 워드는 병/직렬 레지스터(95) 및 구동기(96)를 경유하여 TMS 유니트(10)의 일의적인 입력포트에 접속되어 있는 시분할 라인(13)으로 송신된다. 링크 인터페이스 유니트(78)에 의해서 수신된 각 데이터 워드는 TMS 유니트(10)에 의해서 발생되어 송신되는 프레임 비트를 포함하고 있다. 프레임 검사기(97)는 TMS유니트(10)로 부터의 각 데이터 워드의 각 프레임 비트를 판독하고, TMS 유니트(10)와 그 자신 사이의 통신이 여전히 동기되어 있는지를 판정한다. 여전히 동기되어 있으면 수정은 행하여지지 않지만, 동기되어 있지 않은 것이 판명되면, 당분야에 공지된 방법으로서 클럭회복회로(94)에 의한 프레임 회복동작이 실행된다.

TMS유니트(10)의 입력 및 출력포트는 양방이 동일한 링크 인터페이스 유니트에 쌍으로 접속되어 있는 것으로 생각할 수 있다. 또한 TMS 유니트(10)의 입력 및 출력포트의 각 쌍은 링크 인터페이스 유니트(78) 및 (79)와 유사한 형태의 시분할 스위치 링크 인터페이스 유니트에 접속되어 있다. 본 실시예의 경우, 링크 인터페이스 유니트(78)는 시분할 스위치 링크 인터페이스 유니트(100)(제5도)에 접속되어 있다.

시분할 스위치 링크 인터페이스 유니트(100)는 시분할 라인(13)으로 부터 데이터 워드를 수신하여, 이 데이터 워드를 시분할 라인(103)을 통해서 직/병렬 레지스터(102)로 송신하는 수신기(101)를 포함하고 있다. 시분할 라인(103)으로 부터의 비스트림은 또한 클럭회복회로(104)와 프레임 검사회로(105)에 인가되는데, 이들은 각각 클럭신호를 유도하고, 프레임 동기가 유지되어 있는지의 여부를 판정한다. 시분할 스위치 링크 인터페이스 유니트(100)는 또한 클럭 수신회로(104)로 부터의 신호에 응답하여 서입 어드레스 계열을 발생시키는 서입 어드레스 발생기(106)를 구비하고 있다. 직/병렬 레지스터(102)로 전송된 각 데이터 워드는 다음에 램(107)의 서입 어드레스 발생기(106)에 의해서 발생된 어드레스 위치로 서입된다.

TMS 유니트(10)는 또한 시분할 공간 분할 스위치(108)를 구비하고 있는데, 이것은 256타임-슬로트의 프레임에서 동작하고, 그 입력 포트와 출력포트와의 사이에서 약 488nsec의 경로를 완성한다. 각 타임-슬로트동안 접속될 입력포트 및 출력포트 사이의 교환경로를 규정하는 제어정보를 제어메모리(29)(제1도)에 기억되어 있으며, 이것은 각 타임-슬로트마다에 판독되어 입력 및 출력포트 사이의 접속이 설정되도록 한다. 각 타임-슬로트에는 번호가 부여되어 있으며, 소정의 타임-슬로트 동안에 동일한 번호를 갖는 데이터 워드의 채널이 교환되는 것을 알 수 있었다. 따라서, 소정의 번호를 갖는 채널의 모든 데이터 워드는 관련 타임-슬로트 동안에 시분할 공간분할 스위치(108)를 통해서 송출되고, 이것에 의해 교환의 부정확을 방지할 수 있다. 이러한 목적을 위해서, TMS 유니트(10)는 256개의 판독 어드레스의 반복계열을 발생시키기 위한 마스터 클럭회로(109)를 구비하고 있으며, 이러한 어드레스는 실질적으로 동시에 각 시분할 스위치 링크인터페이스 유니트의 각 램으로 전송된다. 따라서, 램(107) 및 다른 시분할 스위치 링크 인터페이스 유니트내의 이와 동가인 램은 동일한 타임-슬로트에 관련되어 있는 데이터 워드를 실질적으로 동시에 판독하게 된다.

본 실시예의 경우, 램(107)으로 부터 판독된 데이터 워드는 병/직렬 시프트 레지스터(110)로 전송되고,

이로부터 상기 데이터 워드는 시분할 공간분할 스위치(108)로 송출된다.

시분할 라인(15)으로부터 링크 인터페이스 유니트(78)로 송출되는 모든 데이터 워드는, 시분할 공간분할 스위치(108)로 상기 데이터 워드가 송출되는 하나의 타임-슬로트 내에 시분할 공간분할 스위치(108)로부터 도체(111)로 전송된다. 시분할 스위치 링크 이터페이스 유니트(100)는 타임-슬로트당 1비트의 비율로 프레임 비트계열을 발생시키는 프레임 계열 발생기(112)를 구비하고 있다. 프레임 비트는 프레임 삽입 회로(113)로 전송되고, 여기에서 상기 프레임 비트는 도체(111)의 각 데이터 워드의 비트위치 G로 삽입된다. 다음에, 도체(111)상의 각 데이터 워드는 구동기(114)를 경유하고 시분할 라인(15)을 통해서 링크 인터페이스 유니트(78)로 전송된다.

각각의 제어타임-슬로트는 TMS 유니트(10)(제1도)를 경유하여, 입/출력포트쌍(64)에 접속되어 있는 시분할 라인(15) 및 (151)을 통해서 제어분배 유니트(31)로 송신된다. 이하의 설명에 있어서, 소정제어 유니트로 부터의 제어타임-슬로트는 송신제어 타임-슬로트로 하고, 소정 제어유니트로의 제어 타임-슬로트는 수신제어타임-슬로트로 한다. 제7도에 상세히 도시되어 있는 제어분배유니트(31)는 링크 인터페이스 유니트(78)(제4도)와 실질적으로 유사한 링크 인터페이스 유니트(152)를 구비하고 있다.

링크 인터페이스 유니트(152)는 제어워드 공급원 레지스터(80), 제어채널 레지스터(81), 비교기(91) 또는 제어워드 행선지 레지스터(92)는 구비하고 있지 않은데, 그것은 이들에 의해서 실행되는 기능이 제어분배유니트(31 ; 이하 'CDU'로 표시함)에서는 필요하지 않기 때문이다. 시분할 라인(150)에서 수신된 각 제어워드는 그 제어워드와 관련된 송신제어 타임-슬로트에서 링크 인터페이스 유니트(152)로부터 CDU 입력회로(153)로 전송된다. CDU 입력회로(153)로 전송된 각 제어워드의 타임-슬로트 번호는 통신로(154)를 경유하여 타이밍 회로(155)에 실질적으로 동시에 전송된다. 이와 같이 전송된 타임-슬로트 번호는 링크 인터페이스 유니트(제4도)의 판독 어드레스 발생기(89)와 등가인 링크 인터페이스 유니트(152)의 판독 어드레스 발생기(도시 안함)에 의해서 발생된다. CDU 입력회로(153)는 본질적으로 하나의 입력포트와 최대 256개의 출력포트를 갖는 DMPX회로이다. CDU 입력회로(153)의 입력포트에서 수신된 각 제어워드는, 통신로(154)로 전송된 타임-슬로트 번호에 의해서 정해진 256개의 출력포트중 하나의 출력포트로 전송된다.

본 실시예는 각각 2개의 송신제어타임-슬로트와 2개의 수신제어타임-슬로트 양세스될 수 있는 31개의 TSI 유니트, 예를들면 (11) 및 (12)를 포함하고 있다. 따라서, 시분할 라인(150)을 통해서 링크 이터페이스 유니트(152)로 전송된 정보는 최대 62개의 송신제어타임-슬로트를 갖게 된다. 마찬가지로, 시분할 라인(151)은 TMS 유니트(10)에 대해서 최대 62개의 제어 타임-슬로트를 이송한다. 그러므로, CDU 입력회로(153)는 단지 62개의 능동출력포트만을 필요로 한다. 본 실시예의 경우, 이러한 능동출력포트들은 프레임중 최초 62개의 타임-슬로트와 관련되어 있고, 번호 TS1 내지 TS62로서 식별된다. 타임-슬로트 TS1과 관련되어 있는 CDU 입력회로(153)의 출력포트는 버퍼 레지스터(158)에 접속되고 타임-슬로트 TS62와 관련되어 있는 출력포트는 버퍼레지스터(159)에 접속된다. 송신제어 타임-슬로트 TS1와 관련된 제어회로(185)는 나머지 61개의 송신제어 타임-슬로트와 관련된 제어회로와 실질적으로 등가이다. 따라서 타임-슬로트 TS1에 관련된 제어회로(185)에 대해서만 상세히 설명하기로 한다.

버퍼 레지스터(158)는 선착순 버퍼(160)의 데이터 입력단자에 접촉되어 있는데, 이 선착순 버퍼(160)는

그 서입제어단자(\overline{W})의 논리 '1'펄스에 따라서 그 제1기억셀로 버퍼레지스터(158)의 내용을 서입한다. 선착순 버퍼에 대한 주지의 원리에 따르며, 그 제1기억셀에 입력된 정보는 최후의 접유되어 있지 않은 기억셀까지 진행하고, 여기에서 상기 정보는 선착순 버퍼로부터 판독될 때까지 유효된다. 선착순 버퍼(160)는 또한 판독제어단자(R)도 구비하고 있다. 이 판독제어단자(R)에 있어서의 논리 '1'의 펄스에 따라서, 최후의 기억셀내의 내용은 선착순 버퍼로부터 송출되고, 다른 모든 기억셀내의 내용은 출력쪽으로 한 셀씩 시프트된다.

TSI 유니트, 예를들면, (11)로 부터의 각 제어 멧세지는 스타트 캐릭터로서 시작되고, 앤드캐릭터로서 종결됨을 알 수 있었다. 버퍼 레지스터(158)의 내용은 스타트 비교기(162) 및 앤드비교기(163)에 연속적으로 전송된다. 스타트 비교기(162)는 비교회로와 스타트 캐릭터를 기억하는 레지스터를 구비하고 있다.

버퍼 레지스터(158)의 내용이 기억되어 있는 스타트 캐릭터와 일치하면, 스타트 비교기(162)는 플립-플롭(164)의 세트입력으로 논리 '1'을 송신한다. 플립-플롭(164)이 세트상태로 될때마다, 그 논리 '1' 출력단자에서 논리 '1'이 발생되고, 이 논리 '1'은 AND게이트(165)로 전송된다. AND게이트(165)의 출력단자

는 선착순 버퍼(160)의 서입 출력단자(\overline{W})에 접순되어 있다. 한편, AND게이트(165)의 다른 입력단자는 타이밍회로(155)의 단자(t_2)에 접속되어 있다. 타이밍회로(155)는 타임-슬로트 TS 2 사이에 생기는 시간 t_2 동안, 프레임당 1펄스의 비율로 발생하는 펄스계열을 단자(t_2)로부터 송출한다. 타이밍회로(155)는 $1/n$ 디코너를 구비하고 있는데, 이것은 통신로(154)에서 송신된 타임-슬로트 번호를 수신하고, 입력되는 타임-슬로트 번호에 대응하는 256개의 출력단자중 하나의 단자에 논리 '1'펄스를 인가한다. 타임-슬로트 TS2 동안에 논리 '1'펄스를 수신하는 단자중 특정단자가, 이 논리 '1'펄스를 신호 t_2 로서 AND게이트(165)의 입력으로 전송한다.

버퍼 레지스터(158)에 스타트 캐릭터가 수신된 후에, 각 프레임의 타임-슬로트 TS1 동안 새로운 제어워드가 버퍼 레지스터(158)에 제공된다. 또한, 선착순 버퍼(160)의 제어단자(\overline{W})에 전송된 각 펄스 t_2 는 버퍼 레지스터(158)의 내용이 선착순 버퍼(160)의 제1기억셀에 기억되도록 한다.

이 동작은 비퍼 레지스터(158)에 앤드 캐릭터가 기억될 때까지 계속된다.

엔드 비교기(163)은 비교회로와 앤드 캐릭터를 기억하는데 레지스터를 구비하고 있다. 앤드 비교기(163)는 버퍼 레지스터(158)에 기억되어 있는 캐릭터가 앤드 비교기(163)에 기억되어 있는 앤드 캐릭터와 일치할 때, 논리 '1'의 출력펄스를 발생시킨다. 이 논리 '1'의 출력펄스는 지연유니트(166)를 경유하여 풀

립 플롭(164)의 리세트 입력으로 전송된다. 지연유니트(166)는 논리 '1'펄스를 1타임-슬로트보다 긴 시간동안 지연시킨다. 플립-플롭(164)에 대해서 논리 '1'이 수신되면, 그 플립-플롭은 리세트되어 그 논리 '1'출력단자에 논리 '0'을 인가하며, 이에 따라 AND게이트(165)로부터 선착순 버퍼(160)의 제어단자(\overline{W})에는 그 이상의 t_2 타이밍 펄스가 전송되지 않는다.

엔드 비교기(163)는 또한 버퍼 레지스터(158)내의 엔드 캐릭터를 검출하였을 때, 버스(167)를 통해서 CDU제어기(168)에 대해서 플래그신호를 전송한다. 이 플래그신호는 선착순 버퍼(160)에 대해서 완전한 제어 멧세지가 수신되었음을 나타낸다.

CDU제어기(168)는 제어회로, 예를들면, (185)로부터 각 플래그 신호에 응답하여, 그 제어 멧세지가 기억되어 있는 선착순 버퍼로부터의 전체적인 제어 멧세지를 판독한다. 본 실시예의 경우, CDU제어기(168)는, 어떤 선착순 버퍼가 판독될 제어 멧세지를 포함하고 있는가를 지정하는 6비트 부호를 1/64 디코더(169)로 전송함으로써 상기와 같은 판독작동을 개시한다. 1/64디코더(169)는 CDU제어기(168)로부터의 6비트 부호에 응답하여, 제어 멧세지를 기억하고 있는 선착순 버퍼의 판독제어회로와 관련되어 있는 AND게이트에 논리 '1'을 인가한다. 본 실시예의 경우, 선착순 버퍼(160)가 제어 멧세지를 기억하고 있다. 따라서, 1/64 디코더(169)로 전송된 6비트부호는 선착순 버퍼(160)와 관련되어 있는 AND게이트(170)를 지정한다. 이 6비트부호에 응답하여, 1/64 디코더(169)는 AND게이트(170)의 다른 입력에 대해서 2MHz의 주파수로서 펄스 계열을 송신한다. 2MHz의펄스계열은 또한 AND게이트(170)와 등가인 다른 제어회로내의 AND게이트에도 동시에 전송되는 것에 주의해야 한다.

AND게이트(170)는 디코더(169)로부터의 논리 '1'을 수신하기 때문에, 2MHz의 펄스는 AND 게이트(170)에 대해서 선착순 버퍼(160)의 판독제어단자(R)로 전송된다. 이들 펄스의 각각에 응답하여, 제어워드는 선착순 버퍼(160)로부터 판독되고, 버스(176)를 경유하여 CDU 제어기(168)로 전송된다. CDU 제어기(168)가 버스(176)로부터 수신한 정보내에서 엔드 캐릭터를 검출하면, 2MHz 펄스의 송신이 종료된다. CDU제어기(168)는 메모리회로를 구비하고 있는데, 이것은 수신 선착순 버퍼, 예를들면, (160) 및 (161)중 하나로부터 판독된 각각의 제어워드를 기억하는데 이용된다. 완전한 제어 멧세지가 수신되어 기억되면, CDU 제어기(168)는 그 제어 멧세지의 행선부를 판독하여, 그 제어 멧세지를 중앙 제어유니트(30)로 전송할 것인지, 또는 제어유니트, 예를들면, (17) 및 (18)중 하나로 전송할 것인지의 여부를 결정한다. 제어 멧세지의 행선부가 중앙제어유니트(30)로 지정되면, CDU제어기(168)는 그 내부 기억장치로부터 제어 멧세지를 판독하고, 그 제어멧세지를 통신로(32)를 경유하여 중앙제어유니트(30)로 전송한다. 그대신, 제어 멧세지의 행선부가 제어유니트로 지정되면, CDU제어기(168)는 지정된 제어유니트와 관련된 특정의 수신 제어 타임-슬로트를 계산한다. 이 특정의 수신제어 타임-슬로트는 CDU제어기(168)내에 기억되어 있는 번역용 테이블로부터 결정된다.

본 실시예에 있어서의 제어분배유니트(31)는 다수의 제2의 선착순 버퍼를 포함하고 있는데, 제7도에는 그중 선착순 버퍼(171) 및 (172)가 도시되어 있다. 선착순 버퍼(171) 및 (172)는 출력 레지스터(173) 및 (174)와 각각 관련되어 있다. 각각의 선착순 버퍼 및 관련 출력 레지스터는 각각의 제어 멧세지에 의해 지정된 행선부와 관련되어 있는 수신제어 타임-슬로트에서, 제어워드를 TMS 유니트(10)로 송출하는데 사용된다. 본 실시예의 경우, 선착순 버퍼(160)로부터 CDU제어기(168)로 전송된 제어멧세지는 타임-슬로트62(TS62)를 수신 제어타임-슬로트로 이용하는 모듈을 행성자로 하고 있다. CDU 제어기는 1/64 디코더(169)에 대해서, 선착순 버퍼(171)의 관련 제어회로(186)를 일의적으로 지정하는 6비트 부호를 송출한다. 1/64 디코더(169)에 대해서 발생된 논리 '1'은 AND게이트(175)에 인가되고, 이

AND게이트(175)의 출력단자는 선착순 버퍼(171)의 서입 제어단자(\overline{W})에 접속되어 있다. 또한, CDU 제어기(168)는 제어멧세지의 각 제어워드를 판독하여 모든 선착순 버퍼, 예를들면, (178) 및 (172)에 공통적으로 접속되어 있는 버스(176)에 그 제어워드를 인가한다. 각각의 제어워드를 선착순 버퍼로 전송하는 것과 동시에, CDU제어기(168)는 AND 게이트(175) 및 다른 제어회로내의 이와 등가인 AND 게이트로 논리 '1'을 송신한다. AND 게이트(175)만이 1/64 디코더(169)로부터 논리 '1'을 수신하기 때문에, 이 AND 게

이트(175)만이 논리 '1'펄스를 CDU 제어기(168)로부터 관련 선착순 버퍼(171)의 제어단자(\overline{W})로 통과시킨다. 서입제어단자(\overline{W})에서 수신된 각 논리, 1'펄스에 응답하여 선착순 버퍼(171)는 버스(176)상의 제어워드를 그 입력 기억셀로 서입한다. 전술한 바와 같이, 이 제어워드들은 버퍼의 출력기억 장소로 진행한다. 선착순 버퍼(171)의판독제어단자(R)는 신호 t_{61} 를 수신하도록 타이밍회로(155)에 접속되어 있다. 따라서, 각각의 t_{61} 타임-슬로트 동안에, 선착순 버퍼(171)의 최후의 기억장소에 기억되어 있는 제어워드는 출력레지스터(173)로 송출된다.

CDU제어기(168)는 또한 제어 멧세지 송신동작의 시초에 플립-플롭(177)의 세트입력단자로 스타트 신호를 전송한다. 플립-플롭(177)의 논리, 1'출력은 AND 게이트(178)로 인가되며, 이AND 게이트(178)의 출력단자는 출력 레지스터(173)의 게이트 제어단자와 접속되어 있다. 또한, AND게이트(178)는 입력으로서 신호 t_{62} 를 수신한다. 그리하여, 플립-플롭(177)이 세트된 후에, 논리 '1' 펄스는 각 신호 t_{62} 에 응답하여 출력 레지스터(173)으로 전송된다. 출력레지스터(173)로 전송된 각 제어워드는 t_{62} 펄스에 응답하여 타임-슬로트 TS62 동안에 CDU 출력회로(179)로 전송된다. 플립-플롭(177)이 세트되기 전에는, CDU 출력회로(179)에 어떤 신호도 게이트되지 않는다.

선착순 버퍼(171)로부터 판독된 각 제어워드는 또한, 엔드 비교기(163)와 실질적으로 등가인, 엔드비교기(162)의 입력에 인가된다. 엔드 비교기(180)에 의해 선착순 버퍼(171)로부터 출력 레지스터(173)로 전송된 캐릭터가 엔드 캐릭터임을 검출하였을때, 이 엔드 비교기(180)는 논리, 1'펄스를 발생시키는데, 이 논리 '1펄스는 지연회로(181)를 경유하여 플립-플롭(177)의 리세트단자로 전송된다. 지연회로(181)는 엔드 비교기(180)로부터의 논리 '1'펄스를 1타임-슬로트보다 긴 시간동안 지연시킨다. 이와같이 하여, 엔드 캐릭터가 전송된 후에는 플립-플롭(177)이 리세트되고, 출력 레지스터(173)에는 더이상의 신호가 전

송되지 않는다.

CDU 출력회로(179)는 최대 256개의 입력포트와 하나의 출력포트를 갖는 MPX회로이다. 입력포트중 최초의 62개는 타임-슬로트 출력 레지스터, 예를들면(173) 및 (174)와 접속되어 있다. 타이밍 회로(155)로 부터의 타임-슬로트 계수 신호에 응답하여, CDU 출력회로(179)는 출력 레지스터, 예를들면(173) 및 (174)로 부터의 하나의 제어워드를 그 출력포트로 전송한다. 출력포트는 계속해서 링크 인터페이스 유니트(162)에 접속되어 있는데, 이 링크 인터페이스 유니트(152)는 전술한 바와같이 동작하여 수신된 제어워드를 TMS유니트(10)로 전송한다.

중앙제어유니트(30)는 또한 제어유니트, 예를들면, (17) 및 (18)로 전송될 제어 멧세지를 발생한다. 중앙제어유니트(30)에 의해서 발생된 각 제어멧세지는 그 제어멧세지를 수신할 특정 제어유니트를 지정하는 행선부를 포함하고 있다. 중앙제어유니트(30)로부터의 제어 멧세지는 통신로(32)를 경유하며 CDU 제어기(168)로 전송된다. CDU 제어기(168)는 중앙제어유니트(30)로부터 수신된 각 제어멧세지를 기억하고, 전술한 바와같이 그 제어멧세지의 행선지로 되는 제어 유니트를 결정하기 위해 각각의 기억된 행선부를 판독한다. CDU 제어기(168)는 선착순 버퍼(160) 및 (161)로부터 수신된 제어 멧세지를 전송할 때와 동일한 방법으로 중앙제어유니트(30)로부터의 제어 멧세지를 전송한다. 다음에 본 실시예에 있어서의 호출의 설정 및 제거에 대한 예를 설명한다. 이 예에서는, 가입자 세트(23)에서의 가입자가 가입자 세트(26)를 호출한다고 생각한다. 라인유니트(19)는 가입자 세트(23)에서의 발신 오프-후크를 검출하여, 멧세지를 통신로(27)를 거쳐 제어유니트(17)로 전송한다.

제어유니트(17)는 라인유니트(19)로부터의 이 멧세지에 응답하여, 라인유니트(19)와 TSI유니트(11) 사이의 통신채널중 어느 채널이 데이터워드 통신을 위해 사용될 것인지를 지정하는 정보를 라인유니트(19)로 전송한다. 또한, 제어유니트(17)는 TSI(11)와 라인유니트(19) 사이에서 새로이 오프-후크된 가입자의 관련 채널로 데이터를 전송한다. 제어유니트(17)는 가입자세트(23)의 직류상태를 계속 감시한다. 제어유니트(17)는 또한 가입자세트(23)에서의 숫자의 데이터를 검출하고, 최초의 숫자에 응답하여 데이터를 중지시킨다. 전체의 데이터 숫자와 발신가입자의 번호에 따라서 제어유니트(17) 중앙제어유니트(30)에 대한 제어멧세지를 형성한다. 이러한 제어멧세지는 중앙제어유니트(30)를 나타내는 행선부와 호출자의 번호 피호출자의 번호 및 서비스클래스와 같이 여러 종류의 호출자와 관련 정보를 포함하고 있다.

제8도는 가입자사의 호출을 설정하기 위한 처리장치 사이의 통신에 대한 기능을 도시한 것이다.

제8도에 있어서, 발신유니트(190)는 발신가입자 세트(23)와, 라인유니트(19)와, TSI 유니트 및 제어유니트(17)를 나타낸다. 마찬가지로, 착신 유니트(192)는 착신가입자세트(26)와, 라인유니트(22)와, TSI 유니트(12) 및 제어유니트(18)를 나타낸다. 호출설정 시퀀스에 있어서의 각 통신은, 관련 문자(a) 내지 (g)와 그 방향이 표시된 화살표로서 제8도에 도시되어 있다.

이하의 설명에 있어서, 문자(a) 내지 (g)는 설명되고 있는 특정 통신을 식별하기 위해 사용된다. 발신유니트(190)의 제어유니트(17)에서 형성된 제어랫세지(a)는 전술한 바와같이 시분할 라인(13)의 제어채널에서 1프레임당 1제어워드씩 송신된다. 본 실시예의 경우 기수벌째의 입/출력포트와 관련된 시분할 라인은 제어멧세지를 전송하는데 사용되는 1차 시분할라인이다. 우수번째의 입/출력포트와 관련된 시분할 라인은 프로그램 또는 데이터 갱신랫세지와 같은 보다 긴 멧세지를 전송하는데 사용된다. 따라서 시분할 라인(13)의 제어채널은 본 실시예에서 제어멧세지를 전송하는데 사용된다. 이 제어채널의 제어워드는, 그 제어채널과 관련된 타임-슬로트 동안, TMS유니트(10)에 의해서 CDU 유니트(31)로 스위치된다. 전술한바와 같이, CDU유니트(31)는 수신된 멧세지의 행선부를 해석하여, 멧세지를 중앙제어유니트(30)로 송신한다.

중앙제어유니트(30)는 피호출자측의 관련 TSI유니트의 번호를 계산하고, 호출자와 피호출자 사이의 톤신을 위해 비어있는 타임-슬로트를 할당한다. 본 실시예에 있어서, 이 통신을 위해서 타임-슬로트(16)가 선택된 것으로 가정한다. 다음에 중앙제어유니트(30)는 피호출측의 가입자 세트(26)와 접속된 착신유니트(191)의 TSI유니트(12)로 CDU(31) 및 TMS유니트(10)를 경유하여 제어 멧세지(b)를 전송한다. 이 제어멧세지(b)는 피호출자측의 가입자의 번호와, 호출자측에 접속되어 있는 TSI유니트(11)의 번호 및 TMS유니트(10)를 통한 통신에 이용되는 타임-슬로트를 포함하고 있다. 중앙제어유니트(30)이 제어멧세지(b)를 TSI유니트(12)로 전송하는 것과 동시에, 이것은 통신로(49)를 경유하여 명령(c)을 전송하는데, 이 명령은 TSI유니트(11)과 TSI유니트(12)를 타임-슬로트(16) 동안에 접속하는데 사용되는 통신로를 지정한다. 착신유니트(191)의 제어유니트(18)는 중앙제어유니트(30)로부터의 제어 멧세지(b)에 응답하여, 라인유니트(22)와 TSI유니트(12)사이에서 가입자세트(26)과의 통신을 위한 채널을 할당하고, 가입자세트(26)와 관련된 채널에서 TMS유니트(10)로 논리 '1'의 E 비트(d)의 송신을 시작한다. 소정널대에 있어서 논리 '1'의 E비트의 송신에 대한 제어는, 그 채널과 관련된 램(55)중의 기억장소로 억세스하고, 그 E비트의 위치를 논리 '1'로 세트시킴으로써 제어유니트에 의해 실행된다는 것을 기억할 것이다. 또한, 제어유니트(18)는 착신유니트(191)중의 TSI유니트(12)의 번호, 통신에 사용될 타임-슬로트(타임-슬로트 16) 및 제어유니트(17)가 호출을 완성하는데 필요한 가입자 세트(26)에 대한 어떤 정보를 포함하는 제어멧세지를 형성한다. 이러한 제어멧세지(e)는 TMS유니트(10)로의 제어채널 및 CDU(31)를 경유하고, TSI유니트(11)와 관련된 제어채널에서 TMS(110)를 다시 경유하여 발산유니트(190)의 TSI유니트(11)로 전송된다. 이외에도, 제어유니트(18)의 처리장치(66)는 소정시간, 예를들면, 128프레임 동안에 타임-슬로트(16)의 E 비트의 상태를 조사하도록 E비트검사회로(192)에 지시한다.

제어유니트(17)는 제어유니트(18)로부터의 멧세지에 응답하여, 가입자 세트(23)과 관련된 채널에 의해서 논리 '1'의 E비트(f)를 TMS유니트(10)로 전송한다. 또한, 발신유니트(190)의 제어유니트(17)는 TSI유니트(12)로부터의 입력채널(16)의 E비트를 검사하여 논리 '1'이 존재하는지의 여부를 판정한다. 이러한 논리 '1'의 E비트가 수신되면, E비트 검사회로(192)로부터 제어유니트(17)의 처리장치(66)로 연속성 신호가 송신되며, 이것은 TSI유니트(12)로부터 TSI유니트(11)까지의 통신로가 연속하고 있음을 표시한다. TSI(11)로부터 TSI유니트(12)까지의 통신로의 연속성이 판면되면, 제어유니트(18)의 E비트 검사회로(192)는 소정시간동안 채널(16)에서 논리 '1'의 E비트를 검출하게 된다. 제어유니트(18)의 E비

트 검사회로(192)는 논리 '1'의 비트에 응답하여, 관련 처리장치(66)로 연속성 신호를 전송한다. 제어유니트(18)의 E비트검사회로(192)로부터의 연속성 신호에 응답하여, 라인유니트(22)는 링전류를 가입자 세트(26)로, 또한 가청 링톤을 타임-슬로트(16)동안 가입자 세트(23)으로 송출할 것을 통지받는다. 가입자 세트(26)가 오프-후크되면, 라인유니트(22)는 제어유니트(18)에 통지하여 가청링톤을 가입자세트(23)로 송출하는 것을 중지시키고, 또한 링전류를 가입자 세트(26)에 인가하는 것을 정지시키도록 한다. 다음에 제어유니트(18)는 TSI유니트(12)로부터 제어채널을 거쳐서 TSI유니트(11)로 제어 맷세지(g)를 송신하여 응답이 있는가를 알려준다. 이로서, 양가입자의 통신이 가능해진다.

호출의 종료는 통상적으로 발신 가입자와 관련된 제어유니트에 의해서 제어되는데, 이것은 본 실시예에서는 제어유니트(17)이다. 가입자 세트(23)가 온-후크되면, 가입자 세트(23)와 (26) 사이의 채널의 E비트는 논리 '0'으로 변한다. 제어유니트(18)는 논리 '0'의 E비트에 응답하여, 중앙제어유니트(30)로 당해 호출이 완료되었음을 나타내는 제어맷세지를 전송한다. 또한, 온-후크가 검출되면, 마찬가지의 제어 맷세지가 제어유니트(17)로부터 송신된다. 이러한 양자의 맷세지에 따라서, 중앙제어유니트(30)는 제어 메모리(29)를 제어하여, 가입자세트(23)와 (26) 사이의 채널을 접속하고 있는 경로를 단락시킨다. 또한, 제어유니트(17) 및 (18)는 관련가입자 세트들을 TMS유니트(10)에 접속하고 있는 경로를 비움으로써 이 경로가 또다른 통신에 사용될 수 있도록 한다. 가입자 세트(26)가 먼저 온-후크될때에는, 제어유니트(18)는 제어채널을 경유하여 제어유니트(17)로 제어맷세지를 송신하고, 제어유니트(17)에 대해서 온-후크 되었음을 알려준다. 제어유니트(17)는 이러한 맷세지에 응답하여, 히트 타이밍과 마찬가지로 소정시간 동안 대기한 후에 상술한 바와 같이 호출종료처리를 시작한다.

착신가입자는 통상의 호출완료/종료 루틴을 변경시키는 어떤 성질을 가질 수 있다. 예를들면, 가입자(26)(본 실시예에 있어서의 착신 가입자)는 호출추적을 행할 수 있도록 한다. 이와같은 경우에는, 가입자(26)로의 임의의 호출은 가입자세트(26)가 온-후크될때까지 호출이 완성된 상태를 유지하도록 하는 것이 바람직하다. 본 실시예에 따르면, 호출의 설정은 전술한 예에서 설명된 것과 동일한 방법으로 행해진다. 그러나, TSI유니트(12)로부터 TSI유니트(11)로 송신되는 최초의 제어 맷세지는 곧 종료될 호출에 대해서 호출 추적이 행해질 것을 나타내는 부분이 포함된다. 제어유니트(17)는 이러한 제어맷세지에 응답하여, 호출 종료수순을 변경하고, 제어유니트(18)로부터 가입자세트(26)가 온-후크 되었음을 나타내는 맷세지가 수신될때까지는 상기 완성된 경로가 제거되지 않도록 한다.

상술한 실시예는 단순히 본 발명의 원리를 설명하기 위한 것이지만, 본 발명의 개념 및 범위내에서 당분야에 속련된 기술자들에 의해 여러형태로 수정될 수 있다.

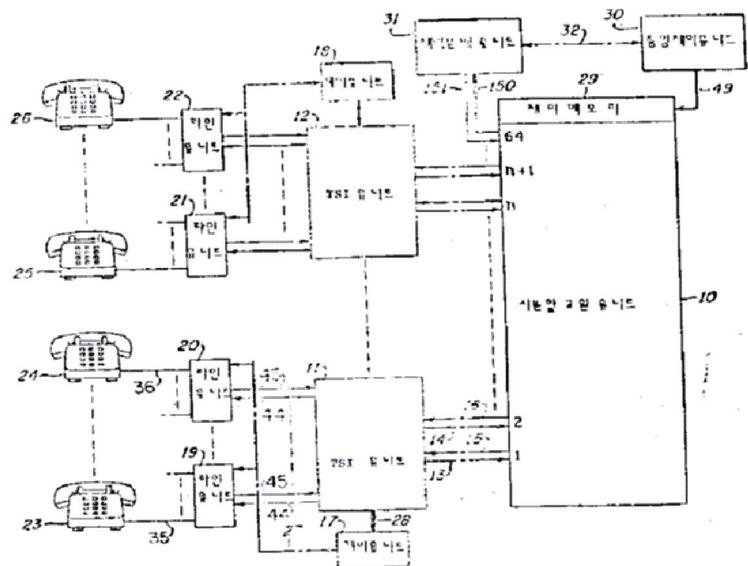
(57) 청구의 범위

청구항 1

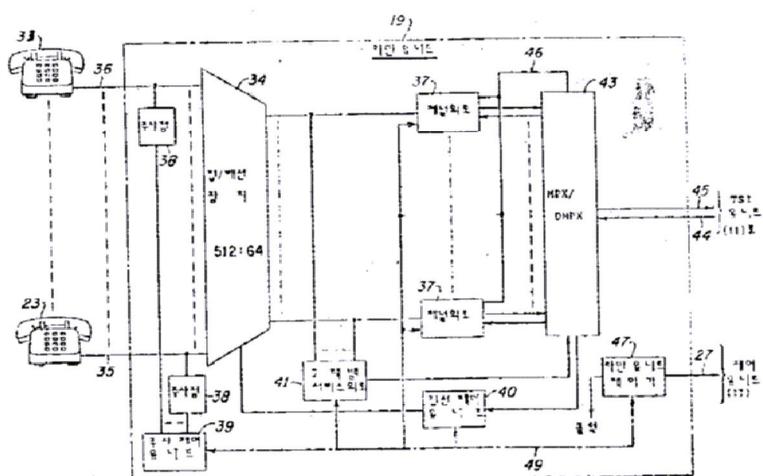
착신유니트(191) 및 발신유니트(190)와 통신로 식별신호를 발생시키는 중앙제어유니트(30) 및 상기 통신로 식별신호에 응답하여 상기 착신유니트(191)와 상기 발신유니트(190) 사이에 통신로를 완성시키기 위한 제어회로를 구비하고 있는 시분할 교환유니트(10)로 구성된 시분할 교환회로망을 통하는 통신로의 연속성 확인장치에 있어서, 상기 발신유니트(190) 및 착신유니트(191)로 통신로 식별신호를 전송하도록 하고, 상기 착신유니트(191)에 제어램(55)을 설치하여, 전송된 통신로 식별신호에 따라 통신로(제8도의(d))상에 고유의 캐릭터를 전송하도록 하며, 상기 발신유니트(190)에 E비트 어큐뮬레이터(48) 및 E비트 검사회로(192)를 설치하여, 상기 E비트 어큐뮬레이터(48)는 상기 착신유니트(191)로부터 전송된 고유의 캐릭터를 통신로(제8도의 (d))로부터 수신하도록 하고, 상기 E비트 검사회로(192)는 상기 고유의 캐릭터가 상기 통신로(8제도의(d))에서 수신된 경우에 연속성 신호를 발생시키도록 구성한 것을 특징으로 하는 시분할 교환회로망을 통하는 통신로의 연속성 확인장치.

도면

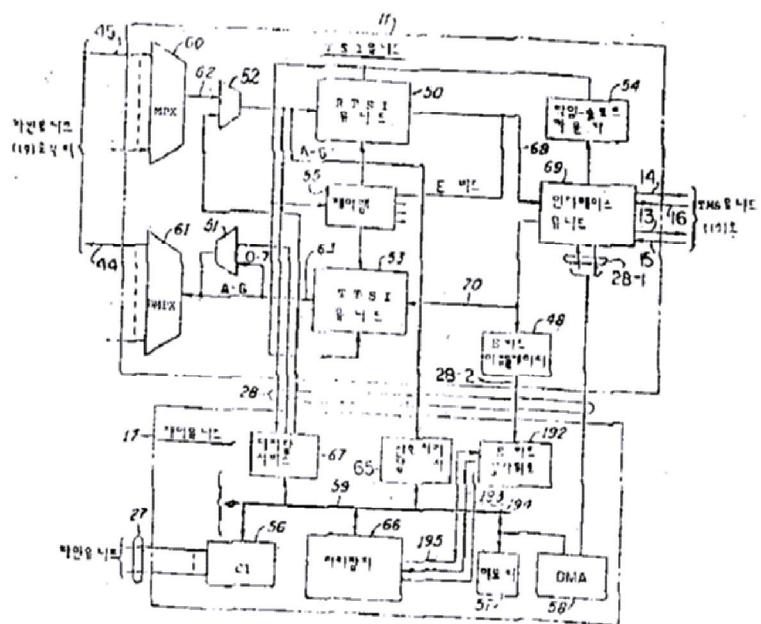
도면1



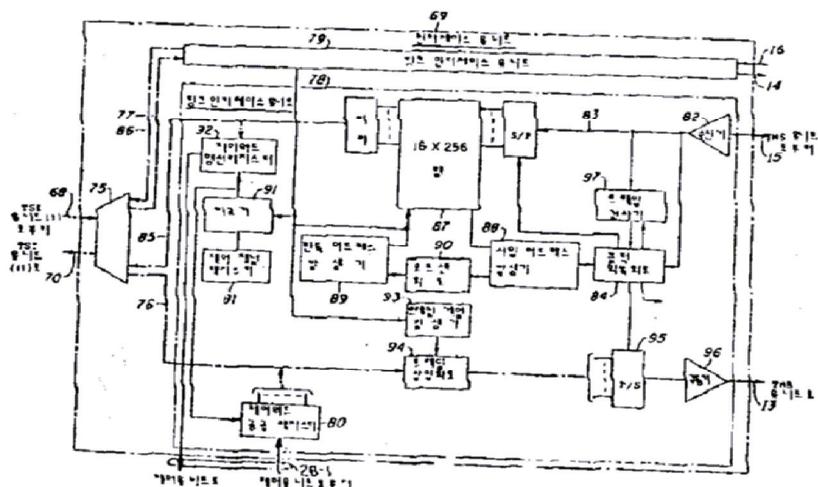
도면2



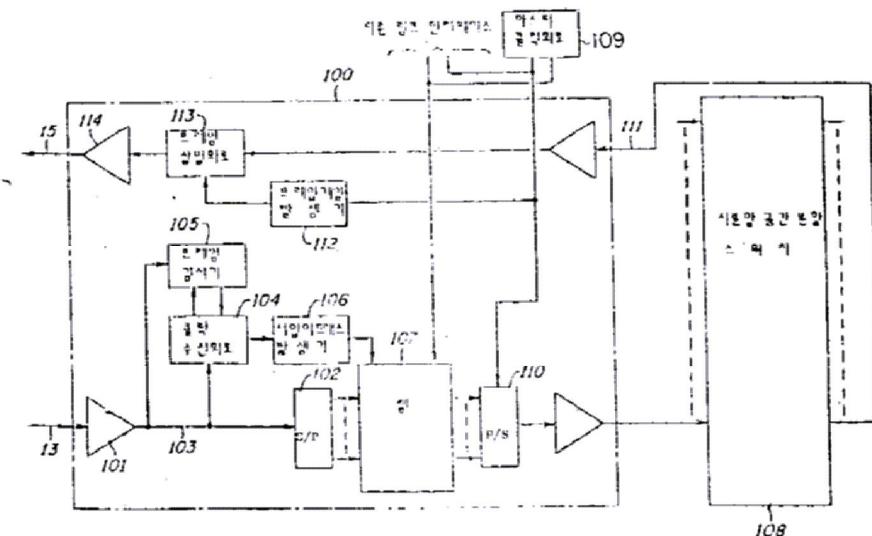
도면3



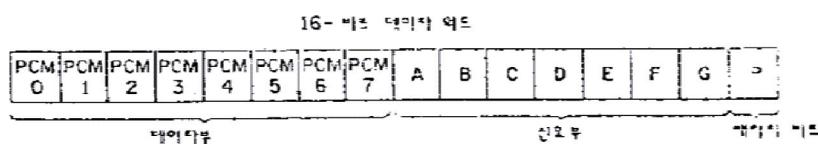
도면4



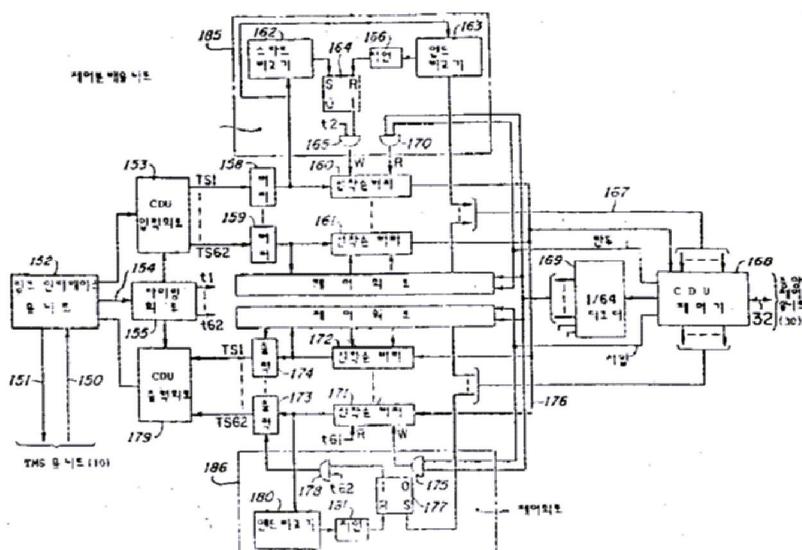
도면5



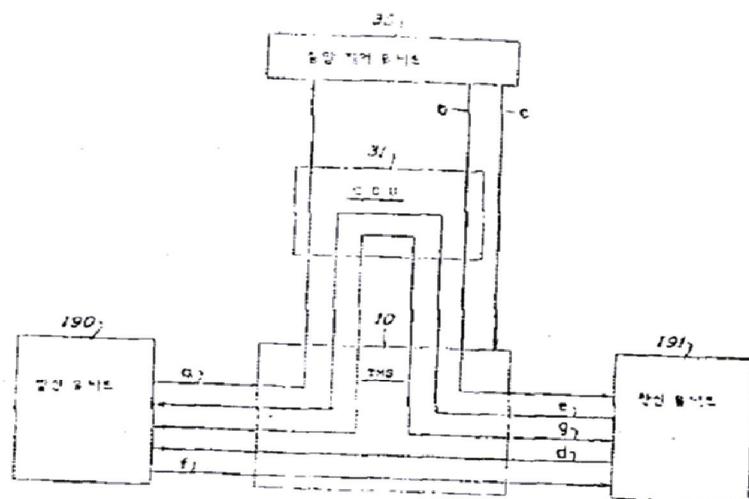
도면6



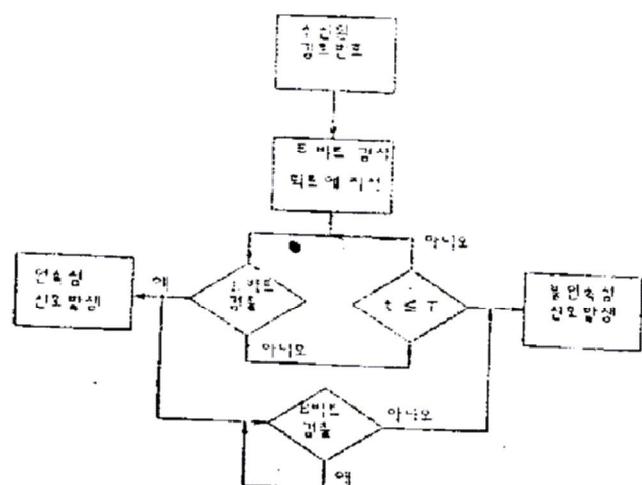
도면7



도면8



도면9



도면 10

