

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月28日(28.07.2022)



(10) 国際公開番号

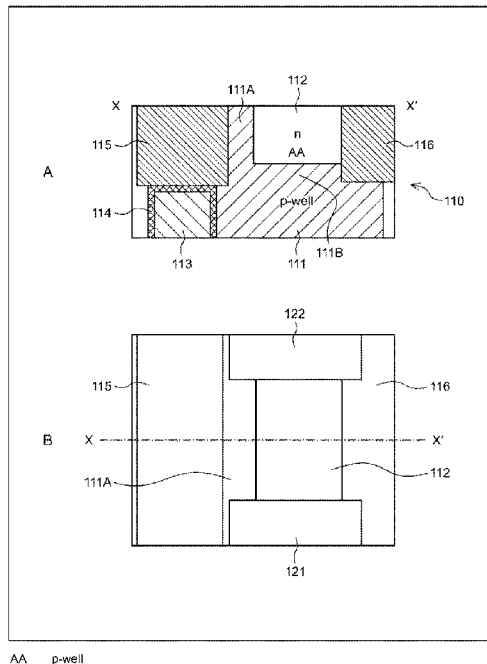
WO 2022/158236 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2021/047777
- (22) 国際出願日: 2021年12月23日(23.12.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-007986 2021年1月21日(21.01.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).
- (72) 発明者: 鈴木 雄一朗 (SUZUKI Yuichiro); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋3丁目9番10号 池袋F Nビル4階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: LIGHT DETECTION DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 光検出装置及び電子機器

FIG. 4



(57) Abstract: The present disclosure relates to a light detection device and an electronic apparatus that make it possible to suppress dark current. Provided is a light detection device comprising: a substrate; a plurality of photoelectric conversion regions formed on the substrate; a first conductivity type floating diffusion region connected to the photoelectric conversion regions; an element isolation region that is formed in a groove portion formed in the substrate and that isolates the photoelectric conversion regions from one another; and a second conductivity type region formed between the floating diffusion region and the element isolation region. At least a portion of the element isolation region is covered with a negative fixed charge film. The present disclosure can be applied to, for example, a CMOS type solid-state imaging device.

(57) 要約: 本開示は、暗電流を抑制することができるようにする光検出装置及び電子機器に関する。基板と、基板に形成された複数の光電変換領域と、光電変換領域に接続される第1導電型の浮遊拡散領域と、基板に形成された溝部内に形成され、光電変換領域の間を分離する素子分離領域と、浮遊拡散領域と素子分離領域との間に形成された第2導電型の領域とを有し、素子分離領域の少なくとも一部の領域は、負の固定電荷膜で覆われている光検出装置が提供される。本開示は、例えば、CMOS型の固体撮像装置に適用することができる。

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：光検出装置及び電子機器

技術分野

[0001] 本開示は、光検出装置及び電子機器に関し、特に、暗電流を抑制することができるようにした光検出装置及び電子機器に関する。

背景技術

[0002] 固体撮像装置では、フォトダイオードやトランジスタなどの素子が画素ごとに設けられるが、隣接する画素を電氣的に分離するために素子分離領域を設けた構成が提案されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-165066号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、素子分離領域として、負の固定電荷膜で覆われた領域を設けた場合に、 $p-n$ 接合部の空乏層が負の固定電荷膜と近接すると、空乏層の電界が大きくなり、浮遊拡散領域（FD：Floating Diffusion）の暗電流が増大してしまう。そのため、浮遊拡散領域の暗電流を抑制することが求められていた。

[0005] 本開示はこのような状況に鑑みてなされたものであり、暗電流を抑制することができるようにするものである。

課題を解決するための手段

[0006] 本開示の一側面の光検出装置は、基板と、前記基板に形成された複数の光電変換領域と、前記光電変換領域に接続される第1導電型の浮遊拡散領域と、前記基板に形成された溝部内に形成され、前記光電変換領域の間を分離する素子分離領域と、前記浮遊拡散領域と前記素子分離領域との間に形成された第2導電型の領域とを有し、前記素子分離領域の少なくとも一部の領域は

、負の固定電荷膜で覆われている光検出装置である。

[0007] 本開示の一側面の光検出装置においては、基板に形成された複数の光電変換領域と、前記光電変換領域に接続される第1導電型の浮遊拡散領域と、前記基板に形成された溝部内に形成され、前記光電変換領域の間を分離する素子分離領域と、前記浮遊拡散領域と前記素子分離領域との間に形成された第2導電型の領域とを有して構成され、前記素子分離領域の少なくとも一部の領域は、負の固定電荷膜で覆われている。

[0008] 本開示の一側面の電子機器は、基板と、前記基板に形成された複数の光電変換領域と、前記光電変換領域に接続される第1導電型の浮遊拡散領域と、前記基板に形成された溝部内に形成され、前記光電変換領域の間を分離する素子分離領域と、前記浮遊拡散領域と前記素子分離領域との間に形成された第2導電型の領域とを有し、前記素子分離領域の少なくとも一部の領域は、負の固定電荷膜で覆われている光検出装置を搭載した電子機器である。

[0009] 本開示の一側面の電子機器においては、基板に形成された複数の光電変換領域と、前記光電変換領域に接続される第1導電型の浮遊拡散領域と、前記基板に形成された溝部内に形成され、前記光電変換領域の間を分離する素子分離領域と、前記浮遊拡散領域と前記素子分離領域との間に形成された第2導電型の領域とを有して構成され、前記素子分離領域の少なくとも一部の領域は、負の固定電荷膜で覆われている光検出装置が搭載される。

[0010] なお、本開示の一側面の光検出装置及び電子機器は、独立した装置であってもよいし、1つの装置を構成している内部ブロックであってもよい。

図面の簡単な説明

[0011] [図1]本開示を適用した光検出装置の構成例を示す図である。

[図2]現状の画素の構成を示す図である。

[図3]現状の画素の構成を示す図である。

[図4]本開示を適用した画素の構成の第1の例を示す図である。

[図5]本開示を適用した画素の構成の第2の例を示す図である。

[図6]本開示を適用した画素の構成の第3の例を示す図である。

[図7]本開示を適用した画素の構成の第4の例を示す図である。

[図8]本開示を適用した画素の構成の第5の例を示す図である。

[図9]本開示を適用した画素の構成の第6の例を示す図である。

[図10]本開示を適用した画素の構成の第7の例を示す図である。

[図11]画素のレイアウトの例を示す図である。

[図12]本開示を適用した画素の断面の第1の例を示す図である。

[図13]本開示を適用した画素の断面の第2の例を示す図である。

[図14]本開示を適用した光検出装置を搭載した電子機器の構成例を示す図である。

発明を実施するための形態

[0012] <1. 本開示の実施の形態>

[0013] (光検出装置の構成)

図1は、本開示を適用した光検出装置の構成例を示す図である。

[0014] 図1において、固体撮像装置10は、CMOS(Complementary Metal Oxide Semiconductor)型の固体撮像装置であり、本開示を適用した光検出装置の一例である。固体撮像装置10は、画素アレイ部21、垂直駆動部22、カラム信号処理部23、水平駆動部24、出力部25、及び制御部26から構成される。

[0015] 画素アレイ部21は、シリコン(Si)からなる基板上行列状に2次元配列された複数の画素100を有する。画素100は、フォトダイオードからなる光電変換領域と、複数の画素トランジスタを有する。画素トランジスタは、転送トランジスタ、リセットトランジスタ、選択トランジスタ、及び増幅トランジスタから構成される。

[0016] 画素アレイ部21には、行列状に2次元配列された複数の画素100に対し、行ごとに画素駆動線41が形成されて垂直駆動部22に接続され、列ごとに垂直信号線42が形成されてカラム信号処理部23に接続される。

[0017] 垂直駆動部22は、シフトレジスタやアドレスデコーダ等により構成され、画素アレイ部21に配列された各画素100を駆動する。垂直駆動部22

によって選択走査された画素１００から出力される画素信号は、垂直信号線４２を通じてカラム信号処理部２３に供給される。

[0018] カラム信号処理部２３は、画素アレイ部２１の画素列ごとに、選択行の各画素１００から垂直信号線４２を通じて出力される画素信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。具体的には、カラム信号処理部２３は、信号処理として少なくとも、ノイズ除去処理、例えば、相関二重サンプリング（CDS : Correlated Double Sampling）処理を行う。

[0019] この相関二重サンプリングにより、リセットノイズや増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。なお、カラム信号処理部２３に、ノイズ除去処理以外に、例えば、AD変換（Analog/Digital Conversion）機能を持たせて、信号レベルをデジタル信号で出力することも可能である。

[0020] 水平駆動部２４は、シフトレジスタやアドレスデコーダ等により構成され、カラム信号処理部２３の画素列に対応する単位回路を順番に選択する。水平駆動部２４による選択走査により、カラム信号処理部２３で信号処理された画素信号が水平信号線５１を通じて出力部２５に出力される。

[0021] 出力部２５は、カラム信号処理部２３の各々から水平信号線５１を通じて順次入力される画素信号に対して所定の信号処理を行い出力する。

[0022] 制御部２６は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、タイミングジェネレータで生成された各種のタイミング信号に基づき、垂直駆動部２２、カラム信号処理部２３、及び水平駆動部２４などの駆動制御を行う。

[0023] （要部の構成）

次に、固体撮像装置１０において、画素アレイ部２１に２次元状に配列される画素１００の構成を説明する。ここでは、本開示を適用した画素１００との比較のために、従来の画素の構成を、図２，図３に示している。本開示を適用した画素１００の構成は、図４乃至図１３に示している。

- [0024] 画素100において、フォトダイオードからなる光電変換領域で光電変換により生成された電荷は、転送トランジスタ121によって浮遊拡散領域(FD: Floating Diffusion)112に転送される。リセットトランジスタ122は、浮遊拡散領域112を適宜初期化(リセット)する。
- [0025] 浮遊拡散領域112は、転送トランジスタ121を介して光電変換領域から転送されてきた電荷を電圧信号(電気信号)に変換して出力する電荷電圧変換領域である。浮遊拡散領域112は、増幅トランジスタ(図示せず)に接続され、増幅トランジスタと垂直信号線42との間に接続された選択トランジスタ(図示せず)が選択状態となることで、増幅トランジスタから出力される信号が垂直信号線42を介してカラム信号処理部23に読み出される。
- [0026] 図2、図3に示した従来の画素の構成では、上段に画素の要部の断面構成を示し、下段に平面レイアウトを示している。
- [0027] 図2に示すように、画素が形成される基板において、p型のウェル領域111には、n型の浮遊拡散領域112が形成される。また、基板においては、深さ方向に形成された溝部(トレンチ)内に、素子分離領域113と、素子分離領域115と、素子分離領域116が形成される。
- [0028] 素子分離領域113は、FFTI(Front Full Trench Isolation)である素子分離構造を有し、少なくとも一部の領域が負の固定電荷膜114で覆われている。素子分離領域115と素子分離領域116は、STI(Shallow Trench Isolation)である素子分離構造を有する。図2では、素子分離領域113と素子分離領域115との界面の位置に、負の固定電荷膜114が形成されており、p型のウェル領域111とn型の浮遊拡散領域112とのpn接合部の空乏層との距離が離れている。
- [0029] 図3に示すように、製造プロセスによっては、素子分離領域113と素子分離領域115との界面の位置に、負の固定電荷膜114を形成することが難しい場合があり、その場合には、素子分離領域115の中にまで負の固定電荷膜114が入り込んでしまう(図3のA)。

[0030] これにより、図3においては、負の固定電荷膜114が、p型のウェル領域111とn型の浮遊拡散領域112とのpn接合部の空乏層と近接した構造となっている（図3の破線A1，A2）。そのため、負の固定電荷膜114によって、pn接合部の空乏層の電界が大きくなり、浮遊拡散領域112の暗電流（以下、FD暗電流という）が増大する。

[0031] 特に、グローバルシャッタ（GS：Global Shutter）方式で駆動する場合、光電変換領域での露光時間を全画素で同じにするために、一旦、電荷を蓄積する領域が必要である。この電荷の蓄積を浮遊拡散領域112で行う方式（FDGS駆動方式）がある。このFDGS駆動方式を用いた場合には、浮遊拡散領域112で電荷を保持する期間が長いため（読み出すまでの間、電荷を保持しているため）、FD暗電流が増加してしまうと、電荷の蓄積期間中にノイズが増えるため、FD暗電流が大きな問題となる。

[0032] そこで、本開示を適用した画素100では、p型のウェル領域111とn型の浮遊拡散領域112とのpn接合部の近傍に、負の固定電荷膜114が存在しない構造とすることで、FD暗電流を抑制する。以下、図4乃至図13を参照して、本開示を適用した画素100の構成を説明する。

[0033] （第1の例）

図4は、本開示を適用した画素100の構成の第1の例を示す図である。図4では、画素100の要部の断面構成を上段に示し、平面レイアウトを下段に示している。この断面と平面レイアウトの関係は、後述する図5乃至図10でも同様とされる。

[0034] 図4に示すように、画素100が形成される基板110において、p型のウェル領域111には、n型の浮遊拡散領域112が形成される。浮遊拡散領域112は、ウェル領域111に、n型の不純物が高濃度にイオン注入されることで形成される。

[0035] 基板110においては、深さ方向に形成された溝部（トレンチ）内に、素子分離領域113と、素子分離領域115と、素子分離領域116が形成される。

- [0036] 素子分離領域 1 1 3 は、FFTIである素子分離構造を有する。素子分離領域 1 1 3 は、トレンチ内に絶縁膜を埋め込んで形成される。この絶縁膜の材料としては、例えば、酸化シリコン (SiO_2)、窒化シリコン (SiN)、酸窒化シリコン (SiON)、樹脂などを用いることができる。
- [0037] 素子分離領域 1 1 3 は、少なくとも一部の領域が負の固定電荷膜 1 1 4 で覆われている。負の固定電荷膜 1 1 4 は、負の固定電荷を有する膜である。例えば、負の固定電荷膜 1 1 4 の材料としては、シリコン (Si)、ハフニウム (Hf)、アルミニウム (Al)、タンタル (Ta)、チタン (Ti)、イットリウム (Y)、ランタノイド元素のうち、少なくとも 1 つの元素を含む絶縁膜とすることができる。
- [0038] 素子分離領域 1 1 5 と素子分離領域 1 1 6 は、STIである素子分離構造を有する。素子分離領域 1 1 5 と素子分離領域 1 1 6 は、浮遊拡散領域 1 1 2 の左右両側にそれぞれ形成されたトレンチ内に絶縁膜を埋め込んで形成される。この絶縁膜の材料としては、例えば、酸化シリコン、窒化シリコン、酸窒化シリコンなどの酸化膜を用いることができる。
- [0039] ここで、FFTIは、表面側から素子分離領域にフルトレンチで加工してその中に絶縁膜を埋め込んだ構造である。また、STIは、素子分離領域に浅いトレンチを形成してその中に絶縁膜を埋め込んだ構造である。このように、素子分離領域 1 1 3 と素子分離領域 1 1 5 とは、トレンチの深さと形成方法が異なる素子分離構造を有している。
- [0040] 基板 1 1 0 において、n型の浮遊拡散領域 1 1 2 と素子分離領域 1 1 5 との間には、p型領域 1 1 1 Aが形成されている。このように、n型の浮遊拡散領域 1 1 2 の左側壁側にp型領域 1 1 1 Aを形成することで、p型のウェル領域 1 1 1 とn型の浮遊拡散領域 1 1 2 とのpn接合部の近傍に、負の固定電荷膜 1 1 4 が存在しない構成とすることができる。これにより、FD暗電流を抑制することができる。
- [0041] ここで、n型の浮遊拡散領域 1 1 2 の左側壁側に形成されたp型領域 1 1 1 Aの不純物の濃度は、p型のウェル領域 1 1 1 とn型の浮遊拡散領域 1 1

2とのpn接合部の界面のp型領域111Bの不純物の濃度よりも高くなる。また、p型領域111Aでピニングを取ることで、負の固定電荷膜114が存在していても白点等の固定ノイズの悪化を抑制することができる。

[0042] (第2の例)

図5は、本開示を適用した画素100の構成の第2の例を示す図である。

図5では、上述した図4の構成と異なる部分について説明する。

[0043] 図5のAにおいては、図4のAの構成と比べて、負の固定電荷膜114の一部が、素子分離領域115の中に入り込んだ構成となっている。このように、素子分離領域115の中に負の固定電荷膜114が入り込んだ構成でも、n型の浮遊拡散領域112と素子分離領域115との間にp型領域111Aが形成されているため、負の固定電荷膜114が、pn接合部の近傍に存在しない構成となっている。これにより、FD暗電流を抑制することができる。

[0044] (第3の例)

図6は、本開示を適用した画素100の構成の第3の例を示す図である。

図6では、上述した図5の構成と異なる部分について説明する。

[0045] 図6においては、図5の構成と比べて、負の固定電荷膜114の一部が、素子分離領域115の中に入り込んだ構成となるが、その断面視の形状が異なっている。このように、負の固定電荷膜114の断面視の形状に関わらず、n型の浮遊拡散領域112と素子分離領域115との間にp型領域111Aが形成されることで、負の固定電荷膜114を、pn接合部の近傍に存在しない構成とすることができる。これにより、FD暗電流を抑制することができる。

[0046] (第4の例)

図7は、本開示を適用した画素100の構成の第4の例を示す図である。

図7では、上述した図5の構成と異なる部分について説明する。

[0047] 図7においては、図5の構成と比べて、浮遊拡散領域112の左側壁側だけでなく、右側壁側にもp型の領域としてp型領域111Cが形成されてい

る。このように、浮遊拡散領域 1 1 2 の両側の側壁に p 型の領域が形成された場合でも、n 型の浮遊拡散領域 1 1 2 と素子分離領域 1 1 5 との間に p 型領域 1 1 1 A が形成されていることで、負の固定電荷膜 1 1 4 を、p n 接合部の近傍に存在しない構成とすることができる。これにより、FD暗電流を抑制することができる。

[0048] (第 5 の例)

図 8 は、本開示を適用した画素 1 0 0 の構成の第 5 の例を示す図である。

図 8 では、上述した図 6 の構成と異なる部分について説明する。

[0049] 図 8 においては、図 6 の構成と比べて、浮遊拡散領域 1 1 2 の右側壁側にも、p 型の領域として p 型領域 1 1 1 C が形成されている。このように、浮遊拡散領域 1 1 2 の両側の側壁に p 型の領域が形成された場合でも、n 型の浮遊拡散領域 1 1 2 と素子分離領域 1 1 5 との間に p 型領域 1 1 1 A が形成されていることで、負の固定電荷膜 1 1 4 を、p n 接合部の近傍に存在しない構成とすることができる。これにより、FD暗電流を抑制することができる。

[0050] つまり、図 4 乃至図 6 の構成では、浮遊拡散領域 1 1 2 の右側壁側（光電変換領域側）が素子分離領域 1 1 6 で分離され、浮遊拡散領域 1 1 2 の左右両側が素子分離領域で分離されていたが、図 7，図 8 の構成のように、右側壁側（光電変換領域側）に p 型領域 1 1 1 C を形成して、浮遊拡散領域 1 1 2 と光電変換領域との間を、p 型領域 1 1 1 C で分離しても構わない。

[0051] (第 6 の例)

図 9 は、本開示を適用した画素 1 0 0 の構成の第 6 の例を示す図である。

図 9 では、上述した図 7 の構成と異なる部分について説明する。

[0052] 図 9 においては、図 7 の構成と比べて、素子分離領域 1 1 5 の幅が異なっている。すなわち、図 7 の構成では、素子分離領域 1 1 5 の幅は、素子分離領域 1 1 3 の幅よりも大きかったが、図 9 の構成では、素子分離領域 1 1 5 の幅は、素子分離領域 1 1 3 の幅と同じ幅になっている。

[0053] このように、素子分離領域 1 1 3 と素子分離領域 1 1 5 の幅が同じである

場合でも、 n 型の浮遊拡散領域112と素子分離領域115との間に p 型領域111Aが形成されていることで、負の固定電荷膜114を、 pn 接合部の近傍に存在しない構成とすることができる。これにより、FD暗電流を抑制することができる。

[0054] (第7の例)

図10は、本開示を適用した画素の構成の第7の例を示す図である。図10では、上述した図7の構成と異なる部分について説明する。

[0055] 図10においては、図7の構成と比べて、素子分離領域115が、素子分離領域113に深さ方向に近づくほど幅が狭くなるテーパ形状を有している。このように、素子分離領域115がテーパ形状を有する場合でも、 n 型の浮遊拡散領域112と素子分離領域115との間に p 型領域111Aが形成されていることで、負の固定電荷膜114を、 pn 接合部の近傍に存在しない構成とすることができる。これにより、FD暗電流を抑制することができる。

[0056] なお、図9、図10の構成では、浮遊拡散領域112の右側壁に p 型領域111Cを形成した場合を示したが、浮遊拡散領域112の右側壁側を、素子分離領域116で分離しても構わない。また、図10の構成では、素子分離領域115の形状がテーパ形状である場合を示したが、 n 型の浮遊拡散領域112と素子分離領域115との間に p 型領域111Aが形成されていれば、他の形状としても構わない。

[0057] (断面構造)

次に、図11乃至図13を参照して、本開示を適用した画素100における光電変換領域と浮遊拡散領域との位置関係を説明する。

[0058] 図11は、画素100のレイアウトの例を示す図である。図11においては、素子分離領域115が格子状に形成された画素100の一部の領域を拡大した拡大図が示されている。図12、図13は、図11の画素100の拡大図の $X-X'$ 断面を示している。

[0059] 図12においては、上述した図7の構成と同様に、 n 型の浮遊拡散領域1

1 2 の左側壁側に、p 型領域 1 1 1 A を形成して、負の固定電荷膜 1 1 4 を、p n 接合部の近傍に存在しない構成としている。また、浮遊拡散領域 1 1 2 の右側壁側には、p 型領域 1 1 1 C が形成され、n 型の浮遊拡散領域 1 1 2 と n 型の光電変換領域 1 5 1 との間を分離した構成となっている。

[0060] なお、図 1 3 に示すように、上述した図 5 の構成と同様に、n 型の浮遊拡散領域 1 1 2 の左側壁側に、p 型領域 1 1 1 A を形成した構成とした場合に、浮遊拡散領域 1 1 2 の右側壁側に、素子分離領域 1 1 6 を形成して、n 型の浮遊拡散領域 1 1 2 と n 型の光電変換領域 1 5 1 との間を分離しても構わない。

[0061] 以上のように、本開示を適用した画素 1 0 0 では、n 型の浮遊拡散領域 1 1 2 と素子分離領域 1 1 5 との間に p 型領域 1 1 1 A を形成して、p 型のウェル領域 1 1 1 と n 型の浮遊拡散領域 1 1 2 との p n 接合部の近傍に、負の固定電荷膜 1 1 4 が存在しない構造とすることで、FD 暗電流を抑制している。

[0062] 特に、FDGS 駆動方式を用いた場合には、浮遊拡散領域 1 1 2 で電荷を保持する期間が長いため、FD 暗電流が増加してしまうと、電荷の蓄積期間中にノイズが増えるため、FD 暗電流が大きな問題となっていたが、この問題を解決することができる。また、p 型領域 1 1 1 A でピンングを取ることで、負の固定電荷膜 1 1 4 が存在していても白点等の固定ノイズの悪化を抑制することができる。

[0063] < 2. 変形例 >

[0064] (素子分離領域の例)

上述した説明では、素子分離領域 1 1 3 が FFTI である素子分離構造を有し、素子分離領域 1 1 5 が STI である素子分離構造を有する場合を説明したが、素子分離領域 1 1 3 と素子分離領域 1 1 5 の素子分離構造は、これに限定されるものではない。すなわち、画素（光電変換領域）間を分離している素子分離領域と、当該素子分離領域を覆うように形成された負の固定電荷膜とを有する構造であればよく、例えば、DTI (Deep Trench Isolation) などの他の

素子分離構造を用いても構わない。

[0065] また、上述した説明では、FFTIである素子分離構造を有する素子分離領域 1 1 3 と、STIである素子分離構造を有する素子分離領域 1 1 5 とが、2 段構成になる場合を説明したが、素子分離構造は、2 段構成に限定されるものではない。すなわち、製造プロセスによっては、そのような2 段構成になるが、素子分離領域と当該素子分離領域を覆うように形成された負の固定電荷膜とを有する構造であればよく、例えば、STIである素子分離構造を有しない構成（1 段構成）や、さらに他の素子分離構造を有した構成（3 段以上の構成）であっても構わない。

[0066] （光検出装置の例）

上述した説明では、固体撮像装置 1 0 として、CMOS型の固体撮像装置を説明したが、CMOS型の固体撮像装置は、光電変換領域 1 5 1 が形成された基板 1 1 0 から見て下層に形成される配線層側（表面側）とは反対側の上層（裏面側）から光を入射させる裏面照射型構造とすることができる。なお、CMOS型の固体撮像装置は、光を入射する側を配線層側（表面側）とした表面照射型構造としても構わない。

[0067] 固体撮像装置 1 0 は、本開示を適用した光検出装置の一例である。すなわち、本開示を適用した光検出装置は、固体撮像装置 1 0 に限らず、例えば、I Rレーザを用いた測距センサなどの光を検出する装置に適用することができる。

[0068] （電子機器の構成）

本開示を適用した光検出装置は、スマートフォン、タブレット型端末、携帯電話機、デジタルスチルカメラ、デジタルビデオカメラなどの電子機器に搭載することができる。図 1 4 は、本開示を適用した光検出装置を搭載した電子機器の構成例を示す図である。

[0069] 図 1 4 において、電子機器 1 0 0 0 は、レンズ群を含む光学系 1 0 1 1 と、図 1 の固体撮像装置 1 0 に対応した機能を有する光検出素子 1 0 1 2 と、カメラ信号処理部であるDSP(Digital Signal Processor) 1 0 1 3 からなる撮

像系を有する。電子機器１０００においては、撮像系のほかに、CPU(Central Processing Unit)１０１０、フレームメモリ１０１４、ディスプレイ１０１５、操作系１０１６、補助メモリ１０１７、通信I/F１０１８、及び電源系１０１９がバス１０２０を介して相互に接続された構成となる。

[0070] CPU１０１０は、電子機器１０００の各部の動作を制御する。

[0071] 光学系１０１１は、被写体からの入射光（像光）を取り込んで、光検出素子１０１２の光検出面に結像させる。光検出素子１０１２は、光学系１０１１によって光検出面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。DSP１０１３は、光検出素子１０１２から出力される信号に対し、所定の信号処理を行う。

[0072] フレームメモリ１０１４は、撮像系で撮像された静止画又は動画の画像データを一時的に記録する。ディスプレイ１０１５は、液晶ディスプレイや有機ELディスプレイであり、撮像系で撮像された静止画又は動画を表示する。操作系１０１６は、ユーザによる操作に応じて、電子機器１０００が有する様々な機能についての操作指令を発する。

[0073] 補助メモリ１０１７は、フラッシュメモリ等の半導体メモリを含む記憶媒体であり、撮像系で撮像された静止画又は動画の画像データを記録する。通信I/F１０１８は、所定の通信方式に対応した通信モジュールを有し、撮像系で撮像された静止画又は動画の画像データを、ネットワークを介して他の機器に送信する。

[0074] 電源系１０１９は、CPU１０１０、DSP１０１３、フレームメモリ１０１４、ディスプレイ１０１５、操作系１０１６、補助メモリ１０１７、及び通信I/F１０１８を供給対象として、動作電源となる各種の電源を適宜供給する。

[0075] なお、本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0076] また、本開示は、以下のような構成をとることができる。

[0077] (1)

基板と、
前記基板に形成された複数の光電変換領域と、
前記光電変換領域に接続される第1導電型の浮遊拡散領域と、
前記基板に形成された溝部内に形成され、前記光電変換領域の間を分離する素子分離領域と、
前記浮遊拡散領域と前記素子分離領域との間に形成された第2導電型の領域と
を有し、
前記素子分離領域の少なくとも一部の領域は、負の固定電荷膜で覆われている
光検出装置。

(2)

前記浮遊拡散領域の側壁側に形成された前記第2導電型の領域の不純物の濃度は、前記浮遊拡散領域と接合界面を形成する第2導電型の他の領域の不純物の領域の濃度よりも高い
前記(1)に記載の光検出装置。

(3)

前記素子分離領域は、第1の素子分離領域と第2の素子分離領域からなり、
前記第1の素子分離領域の少なくとも一部の領域は、前記負の固定電荷膜で覆われている

前記(1)又は(2)に記載の光検出装置。

(4)

前記負の固定電荷膜は、前記第2の素子分離領域の中に入り込んでいる
前記(3)に記載の光検出装置。

(5)

前記第1の素子分離領域と前記第2の素子分離領域とは、溝部の深さと形

成方法が異なる素子分離構造を有する

前記（３）又は（４）に記載の光検出装置。

（６）

前記第１の素子分離領域と前記第２の素子分離領域は、同じ幅である

前記（３）乃至（５）のいずれかに記載の光検出装置。

（７）

前記第２の素子分離領域は、前記第１の素子分離領域に近づくほど幅が狭くなるテーパ形状を有する

前記（３）乃至（５）のいずれかに記載の光検出装置。

（８）

前記浮遊拡散領域は、前記第２導電型の領域が形成された側壁と反対側の側壁に、第２導電型の他の領域が形成される

前記（１）乃至（７）のいずれかに記載の光検出装置。

（９）

前記光電変換領域は、前記浮遊拡散領域に対し、前記素子分離領域と反対側の領域に形成される

前記（１）乃至（８）のいずれかに記載の光検出装置。

（１０）

前記浮遊拡散領域は、転送トランジスタを介して前記光電変換領域に接続される

前記（１）乃至（９）のいずれかに記載の光検出装置。

（１１）

前記浮遊拡散領域は、グローバルシャッタ方式で駆動される場合に、前記光電変換領域からの電荷を一時的に保持する

前記（１０）に記載の光検出装置。

（１２）

前記第１導電型は、 n 型であり、

前記第２導電型は、 p 型である

前記（１）乃至（１１）のいずれかに記載の光検出装置。

（１３）

基板と、

前記基板に形成された複数の光電変換領域と、

前記光電変換領域に接続される第１導電型の浮遊拡散領域と、

前記基板に形成された溝部内に形成され、前記光電変換領域の間を分離する素子分離領域と、

前記浮遊拡散領域と前記素子分離領域との間に形成された第２導電型の領域と

を有し、

前記素子分離領域の少なくとも一部の領域は、負の固定電荷膜で覆われている

光検出装置を搭載した電子機器。

符号の説明

[0078] １０ 固体撮像装置, ２１ 画素アレイ部, ２２ 垂直駆動部, ２
３ カラム信号処理部, ２４ 水平駆動部, ２５ 出力部, ２６ 制
御部, １００ 画素, １１０ 基板, １１１ ウェル領域, １１１
Ａ, １１１Ｂ, １１１Ｂ ｐ型領域, １１２ 浮遊拡散領域, １１３
素子分離領域, １１４ 負の固定電荷膜, １１５ 素子分離領域, １
１６ 素子分離領域, １５１ 光電変換領域, １０００ 電子機器,
１０１２ 光検出素子

請求の範囲

- [請求項1] 基板と、
前記基板に形成された複数の光電変換領域と、
前記光電変換領域に接続される第1導電型の浮遊拡散領域と、
前記基板に形成された溝部内に形成され、前記光電変換領域の間を
分離する素子分離領域と、
前記浮遊拡散領域と前記素子分離領域との間に形成された第2導電
型の領域と
を有し、
前記素子分離領域の少なくとも一部の領域は、負の固定電荷膜で覆
われている
光検出装置。
- [請求項2] 前記浮遊拡散領域の側壁側に形成された前記第2導電型の領域の不
純物の濃度は、前記浮遊拡散領域と接合界面を形成する第2導電型の
他の領域の不純物の領域の濃度よりも高い
請求項1に記載の光検出装置。
- [請求項3] 前記素子分離領域は、第1の素子分離領域と第2の素子分離領域か
らなり、
前記第1の素子分離領域の少なくとも一部の領域は、前記負の固定
電荷膜で覆われている
請求項1に記載の光検出装置。
- [請求項4] 前記負の固定電荷膜は、前記第2の素子分離領域の中に入り込んで
いる
請求項3に記載の光検出装置。
- [請求項5] 前記第1の素子分離領域と前記第2の素子分離領域とは、溝部の深
さと形成方法が異なる素子分離構造を有する
請求項3に記載の光検出装置。
- [請求項6] 前記第1の素子分離領域と前記第2の素子分離領域は、同じ幅であ

る

請求項 3 に記載の光検出装置。

[請求項7] 前記第 2 の素子分離領域は、前記第 1 の素子分離領域に近づくほど幅が狭くなるテーパ形状を有する

請求項 3 に記載の光検出装置。

[請求項8] 前記浮遊拡散領域は、前記第 2 導電型の領域が形成された側壁と反対側の側壁に、第 2 導電型の他の領域が形成される

請求項 1 に記載の光検出装置。

[請求項9] 前記光電変換領域は、前記浮遊拡散領域に対し、前記素子分離領域と反対側の領域に形成される

請求項 1 に記載の光検出装置。

[請求項10] 前記浮遊拡散領域は、転送トランジスタを介して前記光電変換領域に接続される

請求項 1 に記載の光検出装置。

[請求項11] 前記浮遊拡散領域は、グローバルシャッタ方式で駆動される場合に、前記光電変換領域からの電荷を一時的に保持する

請求項 10 に記載の光検出装置。

[請求項12] 前記第 1 導電型は、n 型であり、
前記第 2 導電型は、p 型である

請求項 1 に記載の光検出装置。

[請求項13] 基板と、

前記基板に形成された複数の光電変換領域と、

前記光電変換領域に接続される第 1 導電型の浮遊拡散領域と、

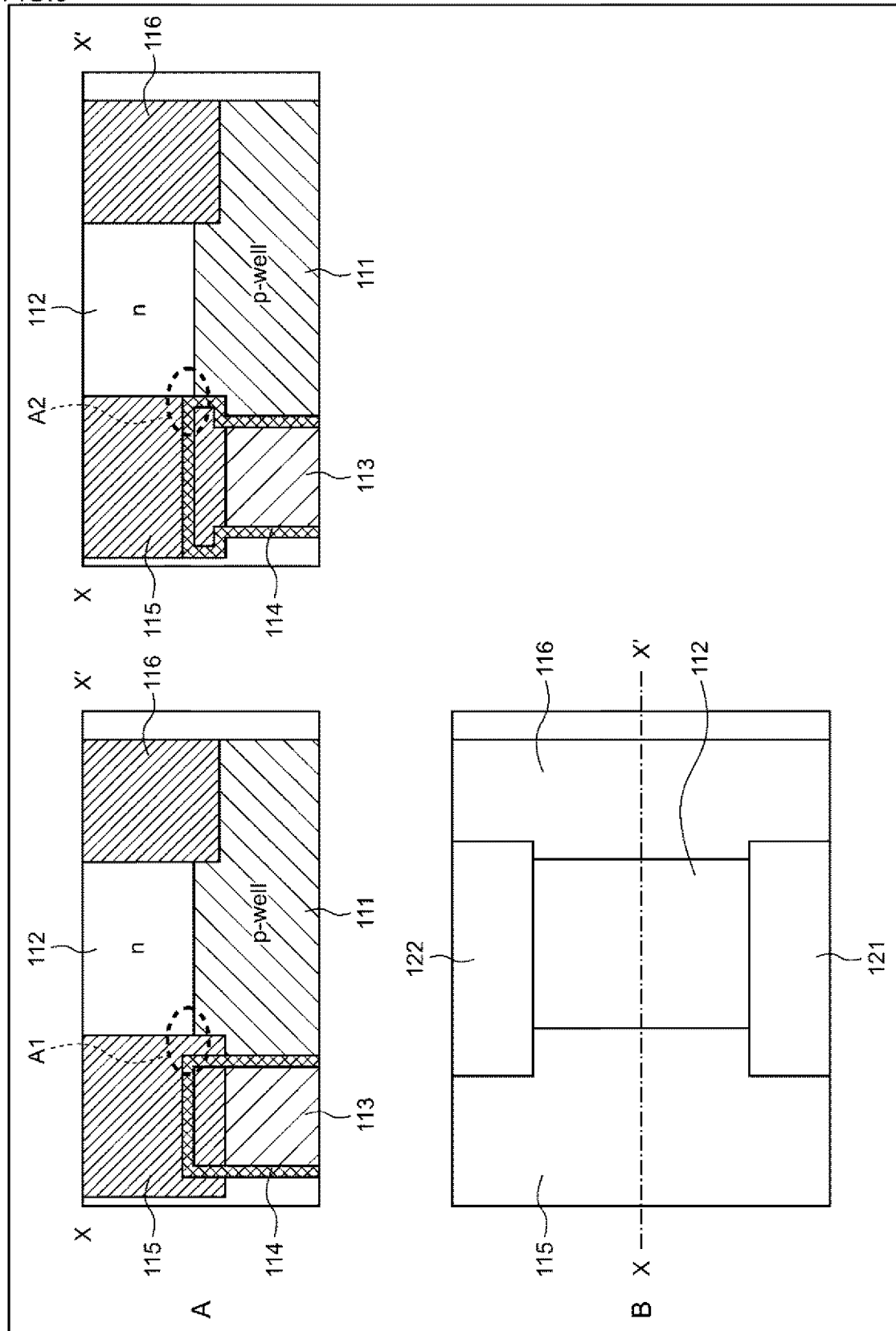
前記基板に形成された溝部内に形成され、前記光電変換領域の間を分離する素子分離領域と、

前記浮遊拡散領域と前記素子分離領域との間に形成された第 2 導電型の領域と

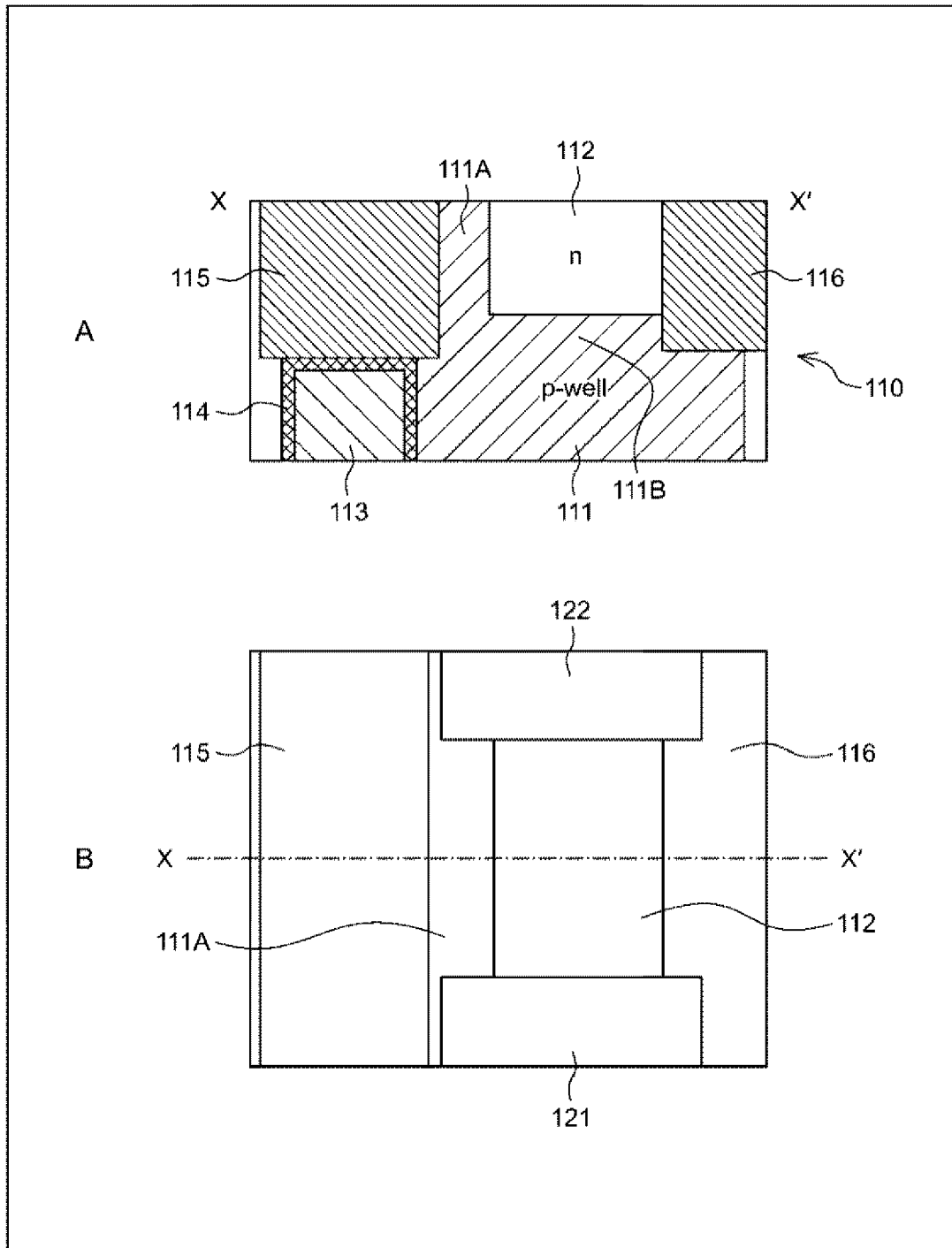
を有し、

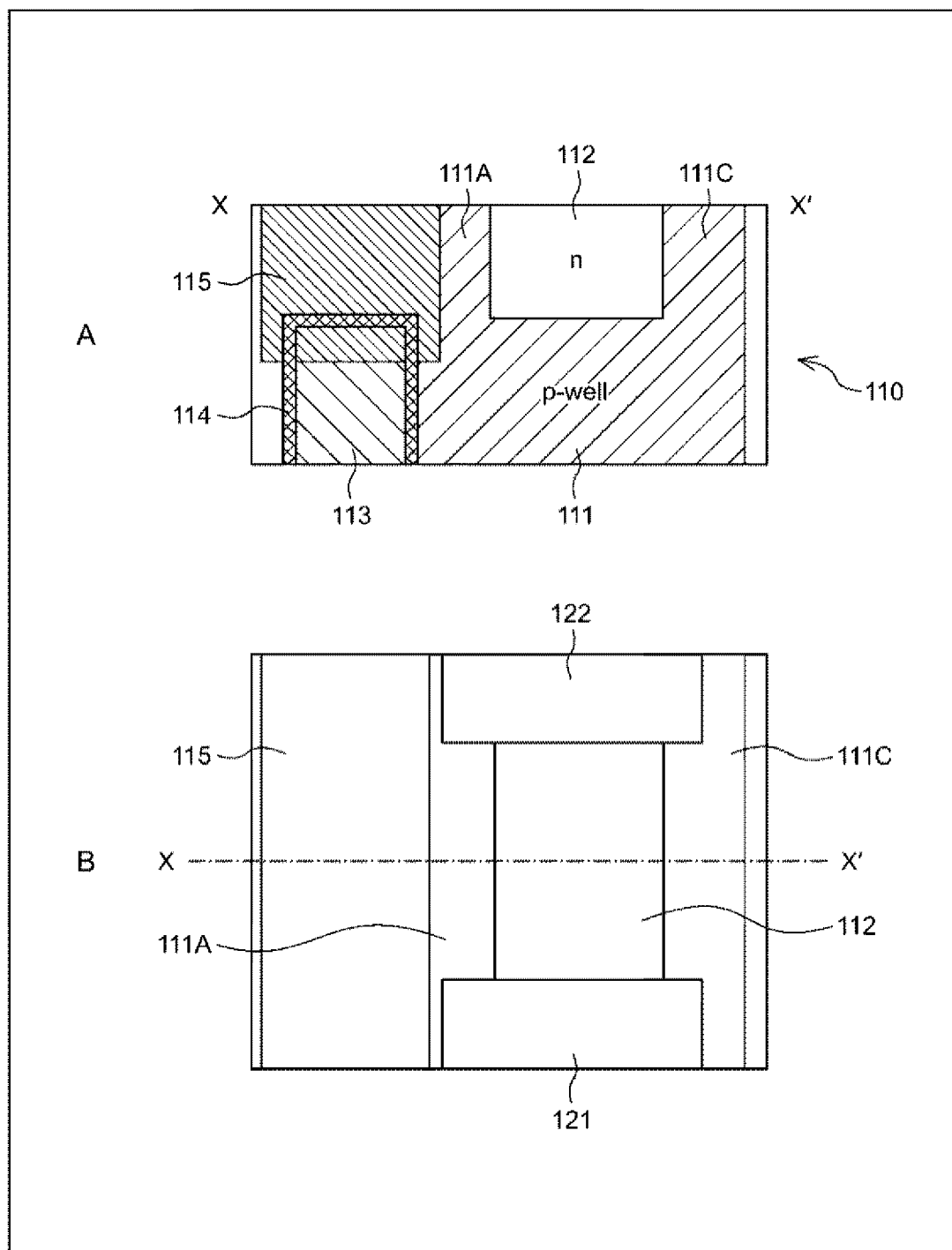
前記素子分離領域の少なくとも一部の領域は、負の固定電荷膜で覆われている

光検出装置を搭載した電子機器。

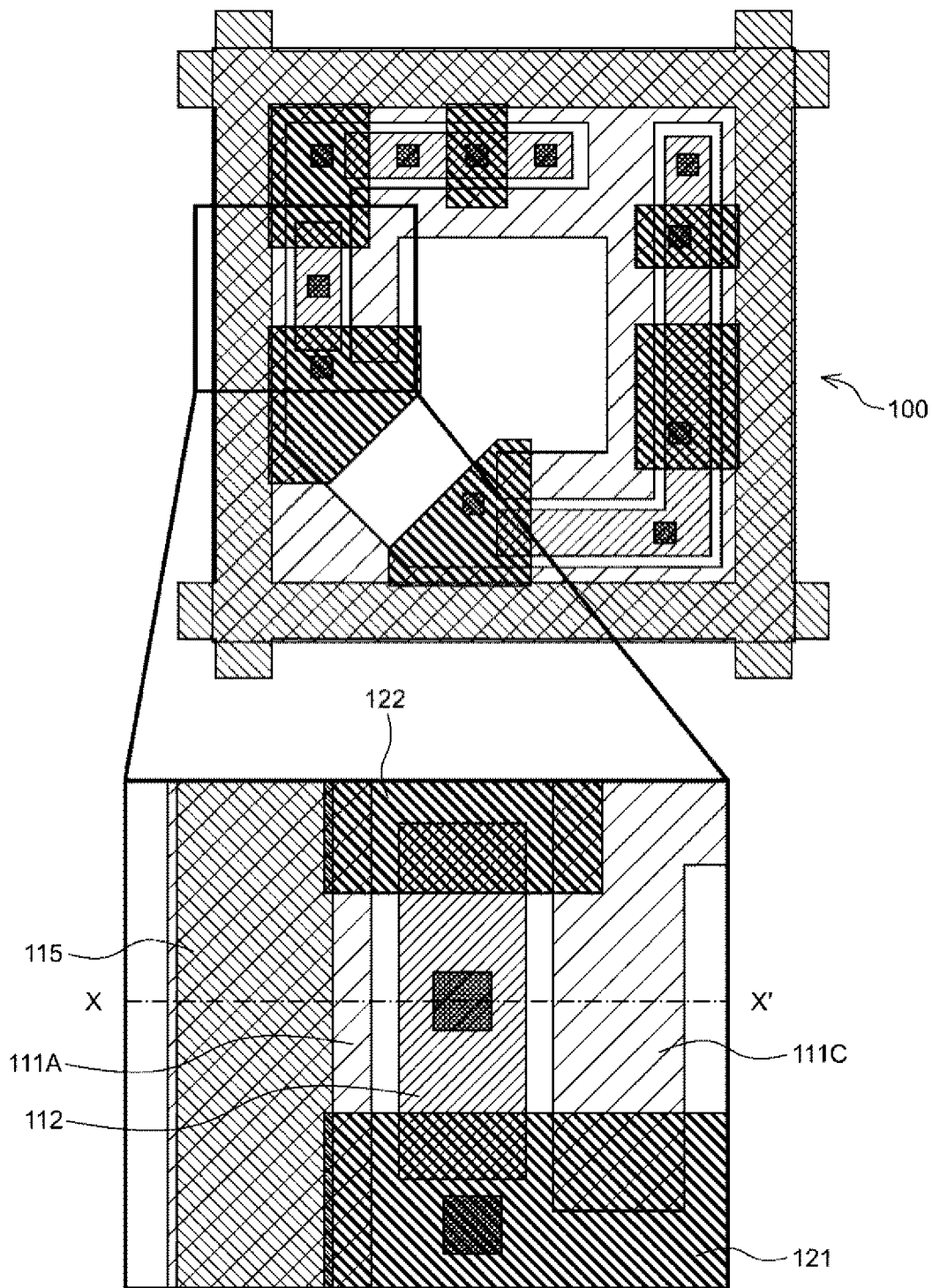
[図3]
FIG.3

[図4]
FIG.4

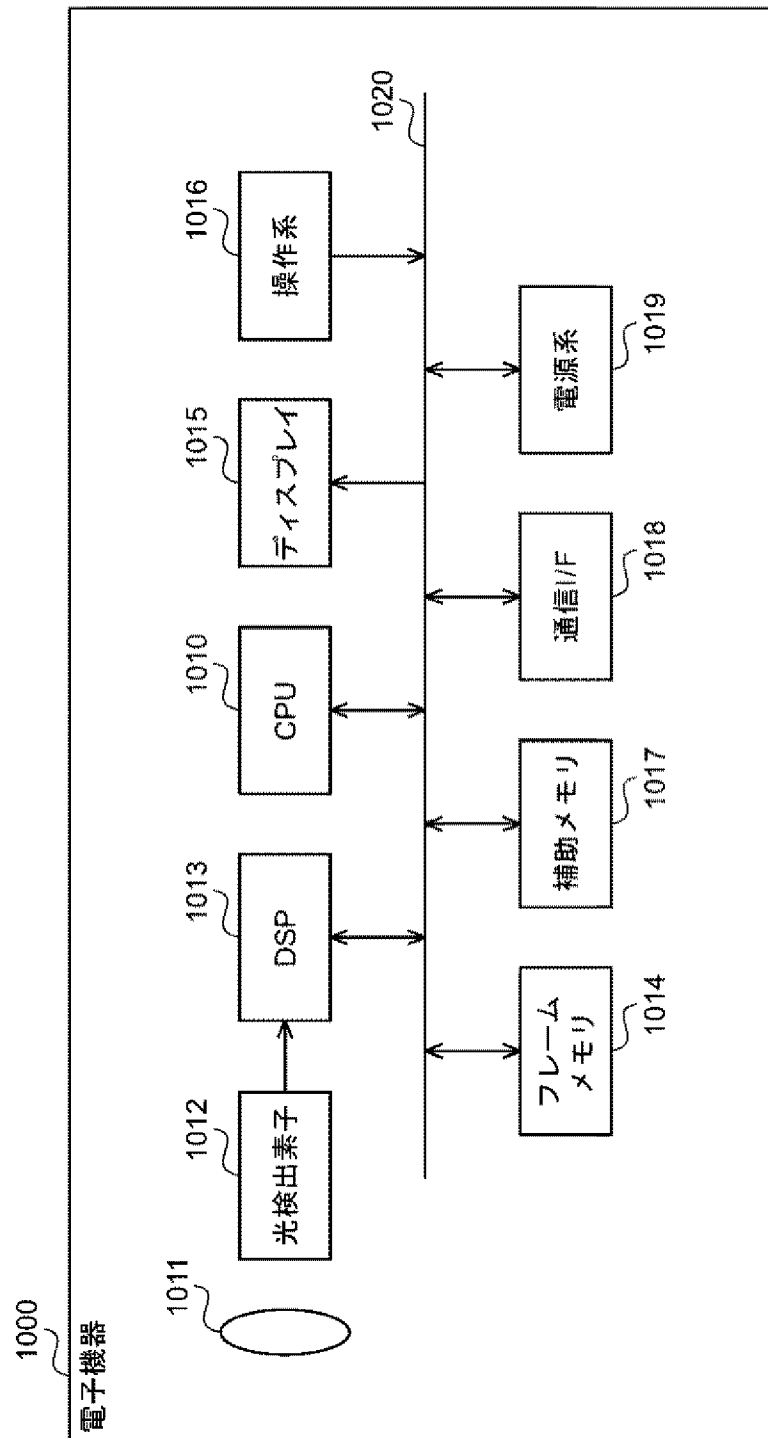


[図7]
FIG.7

[図11]
FIG.11



[図14]
FIG.14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/047777

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i

FI: H01L27/146 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2019-140251 A (CANON INC.) 22 August 2019 (2019-08-22) paragraphs [0011]-[0032], fig. 1-3	1-5, 7-10, 12, 13
Y		6, 11
Y	JP 2014-22448 A (TOSHIBA CORP.) 03 February 2014 (2014-02-03) fig. 10	6
Y	WO 2020/137334 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 02 July 2020 (2020-07-02) paragraphs [0016]-[0026], fig. 1, 2	11
A	JP 2016-18823 A (CANON INC.) 01 February 2016 (2016-02-01) entire text, all drawings	1-13
A	JP 2011-216639 A (SONY CORP.) 27 October 2011 (2011-10-27) entire text, all drawings	1-13
A	JP 2011-138905 A (TOSHIBA CORP.) 14 July 2011 (2011-07-14) entire text, all drawings	1-13

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

17 February 2022

Date of mailing of the international search report

01 March 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/047777**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-183661 A (CANON INC.) 05 October 2017 (2017-10-05) entire text, all drawings	1-13
A	JP 2015-162679 A (SAMSUNG ELECTRONICS CO., LTD.) 07 September 2015 (2015-09-07) entire text, all drawings	1-13
A	US 2013/0307040 A1 (SAMSUNG ELECTRONICS CO., LTD.) 21 November 2013 (2013-11-21) entire text, all drawings	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/047777

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2019-140251	A	22 August 2019	US 2019/0252425 A1 paragraphs [0021]-[0042], fig. 1-3 CN 110137189 A	
JP	2014-22448	A	03 February 2014	US 2014/0016012 A1 fig. 10 CN 103545325 A	
WO	2020/137334	A1	02 July 2020	(Family: none)	
JP	2016-18823	A	01 February 2016	(Family: none)	
JP	2011-216639	A	27 October 2011	US 2011/0242390 A1 entire text, all drawings CN 102208427 A KR 10-2011-0109894 A TW 201203529 A	
JP	2011-138905	A	14 July 2011	US 2011/0156186 A1 entire text, all drawings	
JP	2017-183661	A	05 October 2017	US 2017/0287955 A1 entire text, all drawings CN 107275352 A	
JP	2015-162679	A	07 September 2015	US 2015/0243694 A1 entire text, all drawings KR 10-2015-0101681 A CN 104882460 A TW 201543659 A	
US	2013/0307040	A1	21 November 2013	KR 10-2013-0128992 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i FI: H01L27/146 A		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2019-140251 A（キヤノン株式会社）22.08.2019（2019-08-22） [0011] - [0032]，図1-3	1-5, 7-10, 12, 13
Y		6, 11
Y	JP 2014-22448 A（株式会社東芝）03.02.2014（2014-02-03） 図10	6
Y	WO 2020/137334 A1（ソニーセミコンダクタソリューションズ株式会社）02.07.2020 （2020-07-02） [0016] - [0026]，図1，2	11
A	JP 2016-18823 A（キヤノン株式会社）01.02.2016（2016-02-01） 全文，全図	1-13
A	JP 2011-216639 A（ソニー株式会社）27.10.2011（2011-10-27） 全文，全図	1-13
A	JP 2011-138905 A（株式会社東芝）14.07.2011（2011-07-14） 全文，全図	1-13
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 17.02.2022		国際調査報告の発送日 01.03.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 柴山 将隆 5F 3035 電話番号 03-3581-1101 内線 3559

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-183661 A (キヤノン株式会社) 05.10.2017 (2017 - 10 - 05) 全文, 全図	1-13
A	JP 2015-162679 A (三星電子株式会社) 07.09.2015 (2015 - 09 - 07) 全文, 全図	1-13
A	US 2013/0307040 A1 (SAMSUNG ELECTRONICS CO., LTD.) 21.11.2013 (2013 - 11 - 21) 全文, 全図	1-13

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/047777

引用文献			公表日	パテントファミリー文献	公表日
JP	2019-140251	A	22.08.2019	US 2019/0252425 A1 [0021]-[0042], Figs.1-3 CN 110137189 A	
JP	2014-22448	A	03.02.2014	US 2014/0016012 A1 Fig.10 CN 103545325 A	
WO	2020/137334	A1	02.07.2020	(ファミリーなし)	
JP	2016-18823	A	01.02.2016	(ファミリーなし)	
JP	2011-216639	A	27.10.2011	US 2011/0242390 A1 全文, 全図 CN 102208427 A KR 10-2011-0109894 A TW 201203529 A	
JP	2011-138905	A	14.07.2011	US 2011/0156186 A1 全文, 全図	
JP	2017-183661	A	05.10.2017	US 2017/0287955 A1 全文, 全図 CN 107275352 A	
JP	2015-162679	A	07.09.2015	US 2015/0243694 A1 全文, 全図 KR 10-2015-0101681 A CN 104882460 A TW 201543659 A	
US	2013/0307040	A1	21.11.2013	KR 10-2013-0128992 A	