



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098241  
(43) 공개일자 2008년11월07일

(51) Int. Cl.

H03M 13/03 (2006.01) H03M 13/00 (2006.01)

(21) 출원번호 10-2007-0043669

(22) 출원일자 2007년05월04일

심사청구일자 2007년05월04일

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

공준진

경기도 용인시 수지구 풍덕천2동 삼성7차아파트  
703동 301호

송승환

인천시 서구 석남3동 553-9번지

(뒷면에 계속)

(74) 대리인

특허법인무한

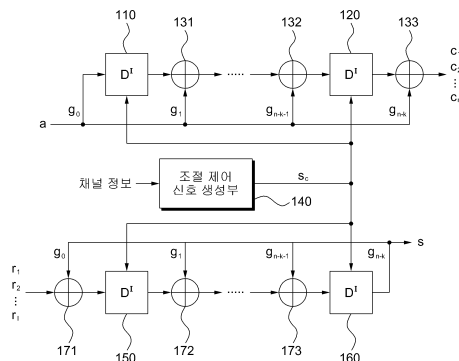
전체 청구항 수 : 총 26 항

(54) 오류 제어 코드 장치 및 그 방법

(57) 요약

오류 제어 코드 장치 및 그 방법이 개시된다. 본 발명의 일 실시예에 따른 오류 제어 코드 장치는 채널 정보를 기초로 ECC(error control code) 조절 제어 신호를 생성하는 조절 제어 신호 생성부, 각각 입력되는 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들(storage elements)을 통해 출력하는 복수 개의 ECC 인코딩 조절부들 및 상기 ECC 인코딩 조절부들로부터 출력되는 데이터들을 이용하여 인코딩 입력 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 서브 데이터들로 인코딩하는 인코딩 수행부를 포함하는 것을 특징으로 한다.

대표도 - 도1



(72) 발명자

**이영환**

경기도 수원시 영통구 영통동 황골마을2단지 쌍용  
아파트 249동801호

**채동혁**

서울시 관악구 신림9동 건영3차아파트 1동 405호

**조경래**

경기도 용인시 기흥구 서천동 SK아파트 103동 120  
2호

**조남필**

서울시 노원구 상계동 406-3번지 세명빌라 303호

**박성정**

대전시 유성구 지족동 열매마을6단지 401-711 608  
동 604호

**강동구**

경기도 성남시 분당구 이매동 동부아파트 501동  
704호

---

## 특허청구의 범위

### 청구항 1

채널 정보를 기초로 ECC(error control code) 조절 제어 신호를 생성하는 조절 제어 신호 생성부;  
 각각 입력되는 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들(storage elements)을 통해 출력하는 복수 개의 ECC 인코딩 조절부들; 및  
 상기 ECC 인코딩 조절부들로부터 출력되는 데이터들을 이용하여 인코딩 입력 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 서브 데이터들로 인코딩하는 인코딩 수행부를 포함하는 것을 특징으로 하는 오류 제어 코드 장치.

### 청구항 2

제1항에 있어서,  
 상기 ECC 인코딩 조절부들 각각은  
 직렬로 연결된 I 개의 기억 소자들을 포함하고, 상기 입력되는 데이터를 상기 I 개의 기억 소자들 중 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력하는 것을 특징으로 하는 오류 제어 코드 장치.

### 청구항 3

제2항에 있어서,  
 상기 ECC 인코딩 조절부들 각각은  
 상기 ECC 조절 제어 신호를 기초로 상기 I 개의 기억 소자들의 출력 데이터들 중 어느 하나를 출력하는 출력 데이터 선택부를 더 포함하는 것을 특징으로 하는 오류 제어 코드 장치.

### 청구항 4

제3항에 있어서,  
 상기 출력 데이터 선택부는  
 상기 ECC 조절 제어 신호를 선택 신호로 하여 상기 I 개의 기억 소자들의 출력 데이터들 중 상기 선택 신호에 상응하는 어느 하나를 출력하는 멀티플렉서(multiplexer)인 것을 특징으로 하는 오류 제어 코드 장치.

### 청구항 5

제1항에 있어서,  
 상기 채널 정보는  
 채널측 비트 에러율(BER)인 것을 특징으로 하는 오류 제어 코드 장치.

### 청구항 6

제1항에 있어서,  
 상기 채널 정보는  
 채널측 수신신호강도(RSSI: Received Signal Strength Indication)인 것을 특징으로 하는 오류 제어 코드 장치.

### 청구항 7

제1항에 있어서,  
 상기 채널 정보는

사용자에 의해 입력된 입력 신호인 것을 특징으로 하는 오류 제어 코드 장치.

**청구항 8**

제1항에 있어서,

상기 채널 정보는

메모리에 대한 채널 정보인 것을 특징으로 하는 오류 제어 코드 장치.

**청구항 9**

채널 정보를 기초로 ECC 조절 제어 신호를 생성하는 조절 제어 신호 생성부;

각각 입력되는 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력하는 복수 개의 ECC 디코딩 조절부들; 및

상기 ECC 디코딩 조절부들로부터 출력되는 데이터들을 이용하여 상기 ECC 조절 제어 신호에 상응하는 개수의 디코딩 입력 데이터들을 하나의 출력 데이터로 디코딩하는 디코딩 수행부

를 포함하는 것을 특징으로 하는 오류 제어 코드 장치.

**청구항 10**

제9항에 있어서,

상기 ECC 디코딩 조절부들 각각은

직렬로 연결된 I 개의 기억 소자들을 포함하고, 상기 입력되는 데이터를 상기 I 개의 기억 소자들 중 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력하는 것을 특징으로 하는 오류 제어 코드 장치.

**청구항 11**

제10항에 있어서,

상기 ECC 디코딩 조절부들 각각은

상기 ECC 조절 제어 신호를 기초로 상기 I 개의 기억 소자들의 출력 데이터들 중 어느 하나를 출력하는 출력 데이터 선택부

를 포함하는 것을 특징으로 하는 오류 제어 코드 장치.

**청구항 12**

제11항에 있어서,

상기 출력 데이터 선택부는

상기 ECC 조절 제어 신호를 선택 신호로 하여 상기 I 개의 기억 소자들의 출력 데이터들 중 상기 선택 신호에 상응하는 어느 하나를 출력하는 멀티플렉서인 것을 특징으로 하는 오류 제어 코드 장치.

**청구항 13**

제9항에 있어서,

상기 채널 정보는

채널측 비트 에러율인 것을 특징으로 하는 오류 제어 코드 장치.

**청구항 14**

제9항에 있어서,

상기 채널 정보는

채널측 수신신호강도인 것을 특징으로 하는 오류 제어 코드 장치.

**청구항 15**

제9항에 있어서,  
 상기 채널 정보는  
 사용자에 의해 입력된 입력 신호인 것을 특징으로 하는 오류 제어 코드 장치.

**청구항 16**

제9항에 있어서,  
 상기 채널 정보는  
 메모리에 대한 채널 정보인 것을 특징으로 하는 오류 제어 코드 장치.

**청구항 17**

채널 정보를 기초로 ECC 조절 제어 신호를 생성하는 조절 제어 신호 생성부;  
 각각 입력되는 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력하는 복수 개의 ECC 인코딩 조절부들 및 복수 개의 ECC 디코딩 조절부들;  
 상기 ECC 인코딩 조절부들로부터 출력되는 데이터들을 이용하여 인코딩 입력 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 서브 데이터들로 인코딩하는 인코딩 수행부; 및  
 상기 ECC 디코딩 조절부들로부터 출력되는 데이터들을 이용하여 상기 ECC 조절 제어 신호에 상응하는 개수의 디코딩 입력 데이터들을 하나의 출력 데이터로 디코딩하는 디코딩 수행부  
 를 포함하는 것을 특징으로 하는 오류 제어 코드 장치.

**청구항 18**

제17항에 있어서,  
 상기 ECC 인코딩 조절부들 및 상기 ECC 디코딩 조절부들 각각은  
 직렬로 연결된 I 개의 기억 소자들을 포함하고, 상기 입력되는 데이터를 상기 I 개의 기억 소자들 중 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력하는 것을 특징으로 하는 오류 제어 코드 장치.

**청구항 19**

제18항에 있어서,  
 상기 ECC 인코딩 조절부들 및 상기 ECC 디코딩 조절부들 각각은  
 상기 ECC 조절 제어 신호를 기초로 상기 I 개의 기억 소자들의 출력 데이터들 중 어느 하나를 출력하는 출력 데이터 선택부  
 를 포함하는 것을 특징으로 하는 오류 제어 코드 장치.

**청구항 20**

제17항에 있어서,  
 상기 채널 정보는  
 채널측 비트 에러율인 것을 특징으로 하는 오류 제어 코드 장치.

**청구항 21**

제15항에 있어서,  
 상기 채널 정보는  
 채널측 수신신호강도인 것을 특징으로 하는 오류 제어 코드 장치.

**청구항 22**

제17항에 있어서,  
 상기 채널 정보는  
 사용자에 의해 입력된 입력 신호인 것을 특징으로 하는 오류 제어 코드 장치.

**청구항 23**

채널 정보를 기초로 ECC 조절 제어 신호를 생성하는 단계;  
 각각 입력되는 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력하여 복수 개의 ECC 인코딩 조절 데이터들을 생성하는 단계; 및  
 상기 복수 개의 ECC 인코딩 조절 데이터들을 이용하여 인코딩 입력 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 서브 데이터들로 인코딩하는 단계를 포함하는 것을 특징으로 하는 오류 제어 코드 방법.

**청구항 24**

채널 정보를 기초로 ECC 조절 제어 신호를 생성하는 단계;  
 각각 입력되는 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력하여 복수 개의 ECC 디코딩 조절 데이터들을 생성하는 단계; 및  
 상기 복수 개의 ECC 디코딩 조절 데이터들을 이용하여 상기 ECC 조절 제어 신호에 상응하는 개수의 디코딩 입력 데이터들을 하나의 출력 데이터로 디코딩하는 단계를 포함하는 것을 특징으로 하는 오류 제어 코드 방법.

**청구항 25**

채널 정보를 기초로 ECC 조절 제어 신호를 생성하는 단계;  
 각각 입력되는 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력하여 복수 개의 ECC 인코딩 조절 데이터들 및 복수 개의 ECC 디코딩 조절 데이터들을 생성하는 단계;  
 상기 복수 개의 ECC 인코딩 조절 데이터들을 이용하여 인코딩 입력 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 서브 데이터들로 인코딩하는 단계; 및  
 상기 복수 개의 ECC 디코딩 조절 데이터들을 이용하여 상기 ECC 조절 제어 신호에 상응하는 개수의 디코딩 입력 데이터들을 하나의 출력 데이터로 디코딩하는 단계를 포함하는 것을 특징으로 하는 오류 제어 코드 방법.

**청구항 26**

제23항 내지 제25항 중 어느 하나의 항의 방법을 실행시키기 위한 프로그램을 기록한 컴퓨터 판독 가능한 기록 매체.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

<11> 본 발명은 오류 제어 코드(ECC: error control code)에 관한 것으로, 더욱 상세하게는 I-인터리브드 코딩 스킴(I-interleaved coding scheme)을 이용하여 채널에서 발생하는 오류 수준에 따라 기억 소자들의 개수를 조절하여 ECC 성능을 조절할 수 있는 오류 제어 코드 장치 및 그 방법에 관한 것이다.

- <12> 일반적으로 채널에서 발생하는 오류 수준이 다를 경우 오류 수준에 따라 최적화된 ECC 구조를 구현한다.
- <13> 즉, 채널에서 발생하는 오류 수준이 낮은 경우 오류 정정 능력이 낮은 간단한 구조의 ECC로서 원하는 수준의 성능을 구현할 수 있지만, 채널에서 발생하는 오류 수준이 높은 경우에는 원하는 수준의 성능을 구현하기 위하여 오류 정정 능력이 높은 복잡도의 수준이 높은 ECC 구조가 필요하다.
- <14> 한편, 일반적으로 인터리빙 수준이 높은 코딩 스킴(coding scheme)을 이용할수록 오류 정정 능력이 높아지지만 복잡도와 레이턴시(latency)가 증가하고 코드 효율(code rate)이 낮아지며, 인터리빙 수준이 낮은 코딩 스킴을 이용할수록 오류 정정 능력이 낮아지지만 복잡도와 레이턴시가 감소하고 코드 효율이 높아진다.
- <15> 따라서, 일반적으로 채널에서 발생하는 오류 수준이 높은 경우에는 인터리빙 수준이 높은 코딩 스킴을 사용하고, 채널에서 발생하는 오류 수준이 낮은 경우에는 인터리빙 수준이 낮은 코딩 스킴을 사용하는 것이 바람직하다.
- <16> 하지만, 채널에서 발생하는 오류 수준이 높은 경우에 맞추어 인터리빙 수준을 고정하여 사용할 경우에는 상황에 따라 달라지는 채널의 오류 수준과 관계없이 높은 수준의 인터리브드 코드 스킴을 이용하여 ECC 연산을 수행하기 때문에 상황에 따라 채널의 오류 수준이 낮아질 경우 불필요하게 레이턴시(latency)가 길어지고, 불필요한 추가 데이터(redundancy data)의 전송이 요구됨으로써 전체 코드 길이에 대한 정보량의 비율, 즉 코드 효율(code rate)이 불필요하게 줄어들게 된다.
- <17> 물론, 채널측에서 발생하는 오류 수준이 낮은 경우 낮은 수준의 인터리브드 코드 스킴을 이용한 ECC 구조를 사용하고, 채널측에서 발생하는 오류 수준이 높은 경우 높은 수준의 인터리브드 코딩 스킴을 이용한 ECC 구조를 사용할 수 있도록 여러 개의 구조를 함께 구성할 수 있지만, 이 경우에는 회로의 복잡도가 높아지게 된다.
- <18> 한편, 일반적으로 인터리브드 코딩 스킴을 사용할 경우 연속적인 비트 에러(burst error)의 정정 능력이 높아짐은 널리 알려져 있는 사실이다.

**발명이 이루고자 하는 기술적 과제**

- <19> 본 발명은 상술한 바와 같은 종래기술의 문제점을 해결하기 위해 안출된 것으로서, I-인터리브드 코딩 스킴을 이용한 제너레이터 폴리노미얼(generator polynomial)로부터 채널에서 발생한 오류 수준에 따라 기억 소자들의 개수를 조절하여 인코딩 및 디코딩의 레이턴시를 줄이는 것을 목적으로 한다.
- <20> 또한, 본 발명은 채널에서 발생한 오류 수준에 따라 기억 소자들의 개수를 조절하여 코드 효율(code rate)을 향상시키는 것을 목적으로 한다.
- <21> 또한, 본 발명은 I-인터리브드 코딩 스킴을 이용하여 채널에서 발생한 오류 수준에 따라 ECC 성능을 조절하면서 복잡도가 낮은 ECC 구조를 제공하는 것을 목적으로 한다.
- <22> 또한, 본 발명은 제품의 반복 사용 횟수나 사용 시간에 따라 채널의 오류 수준이 변하는 경우 오류 수준의 변화에 따라 ECC 성능을 조절할 수 있는 최적의 ECC 구조를 제공하는 것을 목적으로 한다.
- <23> 또한, 본 발명은 채널로서 메모리가 사용될 경우 메모리 셀의 SLC(single level cell) 및 MLC(multi level cell) 동작 방식에 의한 채널 오류 수준의 변화에 따라 ECC 성능을 조절할 수 있는 최적의 ECC 구조를 제공하는 것을 목적으로 한다.
- <24> 또한, 본 발명은 채널로서 MLC 동작 방식에 의한 메모리가 사용될 경우 MSB(most significant bit), LSB(least significant bit) 등의 사용 비트에 대한 오류 수준의 변화에 따라 ECC 성능을 조절할 수 있는 최적의 ECC 구조를 제공하는 것을 목적으로 한다.

**발명의 구성 및 작용**

- <25> 상기의 목적을 달성하고 종래기술의 문제점을 해결하기 위하여, 본 발명의 일 실시예에 따른 오류 제어 코드 장치는 채널 정보를 기초로 ECC(error control code) 조절 제어 신호를 생성하는 조절 제어 신호 생성부, 각각 입력되는 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들(storage elements)을 통해 출력하는 복수 개의 ECC 인코딩 조절부들 및 상기 ECC 인코딩 조절부들로부터 출력되는 데이터들을 이용하여 인코딩 입력 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 서브 데이터들로 인코딩하는 인코딩 수행부를 포함하는 것을 특징으로 한다.

- <26> 이때, 상기 ECC 인코딩 조절부들 각각은 직렬로 연결된 I 개의 기억 소자들을 포함하고, 상기 입력되는 데이터를 상기 I 개의 기억 소자들 중 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력할 수 있다.
- <27> 이때, 상기 ECC 인코딩 조절부들 각각은 상기 ECC 조절 제어 신호를 기초로 상기 I 개의 기억 소자들의 출력 데이터들 중 어느 하나를 출력하는 출력 데이터 선택부를 더 포함할 수 있다.
- <28> 이때, 상기 채널 정보는 채널측 비트 에러율(BER), 채널측 수신신호강도(RSSI: Received Signal Strength Indication) 및 사용자에게 의해 입력된 입력 신호일 수 있다.
- <29> 이때, 상기 채널 정보는 메모리에 대한 채널 정보일 수 있다.
- <30> 본 발명의 다른 일 실시예에 따른 오류 제어 코드 장치는 채널 정보를 기초로 ECC 조절 제어 신호를 생성하는 조절 제어 신호 생성부, 각각 입력되는 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력하는 복수 개의 ECC 디코딩 조절부들 및 상기 ECC 디코딩 조절부들로부터 출력되는 데이터들을 이용하여 상기 ECC 조절 제어 신호에 상응하는 개수의 디코딩 입력 데이터들을 하나의 출력 데이터로 디코딩하는 디코딩 수행부를 포함하는 것을 특징으로 한다.
- <31> 본 발명의 또 다른 일 실시예에 따른 오류 제어 코드 장치는 채널 정보를 기초로 ECC 조절 제어 신호를 생성하는 조절 제어 신호 생성부, 각각 입력되는 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력하는 복수 개의 ECC 인코딩 조절부들 및 복수 개의 ECC 디코딩 조절부들, 상기 ECC 인코딩 조절부들로부터 출력되는 데이터들을 이용하여 인코딩 입력 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 서브 데이터들로 인코딩하는 인코딩 수행부 및 상기 ECC 디코딩 조절부들로부터 출력되는 데이터들을 이용하여 상기 ECC 조절 제어 신호에 상응하는 개수의 디코딩 입력 데이터들을 하나의 출력 데이터로 디코딩하는 디코딩 수행부를 포함하는 것을 특징으로 한다.
- <32> 본 발명의 일 실시예에 따른 오류 제어 코드 방법은 채널 정보를 기초로 ECC 조절 제어 신호를 생성하는 단계, 각각 입력되는 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력하여 복수 개의 ECC 인코딩 조절 데이터들을 생성하는 단계 및 상기 복수 개의 ECC 인코딩 조절 데이터들을 이용하여 인코딩 입력 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 서브 데이터들로 인코딩하는 단계를 포함하는 것을 특징으로 한다.
- <33> 본 발명의 다른 일 실시예에 따른 오류 제어 코드 방법은 채널 정보를 기초로 ECC 조절 제어 신호를 생성하는 단계, 각각 입력되는 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력하여 복수 개의 ECC 디코딩 조절 데이터들을 생성하는 단계 및 상기 복수 개의 ECC 디코딩 조절 데이터들을 이용하여 상기 ECC 조절 제어 신호에 상응하는 개수의 디코딩 입력 데이터들을 하나의 출력 데이터로 디코딩하는 단계를 포함하는 것을 특징으로 한다.
- <34> 본 발명의 또 다른 일 실시예에 따른 오류 제어 코드 방법은 채널 정보를 기초로 ECC 조절 제어 신호를 생성하는 단계, 각각 입력되는 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력하여 복수 개의 ECC 인코딩 조절 데이터들 및 복수 개의 ECC 디코딩 조절 데이터들을 생성하는 단계, 상기 복수 개의 ECC 인코딩 조절 데이터들을 이용하여 인코딩 입력 데이터를 상기 ECC 조절 제어 신호에 상응하는 개수의 서브 데이터들로 인코딩하는 단계 및 상기 복수 개의 ECC 디코딩 조절 데이터들을 이용하여 상기 ECC 조절 제어 신호에 상응하는 개수의 디코딩 입력 데이터들을 하나의 출력 데이터로 디코딩하는 단계를 포함하는 것을 특징으로 한다.
- <35> 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.
- <36> 도 1은 본 발명의 일 실시예에 따른 오류 제어 코드 장치에 대한 블록도이다.
- <37> 도 1을 참조하면, 오류 제어 코드 장치는 조절 제어 신호 생성부(140), 복수 개의 ECC 인코딩 조절부들(110, 120), 복수 개의 ECC 디코딩 조절부들(150, 160), 인코딩 수행부 및 디코딩 수행부를 포함한다.
- <38> 조절 제어 신호 생성부(140)는 채널 정보를 기초로 ECC 조절 제어 신호( $S_c$ )를 생성한다.
- <39> 이때, 채널 정보는 채널측 비트 에러율(BER), 수신신호강도(RSSI: Received Signal Strength Indication) 및 사용자에게 의해 입력된 사용자 입력 신호 등이 될 수 있는데, 채널 정보를 이에 한정 하지 않고 채널 오류 수준을 판단할 수 있는 모든 정보를 포함할 수 있다.

- <40> 여기서, 채널은 통신 채널 및 스토리지 채널 등이 될 수 있고, 채널에 대한 일 예로는 무선 구간, 하드 디스크(HDD), 콤팩트 디스크(CD), 디지털 비디오 디스크(DVD) 및 메모리 등이 될 수 있는데, 본 발명에서의 채널은 메모리인 것이 가장 바람직하다.
- <41> 이때, 메모리는 SLC(single level cell) 방식의 메모리 및 MLC(multi-level cell) 방식의 메모리를 포함할 수 있다.
- <42> 일 예로, 채널로서 데이터 저장 장치가 사용될 경우 채널 정보는 저장 장치의 내구성(endurance) 및 저장되어 있는 데이터의 지속성(retention) 등의 신뢰성(reliability)일 수 있다.
- <43> 다른 일 예로, 채널로서 메모리가 사용될 경우 채널 정보는 단위 메모리 셀에 저장할 수 있는 데이터의 양에 따라서 SLC 방식의 메모리인지 또는 MLC 방식의 메모리인지 등을 포함할 수 있다.
- <44> 또 다른 일 예로, 채널로서 MLC 방식의 메모리가 사용될 경우 채널 정보는 메모리에 저장되는 데이터의 비트(bit) 정보일 수 있다. 여기서, MLC 메모리에 저장되는 데이터의 비트 정보는 MSB(most significant bit) 또는 LSB(least significant bit) 등을 포함할 수 있다.
- <45> 이때, 조절 제어 신호 생성부(140)는 ECC 인코딩 조절부들(110, 120) 및 ECC 디코딩 조절부들(150, 160)에 포함된 기억 소자들(storage elements)의 출력 신호들 중 어느 하나를 선택하는 ECC 조절 제어 신호를 생성할 수 있다.
- <46> 이때, 조절 제어 신호 생성부(140)는 ECC 인코딩 조절부들(110, 120)의 기억 소자들의 출력 신호들 중 어느 하나를 선택하는 ECC 조절 제어 신호 및 ECC 디코딩 조절부들(150, 160)의 기억 소자들의 출력 신호들 중 어느 하나를 선택하는 ECC 조절 제어 신호를 각각 생성할 수 있다. 여기서, ECC 디코딩 조절부들(150, 160)의 기억 소자들의 출력 신호들 중 어느 하나를 선택하는 ECC 조절 제어 신호는 디코딩이 수행되는 복수 개의 데이터들이 특정 데이터의 인코딩에 의해 생성된 경우 특정 데이터의 인코딩 시 ECC 인코딩 조절부들(110, 120)의 기억 소자들의 출력 신호들 중 어느 하나를 선택하는 ECC 조절 제어 신호와 동일한 것이 바람직하며, 이는 이 기술 분야에 종사하는 당업자에게 있어서 자명하다. 예컨대, A라는 데이터가 복수 개의 기억 소자들 중 2 개의 기억 소자들을 통해 출력된 신호를 이용하여 C1, C2의 서브 데이터들로 인코딩된 경우 조절 제어 신호 생성부(140)는 인코딩된 데이터들 C1, C2를 디코딩하기 위해 기억 소자들의 출력 신호들 중 2 개의 기억 소자들을 통해 출력된 신호를 선택하는 ECC 조절 제어 신호를 생성하여 ECC 디코딩 조절부들(150, 160)로 출력한다.
- <47> 이때, 조절 제어 신호 생성부(140)는 ECC 인코딩 조절부들(110, 120)의 기억 소자들의 출력 신호들 중 선택될 어느 하나에 대한 정보 및 ECC 디코딩 조절부들(150, 160)의 기억 소자들의 출력 신호들 중 선택될 어느 하나에 대한 정보를 포함하는 ECC 조절 제어 신호를 생성할 수 있다. 예컨대, 조절 제어 신호 생성부(140)는 ECC 인코딩 조절부들(110, 120)의 기억 소자들의 출력 신호들 중 선택될 어느 하나를 나타내는 비트수 예를 들어, 4비트와 ECC 디코딩 조절부들(150, 160)의 기억 소자들의 출력 신호들 중 선택될 어느 하나를 나타내는 비트수 예를 들어, 4비트가 더해진 8비트의 ECC 조절 제어 신호를 생성한다.
- <48> 복수 개의 ECC 인코딩 조절부들(110, 120) 각각은 I 개의 기억 소자들을 포함하고 조절 제어 신호 생성부(140)에 의해 생성된 ECC 조절 제어 신호( $S_c$ )를 기초로 입력되는 데이터를 I 개의 기억 소자들 중 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력한다.
- <49> 이때, 복수 개의 ECC 인코딩 조절부들(110, 120) 각각은 ECC 조절 제어 신호를 기초로 직렬로 연결된 I 개의 기억 소자들의 출력 데이터 중 어느 하나를 출력할 수 있다.
- <50> 이때, 복수 개의 ECC 인코딩 조절부들(110, 120) 각각은 입력 데이터(a)에 기 결정된 웨이트(weight), 예를 들어,  $g_0$  내지  $g_{n-k-1}$  중 어느 하나가 곱해진 데이터 또는 곱해진 데이터와 ECC 인코딩 조절부들(110, 120)의 출력 데이터가 더해진 데이터를 입력받고, ECC 조절 제어 신호를 기초로 입력받은 데이터에 대한 I 개의 기억 소자들의 출력 신호들 중 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력된 신호를 출력할 수 있다. 여기서, 웨이트는 0 또는 1인 것이 바람직하다.
- <51> 복수 개의 ECC 디코딩 조절부들(150, 160) 각각은 I 개의 기억 소자들을 포함하고 조절 제어 신호 생성부(140)에 의해 생성된 ECC 조절 제어 신호( $S_c$ )를 기초로 입력되는 데이터를 I 개의 기억 소자들 중 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력한다.
- <52> 이때, 복수 개의 ECC 디코딩 조절부들(150, 160) 각각은 ECC 조절 제어 신호를 기초로 직렬로 연결된 I 개의 기

역 소자들의 출력 데이터 중 어느 하나를 출력할 수 있다.

- <53> 이때, 복수 개의 ECC 디코딩 조절부들(150, 160) 각각은 입력 데이터( $r_1$  내지  $r_1$ )의 디코딩된 출력 데이터(S)에 기 결정된 웨이트(weight), 예를 들어,  $g_0$  내지  $g_{n-k-1}$  중 어느 하나가 곱해진 데이터와 입력 데이터( $r_1$  내지  $r_1$ )가 더해진 데이터 또는 입력 데이터( $r_1$  내지  $r_1$ )의 디코딩된 출력 데이터(S)에 웨이트들 중 어느 하나가 곱해진 데이터와 ECC 디코딩 조절부(150)의 출력 데이터가 더해진 데이터를 입력받고, ECC 조절 제어 신호를 기초로 입력받은 데이터에 대한 I 개의 기억 소자들의 출력 신호들 중 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력된 신호를 출력할 수 있다.
- <54> 이때, 입력 데이터( $r_1$  내지  $r_1$ )의 디코딩된 출력 데이터(S)는 ECC 디코딩 조절부(160)로부터 출력된 신호에 기 결정된 웨이트  $g_{n-k}$ 가 곱해진 데이터가 될 수 있다.
- <55> 인코딩 수행부는 복수 개의 덧셈기들(131 내지 133)을 포함하고, 복수 개의 ECC 인코딩 조절부들(110, 120)로부터 출력되는 데이터들을 이용하여 인코딩하기 위한 입력 데이터(a)(이하, 인코딩 입력 데이터)를 ECC 조절 제어 신호에 상응하는 개수(m)의 독립적인 서브 데이터들( $c_1$  내지  $c_m$ )로 인코딩한다.
- <56> 여기서, I-인터리브드 코딩 스킴의 제너레이터 폴리노미얼(generator polynomial)로부터 복수 개의 ECC 인코딩 조절부들 및 인코딩 수행부의 연결 상태가 결정되고, 이 연결 상태는 I 값의 변화에 따라 거의 바뀌지 않는다.
- <57> 여기서, m은 1 이상 I 이하인 정수이다.
- <58> 여기서, 인코딩 수행부는 인코딩 방식에 따라 복수 개의 덧셈기가 아닌 복수 개의 배타적 덧셈기를 포함할 수도 있다.
- <59> 디코딩 수행부 또한 복수 개의 덧셈기들(171 내지 173)을 포함하고, 복수 개의 ECC 디코딩 조절부들로부터 출력되는 데이터들을 이용하여 복수 개(1)의 독립적인 입력 데이터들( $r_1$  내지  $r_1$ )(이하, 디코딩 입력 데이터들)을 하나의 출력 데이터(S)로 디코딩하기 위한 데이터를 출력한다.
- <60> 즉, 복수 개(1)의 독립적인 입력 데이터들은 덧셈기들(171 내지 173) 각각으로부터 출력된 데이터를 이용하여 하나의 출력 데이터(S)로 디코딩 된다.
- <61> 이때, 채널이 메모리인 경우 복수 개(1)의 독립적인 입력 데이터들( $r_1$  내지  $r_1$ )은 복수 개의 ECC 인코딩 조절부들(110, 120) 및 인코딩 수행부(131 내지 133)를 통해 인코딩되어 메모리에 저장된 복수 개(1)의 서브 데이터들로서, 디코딩되는 독립적인 입력 데이터들의 개수(1)는 메모리에 저장된 서브 데이터들을 디코딩하기 때문에 특정 데이터가 인코딩되어 메모리에 저장되는 서브 데이터들의 개수(m)와 다를 수도 있다. 즉, 도 1에 도시한 m 과 1은 같은 값이거나 다른 값일 수 있다.
- <62> 여기서, I-인터리브드 코딩 스킴의 제너레이터 폴리노미얼로부터 복수 개의 ECC 디코딩 조절부들 및 디코딩 수행부의 연결 상태가 결정되고, 이 연결 상태는 I 값의 변화에 따라 거의 바뀌지 않는다.
- <63> 여기서, l은 1 이상 I 이하인 정수이다.
- <64> 여기서, 디코딩 수행부는 디코딩 방식에 따라 복수 개의 덧셈기가 아닌 복수 개의 배타적 덧셈기를 포함할 수도 있다.
- <65> 이와 같이 본 발명에 따른 오류 제어 코드 장치는 I 개의 기억 소자들 중 채널측 에러 수준에 상응하는 개수의 기억 소자들을 통해 출력된 데이터들을 이용하여 인코딩 또는 디코딩을 수행한다.
- <66> 본 발명에 따른 오류 제어 코드 장치의 적용 예를 들면 다음과 같다.
- <67> 일 예로, 본 발명에 따른 오류 제어 코드 장치는 채널측 에러 수준이 높은 m-bit/cell 방식과 채널측 에러 수준이 낮은 m'-bit/cell( $m' < m$ ) 방식을 선택하여 사용할 수 있는 메모리 코어에 적용될 수 있다. 즉, 메모리 코어가 m'-bit/cell 방식으로 동작하는 경우 채널 오류 수준이 낮기 때문에 오류 제어 코드 장치는 I 개의 기억 소자들 중 일부인 I1 개의 기억 소자들을 사용하여 오류 정정을 수행하고, 메모리 코어가 m-bit/cell 방식으로 동작하는 경우 채널 오류 수준이 높기 때문에 오류 제어 코드 장치는 I2( $I1 < I2 < I$ ) 개의 기억 소자들을 사용하여 오류 정정을 수행한다. 이때, 오류 제어 코드 장치는 동일한 모제너레이터 폴리노미얼로부터 채구성되므로, 각 경우에 대하여 기억 소자의 개수가 I1, I2 등으로 변할 수 있도록 하더라도 전체적인 하드웨어의 복잡도는 크게

증가하지 않기 때문에 각 경우에 대한 오류 제어 코드 장치를 별도로 하는 경우보다 하드웨어의 복잡도가 작다.

- <68> 다른 일 예로, 본 발명에 따른 오류 제어 코드 장치는 페이지별로 에러 수준이 다른 m-bit/cell 방식의 메모리 코어에 적용될 수 있다. 즉, 에러 수준이 낮은 페이지에 대해서 오류 제어 코드 장치는 I 개의 기억 소자들 중 일부인 I3 개의 기억 소자들을 사용하여 오류 정정을 수행하고, 오류 수준이 높은 페이지에 대해서 오류 제어 코드 장치는 I4(I3<I4<I) 개의 기억 소자들을 사용하여 오류 정정을 수행한다
- <69> 도 2는 도 1에 도시한 ECC 인코딩 조절부 또는 ECC 디코딩 조절부에 대한 일 예시도이다.
- <70> 즉, ECC 인코딩 조절부 및 ECC 디코딩 조절부는 동일한 구성을 갖는다. 따라서, 도 2에서는 ECC 인코딩 조절부로 한정하여 설명한다.
- <71> 도 2를 참조하면, ECC 인코딩 조절부는 I 개의 기억 소자들(210 내지 230) 및 출력 데이터 선택부(240)를 포함한다.
- <72> I 개의 기억 소자들(210 내지 230)은 직렬로 연결되고, 각각의 기억 소자들은 입력되는 데이터를 딜레이한 후 출력한다.
- <73> 출력 데이터 선택부(240)는 ECC 조절 제어 신호(S<sub>c</sub>)를 기초로 I 개의 기억 소자들(210 내지 230)의 출력 데이터들 중 어느 하나를 출력한다. 즉, 출력 데이터 선택부(240)는 채널 오류 수준에 따라 기억 소자들의 개수가 조절된 출력 데이터를 출력한다.
- <74> 예컨대, ECC 인코딩 조절부가 4 개의 기억 소자들을 포함하고, 채널 오류 수준이 E1, E2, E3 및 E4(E1<E2<E3<E4)로 구분된 경우 출력 데이터 선택부(240)는 채널 오류 수준 E1에 상응하는 ECC 조절 제어 신호가 입력되면 입력되는 데이터에 대한 4 개의 기억 소자들의 출력 데이터 중 첫 번째 기억 소자의 출력 데이터(①)를 출력한다.
- <75> 마찬가지로, 출력 데이터 선택부(240)는 채널 오류 수준 E4에 상응하는 ECC 조절 제어 신호가 입력되면 입력되는 데이터에 대한 4 개의 기억 소자들의 출력 데이터 중 마지막 기억 소자 즉, 네 번째 기억 소자의 출력 데이터(④)를 출력한다.
- <76> 이때, 출력 데이터 선택부(240)는 ECC 조절 제어 신호를 선택 신호로 하여 복수 개의 입력 데이터 중 어느 하나를 출력하는 멀티플렉서(multiplexer)일 수 있다. 즉, ECC 인코딩 조절부가 4 개의 기억 소자들을 포함하는 경우 출력 데이터 선택부(240)는 4x1 멀티플렉서이다.
- <77> 이와 같이 본 발명에 따른 오류 제어 코드 장치는 채널 오류 수준에 따라 기억 소자들의 출력 신호들 중 채널 오류 수준에 상응하는 신호를 선택하여 ECC 성능을 가변적으로 조절함으로써, 코드 효율을 향상시키고 레이턴시를 줄일 수 있다.
- <78> 도 3은 본 발명의 일 실시예에 따른 오류 제어 코드 방법에 대한 동작 흐름도로서, I-인터리브드 코딩 스킴을 이용한 인코딩 과정에 대한 동작 흐름도이다.
- <79> 도 3을 참조하면, 오류 제어 코드 방법은 채널 정보를 기초로 ECC 조절 제어 신호를 생성한다(S310).
- <80> 이때, 채널 정보는 채널측 비트 에러율, 수신신호강도 및 사용자에게 의해 입력된 사용자 입력 신호 등이 될 수 있다.
- <81> 여기서, 채널은 통신 채널 및 스토리지 채널 등이 될 수 있는데, 채널에 대한 일 예로는 무선 구간, 하드 디스크(HDD), 콤팩트 디스크(CD), 디지털 비디오 디스크(DVD) 및 메모리 등이 될 수 있고, 본 발명에 따른 오류 제어 코드 방법에서의 채널은 메모리인 것이 가장 바람직하다.
- <82> 채널 정보에 대한 일 예로, 채널로서 MLC 방식의 메모리가 사용될 경우 채널 정보는 메모리에 저장되는 데이터의 비트(bit) 정보일 수 있다.
- <83> 이때, ECC 조절 제어 신호는 채널측 오류 수준에 따라 ECC 성능을 조절하기 위한 제어 신호로서, 그 값은 상황에 따라 달라질 수 있다.
- <84> ECC 조절 제어 신호가 생성되면 그 생성된 ECC 조절 제어 신호를 기초로 I 개의 기억 소자들의 출력 신호들 중 ECC 조절 제어 신호에 상응하는 출력 신호를 선택한다(S320).
- <85> 각각 입력되는 데이터를 I 개의 기억 소자들 중 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출

력하여 복수 개의 ECC 인코딩 조절 데이터들을 생성한다(S330).

- <86> 즉, I 개의 기억 소자들 중 채널측 오류 수준에 따라 생성된 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 이용하여, 복수 개의 ECC 인코딩 조절 데이터들을 생성 또는 출력한다.
- <87> 이때, ECC 인코딩 조절 데이터들 각각은 ECC 조절 제어 신호를 기초로 I 개의 기억 소자들의 출력 데이터들 중 어느 하나가 될 수 있다.
- <88> 복수 개의 ECC 인코딩 조절 데이터들을 이용하여 인코딩 입력 데이터를 복수 개의 독립적인 서브 데이터들로 인코딩한다(S340).
- <89> 여기서, 독립적인 서브 데이터들의 개수는 ECC 조절 제어 신호에 상응하는 개수이다. 예컨대, ECC 조절 제어 신호에 상응하는 개수가 3 개인 경우 생성되는 독립적인 서브 데이터들은 3 개가 된다.
- <90> 도 4는 본 발명의 다른 일 실시예에 따른 오류 제어 코드 방법에 대한 동작 흐름도로서, I-인터리브드 코딩 스킴을 이용한 디코딩 과정에 대한 동작 흐름도이다.
- <91> 도 4를 참조하면, 오류 제어 코드 방법은 채널 정보를 기초로 ECC 조절 제어 신호를 생성한다(S410).
- <92> 여기서, 디코딩 과정에서 필요한 ECC 조절 제어 신호는 디코딩을 수행하기 위한 복수 개의 독립적인 디코딩 입력 데이터들이 ECC 인코딩 블록에서 인코딩될 때 사용되었던 ECC 조절 제어 신호와 같은 것을 사용하는 것이 바람직하다.
- <93> 이때, 채널 정보는 채널측 비트 에러율, 수신신호강도 및 사용자에 의해 입력된 사용자 입력 신호 등이 될 수 있다.
- <94> ECC 조절 제어 신호가 생성되면 그 생성된 ECC 조절 제어 신호를 기초로 I 개의 기억 소자들의 출력 신호들 중 ECC 조절 제어 신호에 상응하는 출력 신호를 선택한다(S420).
- <95> 각각 입력되는 데이터를 I 개의 기억 소자들 중 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력하여 복수 개의 ECC 디코딩 조절 데이터들을 생성한다(S430).
- <96> 즉, I 개의 기억 소자들 중 채널측 오류 수준에 따라 생성된 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 이용하여, 복수 개의 ECC 디코딩 조절 데이터들을 생성 또는 출력한다.
- <97> 이때, ECC 디코딩 조절 데이터들 각각은 ECC 조절 제어 신호를 기초로 I 개의 기억 소자들의 출력 데이터들 중 어느 하나가 될 수 있다.
- <98> 복수 개의 ECC 디코딩 조절 데이터들을 이용하여 복수 개의 독립적인 디코딩 입력 데이터들을 하나의 출력 데이터로 디코딩한다(S440).
- <99> 도 5는 본 발명의 또 다른 일 실시예에 따른 오류 제어 코드 방법에 대한 동작 흐름도이다.
- <100> 도 5를 참조하면, 오류 제어 코드 방법은 채널 정보를 기초로 ECC 조절 제어 신호를 생성한다(S510).
- <101> 이때, 채널 정보는 채널측 비트 에러율, 수신신호강도 및 사용자에 의해 입력된 사용자 입력 신호 등이 될 수 있다.
- <102> ECC 조절 제어 신호가 생성되면 그 생성된 ECC 조절 제어 신호를 기초로 I 개의 기억 소자들의 출력 신호들 중 ECC 조절 제어 신호에 상응하는 출력 신호를 선택한다(S520).
- <103> 각각 입력되는 데이터를 I 개의 기억 소자들 중 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 통해 출력하여 복수 개의 ECC 인코딩 조절 데이터들 및 복수 개의 ECC 디코딩 조절 데이터들을 생성한다(S530).
- <104> 즉, I 개의 기억 소자들 중 채널측 오류 수준에 따라 생성된 ECC 조절 제어 신호에 상응하는 개수의 기억 소자들을 이용하여, 복수 개의 ECC 인코딩 조절 데이터들 및 복수 개의 ECC 디코딩 조절 데이터들을 생성 또는 출력한다.
- <105> 이때, ECC 인코딩 조절 데이터들 및 ECC 디코딩 조절 데이터들 각각은 ECC 조절 제어 신호를 기초로 I 개의 기억 소자들의 출력 데이터들 중 어느 하나가 될 수 있다.
- <106> 복수 개의 ECC 인코딩 조절 데이터들을 이용하여 인코딩 입력 데이터를 복수 개의 독립적인 서브 데이터들로 인코딩한다(S540).

- <107> 복수 개의 ECC 디코딩 조절 데이터들을 이용하여 복수 개의 독립적인 디코딩 입력 데이터들을 하나의 출력 데이터로 디코딩한다(S550).
- <108> 도 5에서 단계 S540과 단계 S550이 순차적으로 수행되도록 도시되었지만, 이에 한정하지 않고 두 단계 S540과 단계 S550이 동시에 수행될 수 있으며 단계 S550이 단계 S540보다 먼저 수행될 수도 있다.
- <109> 디코딩 속도를 증가시켜야 할 경우 복수 개의 독립적인 디코딩 입력 데이터들을 병렬로 디코딩함으로써, 디코딩 수행 속도를 빠르게 할 수도 있다.
- <110> 본 발명에 따른 오류 제어 코드 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 상기 매체는 프로그램 명령, 데이터 구조 등을 지정하는 신호를 전송하는 반송파를 포함하는 광 또는 금속선, 도파관 등의 전송 매체일 수도 있다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 본 발명의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- <111> 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- <112> 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

**발명의 효과**

- <113> 본 발명의 일 실시예에 따른 오류 제어 코드 장치 및 그 방법은, I-인터리브드 코딩 스킴을 이용한 제너레이터 폴리노미얼(generator polynomial)로부터 채널에서 발생한 오류 수준에 따라 기억 소자들의 개수를 조절하여 인코딩 및 디코딩의 레이턴시를 줄일 수 있다.
- <114> 또한, 본 발명은 채널에서 발생한 오류 수준에 따라 기억 소자들의 개수를 조절하여 코드 효율(code rate)을 향상시킬 수 있다.
- <115> 또한, 본 발명은 I-인터리브드 코딩 스킴을 이용하여 채널에서 발생한 오류 수준에 따라 ECC 성능을 조절하면서 복잡도가 낮은 ECC 구조를 제공할 수 있다.
- <116> 또한, 본 발명은 제품의 반복 사용 횟수나 사용 시간에 따라 채널층의 오류 수준이 변하는 경우 오류 수준의 변화에 따라 ECC 성능을 조절할 수 있는 최적의 ECC 구조를 제공할 수 있다.
- <117> 또한, 본 발명은 채널로서 메모리가 사용될 경우 메모리 셀의 SLC(single level cell) 및 MLC(multi level cell) 동작 방식에 의한 채널 오류 수준의 변화에 따라 ECC 성능을 조절할 수 있는 최적의 ECC 구조를 제공할 수 있다.
- <118> 또한, 본 발명은 채널로서 MLC 동작 방식에 의한 메모리가 사용될 경우 MSB(most significant bit), LSB(least significant bit) 등의 사용 비트에 대한 오류 수준의 변화에 따라 ECC 성능을 조절할 수 있는 최적의 ECC 구조를 제공할 수 있다.

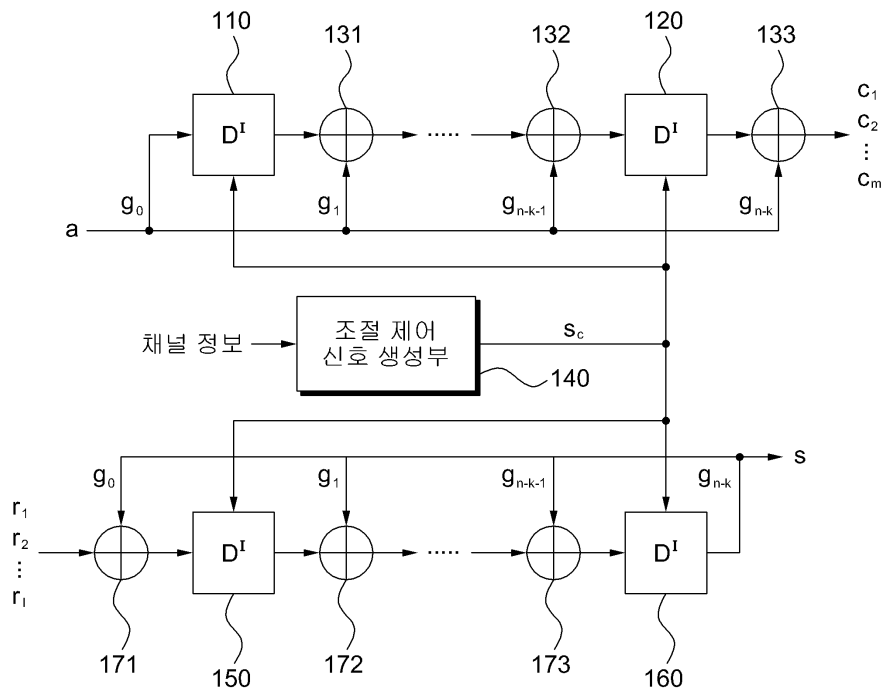
**도면의 간단한 설명**

- <1> 도 1은 본 발명의 일 실시예에 따른 오류 제어 코드 장치에 대한 블록도이다.
- <2> 도 2는 도 1에 도시한 ECC 인코딩 조절부 또는 ECC 디코딩 조절부에 대한 일 예시도이다.
- <3> 도 3은 본 발명의 일 실시예에 따른 오류 제어 코드 방법에 대한 동작 흐름도이다.

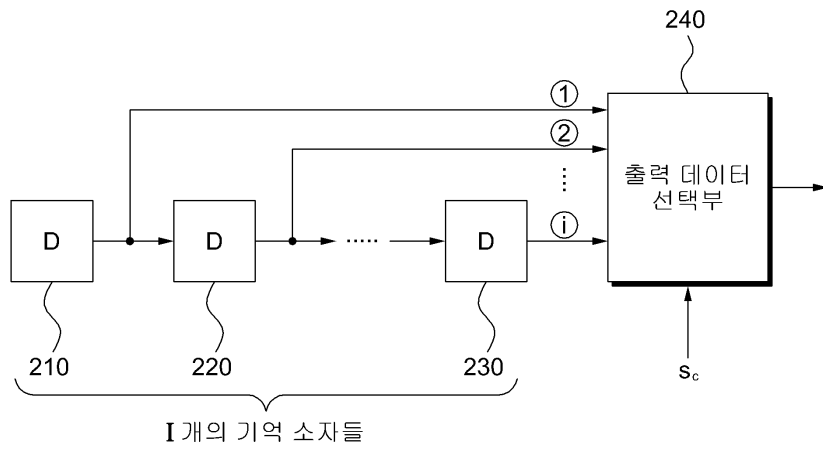
- <4> 도 4는 본 발명의 다른 일 실시예에 따른 오류 제어 코드 방법에 대한 동작 흐름도이다.
- <5> 도 5는 본 발명의 또 다른 일 실시예에 따른 오류 제어 코드 방법에 대한 동작 흐름도이다.
- <6> <도면의 주요 부분에 대한 부호의 설명>
- <7> 110, 120: ECC 인코딩 조절부
- <8> 140: 조절 제어 신호 생성부
- <9> 150, 160: ECC 디코딩 조절부
- <10> 240: 출력 데이터 선택부

**도면**

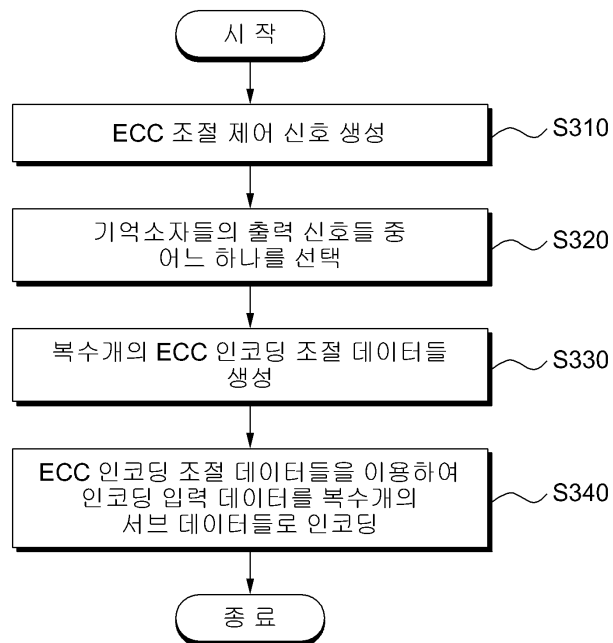
**도면1**



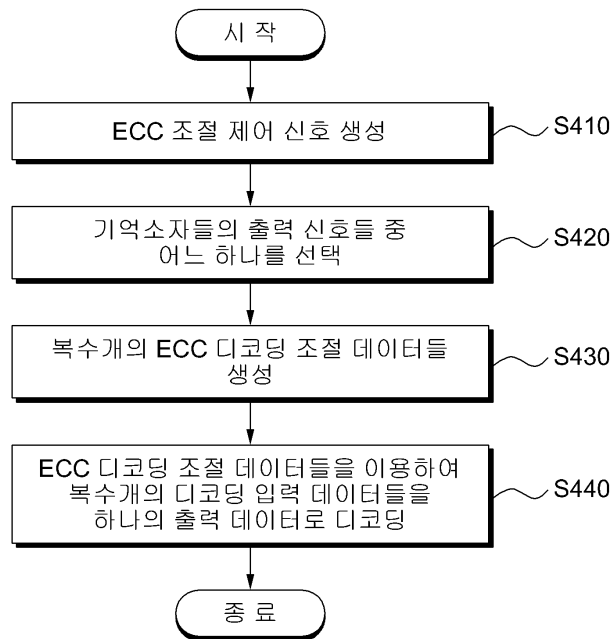
도면2



도면3



도면4



도면5

