(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 21/8242 (2006.01)
H01L 27/108 (2006.01)

(45) 공고일자 2007년06월15일
(11) 등록번호 10-0728962
(24) 등록일자 2007년06월08일

(21) 출원번호 10-2005-0105454
(22) 출원일자 2005년11월04일
심사청구일자 2005년11월04일

(65) 공개번호 10-2006-0052474
(43) 공개일자 2006년05월19일

(30) 우선권주장 1020040090418 2004년11월08일 대한민국(KR)
1020050057692 2005년06월30일 대한민국(KR)

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이기정
서울 송파구 가락동 가락아파트 100동 101호

(74) 대리인 강성배

(56) 선행기술조사문헌
10-2002-2579 10-2003-3324

심사관 : 구본재

전체 청구항 수 : 총 70 항

(54) 지르코늄산화막을 갖는 반도체소자의 캐패시터 및 그 제조방법

(57) 요약

본 발명은 70nm급 이하 금속배선을 갖는 차세대 디램 제품에서 필요로 하는 충전용량을 확보하면서 누설전류 특성 또한 확보할 수 있는 반도체 소자의 캐패시터 및 그의 제조 방법을 제공하기 위한 것으로, 본 발명의 캐패시터의 유전막은 Al2O3/ZrO2, ZrO2/Al2O3, (ZrO2/Al2O3)n(2≤n≤10), (Al2O3/ZrO2)n(2≤n≤10), ZrO2/Al2O3/ZrO2의 삼중막 구조, 질화된 ZrO2박막의 단일막, 질화 Al2O3 박막과 질화된 ZrO2 박막의 이중막, Al2O3 박막과 질화된 ZrO2 박막의 이중막, ZrO2 박막, Al2O3 박막 및 질화된 ZrO2 박막의 삼중막을 적용하고, 이와 같이 본 발명은 캐패시터의 유전막으로, 큰 밴드 갭 에너지(Band Gap Energy: Eg) 값을 갖는 ZrO2(Eg=7.8eV,ε=20~25) 박막과 열안정성이 뛰어난 Al2O3 (Eg=8.7eV,ε=9) 박막으로 이루어진 다중 유전막 구조를 구성함으로써, 누설전류 발생 억제력을 향상시킬 수 있음은 물론 항복전압 값을 높일 수 있고, 아울러, 대용량의 충전용량을 얻을 수 있는 바, 70㎚급 이하의 고집적 메모리 제품에서 요구하는 충분한 충전용량을 가지면서 누설전류 및 항복전압 특성을 갖는 캐패시터를 구현할 수 있다.

대표도

도 2

특허청구의 범위

청구항 1.

스토리지전극을 형성하는 단계;

상기 스토리지전극 상에 ZrO2 박막과 Al2O3 박막으로 이루어진 다중 유전막을 형성하는 단계; 및

상기 다중 유전막 상에 플레이트전극을 형성하는 단계;

를 포함하는 반도체 소자의 캐패시터 형성방법.

청구항 2.

제 1 항에 있어서,

상기 다중 유전막은, 상기 스토리지전극 상에 ZrO2 박막을 증착한 후, 상기 ZrO2 박막 상에 Al2O3 박막을 증착하여 ZrO2/Al2O3의 이중막 구조를 갖도록 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 3.

제 1 항에 있어서,

상기 다중 유전막은, 상기 스토리지전극 상에 Al2O3 박막을 증착한 후, 상기 Al2O3 박막 상에 ZrO2 박막을 증착하여 Al2O3/ZrO2의 이중막 구조를 갖도록 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 4.

제 2 항 또는 제 3 항에 있어서,

상기 ZrO2 박막은 5～100Å의 두께로 증착하며, 상기 Al2O3 박막은 5～30Å의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 5.

제 1 항에 있어서,

상기 다중 유전막은, 상기 스토리지전극 상에 ZrO2 박막, Al2O3 박막, ZrO2 박막을 차례로 증착하여 ZrO2/Al2O3/ZrO2의 삼중막 구조를 갖도록 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 6.

제 5 항에 있어서,

상기 ZrO2 박막은 5～50Å의 두께로 증착하며, 상기 Al2O3 박막은 5～15Å의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 7.

제 1 항에 있어서,

상기 다중 유전막은, ZrO2 박막과 Al2O3 박막을 각각 적어도 2회 이상 교번적으로 증착하여 (ZrO2/Al2O3)n의 다중막 구조를 갖도록 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 8.

제 1 항에 있어서,

상기 다중 유전막은, Al2O3 박막과 ZrO2 박막을 각각 적어도 2회 이상 교번적으로 증착하여 (Al2O3/ZrO2)n의 다중막 구조를 갖도록 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 9.

제 7 항 또는 제 8 항에 있어서,

상기 ZrO2 박막은 5～25Å의 두께로 증착하며, 상기 Al2O3 박막은 5～10Å의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 10.

제 7 항 또는 제 8 항에 있어서,

상기 다중 유전막에서, 상기 n은 $2 \leq n \leq 10$의 범위를 갖는 것을 특징으로 하는 반도체소자의 캐패시터 형성 방법.

청구항 11.

제 1 항에 있어서,

상기 ZrO2 박막과 Al2O3 박막으로 이루어진 다중 유전막은, ALD 방법에 따라 200～500℃의 온도 범위에서 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 12.

제 11 항에 있어서,

상기 ZrO2 박막의 증착은,

Zr 소오스를 흡착시키는 단계;

상기 Zr 소오스 중에서 미반응 Zr 소오스를 제거하기 위해 퍼지가스를 공급하여 퍼지시키는 단계;

반응가스를 공급하여 상기 흡착된 Zr 소오스와의 반응을 유도하여 ZrO2 박막을 증착하는 단계; 및

상기 반응가스 중에서 미반응 반응가스를 제거하기 위한 퍼지 단계;

를 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 13.

제 12 항에 있어서,

상기 Zr 소오스가스는,

ZrCl4, Zr[N(CH3)C2H5]4, Zr(O-tBu)4, Zr[N(CH3)2]4, Zr[N(C2H5)(CH3)]4, Zr[N(C2H5)2]4, Zr(tmhd)4, Zr(OiC3H7)3(tmtd) 및 Zr(OtBu)4]로 이루어진 그룹으로부터 선택되는 어느 하나를 사용하는 것을 특징으로 하는 반도체소자의 캐패시터 형성 방법.

청구항 14.

제 11 항에 있어서,

상기 Al2O3 박막의 증착은,

Al 소오스를 흡착시키는 단계;

상기 Al 소오스 중에서 미반응 Al 소오스를 제거하기 위해 퍼지가스를 공급하여 퍼지시키는 단계;

반응가스를 공급하여 상기 흡착된 Al 소오스와의 반응을 유도하여 Al2O3 박막을 증착하는 단계; 및

상기 반응가스 중에서 미반응 반응가스를 제거하기 위한 퍼지 단계;

를 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 15.

제 14 항에 있어서,

상기 Al 소오스가스는,

Al(CH3)3 또는 Al(C2H5)3를 사용하거나 Al을 함유한 다른 금속화합물로 구성된 그룹으로부터 선택되는 어느 하나를 사용하는 것을 특징으로 하는 반도체소자의 캐패시터 형성 방법.

청구항 16.

제 12 항 또는 제 14 항에 있어서,

상기 반응가스는, O3(농도 : 100~500g/m3), O2, 플라즈마 O2, N2O, 플라즈마 N2O 및 H2O 증기로 구성된 그룹으로부터 선택되는 어느 하나를 사용하여 유량을 0.1~1slm으로 하여 플로우시키고, 상기 퍼지가스는 N2 또는 Ar을 사용하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 17.

제 11 항에 있어서,

상기 ZrO2 박막과 Al2O3 박막으로 이루어진 다중 유전막은, 각 박막의 증착 후, 상기 박막이 증착된 기판 결과물을 저온 어닐링하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 18.

제 17 항에 있어서,

상기 저온 어닐링은, 300℃～450℃의 온도범위에서 N2, H2, N2/H2, NH3, N2O, N2/O2, O2 및 O3로 구성된 그룹으로부터 선택되는 어느 하나의 가스 분위기로 플라즈마 어닐링으로 수행하되, 50W～300W의 RF 전력을 갖는 플라즈마를 이용하여 0.1～1torr 압력범위에서 선택된 가스를 100sccm～200sccm만큼 플로우시키면서 30초～120초 동안 진행하는 것을 특징으로 하는 반도체소자의 캐패시터 형성 방법.

청구항 19.

제 17 항에 있어서,

상기 저온 어닐링은, UV/O3 어닐링으로 진행하되, 300℃～400℃의 온도범위에서 2분～10분동안 15 30mW/cm2의 강도로 실시하는 것을 특징으로 하는 반도체소자의 캐패시터 형성 방법.

청구항 20.

제 17 항에 있어서,

상기 저온 어닐링 후에,

N, Ar 및 He로 이루어진 그룹으로부터 선택되는 어느 하나의 비활성가스분위기에서 500℃～800℃ 온도범위를 갖는 상압(700～760torr) 또는 감압(1～100torr)의 챔버내에서 선택된 비활성가스를 5sccm～5slm만큼 플로우시키면서 30초～120초동안 급속어닐링을 진행하는 것을 특징으로 하는 반도체소자의 캐패시터 형성 방법.

청구항 21.

제 17 항에 있어서,

상기 저온 어닐링 후에,

N, Ar 및 He로 이루어진 그룹으로부터 선택되는 어느 하나의 비활성가스분위기에서 600℃～800℃ 온도로 선택된 비활성가스를 5sccm～5slm만큼 플로우시키면서 10분～30분동안 퍼니스어닐링을 진행하는 것을 특징으로 하는 반도체소자의 캐패시터 형성 방법.

청구항 22.

제 1 항에 있어서,

상기 스토리지전극 및 플레이트전극은 도프트 폴리실리콘, TiN, TaN, W, WN, Ru, RuO2, Ir, IrO2 및 Pt로 구성된 그룹으로부터 선택된 어느 하나의 물질로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 23.

제 1 항에 있어서,

상기 스토리지전극을 형성하는 단계 후,

상기 스토리지전극이 형성된 기판 결과물을 N2, H2, N2/H2, O2, O3 및 NH3로 구성된 그룹으로부터 선택되는 어느 하나의 가스 분위기에서 저온 어닐링하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 24.

제 1 항에 있어서,

상기 플레이트전극을 형성하는 단계 후,

상기 플레이트전극이 형성된 기판 결과물 상에 Al2O3, HfO2, Ta2O5, ZrO2, TiO2 및 La2O3로 구성된 그룹으로부터 선택되는 어느 하나의 산화막 또는 TiN과 같은 금속막으로 이루어진 보호막을 ALD 방식으로 50～200Å 두께로 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 25.

스토리지전극을 형성하는 단계;

상기 스토리지전극의 표면을 플라즈마 질화 처리하는 단계;

상기 표면이 플라즈마 질화 처리된 스토리지전극 상에 ZrO2 박막을 증착하는 단계;

상기 ZrO2 박막의 표면을 플라즈마 질화 처리하여 표면이 질화된 ZrO2 박막을 형성하는 단계; 및

상기 질화된 ZrO2 박막 상에 플레이트전극을 형성하는 단계;

를 포함하는 반도체 소자의 캐패시터 형성방법.

청구항 26.

제 25 항에 있어서,

상기 플라즈마 질화 처리는,

200～500℃의 온도, 0.1～10torr의 압력, NH3, N2 및 N2/H2로 구성된 그룹으로부터 선택되는 어느 하나의 분위기와 RF 파워를 100～500W 정도로 하여 글로우 방전을 발생시킨 챔버 내에서 5～300초 동안 수행하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 27.

제 25 항에 있어서,

상기 ZrO2 박막은 30~100Å의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 28.

제 25 항에 있어서,

상기 ZrO2 박막은 ALD 방법, MOCVD 방법 및 변경된 펄스드-CVD 방법으로 구성된 그룹으로부터 선택되는 어느 하나의 방법으로 증착하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 29.

제 28 항에 있어서,

상기 ALD 방법을 이용한 ZrO2 박막의 증착은,

Zr의 소오스가스로 Zr[N(CH3)C2H5]4 또는 ZrCl4를 사용하거나 Zr을 함유한 유기 금속 화합물을 전구체로 사용하여 50~500sccm으로 플로우시키고, 반응가스로 수증기(H2O) 또는 중수(D2O)를 사용하여 0.1~1slm으로 플로우시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 30.

제 25 항에 있어서,

상기 ZrO2 박막의 플라즈마 질화 처리 후, 상기 ZrO2 박막의 표면에 축적된 질소의 농도 프로파일을 제어하기 위해 상압 또는 감압 상태와 600~900℃의 온도 범위에서 RTP 또는 퍼니스 방식에 따라 어닐링을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 31.

제 25 항에 있어서,

상기 스토리지전극 및 플레이트전극은 도프트 폴리실리콘, 또는, TiN, TaN, W, WN, Ru 및 Pt로 구성된 그룹으로부터 선택되는 어느 하나로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 32.

제 31 항에 있어서,

상기 플레이트전극을 형성한 후, 습도, 온도 및 전기적 충격으로부터 구조적인 안정성을 확보하기 위해, 그 위에 실리콘질화막 또는 도프트 폴리실리콘으로 이루어진 보호막을 200~1000Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 33.

스토리지전극을 형성하는 단계;

상기 스토리지전극 상에 Al2O3 박막을 증착하는 단계;

상기 Al2O3 박막 상에 ZrO2 박막을 증착하는 단계;

상기 ZrO2 박막의 표면을 플라즈마 질화 처리하여 질화된 ZrO2 박막과 Al2O3 박막의 이중막으로 이루어진 유전막을 형성하는 단계; 및

상기 질화된 ZrO2 박막과 Al2O3 박막의 이중막으로 이루어진 유전막 상에 플레이트전극을 형성하는 단계;

를 포함하는 반도체 소자의 캐패시터 형성방법.

청구항 34.

제 33 항에 있어서,

상기 Al2O3 박막을 증착하는 단계 후, 상기 ZrO2 박막을 증착하는 단계 전, 상기 Al2O3 박막의 표면을 플라즈마 질화 처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 35.

제 33 항 또는 제 34 항에 있어서,

상기 플라즈마 질화 처리는 200~500℃의 온도, 0.1~10torr의 압력, NH3, N2 및 N2/H2로 구성된 그룹으로부터 선택되는 어느 하나의 분위기와 RF 파워를 100~500W 정도로 하여 글로우 방전을 발생시킨 챔버 내에서 5~300초 동안 수행하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 36.

제 33 항에 있어서,

상기 Al2O3 박막과 ZrO2 박막은 그 두께 합이 30~100Å의 두께를 갖도록 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 37.

제 33 항에 있어서,

상기 Al2O3 박막 및 ZrO2 박막은, ALD 방법, MOCVD 방법 및 펄스드-CVD 방법으로 구성된 그룹으로부터 선택되는 어느 하나의 방법으로 증착하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 38.

제 37 항에 있어서,

상기 ALD 방법을 이용한 Al2O3 박막의 증착은,

Al의 소오스가스로 Al(CH3)3를 사용하거나 Al을 함유한 유기 금속 화합물을 전구체로 사용하여 50～500sccm으로 플로우시키고, 반응가스로 O3(농도; 200±20g/㎥), O2, 수증기(H2O) 및 중수(D2O)로 구성된 그룹으로부터 선택되는 어느 하나를 사용하여 0.1～1slm으로 플로우시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 39.

제 37 항에 있어서,

상기 ALD 방법을 이용한 ZrO2 박막의 증착은,

Zr의 소오스가스로 Zr[N(CH3)C2H5]4 또는 ZrCl4를 사용하거나 Zr을 함유한 유기 금속 화합물을 전구체로 사용하여 50～500sccm으로 플로우시키고, 반응가스로 O3(농도; 200±20g/㎥), O2, 수증기(H2O) 및 중수(D2O)로 구성된 그룹으로부터 선택되는 어느 하나를 사용하여 0.1～1slm으로 플로우시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 40.

제 33 항에 있어서,

상기 ZrO2 박막의 플라즈마 질화 처리 후, 상기 ZrO2 박막의 표면에 축적된 질소의 농도 프로파일을 제어하기 위해 상압 또는 감압 상태와 600～900℃의 온도 범위에서 RTP 또는 퍼니스 방식에 따라 어닐링을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 41.

제 33 항에 있어서,

상기 스토리지전극 및 플레이트전극은 도프트 폴리실리콘, 또는, TiN, TaN, W, WN, Ru 및 Pt로 구성된 그룹으로부터 선택되는 어느 하나로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 42.

제 41 항에 있어서,

상기 플레이트전극을 형성한 후, 습도, 온도 및 전기적 충격으로부터 구조적인 안정성을 확보하기 위해, 그 위에 실리콘질화막 또는 도프트 폴리실리콘으로 이루어진 보호막을 200～1000Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 43.

스토리지전극을 형성하는 단계;

상기 스토리지전극의 표면을 플라즈마 질화처리하는 단계;

상기 표면이 플라즈마 질화처리된 스토리지전극 상에 제1 ZrO2 박막, Al2O3 박막 및 제2 ZrO2 박막을 차례로 증착하는 단계;

상기 제2 ZrO2 박막의 표면을 플라즈마 질화처리하여 제1ZrO2 박막, Al2O3 박막 및 질화된 제2 ZrO2 박막의 삼중막으로 이루어진 유전막을 형성하는 단계; 및

상기 유전막 상에 플레이트전극을 형성하는 단계;

를 포함하는 반도체 소자의 캐패시터 형성방법.

청구항 44.

제 43 항에 있어서,

상기 제1 ZrO2 박막, Al2O3 박막 및 제2 ZrO2 박막을 차례로 증착하는 단계는,

상기 제1 ZrO2 박막을 증착하는 단계;

상기 제1 ZrO2 박막의 표면을 플라즈마 질화처리하는 단계;

상기 질화된 제1 ZrO2 박막 상에 Al2O3 박막을 증착하는 단계; 및

상기 Al2O3 박막 상에 제2 ZrO2 박막을 증착하는 단계;

를 포함하는 것을 특징으로 하는 반도체소자의 캐패시터 형성 방법.

청구항 45.

제 43 항에 있어서,

상기 제1 ZrO2 박막, Al2O3 박막 및 제2 ZrO2 박막을 차례로 증착하는 단계는,

상기 제1ZrO2 박막을 증착하는 단계;

상기 제1ZrO2 박막의 표면을 플라즈마 질화처리하는 단계;

상기 질화된 제1ZrO2 박막 상에 Al2O3 박막을 증착하는 단계;

상기 Al2O3 박막의 표면을 플라즈마 질화처리하는 단계; 및

상기 질화된 Al2O3 박막 상에 제2ZrO2 박막을 증착하는 단계;

를 포함하는 것을 특징으로 하는 반도체소자의 캐패시터 형성 방법.

청구항 46.

제 43 항 내지 제 45 항 중 어느 한 항에 있어서,

상기 플라즈마 질화 처리는 200~500℃의 온도, 0.1~10torr의 압력, NH3, N2 및 N2/H2로 구성된 그룹으로부터 선택되는 어느 하나의 분위기와 RF 파워를 100~500W 정도로 하여 글로우 방전을 발생시킨 챔버 내에서 5~300초 동안 수행하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 47.

제 43 항 내지 제 45 항 중 어느 한 항에 있어서,

상기 제1 ZrO2 박막, Al2O3 박막 및 제2 ZrO2 박막은 그 두께 합이 30～100Å의 두께를 갖도록 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 48.

제 43 항에 있어서,

상기 Al2O3 박막 및 제1,2 ZrO2 박막은 ALD 방법, MOCVD 방법 및 펄스드-CVD 방법으로 구성된 그룹으로부터 선택되는 어느 하나의 방법으로 증착하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 49.

제 48 항에 있어서,

상기 ALD 방법을 이용한 Al2O3 박막의 증착은,

Al의 소오스가스로 Al(CH3)3를 사용하거나 Al을 함유한 유기 금속 화합물을 전구체로 사용하여 50～500sccm으로 플로우시키고, 반응가스로 O3(농도; 200±20g/㎥), O2, 수증기(H2O) 및 중수(D2O)로 구성된 그룹으로부터 선택되는 어느 하나를 사용하여 0.1～1slm으로 플로우시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 50.

제 48 항에 있어서,

상기 ALD 방법을 이용한 제1,2ZrO2 박막의 증착은,

Zr의 소오스가스로 Zr[N(CH3)C2H5]4 또는 ZrCl4를 사용하거나 Zr을 함유한 유기 금속 화합물을 전구체로 사용하여 50～500sccm으로 플로우시키고, 반응가스로 O3(농도; 200±20g/㎥), O2, 수증기(H2O) 및 중수(D2O)로 구성된 그룹으로부터 선택되는 어느 하나를 사용하여 0.1～1slm으로 플로우시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 51.

제 43 항 내지 제 45 항 중 어느 한 항에 있어서,

상기 제2 ZrO2 박막의 플라즈마 질화 처리 후, 상기 제2 ZrO2 박막의 표면에 축적된 질소의 농도 프로파일을 제어하기 위해 상압 또는 감압 상태와 600～900℃의 온도 범위에서 RTP 또는 퍼니스 방식에 따라 어닐링을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 52.

제 43 항에 있어서,

상기 스토리지전극과 플레이트전극은,

도프트 폴리실리콘, 또는, TiN, TaN, W, WN, Ru 및 Pt로 구성된 그룹으로부터 선택되는 어느 하나로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 53.

제 43 항에 있어서,

상기 플레이트전극을 형성한 후, 습도, 온도 및 전기적 충격으로부터 구조적인 안정성을 확보하기 위해, 그 위에 실리콘질화막 또는 도프트 폴리실리콘으로 이루어진 보호막을 200～1000Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 54.

스토리지전극;

상기 스토리지전극 상의 ZrO2 박막과 Al2O3 박막으로 이루어진 다중 유전막; 및

상기 다중 유전막 상의 플레이트전극;

을 포함하는 반도체소자의 캐패시터.

청구항 55.

제 54 항에 있어서,

상기 다중 유전막은,

ZrO2 박막과 Al2O3 박막의 순서로 적층된 ZrO2/Al2O3의 이중막 구조인 것을 특징으로 하는 반도체 소자의 캐패시터.

청구항 56.

제 54 항에 있어서,

상기 다중 유전막은,

Al2O3 박막과 ZrO2 박막의 순서로 적층된 Al2O3/ZrO2의 이중막 구조인 것을 특징으로 하는 반도체 소자의 캐패시터.

청구항 57.

제 55 항 또는 제 56 항에 있어서,

상기 ZrO2 박막은 5～100Å의 두께이며, 상기 Al2O3 박막은 5～30Å의 두께인 것을 특징으로 하는 반도체 소자의 캐패시터.

청구항 58.

제 54 항에 있어서,

상기 다중 유전막은,

ZrO2 박막, Al2O3 박막 및 ZrO2 박막의 순서로 적층된 ZrO2/Al2O3/ZrO2의 삼중막 구조인 것을 특징으로 하는 반도체 소자의 캐패시터.

청구항 59.

제 58 항에 있어서,

상기 ZrO2 박막은 5～50Å의 두께이며, 상기 Al2O3 박막은 5～15Å의 두께인 것을 특징으로 하는 반도체 소자의 캐패시터.

청구항 60.

제 54 항에 있어서,

상기 다중 유전막은,

ZrO2 박막과 Al2O3 박막을 각각 적어도 2회 이상 교번적으로 증착한 (ZrO2/Al2O3)n의 다중막 구조인 것을 특징으로 하는 반도체 소자의 캐패시터.

청구항 61.

제 54 항에 있어서,

상기 다중 유전막은,

Al2O3 박막과 ZrO2 박막을 각각 적어도 2회 이상 교번적으로 증착한 (Al2O3/ZrO2)n의 다중막 구조인 것을 특징으로 하는 반도체 소자의 캐패시터.

청구항 62.

제 60 항 또는 제 61 항에 있어서,

상기 ZrO2 박막은 5～25Å의 두께이며, 상기 Al2O3 박막은 5～10Å의 두께인 것을 특징으로 하는 반도체 소자의 캐패시터.

청구항 63.

제 60 항 또는 제 61 항에 있어서,

상기 다중 유전막에서, 상기 n은 $2 \leq n \leq 10$의 범위를 갖는 것을 특징으로 하는 반도체소자의 캐패시터.

청구항 64.

스토리지전극;

상기 스토리지전극 상에 형성되며 표면이 플라즈마 질화된 ZrO2 박막; 및

상기 ZrO2 박막 상의 플레이트전극;

을 포함하는 반도체소자의 캐패시터.

청구항 65.

제 64 항에 있어서,

상기 ZrO2 박막과 상기 스토리지전극 사이에 삽입된 Al2O3 박막을 더 포함하는 반도체소자의 캐패시터.

청구항 66.

제 64 항에 있어서,

상기 ZrO2 박막과 상기 스토리지전극 사이에 삽입된 표면이 플라즈마 질화된 Al2O3 박막을 더 포함하는 반도체소자의 캐패시터.

청구항 67.

제 64 항에 있어서,

상기 ZrO2 박막과 상기 스토리지전극 사이에 삽입되고, 표면이 플라즈마 질화된 Al2O3 박막과 표면이 플라즈마 질화된 ZrO2 박막의 이중 구조를 더 포함하여, ZrO2/Al2O3/ZrO2 구조가 되는 반도체소자의 캐패시터.

청구항 68.

제 64 항에 있어서,

상기 ZrO2 박막과 상기 스토리지전극 사이에 삽입되고, Al2O3 박막과 표면이 플라즈마 질화된 ZrO2 박막의 이중 구조를 더 포함하여, ZrO2/Al2O3/ZrO2 구조가 되는 반도체소자의 캐패시터.

청구항 69.

제 64 항에 있어서,

상기 ZrO2 박막과 상기 스토리지전극 사이에 삽입되고, Al2O3 박막과 ZrO2 박막의 이중 구조를 더 포함하여, ZrO2/Al2O3/ZrO2 구조가 되는 반도체소자의 캐패시터.

청구항 70.

제64항, 제67항, 제68항 또는 제69항 중 어느 한 항에 있어서,

상기 스토리지전극은 표면이 플라즈마 질화된 것을 특징으로 하는 반도체소자의 캐패시터.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 형성방법에 관한 것으로, 보다 상세하게는, 소망하는 충전용량을 확보하면서 누설전류 특성 및 열안정성 또한 확보할 수 있는 반도체 소자의 캐패시터 및 그의 제조 방법에 관한 것이다.

최근 반도체 제조 기술의 발달로 메모리 제품의 고집적화가 가속화됨에 따라 단위 셀 면적이 크게 감소하고 있으며, 동작 전압의 저전압화가 이루어지고 있다. 이에 따라, 소자의 리프레쉬 시간(refresh time)이 단축되고 소프트 에러(soft error)가 발생한다는 문제점들이 야기되고 있고, 이러한 문제를 방지하기 위해, 25fF/셀 이상의 높은 충전용량을 갖고 누설전류 발생이 적은 캐패시터의 개발이 지속적으로 요구되고 있다.

주지된 바와 같이, 캐패시터의 충전용량은 전극 표면적 및 유전체의 유전상수에 비례하고, 전극간 거리에 해당하는 유전막 두께, 보다 정확하게는, 유전막의 등가산화막 두께(Tox: equivalent SiO2 thickness)에 반비례한다. 그러므로, 고집적 소자에서 요구되는 큰 충전용량을 갖는 캐패시터를 구현하기 위해서는 높은 유전율을 가지면서 등가산화막 두께를 낮출 수 있는 유전막을 사용해야 한다.

종래 Si3N4(ε=7) 박막을 유전막으로 사용하는 NO(Nitride-Oxide) 캐패시터는 고집적화에 따르는 충전용량 확보에 한계를 드러내게 되었고, 충분한 충전용량 확보를 위해, Si3N4(ε=7) 보다 높은 유전상수를 갖는 Ta2O5(ε=25), La2O3(ε=30) 및 HfO2(ε=20) 등을 단일 유전체로 적용한 SIS(Polisilicon-Insulator-Polisilicon) 구조의 캐패시터 개발이 이루어지고 있다.

그런데, Ta2O5(ε=25)막은 누설전류에 취약할 뿐 아니라 열처리시 발생하는 산화막 때문에 사실상 등가산화막의 두께를 30Å이하로 낮출 수 없다는 문제점이 있다. 그리고, La2O3막 및 HfO2막은 유전상수가 각각 30 및 20 정도이므로 충전용량 확보 측면에서는 유리하지만, 등가산화막의 두께를 15Å이하로 낮추면 누설전류가 증가하고 항복전압 강도가 크게 작아져 반복적인 전기적 충격에 취약하기 때문에 캐패시터의 내구성을 저하시킨다는 문제점이 있다. 특히, HfO2막은 Al2O3막 보다 결정화 온도가 낮아 후속하는 600℃ 이상의 고온 열처리 진행시 누설전류가 급증하는 문제가 있다.

한편, 종래 SIS(Polisilicon-Insulator-Polisilicon)형 캐패시터에서 전극물질로 사용되어왔던 폴리실리콘의 경우도 고집적 소자에서 요구되는 높은 전기전도성을 확보하는데 한계가 있는바, 높은 전기전도도를 갖는 금속체를 새로운 전극물질로 사용하고자 하게 되었다.

이에, 100㎚ 이하의 미세 금속배선을 갖는 고집적 디램 공정에 적용할 수 있는 캐패시터로서, 금속전극과 이중 혹은 삼중 유전막를 채용한 캐패시터들이 개발되고 있다. 예컨데, 금속계 전극(TiN)과 HfO2/Al2O3와 같은 이중 유전체를 채용한 MIS(Metal-Insulator-Polisilicon) 구조의 캐패시터나, 또는, 금속계 전극(TiN)과 HfO2/Al2O3/HfO2와 같은 삼중 유전체를 채용한 MIM(Metal-Insulator-Metal) 구조의 캐패시터가 개발되고 있다.

그러나, 상기한 종래의 MIS 또는 MIM 구조의 캐패시터의 경우, 70nm 이하 금속배선을 갖는 소자에 적용하는데는 어려움이 있다. 이것은 상기 MIS 또는 MIM 캐패시터의 HfO2/Al2O3 및 HfO2/Al2O3/HfO2의 다중 유전막은 등가산화막 두께 한계가 12Å 정도이기 때문에 70nm 이하 금속배선이 적용되는 디램에서 25fF/셀 이상의 충전용량을 얻기 힘들기 때문이다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위해 제안된 것으로, 70nm급 이하 금속배선을 갖는 차세대 디램 제품에서 필요로 하는 충전용량을 확보하면서 누설전류 특성 또한 확보할 수 있는 반도체 소자의 캐패시터 및 그의 제조 방법을 제공함에 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위한 본 발명의 캐패시터는, 스토리지전극; 상기 스토리지전극 상의 ZrO2 박막과 Al2O3 박막으로 이루어진 다중 유전막; 및 상기 다중 유전막 상의 플레이트전극을 포함하는 것을 특징으로 한다.

바람직하게, 상기 다중 유전막은 ZrO2 박막과 Al2O3 박막의 순서로 적층된 ZrO2/Al2O3의 이중막 구조인 것을 특징으로 한다.

바람직하게, 상기 다중 유전막은 Al2O3 박막과 ZrO2 박막의 순서로 적층된 Al2O3/ZrO2의 이중막 구조인 것을 특징으로 한다.

바람직하게, 상기 다중 유전막은 ZrO2 박막, Al2O3 박막 및 ZrO2 박막의 순서로 적층된 ZrO2/Al2O3/ZrO2의 삼중막 구조인 것을 특징으로 한다.

바람직하게, 상기 다중 유전막은 ZrO2 박막과 Al2O3 박막을 각각 적어도 2회 이상 교번적으로 증착한 (ZrO2/Al2O3)n의 다중막 구조인 것을 특징으로 한다.

바람직하게, 상기 다중 유전막은 Al2O3 박막과 ZrO2 박막을 각각 적어도 2회 이상 교번적으로 증착한 (Al2O3/ZrO2)n의 다중막 구조인 것을 특징으로 한다.

또한, 본 발명의 캐패시터는, 스토리지전극; 상기 표면이 플라즈마 질화 처리된 스토리지전극 상에 형성되며 표면이 플라즈마질화된 ZrO2 박막; 상기 ZrO2 박막 상의 플레이트전극을 포함하는 것을 특징으로 하며, 상기 ZrO2 박막과 상기 스토리지전극 사이에 삽입된 Al2O3 박막을 더 포함하는 것을 특징으로 한다.

바람직하게, 상기 ZrO2 박막과 상기 스토리지전극 사이에 삽입된 Al2O3 박막을 더 포함하고, 상기 ZrO2 박막과 상기 스토리지전극 사이에 삽입된 표면이 플라즈마질화된 Al2O3 박막을 더 포함하며, 상기 ZrO2 박막과 상기 스토리지전극 사이에 삽입되고, 표면이 플라즈마질화된 Al2O3 박막과 표면이 플라즈마질화된 ZrO2 박막의 이중 구조를 더 포함하여, ZrO2/Al2O3/ZrO2 구조가 되고, 상기 ZrO2 박막과 상기 스토리지전극 사이에 삽입되고, Al2O3 박막과 표면이 플라즈마질화된 ZrO2 박막의 이중 구조를 더 포함하여, ZrO2/Al2O3/ZrO2 구조가 되며, 상기 ZrO2 박막과 상기 스토리지전극 사이에 삽입되고, Al2O3 박막과 ZrO2 박막의 이중 구조를 더 포함하여, ZrO2/Al2O3/ZrO2 구조가 되는 것을 특징으로 한다.

그리고, 본 발명의 반도체소자의 캐패시터 형성 방법은, 스토리지전극을 형성하는 단계; 상기 스토리지전극 상에 ZrO2 박막과 Al2O3 박막으로 이루어진 다중 유전막을 형성하는 단계; 및 상기 다중 유전막 상에 플레이트전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

바람직하게, 상기 다중 유전막은, 상기 스토리지전극 상에 ZrO2 박막을 증착한 후, 상기 ZrO2 박막 상에 Al2O3 박막을 증착하여 ZrO2/Al2O3의 이중막 구조를 갖도록 형성하는 것을 특징으로 한다.

바람직하게, 상기 다중 유전막은, 상기 스토리지전극 상에 Al2O3 박막을 증착한 후, 상기 Al2O3 박막 상에 ZrO2 박막을 증착하여 Al2O3/ZrO2의 이중막 구조를 갖도록 형성하는 것을 특징으로 한다.

바람직하게, 상기 다중 유전막은, 상기 스토리지전극 상에 ZrO2 박막, Al2O3 박막, ZrO2 박막을 차례로 증착하여 ZrO2/Al2O3/ZrO2의 삼중막 구조를 갖도록 형성하는 것을 특징으로 한다.

바람직하게, 상기 다중 유전막은, ZrO2 박막과 Al2O3 박막을 각각 적어도 2회 이상 교번적으로 증착하여 (ZrO2/Al2O3)n의 다중막 구조를 갖도록 형성하는 것을 특징으로 한다.

바람직하게, 상기 다중 유전막은, Al2O3 박막과 ZrO2 박막을 각각 적어도 2회 이상 교번적으로 증착하여 (Al2O3/ZrO2)n의 다중막 구조를 갖도록 형성하는 것을 특징으로 한다.

또한, 본 발명의 캐패시터 형성방법은, 스토리지전극을 형성하는 단계; 상기 스토리지전극의 표면을 플라즈마 질화 처리하는 단계; 상기 표면이 플라즈마 질화 처리된 스토리지전극 상에 ZrO2 박막을 증착하는 단계; 상기 ZrO2 박막의 표면을 플라즈마 질화 처리하여 표면이 질화된 ZrO2 박막을 형성하는 단계; 및 상기 질화된 ZrO2 박막 상에 플레이트전극을 형성하는 단계를 포함하는 것을 특징으로 하고, 상기 플라즈마 질화 처리는, 200~500℃의 온도, 0.1~10torr의 압력, NH3, N2 및 N2/H2로 구성된 그룹으로부터 선택되는 어느 하나의 분위기와 RF 파워를 100~500W 정도로 하여 글로우 방전(glow discharge)을 발생시킨 챔버 내에서 5~300초 동안 수행하는 것을 특징으로 한다.

또한, 본 발명의 캐패시터 형성방법은, 스토리지전극을 형성하는 단계, 상기 스토리지전극 상에 Al2O3 박막을 증착하는 단계; 상기 Al2O3 박막 상에 ZrO2 박막을 증착하는 단계; 상기 ZrO2 박막의 표면을 플라즈마 질화 처리하여 질화된 ZrO2 박막과 Al2O3 박막의 이중막으로 이루어진 유전막을 형성하는 단계, 및 상기 질화된 ZrO2 박막과 Al2O3 박막의 이중막 상에 플레이트전극을 형성하는 단계를 포함하는 것을 특징으로 하고, 상기 Al2O3 박막을 증착하는 단계 후, 상기 ZrO2 박막을 증착하는 단계 전, 상기 Al2O3 박막의 표면을 플라즈마 질화 처리하는 단계를 더 포함하는 것을 특징으로 한다.

또한, 본 발명의 캐패시터 형성방법은, 스토리지전극을 형성하는 단계; 상기 스토리지전극의 표면을 플라즈마 질화 처리하는 단계; 상기 표면이 플라즈마 질화 처리된 스토리지전극 상에 제1 ZrO2 박막, Al2O3 박막 및 제2 ZrO2 박막을 차례로 증착하는 단계; 상기 제2 ZrO2 박막의 표면을 플라즈마 질화 처리하여 제1ZrO2 박막, Al2O3 박막 및 질화된 제2 ZrO2 박막의 삼중막으로 이루어진 유전막을 형성하는 단계; 및 상기 유전막 상에 플레이트전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

(실시예)

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

본 발명은 70㎚급 이하 디램 캐패시터에 요구되는 30fF/셀 이상의 충전용량, 0.5fF/셀 이하의 누설전류 및 2.0V(@ 1pA/셀) 이상의 항복전압 특성을 얻을 목적으로, 플라즈마질화된 지르코늄산화막(이하, ZrO2 박막이라고 약칭함)의 단일막 또는 ZrO2 박막과 Al2O3 박막으로 이루어진 다중 유전막을 채용한 캐패시터를 구성한다. 이 경우, ZrO2 (Eg=7.8eV,ε=20~25) 박막이 Ta2O5(Eg=4.5eV,ε=25) 유전막 및 HfO2(Eg=5.7eV,ε=20) 유전막 보다 큰 밴드 갭 에너지(Band Gap Energy: Eg)와 유전상수 값을 갖는 물질인 것과, Al2O3(Eg=8.7eV,ε=9) 박막이 HfO2(Eg=5.7eV,ε=20) 유전막에 비해 열안정성이 뛰어난 물질인 것과 관련해서, ZrO2 박막과 Al2O3 박막으로 이루어진 다중 유전막은 종래 단일 유전막을 채용한 캐패시터의 누설전류 문제와 열안정성 문제 발생을 억제시킬 수 있다.

이에 따라, 플라즈마질화된 ZrO2 박막 또는 ZrO2 박막과 Al2O3 박막으로 이루어진 다중 유전막은 등가산화막 두께를 12Å 이하로 낮출 수 있고, 그러므로, 플라즈마질화된 ZrO2 박막 또는 ZrO2 박막과 Al2O3 박막으로 이루어진 다중 유전막을 채용한 본 발명의 캐패시터는 70nm급 이하 디램에서도 30fF/셀 이상의 대용량의 충전용량을 얻을 수 있다.

결과적으로, 플라즈마질화된 ZrO2 박막 또는 ZrO2 박막과 Al2O3 박막으로 이루어진 다중 유전막을 채용한 본 발명의 캐패시터는 70nm급 이하 금속배선을 갖는 차세대 디램 제품에서 필요로하는 충전용량을 확보하면서 양상적용 가능한 누설전류 및 항복전압 특성 또한 확보할 수 있다.

또한, 본 발명은 ZrO2, Al2O3 증착후에 막질 개선을 위해 저온 어닐링을 진행하고, 더불어 유전상수를 증가시키기 위해 고온 어닐링을 적용하여 결정성을 개선한다. 또한, 누설전류특성 열화 방지를 위해 금속전극과 열안정성이 뛰어난 Al2O3를 함께 사용한다.

도 1a 내지 도 1c는 본 발명의 제1실시예에 따른 반도체 소자의 캐패시터 형성방법을 설명하기 위한 공정별 단면도로서, 이를 설명하면 다음과 같다.

도 1a를 참조하면, 트랜지스터 및 비트라인을 포함한 하부 패턴들(도시안됨)이 형성된 반도체 기판(11)의 전면 상에 하부 패턴들을 덮도록 층간절연막(12)을 형성한다.

이어서, 층간절연막(12)을 식각하여 기판 접합영역 또는 랜딩플러그폴리(LPP)를 노출시키는 콘택홀(13)을 형성한 후, 콘택홀(13) 내에 도전막을 매립시켜 스토리지노드콘택(14)을 형성한다.

이어서, 스토리지노드콘택(14)을 포함한 층간절연막(12) 상에 스토리지전극 물질 증착 및 CMP 또는 에치백 공정으로 분리공정을 진행하여 스토리지노드 콘택(14)과 연결되는 스토리지전극(15)을 형성한다.

여기서, 스토리지전극(15)은 도프트 폴리실리콘(doped polysilicon), TiN, TaN, W, WN, Ru, RuO2, Ir, IrO2, Pt, Ru/RuO2, Ir/IrO2 및 SrRuO3로 구성된 그룹으로부터 선택된 어느 하나의 물질로 형성하되, 200Å～500Å 두께로 형성한다. 또한, 스토리지전극(15)은 도시된 바와 같은 원통형(cylinder) 구조 이외에 오목(concave) 구조, 또는, 단순 스택(Stack) 구조로도 형성이 가능하다.

예를 들어, 스토리지전극(15)을 TiN으로 증착하는 경우, 소오스물질로 TiCl4를 사용하고, 반응가스로는 NH3를 사용하며, 소오스물질과 반응가스의 유량을 각각 10sccm～1000sccm으로 유지한다. 이때, 반응챔버의 압력은 0.1～10torr로 유지하고, 기판온도는 500～700℃로 유지하며, TiN은 200Å～500Å 두께로 증착한다.

상기한 스토리지전극(15)을 형성한 후에는, 스토리지전극(15)을 치밀화시키고 누설전류 증가의 원인이 되는 전극내 잔류 불순물을 제거하면서, 전극 표면의 거칠기(roughness)를 완화하여 전계집중이 방지되도록 N2, H2, N2/H2, O2, O3 및 NH3로 구성된 그룹으로부터 선택되는 어느 하나의 가스 분위기에서 저온 어닐링을 수행한다.

이때, 저온 어닐링은 플라즈마(plasm), 전기로(furnace) 및 RTP(Rapid Thermal Process) 방식으로 구성된 그룹으로부터 선택되는 어느 하나의 방식으로 수행한다. 플라즈마를 이용하여 어닐링할 경우, 100W～500W의 RF 전력을 갖는 플라즈마를 이용하여, 200℃～500℃ 온도범위와 0.1～10torr 압력범위에서, 선택된 분위기 가스를 5sccm～5slm만큼 플로우시키면서 1분～5분 동안 진행한다. 한편, 전기로를 이용하여 어닐링할 경우, 600℃～800℃ 온도로 선택된 분위기 가스를 5sccm～5slm만큼 플로우시키면서 진행하며, RTP를 이용하여 어닐링할 경우, 500℃～800℃ 온도범위를 갖는 상압(700～760torr) 또는 감압(1～100torr)의 챔버 내에서 선택된 가스를 5sccm～5slm만큼 플로우시키면서 진행한다.

도 1b를 참조하면, 스토리지전극(15) 상에 ZrO2 박막(16a)과 Al2O3 박막(16b)의 순서로 적층된 Al2O3/ZrO2 구조의 다중 유전막(16)을 형성한다. 여기서, 다중 유전막(16)은 예를 들어, ALD(Atomic Layer Deposition) 방식에 의해 증착하는데, 이는 도 3을 참조하여 후술하기로 한다.

도 1c를 참조하면, ZrO2 박막(16a)과 Al2O3 박막(16b)으로 이루어진 다중 유전막(16) 상에 도프트 폴리실리콘, TiN, TaN, W, WN, Ru, RuO2, Ir, IrO2, Pt, Ru/RuO2, Ir/IrO2 및 SrRuO3로 구성된 그룹으로부터 선택된 어느 하나의 물질로 이루어진 플레이트전극(17)을 형성한다. 이로써, ZrO2 박막(16a)과 Al2O3 박막(16b)으로 이루어진 다중 유전막(16)이 채용된 제1실시예에 따른 캐패시터가 완성된다.

여기서, 플레이트전극(17)은 CVD TiN/PVD TiN으로 형성하는데, 예컨대, CVD TiN은 증착방법은 다음과 같다. 소오스물질로는 TiCl4를 사용하고, 반응가스로는 NH3를 사용하며, 소오스물질과 반응가스의 유량을 각각 10sccm～1000sccm으로 유지한다. 이때, 반응챔버의 압력은 0.1～10torr로 유지하고, 기판온도는 500～600℃로 유지하며, TiN은 200Å～400Å 두께로 증착한다.

상기 플레이트전극(17)의 형성 후에는 후속 집적공정 또는 패키지 공정에서의 환경성 테스트에서 수소(hydrogen) 성분, 수분, 온도 또는 전기적 충격 등으로부터 캐패시터의 구조적인 안정성을 확보하기 위한 보호막으로서 Al2O3, HfO2, Ta2O5, ZrO2, TiO2 및 La2O3와 같은 산화막 또는 TiN과 같은 금속 물질로 이루어진 보호막을 ALD 방식으로 50Å～200Å 두께로 증착함이 바람직하다.

도 2는 제1실시예에 따른 캐패시터의 구조를 상세히 도시한 도면으로서, 스토리지전극(15) 상에 ZrO2 박막(16a)과 Al2O3 박막(16b)의 순서로 적층된 다중 유전막(16)이 형성되고, 다중 유전막(16) 상에 플레이트전극(17)이 형성된다.

상기 다중 유전막(16)에서 ZrO2 박막(16a)은 5Å～100Å 두께이고, Al2O3 박막(16b)은 5Å～30Å 두께를 가져, 다중 유전막(16)의 총 두께는 10Å～130Å 두께가 된다.

도 3은 ALD 공정에 따른 ZrO2 박막과 Al2O3 박막으로 이루어진 다중 유전막의 증착 과정을 설명하기 위한 도면이다.

도 3에 도시된 바와 같이 ZrO2 박막과 Al2O3 박막의 증착은 "소오스가스 플로우, 퍼지, 반응가스 플로우, 퍼지"를 순차 진행하는 단위 싸이클을, 소망하는 두께의 박막이 얻어질 때까지 반복 수행하는 ALD 방식으로 진행한다. 즉, 단위사이클은 소오스가스를 플로우시켜 소오스 가스를 흡착시키고, 흡착되지 않고 챔버 내부에 잔류하는 소오스가스를 외부로 퍼지시키며, 챔버 내부 반응가스를 플로우시켜 흡착된 소오스가스와의 반응을 통해 원하는 박막을 증착한 후 다시 퍼지가스를 플로우시켜 챔버 내부에 잔류하는 미반응 반응가스를 외부로 퍼지시킨다.

먼저, ALD 방식에 의한 ZrO2 박막의 증착은, "Zr 소오스가스 플로우, 퍼지, 반응가스 플로우, 퍼지"를 순차 진행하는 단위 싸이클을 1사이클로 하고, 소망하는 두께의 박막이 얻어질 때까지 단위사이클을 반복 수행하는 방식으로 진행한다. 이때, ZrO2 박막 증착시 기판온도는 200℃～350℃ 범위의 저온으로 하고, 반응챔버의 압력은 0.1torr～1torr 범위로 한다.

자세히 살펴보면, ZrCl4, Zr[N(CH3)C2H5]4, Zr(O-tBu)4, Zr[N(CH3)2]4, Zr[N(C2H5)(CH3)]4, Zr[N(C2H5)2]4, Zr(tmhd)4, Zr(OiC3H7)3(tmtd) 및 Zr(OtBu)4]로 이루어진 그룹으로부터 선택되는 어느 하나의 Zr 소오스가스를 ALD 장비의 챔버 내부로 주입시켜 Zr 소오스를 흡착시킨다. 이때, Zr 소오스가스는 운반가스인 Ar 가스에 의해 챔버로 주입되는데, Ar 가스는 유량을 150sccm～250sccm으로 하여 0.1초～10초동안 플로우시킨다.

그리고, 챔버 내부로 퍼지가스(N2 또는 Ar)를 플로우시켜 흡착되지 않고 챔버 내부에 잔류하는 Zr 소오스가스를 외부로 퍼지시킨다. 이때, 퍼지가스는 유량을 200sccm～400sccm으로 하여 3초～10초동안 플로우시킨다.

그리고, 챔버 내부로 O3, O2, 플라즈마 O2, N2O, 플라즈마 N2O 및 H2O 증기로 구성된 그룹으로부터 선택되는 어느 하나의 반응가스를 플로우시켜 흡착된 Zr 소오스와 반응시켜 ZrO2 박막을 증착한다. 이때, 반응가스는 유량을 0.1slm～1slm으로 하여 3초～10초동안 플로우시키는데, 반응가스가 O3(농도가 100～500g/cm3)인 경우에는 유량을 200sccm～500sccm으로 한다.

마지막으로, 챔버 내부로 퍼지가스(N2 또는 Ar)를 플로우시켜 흡착되지 않고 챔버 내부에 잔류하는 미반응 반응가스를 외부로 퍼지시킨다. 이때, 퍼지가스는 유량을 50sccm～200sccm으로 하여 3초～10초동안 플로우시킨다.

상기와 같은 "Zr 소오스가스 플로우, 퍼지, 반응가스 플로우, 퍼지"를 순차 진행하는 단위 싸이클을 반복 수행하여 ZrO2 박막의 두께가 5Å～100Å이 되도록 한다.

다음으로, ALD 방식에 의한 Al2O3 박막의 증착은 ZrO2 박막 증착후 인시튜로 진행하는데, "Al 소오스가스 플로우, 퍼지, 반응가스 플로우, 퍼지"를 순차 진행하는 단위 싸이클을 1사이클로 하고, 소망하는 두께의 박막이 얻어질 때까지 단위사이클을 반복 수행하는 방식으로 진행한다. 그리고, Al2O3 박막의 증착시 기판온도는 200℃～500℃ 범위의 저온으로 하고, 반응챔버의 압력은 0.1torr～1torr 범위로 한다.

자세히 살펴보면, Al(CH3)3 또는 Al(C2H5)3를 사용하거나 Al을 함유한 다른 금속화합물로 구성된 그룹으로부터 선택되는 어느 하나의 Al 소오스가스를 ALD 장비의 챔버 내부로 플로우시켜 Al 소오스를 흡착시킨다. 이때, Al 소오스가스는 운반가스인 Ar 가스를 통해 챔버 내부로 주입되는데, Ar은 유량을 20sccm～100sccm으로 하여 0.1초～5초동안 플로우시킨다.

그리고, 챔버 내부로 퍼지가스(N2 또는 Ar)를 플로우시켜 흡착되지 않고 챔버 내부에 잔류하는 Al 소오스가스를 외부로 퍼지시킨다. 이때, 퍼지가스는 유량을 50sccm～300sccm으로 하여 0.1초～5초동안 플로우시킨다.

그리고, 챔버 내부로 O3, O2, 플라즈마 O2, N2O, 플라즈마 N2O 및 H2O 증기로 구성된 그룹으로부터 선택되는 어느 하나의 반응가스를 플로우시켜 흡착된 Al 소오스와 반응시켜 Al2O3 박막을 증착한다. 이때, 반응가스는 유량을 0.1slm～1slm으로 하여 3초～10초동안 플로우시키는데, 반응가스가 O3(농도가 100～500g/cm3)인 경우에는 유량을 200sccm～500sccm으로 한다.

마지막으로, 챔버 내부로 퍼지가스(N2 또는 Ar)를 플로우시켜 흡착되지 않고 챔버 내부에 잔류하는 미반응 반응가스를 외부로 퍼지시킨다. 이때, 퍼지가스는 유량을 300sccm～1000sccm으로 하여 0.1초～10초동안 플로우시킨다.

상기와 같은 "Al 소오스가스 플로우, 퍼지, 반응가스 플로우, 퍼지"를 순차 진행하는 단위 싸이클을 반복 수행하여 Al2O3 박막의 두께가 5Å～30Å이 되도록 한다.

상술한 바와 같이, ALD 방식에 의해 ZrO2 박막과 Al2O3 박막을 인시튜로 증착하여 형성하는 다중 유전막(20)은 각 박막의 증착 후속 공정으로, 박막내의 탄소, 수소 등의 불순물 및 산소공공과 같은 결함을 제거하면서 박막 표면의 거칠기를 완화하여 궁극적으로 각 박막의 누설전류 및 항복전압특성이 향상되도록 저온 어닐링을 수행한다.

이때, 저온 어닐링은 플라즈마 어닐링 또는 UV(Ultraviolet)/O3 어닐링을 진행한다.

먼저, 플라즈마 어닐링은 300℃～450℃의 온도범위에서 N2, H2, N2/H2, NH3, N2O, N2/O2, O2 및 O3로 구성된 그룹으로부터 선택되는 어느 하나의 가스 분위기로 수행하되, 50W～300W의 RF 전력을 갖는 플라즈마를 이용하여 0.1～1torr 압력범위에서 선택된 가스를 100sccm～200sccm만큼 플로우시키면서 30초～120초 동안 진행한다.

그리고, UV/O3 어닐링은 300℃～400℃의 온도범위에서 2분～10분동안 15 30mW/cm2의 강도로 실시한다.

위와 같은 저온 어닐링 공정후에는 각 박막의 유전상수를 증가시키기 위해 고온 어닐링을 추가로 진행하는데, 고온 어닐링은 N, Ar 및 He로 이루어진 그룹으로부터 선택되는 어느 하나의 비활성가스분위기에서 급속어닐링(Rapid Thermal Anneal) 또는 퍼니스어닐링(Furnace anneal)을 진행한다. 이때, 급속어닐링은 500℃～800℃ 온도범위를 갖는 상압(700～760torr) 또는 감압(1～100torr)의 챔버내에서 선택된 비활성가스를 5sccm～5slm만큼 플로우시키면서 30초～120초동안 진행하고, 퍼닐스어닐링은 600℃～800℃ 온도로 선택된 비활성가스를 5sccm～5slm만큼 플로우시키면서 10분～30분동안 진행한다.

한편, 저온 어닐링(플라즈마 어닐링 또는 UV/O3 어닐링)과 고온 어닐링(급속어닐링 또는 퍼니스어닐링)은 플레이트전극 형성후에 진행할 수도 있다.

도 4는 본 발명의 제2실시예에 따른 캐패시터의 구조를 도시한 도면으로서, 제2실시예에 따른 캐패시터는, 스토리지전극(21), 다중 유전막(22) 및 플레이트전극(23)으로 이루어진다.

도 4에서, 다중 유전막(22)은 Al2O3 박막(22a)과 ZrO2 박막(22b) 순서로 적층된 ZrO2/Al2O3 구조이며, 제2실시예는 제1실시예와 다르게 스토리지전극(21) 형성후에 Al2O3 박막(22a)을 먼저 증착하고, ZrO2 박막(22b)을 나중에 증착한다. 여기서, ZrO2 박막(22b)은 5Å～100Å 두께, Al2O3 박막(22a)은 5Å～30Å 두께를 유지한다.

도 5는 본 발명의 제3실시예에 따른 캐패시터의 구조를 도시한 도면으로서, 제3실시예에 따른 캐패시터는, 스토리지전극(31), 다중 유전막(32) 및 플레이트전극(33)으로 이루어진다.

도 5에서, 다중 유전막(32)은 ZrO2 박막(32a)과 Al2O3 박막(32b)의 순서로 각각 적어도 2회 이상 교번적으로 증착한 (Al2O3/ZrO2)n(2≤n≤10) 구조이다. 여기서, n은 각 박막의 증착횟수이며, ZrO2 박막(32a)은 5Å～25Å 두께, Al2O3 박막(32b)은 5Å～10Å 두께를 유지한다.

도 6은 본 발명의 제4실시예에 따른 캐패시터의 구조를 도시한 도면으로서, 제4실시예에 따른 캐패시터는, 스토리지전극(41), 다중 유전막(42) 및 플레이트전극(43)으로 이루어진다.

도 6에서, 다중 유전막(42)은 Al2O3 박막(42a)과 ZrO2 박막(42b)의 순서로 각각 적어도 2회 이상 교번적으로 증착한 (ZrO2/Al2O3)n(2≤n≤10) 구조이다. 여기서, n은 각 박막의 증착횟수이며, ZrO2 박막(42b)은 5Å～25Å 두께, Al2O3 박막(42a)은 5Å～10Å 두께를 유지한다.

도 7은 본 발명의 제5실시예에 따른 캐패시터의 구조를 도시한 도면으로서, 제5실시예에 따른 캐패시터는, 스토리지전극(51), 다중 유전막(52) 및 플레이트전극(53)으로 이루어진다.

도 7에서, 다중 유전막(52)은 제1ZrO2(52a), Al2O3(52b), 제2ZrO2(52c)의 순서로 적층된 ZrO2/Al2O3/ZrO2의 삼중막 구조이다. 여기서, 제,2ZrO2 박막(52a, 52c)은 5Å～50Å 두께, Al2O3 박막(52b)은 5Å～15Å 두께를 유지한다.

도 4 내지 도 7에서, Al2O3 박막과 ZrO2 박막은 도 3에 도시된 ALD 방식으로 증착한 것으로, Al2O3 박막과 ZrO2 박막의 소오스가스, 퍼지가스 및 반응가스는 모두 제1실시예와 동일하게 사용한다.

바람직하게, Zr 소오스가스는 ZrCl4, Zr[N(CH3)C2H5]4, Zr(O-tBu)4, Zr[N(CH3)2]4, Zr[N(C2H5)(CH3)]4, Zr[N(C2H5)2]4, Zr(tmhd)4, Zr(OiC3H7)3(tmtd) 및 Zr(OtBu)4]로 이루어진 그룹으로부터 선택되는 어느 하나를 사용하고, 퍼지가스는 N2 또는 Ar을 사용하고, 반응가스는 O3, O2, 플라즈마 O2, N2O, 플라즈마 N2O 및 H2O 증기로 구성된 그룹으로부터 선택되는 어느 하나를 사용하며, Al 소오스가스는 Al(CH3)3 또는 Al(C2H5)3를 사용하거나 Al을 함유한 다른 금속화합물로 구성된 그룹으로부터 선택되는 어느 하나를 사용한다.

아울러, ALD 방식에 의해 Al2O3 박막과 ZrO2 박막을 증착한 후에는 각 박막의 증착 후속 공정으로, 박막내의 탄소, 수소 등의 불순물 및 산소공공과 같은 결함을 제거하면서 박막 표면의 거칠기를 완화하여 궁극적으로 각 박막의 누설전류 및 항복전압특성이 향상되도록 저온 어닐링을 수행하고, 추가로 각 박막의 유전상수를 증가시키기 위해 고온 어닐링을 진행한다. 여기서, 저온어닐링 및 고온어닐링은 제1실시예를 참조하기로 한다.

상술한 바에 따르면, 제1 내지 제5실시예에 따른 캐패시터는 유전막으로, 큰 밴드 갭 에너지(Band Gap Energy: Eg) 값을 갖는 ZrO2(Eg=7.8eV,ε=20～25) 박막과 열안정성이 뛰어난 Al2O3(Eg=8.7eV,ε=9) 박막으로 이루어진 다중 유전막 구조를 구성함으로써, 누설전류 발생 억제력을 향상시킬 수 있음은 물론 항복전압 값을 높일 수 있고, 아울러, 대용량의 충전용량을 얻을 수 있는 바, 70㎚급 이하의 고집적 메모리 제품에서 요구하는 충분한 충전용량을 가지면서 누설전류 및 항복전압 특성을 갖는 캐패시터를 구현할 수 있다.

게다가, 상기 ZrO2 박막과 Al2O3 박막으로 이루어진 다중 유전막은 종래 HfO2 등의 단일 유전막보다 우수한 열안정성을 갖는 것과 관련해서 캐패시터 형성 후의 집적 공정에서 불가피하게 수반되는 고온 열처리 진행시에도 전기적 특성의 열화는 방지되며, 따라서, 본 발명은 70㎚ 이하의 금속배선 공정이 적용되는 차세대 반도체 메모리 소자에 있어서의 캐패시터의 내구성과 신뢰성을 동시에 향상시킬 수 있다.

도 8a 내지 도 8c는 본 발명의 제6실시예에 따른 캐패시터의 제조 방법을 도시한 공정 단면도이고, 도 8d는 본 발명의 제6실시예에 따른 캐패시터의 형성 방법을 설명하기 위한 모식도이다.

도 8a를 참조하면, 트랜지스터 및 비트라인을 포함한 하부 패턴들(도시안됨)이 형성된 반도체 기판(61)의 전면 상에 상기 하부 패턴들을 덮도록 층간절연막(62)을 형성한다. 그런다음, 상기 층간절연막(62)을 식각하여 기판 접합영역 또는 랜딩 플러그폴리(LPP)를 노출시키는 콘택홀(63)을 형성한 후, 상기 콘택홀(63) 내에 도전막을 매립시켜 스토리지 노드 콘택(64)을 형성한다. 이어서, 상기 스토리지 노드 콘택(64)을 포함한 층간절연막(62) 상에 스토리지 노드 콘택(64)과 연결되게 스토리지전극 물질 증착 및 CMP 또는 에치백 공정으로 분리공정을 진행하여 스토리지전극(65)을 형성한다.

여기서, 상기 스토리지전극(65)은 도프트 폴리실리콘, TiN, TaN, W, WN, Ru, RuO2, Ir, IrO2, Pt, Ru/RuO2, Ir/IrO2 및 SrRuO3로 구성된 그룹으로부터 선택된 어느 하나의 물질로 형성하되, 200～500Å 두께로 형성한다. 또한, 상기 스토리지전극(65)은 도시된 바와 같은 원통형(cylinder) 구조 이외에 오목(concave) 구조, 또는, 단순 스택(Stack) 구조로도 형성 가능하다.

예를 들어, 스토리지전극(65)을 TiN으로 증착하는 경우, 소오스물질로 TiCl4를 사용하고, 반응가스로는 NH3를 사용하며, 소오스물질과 반응가스의 유량을 각각 10sccm～1000sccm으로 유지한다. 이때, 반응챔버의 압력은 0.1～10torr로 유지하고, 기판온도는 500～700℃로 유지하며, TiN은 200Å～400Å 두께로 증착한다.

상기 스토리지전극(65)을 형성한 후, 스토리지전극(65)을 치밀화시키고 누설전류 증가의 원인이 되는 전극내 잔류 불순물을 제거하면서, 전극 표면의 거칠기(roughness)를 완화하여 전계집중이 방지되도록 N2, H2, N2/H2, O2, O3 및 NH3로 구성된 그룹으로부터 선택되는 어느 하나의 가스 분위기에서 저온 어닐링을 수행한다.

이때, 상기 저온 어닐링은 플라즈마, 전기로 및 RTP 방식으로 구성된 그룹으로부터 선택되는 어느 하나의 방식으로 수행한다. 플라즈마를 이용하여 어닐링할 경우, 100～500W의 RF 전력을 갖는 플라즈마를 이용하여, 200～500℃ 온도범위와 0.1～10torr 압력범위에서, 선택된 가스를 5sccm～5slm만큼 플로우 시키면서 1～5분 동안 진행한다. 한편, 전기로를 이용하여 어닐링할 경우, 600～800℃ 온도로 선택된 가스를 5sccm～5slm만큼 플로우 시키면서 진행하며, RTP를 이용하여 어닐링할 경우, 500～800℃ 온도범위를 갖는 상압(700～760torr) 또는 감압(1～100torr) 챔버내에서 선택된 가스를 5sccm～5slm만큼 플로우 시키면서 진행한다.

도 8b를 참조하면, 상기 스토리지전극(65)의 표면을 플라즈마 질화시킨 후, 30～100Å의 두께로 ZrO2 박막(67)을 증착하고, 그런다음, 상기 ZrO2 박막(67)의 표면을 플라즈마 질화시켜 표면이 질화된 ZrO2 박막(67)으로 이루어진 유전막을 형

성한다. 따라서, ZrO2 박막(67)의 위 아래에 플라즈마질화층(66a, 66b)이 존재하는데, ZrO2 박막(67) 아래의 플라즈마질화층(66a)은 스토리지전극(65)의 표면을 질화시킨 것이고, ZrO2 박막(67) 상부의 플라즈마질화층(66b)은 ZrO2 박막(67)의 표면을 질화시킨 것이다.

상기 ZrO2 박막(67)의 위 아래에 플라즈마질화층(66a, 66b)을 형성하는 이유는, ZrO2 박막(67)의 열안정성을 확보하고, 막 내로 불순물이 침투되는 것을 방지하기 위한 것으로, 플라즈마질화층(66a, 66b)을 형성하기 위한 플라즈마처리는 200~500℃의 온도, 0.1~10torr의 압력, NH3, N2 또는 N2/H2 분위기와 RF 파워를 100~500W 정도로 하여 글로우 방전(glow discharge)을 발생시킨 챔버 내에서 5초~300초 동안 수행한다.

이와 같이 ZrO2 박막(67)의 증착 전후로 플라즈마 질화 처리를 수행하는 경우, 플레이트전극으로부터 누설전류 소오스인 불순물이 막 내로 확산되는 것을 차단할 수 있으며, 특히, ZrO2 박막(67)의 상하부 표면에 Zr-O-N 결합을 유도하여 자체의 결정화 온도가 상승되도록 함으로써 후속하는 600℃ 이상의 고온 열공정 진행시 결정화가 억제되어 캐패시터의 누설전류 발생을 방지할 수 있음은 물론 캐패시터 유전막의 항복전압도 증가시킬 수 있게 된다.

한편, 상기 플라즈마 질화 처리 후에는 상기 ZrO2 박막(67)의 표면에 축적된 질소의 농도 프로파일을 제어하여 캐패시터의 전기적 특성이 조절될 수 있도록 상압 또는 감압 상태와 600~900℃의 온도 범위에서 RTP 또는 퍼니스 방식에 따라 어닐을 수행한다.

그리고, ZrO2 박막(67)은 도 3에 도시된 ALD 방법은 물론 MOCVD(Metal Organic CVD) 방법 또는 펄스드(pulsed)-CVD 방법을 이용하여 증착한다.

ALD 방식에 의한 ZrO2 박막의 증착은, "Zr 소오스가스 플로우, 퍼지, 반응가스 플로우, 퍼지"를 순차 진행하는 단위 싸이클을 1사이클로 하고, 소망하는 두께의 박막이 얻어질 때까지 단위사이클을 반복 수행하는 방식으로 진행한다. 그리고, ZrO2 박막의 증착시 기판온도는 200℃~350℃ 범위의 저온으로 하고, 반응챔버의 압력은 0.1torr~1torr 범위로 한다.

먼저, Zr 소오스가스로는 ZrCl4 또는 Zr[N(CH3)C2H5]4를 사용하거나 Zr을 함유한 다른 금속화합물로 구성된 그룹으로부터 선택되는 어느 하나를 사용하고, 상기 Zr 소오스가스의 운반가스로 Ar을 사용한다. 여기서, 운반가스인 Ar은 유량을 150sccm~250sccm으로 하여 0.1초~10초동안 플로우시키고, 이때 Zr 소오스가스는 50~500sccm으로 플로우시킨다.

그리고, 반응가스로는 O3(농도; 200±20g/㎥), O2 및 수증기(H2O)로 구성된 그룹으로부터 선택되는 어느 하나를 사용하고, 퍼지가스는 N2 또는 아르곤을 사용한다. 이때, 퍼지가스는 유량을 200sccm~400sccm(Zr 소오스 플로우후) 또는 50sccm~200sccm(반응가스 플로우후)으로 하여 3초~10초동안 플로우시키며, 반응가스는 유량을 0.1slm~1slm으로 하여 3초~10초동안 플로우시킨다. 또한, 반응가스로는 ZrO2 박막(67) 내에 약한 수소결합(H-bond)에 기인한 전하 트래핑 현상을 제거할 목적으로 수증기(H2O) 대신 중수(D2O)를 사용하여 수소결합(H-bond) 대신에 중수결합(D-bond)을 가지는 금속산화막의 절연막을 형성해주는 것도 가능하며, 이 경우, 유전막의 신뢰성을 더욱 향상시킬 수 있다. 또한, 반응가스로는 수증기, 중수 외에 O3, O2, 플라즈마 O2, N2O, 플라즈마 N2O를 사용할 수도 있다.

도 8c를 참조하면, 증착 전후에 플라즈마 질화 처리를 수행한 ZrO2 박막(67) 상에 플레이트 전극(68)을 형성하고, 이를 통해, 질화된 ZrO2 박막(67)이 채용된 캐패시터의 형성을 완성한다.

이때, 플레이트전극(68)은 도프트 폴리실리콘으로 형성하거나, 또는, TiN, TaN, W, WN, WSi, Ru, RuO2, Ir, IrO2 및 Pt 등과 같은 물질로 형성하며, 특히, 플레이트전극(68)을 금속 물질로 형성한 경우에는, 바람직하게, 그 위에 습도, 온도 또는 전기적 충격으로부터 캐패시터의 구조적인 안정성을 향상시키기 위한 보호막으로서 실리콘질화막 또는 폴리실리콘막을 200~1000Å 두께로 증착한다.

상기한 도 8a 내지 도 8c 및 도 8d에 따르면, 제6실시예에서는, ZrO2 박막(67)의 증착 전후에 플라즈마 질화 처리를 수행하여 ZrO2 박막(67)의 표면에 Zr-O-N의 결합을 유도하여 자체 결정화 온도를 높임은 물론 막 내의 불순물 확산이 차단되도록 한다. 다시 말하면, ZrO2 박막이 가지고 있는 열안정성의 한계, 즉 결정화온도가 낮다는 단점을 극복하기 위해서 ZrO2 박막의 증착후 그 표면을 플라즈마처리하여 박막 내에 질소를 혼합시켜서 Zr-O-N 결합을 유도한다. 이경우, 표면 질화에 의해 ZrO2 박막 자체의 결정화 온도가 높아지며, 또한, 플레이트전극 또는 스토리지전극으로부터 ZrO2 박막 내로의 불순물 확산을 효과적으로 억제시킨다.

이로써, 제6실시예에서는 ZrO2 박막(67)의 누설전류 특성을 향상시킬 수 있음은 물론 항복전압 또한 높일 수 있어 구조적인 안정성 또한 확보할 수 있다. 그러므로, 질화된 ZrO2 박막을 유전막으로 채용하여 캐패시터를 구성함으로써, 충분한 충전용량을 확보할 수 있음은 물론 누설전류 특성 또한 확보할 수 있어서, 70㎚급 이하 메모리 제품의 캐패시터 구현을 가능하게 할 수 있다.

한편, 전술한 본 발명의 제6실시예에서는 캐패시터 유전막으로 질화된 ZrO2박막(67)의 단일막을 적용하였으나, 질화된 Al2O3 박막과 질화된 ZrO2 박막의 이중막, Al2O3 박막과 질화된 ZrO2 박막의 이중막, ZrO2 박막, Al2O3 박막 및 질화된 ZrO2 박막의 삼중막, 질화된 ZrO2 박막, Al2O3 박막 및 질화된 ZrO2 박막, 질화된 ZrO2 박막, 질화된 Al2O3 박막 및 질화된 ZrO2 박막의 삼중막을 적용하는 것도 가능하며, 이중막 또는 삼중막 구조의 질화된 ZrO2 박막을 적용하더라도 질화된 ZrO2의 단일막을 적용한 경우와 동일한 효과를 얻을 수 있다.

도 9 내지 도 11은 본 발명의 제7실시예 내지 제9실시예에 따른 캐패시터의 형성 방법을 설명하기 위한 모식도이다.

도 9는 본 발명의 제7실시예에 따른 질화된 ZrO2 박막과 질화된 Al2O3 박막의 이중막 구조로 유전막을 구성하는 경우로서, 도시된 바와 같이, 도프트 폴리실리콘 또는 TiN으로 된 스토리지전극 상에 Al2O3 박막을 증착한 후, Al2O3 박막의 표면을 NH3 플라즈마 질화 처리하고, 그런다음, 플라즈마 질화 처리가 수행된 Al2O3 박막 상에 ZrO2 박막을 증착하며, 그리고 나서, 상기 ZrO2 박막의 표면을 NH3 플라즈마 질화 처리하여, 최종적으로 질화된 ZrO2박막과 질화된 Al2O3 박막의 이중막으로 이루어진 유전막을 형성한다.

도 10은 본 발명의 제8실시예에 따른 질화된 ZrO2 박막과 Al2O3의 이중막으로 유전막을 구성하는 경우로서, 도시된 바와 같이, 스토리지전극 상에 Al2O3 박막과 ZrO2 박막을 차례로 증착한 후, 상기 ZrO2 박막의 표면을 NH3 플라즈마 질화 처리하여, 최종적으로 질화된 ZrO2 박막과 Al2O3의 이중막으로 이루어진 유전막을 형성한다.

상기 도 9 및 도 10의 유전막 형성방법들에 있어서, Al2O3 박막은 ZrO2 박막보다 상대적으로 열안정성이 우수하기 때문에 질화된 ZrO2 박막과 질화된 Al2O3 박막, 또는 질화된 ZrO2 박막과 Al2O3 박막의 이중막으로 유전막을 구성하는 경우가 질화된 ZrO2 박막의 단일막으로 유전막을 구성하는 경우 보다 누설전류 특성이 더 우수할 것으로 예상된다. 특히, 후속의 열공정이 850℃ 이상일 경우에는 도 9에서와 같이 ZrO2 박막의 증착전 Al2O3 박막의 표면을 NH3 플라즈마 질화 처리해줌이 좋겠지만, 후속 열공정이 850℃ 이하일 경우에는 도 10에서와 같이 ZrO2 박막의 증착전 NH3 플라즈마 질화 처리를 생략한 채, 단지, ZrO2 박막의 증착후에만 NH3 플라즈마 질화 처리를 수행하더라도 ZrO2의 열안정성 강화 효과는 충분히 기대할 수 있다.

도 11은 본 발명의 제9실시예에 따른 ZrO2 박막, Al2O3 및 질화된 ZrO2 박막의 삼중막 구조로 유전막을 구성하는 경우로서, 도시된 바와 같이, 스토리지전극의 표면을 NH3 플라즈마 질화 처리한 후, 플라즈마 질화 처리가 수행된 스토리지전극 상에 제1 ZrO2 박막, Al2O3 박막 및 제2 ZrO2 박막을 차례로 증착하고, 그런다음, 상기 제2 ZrO2 박막의 표면을 NH3 플라즈마 질화 처리하여, 최종적으로 ZrO2 박막, Al2O3 및 질화된 ZrO2 박막의 삼중막으로 이루어진 유전막을 형성한다.

상기에서, Al2O3 박막은 ZrO2 박막과 마찬가지로 ALD, MOCVD 또는 펄스드-CVD 방법 중에서 어느 하나로 형성하며, ALD 방식에 의한 Al2O3 박막의 증착은 "Al 소오스가스 플로우, 퍼지, 반응가스 플로우, 퍼지"를 순차 진행하는 단위 싸이클을 1사이클로 하고, 소망하는 두께의 박막이 얻어질 때까지 단위사이클을 반복 수행하는 방식으로 진행한다. 그리고, Al2O3 박막의 증착시 기판온도는 200℃～500℃ 범위의 저온으로 하고, 반응챔버의 압력은 0.1torr～1torr 범위로 한다.

먼저, Al 소오스가스는 Al(CH3)3 또는 Al(C2H5)3를 사용하거나 Al을 함유한 다른 금속화합물로 구성된 그룹으로부터 선택되는 어느 하나를 사용하고, Al 소오스가스의 운반가스로 Ar을 사용한다. 여기서, 운반가스인 Ar은 유량을 20sccm～100sccm으로 하여 0.1초～5초동안 플로우시킨다.

그리고, 반응가스로는 O3,(농도; 200±20g/m3), O2 및 수증기(H2O)로 구성된 그룹으로부터 선택되는 어느 하나를 사용하고, 퍼지가스는 N2 또는 아르곤을 사용한다. 이때, 퍼지가스는 Al 소오스가스 플로우후에는 유량을 50sccm～300sccm으로 하여 0.1초～5초동안 플로우시키며, 반응가스 플로우후에는 유량을 300sccm～1000sccm으로 하여 0.1초～10초동안 플로우시킨다. 그리고, Al 소오스가스는 50 ～500sccm으로 플로우시키고, 반응가스는 유량을 0.1slm～1slm으로 하여 3초～10초동안 플로우시킨다.

그리고, 제9실시예에서는, ZrO2 박막, Al2O3 및 질화된 ZrO2 박막의 삼중막 구조로 유전막을 구성하는 경우를 예로 들었으나, 질화된 ZrO2 박막, Al2O3 박막 및 질화된 ZrO2 박막, 질화된 ZrO2 박막, 질화된 Al2O3 박막 및 질화된 ZrO2 박막의 삼중막을 적용하는 것도 가능하다.

상술한 제6 내지 제9실시예에 따르면, ZrO2 박막의 증착후 그 표면을 플라즈마 질화 처리하여 박막 내에 질소(nitrogen)를 혼합시켜서 Zr-O-N 결합을 유도한다. 이 경우, 표면 질화에 의해 ZrO2 박막 자체의 결정화 온도가 높아지며, 또한, 플레이트전극 또는 스토리지전극(=스토리지전극)으로부터 ZrO2 박막내로의 불순물 확산을 효과적으로 억제시킬 수 있게 된다.

이러한 원리에 입각하여, 질화된 ZrO2의 단일막 구조로 캐패시터 유전막을 구성하거나, 질화된 ZrO2와 Al2O3의 이중막, 또는, ZrO2와 Al2O3 및 질화된 ZrO2의 삼중막 구조로 캐패시터 유전막으로 구성하며, 이를 통해, 100㎚급 이하 메모리 제품에서 요구되는 충전용량을 확보함은 물론 누설전류 특성을 확보한다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명은 캐패시터의 유전막으로, 큰 밴드 갭 에너지(Band Gap Energy: Eg) 값을 갖는 ZrO2 (Eg=7.8eV,ε=20~25) 박막과 열안정성이 뛰어난 Al2O3(Eg=8.7eV,ε=9) 박막으로 이루어진 다중 유전막 구조를 구성함으로써, 누설전류 발생 억제력을 향상시킬 수 있음은 물론 항복전압 값을 높일 수 있고, 아울러, 대용량의 충전용량을 얻을 수 있는 바, 70㎚급 이하의 고집적 메모리 제품에서 요구하는 충분한 충전용량을 가지면서 누설전류 및 항복전압 특성을 갖는 캐패시터를 구현할 수 있다.

게다가, 상기 ZrO2 박막과 Al2O3 박막으로 이루어진 다중 유전막은 종래 HfO2 등 단일 유전막 보다 우수한 열 안정성을 갖는 것과 관련해서 캐패시터 형성 후의 집적 공정에서 불가피하게 수반되는 고온 열처리 진행시에도 전기적 특성의 열화는 방지되며, 따라서, 본 발명은 70㎚ 이하의 금속배선 공정이 적용되는 차세대 반도체 메모리 소자에 있어서의 캐패시터의 내구성과 신뢰성을 동시에 향상시킬 수 있다.

또한, 본 발명은 캐패시터의 유전막으로서 ZrO2 박막으로 적용하되, 그 증착 전후에 플라즈마 질화 처리를 수행하여 박막 표면에 Zr-O-N 결합을 유도해 줌으로써, ZrO2 박막 자체의 결정화 온도를 높임은 물론 플레이트전극으로부터 막 내부로의 불순물 확산을 방지함으로써 소망하는 충전용량을 확보하면서도 캐패시터의 누설전류 특성 및 항복전압 특성을 향상시킬 수 있다.

따라서, 본 발명은 ZrO2의 유전막을 채용한 캐패시터를 형성하더라도 700℃ 이상의 고온 열공정에 의한 누설전류 발생 수준을 적어도 2배 이상 크게 낮출 수 있는 바, 초고집적 메모리 제품에서의 캐패시터의 내구성과 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

도 1a 내지 도 1c는 본 발명의 제1실시예에 따른 반도체 소자의 캐패시터 형성방법을 설명하기 위한 공정별 단면도.

도 2는 제1실시예에 따른 캐패시터의 구조를 상세히 도시한 도면.

도 3은 ALD 공정에 따른 ZrO2 박막과 Al2O3 박막으로 이루어진 다중 유전막의 증착 과정을 설명하기 위한 도면.

도 4는 본 발명의 제2실시예에 따른 캐패시터의 구조를 도시한 도면.

도 5는 본 발명의 제3실시예에 따른 캐패시터의 구조를 도시한 도면.

도 6은 본 발명의 제4실시예에 따른 캐패시터의 구조를 도시한 도면.

도 7은 본 발명의 제5실시예에 따른 캐패시터의 구조를 도시한 도면.

도 8a 내지 도 8c는 본 발명의 제6실시예에 따른 캐패시터의 제조 방법을 도시한 공정 단면도.

도 8d는 본 발명의 제6실시예에 따른 캐패시터의 형성 방법을 설명하기 위한 모식도.

도 9 내지 도 11은 본 발명의 제7실시예 내지 제9실시예에 따른 캐패시터의 형성 방법을 설명하기 위한 모식도.

* 도면의 주요 부분에 대한 부호의 설명 *

11 : 반도체기판 12 : 층간절연막

13 : 콘택홀 14 : 스토리지노드콘택

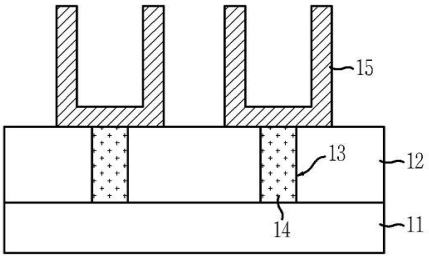
15 : 스토리지전극 16 : 다중 유전막

16a : ZrO2 박막 16b : Al2O3 박막

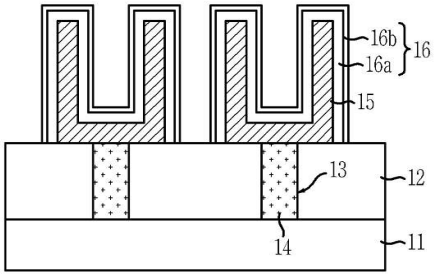
17 : 플레이트전극

도면

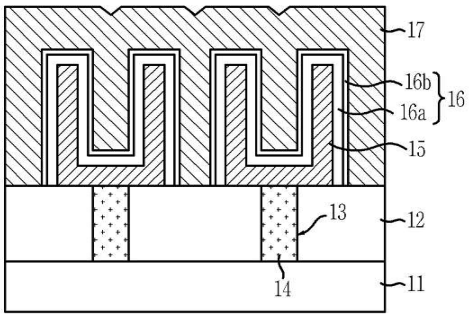
도면1a



도면1b



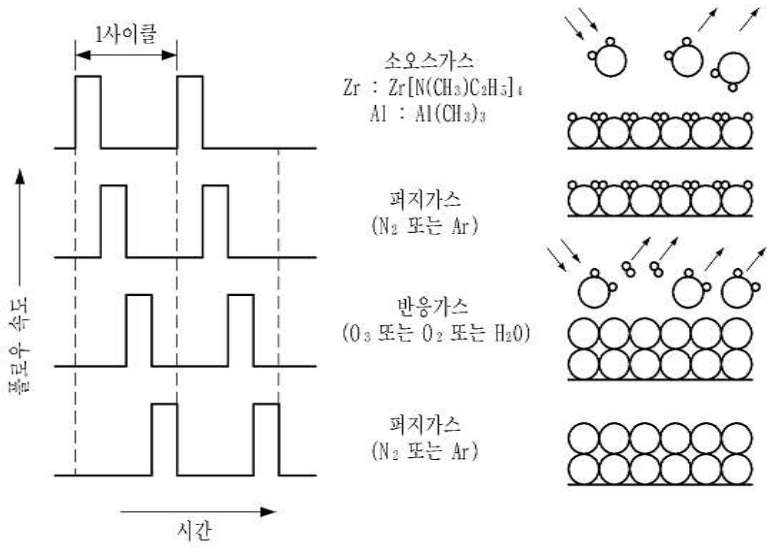
도면1c


17
16b
16a
16
15
13
12
14
11

도면2

플레이트전극
17
Al2O3 박막 : 5~30 Å
16b
ZrO2 박막 : 5~100 Å
16a
16
스토리지전극
15

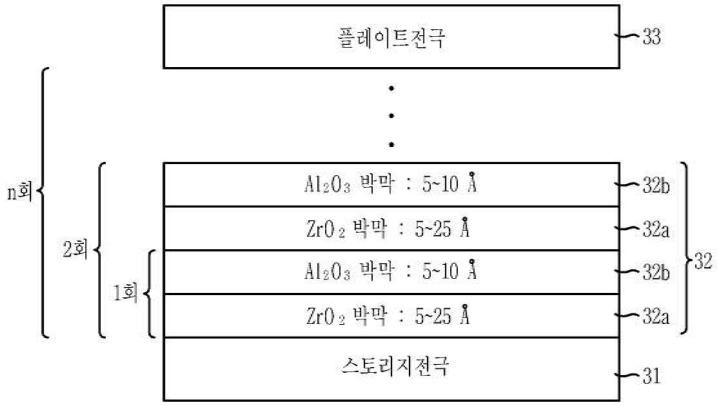
도면3


1사이클
소오스가스
Zr : Zr[N(CH3)C2H5]4
Al : Al(CH3)3
퍼지가스
(N2 또는 Ar)
반응가스
(O3 또는 O2 또는 H2O)
퍼지가스
(N2 또는 Ar)
플로우 속도
시간

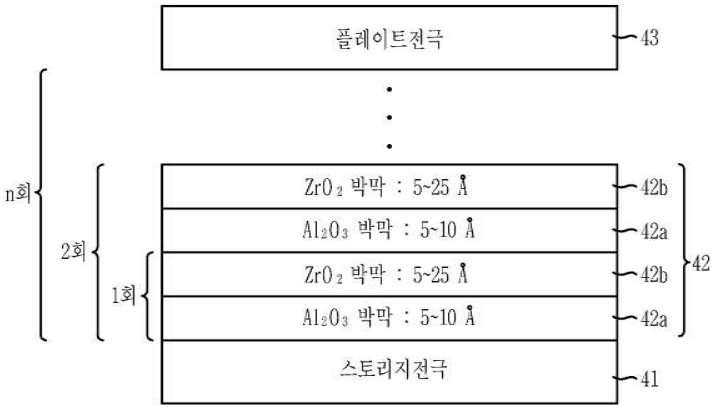
도면4

플레이트전극
23
ZrO_2 박막 : 5~100 Å
22b
22
Al_2O_3 박막 : 5~30 Å
22a
스토리지전극
21

도면5

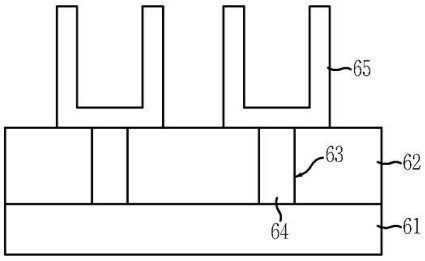

플레이트전극
33
n회
2회
1회
Al_2O_3 박막 : 5~10 Å
32b
ZrO_2 박막 : 5~25 Å
32a
Al_2O_3 박막 : 5~10 Å
32b
32
ZrO_2 박막 : 5~25 Å
32a
스토리지전극
31

도면6

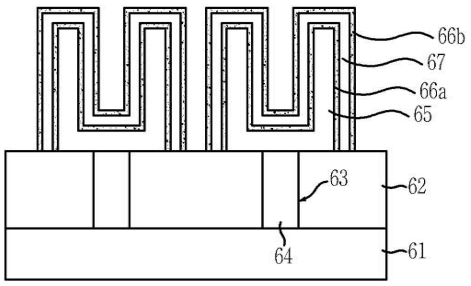

플레이트전극
43
n회
2회
1회
ZrO_2 박막 : 5~25 Å
42b
Al_2O_3 박막 : 5~10 Å
42a
ZrO_2 박막 : 5~25 Å
42b
42
Al_2O_3 박막 : 5~10 Å
42a
스토리지전극
41

도면7

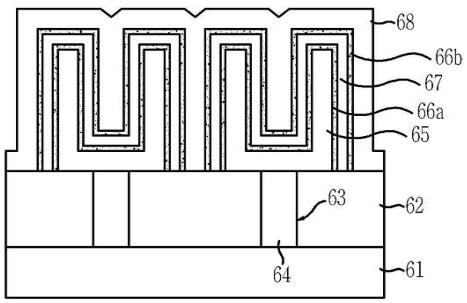
도면8a



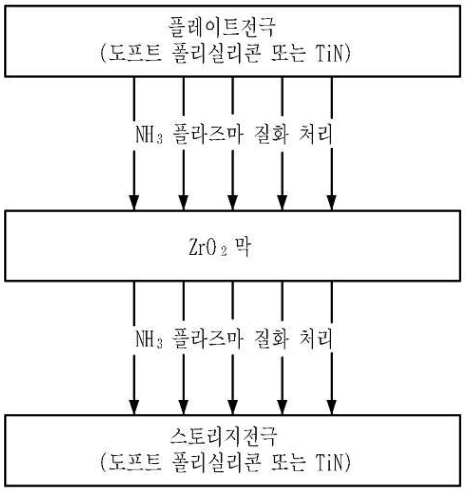
도면8b



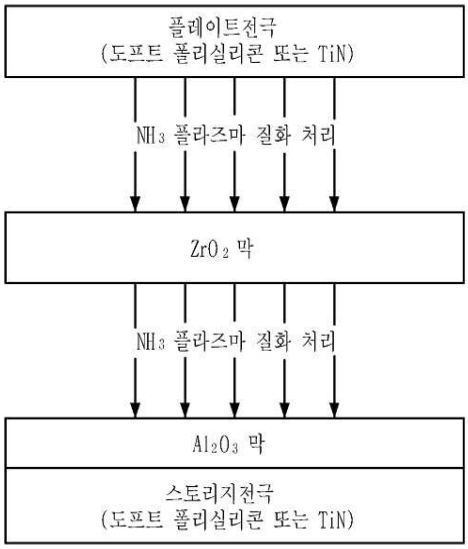
도면8c



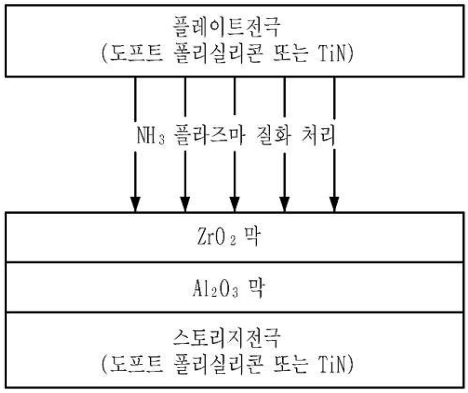
도면8d



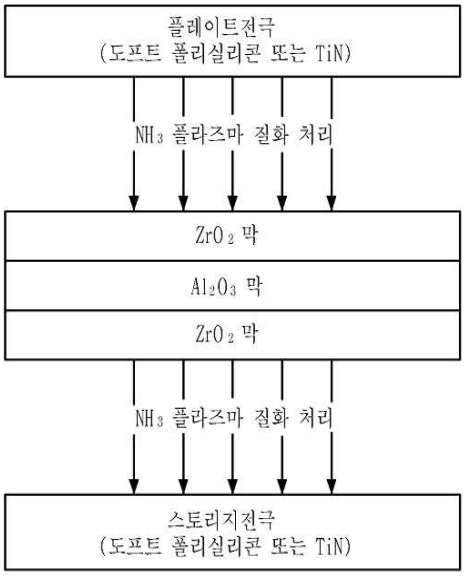
도면9



도면10



도면11


플레이트전극
(도프트 폴리실리콘 또는 TiN)
NH3 플라즈마 질화 처리
ZrO2 막
Al2O3 막
ZrO2 막
NH3 플라즈마 질화 처리
스토리지전극
(도프트 폴리실리콘 또는 TiN)