



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201216163 A1

(43)公開日：中華民國 101 (2012) 年 04 月 16 日

(21)申請案號：099134675

(22)申請日：中華民國 99 (2010) 年 10 月 12 日

(51)Int. Cl. : **G06F9/455 (2006.01)**

(71)申請人：財團法人工業技術研究院 (中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

(72)發明人：許哲懋 HSU, JOSH (TW)；葉人傑 YEH, JC (TW)；黃迅倫 HUANG, HSUN LUN (TW)

(74)代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：17 項 圖式數：5 共 26 頁

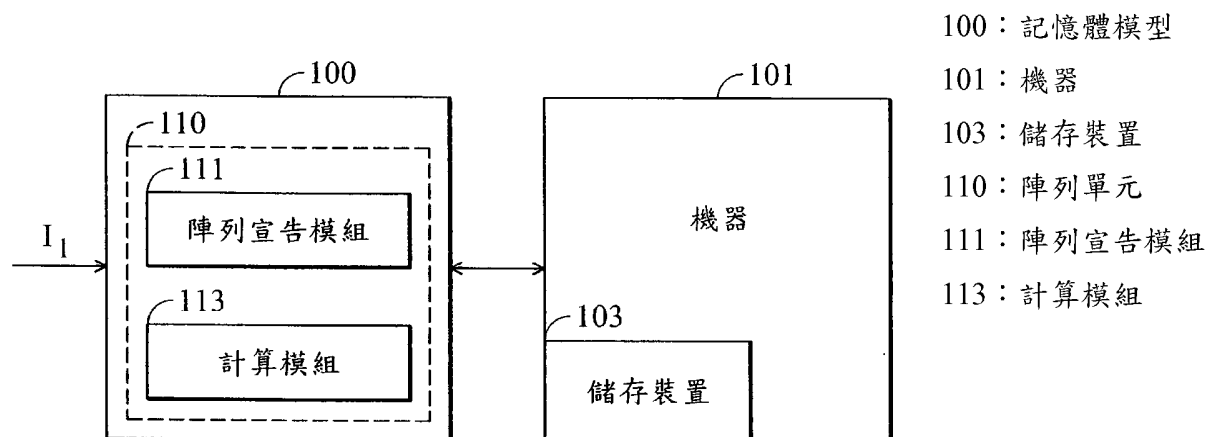
(54)名稱

記憶體模擬方法以及模型產生器

MEMORY MODELING METHOD AND MODEL GENERATOR

(57)摘要

一種記憶體模擬方法，包括提供一記憶體模型，其中該記憶體模型至少包括一陣列單元，該陣列單元包括一陣列宣告模組與一計算模組；藉由陣列宣告模組於一儲存裝置中定義一虛擬陣列，以模擬一實體記憶體；接收一存取指示，且對於該虛擬陣列執行相應存取指示之一存取操作，依據一事務層級(transaction level)進行存取操作；以及藉由計算模組依據該存取指示，估測於存取指示下相應存取操作之一存取時間或一延遲時間。



## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種記憶體模擬方法，特別是有關於一種以事務層級(transaction level)進行資料傳輸，並可準確地估測出一實體記憶體執行一存取操作時的一存取時間及一延遲時間的記憶體模擬方法。

### 【先前技術】

在全球市場的競爭下，消費性電子產品的生命週期逐漸縮短，新產品也因使用者的需求，不斷地創新，這也使得系統晶片設計的複雜度大幅提高。為取得市場先機，電子產品的設計者採取減短記憶體的存取時間，提升系統整體效能，設計更快速、更可靠的軟硬體整合系統。

### 【發明內容】

本發明提供一種記憶體模擬方法，包括提供一記憶體模型，其中該記憶體模型至少包括一陣列單元，該陣列單元包括一陣列宣告模組與一計算模組；藉由該陣列宣告模組於一儲存裝置中定義一虛擬陣列，其中該虛擬陣列係用以模擬一實體記憶體；接收一存取指示，且對於該虛擬陣列執行相應該存取指示之一存取操作，其中依據一事務層級(transaction level)方式，進行該存取操作；以及藉由該計算模組依據該存取指示，估測於該存取指示下相應該存取操作之一存取時間或一延遲時間。

本發明上述方法可以透過程式碼方式收錄於實體媒體

中。當程式碼被機器載入且執行時，機器變成用以實行本發明之裝置。

本發明另提供一種模型產生器，包括一估測產生器。估測產生器根據一記憶體參數，產生一記憶體模型。記憶體模型包括一陣列單元。記憶體參數與記憶體模型欲模擬的一實體記憶體的參數有關。陣列單元包括一陣列宣告模組以及一計算模組。陣列宣告模組可定義出一虛擬陣列，並可根據一存取指示，對虛擬陣列執行相應於存取指示的一存取操作。陣列單元係以一事務層級方式，對虛擬陣列執行存取操作。計算模組依據存取指示，估測於存取指示下相應於該存取操作之一存取時間以及一延遲時間。

為讓本發明之特徵和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

### 【實施方法】

在系統虛擬平台建置初期，針對欲使用的記憶體種類，建立高階記憶體模型，以達到快速且準確的系統模擬與分析，並且在進行大量資料存取時，分析及設計出有效率的記憶體存取機制。

第 1 圖為本發明之記憶體模型之一可能實施例。記憶體模型 100 係被一機器 101 載入以執行一記憶體模擬方法。在本實施例中，記憶體模型 100 可模擬一實體記憶體的一存取操作，並準確地估測出該存取操作所需的時間。本發明並不限定欲模擬的實體記憶體的種類。舉例而言，記憶體模型 100 可模擬 SRAM、DRAM、EDO DRAM、

SDRAM、DDR、DDR2、DDR3…等。

在本實施例中，記憶體模型 100 包括一陣列單元 110。陣列單元 110 具有陣列宣告模組 111 以及計算模組 113。陣列宣告模組 111 可在機器 101 的儲存裝置 103 中，定義一虛擬陣列，並可根據存取指示  $I_1$ ，對虛擬陣列執行相應於存取指示  $I_1$  的一存取操作。在本實施例中，係依據一事務層級(transaction level)方式，對儲存裝置 103 裡的虛擬陣列進行資料傳輸。因此，可減少模擬記憶體功能的複雜度，進而提升整體虛擬平台的模擬效能。

計算模組 113 依據存取指示  $I_1$ ，估測於存取指示  $I_1$  下相應於該存取操作之一存取時間以及一延遲時間。本發明並不限定存取指示  $I_1$  所告知的訊息。在一可能實施例中，記憶體模型 100 藉由存取指示  $I_1$ ，至少可得知存取位址、操作模式、存取順序、存取要求的時間點以及多筆存取要求是否重疊。因此，計算模組 113 根據存取指示  $I_1$  所告知的資訊，便可精確地估測出欲模擬的實體記憶體的實際延遲時間。

在一可能實施例中，陣列宣告模組 111 可根據存取指示  $I_1$ ，調整虛擬陣列的大小。另外，陣列宣告模組 111 亦可根據存取指示  $I_1$ ，得知虛擬陣列的使用狀況(如 bank 的使用狀況)，並將得知結果儲存在虛擬陣列中。

在一可能實施例中，計算模組 113 至少包括一估算函式。計算模組 113 依據估算函式，估測於存取指示  $I_1$  下該實體記憶體的存取時間或延遲時間。在一可能實施例中，

估算函式具有複數時間參數。該等時間參數亦可由存取指示  $I_1$  進行調整。本發明並不限定時間參數的種類。在一可能實施例中，時間參數可為 CAL、tRCD、tRP、tRFC、tWR、tREF、tRC、tRR、tRAS 等。

在本實施例中，計算模組 113 考慮所有會影響實體記憶體存取時間的延遲因素，如時間參數、操作模式、欲模擬的實體記憶體的種類、更新(refresh)時間、bank 的使用狀態、存取位址、存取順序以及多筆存取要求重疊。因此，計算模組 113 可精確地估測出欲模擬的實體記憶體的實際延遲時間。

再者，為了準確估測出記憶體存取所需的時間，在本實施例中，將詳細記錄當時的虛擬陣列的狀態，包含每個 bank 最近一次被存取的時間、目前開啟的 bank 及 row、定址模式、各種記憶體時序參數、多個存取要求所造成的延遲、以及上次記憶體存取係寫作或讀取。藉由這些記錄結果，便可使得計算模組 113 準確估測出實體記憶體存取時所需的存取時間及延遲時間。在其它實施例中，只要是會影響實體記憶體的存取時間及延遲時間的因素，均會被記錄並考慮。

在本實施例中，記憶體模型 100 可提供參數設定功能，如：記憶體配置調整功能、操作模式調整功能、以及相關時序參數設定功能。因此，只要藉由存取指示  $I_1$ ，便可模擬記憶體的不同速度等級，提供使用彈性並估測實體記憶體的操作時間。

第 2 圖為本發明之記憶體模型之另一可能實施例。在本實施例中，記憶體模型 200 更包括一記憶體控制器 230。記憶體控制器 230 以事務層級方式，與陣列單元 210 進行資料傳輸。也就是說，當記憶體控制器 230 對陣列單元 210 下達一存取指令時，陣列單元 210 可立即將相對應資料提供予記憶體控制器 230，或是立即將相對應資料寫入虛擬陣列中。

在本實施例中，記憶體控制器 230 具語言程式，如 C、C++、SystemC。另外，當記憶體控制器 230 提供一存取指示予陣列單元 210 時，陣列單元 210 將一併告知當一實體記憶體執行相應於存取指示的一存取操作時所需的一存取時間以及一延遲時間。記憶體控制器 230 會根據陣列單元 210 所告知的時間(存取時間與延遲時間的總合)，等待一段時間，再輸出一存取結果。

由於陣列單元 210 與陣列單元 110 相似，故不再贅述。在本實施例中，記憶體控制器 230 包括，一暫存宣告模組 231 以及一控制模組 233，但並非用以限制本發明。只要是能夠控制陣列單元 210 的架構，均可作為記憶體控制器 230。

暫存宣告模組 231 可在機器 201 的一儲存裝置中，定義至少一暫存器。在一可能實施例中，暫存宣告模組 231 係定義至少一先進先出緩衝器(FIFO)，其中先進先出緩衝器的數量及深度(depth)係由記憶體產生器所決定。在另一可能實施例中，暫存宣告模組 231 可根據存取指示  $I_1$ ，調

整暫存器的數量及深度。

控制模組 233 可根據暫存器所儲存的資料(如存取指示  $I_1$ )，提供一存取資訊予陣列單元 210，並可立即得到相對應資料以及所欲模擬的實體記憶體的一存取時間及一延遲時間。控制模組 233 等待一段時間(即存取時間與延遲時間的總合)後，輸出相對應資料。

在進行記憶體模擬時，記憶體控制器 230 的操作頻率及操作模式亦會影響記憶體的存取時間。因此，在本實施例中，陣列單元 210 的估算函式亦會考慮記憶體控制器 230 的操作頻率及操作模式所造成的延遲。另外，估算函式亦會考慮多個存取要求同時產生時，所造成的延遲時間。

第 3 圖為本發明之記憶體模型之另一可能實施例。在本實施例中，記憶體模型 300 更包括一介面單元 350，作為記憶體控制器 330 與一匯流排 303 進行資料傳輸時的介面(interface)。由於第 3 圖的陣列單元 310 及記憶體控制器 330 與第 2 圖的陣列單元 210 及記憶體控制器 230 相似，故不再贅述。

在本實施例中，介面單元 350 透過匯流排 303 接收存取指示  $I_1$ ，並將接收到的存取指示  $I_1$  提供予記憶體控制器 330，或是將控制模組 330 所得知的相對應資料，輸出至匯流排 303。本發明並不限定介面單元 350 的種類。在一些可能實施例中，介面單元 350 與 TLM、AXI、AHB、OCP 等傳輸協定有關。在一實施例中，記憶體控制器 330 與介面單元 350 均具有語言程式，如 C、C++、SystemC。

在第 3 圖中，記憶體模型 300 具有記憶體控制器 330 以及介面單元 350，故可達到快速建置系統模擬平台，並可支授進行系統架構分析及探索之用。另外，在記憶體模型 300 中，係為事務層級方式，在陣列單元 310、記憶體控制器 330 以及介面單元 350 之間進行資訊傳輸。

本發明並不限定記憶體模型的產生方法。在一可能實施例中，記憶體模型係由一模型產生器所產生。第 4 圖為本發明之模型產生器之一可能實施例。在本實施例中，模型產生器 400 包括一估測產生器 410、一控制產生器 430 以及一介面產生器 450。

估測產生器 410 根據記憶體參數  $I_2$ ，產生記憶體模型 401 的陣列單元 403。記憶體參數  $I_2$  與記憶體模型 401 欲模擬的一實體記憶體的參數有關。舉例而言，若記憶體模型 401 欲模擬動態隨機存取記憶體(DRAM)時，則記憶體參數  $I_2$  與 DRAM 的記憶體參數(如時間參數、操作模式)有關。在本實施例中，模型產生器 400 藉由記憶體參數  $I_2$  可得知，欲模擬的一實體記憶體的種類、該實體記憶體的時間參數、操作模式或更新時間。

在一可能實施例中，模型產生器 400 更包括一資料庫 470。在本實施例中，資料庫 470 具有複數時間參數(time parameter)、複數時間函式(timing equation template)，但並非用以限制本發明。估測產生器 410 根據記憶體參數  $I_2$ ，由資料庫 470 中，擷取出相對應的時間參數及時間函式，再根據擷取後的結果，產生陣列單元 403。

若欲使記憶模型 401 具有一記憶體控制器 405 時，可藉由執行控制產生器 430，用以根據記憶體參數  $I_2$ ，產生記憶體控制器 405。在一可能實施例中，資料庫 470 具有許多模型樣板(model template)。因此，控制產生器 430 可由資料庫 470 中，擷取出一模型樣板，以作為記憶體控制器 405。在一可能實施例中，資料庫 470 的模型樣板均具有 C 語言程式，如 C++、SystemC。

同樣地，若欲使記憶模型 401 具有一介面單元時，可執行介面產生器 450，用以根據記憶體參數  $I_2$ ，產生介面單元 407。在一可能實施例中，資料庫 470 具有許多介面樣板。因此，介面產生器 450 可由資料庫 470 中，擷取出一介面樣板，以作為介面單元 407。在本實施例中，資料庫 470 的介面樣板均以事務層級方式進行資料傳輸。

本發明並不限定記憶體參數  $I_2$  所告知的訊息。在一可能實施例中，記憶體參數  $I_2$  告知欲模擬的實體記憶體的種類(如 DRAM、FLASE 等)、時間參數(如 CAL、tRCD、tRP、tRFC、tWR、tREF、tRC、tRR、tRAS 等)、儲存容量(如 bank、column、row 的數量以及位元長度 bit-width)。上述的揭露並非用以限制本發明。只要是與實體記憶體有關的參數，均可作為記憶體參數  $I_2$ 。

第 5 圖為本發明之記憶體模擬方法之一可能實施例。首先，提供一記憶體模型(步驟 S510)。在本實施例中，記憶體模型至少包括一陣列單元。陣列單元包括一陣列宣告模組與一計算模組。

藉由該陣列宣告模組於一儲存裝置中定義一虛擬陣列(步驟 S530)。在本實施例中，該虛擬陣列係用以模擬一實體記憶體。

接收一存取指示，且對於該虛擬陣列執行相應該存取指示之一存取操作(步驟 S530)。在本實施例中，依據一事務層級(transaction level)方式，進行該存取操作。另外，依據該存取指示，亦可調整該虛擬陣列的大小。

藉由該計算模組依據該存取指示，估測於該存取指示下相應該存取操作之一存取時間或一延遲時間(步驟 S530)。在本實施例中，該延遲時間與該存取指示與該記憶體參數有關。

在其它實施例中，藉由該存取指示可得知，存取位址、操作模式、存取順序、存取要求的時間點以及多筆存取要求是否重疊。因此，步驟 S570 可精確地估測出欲模擬的實體記憶體的實際延遲時間。

在一可能實施例中，該計算模組具有至少一估算函式，且該計算模組係依據該估算函式估測於該存取指示下相應該存取操作之該存取時間或該延遲時間，其中，該估算函式係依據至少一記憶體參數產生。

本發明並不限定記憶體參數的種類。在一可能實施例中，記憶體參數包括時間參數(如 CAL、tRCD、tRP、tRFC、tWR、tREF、tRC、tRR、tRAS 等)、該實體記憶體之種類(DRAM、FLASE 等)、儲存容量(即 bank、row、column 的數量)。

本發明並不限定步驟 S510 的記憶體模型的產生方式。在一可能實施例中，可藉由第 4 圖的模型產生器 400 所產生。在另一可能實施例中，模型產生器 400 依據記憶體參數(如實體記憶體的種類)，由複數時間樣板中選擇一者，且依據選定之該時間樣板產生該估算函式。

在本實施例中，估算函式具有複數時間參數。該等時間參數係由該記憶體參數所決定，或是被該存取指示所調整。另外，為了準確估測出記憶體存取所需的時間，在其它實施例中，將詳細記錄當時的記憶體狀態，包含每個 bank 最近一次被存取的時間、目前開啟的 bank 及 row、定址模式、各種記憶體時序參數、多個存取要求所造成的延遲、以及上次記憶體存取係寫作或讀取。藉由這些記錄結果，便可準確估測出實體記憶體存取時所需的存取時間及延遲時間。

本發明之方法，或特定型態或其部份，可以以程式碼的型態包含於實體媒體，如軟碟、光碟片、硬碟、或是任何其他機器可讀取(如電腦可讀取)儲存媒體，其中，當程式碼被機器，如電腦載入且執行時，此機器變成用以參與本發明之裝置。本發明之方法與裝置也可以以程式碼型態透過一些傳送媒體，如電線或電纜、光纖、或是任何傳輸型態進行傳送，其中，當程式碼被機器，如電腦接收、載入且執行時，此機器變成用以參與本發明之裝置。當在一般用途處理器實作時，程式碼結合處理器提供一操作類似於應用特定邏輯電路之獨特裝置。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖為本發明之記憶體模型之一可能實施例。

第 2 及 3 圖為本發明之記憶體模型之其它可能實施例。

第 4 圖為本發明之模型產生器之一可能實施例。

第 5 圖為本發明之記憶體模擬方法之一可能實施例。

【主要元件符號說明】

100、200、300、401：記憶體模型；

110、210、310、403：陣列單元；

230、330、405：記憶體控制器；

101、201：機器；

111：陣列宣告模組；

113：計算模組；

103：儲存裝置；

231：暫存宣告模組；

233：控制模組；

350、407：介面單元；

303：匯流排；

400：模型產生器；

410：估測產生器；

430：控制產生器；

450：介面產生器；

470：資料庫。

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：99/34675

※ 申請日：99.10.12 ※IPC 分類：

G06F 9/455 (2006.01)

一、發明名稱：(中文/英文)

記憶體模擬方法以及模型產生器

Memory modeling method and model generator

二、中文發明摘要：

一種記憶體模擬方法，包括提供一記憶體模型，其中該記憶體模型至少包括一陣列單元，該陣列單元包括一陣列宣告模組與一計算模組；藉由陣列宣告模組於一儲存裝置中定義一虛擬陣列，以模擬一實體記憶體；接收一存取指示，且對於該虛擬陣列執行相應存取指示之一存取操作，依據一事務層級(transaction level)進行存取操作；以及藉由計算模組依據該存取指示，估測於存取指示下相應存取操作之一存取時間或一延遲時間。

三、英文發明摘要：

A memory modeling method is disclosed. A memory model is provided. The memory model at least comprises an array unit comprising an array declaring module and a calculating module. The array unit is operated to define a virtual array in a storage device. The virtual array is

operated to simulate a real memory. An accessing instruction is received. An accessing operation corresponding to the accessing instruction is executed for the virtual array. A transaction level method is utilized to execute the accessing operation. The calculating module is operated to calculate an accessing time and a delay time of the accessing operation corresponding to the accessing instruction.

七、申請專利範圍：

1.一種記憶體模擬方法，包括：

提供一記憶體模型，其中該記憶體模型至少包括一陣列單元，該陣列單元包括一陣列宣告模組與一計算模組；

藉由該陣列宣告模組於一儲存裝置中定義一虛擬陣列，其中該虛擬陣列係用以模擬一實體記憶體；

接收一存取指示，且對於該虛擬陣列執行相應該存取指示之一存取操作，其中依據一事務層級(transaction level)方式，進行該存取操作；以及

藉由該計算模組依據該存取指示，估測於該存取指示下相應該存取操作之一存取時間或一延遲時間。

2.如申請專利範圍第 1 項所述之記憶體模擬方法，其中，該計算模組具有至少一估算函式，且該計算模組係依據該估算函式估測於該記憶體存取條件下相應該存取操作之該存取時間或該延遲時間，其中，該估算函式係依據至少一記憶體參數產生。

3.如申請專利範圍第 2 項所述之記憶體模擬方法，其中，該估算函式係由一模型產生器產生，其中該模型產生器依據該記憶體參數由複數時間樣板中選擇一者，且依據選定之該時間樣板產生該估算函式。

4 如申請專利範圍第 2 項所述之記憶體模擬方法，其中，該記憶體參數包括該實體記憶體之種類、儲存容量。

5 如申請專利範圍第 1 項所述之記憶體模擬方法，其中，依據該存取指示至少可得知，該實體記憶體的作業模式、使用狀態、更新時間、多筆存取操作要求及多筆存取

操作的順序。

6.如申請專利範圍第3項所述之記憶體模擬方法，其中該估算函式具有複數時間參數，該等時間參數係由該記憶體參數所決定。

7.如申請專利範圍第5項所述之記憶體模擬方法，其中依據該存取指示，調整該等時間參數。

8.如申請專利範圍第3項所述之記憶體模擬方法，其中該延遲時間與該存取指示與該記憶體參數有關。

9.如申請專利範圍第3項所述之記憶體模擬方法，其中該記憶體模型更包括一記憶體控制器，該記憶體控制器根據該存取指示，以該事務層級方式，與該陣列單元進行資料傳輸。

10.如申請專利範圍第9項所述之記憶體模擬方法，其中該產生器依據該記憶體參數，產生該記憶體控制器，該記憶體控制器具有一暫存宣告模組以及一控制模組；

該暫存宣告模組用以在該儲存裝置中，定義至少一暫存器，該暫存器的數量及深度(depth)係由該暫存宣告模組所決定；

該控制模組用以根據該暫存器所儲存的資料，以該事務層級方式，與該陣列單元進行資料傳輸。

11.如申請專利範圍第9項所述之記憶體模擬方法，其中該記憶體模型更包括一介面單元，該介面單元提供該存取指示予該記憶體控制器，用以與該陣列單元進行資料傳輸。

12.如申請專利範圍第 11 項所述之記憶體模擬方法，其中該介面單元及該記憶體控制器包括一 C 語言程式。

13.一種電腦程式產品，經由電腦載入該程式執行：

一第一程式碼，用以提供一記憶體模型，其中該記憶體模型至少包括一陣列單元，該陣列單元包括一陣列宣告模組與一計算模組；

一第二程式碼，用以藉由該陣列宣告模組於一儲存裝置中定義一虛擬陣列，其中該虛擬陣列係用以模擬一實體記憶體；

一第三程式碼，用以接收一存取指示，且對於該虛擬陣列執行相應該存取指示之一存取操作，其中依據一事務層級(transaction level)方式，進行該存取操作；以及

一第四程式碼，用以藉由該計算模組依據該存取指示，估測於存取指示下相應該存取操作之一存取時間或一延遲時間。

14.一種模型產生器，包括：

一估測產生器，根據一記憶體參數，產生一記憶體模型，該記憶體模型包括一陣列單元，該記憶體參數與該記憶體模型欲模擬的一實體記憶體的參數有關，該陣列單元包括一陣列宣告模組以及一計算模組，該陣列宣告模組可定義出一虛擬陣列，並可根據一存取指示，對該虛擬陣列執行相應於該存取指示之一存取操作，該陣列單元係以一事務層級方式，對該虛擬陣列進行該存取操作，該計算模組依據該存取指示，估測於該存取指示下相應於該存取操

作之一存取時間以及一延遲時間。

15.如申請專利範圍第 14 項所述之模型產生器，更包括：

一資料庫，具有複數時間參數以及複數時間函式，該估測產生器根據該記憶體參數，從該資料庫中，擷取出相對應的時間參數及時間函式，再根據擷取後的結果，產生該陣列單元。

16.如申請專利範圍第 14 項所述之模型產生器，更包括：

一控制產生器，根據該記憶體參數，在該記憶體模型中，產生一記憶體控制器，該記憶體控制器具有一暫存宣告模組以及一控制模組；

其中，該暫存宣告模組定義出至少一暫存器，該暫存器的數量及深度(depth)係由該暫存宣告模組所決定；

該控制模組根據該暫存器所儲存的資料，以該事務層級方式，與該陣列單元進行資料傳輸。

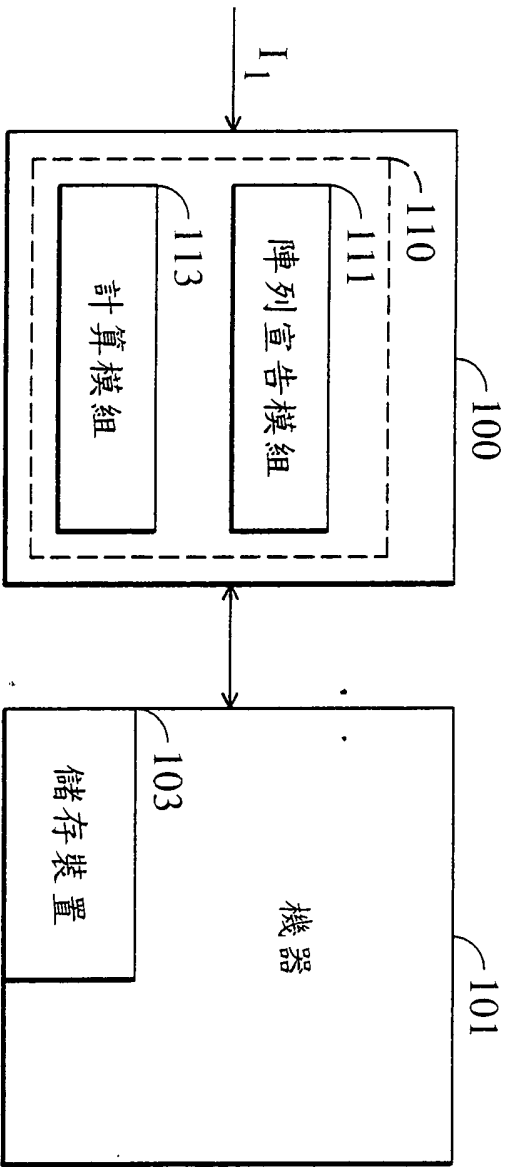
17.如申請專利範圍第 16 項所述之模型產生器，更包括：

一介面產生器，根據該記憶體參數，在該記憶體模型中，產生一介面單元，該介面單元透過一外部匯流排，接收該存取指示，並將接收到的該存取指示提供予該記憶體控制器。

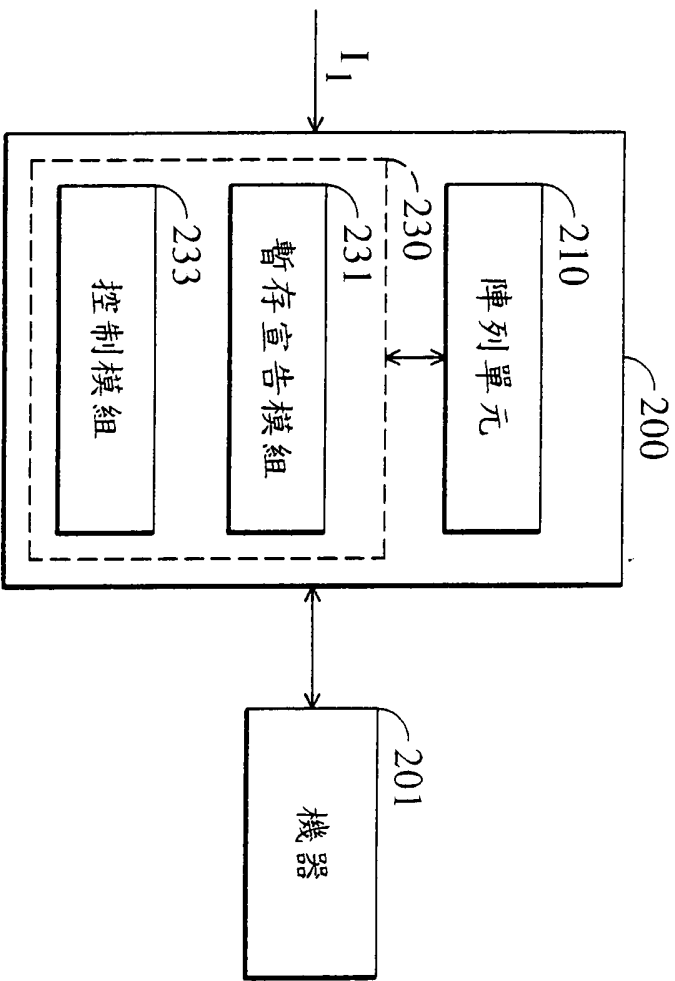
201216163

八、圖式：(如後所示)

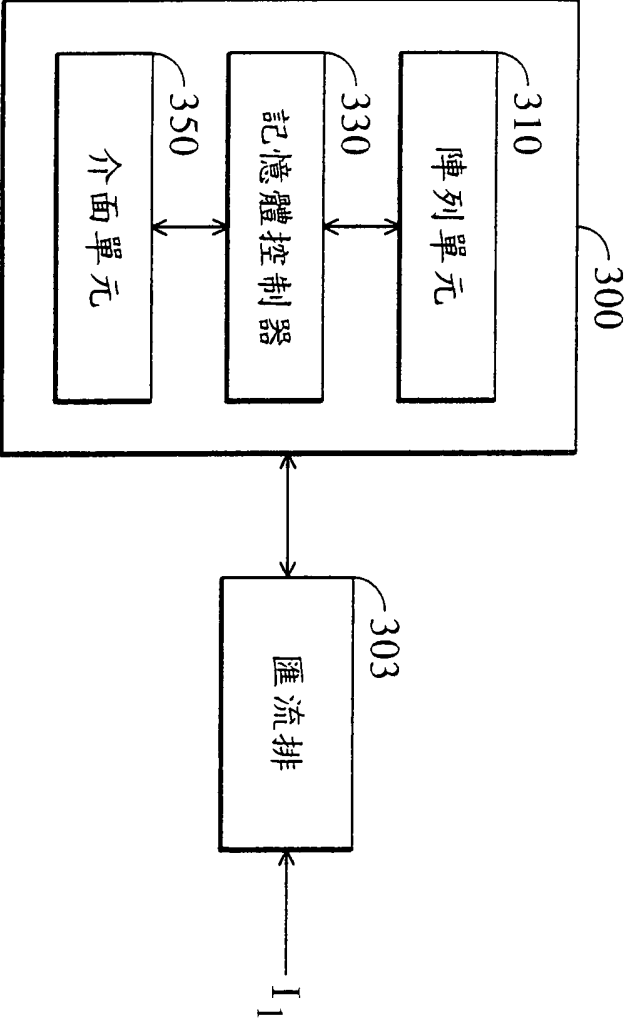




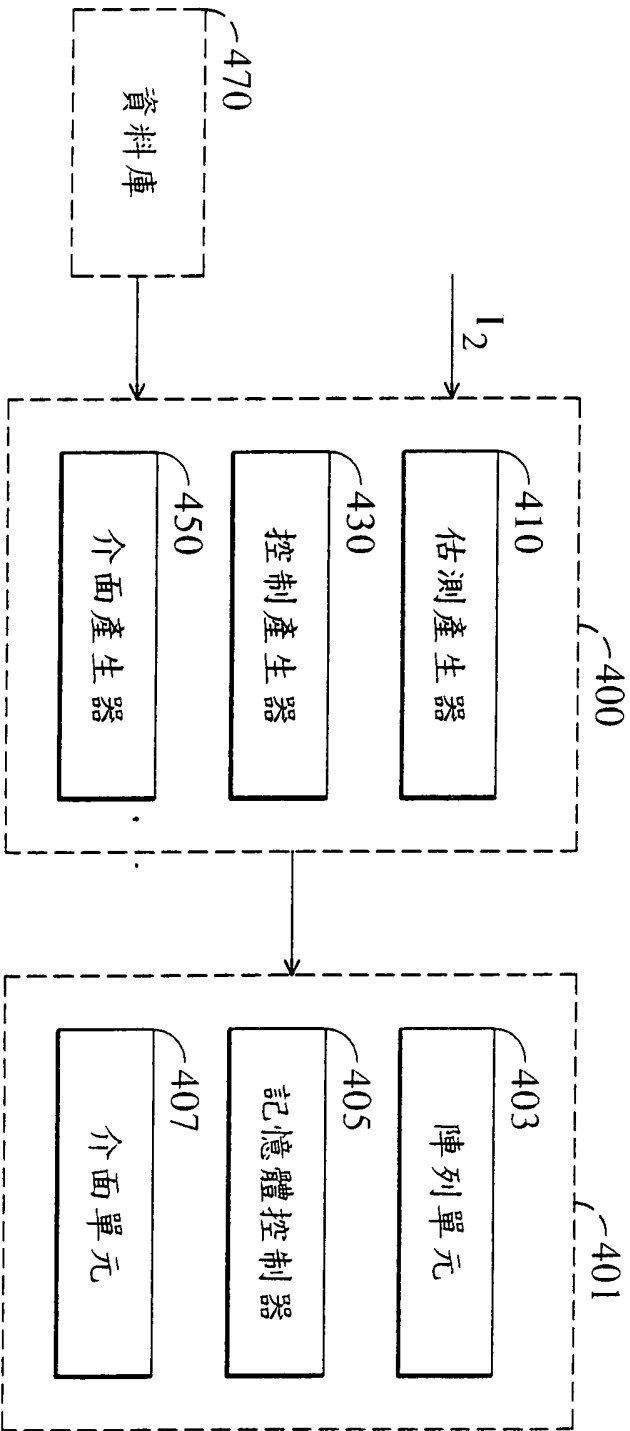
第 1 圖



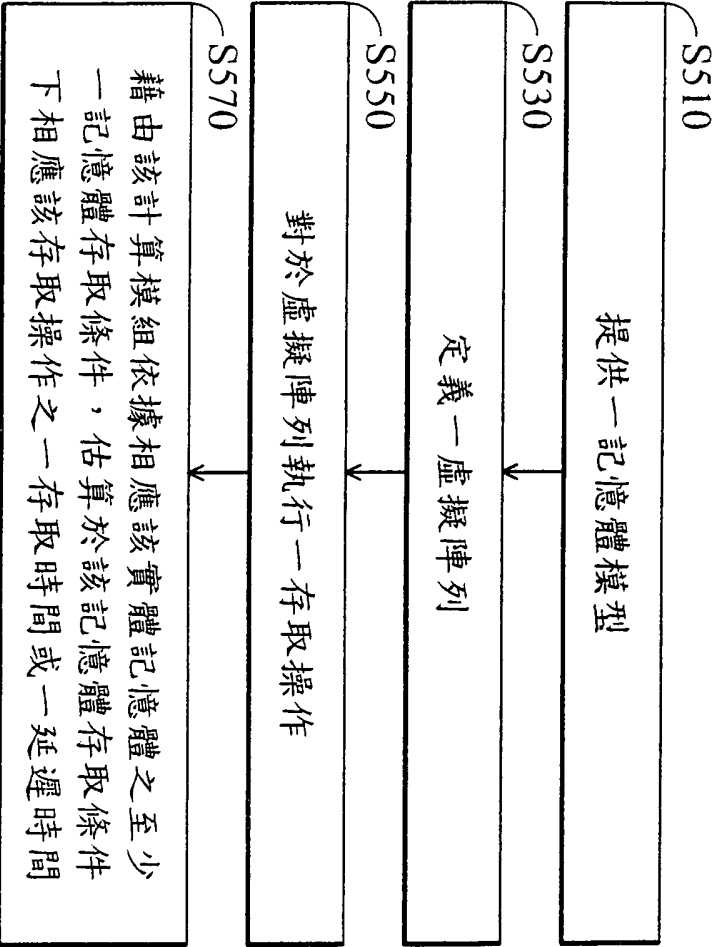
第2圖



第 3 圖



第 4 圖



第 5 圖

四、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明：

100：記憶體模型；

101：機器；

110：陣列單元；

111：陣列宣告模組；

113：計算模組；

103：儲存裝置。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

若欲使記憶模型 401 具有一記憶體控制器 405 時，可藉由執行控制產生器 430，用以根據記憶體參數  $I_2$ ，產生記憶體控制器 405。在一可能實施例中，資料庫 470 具有許多模型樣板(model template)。因此，控制產生器 430 可由資料庫 470 中，擷取出一模型樣板，以作為記憶體控制器 405。在一可能實施例中，資料庫 470 的模型樣板均具有 C 語言程式，如 C++、SystemC。

同樣地，若欲使記憶模型 401 具有一介面單元時，可執行介面產生器 450，用以根據記憶體參數  $I_2$ ，產生介面單元 407。在一可能實施例中，資料庫 470 具有許多介面樣板。因此，介面產生器 450 可由資料庫 470 中，擷取出一介面樣板，以作為介面單元 407。在本實施例中，資料庫 470 的介面樣板均以事務層級方式進行資料傳輸。

本發明並不限定記憶體參數  $I_2$  所告知的訊息。在一可能實施例中，記憶體參數  $I_2$  告知欲模擬的實體記憶體的種類(如 DRAM、FLASH 等)、時間參數(如 CAL、tRCD、tRP、tRFC、tWR、tREF、tRC、tRR、tRAS 等)、儲存容量(如 bank、column、row 的數量以及位元長度 bit-width)。上述的揭露並非用以限制本發明。只要是與實體記憶體有關的參數，均可作為記憶體參數  $I_2$ 。

第 5 圖為本發明之記憶體模擬方法之一可能實施例。首先，提供一記憶體模型(步驟 S510)。在本實施例中，記憶體模型至少包括一陣列單元。陣列單元包括一陣列宣告模組與一計算模組。

藉由該陣列宣告模組於一儲存裝置中定義一虛擬陣列(步驟 S530)。在本實施例中，該虛擬陣列係用以模擬一實體記憶體。

接收一存取指示，且對於該虛擬陣列執行相應該存取指示之一存取操作(步驟 S530)。在本實施例中，依據一事務層級(transaction level)方式，進行該存取操作。另外，依據該存取指示，亦可調整該虛擬陣列的大小。

藉由該計算模組依據該存取指示，估測於該存取指示下相應該存取操作之一存取時間或一延遲時間(步驟 S530)。在本實施例中，該延遲時間與該存取指示與該記憶體參數有關。

在其它實施例中，藉由該存取指示可得知，存取位址、操作模式、存取順序、存取要求的時間點以及多筆存取要求是否重疊。因此，步驟 S570 可精確地估測出欲模擬的實體記憶體的實際延遲時間。

在一可能實施例中，該計算模組具有至少一估算函式，且該計算模組係依據該估算函式估測於該存取指示下相應該存取操作之該存取時間或該延遲時間，其中，該估算函式係依據至少一記憶體參數產生。

本發明並不限定記憶體參數的種類。在一可能實例中，記憶體參數包括時間參數(如 CAL、tRCD、tRP、tRFC、tWR、tREF、tRC、tRR、tRAS 等)、該實體記憶體之種類(DRAM、FLASH 等)、儲存容量(即 bank、row、column 的數量)。