

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-123742

(P2014-123742A)

(43) 公開日 平成26年7月3日(2014.7.3)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 3 Z	5 F 0 3 8
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 8 B	5 F 0 4 8
H O 1 L 21/822 (2006.01)	H O 1 L 29/78 6 1 9 A	5 F 1 1 0
H O 1 L 27/04 (2006.01)	H O 1 L 29/78 6 1 6 L	
H O 1 L 27/06 (2006.01)	H O 1 L 27/04 P	
審査請求 有 請求項の数 2 O L (全 47 頁) 最終頁に続く		

(21) 出願番号	特願2013-271167 (P2013-271167)	(71) 出願人	000153878
(22) 出願日	平成25年12月27日 (2013.12.27)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2013-174529 (P2013-174529) の分割	(72) 発明者	小山 潤
原出願日	平成21年12月15日 (2009.12.15)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2008-327998 (P2008-327998)		半導体エネルギー研究所内
(32) 優先日	平成20年12月24日 (2008.12.24)	(72) 発明者	坂田 淳一郎
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	丸山 哲紀
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	井本 裕己
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

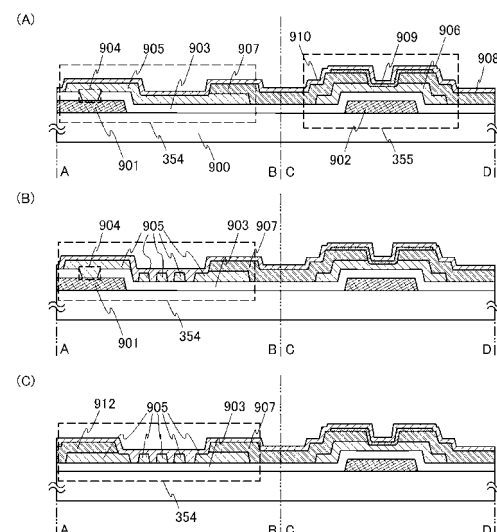
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】電気特性の制御された酸化物半導体層を用いて作製された抵抗素子及び薄膜トランジスタを利用した論理回路、並びに該論理回路を利用した半導体装置を提供する。

【解決手段】抵抗素子354に適用される酸化物半導体層905上にシラン(SiH₄)及びアンモニア(NH₃)などの水素化合物を含むガスを用いたプラズマCVD法によって形成された窒化シリコン層910が直接接するように設けられ、且つ薄膜トランジスタ355に適用される酸化物半導体層906には、バリア層として機能する酸化シリコン層909を介して、窒化シリコン層910が設けられる。そのため、酸化物半導体層905には、酸化物半導体層906よりも高濃度に水素が導入される。結果として、抵抗素子354に適用される酸化物半導体層905の抵抗値が、薄膜トランジスタ355に適用される酸化物半導体層906の抵抗値よりも低くなる。

【選択図】 図11



【特許請求の範囲】

【請求項 1】

インジウムとガリウムと亜鉛とを含む酸化物層と、
インジウムとガリウムと亜鉛とを含み、トランジスタのチャンネルが形成される酸化物半
導体層と、
窒化珪素を含む絶縁層と、を有し、
前記酸化物層と、前記酸化物半導体層とは、分離して設けられ、
前記窒化珪素を含む絶縁層は、第 1 の領域と、第 2 の領域と、を有し、
前記第 1 の領域は、前記酸化物層と重なる領域であり、前記酸化物層と接し、
前記第 2 の領域は、前記酸化物半導体層と重なる領域であり、前記酸化物半導体層と接
せず、
前記酸化物層は、前記酸化物半導体層よりも抵抗値が低い領域を有することを特徴とす
る半導体装置。

【請求項 2】

インジウムとガリウムと亜鉛とを含む酸化物層と、
インジウムとガリウムと亜鉛とを含み、トランジスタのチャンネルが形成される酸化物半
導体層と、
窒化珪素を含む絶縁層と、を有し、
前記酸化物層と、前記酸化物半導体層とは、分離して設けられ、
前記窒化珪素を含む絶縁層は、第 1 の領域と、第 2 の領域と、を有し、
前記第 1 の領域は、前記酸化物層と重なる領域であり、前記酸化物層と接し、
前記第 2 の領域は、前記酸化物半導体層と重なる領域であり、前記酸化物半導体層と接
せず、
前記酸化物層は、前記酸化物半導体層よりも水素濃度が高い領域を有することを特徴と
する半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体特性を示す金属酸化物を用いて形成される素子で構成される駆動回路、
及び該駆動回路を利用した半導体装置に関する。なお、半導体装置とは半導体特性を利用
することで機能しうる装置全般を指し、表示装置、半導体回路および電子機器は全て半導
体装置である。

【背景技術】

【0002】

金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知
られた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられて
いる。

【0003】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物は化合
物半導体の一種である。化合物半導体とは、2 種以上の原子がイオン結合により結合して
できる半導体である。一般的に、金属酸化物は絶縁体となる。しかし、金属酸化物を構成
する元素の組み合わせによっては、静電引力が弱く半導体となることが知られている。

【0004】

例えば、金属酸化物の中で、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛な
どは半導体特性を示すことが知られている。このような金属酸化物で構成される透明半導
体層をチャンネル形成領域とする薄膜トランジスタが開示されている（特許文献 1 乃至 4、
非特許文献 1）。

【0005】

ところで、金属酸化物は一元系酸化物のみでなく多元系酸化物も知られている。例えば
、ホモロガス相を有する InGaO_3 (ZnO)_m (m: 自然数) は公知の材料である (

非特許文献2乃至4)。

【0006】

そして、上記のようなIn-Ga-Zn系酸化物を薄膜トランジスタのチャネル形成領域として適用可能であることが確認されている(特許文献5、非特許文献5及び6)。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開昭60-198861号公報

【特許文献2】特開平8-264794号公報

【特許文献3】特表平11-505377号公報

【特許文献4】特開2000-150900号公報

【特許文献5】特開2004-103957号公報

【非特許文献】

【0008】

【非特許文献1】M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, 「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett.、17 June 1996、Vol. 68 p. 3650-3652

【非特許文献2】M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the In₂O₃-Ga₂ZnO₄-ZnO System at 1350°C」、J. Solid State Chem.、1991、Vol. 93, p. 298-315

【非特許文献3】N. Kimizuka, M. Isobe, and M. Nakamura, 「Syntheses and Single-Crystal Data of Homologous Compounds, In₂O₃(ZnO)_m(m=3, 4, and 5), InGaO₃(ZnO)₃, and Ga₂O₃(ZnO)_m(m=7, 8, 9, and 16) in the In₂O₃-ZnGa₂O₄-ZnO System」、J. Solid State Chem.、1995、Vol. 116, p. 170-178

【非特許文献4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、InFeO₃(ZnO)_m(m:自然数)とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol. 28、No. 5、p. 317-327

【非特許文献5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, 「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE、2003、Vol. 300、p. 1269-1272

【非特許文献6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, 「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE、2004、Vol. 432 p. 488-492

【発明の概要】

【発明が解決しようとする課題】

【0009】

半導体特性を示す金属酸化物(以下、酸化物半導体ともいう)を利用した薄膜トランジスタを、アクティブマトリクス型表示装置(液晶ディスプレイ、エレクトロルミネセンス

10

20

30

40

50

ディスプレイ、または電子ペーパー等）へ適用することが検討されている。アクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万の画素と、画素にパルス信号を入力する駆動回路と、を有する。

【0010】

アクティブマトリクス型表示装置において、薄膜トランジスタは各画素に設けられ、駆動回路からのパルス信号が入力されることによってオン、オフの切り換えを行うスイッチング素子として機能し、映像の表示を可能にしている。また、薄膜トランジスタは駆動回路を構成する素子としても用いられている。

【0011】

画素部を駆動するための駆動回路は、薄膜トランジスタ、容量素子、抵抗素子といった素子を含んで構成される。

10

【0012】

本発明の一態様は、酸化物半導体を用いて作製される能動素子及び受動素子によって構成される論理回路及び当該論理回路を有する半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【0013】

本発明の一態様は、エンハンスメント型薄膜トランジスタ及び抵抗素子を有する。薄膜トランジスタ及び抵抗素子は、酸化物半導体層を用いて形成される。さらに、薄膜トランジスタに適用される酸化物半導体層の水素濃度を、抵抗素子に適用される酸化物半導体層の水素濃度よりも低くする。これにより、抵抗素子に適用される酸化物半導体層の抵抗値が、薄膜トランジスタに適用される酸化物半導体層の抵抗値よりも低くなることを特徴とする。

20

【0014】

本発明の一態様は、酸化物半導体層を用いて形成された薄膜トランジスタ及び抵抗素子を有し、抵抗素子に適用される酸化物半導体層上には、シラン（ SiH_4 ）及びアンモニア（ NH_3 ）などの水素化合物を含むガスを用いたプラズマCVD法によって形成された窒化シリコン層が直接接するように設けられ、且つ薄膜トランジスタに適用される酸化物半導体層上には、バリア層として機能する酸化シリコン層を介して、前述した窒化シリコン層が設けられる。そのため、抵抗素子に適用される酸化物半導体層中には、薄膜トランジスタに適用される酸化物半導体層よりも高濃度に水素が導入される。結果として、抵抗素子に適用される酸化物半導体層の抵抗値が、薄膜トランジスタに適用される酸化物半導体層の抵抗値よりも低くなることを特徴とする。

30

【0015】

すなわち、本発明の一態様は、第1の酸化物半導体層を抵抗成分に適用した抵抗素子と、第1の酸化物半導体層よりも水素濃度が低い第2の酸化物半導体層をチャネル形成領域に適用した薄膜トランジスタと、第2の酸化物半導体層上に設けられた酸化シリコン層と、第1の酸化物半導体層及び前記酸化シリコン層上に設けられた窒化シリコン層と、を有する論理回路である。

【0016】

さらに、抵抗素子の抵抗成分及び薄膜トランジスタのチャネル形成領域に適用される酸化物半導体層と、導電体である配線との間に低抵抗化された酸化物半導体層を設ける構成も本発明の一態様である。

40

【0017】

すなわち、本発明の一態様は、上記の構成において、抵抗素子の一方の端子又は他方の端子及び前記第1の酸化物半導体層に接する第3の酸化物半導体層と、薄膜トランジスタの第1端子及び第2の酸化物半導体層に接する第4の酸化物半導体層と、薄膜トランジスタの第2端子及び第2の酸化物半導体層に接する第5の酸化物半導体層と、を有し、第3の酸化物半導体層乃至第5の酸化物半導体層が、第2の酸化物半導体層よりも抵抗値が低い論理回路である。

50

【0018】

また、本発明の一態様は、高濃度に窒素を含有する酸化物半導体層を用いて形成された抵抗素子及び薄膜トランジスタを有する。さらに、薄膜トランジスタ上には、バリア層として機能する酸化シリコン層が設けられる。この段階で、水素原子の供給源となる物質を含む雰囲気下において200℃～600℃の熱処理、代表的には250℃～500℃の熱処理を行う。酸化物半導体層中の窒素は、酸化物半導体層を構成する原子が膜中で密に充填するのを阻害すると共に、水素の膜中への拡散、固溶を促進する効果を有するため、該熱処理により、抵抗素子に適用される高濃度に窒素を含有する酸化物半導体層に、薄膜トランジスタに適用される酸化物半導体層よりも高濃度に水素が導入される。結果として、抵抗素子に適用される高濃度に窒素を含有する酸化物半導体層の抵抗値が、薄膜トランジスタに適用される高濃度に窒素を含有する酸化物半導体層の抵抗値よりも低くなる。

10

【0019】

すなわち、本発明の一態様は、高濃度に窒素を含有する第1の酸化物半導体層を抵抗成分に適用した抵抗素子と、第1の酸化物半導体層よりも水素濃度が低い、高濃度に窒素を含有した第2の酸化物半導体層をチャンネル形成領域に適用した薄膜トランジスタと、を有する論理回路である。

【0020】

なお、高濃度に窒素を含有する酸化物半導体層とは、酸素(O)に対する窒素(N)の割合(N/O)が0.05以上0.8以下の範囲、好ましくは、0.1以上0.5以下となる酸化物半導体層のことをいう。

20

【0021】

さらに、抵抗素子に適用される高濃度に窒素を含有する酸化物半導体層上に、シラン(SiH_4)及びアンモニア(NH_3)などの水素化合物を含むガスを用いたプラズマCVD法によって形成された窒化シリコン層を、直接接するように設ける構成も本発明の一形態である。

【0022】

すなわち、本発明の一態様は、上記の構成において、第2の酸化物半導体層上に設けられた酸化シリコン層と、第1の酸化物半導体層及び酸化シリコン層上に設けられた窒化シリコン層と、を有する論理回路である。

【0023】

なお、本書類(明細書、特許請求の範囲又は図面など)において、「膜」とは、基板全面に形成されたものであって、後にフォトリソグラフィ工程等によって所望の形状に加工されるものが、加工前の状態にあるものをいう。そして、「層」とは、「膜」からフォトリソグラフィ工程等により所望の形状に加工、形成されたもの、及び基板全面に形成することを目的としたもののことをいう。

30

【0024】

また、本書類(明細書、特許請求の範囲又は図面など)において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間に何らかの電氣的作用を有する対象物が存在するとき、対象物を介してAとBとが概ね同一ノードとなる場合を表すものとする。

40

【0025】

具体的には、トランジスタのようなスイッチング素子を介してAとBとが接続され、該スイッチング素子の導通によって、AとBとが概ね同電位となる場合や、抵抗素子を介してAとBとが接続され、該抵抗素子の両端に発生する電位差が、AとBとを含む回路の動作に影響しない程度となっている場合など、回路動作を考えた場合、AとBとが同一ノードとして捉えて差し支えない状態である場合を表す。

【0026】

なお、薄膜トランジスタのソース端子及びドレイン端子は、薄膜トランジスタの構造や動作条件等によって替わるため、いずれがソース端子又はドレイン端子であることを特定す

50

ることが困難である。そこで、本書類（明細書、特許請求の範囲又は図面など）においては、ソース端子及びドレイン端子の一方を第1端子、ソース端子及びドレイン端子の他方を第2端子と表記し、区別することとする。

【発明の効果】

【0027】

本発明の一態様によれば、抵抗素子の抵抗成分に適用される酸化物半導体層の水素濃度を、薄膜トランジスタのチャネル形成領域に適用される酸化物半導体層の水素濃度よりも高くすることができる。そのため、酸化物半導体層の抵抗値を選択的に低下させることができる。これにより、薄膜トランジスタの作製工程及び抵抗素子の作製工程を別個に設ける必要がなく、作製プロセスが低減された論理回路、及び該論理回路を具備する半導体装置を提供することができる。

10

【図面の簡単な説明】

【0028】

【図1】半導体装置の一構成例を示す図である。

【図2】駆動回路の一構成例を示すブロック図である。

【図3】(A)、(B)駆動回路の一構成例を示す回路図である。

【図4】駆動回路のタイミングチャートの一例を示す図である。

【図5】駆動回路の一構成例を示す回路図である。

【図6】駆動回路の一構成例を示す回路図である。

【図7】駆動回路の一構成例を示すブロック図である。

20

【図8】駆動回路の一構成例を示すレイアウト図である。

【図9】駆動回路の一構成例を示すレイアウト図である。

【図10】駆動回路の一構成例を示すレイアウト図である。

【図11】(A)～(C)駆動回路の一構成例を示す図である。

【図12】(A)、(B)駆動回路の一構成例を示す図である。

【図13】(A)、(B)駆動回路の一構成例を示す図である。

【図14】(A)、(B)駆動回路の一構成例を示す図である。

【図15】(A)～(C)駆動回路の作製工程の一例を示す図である。

【図16】(A)～(C)駆動回路の作製工程の一例を示す図である。

【図17】駆動回路の一構成例を示す図である。

30

【図18】(A)～(C)駆動回路の作製工程の一例を示す図である。

【図19】(A)、(B)駆動回路の作製工程の一例を示す図である。

【図20】(A)、(B)駆動回路の一構成例を示す回路図、(C)駆動回路のタイミングチャートの一例を示す図である。

【図21】半導体装置の一構成例を示す図である。

【図22】保護回路の一構成例を示す回路図である。

【図23】半導体装置の画素の一構成例を示す回路図である。

【図24】半導体装置の一構成例を示す図である。

【図25】半導体装置の一構成例を示す図である。

【図26】半導体装置の一構成例を示す図である。

40

【図27】半導体装置の一例を示す図である。

【図28】半導体装置の一例を示す図である。

【発明を実施するための形態】

【0029】

以下に開示される発明の実施の形態について図面を用いて例示する。但し、開示される発明は以下の実施の形態に限定されず、その発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。したがって、開示される発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。以下に例示する実施の形態において、同じものを指す符号は異なる図面間で共通して用いる場合がある。

50

【0030】

(実施の形態1)

本実施の形態では、図1乃至図16を用いて、酸化物半導体を用いて作製した駆動回路を具備する表示装置の一例について説明する。具体的には、表示装置の画素部を駆動するための駆動回路であるソース線駆動回路及びゲート線駆動回路の一例として、エンハンスメント型薄膜トランジスタと抵抗素子を組み合わせ形成されるインバータ（以下、ERMOS回路という）を有する駆動回路について説明する。なお、本実施の形態では単極性の駆動回路を構成する薄膜トランジスタとして、nチャネル型の薄膜トランジスタを適用した例について示す。

【0031】

なお、表示装置とは、発光素子または液晶素子等の表示素子を有する装置のことを言う。表示装置は、複数の画素を駆動させる周辺駆動回路を含んでいても良い。また、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成される。また、表示装置は、フレキシブルプリント基板（Flexible Print Circuit：FPC）を含んでもよい。さらに、表示装置は、フレキシブルプリント基板（FPC）などを介して接続され、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板（PWB）を含んでいても良い。さらに、表示装置は、偏光板または位相差板などの光学シート、照明装置、筐体、音声入出力装置、又は光センサなどを含んでいても良い。

【0032】

図1には、表示装置の全体図について示している。基板100上に、ソース線駆動回路101、第1のゲート線駆動回路102A、第2のゲート線駆動回路102B、および画素部103を一体形成している。画素部103において、点線枠110で囲まれた部分が1画素である。図1の例では、ゲート線駆動回路として、第1のゲート線駆動回路102A、第2のゲート線駆動回路102Bを示したが、いずれか一方のみであってもよい。また、表示装置の画素では、薄膜トランジスタによって表示素子の制御を行っている。ソース線駆動回路101、第1のゲート線駆動回路102A、第2のゲート線駆動回路102Bを駆動する信号（クロック信号、スタートパルス等）は、フレキシブルプリント基板（Flexible Print Circuit：FPC）104A、104Bを介して、外部より入力される。

【0033】

画素部を駆動するためのソース線駆動回路、ゲート線駆動回路は、薄膜トランジスタ、容量素子、抵抗素子などによって構成されるインバータ回路などの論理回路を有する。を用いて構成する。単極性の薄膜トランジスタを用いてインバータ回路を形成する場合、エンハンスメント型薄膜トランジスタ及びデプレッション型薄膜トランジスタを組み合わせ形成する場合（以下、EDMOS回路という）と、エンハンスメント型薄膜トランジスタ同士で形成する場合（以下、EEMOS回路という）と、ERMOS回路と、がある。なお、nチャネル型薄膜トランジスタのしきい値電圧が正の場合は、エンハンスメント型トランジスタと定義し、nチャネル型薄膜トランジスタのしきい値電圧が負の場合は、デプレッション型トランジスタと定義し、本明細書を通してこの定義に従うものとする。

【0034】

画素部に設ける薄膜トランジスタとして、しきい値電圧が正であるエンハンスメント型トランジスタを適用すると、ゲート端子とソース端子の間にかかる電圧によって流れる電流を、デプレッション型トランジスタより小さくすることができ、低消費電力化を図ることができる。また、画素部を駆動するための駆動回路に利用される薄膜トランジスタとして、画素部と同じエンハンスメント型の薄膜トランジスタを用いることが好ましい。インバータ回路の薄膜トランジスタとしてエンハンスメント型の薄膜トランジスタを用いることにより、画素部及び駆動回路を作製する際のトランジスタの種類が一種類となるため、作製工程を低減することができる。なお、エンハンスメント型トランジスタは、酸化物半導体を用いており、その電気特性は、ゲート電圧が-20Vから20Vにおいて、オンオ

10

20

30

40

50

フ比が 10^9 以上であるため、ソース端子及びドレイン端子間のリーク電流が少なく、低消費電力駆動を実現することができる。

【0035】

なお、本書類（明細書、特許請求の範囲又は図面など）中で用いる酸化物半導体は、 InMO_3 (ZnO)_m ($m>0$) で表記される薄膜を形成し、その薄膜を利用して半導体素子を作製する。なお、Mは、ガリウム (Ga)、鉄 (Fe)、ニッケル (Ni)、マンガ (Mn) 及びコバルト (Co) から選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、ガリウム (Ga) の場合があることその他、ガリウム (Ga) とニッケル (Ni) 又はガリウム (Ga) と鉄 (Fe) など、ガリウム (Ga) 以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素として鉄 (Fe)、ニッケル (Ni) その他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。加えて、上記酸化物半導体中に含まれるナトリウム (Na) は、 5×10^{18} (atoms/cm³) 以下、好ましくは 1×10^{18} (atoms/cm³) 以下であるものとする。本書類（明細書、特許請求の範囲又は図面など）中においてはこの薄膜を In-Ga-Zn-O系非単結晶膜とも呼ぶ。

【0036】

誘導結合プラズマ質量分析法 (Inductively Coupled Plasma Mass Spectrometry: ICP-MS分析法) による代表的な測定例を表1に示す。モル数比を $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ としたターゲット ($\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$) を用い、圧力 0.4 Pa、直流 (DC) 電源 500 W、アルゴンガス流量を 10 sccm、酸素を 5 sccm とした条件1で得られる酸化物半導体膜は、 $\text{InGa}_{0.94}\text{Zn}_{0.40}\text{O}_{3.31}$ である。また、前述の条件から成膜雰囲気条件のみをアルゴンガス流量 40 sccm、酸素を 0 sccm と変更した条件2で得られる酸化物半導体膜は、 $\text{InGa}_{0.95}\text{Zn}_{0.41}\text{O}_{3.33}$ である。

【0037】

【表1】

流量比	組成 (atomic%)				組成式
Ar/O ₂	In	Ga	Zn	O	
10/5	17.7	16.7	7	58.6	InGa _{0.94} Zn _{0.40} O _{3.31}
40/0	17.6	16.7	7.2	58.6	InGa _{0.95} Zn _{0.41} O _{3.33}

【0038】

また、測定方法をラザフォード後方散乱分析法 (Rutherford Backscattering Spectrometry: RBS分析法) に変えて定量化した結果を表2に示す。

【0039】

【表2】

流量比	組成(atomic%)					組成式
Ar/O ₂	In	Ga	Zn	O	Ar	
10/5	16	14.7	7.2	61.7	0.4	InGa _{0.92} Zn _{0.45} O _{3.86}
40/0	17	15.8	7.5	59.4	0.3	InGa _{0.93} Zn _{0.44} O _{3.49}

【0040】

条件1の試料をRBS分析で測定した結果、酸化物半導体膜は、 $\text{InGa}_{0.92}\text{Zn}_{0.45}\text{O}_{3.86}$ である。また、条件2の試料をRBS分析で測定した結果、酸化物半導体膜は、 $\text{InGa}_{0.93}\text{Zn}_{0.44}\text{O}_{3.49}$ である。

【0041】

In-Ga-Zn-O系非単結晶膜の結晶構造は、スパッタ法で成膜した後、 200°C ～ 500°C 、代表的には 300°C ～ 400°C で10分～100分の熱処理を行っても、アモルファス構造がXRD（X線回折）の分析では観察される。また、薄膜トランジスタの電気特性もゲート電圧が -20V から 20V において、オンオフ比が 10^9 以上、移動度が10以上のものを作製することができる。このような電気特性を有する酸化物半導体層を用いて作製した薄膜トランジスタは、アモルファスシリコンを用いて作製した薄膜トランジスタに比べ高い移動度を有し、シフトレジスタで構成される駆動回路を高速駆動させることができる。

【0042】

次にERMOS回路を用いたゲート線駆動回路及びソース線駆動回路の回路図について一例を示し、説明する。

【0043】

まず、インバータ回路としてERMOS回路を用いたソース線駆動回路の構成について説明を行う。

【0044】

図2は、図1に示した表示装置におけるソース線駆動回路101の構成を示した図である。ソース線駆動回路は、クロック信号用レベルシフタ201、スタートパルス用レベルシフタ202、シフトレジスタ251を構成するパルス出力回路203、NAND回路204、バッファ205、サンプリングスイッチ206を有しており、外部より入力される信号は、第1のクロック信号（CLK1）、第2のクロック信号（CLK2）、スタートパルス（SP）、アナログ映像信号（Video）である。この中で、第1のクロック信号（CLK1）、第2のクロック信号（CLK2）、およびスタートパルス（SP）に関しては、外部から低電圧振幅の信号として入力された直後、レベルシフタ201または202によって振幅変換を受け、高電圧振幅の信号として駆動回路に入力される。

【0045】

また、本実施の形態の表示装置におけるソース線駆動回路は、シフトレジスタ中の1段のパルス出力回路より出力されるサンプリングパルスが、サンプリングスイッチ206を駆動することによって、ソース信号線12列分のアナログ映像信号を同時にサンプリングしているものを説明する。なお、他にも走査方向を切り替えるための走査方向切り替え信号等を入力する構成としても良い。また本実施の形態では、クロック信号として第1のクロック信号（CLK1）、第2のクロック信号（CLK2）の2相のクロック信号により駆動する例を示すが、2相以外のクロック信号の入力により駆動回路を駆動する構成としてもよい。

【0046】

図3（A）、（B）に、シフトレジスタ251が有する複数のパルス出力回路203の構成を示す。パルス出力回路300は、スタートパルスSPが入力される端子に接続された第1のスイッチ301と、第1のスイッチ301を介して入力される信号を反転して出力する第1のインバータ回路302と、第1のインバータ回路302から出力された信号を反転して出力する第2のインバータ回路303及び第3のインバータ回路305と、第2のインバータ回路303から出力された信号が入力される端子に接続された第2のスイッチ304と、で構成される。

【0047】

図3（A）に示した回路図において、点線で示したブロックが1段分のサンプリングパルス outputs を出力するパルス出力回路350であり、図3（A）のシフトレジスタは、N段（Nは自然数）のパルス出力回路によって構成されている。N段のパルス出力回路からは、それぞれの第3のインバータ回路305の出力端子より、出力信号out1乃至outNが出力される。なお、上記説明した1段目の次段のパルス出力回路では、第1のスイッチ301と第2のスイッチ304との間で、入力される第1のクロック信号と第2のクロック信号とを入力する配線が切り替わって接続される。以下3段目以降、交互に第1のクロック信号と第2のクロック信号とを入力する配線が、第1のスイッチ301と第2のスイッ

チ 3 0 4 との間に交互に切り替わって接続される。

【 0 0 4 8 】

図 3 (B) は、パルス出力回路の回路構成を詳細に示したものである。パルス出力回路本体は、薄膜トランジスタ 3 5 1、3 5 3、3 5 5、3 5 6、3 5 8、及び抵抗素子 3 5 2、3 5 4、3 5 7 を有する。また奇数段目のパルス出力回路 3 3 1 及び偶数段目のパルス出力回路 3 3 2 は、第 1 のクロック信号 (C L K 1) を供給するための配線 3 5 9、及び第 2 のクロック信号 (C L K 2) を供給するための配線 3 6 0 に接続されている。以下に、1 段目のパルス出力回路 3 3 1 を例に挙げ、半導体素子の具体的な接続関係について述べる。

【 0 0 4 9 】

薄膜トランジスタ 3 5 1 の第 1 端子は、スタートパルス S P が入力される端子に接続され、ゲート端子は、配線 3 5 9 に接続される。

【 0 0 5 0 】

抵抗素子 3 5 2 の一方の端子は、高電源電位 V D D が供給される配線 (高電源電位線ともいう) に接続される。

【 0 0 5 1 】

薄膜トランジスタ 3 5 3 の第 1 端子は、抵抗素子 3 5 2 の他方の端子に接続され、ゲート端子は、薄膜トランジスタ 3 5 1 の第 2 端子に接続され、第 2 端子は、低電源電位 V S S が供給される配線 (低電源電位線ともいう) に接続される。

【 0 0 5 2 】

抵抗素子 3 5 4 の一方の端子は、高電源電位線に接続される。

【 0 0 5 3 】

薄膜トランジスタ 3 5 5 の第 1 端子は、抵抗素子 3 5 4 の他方の端子に接続され、ゲート端子は抵抗素子 3 5 2 の他方の端子及び薄膜トランジスタ 3 5 3 の第 1 端子に接続され、第 2 端子は、低電源電位線に接続される。

【 0 0 5 4 】

薄膜トランジスタ 3 5 6 の第 1 端子は、抵抗素子 3 5 4 の他方の端子及び薄膜トランジスタ 3 5 5 の第 1 端子に接続され、ゲート端子は、配線 3 6 0 に接続され、第 2 端子は、薄膜トランジスタ 3 5 1 の第 2 端子及び薄膜トランジスタ 3 5 3 のゲート端子に接続される。

【 0 0 5 5 】

抵抗素子 3 5 7 の一方の端子は、高電源電位線に接続され、他方の端子は、2 段目のパルス出力回路 3 3 2 における薄膜トランジスタ 3 5 1 の第 1 端子に接続される。

【 0 0 5 6 】

薄膜トランジスタ 3 5 8 の第 1 端子は、抵抗素子 3 5 7 の他方の端子及び 2 段目のパルス出力回路 3 3 2 における薄膜トランジスタ 3 5 1 の第 1 端子に接続され、ゲート端子は、抵抗素子 3 5 2 の他方の端子、薄膜トランジスタ 3 5 3 の第 1 端子、及び薄膜トランジスタ 3 5 5 のゲート端子に接続され、第 2 端子は低電源電位線に接続される。

【 0 0 5 7 】

2 段目のパルス出力回路も 1 段目のパルス出力回路と配線 3 5 9 と配線 3 6 0 の接続が逆になる点を除いて同じ構成となる。3 段目以降の奇数段目のパルス出力回路 3 3 1 及び偶数段目のパルス出力回路 3 3 2 もこれに準じて順次接続される。

【 0 0 5 8 】

図 3 (B) において、薄膜トランジスタ 3 5 1 は、図 3 (A) で示した第 1 のスイッチ 3 0 1 に相当する。抵抗素子 3 5 2 及び薄膜トランジスタ 3 5 3 は、図 3 (A) で示した第 1 のインバータ回路 3 0 2 に相当し、第 1 のインバータ回路 3 0 2 は E R M O S 回路である。抵抗素子 3 5 4 及び薄膜トランジスタ 3 5 5 は、図 3 (A) で示した第 2 のインバータ回路 3 0 3 に相当し、第 2 のインバータ回路 3 0 3 は E R M O S 回路である。薄膜トランジスタ 3 5 6 は、図 3 (A) で示した第 2 のスイッチ 3 0 4 に相当する。抵抗素子 3 5 7 及び薄膜トランジスタ 3 5 8 は、図 3 (A) で示した第 3 のインバータ回路 3 0 5 に

10

20

30

40

50

相当し、第3のインバータ回路305はERMOS回路である。

【0059】

なお、薄膜トランジスタ351、356は、薄膜トランジスタ353、355、358と同様に、エンハンスメント型トランジスタで構成することが好ましい。スイッチとしてエンハンスメント型トランジスタを用いることにより、トランジスタのオフ電流を低減することができるため、低消費電力化が図れるとともに、作製工程を低減させることができる。

【0060】

ここで、図4に示すタイミングチャートを参照し、図3(A)、(B)で示した回路の回路動作について説明する。なお、図4では説明のため、図3(B)で示す回路でのノードとして1段目のパルス出力回路において、薄膜トランジスタ351の第2端子をノードA(図3(B)及び図4中、Aと示す)、抵抗素子352の他方の端子をノードB(図3(B)及び図4中、Bと示す)、抵抗素子354の他方の端子をノードC(図3(B)及び図4中、Cと示す)、抵抗素子357の他方の端子をノードout1(図3(B)及び図4中、out1と示す)とする。

【0061】

また、図3(B)で示す回路でのノードとして2段目のパルス出力回路において、薄膜トランジスタ351の第2端子をノードD(図3(B)及び図4中、Dと示す)、抵抗素子352の他方の端子をノードE(図3(B)及び図4中、Eと示す)、抵抗素子354の他方の端子をノードF(図3(B)及び図4中、Fと示す)、抵抗素子357の他方の端子をノードout2(図3(B)及び図4中、out2と示す)とする。また図3(B)で示す回路でのノードとして3段目のパルス出力回路において、薄膜トランジスタ351の第2端子をノードG(図3(B)及び図4中、Gと示す)とする。

【0062】

図4中、期間T1で、スタートパルスSPがHレベル、第1のクロック信号(CLK1)がHレベル、第2のクロック信号(CLK2)がLレベルの際の動作について説明する。

【0063】

第1のクロック信号(CLK1)がHレベルになることで、1段目のパルス出力回路の薄膜トランジスタ351がオン状態となる。

【0064】

そして、スタートパルスの電圧レベルであるHレベルが、ノードAの電圧レベルをHレベルに上昇させる。

【0065】

そして、ノードAの電圧レベルがHレベルに上昇することにより、1段目のパルス出力回路の薄膜トランジスタ353がオン状態になる。

【0066】

そして、低電源電位の電圧レベルであるLレベルが、ノードBの電圧レベルをLレベルに下降させる。

【0067】

そして、ノードBの電圧レベルがLレベルに下降することにより、1段目のパルス出力回路の薄膜トランジスタ355及び薄膜トランジスタ358がオフ状態となる。

【0068】

そして、1段目のパルス出力回路の薄膜トランジスタ355がオフ状態になることにより、高電源電位の電圧レベルであるHレベルが、ノードCの電圧レベルをHレベルに上昇させる。また、1段目のパルス出力回路の薄膜トランジスタ358がオフ状態になることにより、高電源電位の電圧レベルであるHレベルが、ノードout1の電圧レベルをHレベルに上昇させる。

【0069】

なお、第2のクロック信号(CLK2)は、Lレベルであるため、1段目のパルス出力

10

20

30

40

50

回路の薄膜トランジスタ 3 5 6 及び 2 段目のパルス出力回路の薄膜トランジスタ 3 5 1 はオフ状態となる。

【0070】

次に図 4 中、期間 T 2 で、スタートパルス S P が L レベル、第 1 のクロック信号 (C L K 1) が L レベル、第 2 のクロック信号が H レベルの際の動作について説明する。

【0071】

第 1 のクロック信号が L レベルになることで、1 段目のパルス出力回路の薄膜トランジスタ 3 5 1 がオフ状態となる。一方、第 2 のクロック信号 (C L K 2) は、H レベルであるため、1 段目のパルス出力回路の薄膜トランジスタ 3 5 6 はオン状態となる。そのため、期間 T 1 で H レベルにあったノード C の電圧レベルにより、ノード A の電圧レベルが H レベルを保持することとなる。

10

【0072】

そして、1 段目のパルス出力回路の各ノードは、期間 T 1 と同じレベルを保持することとなる。

【0073】

一方、第 2 のクロック信号 (C L K 2) が H レベルになることで、2 段目のパルス出力回路の薄膜トランジスタ 3 5 1 がオン状態となる。

【0074】

そして、ノード o u t 1 の電圧レベルである H レベルが、ノード D の電圧レベルを H レベルに上昇させる。

20

【0075】

そして、ノード D の電圧レベルが H レベルに上昇することにより、2 段目のパルス出力回路の薄膜トランジスタ 3 5 3 がオン状態になる。

【0076】

そして、低電源電位の電圧レベルである L レベルが、ノード E の電圧レベルを L レベルに下降させる。

【0077】

そして、ノード E の電圧レベルが L レベルに下降することにより、2 段目のパルス出力回路の薄膜トランジスタ 3 5 5 及び 2 段目のパルス出力回路の薄膜トランジスタ 3 5 8 がオフ状態となる。

30

【0078】

そして、2 段目のパルス出力回路の薄膜トランジスタ 3 5 5 がオフ状態になることにより、高電源電位の電圧レベルである H レベルが、ノード F の電圧レベルを H レベルに上昇させる。また、2 段目のパルス出力回路の薄膜トランジスタ 3 5 8 がオフ状態となることにより、高電源電位の電圧レベルである H レベルが、ノード o u t 2 の電圧レベルを H レベルに上昇させる。

【0079】

なお、第 1 のクロック信号 (C L K 1) は、L レベルであるため、2 段目のパルス出力回路の薄膜トランジスタ 3 5 6 及び 3 段目のパルス出力回路の薄膜トランジスタ 3 5 1 はオフ状態となる。

40

【0080】

次に図 4 中、期間 T 3 で、スタートパルス S P が L レベル、第 1 のクロック信号 (C L K 1) が H レベル、第 2 のクロック信号が L レベルの際の動作について説明する。

【0081】

第 1 のクロック信号が H レベルになることで、1 段目のパルス出力回路の薄膜トランジスタ 3 5 1 がオン状態となる。一方、第 2 のクロック信号 (C L K 2) は、L レベルであるため、1 段目のパルス出力回路の薄膜トランジスタ 3 5 6 はオフ状態となる。そのため、ノード A の電圧レベルが L レベルに下降することとなる。

【0082】

そして、ノード A の電圧レベルが L レベルに下降することにより、1 段目のパルス出力

50

回路の薄膜トランジスタ 3 5 3 がオフ状態になる。

【0083】

そして、高電源電位の電圧レベルである H レベルが、ノード B の電圧レベルを H レベルに上昇させる。

【0084】

そして、ノード B の電圧レベルが H レベルに上昇することにより、1 段目のパルス出力回路の薄膜トランジスタ 3 5 5 及び 1 段目のパルス出力回路の薄膜トランジスタ 3 5 8 がオン状態となる。

【0085】

そして、1 段目のパルス出力回路の薄膜トランジスタ 3 5 5 がオン状態になることにより、低電源電位の電圧レベルである L レベルが、ノード C の電圧レベルを L レベルに下降させ、1 段目のパルス出力回路の薄膜トランジスタ 3 5 8 がオン状態になることにより、低電源電位の電圧レベルである L レベルが、ノード o u t 1 の電圧レベルを L レベルに下降させる。

【0086】

なお、第 2 のクロック信号 (C L K 2) は、L レベルであるため、1 段目のパルス出力回路の薄膜トランジスタ 3 5 6 はオフ状態となる。

【0087】

また、期間 T 2 での 1 段目のパルス出力回路と同様に、第 2 のクロック信号が L レベルになることで、2 段目のパルス出力回路の薄膜トランジスタ 3 5 1 がオフ状態となる。一方、第 1 のクロック信号 (C L K 1) は、H レベルであるため、2 段目のパルス出力回路の薄膜トランジスタ 3 5 6 はオン状態となる。そのため、期間 T 2 で H レベルにあったノード F の電圧レベルにより、ノード D の電圧レベルが H レベルを保持することとなる。

【0088】

そして、2 段目のパルス出力回路の各ノードは、期間 T 2 と同じレベルを保持することとなる。

【0089】

一方、第 1 のクロック信号 (C L K 1) が H レベルになることで、3 段目のパルス出力回路の薄膜トランジスタ 3 5 1 がオン状態となる。

【0090】

そして、ノード o u t 2 の電圧レベルである H レベルが、ノード G の電圧レベルを H レベルに上昇させる。

【0091】

そして、ノード G の電圧レベルが H レベルに上昇することにより、3 段目のパルス出力回路の薄膜トランジスタ 3 5 3 がオン状態になる。

【0092】

以下、順次トランジスタのオン、オフが制御されることにより、シフトレジスタとして駆動することができる。

【0093】

なお、図 3 (A)、(B) で説明したパルス出力回路において、ノード A とノード C との間に薄膜トランジスタ 3 5 6 (第 2 のスイッチ 3 0 4) が設けられた構成について示している。これは、抵抗素子 3 5 4 によりノード C の電圧レベルが高電源電位 V D D から電圧降下することを考慮したためである。薄膜トランジスタ 3 5 6 (第 2 のスイッチ 3 0 4) によって、ノード A とノード C との接続を切り離して駆動することによって、ノード A の電位による薄膜トランジスタ 3 5 3 の駆動能力を高めることができるため好適である。なお、薄膜トランジスタ 3 5 6 (第 2 のスイッチ 3 0 4) を設けない構成としても、本実施の形態の回路は駆動し得る。

【0094】

また、ソース線駆動回路の構成では、各パルス出力回路から出力される信号の否定論理積 (N A N D) をとって、各ソース線を駆動するための信号を生成している。そのため、

10

20

30

40

50

ソース線駆動回路においては、ソース線の数より多いパルス出力回路を設けておいて、ソース線に出力するための信号を生成する構成とすることが好ましい。

【0095】

図5(A)は、図2で示したクロック信号用レベルシフタ201の構成例を示している。なお、図5(A)には第1のクロック信号(CLK1)用レベルシフタ及び第2のクロック信号(CLK2)用レベルシフタの構成は同じであるため、第1のクロック信号(CLK1)用レベルシフタのみを示している。図5(A)では、第1のクロック信号(CLK1)がERMOS回路によって振幅変換され(Stage1)、以後にバッファ段(Stage2、Stage3)を設ける構成をとっている。

【0096】

図5(A)に示した回路の動作について説明する。なお、ここで用いている電源の電位は、VSS、VDD0、VDDの3電位であり、 $VSS < VDD0 < VDD$ とする。第1のクロック信号(CLK1)の振幅をソース線駆動回路入力部でレベルシフトする構成とすることで、低消費電力化及びノイズの減少を図ることができる。

【0097】

信号入力部(CLK in1)より、Lレベル/Hレベル= $VSS/VDD0$ の振幅を有する第1の入力クロック信号(CLK1)が入力される。

【0098】

第1の入力クロック信号がHレベルのとき、薄膜トランジスタ602がオン状態になる。ここで、薄膜トランジスタ602のオン抵抗は、抵抗素子601の抵抗値よりも十分に低く設計しておく。よってノードαは、Lレベルとなる。

【0099】

ノードαがLレベルのとき、薄膜トランジスタ604がオフ状態になる。ここで、薄膜トランジスタ604のオフ抵抗は、抵抗素子603の抵抗値よりも十分に高く設計しておく。よってノードβは、Hレベルとなり、且つHレベルはVDDと同程度になる。以上により、振幅変換が完了する。

【0100】

図5(A)で説明するレベルシフタは、振幅変換後のパルスに対する負荷を考慮して、レベルシフタ回路(Stage1)の後に、バッファ段を設けている(Stage2、Stage3)。Stage2、Stage3においても同様の動作によって、最終的に信号出力部にパルスが出力される。

【0101】

なお、図5(A)には、第1のクロック信号(CLK1)用のレベルシフタについて示したが、スタートパルス(SP)用のレベルシフタも構成は同じである。

【0102】

図5(B)は、クロック信号の振幅変換の様子を示したものである。入力信号の振幅は、Lレベル/Hレベル= $VSS/VDD0$ であり、出力信号の振幅は、Lレベル/Hレベル= VSS/VDD となっている。

【0103】

図5(C)は、スタートパルス(SP)の振幅変換の様子を示したものである。入力信号の振幅は、クロック信号と同様、Lレベル/Hレベル= $VSS/VDD0$ 、出力信号の振幅は、Lレベル/Hレベル= VSS/VDD となっている。

【0104】

図6(A)は、図2で示した2入力型のNAND回路204を示している。NAND回路204の構成は、ERMOS回路と類似である。具体的には、ERMOS回路における信号入力部が2入力となり、薄膜トランジスタ702、703が直列配置されている点のみが異なる。

【0105】

信号入力部(In1)および信号入力部(In2)に、ともにHレベルが入力されると、薄膜トランジスタ702、703がオン状態となるため、信号出力部(Out)にはL

10

20

30

40

50

レベルが現れる。

【0106】

一方、信号入力部（In1）および信号入力部（In2）のいずれか一方あるいは両方にLレベルが入力されると、信号出力部（Out）には電位VDDのHレベルが現れる。

【0107】

図6（B）は、図2で示したバッファ205を示している。バッファ205はERMOS回路（Stage1～4）によって構成されている。ERMOS回路の動作に関してはレベルシフト回路の項で説明したので、ここでは前述の説明を援用する。

【0108】

図6（C）は、図2で示したサンプリングスイッチ206を示している。サンプリングスイッチ206は、信号入力部（25）より、サンプリングパルスが入力され、並列配置された12個の薄膜トランジスタ731が同時に制御される。12個の薄膜トランジスタ731の入力電極（1）～（12）に、アナログ映像信号が入力され、サンプリングパルスが入力されたときの映像信号の電位を、ソース信号線に書き込む働きをする。

【0109】

図7は図1で示した表示装置における、ゲート線駆動回路の回路構成を示した図である。クロック信号用レベルシフト751、スタートパルス用レベルシフト752、シフトレジスタ781を構成するパルス出力回路753、NAND回路754、バッファ755を有する。

【0110】

ゲート線駆動回路には、第1のクロック信号（CLK1）、第2のクロック信号（CLK2）、スタートパルス（SP）が入力される。これらの入力信号は、外部から低電圧振幅の信号として入力された直後、クロック信号用レベルシフト751、スタートパルス用レベルシフト752によって振幅変換を受け、高電圧振幅の信号として駆動回路に入力される。

【0111】

なお、クロック信号用レベルシフト751、スタートパルス用レベルシフト752、パルス出力回路753、NAND回路754、及びバッファ755の構成および動作に関しては、ソース線駆動回路に用いたものと同様であるので、ここでは前述の説明を援用する。

【0112】

次に、図3（B）に示したパルス出力回路のレイアウト図の例を図8乃至図10に示す。なお、図8乃至図10では、複数段形成されるパルス出力回路のうち、1段目にあたるパルス出力回路について示すものである。

【0113】

図8乃至図10のパルス出力回路は、電源線801、電源線802、制御信号線803、制御信号線804、制御信号線805、薄膜トランジスタ351、353、355、356、358、及び抵抗素子352、354、357で構成される。

【0114】

図8乃至図10中では、酸化物半導体層806、第1の配線層807、第2の配線層808、コンタクトホール809について示している。なお、第1の配線層807は、薄膜トランジスタのゲート端子を含む層であり、第2の配線層808は、薄膜トランジスタのソース端子及びドレイン端子（第1端子及び第2端子）を含む層である。

【0115】

また、図8乃至図10中での各回路素子の接続関係については、図3（B）と同様である。つまり、電源線801は高電源電位VDDが供給される配線（高電源電位線ともいう）であり、電源線802は、低電源電位VSSが供給される配線（低電源電位線ともいう）であり、制御信号線803は、スタートパルス（SP）が供給される配線であり、制御信号線804は、第1のクロック信号が供給される配線であり、制御信号線805は、第2のクロック信号が供給される配線である。

10

20

30

40

50

【0116】

図8に示したERMO S回路の抵抗素子352、354、357には、長方形形状の酸化物半導体層を適用している。そのため、図8に示した抵抗素子352、354、357は、電流経路の幅が広く、高い電流駆動能力を示す抵抗素子である。図9、図10に示したERMO S回路の抵抗素子352、354、357には、メアンダ形状（蛇行形状）の酸化物半導体層を適用している。メアンダ形状にすることによって、抵抗素子352、354、357の抵抗値を増加させることが可能である。

【0117】

なお、図8乃至図10のパルス出力回路のレイアウト図において、薄膜トランジスタ351、353、355、356、358のチャネル領域の形状をU字型にしてもよい。また、図8中では各薄膜トランジスタのサイズを同サイズとして示しているが、後段の負荷の大きさに応じて薄膜トランジスタの大きさを適宜変更しても良い。

【0118】

次に、図8乃至図10で説明したレイアウト図における抵抗素子354及び薄膜トランジスタ355によって構成されるインバータ回路の構造について図11（A）～（C）を用いて説明する。なお、図11（A）～（C）に示される抵抗素子354及び薄膜トランジスタ355は、それぞれ図8乃至図10中の点線A－B、及びC－Dに対応する断面図について示すものである。

【0119】

図11（A）は、図8中の点線A－B、及びC－Dに対応する断面図である。図11（A）において、抵抗素子354は、第1の酸化物半導体層905を抵抗成分として利用している。また、第1の酸化物半導体層905の一端が第1の配線層807に含まれる第1の配線901と絶縁層903に設けられたコンタクトホール904を介して接続され、他端が第2の配線層808に含まれる第2の配線907と接続されている。

【0120】

図11（A）において、薄膜トランジスタ355は基板上のゲート端子902、ゲート絶縁層として機能するゲート端子902上の絶縁層903、チャネル形成領域となる絶縁層903上の第2の酸化物半導体層906、ソース端子及びドレイン端子（第1端子及び第2端子）として機能する第2の酸化物半導体層906上の第2の配線907及び第3の配線908を有する。

【0121】

なお、第1の配線901は、抵抗素子354にとっては一方の端子である。また、第2の配線907は、抵抗素子354にとっては他方の端子であり、薄膜トランジスタ355にとっては第1端子であり、且つ両者を接続する配線でもある。同様に、第3の配線908は、薄膜トランジスタ355にとっては第2端子であり、且つ低電源電位VSSが供給される配線（低電圧電位線ともいう）でもある。別言すると、接続配線および低（高）電源電位線の一部が、各薄膜トランジスタの第1端子または第2端子として利用されている。

【0122】

また、図11（A）において、第1の酸化物半導体層905及び第2の酸化物半導体層906の膜厚は一樣ではない。具体的には、第2の配線907及び第3の配線908と重畳する領域に該当する第1の酸化物半導体層905及び第2の酸化物半導体層906の膜厚が、該領域に該当しない第1の酸化物半導体層905及び第2の酸化物半導体層906の膜厚よりも厚い。これは、第2の配線907及び第3の配線908を形成する際のエッチングにおいて、第1の酸化物半導体層905及び第2の酸化物半導体層906の一部もエッチングされるためである。

【0123】

図11（B）は、図9中の点線A－B、及びC－Dに対応する断面図である。図11（B）において、抵抗素子354は、メアンダ形状に形成された第1の酸化物半導体層905を抵抗成分として利用している。また、第1の酸化物半導体層905の一端が第1の配

10

20

30

40

50

線 901 と絶縁層 903 に設けられたコンタクトホール 904 を介して接続され、他端が第 2 の配線 907 と接続されている。薄膜トランジスタの構造は、図 11 (A) で説明した薄膜トランジスタと同一であるため、前述の説明を援用する。

【0124】

図 11 (C) は、図 10 中の点線 A-B、及び C-D に対応する断面図である。図 11 (C) において、抵抗素子 354 は、メアンダ形状に形成された第 1 の酸化物半導体層 905 を抵抗成分として利用している。また、第 1 の酸化物半導体層 905 の一端が第 2 の配線層 808 に含まれる第 4 の配線 912 と接続され、他端が第 2 の配線層 808 に含まれる第 2 の配線 907 と接続されている。薄膜トランジスタの構造は、図 11 (A) で説明した薄膜トランジスタと同一であるため、前述の説明を援用する。図 11 (C) に示した抵抗素子 354 は、第 1 の酸化物半導体層 905 上に直接第 4 の配線 912 が形成されるため、第 1 の酸化物半導体層と第 4 の配線の間に良好な接合を形成することができる。

10

【0125】

次に、図 11 (A) ~ (C) に示した ERMOS 回路の具体的な材料構成について説明する。

【0126】

図 11 (A) ~ (C) において、基板 900 にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板等を用いることができる。第 1 の配線 901 及びゲート端子 902 の材料は、アルミニウム (Al) や銅 (Cu) などの低抵抗導電性材料で形成することができる。また、アルミニウム (Al) を耐熱性導電性材料と組み合わせて形成することもできる。耐熱性導電性材料としては、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、ネオジム (Nd)、スカンジウム (Sc) から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物を適用することができる。

20

【0127】

絶縁層 903 は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などの絶縁膜で形成することができる。また、これらの絶縁膜からなる積層構造として形成しても良い。なお、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものであり、濃度範囲として酸素が 55 ~ 65 原子%、窒素が 1 ~ 20 原子%、シリコンが 25 ~ 35 原子%、水素が 0.1 ~ 10 原子% の範囲において、合計 100 原子% となるように各元素を任意の濃度で含むものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであり、濃度範囲として酸素が 15 ~ 30 原子%、窒素が 20 ~ 35 原子%、Si が 25 ~ 35 原子%、水素が 15 ~ 25 原子% の範囲において、合計 100 原子% となるように各元素を任意の濃度で含むものをいう。

30

【0128】

第 1 の酸化物半導体層 905 及び第 2 の酸化物半導体層 906 は、 InMO_3 (ZnO)_m ($m > 0$) で表記される薄膜から形成する。なお、M は、ガリウム (Ga)、鉄 (Fe)、ニッケル (Ni)、マンガン (Mn)、またはコバルト (Co) から選ばれた一の金属元素又は複数の金属元素を示す。例えば M として、ガリウム (Ga) の場合があることその他、ガリウム (Ga) およびニッケル (Ni)、またはガリウム (Ga) および鉄 (Fe) など、ガリウム (Ga) 以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体層において、M として含まれる金属元素の他に、不純物元素として鉄 (Fe)、ニッケル (Ni) その他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。加えて、上記酸化物半導体層に含まれるナトリウム (Na) は、 5×10^{18} (atoms/cm³) 以下、好ましくは 1×10^{18} (atoms/cm³) 以下であるものとする。

40

【0129】

第 2 の配線 907 及び第 3 の配線 908 の材料としては、アルミニウム (Al)、クロ

50

ム (Cr)、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、これらの材料からなる積層構造として形成してもよい。

【0130】

酸化シリコン層 909 は、スパッタ法により成膜された酸化シリコン膜から形成される。基板全面に成膜される窒化シリコン層 910 は、シラン (SiH_4) 及びアンモニア (NH_3) などの水素化合物を含むガスを用いたプラズマ CVD 法によって形成される。そのため、窒化シリコン層 910 は高濃度に水素を含有する。

【0131】

また、図 12 (A) に示すように、第 1 の酸化物半導体層 905 及び第 2 の酸化物半導体層 906 と、第 2 の配線 907 及び第 3 の配線 908 との間にバッファ層 911a ~ 911c を設けることもできる。

【0132】

なお、上述したバッファ層 911a ~ 911c とは、第 1 の酸化物半導体層 905 及び第 2 の酸化物半導体層 906 を形成する成膜条件とは異なる成膜条件で成膜される In-Ga-Zn-O 系非単結晶膜を基に形成され、低抵抗な酸化物半導体層である。また、以下の文章では便宜上、後に第 1 の酸化物半導体層 905 及び第 2 の酸化物半導体層 906 が形成される酸化物半導体膜を第 1 の酸化物半導体膜と表記し、後にバッファ層 911a ~ 911c が形成される酸化物半導体膜を第 2 の酸化物半導体膜と表記する。

【0133】

例えば、スパッタ法によって酸化物半導体膜の成膜を行う場合、成膜に用いられるスパッタガスの酸素濃度を変化させることによって、酸化物半導体膜の抵抗値を変化させることができる。具体的には、スパッタガスの酸素濃度を高くすることによって、酸化物半導体膜の抵抗値を高くすることができる。スパッタ法による第 1 の酸化物半導体膜及び第 2 の酸化物半導体膜の成膜条件の一は、第 1 の酸化物半導体膜の成膜に用いられるスパッタガスとしてアルゴンガス流量を 10 sccm 、酸素ガス流量を 5 sccm とし、第 2 の酸化物半導体膜の成膜に用いられるスパッタガスとしてアルゴンガス流量を 40 sccm とした条件である。なお、バッファ層 911a ~ 911c は、n 型の導電性を有し、活性化エネルギー (ΔE) が 0.1 eV 以下である。なお、In-Ga-Zn-O 系非単結晶膜を基に形成されるバッファ層 911a ~ 911c は、少なくともアモルファス成分を含んでいるものとする。バッファ層 911a ~ 911c は非晶質構造の中に結晶粒 (ナノクリスタル) を含む場合がある。このバッファ層 911a ~ 911c 中の結晶粒 (ナノクリスタル) は直径 $1 \text{ nm} \sim 10 \text{ nm}$ 、代表的には $2 \text{ nm} \sim 4 \text{ nm}$ 程度である。

【0134】

第 1 の酸化物半導体層 905 及び第 2 の酸化物半導体層 906 よりも低抵抗なバッファ層 911a ~ 911c を設けることにより、導電体である第 2 の配線 907 と第 1 の酸化物半導体層 905、導電体である第 2 の配線 907 及び第 3 の配線 908 と第 2 の酸化物半導体層 906 との間に、ショットキー接合と比べて良好な接合を形成し、熱的にも安定動作を示すことができる。また、薄膜トランジスタ 355 ではバッファ層 911b、911c を設けることにより、高いドレイン電圧でも良好な移動度を保持することができる。

【0135】

また、図 12 (B) に示すように第 1 の酸化物半導体層 905 および第 2 の酸化物半導体層 906 の上下にバッファ層 911a、911b、911c、911d、911e を設けることも出来る。

【0136】

バッファ層 911d を設けることにより、導電体である第 1 の配線 901 と第 1 の酸化物半導体層 905 との間に、ショットキー接合と比べて良好な接合を形成し、熱的にも安定動作をさせることができる。

【0137】

10

20

30

40

50

次に、図 1 1 (A) ~ (C)、図 1 2 (A)、(B) で示した薄膜トランジスタとは異なる構造の薄膜トランジスタを図 1 3 (A)、(B) に示し、説明する。なお、図 1 3 (A)、(B) では、図 8 の A-B 線及び C-D 線に対応する抵抗素子及び薄膜トランジスタの断面構造を示し、図 1 1 (A)、(B)、(C) と同じものについては、同じ符号を付している。

【0138】

図 1 3 (A) において、第 2 の酸化物半導体層 9 0 6 上には、酸化シリコン層であるチャネル保護層 1 0 0 1 が設けられ、チャネル保護層 1 0 0 1 及び第 2 の酸化物半導体層 9 0 6 上に第 2 の配線 9 0 7 及び第 3 の配線 9 0 8 が設けられた構造になっている。さらに、第 2 の配線 9 0 7、第 3 の配線 9 0 8、及びチャネル保護層 1 0 0 1 上に窒化シリコン層 9 1 0 が設けられている。また、図 1 3 (B) で示すように、第 1 の酸化物半導体層 9 0 5 及び第 2 の酸化物半導体層 9 0 6 と、第 2 の配線 9 0 7 及び第 3 の配線 9 0 8 のそれぞれの間にバッファ層 9 1 1 a、9 1 1 b、9 1 1 c を設ける構成とすることもできる。

【0139】

図 1 1 (A) ~ (C)、図 1 2 (A)、(B)、図 1 3 (A)、(B) では、逆スタガ型の薄膜トランジスタについて説明したが、本実施の形態の薄膜トランジスタの構成は逆スタガ型に限らない。一例としては、コプラナー型の薄膜トランジスタにおいても同様の効果を奏するものである。図 1 4 (A)、(B) に断面構造の一例について示し、説明する。なお、図 1 4 (A)、(B) では、図 8 の A-B 線及び C-D 線に対応する抵抗素子及び薄膜トランジスタの断面構造を示し、図 1 1 (A)、(B)、(C) と同じ構成のものについては、同じ符号を付している。

【0140】

図 1 4 (A) において、第 1 の酸化物半導体層 9 0 5 の一端は、第 1 の配線 9 0 1 上に設けられ、第 1 の酸化物半導体層 9 0 5 の他端及び第 2 の酸化物半導体層 9 0 6 の一端は、第 2 の配線 9 0 7 上に設けられ、第 2 の酸化物半導体層 9 0 6 の他端は、第 3 の配線 9 0 8 上に設けられた構造になっている。さらに、第 2 の酸化物半導体層 9 0 6 上には、酸化シリコン層 9 0 9 及び窒化シリコン層 9 1 0 の積層が設けられ、第 1 の酸化物半導体層 9 0 5 上には、窒化シリコン層 9 1 0 のみが設けられている。また、図 1 4 (B) で示すように、第 2 の配線 9 0 7 及び第 3 の配線 9 0 8 と、絶縁層 9 0 3 との間にバッファ層 1 0 1 0 a、1 0 1 0 b を設ける構成とすることもできる。

【0141】

図 1 1 (A) ~ (C)、図 1 2 (A)、(B)、図 1 3 (A)、(B)、図 1 4 (A)、(B) では、第 1 の酸化物半導体層 9 0 5 に直接接するように、シラン (SiH_4) 及びアンモニア (NH_3) などの水素化合物を含むガスを用いたプラズマ CVD 法によって形成された窒化シリコン層 9 1 0 を設ける。

【0142】

上述した構造を有する ERMOS 回路は、窒化シリコン層 9 1 0 が直接接する第 1 の酸化物半導体層 9 0 5 を抵抗成分とする抵抗素子と、酸化シリコン層 9 0 9 (チャネル保護層 1 0 0 1) を介して窒化シリコン層 9 1 0 が設けられた第 2 の酸化物半導体層 9 0 6 をチャネル形成領域とする薄膜トランジスタと、を有する。そのため、第 1 の酸化物半導体層 9 0 5 には、第 2 の酸化物半導体層 9 0 6 よりも高濃度に水素を導入することができる。その結果、第 1 の酸化物半導体層 9 0 5 の抵抗値を第 2 の酸化物半導体層 9 0 6 の抵抗値よりも低くすることができる。

【0143】

次に、ERMOS 回路の作製工程について、図 1 5 (A) ~ (C) の断面図を用いて説明する。なお、ここでは、図 1 4 (B) に示す ERMOS 回路の作製工程について示す。

【0144】

基板 9 0 0 上に、第 1 の導電膜を成膜する。第 1 の導電膜の成膜には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法などに代表される薄膜堆積法を用いる。第 1 の導電膜の材料は、アルミニウム (Al) や銅 (Cu) などの低抵抗導電性

材料で形成することできる。また、アルミニウム（Al）を耐熱性導電性材料と組み合わせて形成することできる。耐熱性導電性材料としては、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジム（Nd）、スカンジウム（Sc）から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物を適用することができる。次いで、第1のフォトリソグラフィ工程を行い、第1の導電膜上にレジストを形成する。さらに、該レジストをマスクとして、第1の導電膜を選択的にエッチングし、第1の配線901及びゲート端子902を形成する。

【0145】

次いで、第1の配線901及びゲート端子902を覆う絶縁膜を形成する。絶縁膜の成膜には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法、プラズマCVD法などに代表される薄膜堆積法を用いる。絶縁膜として、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などの絶縁膜を用いることができる。また、これらの絶縁膜の積層構造として形成しても良い。次いで、第2のフォトリソグラフィ工程を行い、絶縁膜上にレジストを形成する。さらに、該レジストをマスクとして、絶縁膜を選択的にエッチングし、第1の配線に達するコンタクトホール904が設けられた絶縁層903を形成する。ここまでの工程を終えた段階の断面図が図15（A）に相当する。

【0146】

次いで、第2の酸化物半導体膜を成膜する。第2の酸化物半導体膜の成膜には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法、プラズマCVD法などに代表される薄膜堆積法を用いる。スパッタ法による成膜を行う場合、 In_2O_3 、 Ga_2O_3 、 ZnO を焼結したターゲットを用いることが好ましい。スパッタガスにはアルゴンに代表される希ガスを用いる。スパッタ法による成膜条件の一は、 In_2O_3 ： Ga_2O_3 ： ZnO =1：1：1を混合、焼結したターゲットを用い、圧力0.4Pa、直流（DC）電源500W、アルゴンガス流量を40sccmとするものである。

【0147】

次いで、第2の導電膜を成膜する。第2の導電膜の成膜には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法に代表される薄膜堆積法を用いる。なお、第2の導電膜の材料としては、アルミニウム（Al）、クロム（Cr）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、これらの材料からなる積層構造として形成してもよい。

【0148】

次いで、第3のフォトリソグラフィ工程を行い、第2の導電膜上にレジストを形成する。さらに、該レジストをマスクとして、第2の酸化物半導体膜及び第2の導電膜を選択的にエッチングし、第2の配線907及び第3の配線908並びにバッファ層1010a、1010bを形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。例えば、第2の導電膜としてアルミニウム（Al）膜、又はアルミニウム合金膜を用いる場合は、リン酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチングを行うことができる。同様に、第2の導電膜としてチタン（Ti）膜、又はチタン合金膜を用いる場合には、アンモニア過水（過酸化水素：アンモニア：水=5：2：2）を用いたウェットエッチングを行うことができる。

【0149】

次いで、第1の酸化物半導体膜を成膜する。第1の酸化物半導体膜の成膜には、スパッタ法、真空蒸着法、パルスレーザ蒸着法、イオンプレーティング法などに代表される薄膜堆積法を用いる。第1の酸化物半導体膜は、第2の酸化物半導体膜と比べてスパッタガスに含まれる酸素濃度が高い条件で成膜する、スパッタ法による成膜条件の一は、 In_2O_3 ： Ga_2O_3 ： ZnO =1：1：1を混合、焼結したターゲットを用い、圧力0.4Pa、直流（DC）電源500W、アルゴンガス流量を10sccm、酸素ガス流量を5s

ccmである。

【0150】

また、第1の酸化物半導体膜を成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタ処理を行い、絶縁層903、第1の配線901、第2の配線907、及び第3の配線908に付着しているゴミを除去することが好ましい。さらに、逆スパッタ処理をアルゴンに酸素を加えた雰囲気下で行うことにより、導電体である第1の配線901、第2の配線907、及び第3の配線908の表面が酸化され、第2の酸化物半導体膜との接触界面近傍を高抵抗化することができる。そのため、後に形成される薄膜トランジスタのオフ電流の値を低下させることができる。なお、逆スパッタ処理とは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する処理方法である。

10

【0151】

次いで、第4のフォトリソグラフィ工程を行い、第1の酸化物半導体膜上にレジストを形成する。さらに、該レジストをマスクとして、第1の酸化物半導体膜を選択的にエッチングし、第1の酸化物半導体層905及び第2の酸化物半導体層906を形成する。ここまでの工程を終えた段階の断面図が図15(B)に相当する。

【0152】

次いで、酸化シリコン膜をスパッタ法により成膜する。例えば、酸化シリコン膜は、シリコンをターゲットとしアルゴン及び酸素を含有するスパッタガスを用いて成膜することができる。また、酸化シリコンをターゲットとし、アルゴンをスパッタガスとして用いて酸化シリコン膜を成膜することもできる。次いで、第5のフォトリソグラフィ工程を行い、酸化シリコン膜上にレジストを形成する。さらに、該レジストをマスクとして、酸化シリコン膜を選択的にエッチングし、第2の酸化物半導体層906上に酸化シリコン層909を形成する。

20

【0153】

次いで、基板全面にパッシベーション膜としての機能を有する窒化シリコン層910を成膜する。該窒化シリコン層910は、シラン(SiH_4)及びアンモニア(NH_3)などの水素化合物を含むガスを用いたプラズマCVD法で形成され、高濃度に水素を含有する窒化シリコン層である。

【0154】

次いで、 $200^\circ\text{C} \sim 600^\circ\text{C}$ 、代表的には $250^\circ\text{C} \sim 500^\circ\text{C}$ の熱処理を行う。例えば、炉に入れ、窒素雰囲気下で 350°C 、1時間の熱処理を行う。ここまでの工程を終えた段階の断面図が図15(C)に相当する。

30

【0155】

以上により、酸化物半導体層を用いて抵抗素子354及び薄膜トランジスタ355を作製することができる。

【0156】

なお、上述した工程順序は一例であって特に限定されない。図16に、図15とは異なる作製工程の例を示し、説明する。

【0157】

基板900上に、第1の導電膜を成膜する。次いで、第1のフォトリソグラフィ工程を行い、第1の導電膜上にレジストを形成する。さらに、該レジストをマスクとして、第1の導電膜を選択的にエッチングし、第1の配線901及びゲート端子902を形成する。

40

【0158】

次いで、第1の配線901及びゲート端子902を覆う絶縁膜を成膜する。次いで、第2の酸化物半導体膜を成膜する。次いで、第2の導電膜を成膜する。次いで、第2のフォトリソグラフィ工程を行い、第2の導電膜上にレジストを形成する。さらに、該レジストをマスクとして、第2の導電膜及び第2の酸化物半導体膜を選択的にエッチングし、第2の配線907及び第3の配線908並びにバッファ層1010a、1010bを形成する。ここまでの工程を終えた段階の断面図が図16(A)に相当する。

50

【0159】

次いで、第3のフォトリソグラフィ工程を行い、絶縁膜上にレジストを形成する。さらに、該レジストをマスクとして、絶縁膜を選択的にエッチングし、第1の配線901に達するコンタクトホール904が設けられた絶縁層903を形成する。

【0160】

次いで、第1の酸化物半導体膜を成膜する。次いで、第4のフォトリソグラフィ工程を行い、第1の酸化物半導体膜上にレジストを形成する。さらに該レジストをマスクとして、第1の酸化物半導体膜を選択的にエッチングし、第1の酸化物半導体層905及び第2の酸化物半導体層906を形成する。ここまでの工程を終えた段階の断面図が図16(B)に相当する。

10

【0161】

次いで、スパッタ法を用いて、酸化シリコン膜を成膜する。次いで、第5のフォトリソグラフィ工程を行い、酸化シリコン膜上にレジストを形成する。さらに、該レジストをマスクとして、酸化シリコン膜を選択的にエッチングし、第2の酸化物半導体層906を覆う酸化シリコン層909を形成する。

【0162】

次いで、シラン(SiH_4)及びアンモニア(NH_3)などの水素化合物を含むガスを用いたプラズマCVD法を用いて、基板全面にパッシベーション膜としての機能を有する窒化シリコン層910を成膜する。

【0163】

次いで、窒素雰囲気下で $200^\circ\text{C} \sim 600^\circ\text{C}$ の熱処理を行う。ここまでの工程を終えた段階の断面図が図16(C)に相当する。

20

【0164】

以上により、酸化物半導体層を用いて形成された抵抗素子354及び薄膜トランジスタ355を作製することができる。加えて、図16(A)～(C)で説明する工程においては、コンタクトホール904を形成した後、第1の酸化物半導体膜を成膜することができる。そのため、コンタクトホールの底面が曝される工程数を少なくすることができ、第1の配線901の材料選択の自由度を広げることができる。

【0165】

本実施の形態で説明した抵抗素子及び薄膜トランジスタは、酸化物半導体層を用いて形成される。そのため、当該抵抗素子及び薄膜トランジスタを有する駆動回路は良好な動特性を有する。また、抵抗素子に適用される第1の酸化物半導体層上には、シラン(SiH_4)及びアンモニア(NH_3)などの水素化合物を含むガスを用いたプラズマCVD法により形成される窒化シリコン層が、第1の酸化物半導体層に直接接するように設けられ、且つ薄膜トランジスタに適用される第2の酸化物半導体層上には、バリア層となる酸化シリコン層を介して、窒化シリコン層が設けられる。そのため、高濃度に水素を含有する窒化シリコン層と直接接する第1の酸化物半導体層には、第2の酸化物半導体層よりも高濃度に水素が導入される。その結果、第1の酸化物半導体層の抵抗値を第2の酸化物半導体層の抵抗値よりも低くすることができる。これにより、薄膜トランジスタの作製工程及び抵抗素子の作製工程を別個に設ける必要がなく、作製工程が低減された駆動回路を提供することができる。

30

40

【0166】

(実施の形態2)

本実施の形態では、実施の形態1とは異なる抵抗素子及び薄膜トランジスタの一例について図17を用いて説明する。なお、図17は、実施の形態1で説明した図8のA-B線及びC-D線に対応する抵抗素子及び薄膜トランジスタの断面構造を示している。

【0167】

基板900上に第1の配線901、及びゲート端子902を設ける。さらに、第1の配線901及びゲート端子902上に絶縁層903を設ける。なお、基板900、第1の配線901、ゲート端子902、及び絶縁層903の材料は、実施の形態1で説明した材料

50

を適用することができるため、本実施の形態では実施の形態 1 の説明を援用する。

【0168】

絶縁層 903 上に、第 1 の配線 901 と重なる高濃度に窒素を含有する第 1 の酸化物半導体層 2001、及びゲート端子 902 と重なる高濃度に窒素を含有する第 2 の酸化物半導体層 2002 を設ける。なお、第 1 の配線 901 は絶縁層 903 に形成されたコンタクトホール 904 において高濃度に窒素を含有する第 1 の酸化物半導体層 2001 と接している。

【0169】

なお、高濃度に窒素を含有する第 1 の酸化物半導体層 2001 及び高濃度に窒素を含有する第 2 の酸化物半導体層 2002 は、実施の形態 1 で示した第 1 の酸化物半導体膜及び第 2 の酸化物半導体膜とは異なる成膜条件で形成される酸化物半導体膜から形成される窒素濃度の高い酸化物半導体層である。具体的には、酸化物半導体層中の酸素 (O) に対する窒素 (N) の割合 (N/O) が 0.05 以上 0.8 以下の範囲、好ましくは、0.1 以上 0.5 以下の範囲となる酸化物半導体層である。

【0170】

例えば、高濃度に窒素を含有する酸化物半導体膜をスパッタ法によって成膜する場合、窒素ガスを含むスパッタガスを用いて成膜すればよい。スパッタ法による成膜条件の一は、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ としたターゲット ($\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$) を用い、圧力 0.4 Pa、直流 (DC) 電源 500 W、アルゴンガス流量を 35 sccm、窒素ガス流量を 5 sccm とするものである。なお、パルス直流 (DC) 電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。次いで、高濃度に窒素を含有する酸化物半導体膜からフォトリソグラフィ工程によって、高濃度に窒素を含有する第 1 の酸化物半導体層 2001 及び高濃度に窒素を含有する第 2 の酸化物半導体層 2002 を形成する。

【0171】

次いで、第 2 の配線 907 及び第 3 の配線 908 を設ける。第 2 の配線 907 は、高濃度に窒素を含有する第 1 の酸化物半導体層 2001 の一端及び高濃度に窒素を含有する第 2 の酸化物半導体層 2002 の一端を覆い、第 3 の配線 908 は、高濃度に窒素を含有する第 2 の酸化物半導体層 2002 の他端を覆っている。なお、第 2 の配線 907 及び第 3 の配線 908 は、実施の形態 1 で説明した材料を適用することができるため、本実施の形態では実施の形態 1 の説明を援用する。

【0172】

次いで、高濃度に窒素を含有する第 2 の酸化物半導体層 2002 上に、酸化シリコン層 909 を設ける。酸化シリコン層は、スパッタ法により成膜された酸化シリコン膜を選択的にエッチングすることにより形成される。該酸化シリコン膜は、シリコンをターゲットとし、アルゴン及び酸素を含有するスパッタガスを用いて成膜する、あるいは、酸化シリコンをターゲットとし、アルゴンをスパッタガスとして用いることによって成膜することができる。

【0173】

この段階で、水素原子の供給源となる物質を含む雰囲気下において、 $200^\circ\text{C} \sim 600^\circ\text{C}$ 、代表的には $250^\circ\text{C} \sim 500^\circ\text{C}$ の熱処理を行う。該熱処理条件の一は、 350°C 、1 時間の熱処理である。なお、水素原子の供給源となる物質を含む雰囲気としては、水素と、アルゴン等の希ガスとの混合雰囲気などを適用することができる。

【0174】

酸化物半導体層中の窒素は、酸化物半導体層を構成する原子が膜中で密に充填するのを阻害すると共に、水素の膜中への拡散、固溶を促進する効果を有する。そのため、当該熱処理によって、高濃度に窒素を含有する第 1 の酸化物半導体層 2001 に水素が導入される。その結果、高濃度に窒素を含有する第 1 の酸化物半導体層 2001 の水素濃度が、高濃度に窒素を含有する第 2 の酸化物半導体層 2002 の水素濃度よりも高くなる。つまり、高濃度に窒素を含有する第 1 の酸化物半導体層 2001 の抵抗値を、高濃度に窒素を

有する第2の酸化物半導体層2002の抵抗値よりも低くすることが出来る。

【0175】

さらに、基板全面にシラン(SiH_4)及びアンモニア(NH_3)などの水素化合物を含むガスを用いたプラズマCVD法によって形成される窒化シリコン層910を形成する。該窒化シリコン層910は高濃度に水素を含有する窒化シリコンである。そのため、該窒化シリコン層910と直接接する高濃度に窒素を含有する第1の酸化物半導体層2001の水素濃度をさらに高め、低抵抗化を計ることができる。

【0176】

以上により、低抵抗化された高濃度に窒素を含有する第1の酸化物半導体層2001を用いた抵抗素子354、及び高抵抗値を維持する高濃度に窒素を含有する第2の酸化物半導体層2002を用いた薄膜トランジスタ355を形成することができる。

10

【0177】

なお、本実施の形態では、図8のA-B線に対応する抵抗素子の断面構造について示したが、図9及び図10に示したように、高濃度に窒素を含有する第1の酸化物半導体層をメアンダ形状(蛇行形状)とすることも可能である。また、図10に示したように、高濃度に窒素を含有する酸化物半導体層の両端上に配線層を形成することも可能である。

【0178】

また、本実施の形態では、チャンネルエッチ型の薄膜トランジスタの断面構造について示したが、チャンネルストップ型の薄膜トランジスタとすることも可能である。また、本実施の形態では、逆スタガ型の薄膜トランジスタについて示したが、コプラナー型の薄膜トランジスタとすることも可能である。

20

【0179】

本実施の形態で説明した抵抗素子及び薄膜トランジスタは、高濃度に窒素を含有する酸化物半導体層を用いて形成される。そのため、当該抵抗素子及び当該薄膜トランジスタを有する駆動回路は良好な動特性を有する。また、水素原子の供給源となる物質を含む雰囲気下において、 $200^\circ\text{C} \sim 600^\circ\text{C}$ 、代表的には $250^\circ\text{C} \sim 500^\circ\text{C}$ の熱処理を行うことによって、抵抗素子に適用される高濃度に窒素を含有する第1の酸化物半導体層に水素が導入される。そのため、高濃度に窒素を含有する第1の酸化物半導体層には、高濃度に窒素を含有する第2の酸化物半導体層よりも高濃度に水素が導入される。その結果、高濃度に窒素を含有する第1の酸化物半導体層の抵抗値を、高濃度に窒素を含有する第2の酸化物半導体層の抵抗値よりも低くすることができる。これにより、薄膜トランジスタの作製工程及び抵抗素子の作製工程を別個に設ける必要がなく、作製工程が低減された駆動回路を提供することができる。

30

【0180】

(実施の形態3)

本実施の形態では、実施の形態1で説明した酸化物半導体層及び実施の形態2で説明した高濃度に窒素を含有する酸化物半導体層を用いて作製される抵抗素子及び薄膜トランジスタについて、図18(A)～(C)及び図19(A)、(B)を用いて説明する。なお、図18(A)～(C)及び図19(A)、(B)は、図8のA-B線及びC-D線に対応する抵抗素子及び薄膜トランジスタの断面構造を示している。

40

【0181】

具体的には、本実施の形態では、実施の形態2で述べた高濃度に窒素を含有する酸化物半導体層を、実施の形態1で述べたバッファ層の代わりに適用する構成について、図18(A)～(C)及び図19(A)、(B)を用いて説明する。

【0182】

まず、基板900上に第1の導電膜を成膜する。第1の導電膜の成膜方法には、スパッタ法、真空蒸着法、パルスレーザ蒸着法、イオンプレーティング法に代表される薄膜堆積法を用いる。次いで、第1のフォトリソグラフィ工程を行い、第1の導電膜上にレジストを形成する。さらに、該レジストをマスクとして、第1の導電膜を選択的にエッチングし、第1の配線901及びゲート端子902を形成する。次いで、第1の配線901及びゲ

50

ート端子902を覆う絶縁膜を形成する。絶縁膜の成膜には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法、プラズマCVD法などに代表される薄膜堆積法を用いる。次いで、第2のフォトリソグラフィ工程を行い、絶縁膜上のレジストを形成する。さらに、該レジストをマスクとして、絶縁膜を選択的にエッチングし、コンタクトホール904が設けられた絶縁層903を形成する。なお、第1の配線901、ゲート端子902、及び絶縁層903の材料は、実施の形態1で説明した材料を適用することができるため、本実施の形態では実施の形態1の説明を援用する。ここまでの工程を終えた段階の断面図が図18(A)に対応する。

【0183】

次いで、酸化物半導体膜950を成膜する。酸化物半導体膜950の成膜には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法、プラズマCVD法などに代表される薄膜堆積法を用いる。スパッタ法による成膜を行う場合、 In_2O_3 、 Ga_2O_3 、 ZnO を焼結したターゲットを用いることが好ましい。スパッタ法による成膜条件の一は、 In_2O_3 ： Ga_2O_3 ： ZnO =1：1：1を混合、焼結したターゲットを用い、圧力0.4Pa、直流(DC)電源500W、アルゴンガス流量を10sccm、酸素ガス流量を5sccmである。

【0184】

次いで、高濃度に窒素を含有する酸化物半導体膜951を成膜する。高濃度に窒素を含有する酸化物半導体膜951の成膜には、スパッタ法、真空蒸着法、パルスレーザ蒸着法、イオンプレーティング法などに代表される薄膜堆積法を用いる。スパッタ法による成膜を行う場合、 In_2O_3 、 Ga_2O_3 、 ZnO を焼結したターゲットを用いることが好ましい。スパッタ法による高濃度に窒素を含有する酸化物半導体膜951の成膜条件の一は、 In_2O_3 ： Ga_2O_3 ： ZnO =1：1：1を混合、焼結したターゲットを用い、圧力0.4Pa、直流(DC)電源500W、アルゴンガス流量を35sccm、窒素ガス流量を5sccmである。ここまでの工程を終えた段階の断面図が図18(B)に対応する。

【0185】

次いで、第3のフォトリソグラフィ工程を行い、高濃度に窒素を含有する酸化物半導体膜951上にレジストを形成する。さらに、該レジストをマスクとして、酸化物半導体膜950及び高濃度に窒素を含有する酸化物半導体膜951を選択的にエッチングし、第1の酸化物半導体層960及び高濃度に窒素を含有する第1の酸化物半導体層961の積層、並びに第2の酸化物半導体層962及び高濃度に窒素を含有する第2の酸化物半導体層963の積層を形成する。ここまでの工程を終えた段階の断面図が図18(C)に対応する。

【0186】

この段階で、水素原子の供給源となる物質を含む雰囲気中において、200℃～600℃、代表的には250℃～500℃の熱処理を行う。該熱処理条件の一は、350℃、1時間の熱処理である。なお、水素原子の供給源となる物質を含む雰囲気としては、水素と、アルゴン等の希ガスとの混合雰囲気などを適用することができる。

【0187】

酸化物半導体層中の窒素は、酸化物半導体層を構成する原子が膜中で密に充填するのを阻害すると共に、水素の膜中への拡散、固溶を促進する効果を有する。そのため、当該熱処理によって、高濃度に窒素を含有する第1の酸化物半導体層961及び高濃度に窒素を含有する第2の酸化物半導体層963に水素が導入される。その結果、高濃度に窒素を含有する第1の酸化物半導体層961及び高濃度に窒素を含有する第2の酸化物半導体層963の抵抗値を低下させることが出来る。

【0188】

次いで、第2の導電膜を成膜する。第2の導電膜の成膜には、スパッタ法、真空蒸着法、パルスレーザ蒸着法、イオンプレーティング法などに代表される薄膜堆積法を用いる。次いで、第4のフォトリソグラフィ工程を行い、第2の導電膜上にレジストを形成する。さ

10

20

30

40

50

らに、該レジストをマスクとして、第2の導電膜を選択的にエッチングし、第2の配線907及び第3の配線908を形成する。なお、第2の配線907、第3の配線908の材料は、実施の形態1で説明した材料を適用することができるため、本実施の形態では実施の形態1の説明を援用する。また、当該エッチング工程において、第2の配線907及び第3の配線908と重畳しない領域の高濃度に窒素を含有する酸化物半導体層は、エッチングされ、除去される。また、当該領域の酸化物半導体層も一部エッチングされ、酸化物半導体層964、966及び高濃度に窒素を含有する酸化物半導体層965、967、968が形成される。ここまでの工程を終えた段階の断面図が図19(A)に相当する。

【0189】

次いで、酸化シリコン膜をスパッタ法により成膜する。例えば、酸化シリコン膜は、シリコンをターゲットとしアルゴン及び酸素を含有するスパッタガスを用いて成膜することができる。また、酸化シリコンをターゲットとし、アルゴンをスパッタガスとして用いて酸化シリコン膜を成膜することもできる。次いで、第5のフォトリソグラフィ工程によって、酸化シリコン膜上にレジストを形成する。さらに、該レジストをマスクとして、酸化シリコン膜を選択的にエッチングし、酸化シリコン層909を形成する。

【0190】

次いで、パッシベーション膜としての機能を有する窒化シリコン層910を成膜する。該窒化シリコン層910は、シラン(SiH_4)及びアンモニア(NH_3)などの水素化合物を含むガスを用いたプラズマCVD法で形成する。以上の工程により抵抗素子354及び薄膜トランジスタ355が形成される。ここまでの工程を終えた段階の断面図が図19(B)に相当する。

【0191】

本実施の形態で示した抵抗素子354及び薄膜トランジスタ355は、酸化物半導体層と導電体である配線層との間に、水素が導入され低抵抗化した高濃度に窒素を含有する酸化物半導体層965、967、968が形成される。そのため、酸化物半導体層と配線層との接合が、ショットキー接合に比べて良好な接合となり、熱的にも安定動作を示すことができる。また、薄膜トランジスタ355では、高濃度に窒素を含有する酸化物半導体層967、968が形成されることにより、高いドレイン電圧でも良好な移動度を保持することができる。

【0192】

なお、上述した作製工程では、酸化物半導体層のエッチング工程後に高濃度に窒素を含有する酸化物半導体層に水素を導入する熱処理を行う例を示したが、該熱処理は、高濃度に窒素を含有する酸化物半導体膜の成膜後で、第2の導電膜の成膜前であれば、いつ行っても構わない。例えば、高濃度に窒素を含有する酸化物半導体膜の成膜後に次工程として当該熱処理を行うことも可能である。

【0193】

なお、本実施の形態では、図8のA-B線に対応する抵抗素子の断面構造について示したが、図9及び図10に示したように、酸化物半導体層をメアンダ形状(蛇行形状)とすることも可能である。また、図10に示したように、高濃度に窒素を含有する酸化物半導体層の両端上に配線層を形成することも可能である。

【0194】

また、本実施の形態では、チャネルエッチ型の薄膜トランジスタの断面構造について示したが、チャネルストップ型の薄膜トランジスタとすることも可能である。また、本実施の形態では、逆スタガ型の薄膜トランジスタについて示したが、コプラナー型の薄膜トランジスタとすることも可能である。

【0195】

本実施の形態で説明した抵抗素子及び薄膜トランジスタは、酸化物半導体層及び高濃度に窒素を含有する酸化物半導体層を用いて形成される。そのため、当該抵抗素子及び当該薄膜トランジスタを有する駆動回路は良好な動特性を有する。また、抵抗素子に適用される第1の酸化物半導体層上には、シラン(SiH_4)及びアンモニア(NH_3)などの水

10

20

30

40

50

素化合物を含むガスを用いたプラズマCVD法により形成される窒化シリコン層が、第1の酸化物半導体層に直接接するように設けられ、且つ薄膜トランジスタに適用される第2の酸化物半導体層上には、バリア層となる酸化シリコン層を介して、窒化シリコン層が設けられる。そのため、高濃度に水素を含有する窒化シリコン層と直接接する第1の酸化物半導体層には、第2の酸化物半導体層よりも高濃度に水素が導入される。その結果、第1の酸化物半導体層の抵抗値を第2の酸化物半導体層の抵抗値よりも低くすることができる。これにより、薄膜トランジスタの作製工程及び抵抗素子の作製工程を別個に設ける必要がなく、作製工程が低減された駆動回路を提供することができる。

【0196】

(実施の形態4)

本実施の形態では、ダイナミック回路によって構成されるシフトレジスタを有する駆動回路の構成例について、図20(A)～(C)を用いて説明する。

【0197】

図20(A)に示すパルス出力回路1400は、スタートパルス(SP)が入力端子より入力されるインバータ回路1401と、インバータ回路1401の出力端子に一方の端子が接続されたスイッチ1402と、スイッチ1402の他方の端子に接続された容量素子1403と、で構成される。なお、奇数段目のパルス出力回路のスイッチ1402は、第1のクロック信号(CLK1)によってオン、オフが制御される。また、偶数段目のパルス出力回路のスイッチ1402は、第2のクロック信号(CLK2)によってオン、オフが制御される。

【0198】

図20(B)は、パルス出力回路の回路構成を詳細に示したものである。パルス出力回路1400は、薄膜トランジスタ1411、1413、抵抗素子1412、容量素子1414を有する。また、奇数段目のパルス出力回路は、第1のクロック信号(CLK1)を供給するための配線1415に接続され、偶数段目のパルス出力回路は、第2のクロック信号(CLK2)を供給するための配線1416に接続されている。パルス出力回路1400において、薄膜トランジスタ1411及び抵抗素子1412は、図20(A)で示したインバータ回路1401に相当し、ERMOS回路である。また、薄膜トランジスタ1413は、図17(A)で示したスイッチ1402に相当し、容量素子1414は、図20(A)で示した容量素子1403に相当する。なお、薄膜トランジスタ1413は、薄膜トランジスタ1411と同様に、エンハンスメント型トランジスタで構成することが好ましい。スイッチとしてエンハンスメント型トランジスタを用いることにより、トランジスタのオフ電流を低減することができるため、低消費電力化が図れるとともに、作製工程を低減することができる。

【0199】

ここで、図20(A)、(B)で示した回路の回路動作について、図20(C)にタイミングチャートを示す。なお、図20(C)では、説明のため、図20(B)中の回路のノードについてA乃至Eの符号を付して説明するものとする。

【0200】

まず、第1のクロック信号(CLK1)がHレベルにあって第2のクロック信号(CLK2)がLレベルの状態について説明する。

【0201】

スタートパルス(SP)に応じて、反転した信号がノードAに現れる。ノードBの信号は、第1のクロック信号(CLK1)がHレベルであるためノードAと等しくなる。そして、ノードBの信号は、次段のインバータ回路によって反転され、ノードCにはノードBの信号が反転した信号が現れる。ノードCの信号は、第2のクロック信号(CLK2)がLレベルにあってスイッチが閉じているため、ノードDには現れない。

【0202】

次に、第1のクロック信号(CLK1)がLレベルにあって第2のクロック信号(CLK2)がHレベルの状態について説明する。

【0203】

ノードCの信号はノードDに移り、ノードDにノードCの信号が反映されて現れる。そして、ノードDの信号は、インバータ回路によって反転され、ノードEにはノードDの信号が反転した信号が現れる。そして第1のクロック信号（CLK1）及び第2のクロック信号（CLK2）を交互にHレベルとすることで、シフトレジスタとして機能させることができる。

【0204】

なお、本実施の形態で示すパルス出力回路を具備するシフトレジスタは、ソース線駆動回路、及びゲート線駆動回路に用いることができる。なおシフトレジスタより出力される信号は、論理回路等を介して出力し、所望の信号を得る構成としても良い。

10

【0205】

本実施の形態で説明したダイナミック回路は、ERMOS回路を有する。該ERMOS回路は、実施の形態1乃至3で述べた抵抗素子及び薄膜トランジスタによって構成される。そのため、当該ダイナミック回路は良好な動特性を有する。

【0206】

（実施の形態5）

本実施の形態では、保護回路が設けられた表示装置の一例について図21及び図22を用いて説明する。

【0207】

図21には、表示装置の全体図について示している。基板500上に、ソース線駆動回路501、第1のゲート線駆動回路502A、第2のゲート線駆動回路502B、および画素部503を一体形成している。画素部503において、点線枠510で囲まれた部分が1画素である。図21の例では、ゲート線駆動回路として、第1のゲート線駆動回路502A及び第2のゲート線駆動回路502Bを示したが、いずれか一方のみであってもよい。また、表示装置の画素では、薄膜トランジスタによって表示素子の制御を行っている。ソース線駆動回路501、第1のゲート線駆動回路502A、第2のゲート線駆動回路502Bを駆動する信号（クロック信号、スタートパルス等）は、フレキシブルプリント基板（Flexible Print Circuit：FPC）504A、504Bを介して、外部より入力される。

20

【0208】

さらに、ソース線駆動回路501及び第1のゲート線駆動回路502Aと画素部のそれぞれの間には保護回路550、551が設けられている。また、保護回路550、551は、ソース線駆動回路501及び第1のゲート線駆動回路502Aから画素部503に延びた配線と接続している。保護回路550、551は、信号や電源電圧と共にノイズが入力された場合であっても、ノイズによる後段の回路の誤動作、又は半導体素子の劣化若しくは破壊の防止が可能である。そのため、信頼性及び歩留まりを向上させることができる。

30

【0209】

次に、図21に示した保護回路550、551の具体的な回路構成の例について、図22（A）、（B）を参照して説明する。

40

【0210】

図22（A）に示す保護回路は、保護ダイオードとして機能するダイオード接続されたn型薄膜トランジスタ560～567と、抵抗素子568と、を有する。なお、ダイオード接続されたn型薄膜トランジスタは、ゲート端子及び第1端子側がアノードであり、第2端子側がカソードである。

【0211】

ダイオード接続されたn型薄膜トランジスタ560のアノードは、低電源電位VSSが供給される配線に接続されている。ダイオード接続されたn型薄膜トランジスタ561のアノードは、ダイオード接続されたn型薄膜トランジスタ560のカソードに接続され、カソードは、配線569に接続されている。また、ダイオード接続されたn型薄膜トラン

50

ジスタ562のアノードは配線569に接続されている。ダイオード接続されたn型薄膜トランジスタ563のアノードは、ダイオード接続されたn型薄膜トランジスタ562のカソードに接続され、カソードは、高電源電位VDDに接続されている。ダイオード接続されたn型薄膜トランジスタ564乃至ダイオード接続されたn型薄膜トランジスタ567は、ダイオード接続されたn型薄膜トランジスタ560乃至ダイオード接続されたn型薄膜トランジスタ563と同様に接続されている。抵抗素子568は、入力電位Vinが入力される端子及び出力電位Voutが出力される端子に直列に接続されている。

【0212】

図22(A)に示した保護回路の動作について以下に説明する。

【0213】

10

駆動回路からの入力電位Vinが異常に高い場合、具体的には、入力電位Vinが高電源電位VDD及びダイオード接続されたn型薄膜トランジスタ562、563の順方向電圧降下の和以上に高い場合、ダイオード接続されたn型薄膜トランジスタ562、563が導通し、配線569の電位は、高電圧電位VDD及びダイオード接続されたn型薄膜トランジスタ562、563の順方向電圧降下の和に準じる電位を示すことになる。

【0214】

一方、駆動回路からの入力電位Vinが異常に低い場合、具体的には、低電源電位VSSからダイオード接続されたn型薄膜トランジスタ560、561の順方向電圧降下分以下に低い場合、ダイオード接続されたn型薄膜トランジスタ560、561が導通し、配線569の電位は、低電圧電位VSSからダイオード接続されたn型薄膜トランジスタ560、561の順方向電圧降下分低下した電位に準じる電位を示すことになる。

20

【0215】

そのため、保護回路は、出力電位Voutをある一定範囲内に収めることができる。

【0216】

なお、本実施の形態ではダイオード接続されたn型薄膜トランジスタ560乃至ダイオード接続されたn型薄膜トランジスタ563と同様に接続されたダイオード接続されたn型薄膜トランジスタ564乃至ダイオード接続されたn型薄膜トランジスタ567を設ける構成を示している。ダイオード接続されたn型薄膜トランジスタ564乃至ダイオード接続されたn型薄膜トランジスタ567を設けることにより、駆動回路からの入力電位Vinが異常に高い又は低い場合の電流の経路を増加させることができる。したがって、表示装置の信頼性をさらに向上させることができる。

30

【0217】

また、抵抗素子568は、配線569の電位の急激な変動を緩和し、画素部の半導体素子の劣化又は破壊を防止することができる。

【0218】

図22(B)に示す保護回路は、抵抗素子570と、抵抗素子571と、ダイオード接続されたn型薄膜トランジスタ572と、を有する。抵抗素子570、抵抗素子571、及びダイオード接続されたn型薄膜トランジスタ572は、配線573に直列に接続されている。

【0219】

40

抵抗素子570及び抵抗素子571によって、配線573の電位の急激な変動を緩和し、画素部の半導体素子の劣化又は破壊を防止することができる。また、ダイオード接続されたn型薄膜トランジスタ572によって、電位の変動により配線573に逆方向バイアスの電流が流れることを防止することができる。

【0220】

なお、抵抗素子のみを配線に直列に接続する場合、配線の電位の急激な変動を緩和し、画素部の半導体素子の劣化又は破壊を防止することができる。また、ダイオード接続されたn型薄膜トランジスタのみを配線に直列に接続する場合、電位の変動により配線に逆方向バイアスの電流が流れるのを防ぐことができる。

【0221】

50

なお、本実施の形態の保護回路は図 2 2 (A)、(B) に示す構成に限定されるものではない。同様の働きをする回路構成であれば、適宜設計変更が可能である。

【0 2 2 2】

本実施の形態で説明した保護回路は、実施の形態 1 乃至 3 で述べた抵抗素子及び薄膜トランジスタを有する。そのため、当該保護回路は良好な動特性を有する。

【0 2 2 3】

(実施の形態 6)

本実施の形態では、実施の形態 1 乃至 3 で示した抵抗素子及び薄膜トランジスタを有する半導体装置として、発光表示装置の例を示す。ここではエレクトロルミネッセンスを利用する発光素子を有する発光表示装置について示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

【0 2 2 4】

有機 EL 素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0 2 2 5】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。ここでは、発光素子として有機 EL 素子を用いて説明する。

【0 2 2 6】

適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャネル形成領域に適用した n チャネル型の薄膜トランジスタを含む画素について示す。

【0 2 2 7】

図 2 3 は、画素構成の一例を示す図である。図 2 3 における画素 6 4 0 0 は、薄膜トランジスタ 6 4 0 1、6 4 0 2、発光素子 6 4 0 3 を有している。薄膜トランジスタ 6 4 0 1 はゲート端子がゲート線 6 4 0 6 に接続され、第 1 端子がソース線 6 4 0 5 に接続されている。薄膜トランジスタ 6 4 0 2 は、ゲート端子が薄膜トランジスタ 6 4 0 1 の第 2 端子に接続され、第 1 端子が電源線 6 4 0 7 に接続され、第 2 端子が発光素子 6 4 0 3 の第 1 電極（画素電極）に接続されている。なお、電源線 6 4 0 7 には、高電源電位 VDD が設定されている。

【0 2 2 8】

発光素子 6 4 0 3 の第 2 電極は共通電極 6 4 0 8 に相当する。共通電極 6 4 0 8 は、同一基板上に形成される共通電位線と電氣的に接続される。なお、発光素子 6 4 0 3 の第 2 電極（共通電極 6 4 0 8）には低電源電位 VSS が設定されている。例えば、低電源電位 VSS として、GND、0 V などが設定することができる。また、電源線 6 4 0 7 に設定される高電源電位 VDD と、第 2 電極に設定される低電源電位 VSS との電位差を発光素子 6 4 0 3 に印加して、電流を流して発光素子 6 4 0 3 を発光させるため、高電源電位 VDD と低電源電位 VSS との電位差が発光素子 6 4 0 3 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【0 2 2 9】

次に、発光素子の構成について、図 2 4 を用いて説明する。なお、本実施の形態では、発光表示装置の薄膜トランジスタとして図 1 2 (A) で示した薄膜トランジスタを適用する例を示すが、本実施の形態で示す発光表示装置の薄膜トランジスタには、実施の形態 1 乃至 3 で示した薄膜トランジスタのいずれも適用可能である。

【0230】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、図23で述べた画素構成はどの射出構造の発光素子にも適用することができる。

【0231】

上面射出構造の発光素子について図24(A)を用いて説明する。

【0232】

図24(A)に、薄膜トランジスタ7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図24(A)では、発光素子7002の陰極7003と薄膜トランジスタ7001が電氣的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電層であれば様々な材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なお、これらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物などの透光性を有する導電性酸化物を用いても良い。

【0233】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図24(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

【0234】

次に、下面射出構造の発光素子について図24(B)を用いて説明する。薄膜トランジスタ7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図24(B)では、薄膜トランジスタ7011と電氣的に接続された透光性を有する導電層7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽層7016が成膜されていてもよい。陰極7013は、図24(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウムを、陰極7013として用いることができる。そして発光層7014は、図24(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図24(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽層7016は、例えば光を反射する金属等を用いることができるが、金属に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

【0235】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012に相当する。図24(B)に示した画素の場合、発光素子7012から発せられる光は、矢印で示すように陰極7013側に射出する。

【0236】

次に、両面射出構造の発光素子について、図24(C)を用いて説明する。図24(C)では、薄膜トランジスタ7021と電氣的に接続された透光性を有する導電層7027

上に、発光素子 7022 の陰極 7023 が成膜されており、陰極 7023 上に発光層 7024、陽極 7025 が順に積層されている。陰極 7023 は、図 24 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する A1 を、陰極 7023 として用いることができる。そして発光層 7024 は、図 24 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 24 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

【0237】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 24 (C) に示した画素の場合、発光素子 7022 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

【0238】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子を設けることも可能である。

【0239】

次に、表示装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図 25 を用いて説明する。図 25 (A) は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの上面図であり、図 25 (B) は、図 25 (A) の E-F における断面図に相当する。

【0240】

第 1 の基板 4501 上に設けられた画素部 4502、ソース線駆動回路 4503a、4503b 及びゲート線駆動回路 4504a、4504b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、ソース線駆動回路 4503a、4503b、及びゲート線駆動回路 4504a、4504b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、ソース線駆動回路 4503a、4503b、及びゲート線駆動回路 4504a、4504b は、第 1 の基板 4501 とシール材 4505 と第 2 の基板 4506 とによって、充填材 4507 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0241】

また、第 1 の基板 4501 上に設けられた画素部 4502 は、ソース線駆動回路 4503a、4503b 及びゲート線駆動回路 4504a、4504b と同様に、酸化物半導体を用いて作製した薄膜トランジスタを有しており、図 25 (B) では、画素部 4502 に含まれる薄膜トランジスタ 4510 と、ソース線駆動回路 4503a に含まれる薄膜トランジスタ 4509 とを例示している。

【0242】

なお、薄膜トランジスタ 4509、4510 には、図 12 (A) に示した構造を有する薄膜トランジスタを適用する例を示すが、本実施の形態で示す発光表示装置の薄膜トランジスタには、実施の形態 1 乃至 3 で示した薄膜トランジスタのいずれも適用可能である。

【0243】

また 4511 は発光素子に相当し、発光素子 4511 が有する画素電極である第 1 の電極層 4517 は、薄膜トランジスタ 4510 のソース電極層またはドレイン電極層と電気的に接続されている。なお発光素子 4511 の構成は、第 1 の電極層 4517、電界発光層 4512、第 2 の電極層 4513 の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子 4511 から取り出す光の方向などに合わせて、発光素子 4511 の構成は適宜変えることができる。

【0244】

隔壁 4520 は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第 1 の電極層 4517 上に開口部を形成し、その開口部の側

10

20

30

40

50

壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0245】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0246】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化シリコン層、窒化酸化シリコン層、DLC層等を形成することができる。

【0247】

また、ソース線駆動回路4503a、4503b、ゲート線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

10

【0248】

本実施の形態では、接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【0249】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0250】

発光素子4511からの光の取り出し方向に位置する基板には、第2の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

20

【0251】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施の形態は充填材として窒素を用いた。

【0252】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

30

【0253】

ソース線駆動回路4503a、4503b及びゲート線駆動回路4504a、4504bは、別途用意された基板上に形成された駆動回路で実装されていてもよい。また、ソース線駆動回路のみ、或いは一部、又はゲート線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図25の構成に限定されない。

【0254】

本実施の形態で示した発光表示装置は、実施の形態1乃至3で示した抵抗素子及び薄膜トランジスタを有する。そのため、当該発光表示装置は良好な動特性を有する。

40

【0255】

（実施の形態7）

本実施の形態では、実施の形態1乃至3で示した抵抗素子及び薄膜トランジスタを有する半導体装置として、電子ペーパーの例を示す。

【0256】

図26には、アクティブマトリクス型の電子ペーパーを示す。図26の電子ペーパーは、ツイストボール表示方式を用いている。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用い、電極層である第1の電極層及び第2の電極層の間に

50

配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

【0257】

第1の基板580に設けられた薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、第1端子又は第2端子によって第1の電極層587と、絶縁層585に形成する開口で接しており電氣的に接続している。第1の電極層587と第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャビティ594を含む球形粒子589が第1の基板580及び第2の基板596の間に設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている（図26参照。）。本実施の形態においては、第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。

10

【0258】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 μ m～200 μ m程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

20

【0259】

本実施の形態で示した電子ペーパーは、実施の形態1乃至3に示した抵抗素子及び薄膜トランジスタを有する。そのため、電子ペーパーは良好な動特性を有する。

【0260】

（実施の形態8）

本実施の形態においては、実施の形態1乃至3で示した抵抗素子及び薄膜トランジスタを有する半導体装置として、電子機器の例について説明する。

30

【0261】

図27（A）は携帯型遊技機であり、筐体9630、表示部9631、スピーカ9632、操作キー9633、接続端子9634、記録媒体読込部9635、等を有することができる。図27（A）に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能、等を有することができる。なお、図27（A）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0262】

図27（B）はデジタルカメラであり、筐体9640、表示部9641、スピーカ9642、操作キー9643、接続端子9644、シャッターボタン9645、受像部9646等を有することができる。図27（B）に示すテレビ受像機能付きデジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、アンテナから様々な情報を取得する機能、撮影した画像、又はアンテナから取得した情報を保存する機能、撮影した画像、又はアンテナから取得した情報を表示部に表示する機能、等を有することができる。なお、図27（B）に示すテレビ受像機能付きデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

40

【0263】

図27（C）はテレビ受像器であり、筐体9650、表示部9651、スピーカ9652、操作キー9653、接続端子9654等を有することができる。図27（C）に示す

50

テレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能、等を有することができる。なお、図 27 (C) に示すテレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

【0264】

図 28 (A) はコンピュータであり、筐体 9660、表示部 9661、スピーカ 9662、操作キー 9663、接続端子 9664、ポインティングデバイス 9665、外部接続ポート 9666 等を有することができる。図 28 (A) に示すコンピュータは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能、等を有することができる。なお、図 28 (A) に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

10

【0265】

次に、図 28 (B) は携帯電話であり、筐体 9670、表示部 9671、スピーカ 9672、操作キー 9673、マイクロフォン 9674 等を有することができる。図 28 (B) に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。なお、図 28 (B) に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

20

【0266】

本実施の形態で示した電子機器は、実施の形態 1 乃至 3 に示した抵抗素子及び薄膜トランジスタを有する。そのため、電子機器は良好な動特性を有する。

【符号の説明】

【0267】

100	基板
101	ソース線駆動回路
102A	ゲート線駆動回路
102B	ゲート線駆動回路
103	画素部
104A	FPC
104B	FPC
201	クロック信号用レベルシフタ
202	スタートパルス用レベルシフタ
203	パルス出力回路
204	NAND回路
205	バッファ
206	サンプリングスイッチ
251	シフトレジスタ
300	パルス出力回路
301	スイッチ
302	インバータ回路
303	インバータ回路
304	スイッチ
305	インバータ回路
331	パルス出力回路
332	パルス出力回路
350	パルス出力回路
351	薄膜トランジスタ

30

40

50

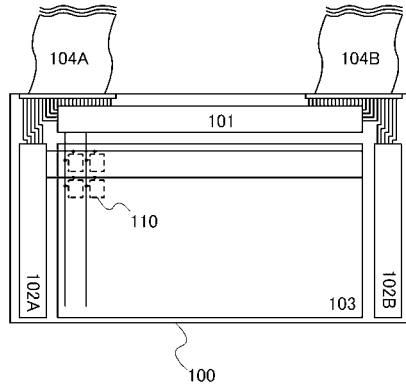
3 5 2	抵 抗 素 子	
3 5 3	薄 膜 ト ラ ン ジ ス タ	
3 5 4	抵 抗 素 子	
3 5 5	薄 膜 ト ラ ン ジ ス タ	
3 5 6	薄 膜 ト ラ ン ジ ス タ	
3 5 7	抵 抗 素 子	
3 5 8	薄 膜 ト ラ ン ジ ス タ	
3 5 9	配 線	
3 6 0	配 線	
5 0 0	基 板	10
5 0 1	ソ ー ス 線 駆 動 回 路	
5 0 2 A	ゲ ー ト 線 駆 動 回 路	
5 0 2 B	ゲ ー ト 線 駆 動 回 路	
5 0 3	画 素 部	
5 0 4 A	F P C	
5 0 4 B	F P C	
5 5 0	保 護 回 路	
5 5 1	保 護 回 路	
5 6 0	薄 膜 ト ラ ン ジ ス タ	
5 6 1	薄 膜 ト ラ ン ジ ス タ	20
5 6 2	薄 膜 ト ラ ン ジ ス タ	
5 6 3	薄 膜 ト ラ ン ジ ス タ	
5 6 4	薄 膜 ト ラ ン ジ ス タ	
5 6 5	薄 膜 ト ラ ン ジ ス タ	
5 6 6	薄 膜 ト ラ ン ジ ス タ	
5 6 7	薄 膜 ト ラ ン ジ ス タ	
5 6 8	抵 抗 素 子	
5 6 9	配 線	
5 7 0	抵 抗 素 子	
5 7 1	抵 抗 素 子	30
5 7 2	薄 膜 ト ラ ン ジ ス タ	
5 7 3	配 線	
5 8 0	基 板	
5 8 1	薄 膜 ト ラ ン ジ ス タ	
5 8 5	絶 縁 層	
5 8 7	電 極 層	
5 8 8	電 極 層	
5 8 9	球 形 粒 子	
5 9 0 a	黒 色 領 域	
5 9 0 b	白 色 領 域	40
5 9 4	キ ャ ビ テ ィ	
5 9 5	充 填 材	
5 9 6	基 板	
6 0 1	抵 抗 素 子	
6 0 2	薄 膜 ト ラ ン ジ ス タ	
6 0 3	抵 抗 素 子	
6 0 4	薄 膜 ト ラ ン ジ ス タ	
6 0 5	抵 抗 素 子	
6 0 6	薄 膜 ト ラ ン ジ ス タ	
6 0 7	抵 抗 素 子	50

6 0 8	薄膜トランジスタ	
7 0 1	抵抗素子	
7 0 2	薄膜トランジスタ	
7 0 3	薄膜トランジスタ	
7 3 0	容量素子	
7 3 1	薄膜トランジスタ	
7 2 1	薄膜トランジスタ	
7 5 1	クロック信号用レベルシフタ	
7 5 2	スタートパルス用レベルシフタ	
7 5 3	パルス出力回路	10
7 5 4	N A N D 回路	
7 5 5	バッファ	
7 8 1	シフトレジスタ	
8 0 1	電源線	
8 0 2	電源線	
8 0 3	制御信号線	
8 0 4	制御信号線	
8 0 5	制御信号線	
8 0 6	酸化物半導体層	
8 0 7	配線層	20
8 0 8	配線層	
8 0 9	コンタクトホール	
9 0 0	基板	
9 0 1	第 1 の配線	
9 0 2	ゲート端子	
9 0 3	絶縁層	
9 0 4	コンタクトホール	
9 0 5	酸化物半導体層	
9 0 6	酸化物半導体層	
9 0 7	配線	30
9 0 8	配線	
9 0 9	酸化シリコン層	
9 1 0	窒化シリコン層	
9 1 1 a	バッファ層	
9 1 1 b	バッファ層	
9 1 1 c	バッファ層	
9 1 1 d	バッファ層	
9 1 1 e	バッファ層	
9 1 2	配線	
9 5 0	酸化物半導体膜	40
9 5 1	酸化物半導体膜	
9 6 0	酸化物半導体層	
9 6 1	酸化物半導体層	
9 6 2	酸化物半導体層	
9 6 3	酸化物半導体層	
9 6 4	酸化物半導体層	
9 6 5	酸化物半導体層	
9 6 6	酸化物半導体層	
9 6 7	酸化物半導体層	
9 6 8	酸化物半導体層	50

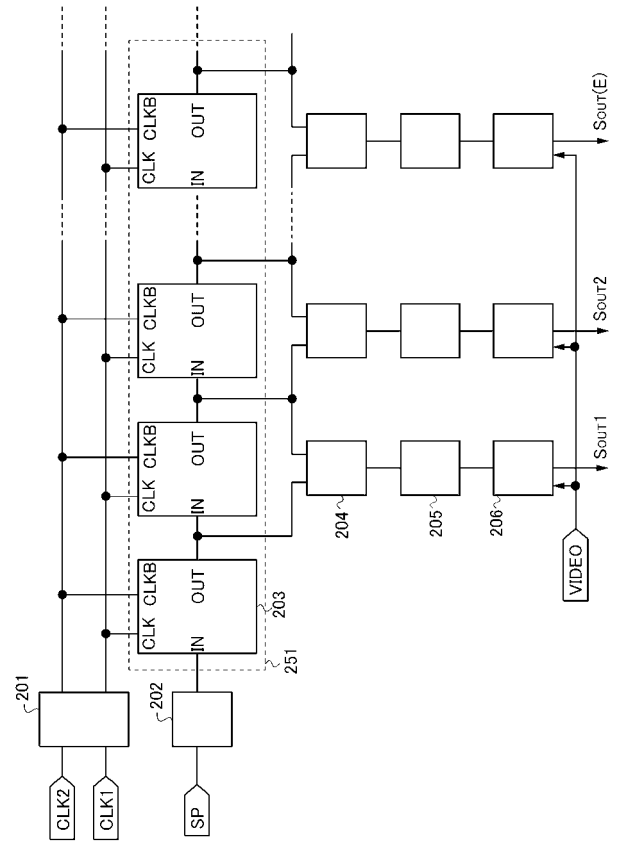
1 0 0 1	チャネル保護層	
1 0 1 0 a	バッファ層	
1 0 1 0 b	バッファ層	
1 4 0 0	パルス出力回路	
1 4 0 1	インバータ回路	
1 4 0 2	スイッチ	
1 4 0 3	容量素子	
1 4 1 1	薄膜トランジスタ	
1 4 1 2	抵抗素子	
1 4 1 3	薄膜トランジスタ	10
1 4 1 4	容量素子	
1 4 1 5	配線	
1 4 1 6	配線	
2 0 0 1	酸化物半導体層	
2 0 0 2	酸化物半導体層	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a	ソース線駆動回路	
4 5 0 3 b	ソース線駆動回路	
4 5 0 4 a	ゲート線駆動回路	20
4 5 0 4 b	ゲート線駆動回路	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	30
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 8 a	F P C	
4 5 1 8 b	F P C	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
6 4 0 0	画素	
6 4 0 1	薄膜トランジスタ	
6 4 0 2	薄膜トランジスタ	
6 4 0 3	発光素子	40
6 4 0 5	ソース線	
6 4 0 6	ゲート線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
7 0 0 1	薄膜トランジスタ	
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	発光層	
7 0 0 5	陽極	
7 0 1 1	薄膜トランジスタ	50

7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	
7 0 1 6	遮蔽層	
7 0 1 7	導電層	
7 0 2 1	薄膜トランジスタ	
7 0 2 2	発光素子	
7 0 2 3	陰極	
7 0 2 4	発光層	10
7 0 2 5	陽極	
7 0 2 7	導電層	
9 6 3 0	筐体	
9 6 3 1	表示部	
9 6 3 2	スピーカ	
9 6 3 3	操作キー	
9 6 3 4	接続端子	
9 6 3 5	記録媒体読込部	
9 6 4 0	筐体	
9 6 4 1	表示部	20
9 6 4 2	スピーカ	
9 6 4 3	操作キー	
9 6 4 4	接続端子	
9 6 4 5	シャッターボタン	
9 6 4 6	受像部	
9 6 5 0	筐体	
9 6 5 1	表示部	
9 6 5 2	スピーカ	
9 6 5 3	操作キー	
9 6 5 4	接続端子	30
9 6 6 0	筐体	
9 6 6 1	表示部	
9 6 6 2	スピーカ	
9 6 6 3	操作キー	
9 6 6 4	接続端子	
9 6 6 5	ポインティングデバイス	
9 6 6 6	外部接続ポート	
9 6 7 0	筐体	
9 6 7 1	表示部	
9 6 7 2	スピーカ	40
9 6 7 3	操作キー	
9 6 7 4	マイクロフォン	

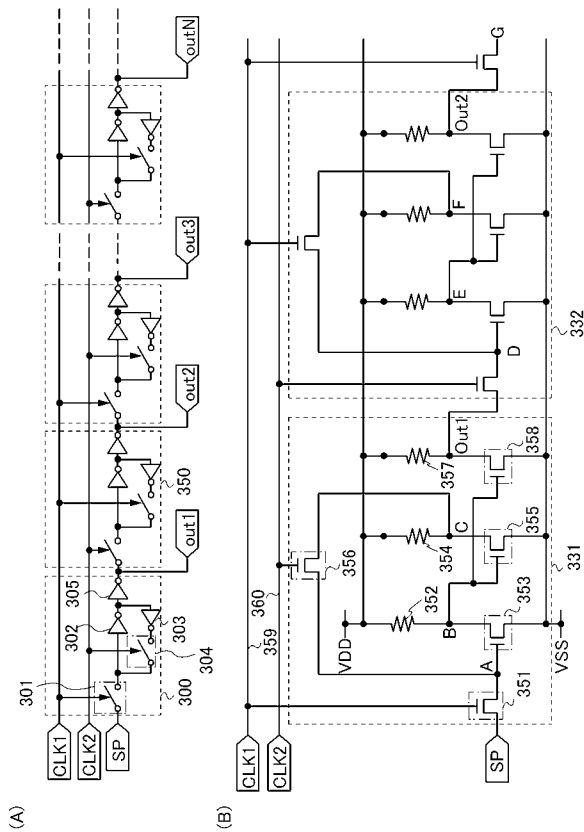
【図 1】



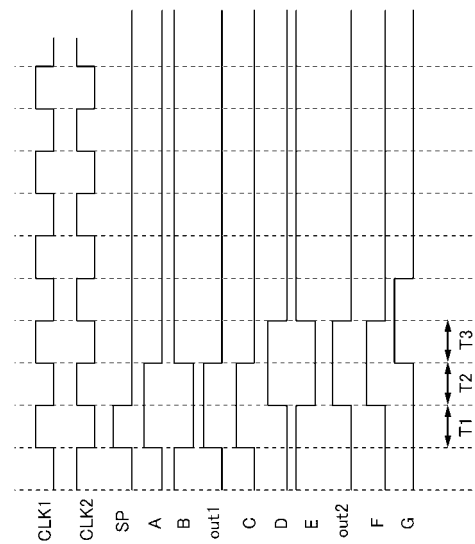
【図 2】



【図 3】

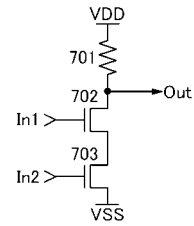


【図 4】

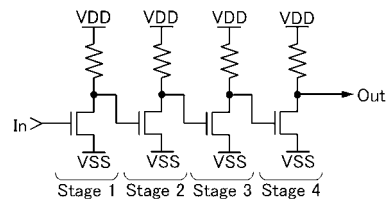


【図 6】

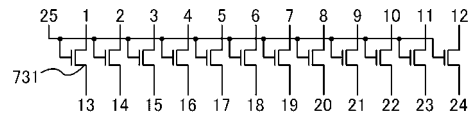
(A)



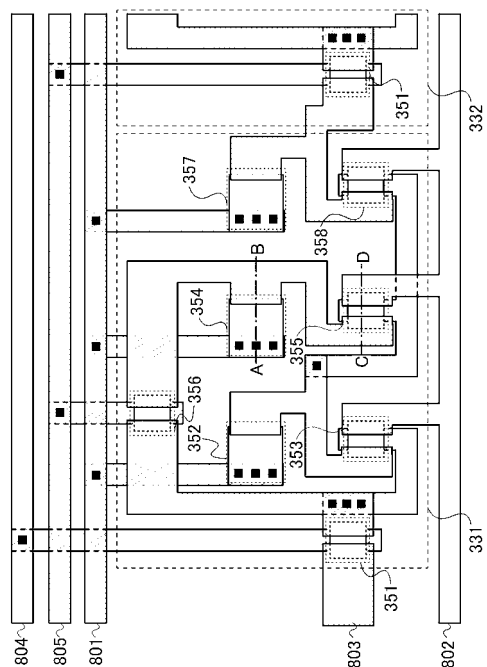
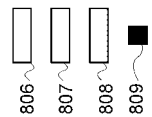
(B)



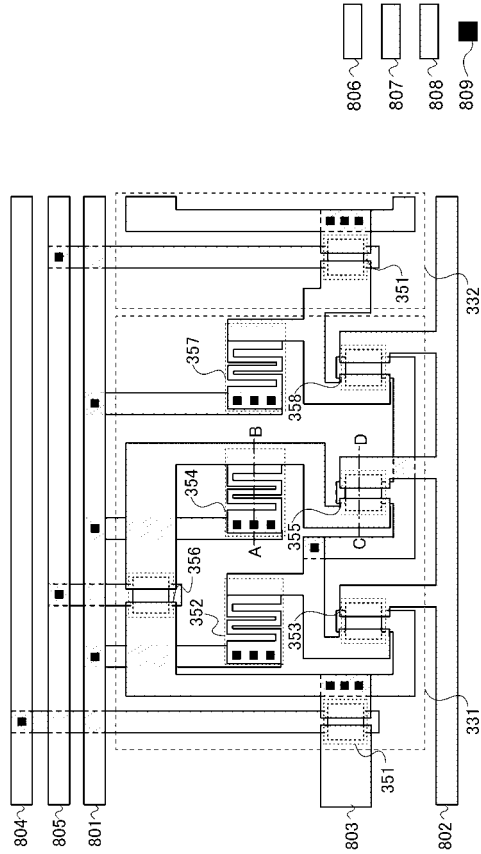
(C)



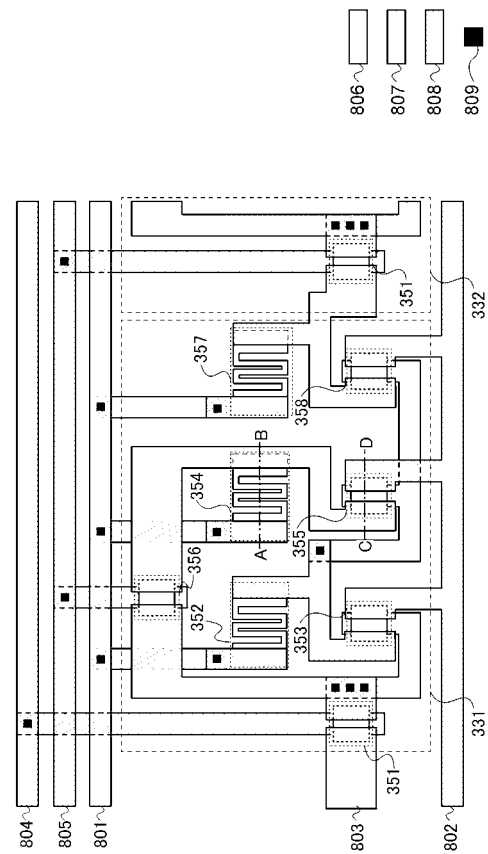
【 図 8 】



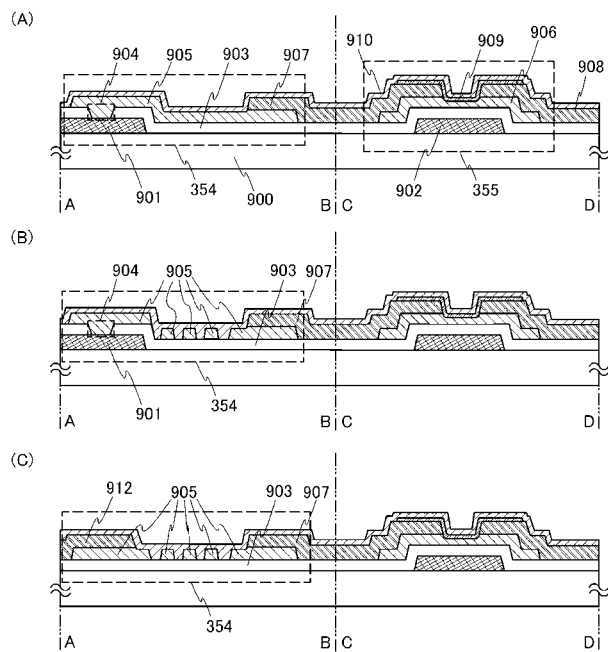
【図 9】



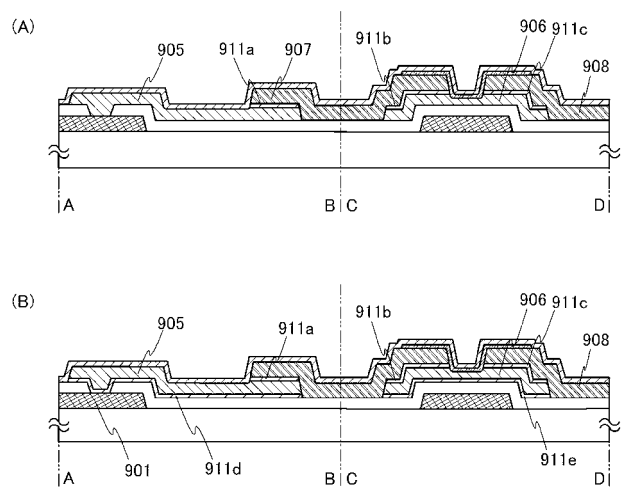
【図 10】



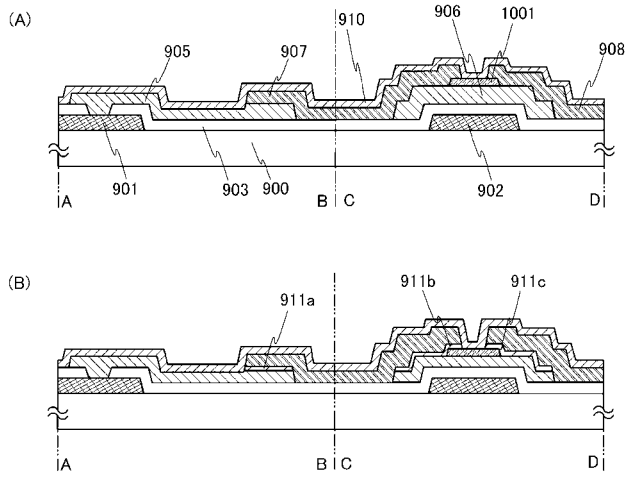
【図 11】



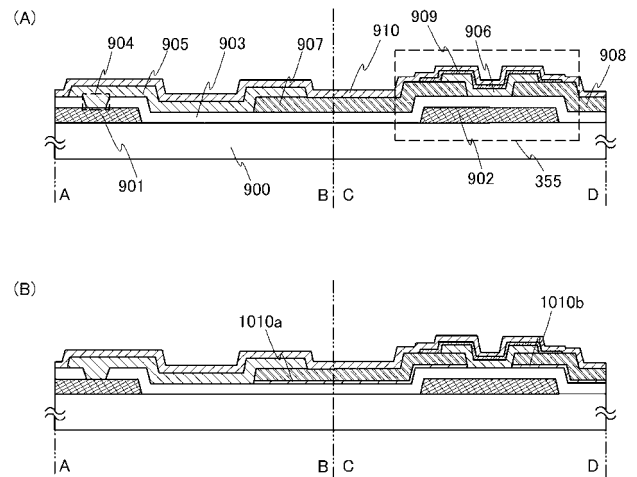
【図 12】



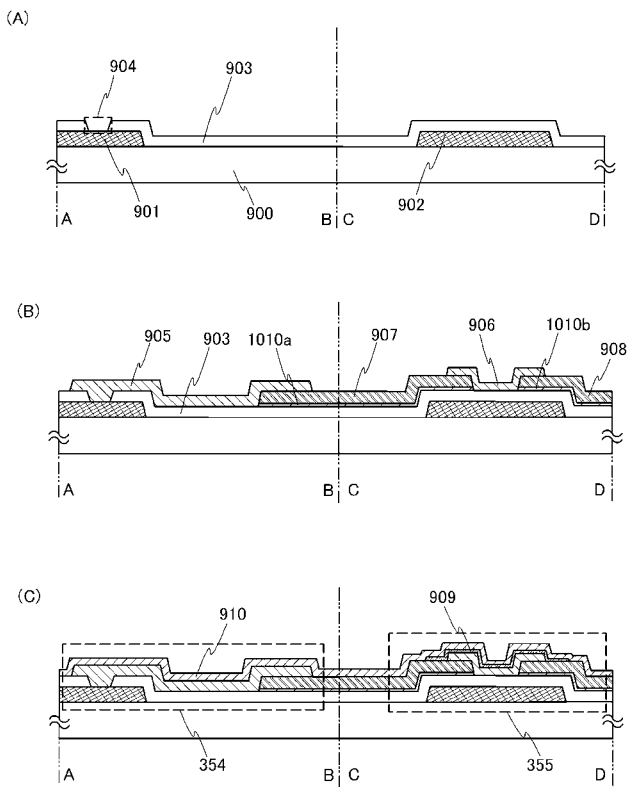
【図 13】



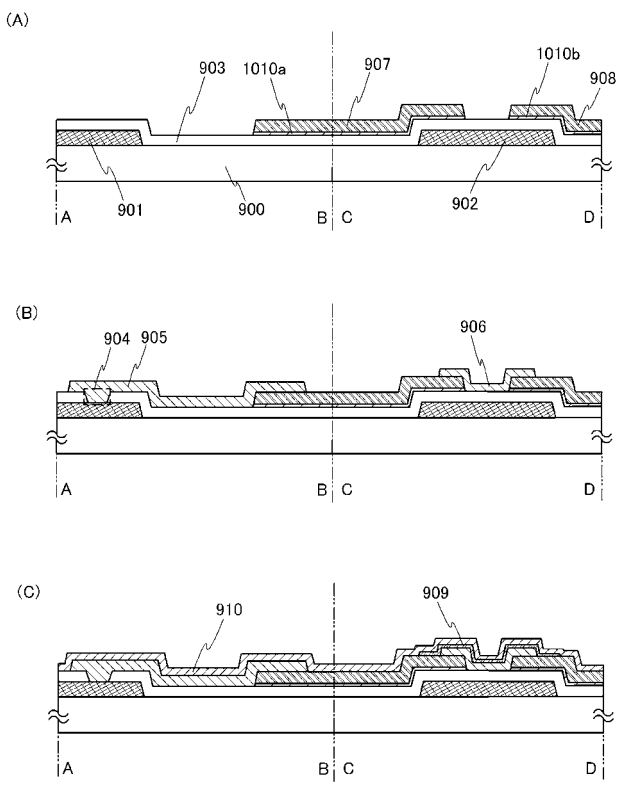
【図 14】



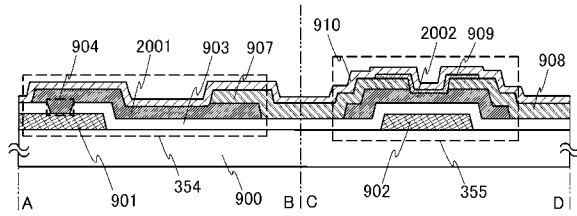
【図 15】



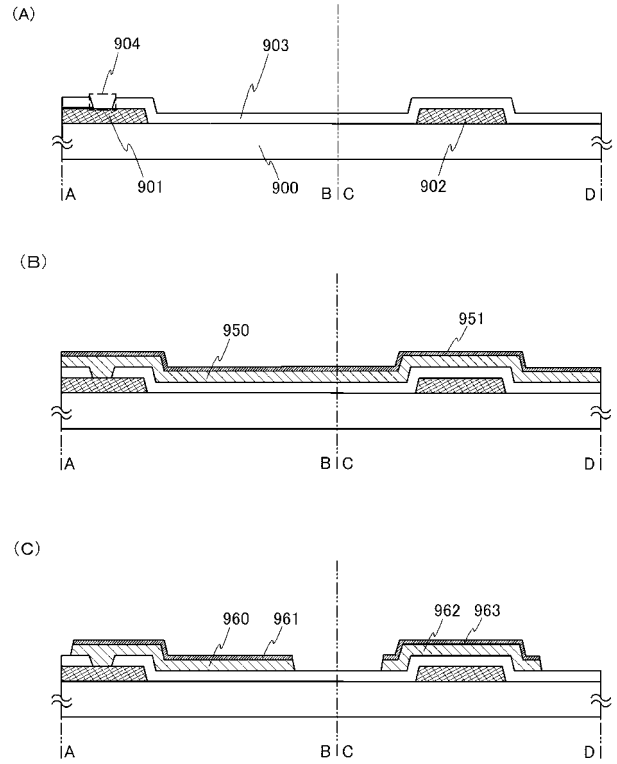
【図 16】



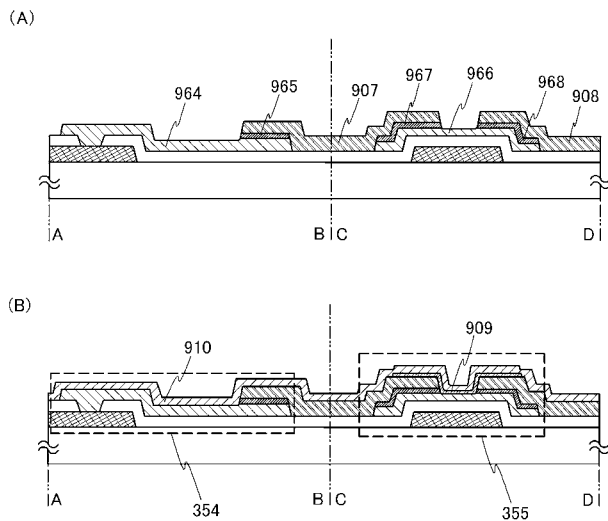
【図 17】



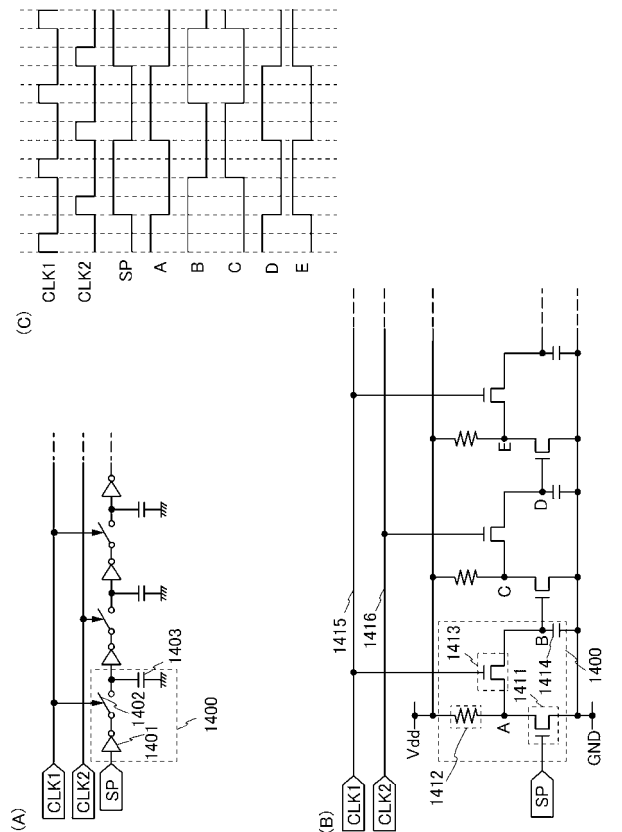
【図 18】



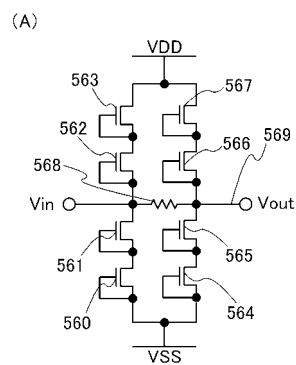
【図 19】



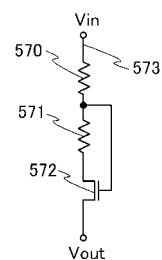
【図 20】



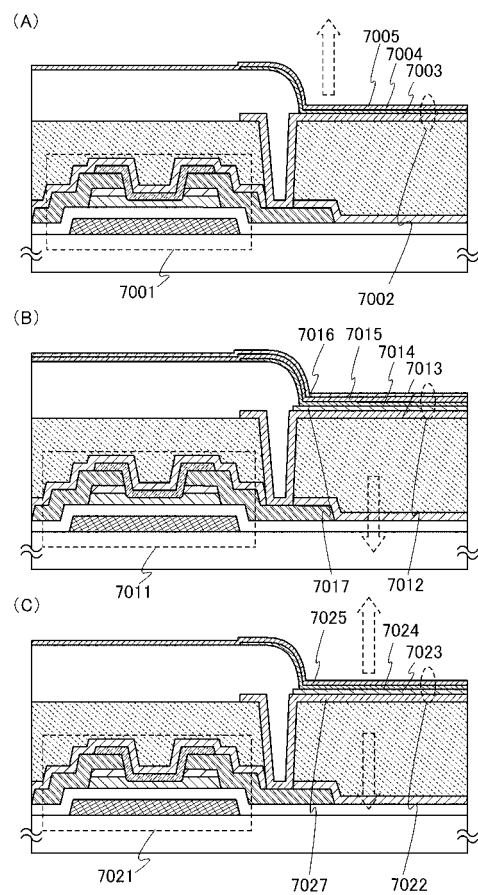
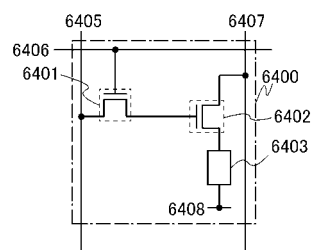
【図 2 2】



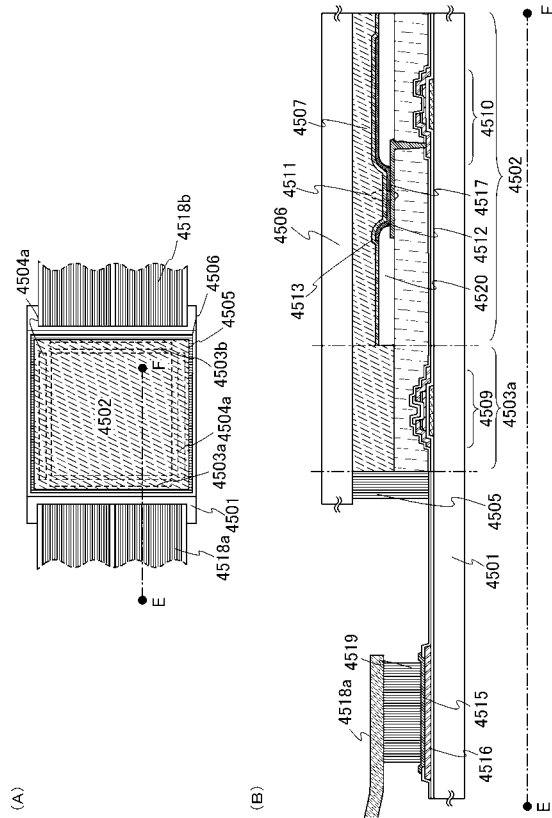
(B)



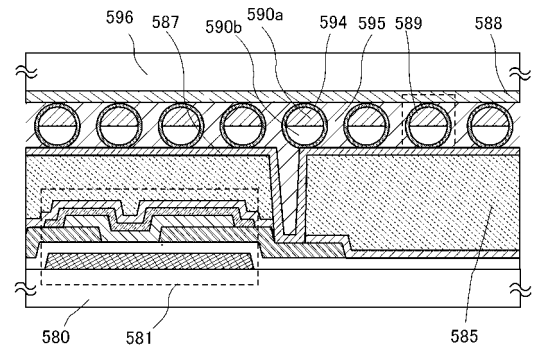
【圖 2 4】



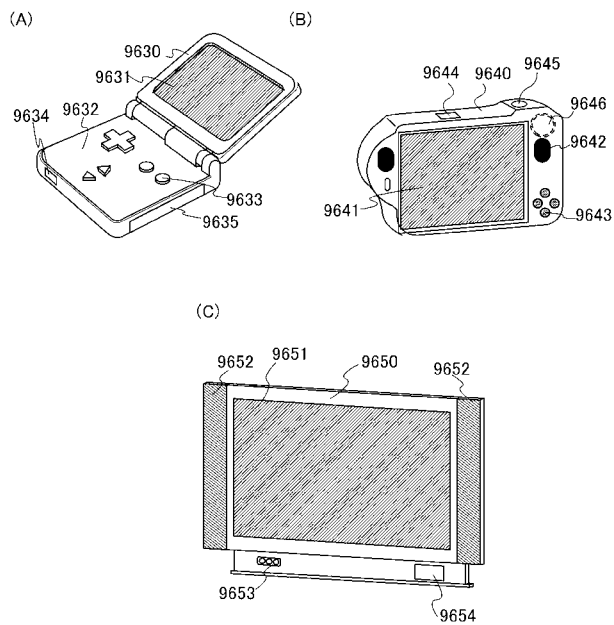
【図 25】



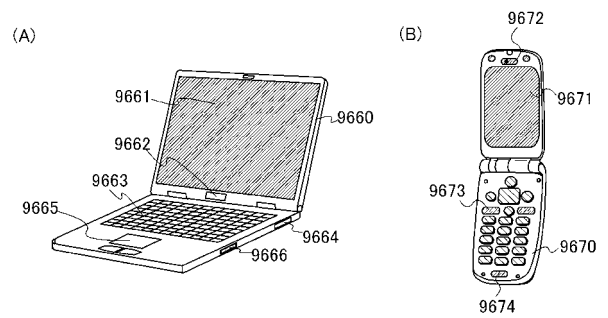
【図 26】



【図 27】



【図 28】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H 0 1 L 21/8234 (2006.01) H 0 1 L 27/06 1 0 2 A

(72)発明者 浅野 裕治
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 肥塚 純一
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

Fターム(参考) 5F038 AR07 AR13 BH02 BH07 BH15 BH19 CA02 CD02 CD06 DF08
EZ14 EZ15 EZ17 EZ20
5F048 AA07 AA09 AB03 AB04 AB10 AC01 AC02 AC10 BA14 BA16
BB01 BB09 BB11 BF02 BF07 BF15 BF16 CC01 CC09
5F110 AA16 BB02 BB03 CC03 CC07 DD02 EE02 EE03 EE04 EE06
EE42 EE43 EE44 FF01 FF02 FF03 FF04 FF27 FF28 FF30
GG01 GG42 GG43 GG45 HJ01 HJ16 HK02 HK03 HK04 HK06
HK08 HK21 HK25 HK33 NN03 NN23 NN24 NN34 NN35 NN71
QQ08