

(43) 国際公開日
2007年4月12日 (12.04.2007)

PCT

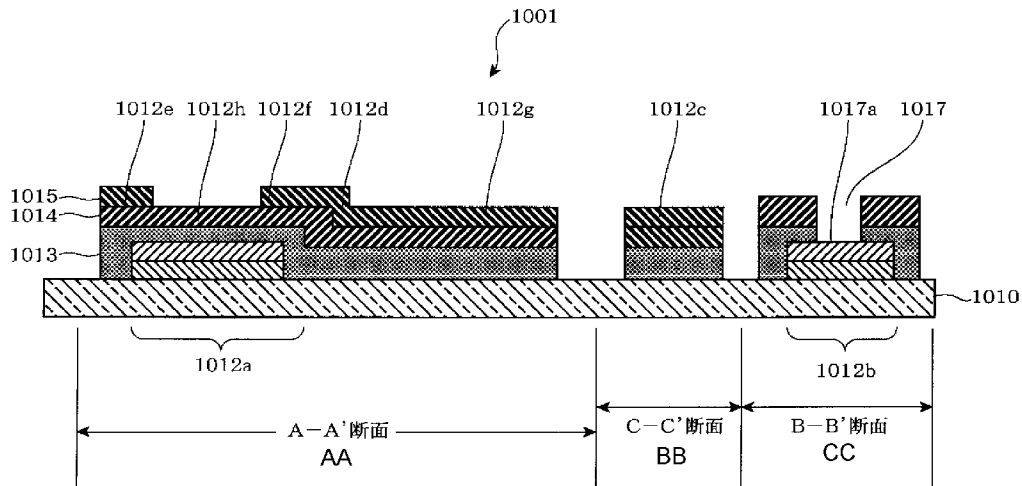
(10) 国際公開番号
WO 2007/040194 A1

- (51) 国際特許分類:
G09F 9/30 (2006.01) H01L 21/336 (2006.01)
G02F 1/1368 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2006/319673
- (22) 国際出願日: 2006年10月2日 (02.10.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-292823 2005年10月5日 (05.10.2005) JP
特願2005-349826 2005年12月2日 (02.12.2005) JP
特願2005-356563 2005年12月9日 (09.12.2005) JP
特願2005-357034 2005年12月9日 (09.12.2005) JP
特願2005-363150 2005年12月16日 (16.12.2005) JP
特願2006-022849 2006年1月31日 (31.01.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 出光興産株式会社 (IDEMITSU KOSAN CO., LTD.) [JP/JP]; 〒1008321 東京都千代田区丸の内三丁目1番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 井上一吉 (INOUE, Kazuyoshi) [JP/JP]; 〒2990293 千葉県袖ヶ浦市上泉1280番地 Chiba (JP). 矢野公規 (YANO, Koki) [JP/JP]; 〒2990293 千葉県袖ヶ浦市上泉1280番地 Chiba (JP). 田中信夫 (TANAKA, Nobuo) [JP/JP]; 〒2990293 千葉県袖ヶ浦市上泉1280番地 Chiba (JP).
- (74) 代理人: 渡辺 喜平 (WATANABE, Kihei); 〒1010041 東京都千代田区神田須田町一丁目26番 芝信神田ビル3階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,

[続葉有]

(54) Title: TFT SUBSTRATE AND METHOD FOR MANUFACTURING TFT SUBSTRATE

(54) 発明の名称: TFT基板及びTFT基板の製造方法



AA... A-A' CROSS SECTION

BB... C-C' CROSS SECTION

CC... B-B' CROSS SECTION

(57) Abstract: Provided is a method for reducing manufacturing cost and improving a manufacturing yield by reducing the number of steps in the manufacturing process and shortening a manufacturing process time. A TFT substrate is provided with a substrate; a gate electrode and a gate wiring formed above the substrate; a gate insulating film formed above the gate electrode and the gate wiring; a first oxide layer formed above the gate insulating layer at least above the gate electrode; and a second oxide layer formed above the first oxide layer. At least a pixel electrode is formed by the second oxide layer.

(57) 要約: 製造工程の工程数を削減し、製造処理時間を短縮し、よって製造コストを低減でき、かつ、製造歩留りを向上させる方法を提案する。TFT基板は、基板と、この基板の上方に形成されたゲート電極及びゲート配線と、ゲート電極及びゲート配線の上方に形成されたゲート絶縁膜と、少なくともゲート電極の上方のゲート絶縁膜の上方に、形成された第一の酸化物層と、第一の酸化物層の上方に形成された第二の酸化物層とを具備し、第二の酸化物層によって、

[続葉有]

WO 2007/040194 A1



BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

TFT基板及びTFT基板の製造方法

技術分野

[0001] 本発明は、液晶表示装置や有機EL発光装置などに用いられるTFT基板及びその製造方法に関する。

背景技術

[0002] LCD(液晶表示装置)や有機EL表示装置は、表示性能、省エネルギー等の理由から広く利用されている。これらは、特に、携帯電話やPDA(個人向け携帯情報端末)、パソコンやラップトップパソコン、テレビ等の表示装置として、ほぼ主流となっている。これらの表示装置には、一般に、TFT基板が用いられている。

[0003] 例えば、液晶表示装置は、TFT基板と対向基板との間に液晶などの表示材料が充填されている。また、この表示材料は、画素ごとに選択的に電圧が印加される。ここで、TFT基板は、半導体薄膜(半導体膜とも呼ばれる)などからなるTFT(薄膜トランジスタ)が配置されている基板である。一般に、TFT基板は、アレイ状にTFTが配置されているので、「TFTアレイ基板」とも呼ばれる。

[0004] なお、液晶表示装置などに用いられるTFT基板には、TFTと液晶表示装置の画面の1画素との組(これは1ユニットと呼ばれる)が、ガラス基板上に縦横に配設されている。TFT基板では、ガラス基板上に、ゲート配線が例えば縦方向に等間隔で配置されており、ソース配線又はドレイン配線の一方が横方向に等間隔で配置されている。また、ソース配線又はドレイン配線の他方、ゲート電極、ソース電極及びドレイン電極が、各画素を構成する上記ユニット中に、それぞれ設けられている。

[0005] <TFT基板の従来の製造方法>

さて、このTFT基板の製造法としては、通常、5枚のマスクを使用する5枚マスクプロセスや、ハーフトーン露光技術によって、4枚のマスクを使用する4枚マスクプロセス等が知られている。

ところで、このようなTFT基板の製造法では、5枚又は4枚のマスクを使用することによって、その製造プロセスは、多くの工程を必要とする。たとえば、4枚マスクプロセス

は、35ステップ(工程)、5枚マスクプロセスは、40ステップ(工程)を超える工程が必要である。このように工程数が多くなると、製造歩留りが低下する恐れがある。また、工程数が多いと、工程が複雑となり、製造コストが増大する恐れもある。

[0006] (5枚のマスクを用いた製造方法)

図69は、従来例にかかるTFT基板の製造方法を説明するための概略図であり、(a)はゲート電極が形成された断面図を示している。(b)はエッチストッパーが形成された断面図を示している。(c)はソース電極及びドレイン電極が形成された断面図を示している。(d)は層間絶縁膜が形成された断面図を示している。(e)は画素電極が形成された断面図を示している。

図69(a)において、ガラス基板9210上に、第一のマスク(図示せず)を用いて、ゲート電極9212が形成される。すなわち、まず、ガラス基板9210上に、スパッタリングによって金属(たとえば、Al(アルミニウム)など)が堆積する。次に、第一のマスクを用いてホトリソグラフィー法によりレジストが形成される。次に、所定の形状にエッチングすることによってゲート電極9212が形成され、レジストがアッシングされる。

[0007] 次に、図69(b)に示すように、ガラス基板9210及びゲート電極9212上に、SiN膜(窒化シリコン膜)からなるゲート絶縁膜9213、及び、 α -Si:H(i)膜9214が順に積層される。次に、チャンネル保護層であるSiN膜(窒化シリコン膜)が堆積する。次に、第二のマスク(図示せず)を用いてホトリソグラフィー法によりレジストが形成される。次に、CHFガスを用いてSiN膜が所定の形状にドライエッチングされ、エッチストッパー215が形成され、レジストがアッシングされる。

[0008] 次に、図69(c)に示すように、 α -Si:H(i)膜9214及びエッチストッパー9215上に、 α -Si:H(n)膜9216が堆積する。次に、その上にCr(クロム)/Al二層膜が真空蒸着、あるいは、スパッタリング法を用いて堆積する。次に、第三のマスク(図示せず)を用いてホトリソグラフィー法によりレジストが形成される。次に、Cr/Al二層膜がエッチングされ、所定の形状のソース電極9217a及びドレイン電極9217bが形成される。この際、Alに対しては、 H_3PO_4 - CH_3COOH - HNO_3 を用いたホトエッチングが行われ、また、Crに対しては、硝酸第二セリウムアンモニウム水溶液を用いたホトエッチングが行われる。次に、 α -Si:H膜(9216及び9214)に対して、CHFガスを

用いたドライエッチングと、ヒドラジン水溶液($\text{NH}_2\text{NH}_2 \cdot \text{H}_2\text{O}$)を用いたウェットエッチングが行われ、所定の形状の $\alpha\text{-Si:H(n)}$ 膜9216及び $\alpha\text{-Si:H(i)}$ 膜9214が形成され、レジストがアッシングされる。

[0009] 次に、図69(d)に示すように、透明電極9219を形成する前に、ゲート絶縁膜9213、エッチストッパー9215、ソース電極9217a及びドレイン電極9217b上に、層間絶縁膜9218が堆積する。次に、第四のマスク(図示せず)を用いてホトリソグラフィー法によりレジストが形成される。次に、層間絶縁膜9218がエッチングされ、透明電極9219をソース電極9217aと電氣的に接続させるためのスルーホール9218aが形成され、レジストがアッシングされる。

[0010] 次に、図69(e)に示すように、ソース電極9217a及びドレイン電極9217bのパターンが形成された領域の層間絶縁膜9218上に、酸化インジウムと酸化亜鉛を主成分とする非晶質透明導電膜がスパッタリング法によって堆積する。次に、第五のマスク(図示せず)を用いてホトリソグラフィー法によりレジストが形成される。次に、非晶質透明導電膜に対して、蔭酸約4重量%の水溶液をエッチャントとして用いてホトエッチングが行われる。次に、非晶質透明導電膜が、ソース電極9217aと電氣的に接続するような形状に形成され、レジストがアッシングされる。これによって、透明電極9219が形成される。

このように、本従来例によるTFT基板の製造方法によれば、5枚のマスクが必要である。

[0011] (3枚のマスクを用いた製造方法)

上記従来の技術を改良する技術として、マスクの数を(例えば、5枚から3枚に)減らし、より製造工程を削減した方法でTFT基板を製造する技術が種々提案されている。たとえば、下記特許文献1～7には、3枚のマスクを用いたTFT基板の製造方法が記載されている。

特許文献1: 日本国特開2004-317685号公報

特許文献2: 日本国特開2004-319655号公報

特許文献3: 日本国特開2005-017669号公報

特許文献4: 日本国特開2005-019664号公報

特許文献5: 日本国特開2005-049667号公報

特許文献6: 日本国特開2005-106881号公報

特許文献7: 日本国特開2005-108912号公報

発明の開示

発明が解決しようとする課題

- [0012] しかしながら、上記特許文献1～7に記載された3枚のマスクを用いたTFT基板の製造方法は、ゲート絶縁膜の陽極酸化工程などが必要であり、非常に煩雑な製造プロセスである。このため、上記TFT基板の製造方法は、実用が困難な技術であるといった問題があった。

また、実際の製造ラインにおいては、生産性及び品質を向上させることの可能な実用的な技術が要望されていた。

- [0013] 本発明は、係る課題に鑑みなされたものであり、製造工程の工程数を削減することによって、製造コストを大幅に低減できることが可能なTFT基板及びTFT基板の製造方法の提案を目的とする。

課題を解決するための手段

- [0014] この目的を達成するために、本発明のTFT基板は、基板と、この基板の上方に形成されたゲート電極及びゲート配線と、少なくとも前記ゲート電極及び前記ゲート配線の上方に、形成されたゲート絶縁膜と、少なくとも前記ゲート電極の上方の前記ゲート絶縁膜の上方に、形成された第一の酸化物層と、前記第一の酸化物層の上方に形成された第二の酸化物層とを具備するTFT基板であって、前記第二の酸化物層によって、少なくとも画素電極が形成された構成としてある。

なお、上記「…の上方に」は、“(表面から離れて)…の上に”と、“(表面に接して)…の上に”の両方の意味を有している。いずれか好ましい方が各実施形態に記載されている。

- [0015] また、好ましくは、前記第二の酸化物層によって、前記画素電極と、ソース電極及びドレイン電極と、ソース配線及びドレイン配線が形成されるとよい。

- [0016] また、好ましくは、前記画素電極が、前記第一の酸化物層と前記第二の酸化物層とからなるとよい。

[0017] さらに、好ましくは、前記第一の酸化物層がn型酸化物半導体層であり、前記第二の酸化物層が酸化物導電体層であるといふ。

[0018] また、本発明のTFT基板の製造方法は、基板の上方に、第一のマスクを用いて、ゲート電極及びゲート配線を形成する工程と、前記基板、前記ゲート電極及び前記ゲート配線の上方に、ゲート絶縁膜、第一の酸化物層、第二の酸化物層及びレジストを、この順に積層する工程と、第二のマスクを用いて、ハーフトーン露光によって、前記レジストを所定の形状に形成する工程と、前記第一の酸化物層と前記第二の酸化物層とを選択的にエッチングして、ソース配線、ドレイン配線及び画素電極を形成する工程と、前記レジストを所定の形状に再形成する工程と、前記第二の酸化物層を選択的にエッチングして、ソース電極、ドレイン電極及びチャンネル部を形成する工程と、前記ゲート絶縁膜を選択的にエッチングして、ゲート配線パッドを形成する工程とを有する方法としてある。

[0019] また、本発明のTFT基板の製造方法は、基板の上方に、第一のマスクを用いて、ゲート電極及びゲート配線を形成する工程と、前記基板、前記ゲート電極及び前記ゲート配線の上方に、ゲート絶縁膜、第一の酸化物層、第二の酸化物層及びレジストを、この順に積層する工程と、第二のマスクを用いて、ハーフトーン露光によって、前記レジストを所定の形状に形成する工程と、前記第一の酸化物層と、前記第二の酸化物層と、前記ゲート絶縁膜をエッチングして、ソース配線、ドレイン配線、画素電極及びゲート配線パッドを形成する工程と、前記レジストを所定の形状に再形成する工程と、前記第二の酸化物層を選択的にエッチングして、ソース電極、ドレイン電極及びチャンネル部を形成する工程とを有する方法としてある。

[0020] また、好ましくは、前記ソース配線、前記ドレイン配線、前記ソース電極及び前記ドレイン電極の上方に、第三のマスクを用いて、補助配線又は補助電極を形成する工程を有するといふ。

[0021] 上記目的を達成するために、本発明のTFT基板は、前記画素電極、ソース・ドレイン配線パッド及びゲート配線パッドが露出した状態で、前記ゲート電極及びゲート配線の上方、並びに、ソース配線、ドレイン配線、ソース電極及びドレイン電極の上方に形成された保護用絶縁膜を備え、前記第二の酸化物層によって、前記ソース配線、

ドレイン配線, ソース電極, ドレイン電極及び画素電極が形成されるとよい。

このようにすると、チャンネル部の第一の酸化物層の上部が、保護用絶縁膜により保護されているので、TFT基板は、長期間安定して作動することができる。また、製造する際に使用するマスク数の削減、及び、製造工程の削減によって、生産効率の向上及び製造原価のコストダウンを図ることができる。さらに、保護用絶縁膜が形成されているので、TFT基板に、有機EL材料、電極及び保護膜を設けることにより、有機電界発光装置を容易に得ることができる。

なお、ソース・ドレイン配線パッドとは、ソース配線パッド又はドレイン配線パッドをいう。

[0022] また、好ましくは、前記第一の酸化物層が、n型酸化物半導体層であり、かつ、前記第二の酸化物層が、酸化物導電体層であるとよい。

このように、TFTの活性層として酸化物半導体層を使用することにより、電流を流しても安定であり、電流制御により作動させる有機電界発光装置にとって有用である。また、チャンネル部、ソース電極及びドレイン電極を容易に形成することができる。

[0023] また、好ましくは、前記画素電極が、前記第一の酸化物層と第二の酸化物層との積層膜よりなるとよい。

このようにすると、積層膜を透明とすることができるので、光による誤動作を防止することができる。

[0024] また、好ましくは、少なくとも前記第二の酸化物層の基板側に、前記第一の酸化物層が形成されるとよい。

このようにすると、第二の酸化物層及び第一の酸化物層を透明とすることができるので、光による誤動作を防止することができる。

[0025] また、好ましくは、前記ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極の少なくとも一つの上に、補助導電層を形成するとよい。

このようにすると、各配線や電極の電気抵抗を低減することができ、信頼性を向上させることができるとともに、エネルギー効率の低下を抑制することができる。

[0026] また、好ましくは、前記第一の酸化物層及び第二の酸化物層のエネルギーギャップが、3.0eV以上であるとよい。

このように、エネルギーギャップを3.0eV以上とすることにより、光による誤動作を防止することができる。なお、通常、エネルギーギャップは、3.0eV以上あればよいが、好ましくは、3.2eV以上とするとよく、さらに、好ましくは、3.4eV以上とするとよい。このように、エネルギーギャップを大きくすることにより、光による誤動作をより確実に防止することができる。

[0027] また、本発明のTFT基板の製造方法は、基板上に、第一のマスクを用いて、ゲート電極及びゲート配線を形成する工程と、前記基板、ゲート電極及びゲート配線上に、ゲート絶縁膜、第一の酸化物層、第二の酸化物及び第二のレジストを順次積層し、第二のマスクを用いて、前記第二のレジストを所定の形状に形成する工程と、前記第二のレジストを用いて、前記第二の酸化物層をエッチングして、ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極を形成する工程と、前記第一の酸化物層、ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極上に保護用絶縁膜及び第三のレジストを順次積層し、ハーフトーン露光によって、前記第三のレジストを所定の形状に形成する工程と、前記第三のレジストを用いて、ゲート配線パッド上の前記保護用絶縁膜及び第一の酸化物層をエッチングする工程と、前記第三のレジストを再形成した後、該第三のレジストを用いて、前記画素電極及びソース・ドレイン配線用パッド上の前記保護用絶縁膜、並びに、前記ゲート配線パッド上の前記ゲート絶縁膜を選択的にエッチングし、前記画素電極、ソース・ドレイン配線用パッド及びゲート配線パッドを露出させる工程とを有する方法としてある。

このように、本発明は、TFT基板の製造方法としても有効である。三枚のマスクを用いて、保護用絶縁膜を有するTFT基板を製造することができ、マスク数が削減され製造工程が削減される。これにより、生産効率の向上及び製造原価のコストダウンを図ることができる。また、チャンネル部の第一の酸化物層の上部が、保護用絶縁膜により保護されているので、TFT基板は、長期間安定して作動することができる。

[0028] また、本発明のTFT基板の製造方法は、基板上に、第一のマスクを用いて、ゲート電極及びゲート配線を形成する工程と、前記基板、ゲート電極及びゲート配線上に、ゲート絶縁膜、第一の酸化物層、第二の酸化物、補助導電層及び第二のレジストを順次積層し、ハーフトーン露光によって、前記第二のレジストを所定の形状に形成す

る工程と、前記第二のレジストを用いて、前記補助導電層及び第二の酸化物層をエッチングして、ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極を形成するとともに、前記補助導電層からなる補助配線及び補助電極を形成する工程と、前記第二のレジストを再形成した後、該第二のレジストを用いて、前記画素電極上の前記補助導電層を選択的にエッチングし、前記画素電極を露出させる工程と、前記第一の酸化物層及び画素電極上、並びに、前記ソース配線、ドレイン配線、ソース電極及びドレイン電極上に形成された前記補助導電層上に、保護用絶縁膜及び第三のレジストを順次積層し、ハーフトーン露光によって、第三のレジストを所定の形状に形成する工程と、前記第三のレジストを用いて、前記ゲート配線パッド上の前記保護用絶縁膜及び第一の酸化物層をエッチングする工程と、前記第三のレジストを再形成した後、該第三のレジストを用いて、前記画素電極及びソース・ドレイン配線用パッド上の前記保護用絶縁膜、並びに、前記ゲート配線パッド上の前記ゲート絶縁膜を選択的にエッチングし、前記画素電極、ソース・ドレイン配線用パッド及びゲート配線パッドを露出させる工程とを有する方法としてある。

このようにすると、三枚のマスクを用いて、保護用絶縁膜を有するTFT基板を製造することができ、マスク数が削減され製造工程が削減される。これにより、生産効率の向上及び製造原価のコストダウンを図ることができる。また、各配線や電極の電気抵抗を低減することができ、信頼性を向上させることができるとともに、エネルギー効率の低下を抑制することができる。

[0029] 上記目的を達成するために、本発明のTFT基板は、前記第二の酸化物層によって、少なくとも前記画素電極及び該画素電極と接続されたソース・ドレイン電極が形成されるとよい。

このようにすると、製造する際に使用するマスク数の削減、及び、製造工程の削減によって、生産効率の向上及び製造原価のコストダウンを図ることができる。

なお、ソース・ドレイン電極とは、ソース電極又はドレイン電極をいう。

[0030] また、好ましくは、前記TFT基板の上方が保護用絶縁膜によって覆われ、かつ、前記保護用絶縁膜が、各画素電極、ソース・ドレイン配線パッド及びゲート配線パッドに対応する位置に開口部を有するとよい。

このようにすると、チャンネル部の第一の酸化物層の上部が、保護用絶縁膜により保護されているので、TFT基板は、長期間安定して作動することができる。また、TFT基板自体が保護用絶縁膜を備えた構造となるので、液晶や有機EL材料などを利用した表示手段や発光手段を容易に製造可能なTFT基板を提供することができる。

なお、ソース・ドレイン配線パッドとは、ソース配線パッド又はドレイン配線パッドをいう。

[0031] また、好ましくは、前記第一の酸化物層が、n型酸化物半導体層であり、かつ、前記第二の酸化物層が、酸化物導電体層であるとよい。

このように、TFTの活性層として酸化物半導体層を使用することにより、電流を安定して流すことができるので、TFT基板は、電流制御により作動する有機電界発光装置にとって有用である。また、チャンネル部、ソース電極及びドレイン電極を容易に形成することができる。

[0032] また、好ましくは、前記画素電極が、前記第一の酸化物層と第二の酸化物層との積層膜よりなるとよい。

このようにすると、積層膜を透明とすることができるので、光による誤動作を防止することができる。

[0033] また、好ましくは、少なくとも前記第二の酸化物層の基板側に、前記第一の酸化物層が形成されるとよい。

このようにすると、第二の酸化物層及び第一の酸化物層を透明とすることができるので、光による誤動作を防止することができる。

[0034] また、好ましくは、前記ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極の少なくとも一つの上方に、補助導電層を形成するとよい。

このようにすると、各配線や電極の電気抵抗を低減することができ、信頼性を向上させることができるとともに、エネルギー効率の低下を抑制することができる。

[0035] また、好ましくは、前記第一の酸化物層が、前記チャンネル部、ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極に対応する所定の位置に形成されるとよい。

このようにすると、通常、第一の酸化物層が、所定の位置にのみ形成されることとな

るので、ゲート配線どうしが干渉する(クロストーク)といった心配を排除することができる。

[0036] また、好ましくは、前記第一の酸化物層及び／又は第二の酸化物層のエネルギーギャップが、3.0eV以上であるとよい。

このように、エネルギーギャップを3.0eV以上とすることにより、光による誤動作を防止することができる。なお、通常、エネルギーギャップは、3.0eV以上あればよいが、好ましくは、3.2eV以上とするとよく、さらに、好ましくは、3.4eV以上とするとよい。このように、エネルギーギャップを大きくすることにより、光による誤動作をより確実に防止することができる。

[0037] また、好ましくは、前記画素電極の一部が、反射金属層により覆われているとよい。

このようにすると、長期間安定して作動させ、かつ、クロストークを防止することができるとともに、製造コストを大幅に低減できる半透過型のTFT基板又は半反射型のTFT基板を提供することができる。

[0038] また、好ましくは、前記反射金属層によって、ソース配線、ドレイン配線、ソース電極及びドレイン電極の少なくとも一つが形成されるとよい。

このようにすると、より多くの光を反射することができ、反射光による輝度を向上させることができる。

[0039] また、好ましくは、前記反射金属層が、アルミニウム、銀若しくは金からなる薄膜、又は、アルミニウム、銀若しくは金を含む合金層からなるとよい。

このようにすると、より多くの光を反射することができ、反射光による輝度を向上させることができる。

[0040] また、好ましくは、前記TFT基板が金属層を備え、前記金属層を保護する金属層保護用酸化物導電体層を有するとよい。

このようにすると、金属層の腐蝕を防ぐとともに、耐久性を向上させることができる。たとえば、ゲート配線として金属層を用いた場合、ゲート配線パッド用の開口部を形成した際、金属表面が露出するのを防止でき、接続信頼性を向上させることができる。また、金属層が反射金属層である場合、反射金属層の変色などを防止でき、反射金属層の反射率が低下するといった不具合を防止することができる。

[0041] また、好ましくは、前記TFT基板が、ゲート電極、ゲート配線、ソース配線、ドレイン配線、ソース電極、ドレイン電極又は画素電極のうち、少なくとも一以上を備え、前記ゲート電極、ゲート配線、ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極の少なくとも一つが、酸化物透明導電体層よりなるとよい。

このようにすると、光の透過量が増大するので、輝度の優れた表示装置を提供することができる。

[0042] また、本発明のTFT基板の製造方法は、基板の上方に、第一のマスクを用いて、ゲート電極及びゲート配線を形成する工程と、前記基板、ゲート電極及びゲート配線の上方に、ゲート絶縁膜、第一の酸化物層、第二の酸化物層及び第二のレジストを積層し、ハーフトーン露光によって、前記第二のレジストを所定の形状に形成する工程と、前記第二のレジストを用いて、前記第二の酸化物層及び第一の酸化物層をエッチングして、ソース配線、ドレイン配線及び画素電極を形成する工程と、前記第二のレジストを再形成した後、該第二のレジストを用いて、前記ゲート電極の上方の前記第二の酸化物層を選択的にエッチングし、ソース電極及びドレイン電極を形成する工程と、露出した前記ゲート絶縁膜及び第一の酸化物層の上方、並びに、前記ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極の上方に、保護用絶縁膜及び第三のレジストを積層し、第三のマスクを用いて、第三のレジストを所定の形状に形成する工程と、前記第三のレジストを用いて、前記画素電極及びソース・ドレイン配線パッドの上方の前記保護用絶縁膜、並びに、前記ゲート配線パッドの上方の前記保護用絶縁膜及びゲート絶縁膜をエッチングし、前記画素電極、ソース・ドレイン配線パッド及びゲート配線パッドを露出させる工程とを有する方法としてある。

このように、本発明は、TFT基板の製造方法としても有効である。三枚のマスクを用いて、保護用絶縁膜を有するTFT基板を製造することができ、マスク数が削減され製造工程が削減される。これにより、生産効率の向上及び製造原価のコストダウンを図ることができる。また、チャンネル部の第一の酸化物層の上部が、保護用絶縁膜により保護されているので、TFT基板は、長期間安定して作動することができる。さらに、通常、第一の酸化物層が、所定の位置(チャンネル部、ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極に対応する所定の位置)にのみ形成されること

となるので、ゲート配線どうしが干渉する(クロストーク)といった心配を排除することができる。

[0043] また、本発明のTFT基板の製造方法は、基板の上方に、第一のマスクを用いて、ゲート電極及びゲート配線を形成する工程と、前記基板、ゲート電極及びゲート配線の上方に、ゲート絶縁膜、第一の酸化物層、第二の酸化物層、補助導電層及び第二のレジストを積層し、ハーフトーン露光によって、前記第二のレジストを所定の形状に形成する工程と、前記第二のレジストを用いて、前記補助導電層、第二の酸化物層及び第一の酸化物層をエッチングして、ソース配線、ドレイン配線及び画素電極を形成するとともに、前記補助導電層からなる補助配線を形成する工程と、前記第二のレジストを再形成した後、該第二のレジストを用いて、前記ゲート電極の上方の前記補助導電層及び第二の酸化物層を選択的にエッチングし、ソース電極及びドレイン電極を形成するとともに、前記補助導電層からなる補助電極を形成する工程と、露出した前記ゲート絶縁膜及び第一の酸化物層の上方、並びに、前記ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極の上方に形成された前記補助導電層の上方に、保護用絶縁膜及び第三のレジストを積層し、第三のマスクを用いて、第三のレジストを所定の形状に形成する工程と、前記第三のレジストを用いて、前記画素電極及びソース・ドレイン配線パッドの上方の前記保護用絶縁膜、並びに、前記ゲート配線パッドの上方の前記保護用絶縁膜をエッチングし、前記画素電極及びソース・ドレイン配線パッドの上方の前記補助導電層を露出させる工程と、前記第三のレジストを用いて、露出した前記画素電極及びソース・ドレイン配線パッドの上方の前記補助導電層をエッチングし、前記画素電極及びソース・ドレイン配線パッドを露出させる工程と、前記第三のレジストを用いて、前記ゲート配線パッドの上方の前記ゲート絶縁膜をエッチングし、前記ゲート配線パッドを露出させる工程とを有する方法としてある。

このようにすると、三枚のマスクを用いて、補助導電層及び保護用絶縁膜を有するTFT基板を製造することができる。また、マスク数が削減され製造工程が削減される。これにより、生産効率の向上及び製造原価のコストダウンを図ることができる。また、各配線や電極の電気抵抗を低減することができ、信頼性を向上させることができる。

ともに、エネルギー効率の低下を抑制することができる。

[0044] また、本発明のTFT基板の製造方法は、基板の上方に、第一のマスクを用いて、ゲート電極及びゲート配線を形成する工程と、前記基板、ゲート電極及びゲート配線の上方に、ゲート絶縁膜、第一の酸化物層、第二の酸化物層、反射金属層及び第二のレジストを積層し、ハーフトーン露光によって、前記第二のレジストを所定の形状に形成する工程と、前記第二のレジストを用いて、前記反射金属層、第二の酸化物層及び第一の酸化物層をエッチングして、ソース配線、ドレイン配線及び画素電極を形成する工程と、前記第二のレジストを再形成した後、該第二のレジストを用いて、前記ゲート電極の上方の前記反射金属層及び第二の酸化物層を選択的にエッチングし、ソース電極及びドレイン電極を形成する工程と、露出した前記ゲート絶縁膜及び第一の酸化物層の上方、並びに、前記ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極の上方に形成された前記反射金属層の上方に、保護用絶縁膜及び第三のレジストを積層し、ハーフトーン露光によって、第三のレジストを所定の形状に形成する工程と、前記第三のレジストを用いて、前記画素電極の一部を露出させるとともに、前記反射金属層からなる反射金属部を形成する工程と、前記第三のレジストを所定の形状に再形成する工程と、前記反射金属部及びソース・ドレイン配線パッドの上方の前記保護用絶縁膜、並びに、前記ゲート配線パッドの上方の前記保護用絶縁膜及びゲート絶縁膜をエッチングし、前記反射金属部、ソース・ドレイン配線パッド及びゲート配線パッドを露出させる工程とを有する方法としてある。

このようにすると、長期間安定して作動させ、かつ、クロストークを防止することができるとともに、製造コストを大幅に低減できる半透過型のTFT基板又は半反射型のTFT基板を製造することができる。

[0045] また、好ましくは、前記反射金属層の上方に、該反射金属層を保護する金属層保護用酸化物導電体層を形成するとよい。

このようにすると、反射金属層の変色などを防止でき、反射金属層の反射率が低下するといった不具合を防止することができる。

図面の簡単な説明

[0046] [図1]図1は、本発明の第一実施形態にかかるTFT基板の製造方法を説明するため

の概略断面図であり、同図において、第一のマスクを用いて形成されたゲート電極及びゲート配線が示されている。

[図2]図2は、図1の概略斜視図である。

[図3]図3は、本発明の第一実施形態にかかるTFT基板の製造方法を説明するための概略断面図であり、同図において、第二のマスクを用いて形成されたソース配線、ドレイン配線及び画素電極が示されている。

[図4]図4は、図3の概略斜視図である。

[図5]図5は、一般的なハーフトーン露光技術の説明図であり、(a)は露光中の概略断面図を示しており、(b)は現像後の概略断面図を示している。

[図6]図6は、本発明の第一実施形態にかかるTFT基板の製造方法を説明するための概略断面図であり、同図において、第二のマスクを用いて形成されたソース電極及びドレイン電極が示されている。

[図7]図7は、図6の概略斜視図である。

[図8]図8は、レジストを再形成するためのアッシング処理の説明図であり、(a)は再形成される前のレジストの概略断面図を示しており、(b)は再形成されたレジストの概略断面図を示している。

[図9]図9は、本発明の第一実施形態にかかるTFT基板の製造方法を説明するための概略断面図であり、同図において、ゲート配線パッドが形成され、レジストが除去されている。

[図10]図10は、図9の概略斜視図である。

[図11]図11は、本発明の第二実施形態にかかるTFT基板の製造方法を説明するための概略断面図であり、同図において、補助電極及び補助配線が形成されている。

[図12]図12は、図11の概略斜視図である。

[図13]図13は、本発明の第三実施形態にかかるTFT基板の製造方法を説明するための概略断面図であり、同図において、第一のマスクを用いて形成されたゲート電極及びゲート配線が示されている。

[図14]図14は、本発明の第三実施形態にかかるTFT基板の製造方法を説明するための概略断面図であり、同図において、第二のマスクを用いて形成されたソース配線

、ドレイン配線及び画素電極が示されている。

[図15]図15は、図14の概略斜視図である。

[図16]図16は、本発明の第三実施形態にかかるTFT基板の製造方法を説明するための概略断面図であり、同図において、第二のマスクを用いて形成されたソース電極及びドレイン電極が示されている。

[図17]図17は、図16の概略斜視図である。

[図18]図18は、本発明の第四実施形態にかかるTFT基板の製造方法を説明するための概略断面図であり、同図において、補助電極及び補助配線が形成されている。

[図19]図19は、図18の概略斜視図である。

[図20]図20は、本発明の第五実施形態にかかるTFT基板の製造方法を説明するための概略フローチャート図を示している。

[図21]図21は、本発明の第五実施形態にかかるTFT基板の製造方法の、第一のマスクを用いた処理を説明するための概略図であり、(a)は処理前のガラス基板の断面図を示しており、(b)はメタル成膜された断面図を示しており、(c)はレジスト塗布された断面図を示しており、(d)は露光／現像／第一のエッチング／レジスト剥離され、ゲート電極及びゲート配線が形成された断面図を示している。

[図22]図22は、本発明の第五実施形態にかかるTFT基板の製造方法において、ゲート電極及びゲート配線が形成されたガラス基板の要部の概略平面図を示している。

[図23]図23は、本発明の第五実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)はゲート絶縁膜成膜／n型酸化物半導体層成膜／酸化物導電体層成膜／金属層成膜／レジスト塗布された断面図を示しており、(b)はハーフトーン露光／現像された断面図を示している。

[図24]図24は、本発明の第五実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は第二のエッチングされた断面図を示しており、(b)は第二のレジストの再形成された断面図を示している。

[図25]図25は、本発明の第五実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は第三のエッチングされた断面図を示しており、(b)は第二のレジスト剥離された断面図を示している。

[図26]図26は、本発明の第五実施形態にかかるTFT基板の製造方法において、ドレイン電極、ソース電極、ドレイン配線、ソース配線及び画素電極が形成されたガラス基板の要部の概略平面図を示している。

[図27]図27は、本発明の第五実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は保護用絶縁膜成膜／レジスト塗布された断面図を示しており、(b)はハーフトーン露光／現像された断面図を示している。

[図28]図28は、本発明の第五実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は第四のエッチングされた断面図を示しており、(b)は第三のレジストの再形成された断面図を示している。

[図29]図29は、本発明の第五実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は第五のエッチングされた断面図を示しており、(b)は第三のレジスト剥離された断面図を示している。

[図30]図30は、本発明の第五実施形態にかかるTFT基板の製造方法において、画素電極、ドレイン配線パッド及びゲート配線パッドが露出されたTFT基板の要部の概略平面図を示している。

[図31]図31は、本発明の第六実施形態にかかるTFT基板の製造方法を説明するための概略フローチャート図を示している。

[図32]図32は、本発明の第六実施形態にかかるTFT基板の製造方法の、第二のマスクを用いた処理を説明するための概略図であり、(a)はゲート絶縁膜成膜／n型酸化物半導体層成膜／酸化物導電体層成膜／レジスト塗布された断面図を示しており、(b)は露光／現像された断面図を示している。

[図33]図33は、本発明の第六実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は第二のエッチングされた断面図を示しており、(b)は第二のレジスト剥離された断面図を示している。

[図34]図34は、本発明の第六実施形態にかかるTFT基板の製造方法において、ドレイン電極、ソース電極、ドレイン配線、ソース配線及び画素電極が形成されたガラス基板の要部の概略平面図を示している。

[図35]図35は、本発明の第六実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は保護用絶縁膜成膜／レジスト塗布された断面図を示しており、(b)はハーフトーン露光／現像された断面図を示している。

[図36]図36は、本発明の第六実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は第三のエッチングされた断面図を示しており、(b)は第三のレジストの再形成された断面図を示している。

[図37]図37は、本発明の第六実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は第四のエッチングされた断面図を示しており、(b)は第三のレジスト剥離された断面図を示している。

[図38]図38は、本発明の第六実施形態にかかるTFT基板の製造方法において、画素電極、ドレイン配線パッド及びゲート配線パッドが露出されたTFT基板の要部の概略平面図を示している。

[図39]図39は、本発明の第七実施形態にかかるTFT基板の製造方法を説明するための概略フローチャート図を示している。

[図40]図40は、本発明の第七実施形態にかかるTFT基板の製造方法の、第一のマスクを用いた処理を説明するための概略図であり、(a)は処理前のガラス基板の断面図を示しており、(b)はメタル成膜された断面図を示しており、(c)はレジスト塗布された断面図を示しており、(d)は露光／現像／第一のエッチング／レジスト剥離され、

ゲート電極及びゲート配線が形成された断面図を示している。

[図41]図41は、本発明の第七実施形態にかかるTFT基板の製造方法において、ゲート電極及びゲート配線が形成されたガラス基板の要部の概略平面図を示している。

[図42]図42は、本発明の第七実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)はゲート絶縁膜成膜／n型酸化物半導体層成膜／酸化物導電体層成膜／金属層成膜／レジスト塗布された断面図を示しており、(b)はハーフトーン露光／現像された断面図を示している。

[図43]図43は、本発明の第七実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は第二のエッチング／第三のエッチングされた断面図を示しており、(b)は第二のレジストの再形成された断面図を示している。

[図44]図44は、本発明の第七実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は第四のエッチング／第五のエッチングされた断面図を示しており、(b)は第二のレジスト剥離された断面図を示している。

[図45]図45は、本発明の第七実施形態にかかるTFT基板の製造方法において、ソース電極用補助電極、ドレイン電極用補助電極、ソース配線用補助配線、ドレイン配線用補助配線が露出したガラス基板の要部の概略平面図を示している。

[図46]図46は、本発明の第七実施形態にかかるTFT基板の製造方法の、第三のマスクを用いた処理を説明するための概略図であり、(a)は保護用絶縁膜成膜／レジスト塗布された断面図を示しており、(b)は露光／現像された断面図を示している。

[図47]図47は、本発明の第七実施形態にかかるTFT基板の製造方法の、第三のマスクを用いた処理を説明するための概略図であり、(a)は第六のエッチングされた断面図を示しており、(b)は第七のエッチングされた断面図を示している。

[図48]図48は、本発明の第七実施形態にかかるTFT基板の製造方法の、第三のマスクを用いた処理を説明するための概略図であり、(a)は第八のエッチングされた断

面図を示しており、(b)は第三のレジスト剥離された断面図を示している。

[図49]図49は、本発明の第七実施形態にかかるTFT基板の製造方法において、保護用絶縁膜が露出されたTFT基板の要部の概略平面図を示している。

[図50]図50は、本発明の第八実施形態にかかるTFT基板の製造方法を説明するための概略フローチャート図を示している。

[図51]図51は、本発明の第八実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)はゲート絶縁膜成膜／n型酸化物半導体層成膜／酸化物導電体層成膜／レジスト塗布された断面図を示しており、(b)はハーフトーン露光／現像された断面図を示している。

[図52]図52は、本発明の第八実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は第二のエッチングされた断面図を示しており、(b)は第二のレジストの再形成された断面図を示している。

[図53]図53は、本発明の第八実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は第三のエッチングされた断面図を示しており、(b)は第二のレジスト剥離された断面図を示している。

[図54]図54は、本発明の第八実施形態にかかるTFT基板の製造方法において、ソース電極、ドレイン電極、ソース配線、ドレイン配線及び画素電極が露出したガラス基板の要部の概略平面図を示している。

[図55]図55は、本発明の第八実施形態にかかるTFT基板の製造方法の、第三のマスクを用いた処理を説明するための概略図であり、(a)は保護用絶縁膜成膜／レジスト塗布された断面図を示しており、(b)は露光／現像された断面図を示している。

[図56]図56は、本発明の第八実施形態にかかるTFT基板の製造方法の、第三のマスクを用いた処理を説明するための概略図であり、(a)は第四のエッチングされた断面図を示しており、(b)は第三のレジスト剥離された断面図を示している。

[図57]図57は、本発明の第八実施形態にかかるTFT基板の製造方法において、保護用絶縁膜が露出したTFT基板の要部の概略平面図を示している。

[図58]図58は、本発明の第九実施形態にかかるTFT基板の製造方法を説明するための概略フローチャート図を示している。

[図59]図59は、本発明の第九実施形態にかかるTFT基板の製造方法の、第一のマスクを用いた処理を説明するための概略図であり、(a)は処理前のガラス基板の断面図を示しており、(b)はメタル成膜／金属層保護用酸化物導電体層成膜された断面図を示しており、(c)はレジスト塗布された断面図を示しており、(d)は露光／現像／第一のエッチング／レジスト剥離され、ゲート電極及びゲート配線が形成された断面図を示している。

[図60]図60は、本発明の第九実施形態にかかるTFT基板の製造方法において、ゲート電極及びゲート配線が形成されたガラス基板の要部の概略平面図を示している。

[図61]図61は、本発明の第九実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)はゲート絶縁膜成膜／n型酸化物半導体層成膜／酸化物透明導電体層成膜／反射金属層成膜／金属層保護用酸化物導電体層成膜／レジスト塗布された断面図を示しており、(b)はハーフトーン露光／現像された断面図を示している。

[図62]図62は、本発明の第九実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は第二のエッチング／第三のエッチングされた断面図を示しており、(b)は第二のレジストの再形成された断面図を示している。

[図63]図63は、本発明の第九実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は第四のエッチング／第五のエッチングされた断面図を示しており、(b)は第二のレジスト剥離された断面図を示している。

[図64]図64は、本発明の第九実施形態にかかるTFT基板の製造方法において、反射金属層上の金属層保護用酸化物導電体層が露出したガラス基板の要部の概略平面図を示している。

[図65]図65は、本発明の第九実施形態にかかるTFT基板の製造方法の、第三のハ

ーフトーンマスクを用いた処理を説明するための概略図であり、(a)は保護用絶縁膜成膜／第三のレジスト塗布された断面図を示しており、(b)はハーフトーン露光／現像された断面図を示している。

[図66]図66は、本発明の第九実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は第六のエッチングされた断面図を示しており、(b)は第七のエッチングされた断面図を示している。

[図67]図67は、本発明の第九実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は第三のレジストの再形成された断面図を示しており、(b)は第八のエッチング／第三のレジスト剥離された断面図を示している。

[図68]図68は、本発明の第九実施形態にかかるTFT基板の製造方法において、保護用絶縁膜が露出されたTFT基板の要部の概略平面図を示している。

[図69]図69は、従来例にかかるTFT基板の製造方法を説明するための概略図であり、(a)はゲート電極が形成された断面図を示しており、(b)はエッチストッパーが形成された断面図を示しており、(c)はソース電極及びドレイン電極が形成された断面図を示しており、(d)は層間絶縁膜が形成された断面図を示しており、(e)は画素電極が形成された断面図を示している。

発明を実施するための最良の形態

[0047] [第一実施形態にかかるTFT基板の製造方法]

本実施形態のTFT基板の製造方法は、2枚のマスクを使用する方法であり、請求項8, 9, 13に対応する。

(a) 第一のマスクを用いた工程

図1は、本発明の第一実施形態にかかるTFT基板の製造方法の、第一のマスクを用いた工程を説明するための概略断面図である。

また、図2は、図1の概略斜視図である。

図1, 2に、第一のマスク(図示せず)を用いて形成されたゲート電極1012a及びゲート配線1012bが示されている。

第一のマスクを用いた工程では、まず、透光性のガラス基板1010上に、AlとMo(

モリブデン)がこれらの順に高周波スパッタリング法を用いて積層され、膜厚約300nmの金属薄膜1100が形成される。次に、酸化インジウム－酸化亜鉛($\text{IZO}:\text{In}_2\text{O}_3:\text{ZnO}=\text{約}90:10\text{wt}\%$)からなるスパッタリングターゲットを用いて、膜厚約100nmの薄膜1102が形成される。これにより、金属薄膜1100及び薄膜1102からなるゲート電極及び配線用薄膜が、形成される。

[0048] 次に、第一のマスクを用いて、ホトリソグラフィ法によりレジスト(図示せず)が形成され、ゲート電極及び配線用薄膜が、燐酸、酢酸及び硝酸からなる混酸(適宜、混酸と略称する。)によりエッチングされる。このようにすると、所定の形状のゲート電極1012a及びゲート配線1012bが形成される。

上記エッチングでは、IZOが、混酸によりエッチングされるので、混酸を用いて、金属薄膜1100及び薄膜1102が一括してエッチングされる。また、IZOが、砒酸系エッチング液によりエッチングされるので、まず、薄膜1102のみを砒酸系エッチング液によりエッチングし、その後、金属薄膜1100を混酸によりエッチングしてもよい。

[0049] (b) 第二のマスクを用いた工程

(b-a) 第一エッチング工程a

図3は、本発明の第一実施形態にかかるTFT基板の製造方法を説明するための概略断面図であり、同図において、第二のマスクを用いて形成されたソース配線、ドレイン配線及び画素電極が示されている。

また、図4は、図3の概略斜視図である。

次に、図3、4に示すように、グロー放電CVD法により、窒化シリコン(SiN_x)膜であるゲート絶縁膜1013が膜厚約300nm堆積される。放電ガスとして、 $\text{SiH}_4-\text{NH}_3-\text{N}_2$ 系の混合ガスが用いられる。

[0050] 次に、酸化インジウム－酸化ガリウム－酸化亜鉛(InGaZnO_4)ターゲットを用いて、高周波スパッタリング法により、酸素約15%、アルゴン約85%の雰囲気の中で、厚み約150nmのn型酸化物半導体層1014が形成される。

次に、酸化インジウム－酸化亜鉛($\text{IZO}:\text{In}_2\text{O}_3:\text{ZnO}=\text{約}90:10\text{wt}\%$)ターゲットを用いて、高周波スパッタリング法により、酸素約15%、アルゴン約85%の雰囲気の中で、厚み約150nmの酸化物導電体層1015が形成される。

ここで、n型酸化物半導体層1014は、請求の範囲の「第一の酸化物層」の好適な一例であり、酸化物導電体層1015は、請求の範囲の「第二の酸化物層」の好適な一例である。

[0051] 次に、レジスト1016を塗布した後、ハーフトーン露光によって、レジスト1016を所定の形状に形成する。

次に、一般的なハーフトーン露光技術について、図面を参照して説明する。

図5は、一般的なハーフトーン露光技術の説明図であり、(a)は露光中の概略断面図を示しており、(b)は現像後の概略断面図を示している。

図5(a)において、露光光1201がマスキングされていない部分を透過し、レジスト1016が感光する。

次に、マスク1200によってマスキングされたレジスト1016は、露光光1201が透過しないので、感光しない。一方、ハーフトーンマスク部1200aによってマスキングされたレジスト1016は、約半分の露光光1201aが透過するので、およそ半分の量だけ感光する。

上記露光後、レジスト1016は現像される。図5(b)は、現像後のレジスト1016の状態を示している。図5(b)に示すように、マスキングされていない部分のレジスト1016は、完全に剥離される。また、マスク1200にマスキングされたレジスト1016はそのまま残存する。一方、ハーフトーンマスク部1200aにマスキングされたレジスト1016は、剥離され、約半分の厚さとなる。その結果、レジスト1016は、図5(b)のような形状に形成される。

本実施形態では、このような手法によって、レジスト1016が所定の形状に形成される。

[0052] 図3, 4に示すように、レジスト1016の形成後、酸化物導電体層1015である上記IZOと、n型酸化物半導体層1014である上記酸化インジウム－酸化ガリウム－酸化亜鉛が、一括して蔭酸系のエッチング液にてエッチングされる。そして、ソース配線1012c、ドレイン配線1012d、ソース電極1012eの一部、ドレイン電極1012fの一部、及び、画素電極1012gが形成される。ここで、上記蔭酸系のエッチング液によるエッチングは、酸化物導電体層1015及びn型酸化物半導体層1014のエッチング速度が、

ゲート絶縁膜1013のエッチング速度より速いエッチング法Aである。

なお、本実施形態では、ドレイン配線1012dが画素電極1012gと接続されているが、これに限定されるものではない。

[0053] このように、本実施形態において特徴的なことは、酸化物導電体層1015とn型酸化物半導体層1014の二つの層の膜が、3種類の部分(ソース・ドレイン配線1012c, 1012d, ソース・ドレイン電極1012e, 1012f, 及び、画素電極1012g)の機能を有することである。したがって、本実施形態においては、これら各3種類の部分の形状に合う3種類のマスクを準備する必要がなく、1枚の第二のマスクによって、3種類の部分が形成される。

[0054] 図4に示すように、n型酸化物半導体層1014(酸化インジウム－酸化ガリウム－酸化亜鉛)と酸化物導電体層1015(IZO)とからなる2層構造が、ゲート絶縁膜1013上に形成される。この2層構造によって、画素電極1012gは、n型酸化物半導体層1014と酸化物導電体層1015とからなっている。また、図4に示すように、透明基板1010は、ゲート絶縁膜1013によって、覆われている。

なお、図4においては、理解しやすいように、酸化物導電体層1015上のレジスト1016を省略してある。また、図3, 4に示すように、ゲート配線取り出し孔1017が形成されている。

[0055] (b-b)第二エッチング工程b

図6は、本発明の第一実施形態にかかるTFT基板の製造方法を説明するための概略断面図であり、同図において、第二のマスクを用いて形成されたソース電極及びドレイン電極が示されている。

また、図7は、図6の概略斜視図である。

次に、図6に示すように、レジスト1016をアッシング(レジストの剥離及び除去)し、所定の形状に再形成する。

[0056] 次に、アッシング技術について、図面を参照して説明する。

図8は、レジストを再形成するためのアッシング処理の説明図であり、(a)は再形成される前のレジストの概略断面図を示しており、(b)は再形成されたレジストの概略断面図を示している。

図8(a)に示すように、再形成される前のレジスト1016には、ハーフトーン露光によって、凹部1050が形成されている。

アッシング処理は、レジスト1016の剥離及び除去を行う処理であり、アッシング方法として、薬液を用いたウェット洗浄などが従来から用いられている。

レジスト1016が所定の時間だけアッシングされると、図8(b)に示すように、凹部1050の下方のレジスト1016は、完全に除去される。また、凹部1050が形成されていないレジスト1016の厚い部分は、上方から部分的に除去され、およそ半分の厚さとなる。

本実施形態でも、上記アッシングによって、レジスト1016が再形成される。

[0057] 次に、図6, 7に示すように、混酸により、酸化物導電体層1015であるIZOがエッチングされ、チャンネル部1012hが形成される。この際、ソース電極1012e及びドレイン電極1012fの形成が完了する。また、このエッチングによって、ゲート配線1012bの上方の不要な酸化物導電体層15が除去される。また、上記混酸によるエッチングは、n型酸化物半導体層1014及びゲート絶縁膜1013のエッチング速度より速いエッチング法Bである。

なお、図6においては、理解しやすいように、酸化物導電体層1015上のレジスト1016を省略してある。

[0058] (c) ゲート配線パッドの形成工程

図9は、本発明の第一実施形態にかかるTFT基板の製造方法を説明するための概略断面図であり、同図において、ゲート配線パッドが形成され、レジストが除去されている。

また、図10は、図9の概略斜視図である。

次に、図9, 10に示すように、CHF(CF₄、CHF₃ など)や酸素ガスやアルゴンガスなどの混合ガスなどのリアクティブエッチングガスを用いて、ドライエッチング法によりゲート配線取り出し孔1017の下方のゲート絶縁膜1013がエッチングされ、ゲート配線パッド1017aが形成される。また、この際、不要なゲート絶縁膜1013もエッチングされる。ここで、上記ドライエッチングは、ゲート絶縁膜1013のエッチング速度が、酸化物導電体層1015及びn型酸化物半導体層1014のエッチング速度がより速いエッチ

ング法Cである。

[0059] 次に、レジスト1016が剥離され、ガラス基板1010が洗浄される。このようにすると、所望の酸化物半導体を用いた2枚マスク法によるTFT基板1001が得られる。

なお、図9は、図10のA-A'線、B-B'線、C-C'線で示される各部分の断面を合わせて一つの断面図としたものである。上記図1、図3、図6も同様である。

[0060] ここで、酸化インジウム－酸化亜鉛($\text{IZO}:\text{In}_2\text{O}_3:\text{ZnO}=\text{約}90:10\text{wt}\%$)ターゲットを用いて成膜した薄膜(酸化物導電体層1015)は、蔞酸系エッチャントによって、あるいは、混酸によってエッチング可能である。

一方、酸化インジウム－酸化ガリウム－酸化亜鉛(InGaZnO_4)ターゲットを用いて成膜した薄膜(n型酸化物半導体層1014)は、蔞酸系エッチャントによってエッチングされるが、混酸に対しては、エッチング速度が遅い。

したがって、上記(b-b)第二エッチング工程bの選択的エッチングが可能となる。n型酸化物半導体層1014と酸化物導電体層1015は、上記のようなエッチング特性であれば他の材料でもかまわない。

[0061] また、リアクティブエッチングなどのドライエッチングにより、ゲート配線パッド1017aが形成されるとき、同時にチャンネル部1012fも微量エッチングされる。しかし、チャンネル部1012fは、第一酸化物層1014で形成されており、ドライエッチングによるエッチング速度は遅く、実質的にほとんどダメージはない。

[0062] また、本実施形態では、n型酸化物半導体層1014として酸化インジウム－酸化ガリウム－酸化亜鉛(InGaZnO_4)を採用したが、実質的にドライエッチングに対して耐性のある材料であればよい。すなわち、実質的なドライエッチング耐性を有する他の酸化物半導体をn型酸化物半導体層1014(第一の酸化物層)として選定することも好適である。

また、本実施形態では、ゲート電極1012a及びゲート配線1012bを、金属薄膜とIZOの2層構成にしているが、このIZOなどの金属酸化物は、先にも述べたようにドライエッチングに耐性があるので、ドライエッチングの際に下地の金属薄膜層にダメージを与えることがない。

また、本実施形態では、金属薄膜を2層(Al/Mo)に構成している理由は、酸化物

と金属との接触抵抗を低減するためであり、接触抵抗の小さな金属を用いれば1層で構成することも好ましい。

[0063] また、本実施形態は、TFT基板の発明としても有効であり、上記TFT基板1001は、請求項1, 2, 3, 6, 7に対応する。

[0064] [第二実施形態にかかるTFT基板の製造方法]

本実施形態のTFT基板の製造方法は、3枚のマスクを使用する方法であり、請求項8, 9, 11, 12, 13に対応する。

(a) 第一のマスクを用いた工程

第一のマスクを用いた工程では、まず、透光性のガラス基板1010上に、AlとMo(モリブデン)がこれらの順に高周波スパッタリング法を用いて積層され、膜厚約300nmの金属薄膜1100が形成される。次に、酸化インジウム－酸化スズ－酸化セリウム(ITCO: In_2O_3 : SnO_2 : CeO_2 = 約90:7:3wt%) からなるスパッタリングターゲットを用いて、膜厚約100nmの薄膜1102が形成される。これにより、金属薄膜1100及び薄膜1102からなるゲート電極及び配線用薄膜が、形成される。

[0065] 次に、第一のマスクを用いて、ホトリソグラフィ法によりレジストが形成され、ゲート配線用薄膜が、混酸によりエッチングされる。このようにすると、所定の形状のゲート電極1012a及びゲート配線1012bが形成される(図1, 2参照)。

上記エッチングでは、ITCOが、混酸によりエッチングされるので、混酸を用いて、金属薄膜1100及び薄膜1102が一括してエッチングされる。また、ITCOが、蔭酸系エッチング液によりエッチングされるので、まず、薄膜1102のみを蔭酸系エッチング液によりエッチングし、その後、金属薄膜1100を混酸によりエッチングしてもよい。

[0066] (b) 第二のマスクを用いた工程

(b-a) 第一エッチング工程a

次に、グロー放電CVD法により、窒化シリコン(SiN_x)膜であるゲート絶縁膜1013が膜厚約300nm堆積される。放電ガスとして、 SiH_4 － NH_3 － N_2 系の混合ガスが用いられる。

次に、酸化インジウム－酸化ガリウム－酸化亜鉛(InGaZnO_4)ターゲットを用いて、高周波スパッタリング法により、酸素約15%、アルゴン約85%の雰囲気の中で、厚

み約150nmのn型酸化物半導体層1014が形成される。

- [0067] 次に、酸化インジウム－酸化スズ－酸化サマリウム($\text{ITSmO}:\text{In}_2\text{O}_3:\text{SnO}_2:\text{Sm}_2\text{O}_3$ = 約90:7:3wt%)ターゲットを用いて、高周波スパッタリング法により、酸素約15%、アルゴン約85%の雰囲気下の条件で、厚み約150nmの酸化物導電体層1015が形成される。

ここで、n型酸化物半導体層1014は、請求の範囲の「第一の酸化物層」の好適な一例であり、酸化物導電体層1015は、請求の範囲の「第二の酸化物層」の好適な一例である。

- [0068] 次に、レジスト1016を塗布した後、ハーフトーン露光によって、レジスト1016を所定の形状に形成する。

レジスト1016の形成後、酸化物導電体層1015である上記ITSmOと、n型酸化物半導体層1014である上記酸化インジウム－酸化ガリウム－酸化亜鉛が、一括して蔭酸系のエッチング液にてエッチングされる(エッチング法A)。そして、ソース配線1012c、ドレイン配線1012d、ソース電極1012eの一部、ドレイン電極1012fの一部、及び、画素電極1012gが形成される(図3, 4参照)。

- [0069] このように、本実施形態において特徴的なことは、酸化物導電体層1015とn型酸化物半導体層1014の二つの層の膜が、3種類の部分(ソース・ドレイン配線1012c, 1012d、ソース・ドレイン電極1012e, 1012f、及び、画素電極1012g)の機能を有することである。したがって、本実施形態においては、これら各3種類の部分の形状に合う3種類のマスクを準備する必要はなく、1枚の第二のマスクによって、3種類の部分が形成される。

- [0070] (b-b) 第二エッチング工程b

次に、レジスト1016をアッシング(レジストの剥離及び除去)し、所定の形状に再形成する。

次に、混酸により、酸化物導電体層1015であるITSmOがエッチングされ(エッチング法B)、チャンネル部1012hが形成される。また、このエッチングによって、ゲート配線1012bの上方の不要な酸化物導電体層1015が除去される(図6, 7参照)。

- [0071] (c) ゲート配線パッドの形成工程

次に、CHF(CF₄、CHF₃ など)や酸素ガスやアルゴンガスなどの混合ガスなどのリアクティブエッチングガスを用いて、ドライエッチング法(エッチング法C)によりゲート配線取り出し孔1017の下方のゲート絶縁膜1013がエッチングされ、ゲート配線パッド1017aが形成される。

次に、レジスト1016が剥離され、ガラス基板1010が洗浄される。このようにすると、所望の酸化物半導体を用いた2枚マスク法によるTFT基板が得られる。

本実施形態の上記処理は、第一実施形態(2枚マスクによるTFT基板の製造)とほぼ同様である(図9参照)。

[0072] (d) 第三のマスクを用いた処理

図11は、本発明の第二実施形態にかかるTFT基板の製造方法を説明するための概略断面図であり、同図において、補助電極及び補助配線が形成されている。

また、図12は、図11の概略斜視図である。

図11、12において、まず、上記TFT基板は、約230℃にて、約30分間熱処理される。次に、補助電極及び補助配線となるAl層が約250nm積層される。次に、第三のマスクを用いて、所定の形状の補助電極及び補助配線が形成される。

[0073] 本実施形態では、ソース配線1012c、ドレイン配線1012d、ソース電極1012e及びドレイン電極1012fが、酸化物導電体からなっている。また、酸化物導電体の材質は、ITSmOであり、このITSmOの比抵抗は、約300 $\mu\Omega\text{cm}$ であり大きい。このため、配線抵抗が大きくなってしまうので、本実施形態では、上記補助電極1018e、1018f及び補助配線1018c、1018dを形成することによって、配線抵抗を小さくしている。

なお、第一実施形態では、ITSmOの代わりにIZOを用いている。第二実施形態と同様に、第三のマスクを用いた処理(補助電極1018e、1018f及び補助配線1018c、1018dを形成する処理)を行うことによって、第一実施形態の配線抵抗を小さくすることも可能である。

[0074] 上記補助電極1018e、1018f及び補助配線1018c、1018dを形成するために、混酸によりAl層がエッチングされる(エッチング法B)。この際、上述した約230℃における約30分間の熱処理によって、酸化物導電体は、結晶化され、混酸によるエッチ

ングに耐性を有しているので、Al層だけをエッチングすることができる。

本実施の形態では、酸化物導電体としてITCOやITSmOを用いたが、加熱処理により混酸によるエッチングに耐性を持つようになる酸化物導電体であればどのような材料に対しても、補助電極及び補助配線を形成することができる。

[0075] 次に、レジストが剥離され、ガラス基板1010が洗浄される。このようにすると、補助電極及び補助配線の形成されたTFT基板1001aが得られる。

[0076] このようにして、ソース電極1012e、ドレイン電極1012f、ソース配線1012c及びドレイン配線1012dに、補助電極1018e、1018f及び補助配線1018c、1018dを重ねて設けると、ソース電極、ドレイン電極、ソース配線及びドレイン配線の抵抗をより低減することができる。

なお、図11は、図12のD-D'線、E-E'線、F-F'線で示される各部分の断面を合わせて一つの断面図としたものである。

[0077] (補助電極及び補助配線の保護膜)

また、補助電極1018e、1018f及び補助配線1018c、1018dのAl層は、露出している。そのため、用途によっては、腐蝕などに対する安定性を向上させる必要がある。このような場合、Al層上に、IZOからなる厚さ約10～50nm程度の保護膜(図示せず)を形成するとよく、これにより、安定性を向上させることができる。IZOは、Alのエッチング液である混酸によって容易にエッチングされるので、Alとの一括エッチングも可能である。この一括エッチングは、工程が増えないので、好適である。

一括エッチングを行う場合は、Al層及び保護膜を積層した後、Al層及び保護膜を混酸で一括してエッチングを行い、所定の形状に形成する。

なお、Al層からなる補助電極及び補助配線を形成した後に、上記保護膜を形成することもできる。

[0078] 本実施形態においては、上記保護膜の材料として、IZOを用いたが、補助電極及び補助配線と一括してエッチングできる材料であれば他の材料でもよい。但し、ある程度の導電性は必要である。

したがって、上記保護膜としては、IZO、ITCO、ITSmO、ITZOなどの非晶質膜を用いることが好ましい。エッチング特性から見れば、IZOが好ましいが、製造工程上

の便宜を考慮すれば、TFT基板に用いられる透明電極と同一の材料を採用するのが好ましい。

[0079] また、IZOの酸化インジウム：酸化亜鉛の比率は、 $\text{In}/(\text{In}+\text{Zn})=\text{約}0.55\sim0.95$ (原子数の比率) (この式でInは単位あたりのインジウム原子の数、Znは単位あたりの亜鉛原子の数をそれぞれ表す) が好適な数値範囲である。この比率は、約0.75～0.9が更に好適である。

また、ITCO、ITSmOにおいては、酸化スズの原子数比率は全金属に対して、約0.03～0.15の範囲が好適である。一方、同じくセリウム、サマリウム、サマリウムの全金属に対する原子数比率は約0.01～0.15の範囲が好適である。セリウム、サマリウムの原子数比率は、約0.01～0.1の範囲であれば、上述した選択エッチング性が向上するので更に好適である。

[0080] また、本実施形態は、TFT基板の発明としても有効であり、上記TFT基板1001aは、請求項1, 2, 3, 4, 5, 6, 7に対応する。

[0081] [第三実施形態にかかるTFT基板の製造方法]

本実施形態のTFT基板の製造方法は、2枚のマスクを使用し、ゲート絶縁膜を先にエッチングする方法であり、請求項10, 13に対応する。

(a) 第一のマスクを用いた工程

図13は、本発明の第三実施形態にかかるTFT基板の製造方法を説明するための概略断面図であり、同図において、第一のマスクを用いて形成されたゲート電極及びゲート配線が示されている。

図13に、第一のマスクを用いて形成されたゲート電極1012a及びゲート配線1012bが示されている。

[0082] 第一のマスクを用いた工程では、まず、透光性のガラス基板1010上に、AlとMoがこれらの順に高周波スパッタリング法を用いて積層され、それぞれ膜厚約250nm、約50nmの金属薄膜1100a、1100bが形成される。次に、酸化インジウム－酸化スズ－酸化サマリウム ($\text{ITsmO}:\text{In}_2\text{O}_3:\text{SnO}_2:\text{Sm}_2\text{O}_3=\text{約}90:7:3\text{wt}\%$) からなるスパッタリングターゲットを用いて、膜厚約100nmの薄膜1102が形成される。これにより、金属薄膜1100a、1100b及び薄膜1102からなるゲート電極及び配線用薄膜が、

形成される。

この場合、Moは、酸化物薄膜との接触抵抗を下げるために、Al上に積層される。もし、接触抵抗が無視できる程度に低い場合は、このMoは不要である。また、Mo以外の金属を用いることも好適である。Moの代わりに、Ti(チタン)、Ni(ニッケル)等を使用することも好ましい。なお、ゲート配線として、Ag(銀)、Cu(銅)などの金属薄膜やこれらの合金薄膜を用いることも好ましい。

[0083] 次に、第一のマスクを用いて、ホトリソグラフィ法によりレジストが形成され、ITSmO薄膜は蔭酸水溶液などの蔭酸系エッチング液によりエッチングされ、金属薄膜は混酸によりエッチングされる。このようにすると、所定の形状のゲート電極1012a及びゲート配線1012bが形成される。なお、ITSmO薄膜は、混酸でもエッチングできるので、混酸を用いて金属薄膜と一括してエッチングされてもよい。

[0084] 次に、熱処理によってAlの抵抗を下げる。このとき、熱処理によってITSmOを結晶化させてもよい。この結晶化によって、ITSmOは、蔭酸系エッチング液及び混酸に対して耐性を有する。

[0085] ゲート配線の表面に配置されたITSmOなどの酸化物導電膜は、ゲート絶縁膜にスルーホールが形成され、ゲート配線パッド1017aが形成されたとき、ゲート配線に使用した金属表面が露出してしまうことを防止する。このような構成によって、信頼性の高い電氣的な接続が可能となる。

[0086] また、ゲート絶縁膜にSiNx、SiONx、SiO₂などの絶縁物が使用されたとき、CHF₄(CF₄、CHF₃)を用いたリアクティブイオンエッチングによって、上記ゲート絶縁膜にスルーホールが好ましく形成される。この場合、上記ITSmOは、金属配線の保護膜としても有用である。

[0087] 本実施形態では、ITSmOを利用したが、ITSmOに代わる材料として、ITOにランタノイド系元素を含有させた材料や、ITOにMoやW(タングステン)等の高融点金属酸化物を添加した材料、等が使用可能である。ここで、MoやW等の添加量は、全金属元素に対して約10原子%以下が好ましい。より好ましい添加量は、約1～5原子%の範囲である。添加量が約10原子%を超えると、その材料は、結晶化が困難となり、蔭酸水溶液や混酸に溶融する。また、膜厚は、約20nm～500nmが好ましい。より

好ましい膜厚の範囲は、約30nm～300nmである。膜厚が約20nm未満である膜は、ピンホールを有し、保護膜として機能しない場合がある。一方、膜厚が約500nmを超える膜は、成膜やエッチングに、多くの時間を必要とし、その製造時間は長くなる。このため、その製造は、効率的でなく、また、経済的でない。

[0088] (b) 第二のマスクを用いた工程

図14は、本発明の第三実施形態にかかるTFT基板の製造方法を説明するための概略断面図であり、同図において、第二のマスクを用いて形成されたソース配線、ドレイン配線及び画素電極が示されている。

また、図15は、図14の概略斜視図である。

次に、図14, 15に示すように、グロー放電CVD法により、窒化シリコン(SiN_x)膜であるゲート絶縁膜1013が膜厚約300nm堆積される。放電ガスとして、 SiH_4 — NH_3 — N_2 系の混合ガスが用いられる。

[0089] 次に、酸化スズ—酸化亜鉛(SnO_2 : ZnO =約30:70wt%)ターゲットを用いて、高周波スパッタリング法により、酸素約15%、アルゴン約85%の雰囲気、基板温度約200℃の条件で、厚み約100nmのn型酸化物半導体層1014が形成される。

次に、酸化インジウム—酸化亜鉛(IZO : In_2O_3 : ZnO =約90:10wt%)ターゲットを用いて、高周波スパッタリング法により、酸素約1%、アルゴン約99%の雰囲気の条件で、厚み約150nmの酸化物導電体層1015が形成される。

ここで、n型酸化物半導体層1014は、請求の範囲の「第一の酸化物層」の好適な一例であり、酸化物導電体層1015は、請求の範囲の「第二の酸化物層」の好適な一例である。

[0090] 次に、酸化物導電体層1015上に、レジスト1016が積層される。次に、第2のマスクを用いて、ハーフトーン露光によって、レジスト1016が所定の形状に形成される。

次に、混酸によって、酸化インジウム—酸化亜鉛からなる酸化物導電体層1015がエッチングされる。次に、蔭酸水溶液によって、酸化スズ—酸化亜鉛からなるn型酸化物半導体層1014がエッチングされる。そして、ソース配線1012c、ドレイン配線1012d、ソース電極1012eの一部、ドレイン電極1012fの一部、及び、画素電極1012gが形成される。

[0091] 次に、ゲート配線パッド1017a上のゲート絶縁膜をCHF(CF₄、CHF₃等)を用いたリアクティブイオンエッチング法によって除去し、ITSmO膜を露出させ、ゲート配線パッド1017aが形成される。

なお、図15においては、理解しやすいように、酸化物導電体層1015上のレジスト1016を省略してある。また、図14, 15に示すように、ゲート配線取り出し孔1017が形成されている。

[0092] 図16は、本発明の第三実施形態にかかるTFT基板の製造方法を説明するための概略断面図であり、同図において、第二のマスクを用いて形成されたソース電極及びドレイン電極が示されている。

また、図17は、図16の概略斜視図である。

次に、図示していないが、レジスト1016をアッシングし、所定の形状に再形成する。次に、図16, 17に示すように、混酸によって酸化物導電体層15をエッチングし、チャンネル部1012h、ソース電極1012e及びドレイン電極1012fを形成する。この際、ゲート配線1012b上の不要な酸化物導電体層1015もエッチングされる。

ここまでの処理は、請求の範囲のn型酸化物半導体層を選択的にエッチングして、チャンネル部、ソース電極及びドレイン電極を形成する工程の好適な一例である。

[0093] 次に、レジスト1016を除去し、所望するTFT基板1001bが得られる。

なお、図16は、図17のG-G'線、H-H'線、I-I'線で示される各部分の断面を合わせて一つの断面図としたものである。

[0094] さて、本実施形態においては、n型酸化物半導体層1014は、約200℃で成膜しても結晶化することはない。但し、用いた酸化スズ-酸化亜鉛(SnO₂:ZnO=約30:70wt%)薄膜は、蔭酸水溶液によってエッチングされるが、混酸によってエッチングされることはない。これによって、上部に存在する酸化物導電体層1015をエッチングする薬液によって、酸化スズ-酸化亜鉛薄膜がエッチングされることはない。

[0095] 一方、酸化物導電体層1015は、結晶化させない方が好ましい。本実施形態の酸化物導電体層1015は、約350℃に加熱しても結晶化しないことを本願発明者らは確認した。このような酸化物導電体層1015を用いることによって、混酸によるエッチングが可能となる。言い換えれば、n型酸化物半導体層1014にダメージを与えること

なく、酸化物導電体層1015をエッチングすることが可能となる。

[0096] さて、n型酸化物半導体層1014の形成に用いた酸化スズ－酸化亜鉛($\text{SnO}_2:\text{ZnO}$ =約30:70wt%)ターゲットにおいて、酸化亜鉛の添加量は、約50～80wt%の範囲が好適である。より好ましい添加量の範囲は、約60～75wt%である。酸化亜鉛の添加量が約50wt%未満ではキャリア濃度が低下しない場合がある。その一方、添加量が約80wt%を超える場合も、キャリア濃度が低下しなくなったり、混酸への耐性が低くなる恐れがある。

[0097] 上記のn型酸化物半導体層1014のACホール測定(東洋テクニカ社製、商品名「RESITEST」)を行った。その測定結果は、キャリア濃度: $10^{+14}/\text{cm}^3$ 、移動度: $35\text{cm}^2/\text{V}\cdot\text{sec}$ であった。

また、酸化物導電体層1015についても同様にACホール測定を行った。その測定結果は、キャリア濃度: $10^{+20}/\text{cm}^3$ 、移動度: $42\text{cm}^2/\text{V}\cdot\text{sec}$ であった。

[0098] また、本実施形態は、TFT基板の発明としても有効であり、上記TFT基板1001bは、請求項1, 2, 6, 7に対応する。

[0099] [第四実施形態にかかるTFT基板の製造方法]

本実施形態のTFT基板の製造方法は、3枚のマスクを使用する方法であり、請求項10, 11, 12, 13に対応する。また、本実施形態のTFT基板の製造方法によれば、上記第三実施形態におけるTFT基板に対して、第三のマスクを用いて、補助電極及び補助配線が形成される。

図18は、本発明の第四実施形態にかかるTFT基板の製造方法を説明するための概略断面図であり、同図において、補助電極及び補助配線が形成されている。

図19は、図18の概略斜視図である。

[0100] 第三のマスクを用いた工程では、まず、上記第三実施形態で作成したTFT基板上に、MoとAlがこれらの順に高周波スパッタリング法を用いて積層され、それぞれ膜厚約50nm、約150nmの金属薄膜1018a、1018bが形成される。次に、酸化インジウム－酸化亜鉛($\text{In}_2\text{O}_3:\text{ZnO}$ =約90:10wt%)ターゲットを用いて、高周波スパッタリング法によって、酸素約1%、アルゴン約99%の条件で、厚み約50nmの透明導電層1020が上記金属薄膜1018b上に形成される。この透明導電層1020は、MoとAl

からなる金属薄膜1018a、1018bの保護層となる。なお、図18、図19においては、金属薄膜1018a、1018b及び透明導電層1020を合わせて1030の符号を付している。

[0101] 次に、これらの上面にレジスト(図示せず)を塗布し、このレジストを第三のマスクを用いて所定の形状に形成する。そして、混酸によって酸化インジウム－酸化亜鉛からなる透明導電層1020がエッチングされる。次に、MoとAlに対してエッチングを行い、金属薄膜1018a、1018bからなるソース補助電極、ドレイン補助電極、ソース補助配線、及び、ドレイン補助配線が形成される。次に、レジストが剥離され、ガラス基板1010が洗浄される。このようにすると、補助電極及び補助配線の形成されたTFT基板1001cが得られる。なお、このような処理は、請求の範囲の補助配線又は補助電極を形成する工程の、好適な一例である。

なお、図18は、図19のJ-J'線、K-K'線、L-L'線で示される各部分の断面を合わせて一つの断面図としたものである。

以上のようにして、第三のマスクを用いて補助電極及び補助配線が形成される。

[0102] また、本実施形態は、TFT基板の発明としても有効であり、上記TFT基板1001cは、請求項1, 2, 4, 6, 7に対応する。

[0103] 上述したように、本発明の請求項1～13によれば、製造に使用するマスクを従来に比べて削減できるので、製造工程数の削減、及び処理時間を短縮し、製造歩留りを向上させることができる。更に、本発明によれば、工程数が削減されているので、製造コストが低減することも期待される。

[0104] [第五実施形態にかかるTFT基板の製造方法]

本実施形態のTFT基板の製造方法は、3枚のマスクを使用する方法であり、請求項21に対応する。

図20は、本発明の第五実施形態にかかるTFT基板の製造方法を説明するための概略フローチャート図を示している。

図20において、まず、基板2010上に、第一のマスク2022を用いて、ゲート電極2021及びゲート配線2022が形成される(ステップS2001)。

次に、第一のマスク2022を用いた処理について、図面を参照して説明する。

[0105] (第一のマスクを用いた処理)

図21は、本発明の第五実施形態にかかるTFT基板の製造方法の、第一のマスクを用いた処理を説明するための概略図である。(a)は処理前のガラス基板の断面図を示している。(b)はメタル成膜された断面図を示している。(c)はレジスト塗布された断面図を示している。(d)は露光／現像／第一のエッチング／レジスト剥離され、ゲート電極及びゲート配線が形成された断面図を示している。

図21(a)において、まず、透光性のガラス基板2010が用意される。

次に、図21(b)に示すように、ガラス基板2010にメタルが成膜され、ゲート電極・配線用薄膜(ゲート電極及びゲート配線用薄膜)2020が形成される。

[0106] 本実施形態では、ガラス基板2010上に、Al(アルミニウム)とMo(モリブデン)が、これらの順に高周波スパッタリング法を用いて、積層される。そして、膜厚約250nm及び50nmの金属薄膜が、それぞれ形成される。次に、酸化インジウム－酸化スズ－酸化サマリウム($\text{ITSmO}:\text{In}_2\text{O}_3:\text{SnO}_2:\text{Sm}_2\text{O}_3$ =約90:7:3wt%)からなるスパッタリングターゲットを用いて、膜厚約100nmの薄膜が形成され、Al/Mo/ITSmOからなるゲート電極・配線用薄膜2020が形成される。

[0107] 次に、図21(c)に示すように、ゲート電極・配線用薄膜2020上に、第一のレジスト2021が塗布される。

次に、図21(d)に示すように、第一のマスク2022を用いて、ホトリソグラフィ法により、所定の形状にレジスト(図示せず)が形成される。次に、ITSmO薄膜は、蔭酸水溶液を用いてエッチングされる。金属薄膜は、混酸(一般的に、PANと呼ばれている。)を用いてエッチングされ、所定の形状のゲート電極2023及びゲート配線2024が形成される(図22参照)。図21(d)に示すゲート電極2023及びゲート配線2024は、図22のA-A断面及びB-B断面を示している。ここで、ITSmOは、混酸を用いてもエッチング可能であり、上記混酸を用いて金属薄膜と一括エッチングしてもよい。

[0108] また、ゲート電極・配線用薄膜2020の形成後、熱処理を施し、Alの抵抗を下げるとともに、ITSmOを結晶化させていてもよい。すなわち、ITSmOは結晶化すると、蔭酸系エッチング液や混酸に溶解しなくなるので、Al/Mo層を保護することができる。

[0109] さらに、ITSmOなどの酸化物導電膜をゲート配線2024の表面に形成することによ

り、ゲート配線パッド2025を形成した際、ゲート配線2024に使用した金属表面が露出しない。これにより、信頼性の高い接続が可能となる。すなわち、ゲート絶縁膜2030に、ゲート配線パッド2025を形成するためのスルーホールが形成される際、ゲート絶縁膜2030として SiN_x 、 SiON_x 、 SiO_2 などの絶縁物が使用され、CHF(CF_4 、 CHF_3 など)を用いたリアクティブイオンエッチング法によりスルーホールが形成される。この場合、ITSmOなどの酸化物導電膜は、金属薄膜(Al/Mo層)の保護膜にもなる。

[0110] 次に、図1に示すように、ガラス基板2010、ゲート電極2023及びゲート配線2024上に、ゲート絶縁膜2030、第一の酸化物層としてn型酸化物半導体層2040、第二の酸化物層として酸化物導電体層2050、補助導電層として金属層2060及び第二のレジスト2061が順次積層され(ステップS2002)、第二のハーフトーンマスク2062及びハーフ露光によって、第二のレジスト2061が所定の形状に形成される(ステップS2003)。

次に、第二のハーフトーンマスク2062を用いた処理について、図面を参照して説明する。

[0111] (第二のハーフトーンマスクを用いた処理)

図23は、本発明の第五実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図である。(a)はゲート絶縁膜成膜/n型酸化物半導体層成膜/酸化物導電体層成膜/金属層成膜/レジスト塗布された断面図を示している。(b)はハーフトーン露光/現像された断面図を示している。

図23(a)において、まず、グロー放電CVD(化学蒸着法)法により、ガラス基板2010、ゲート電極2023及びゲート配線2024上に、窒化シリコン(SiN_x)膜であるゲート絶縁膜2030が膜厚約300nm堆積する。なお、本実施形態では、放電ガスとして、 SiH_4 — NH_3 — N_2 系の混合ガスが用いられる。

[0112] 次に、ゲート絶縁膜2030上に、酸化スズ—酸化亜鉛(SnO_2 : ZnO =約65:35wt%)ターゲットを用いて、高周波スパッタリング法により、酸素約15%、アルゴン約85%、基板温度約200℃の条件で、厚み約100nmのn型酸化物半導体層2040が形

成される。なお、このn型酸化物半導体層2040のエネルギーギャップは、約3.6eVであった。

[0113] 次に、n型酸化物半導体層2040上に、酸化インジウム－酸化スズ－酸化亜鉛($\text{In}_2\text{O}_3:\text{SnO}_2:\text{ZnO}$ =約60:20:20wt%)ターゲットを用いて、高周波スパッタリング法により、酸素約1%、アルゴン約99%の条件で厚み約150nmのn型酸化物半導体層2050が形成される。なお、この酸化物導電体層2060のエネルギーギャップは、約3.2eVであった。

[0114] 次に、n型酸化物半導体層2050上に、補助導電層となる金属層(Mo/Al/Mo層)2060が、厚さ約350nm(Mo/Al/Mo層がそれぞれ厚さ約50nm/150nm/50nm)となるように、室温で成膜される。次に、金属層2050上に、第二のレジスト2061が積層される(ステップS2002)。

[0115] なお、後述するステップS2009において、ドレイン配線パッド2058上の保護用絶縁膜2070が、エッチングガス(CHF_4 (CF_4 , CHF_3 ガスなど))を用いてドライエッチングされると、金属層2060が露出する。このため、Mo/Al/Mo層の表面にIZO($\text{In}_2\text{O}_3:\text{ZnO}$ =約90:10wt%)薄膜が成膜されてもよい。この薄膜の厚さは、約10~500nmであり、好ましくは、約20~100nm, である。この理由は、約10nm未満では、ピンホールが発生したりすることがあり、約500nmを超えると、成膜やエッチングに多くの時間がかかるからである。

[0116] 次に、図23(b)に示すように、第二のハーフトーンマスク2062及びハーフトーン露光によって、第二のレジスト2061が所定の形状に形成される(図20のステップS2003)。第二のレジスト2061は、ソース電極2053, ドレイン電極2054, ソース配線2055, ドレイン配線2056及び画素電極2057を覆い、かつ、ハーフトーンマスク部2621によって、画素電極2057を覆う部分が他の部分より薄い形状に形成される。

なお、金属層2060は、Mo/Al/Moの積層膜に限定されるものではなく、たとえば、Ti/Al/Tiなどの金属薄膜の積層膜を使用してもよい。また、Al, Mo, Ag, Cuなどの金属や合金の単層又は多層の積層膜を使用してもよい。

[0117] 図24は、本発明の第五実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は第二のエッチング

された断面図を示している。(b)は第二のレジストの再形成された断面図を示している。

図24(a)において、第二のレジスト2061を用いて、金属層2060及び酸化物導電体層2050に対して第二のエッチングを行い、所望するソース電極2053, ドレイン電極2054, ソース配線2055, ドレイン配線2056及び画素電極2057を形成するとともに、後述する補助配線及び補助電極を形成する(図20のステップS2004)。ここで、金属層2060のMo/Al/Moは、混酸によってエッチングされ、また、n型酸化物半導体層2040は、蔭酸水溶液にてエッチングされる。

上記エッチングによって、ゲート電極2023の上方のn型酸化物半導体層2040にチャンネル部2041が形成される。これにより、TFT基板2001は、チャンネルエッチング型と呼ばれる。

[0118] ところで、本実施形態のn型酸化物半導体層2040として用いた酸化スズ－酸化亜鉛($\text{SnO}_2:\text{ZnO}$ =約65:35wt%)薄膜は、約200℃で成膜しても結晶化しない。また、このn型酸化物半導体層2040は、結晶化していなくても、蔭酸水溶液や混酸にエッチングされることはない。これにより、n型酸化物半導体層2040は、上方に存在する酸化物導電体層2050や金属層2060をエッチングする薬液に侵されることはない。

[0119] また、本実施形態の酸化物導電体層2050として用いた酸化インジウム－酸化スズ－酸化亜鉛($\text{In}_2\text{O}_3:\text{SnO}_2:\text{ZnO}$ =約60:20:20wt%)薄膜は、約350℃の加熱によっても結晶化しない。この酸化物導電体層2050は結晶化させないほうがよく、これにより、蔭酸水溶液でのエッチングが可能となる。また、上記酸化物導電体層2050の組成では、混酸により、エッチングされることはない。すなわち、酸化物導電体層2050は、金属層2060をエッチングする液に対して耐性があり、一方、金属層2060に影響を与えないエッチング液で、エッチングできるなどの選択エッチング特性を有していることが重要である。

[0120] また、n型酸化物半導体層2040の形成に用いた酸化スズ－酸化亜鉛($\text{SnO}_2:\text{ZnO}$ =約65:35wt%)ターゲットにおいて、酸化亜鉛の添加量は、約5～70wt%が好適であり、約10～50wt%がより好適である。この理由は、酸化亜鉛の添加量が約5

wt%未満では、キャリア濃度が低下しない場合があり、約70wt%を超えるとキャリア濃度が低下しなくなったり、稀酸水溶液や、混酸への耐性が無くなったりするからである。

なお、上記のn型酸化物半導体層2040のACホール測定(東陽テクニカ社製のRESITEST(商品名)を用いた測定)を行ったところ、キャリア濃度: $10^{+15}/\text{cm}^3$ 、移動度: $5\text{cm}^2/\text{V}\cdot\text{sec}$ であった。また、n型酸化物半導体層のACホール測定を行ったところ、キャリア濃度: $10^{+20}/\text{cm}^3$ 、移動度: $22\text{cm}^2/\text{V}\cdot\text{sec}$ であった。

[0121] 次に、図20に示すように、上記第二のレジスト2061が再形成され、画素電極2057が露出される(ステップS2005)。すなわち、まず、同図(b)に示すように、第二のレジスト2061のうちハーフトーン露光により薄く形成された画素電極2057上のレジストをアッシングし、第二のレジスト2061を再形成する。

[0122] 次に、画素電極2057を露出させる処理について、図面を参照して説明する。

図25は、本発明の第五実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は第三のエッチングされた断面図を示している。(b)は第二のレジスト剥離された断面図を示している。

図25(a)において、再形成された第二のレジスト2061を用いて、硝酸の混酸により、画素電極2057上の金属層2060をエッチングし、画素電極2057を露出させ、透明画素電極を形成する。

[0123] 次に、再形成された第二のレジスト2061を全てアッシングすると、ソース電極2053上、ドレイン電極2054上、ソース配線2055上、ドレイン配線2056上に形成された、金属層2060からなる補助導電層(補助配線及び補助電極)が露出する。すなわち、金属層2060からなるソース電極用補助電極2531、ドレイン電極用補助電極2541、ソース配線用補助配線2551、ドレイン配線用補助配線2561が露出する(図26参照)。図25(b)に示す、ドレイン電極2054、チャンネル部2041、ソース電極2053、ソース配線2055及び画素電極2057は、図26におけるC-C断面を示している。また、図25(b)に示すドレイン配線2056は、図26におけるD-D断面を示している。

[0124] 次に、図20に示すように、n型酸化物半導体層2040、画素電極2057、ソース配線用補助配線2551、ドレイン配線用補助配線2561、ソース電極用補助電極2531

及びドレイン電極用補助電極2541上に、保護用絶縁膜70及び第三のレジスト71が順次積層され(ステップS2006)、第三のハーフトーンマスク2072及びハーフトーン露光によって、第三のレジスト2071が所定の形状に形成される(ステップS2007)。

次に、第三のハーフトーンマスク20072を用いた処理について、説明する。

[0125] (第三のハーフトーンマスクを用いた処理)

図27は、本発明の第五実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は保護用絶縁膜成膜／レジスト塗布された断面図を示している。(b)はハーフトーン露光／現像された断面図を示している。

図27(a)において、まず、画素電極2057の露出したTFT基板2001に、グロー放電CVD法により、窒化シリコン(SiN_x)膜である保護用絶縁膜2070が膜厚約200nm堆積する。放電ガスとしては、 SiH_4 — NH_3 — N_2 系の混合ガスを用いる。次に、保護用絶縁膜2070上に、第三のレジスト2071を積層する(ステップS2006)。

[0126] 次に、図27(b)に示すように、第三のハーフトーンマスク2072及びハーフトーン露光によって、第三のレジスト2071が所定の形状に形成される(ステップS7)。第三のレジスト2071は、ゲート配線パッド2025上を除く全ての保護用絶縁膜2070を覆い、かつ、ハーフトーンマスク部2721によって、ドレイン配線パッド2058及び画素電極2057を覆う部分が他の部分より薄い形状に形成される。

[0127] 図28は、本発明の第五実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は第四のエッチングされた断面図を示している。(b)は第三のレジストの再形成された断面図を示している。

図28(a)において、第四のエッチングとして、まず、ゲート配線パッド2025上の保護用絶縁膜2070を、 CHF_4 (CF_4 , CHF_3 ガスなど)を用いて、ドライエッチングし、続いて、塩酸、塩酸第二鉄系エッチャント、 HBr (臭化水素)、王水などでn型酸化物半導体層2040をエッチングする(ステップS2008)。

次に、図28(b)に示すように、第三のレジスト2071のうち、薄く形成された部分(画素電極2057及びドレイン配線パッド2058上の部分)をアッシングし、第三のレジスト

2071を再形成する。

- [0128] 図29は、本発明の第五実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は第五のエッチングされた断面図を示している。(b)は第三のレジスト剥離された断面図を示している。

図28(a)において、再形成された第三のレジスト2071及びCHF(CF_4 , CHF_3 ガスなど)を用いて、画素電極2057及びドレイン配線パッド2058上の保護用絶縁膜2070、並びに、ゲート配線パッド2025上のゲート絶縁膜2030が選択的にドライエッチングされ、画素電極2057、ドレイン配線パッド2058及びゲート配線パッド2025が露出される(ステップS2009)。

- [0129] 次に、再形成された第三のレジスト2071をアッシングすると、図30に示すように、基板2010上に、画素電極2057、ドレイン配線パッド2058及びゲート配線パッド2025上を除き、保護用絶縁膜2070が露出する。図29(b)に示す、ドレイン電極2054、チャンネル部2041、ゲート電極2023、ソース電極2053、ソース配線2055及び画素電極2057は、図30におけるE-E断面を示している。また、図29(b)に示すドレイン配線パッド2058は、図30におけるF-F断面を示している。また、図29(b)に示すゲート配線パッド2025は、図30におけるG-G断面を示している。

- [0130] このように、本実施形態のTFT基板2001の製造方法によれば、製造工程の工程数を削減することによって、製造コストを大幅に低減できる。また、TFT基板2001は、チャンネル部2041のn型酸化物半導体層2040の上部が、保護用絶縁膜2070により保護されているので、長期間安定して作動することができる。さらに、保護用絶縁膜2070が形成されているので、TFT基板2001に、有機EL材料、電極及び保護膜を設けることにより、有機電界発光装置を容易に得ることができる。

また、金属層2060からなるソース電極用補助電極2531、ドレイン電極用補助電極2541、ソース配線用補助配線2551及びドレイン配線用補助配線2561を形成することにより、ソース電極2053、ドレイン電極2054、ソース配線2055及びドレイン配線2056の電気抵抗が低減され、信頼性が向上し、エネルギー効率の低下が抑制される。

- [0131] また、本実施形態は、TFT基板の発明としても有効であり、上記TFT基板2001は

、請求項1、14～19に対応する。

[0132] TFT基板2001は、図29(b)及び図30に示すように、ガラス基板2010と、このガラス基板2010上に形成されたゲート電極2023及びゲート配線2024と、ガラス基板2010、ゲート電極2023及びゲート配線2024上に形成されたゲート絶縁膜2030と、少なくともゲート電極2023上のゲート絶縁膜2030上に、形成されたn型酸化物半導体層2040と、n型酸化物半導体層2040上にチャンネル部2041によって隔てられて形成された酸化物導電体層2050を具備している。すなわち、第一の酸化物層として、n型酸化物半導体層2040を設け、第二の酸化物層として、酸化物導電体層2050を設けてある。このTFT基板2001は、TFTの活性層としてn型酸化物半導体層2040を使用することにより、電流が安定して流れるので、電流制御により作動する有機電界発光装置にとって有用である。また、チャンネル部2041、ソース電極2053及びドレイン電極2054が容易に形成される。

[0133] また、TFT基板2001は、酸化物導電体層2050によって、ソース配線2055、ドレイン配線2056、ソース電極2053、ドレイン電極2054及び画素電極2057が形成されている。すなわち、上述した第五実施形態の製造方法により三枚のマスク(第一のマスク2022, 第二のハーフトーンマスク2062, 第三のハーフトーンマスク2072)で製造されるので、製造工程が削減される。これにより、生産効率の向上及び製造原価のコストダウンを図ることができる。

[0134] さらに、TFT基板2001は、画素電極2057、ドレイン配線パッド2058及びゲート配線パッド2025が露出した状態で、ゲート電極2023及びゲート配線2024の上方、並びに、ソース配線2055、ドレイン配線2056、ソース電極2053及びドレイン電極2054の上方に形成された保護用絶縁膜2070を備えている。このようにすると、TFT基板2001は、チャンネル部2041のn型酸化物半導体層2040の上部が、保護用絶縁膜2070により保護されているので、長期間安定して作動することができる。さらに、保護用絶縁膜2070が形成されているので、TFT基板2001に、有機EL材料、電極及び保護膜を設けることにより、有機電界発光装置が容易に得られる。

[0135] また、TFT基板2001は、画素電極2057が、n型酸化物半導体層2040と酸化物導電体層2050との積層膜よりなっている。このようにすると、積層膜を透明とすること

ができるので、光による誤動作を防止することができる。

さらに、TFT基板2001は、少なくとも酸化物導電体層2050の下層に、n型酸化物半導体層2040が形成されており、酸化物導電体層2050及びn型酸化物半導体層2040を透明とすることができるので、光による誤動作をより確実に防止することができる。

[0136] また、n型酸化物半導体層2040及び酸化物導電体層2050のエネルギーギャップを、3.0eV以上としてあり、エネルギーギャップを3.0eV以上とすることにより、光による誤動作を防止することができる。

また、TFT基板2001は、ソース配線2055、ドレイン配線2056、ソース電極2053及びドレイン電極2054上に、金属層2060からなるソース配線用補助配線2551、ドレイン配線用補助配線2561、ソース電極用補助電極2531及びドレイン電極用補助電極2541が形成されている。このようにすると、各配線2055、2056や電極2053、2054の電気抵抗を低減することができ、信頼性を向上させることができるとともに、エネルギー効率の低下を抑制することができる。

[0137] なお、本実施形態では、ソース電極2053上、ドレイン電極2054上、ソース配線2055上、ドレイン配線2056上に、補助導電層を形成した構成としてあるが、この構成に限定されるものではない。たとえば、ソース電極2053、ドレイン電極2054、ソース配線2055、ドレイン配線2056及び画素電極2057の少なくとも一つの上に、補助導電層を形成した構成としてもよい。すなわち、図示していないが、画素電極2057上の一部に、ソース配線用補助配線2551と接続された(金属層2060からなる)補助導電層を形成すると、この補助導電層によって、画素電極2057の電気導電性及び動作の信頼性が向上する。上記補助導電層の形状は、特に限定されるものではなく、たとえば、櫛型電極のような形状としてもよい。

[0138] このように、本実施形態のTFT基板2001は、製造工程の工程数を削減することによって、製造コストを大幅に低減でき、また、チャンネル部2041のn型酸化物半導体層2040の上部が、保護用絶縁膜2070により保護されているので、長期間安定して作動することができる。さらに、保護用絶縁膜2070が形成されているので、TFT基板2001に、有機EL材料、電極及び保護膜を設けることにより、有機電界発光装置

を容易に得ることができる。また、金属層2060からなるソース電極用補助電極2531, ドレイン電極用補助電極2541, ソース配線用補助配線2551及びドレイン配線用補助配線2561によって、ソース電極2053, ドレイン電極2054, ソース配線2055及びドレイン配線2056の電気抵抗を低減することができ、信頼性を向上させることができるとともに、エネルギー効率の低下を抑制することができる。

[0139] [第六実施形態にかかるTFT基板の製造方法]

本実施形態のTFT基板の製造方法は、3枚のマスクを使用する方法であり、請求項20に対応する。

図31は、本発明の第六実施形態にかかるTFT基板の製造方法を説明するための概略フローチャート図を示している。

図31において、まず、基板2010上に、第一のマスク2022を用いて、ゲート電極2021及びゲート配線2022を形成する(ステップS2011)。

なお、ステップS2011における第一のマスク2022を用いた処理は、第一実施形態のステップS2001における第一のマスク2022を用いた処理と同様である。

[0140] 次に、図31に示すように、ガラス基板2010, ゲート電極2023及びゲート配線2024上に、ゲート絶縁膜2030、第一の酸化物層としてn型酸化物半導体層2040、第二の酸化物層として酸化物導電体層2050及び第二のレジスト2061が順次積層され(ステップS2012)、第二のマスク2052によって、第二のレジスト2051が所定の形状に形成される。

次に、第二のマスク2052を用いた処理について、図面を参照して説明する。

[0141] (第二のマスクを用いた処理)

図32は、本発明の第六実施形態にかかるTFT基板の製造方法の、第二のマスクを用いた処理を説明するための概略図である。(a)はゲート絶縁膜成膜/n型酸化物半導体層成膜/酸化物導電体層成膜/レジスト塗布された断面図を示している。(b)は露光/現像された断面図を示している。

図32(a)において、まず、グロー放電CVD(化学蒸着法)法により、ガラス基板2010、ゲート電極2023及びゲート配線2024上に、窒化シリコン(SiN_x)膜であるゲート絶縁膜2030が膜厚約300nm堆積する。なお、本実施形態では、放電ガスとして、S

$iH_4-NH_3-N_2$ 系の混合ガスを用いる。

- [0142] 次に、ゲート絶縁膜2030上に、酸化スズ－酸化亜鉛($SnO_2:ZnO$ =約65:35wt%)ターゲットを用いて、高周波スパッタリング法により、酸素約15%、アルゴン約85%、基板温度約200℃の条件で厚み約100nmのn型酸化物半導体層2040が形成される。

続いて、n型酸化物半導体層2040上に、酸化インジウム－酸化スズ－酸化亜鉛($In_2O_3:SnO_2:ZnO$ =約60:20:20wt%)ターゲットを用いて、高周波スパッタリング法により、酸素約1%、アルゴン約99%の条件で厚み約150nmのn型酸化物半導体層2050が形成される。

- [0143] 次に、図32(b)に示すように、第二のマスク2052によって、第二のレジスト2051を所定の形状に形成する。第二のレジスト2051は、ソース電極2053、ドレイン電極2054、ソース配線2055、ドレイン配線2056及び画素電極2057を覆う形状に形成される。

- [0144] 図33は、本発明の第六実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は第二のエッチングされた断面図を示している。(b)は第二のレジスト剥離された断面図を示している。

図33(a)において、第二のレジスト2051を用いて、酸化物導電体層2050に対して第二のエッチングを行い、所望するソース電極2053、ドレイン電極2054、ソース配線2055、ドレイン配線2056及び画素電極2057が形成される(図31のステップS2013)。ここで、n型酸化物半導体層2040は、蔭酸水溶液にてエッチングされる。

上記エッチングによって、ゲート電極2023の上方のn型酸化物半導体層2040にチャンネル部2041が形成される。これにより、TFT基板2001aは、チャンネルエッチング型と呼ばれる。

- [0145] 次に、図33(b)に示すように、第二のレジスト2051を全てアッシングすると、ソース電極2053、ドレイン電極2054、ソース配線2055、ドレイン配線2056及び画素電極2057が露出する。図33(b)に示す、ドレイン電極2054、チャンネル部2041、ソース電極2053、ソース配線2055及び画素電極2057は、図34におけるH-H断面を示している。図33(b)に示すドレイン配線2056は、図34におけるI-I断面を示している。

[0146] 次に、図31に示すように、n型酸化物半導体層2040、ドレイン電極2054、ソース電極2053、ソース配線2055、画素電極2057及びドレイン配線2056上に、保護用絶縁膜2070及び第三のレジスト2071が順次積層され(ステップS2014)、第三のハーフトーンマスク2072及びハーフトーン露光によって、第三のレジスト2071が所定の形状に形成される(ステップS2015)。

次に、第三のハーフトーンマスク2072を用いた処理について、説明する。

[0147] (第三のハーフトーンマスクを用いた処理)

図35は、本発明の第六実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は保護用絶縁膜成膜／レジスト塗布された断面図を示している。(b)はハーフトーン露光／現像された断面図を示している。

図35(a)において、まず、画素電極2057の露出したTFT基板2001aに、グロー放電CVD法により、窒化シリコン(SiN_x)膜である保護用絶縁膜2070が膜厚約200nm堆積する。放電ガスとしては、 SiH_4 — NH_3 — N_2 系の混合ガスを用いる。次に、保護用絶縁膜2070上に、第三のレジスト2071が積層される(ステップS2014)。

[0148] 次に、図35(b)に示すように、第三のハーフトーンマスク2072及びハーフトーン露光によって、第三のレジスト2071を所定の形状に形成する(ステップS2015)。第三のレジスト2071は、ゲート配線パッド2025上を除く全ての保護用絶縁膜2070を覆い、かつ、ハーフトーンマスク部2721によって、ドレイン配線パッド2058及び画素電極2057を覆う部分が他の部分より薄い形状に形成される。

[0149] 図36は、本発明の第六実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は第三のエッチングされた断面図を示している。(b)は第三のレジストの再形成された断面図を示している。

図36(a)において、第三のエッチングとして、まず、ゲート配線パッド2025上の保護用絶縁膜2070が、 CHF_4 (CF_4 , CHF_3 ガスなど)を用いて、ドライエッチングされる。次に、塩酸、塩酸第二鉄系エッチャント、 HBr (臭化水素)、王水などでn型酸化物半導体層40がエッチングされる(ステップS2016)。

次に、図36(b)に示すように、第三のレジスト2071のうち、薄く形成された部分(画素電極2057及びドレイン配線パッド2058上の部分)がアッシングされ、第三のレジスト71が再形成される。

[0150] 図37は、本発明の第六実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は第四のエッチングされた断面図を示している。(b)は第三のレジスト剥離された断面図を示している。

図37(a)において、再形成された第三のレジスト2071及びCHF(CF_4 , CHF_3 ガスなど)を用いて、画素電極2057及びドレイン配線パッド2058上の保護用絶縁膜2070、並びに、ゲート配線パッド2025上のゲート絶縁膜2030が選択的にドライエッチングされ、画素電極2057、ドレイン配線パッド2058及びゲート配線パッド2025が露出される(ステップS2017)。

[0151] 次に、再形成された第三のレジスト2071がアッシングされると、図38に示すように、基板2010上に、画素電極2057、ドレイン配線パッド2058及びゲート配線パッド2025上を除き、保護用絶縁膜2070が露出する。図37(b)に示す、ドレイン電極2054、チャンネル部2041、ゲート電極2023、ソース電極2053、ソース配線2055及び画素電極2057は、図38におけるJ-J断面を示している。図37(b)に示すドレイン配線パッド2058は、図38におけるK-K断面を示している。図37(b)に示すゲート配線パッド25は、図38におけるL-L断面を示している。

[0152] このように、本実施形態のTFT基板2001aの製造方法によれば、製造工程の工程数を削減することによって、製造コストを大幅に低減できる。また、TFT基板2001aは、チャンネル部2041のn型酸化物半導体層2040の上部が、保護用絶縁膜2070により保護されているので、長期間安定して作動することができる。さらに、保護用絶縁膜2070が形成されているので、TFT基板2001aに、有機EL材料、電極及び保護膜を設けることにより、有機電界発光装置が容易に得られる。

[0153] また、本実施形態は、TFT基板の発明としても有効であり、上記TFT基板2001aは、請求項1、14、15、16、17、19に対応する。

[0154] TFT基板2001aは、TFT基板2001と比べると、図37(b)に示すように、ソース配線2055、ドレイン配線2056、ソース電極2053及びドレイン電極2054上に、金属層

2060からなるソース配線用補助配線2551、ドレイン配線用補助配線2561、ソース電極用補助電極2531及びドレイン電極用補助電極2541が形成されていない点が相違する。すなわち、上述した第六実施形態の製造方法により三枚のマスク(第一のマスク2022、第二のマスク2052及び第三のハーフトーンマスク2072)で製造されるので、TFT基板2001より製造工程が削減され、生産効率の向上及び製造原価のコストダウンを図ることができる。

[0155] このように、本実施形態のTFT基板2001aは、TFT基板2001とほぼ同等の効果(補助導電層による効果を除く)を有しつつ、TFT基板2001より製造工程が削減されるので、生産効率がさらに向上し、製造原価のコストダウンを図ることができる。

[0156] 上述したように、本発明の請求項14～21によれば、三枚のマスクを用いて、補助導電層及び保護用絶縁膜を有するTFT基板を製造することができ、マスク数が削減され製造工程が削減される。これにより、生産効率の向上及び製造原価のコストダウンを図ることができる。また、チャンネル部の第一の酸化物層の上部が、保護用絶縁膜により保護されているので、TFT基板は、長期間安定して作動することができる。また、補助導電層により各配線や電極の電気抵抗が低減されるので、信頼性が向上するとともに、エネルギー効率の低下を抑制することができる。

[0157] [第七実施形態にかかるTFT基板の製造方法]

本実施形態のTFT基板の製造方法は、3枚のマスクを使用する方法であり、請求項36に対応する。

図39は、本発明の第七実施形態にかかるTFT基板の製造方法を説明するための概略フローチャート図を示している。

図39において、まず、基板3010上に、第一のマスク3022を用いて、ゲート電極3023及びゲート配線3024が形成される(ステップS3001)。

次に、第一のマスク3022を用いた処理について、図面を参照して説明する。

[0158] (第一のマスクを用いた処理)

図40は、本発明の第七実施形態にかかるTFT基板の製造方法の、第一のマスクを用いた処理を説明するための概略図である。(a)は処理前のガラス基板の断面図を示している。(b)はメタル成膜された断面図を示している。(c)はレジスト塗布された

断面図を示している。(d)は露光／現像／第一のエッチング／レジスト剥離され、ゲート電極及びゲート配線が形成された断面図を示している。

図40(a)において、まず、透光性のガラス基板3010が用意される。

なお、TFT基板3001の基材となる板状部材は、上記ガラス基板3010に限定されるものではなく、たとえば、樹脂製の板状部材やシート状部材などでもよい。

[0159] 次に、図40(b)に示すように、ガラス基板3010にメタル成膜を行い、ゲート電極・配線用薄膜(ゲート電極及びゲート配線用薄膜) 3020が形成される。

本実施形態では、ガラス基板3010上に、AlとMoがこれらの順に高周波スパッタリング法を用いて、積層する。そして、膜厚約250nm及び50nmの金属薄膜が、それぞれ形成される。次に、酸化インジウム－酸化スズ－酸化サマリウム(一般的に、ITS_{mo}Oと呼ばれる。 $\text{In}_2\text{O}_3:\text{SnO}_2:\text{Sm}_2\text{O}_3$ ＝約90:7:3wt%)からなるスパッタリングターゲットを用いて、膜厚約100nmの薄膜が形成され、Al／Mo／ITS_{mo}Oからなるゲート電極・配線用薄膜3020が形成される。

[0160] 次に、図40(c)に示すように、ゲート電極・配線用薄膜3020上に、第一のレジスト3021が塗布される。

[0161] 次に、図40(d)に示すように、第一のマスク3022を用いて、ホトリソグラフィ法により、所定の形状にレジスト(図示せず)が形成される。次に、ITS_{mo}O薄膜は、蔭酸水溶液を用いてエッチングされる。金属薄膜は、混酸(一般的に、PANと呼ばれている。)を用いてエッチングされ、所定の形状のゲート電極3023及びゲート配線3024が形成される(図41参照)。図40(d)に示すゲート電極3023及びゲート配線3024は、図41におけるA－A断面及びB－B断面を示している。ここで、ITS_{mo}Oは、混酸を用いてもエッチング可能である。したがって、この混酸を用いてITS_{mo}Oと金属薄膜を一括エッチングしてもよい。

[0162] また、ゲート電極・配線用薄膜3020の形成後、熱処理を施しAlの抵抗を下げるとともに、ITS_{mo}Oを結晶化させてもよい。すなわち、ITS_{mo}Oは結晶化すると、蔭酸系エッチング液や混酸に溶解しなくなるので、Al／Mo層を保護することができる。

[0163] さらに、ITS_{mo}Oなどの酸化物導電膜をゲート配線3024の表面に形成することにより、ゲート配線パッド3025が形成された際、ゲート配線3024に使用した金属表面が

露出しない。これにより、信頼性の高い接続が可能となる。すなわち、ゲート絶縁膜3030に、ゲート配線パッド3025を形成するためのスルーホール(開口部)を形成する際、ゲート絶縁膜3030として SiN_x 、 SiON_x 、 SiO_2 などの絶縁物が使用される。そして、CHF(CF_4 、 CHF_3 など)を用いたリアクティブイオンエッチング法によりスルーホールが形成されると、ITSmOなどの酸化物導電膜が、金属薄膜(Al/Mo層)の保護膜(金属層保護用酸化物導電体層とも呼ばれる。)にもなる。

[0164] なお、ITSmOに代わる材料として、ITOにランタノイド系元素を含有させた材料や、ITOにMo、W(タングステン)などの高融点金属酸化物を添加した材料、等が使用される。添加量は、全金属元素に対して、約10原子%以下、好ましくは、約1~5原子%がよい。約10原子%を超えると、結晶化しなくなり、稀酸水溶液や混酸に溶解する。また、膜厚は、約20nm~500nm、好ましくは約30nm~300nmとするとよい。膜厚が約20nm未満である膜は、ピンホールを有し、保護膜として機能しない場合がある。一方、膜厚が約500nmを超える膜は、成膜やエッチングに、多くの時間を必要とし、その製造時間は長くなる。このため、その製造は、効率的でなく、また、経済的でない。

[0165] 次に、図39に示すように、ガラス基板3010、ゲート電極3023及びゲート配線3024上に、ゲート絶縁膜3030、第一の酸化物層としてn型酸化物半導体層3040、第二の酸化物層として酸化物導電体層3050、補助導電層として金属層3060及び第二のレジスト3061が順次積層され(ステップS3002)、第二のハーフトーンマスク3062及びハーフ露光によって、第二のレジスト3061が所定の形状に形成される(ステップS3003)。

次に、第二のハーフトーンマスク3062を用いた処理について、図面を参照して説明する。

[0166] (第二のハーフトーンマスクを用いた処理)

図42は、本発明の第七実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図である。(a)はゲート絶縁膜成膜/n型酸化物半導体層成膜/酸化物導電体層成膜/金属層成膜/レジスト塗布された断面図を示している。(b)はハーフトーン露光/現像された断面図を示している。

。

図42(a)において、まず、グロー放電CVD(化学蒸着法)法により、ガラス基板3010、ゲート電極3023及びゲート配線3024上に、窒化シリコン(SiN_x)膜であるゲート絶縁膜3030が膜厚約300nm堆積する。なお、本実施形態では、放電ガスとして、 SiH_4 — NH_3 — N_2 系の混合ガスを用いる。

[0167] 次に、ゲート絶縁膜3030上に、酸化インジウム—酸化亜鉛—酸化ガリウム(In_2O_3 : ZnO : Ga_2O_3 =約70:3:27wt%)ターゲットを用いて、高周波スパッタリング法により、酸素約10%、アルゴン約90%、基板温度が約200℃を超えない条件で(すなわち、n型酸化物半導体層3040を結晶化させない条件で)厚み約100nmのn型酸化物半導体層(活性層)3040が形成される。なお、このn型酸化物半導体層3040のエネルギーギャップは、約3.6eVであった。

[0168] 次に、n型酸化物半導体層3040上に、酸化インジウム—酸化亜鉛—酸化スズ(In_2O_3 : ZnO : SnO_2 =約60:20:20wt%)ターゲットを用いて、高周波スパッタリング法により、酸素約1%、アルゴン約99%、さらに、酸化物導電体層50を結晶化させない条件で、厚み約150nmの酸化物導電体層3050が形成される。なお、この酸化物導電体層3050のエネルギーギャップは、約3.2eVであった。

[0169] 次に、酸化物導電体層3050上に、補助導電層となる金属層(Mo/Al/Mo/IZO薄膜)3060が、厚さ約450nm(Mo/Al/Mo/IZO層がそれぞれ厚さ約50nm/200nm/50nm/150nm)に成膜される。すなわち、まず、酸化物導電体層3050上に、Mo/Al/Mo層が室温で成膜される。続いて、Mo/Al/Mo層上に、酸化インジウム—酸化亜鉛(In_2O_3 : ZnO =約90:10wt%)ターゲットを用いて、高周波スパッタリング法により、酸素約1%、アルゴン約99%の条件で厚み約150nmの酸化物保護膜(金属層保護用酸化物導電体層とも呼ばれる。本実施形態では、IZO薄膜。)が形成される。なお、金属層3060は、Mo/Al/Moの積層膜に限定されるものではなく、たとえば、Ti/Al/Tiなどの金属薄膜の積層膜を使用してもよい。また、Al, Mo, Ag, Cuなどの金属や合金の単層又は多層の積層膜を使用してもよい。

次に、金属層3060上に、第二のレジスト3061が積層される(ステップS3002)。

[0170] 次に、図42(b)に示すように、第二のハーフトーンマスク3062及びハーフトーン露

光によって、第二のレジスト3061が所定の形状に形成される(図39のステップS3003)。第二のレジスト3061は、ゲート電極3023, ソース電極3053, ドレイン電極3054, ソース配線3055, ドレイン配線3056及び画素電極3057の上方を覆い、かつ、ハーフトーンマスク部3621によって、チャンネル部3041の上方を覆う部分が他の部分より薄い形状に形成される。

[0171] 図43は、本発明の第七実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は第二のエッチング／第三のエッチングされた断面図を示している。(b)は第二のレジストの再形成された断面図を示している。

図43(a)において、第二のレジスト3061及び混酸を用いて、金属層(Mo／Al／Mo／IZO層)3060に対して第二のエッチングが行われる。次に、第二のレジスト3061及び稀酸水溶液を用いて、酸化物導電体層3050及びn型酸化物半導体層3040に対して第三のエッチングが行われる。これらのエッチングによって、所望するソース配線3055, ドレイン配線3056及び画素電極3057が形成されるとともに、後述する補助配線が形成される(図39のステップS3004)。

なお、上記第二及び第三のエッチングによって、ソース電極3053及びドレイン電極3054を隔てる空隙は形成されないが、ソース電極3053, ドレイン電極3054及び後述する補助電極の外郭の一部が形成される。

[0172] 次に、図43(b)に示すように、上記第二のレジスト3061を再形成する(図39のステップS3005)。すなわち、まず、図43(b)に示すように、第二のレジスト3061のうちハーフトーン露光により薄く形成されたチャンネル部3041上のレジストがアッシングされ、第二のレジスト3061が再形成される。

次に、再形成された第二のレジスト3061を用いて、ゲート電極3023の上方の金属層3060及び酸化物導電体層3050が選択的にエッチングされ、ソース電極3053及びドレイン電極3054が形成されるとともに、金属層3060からなる補助電極が形成される(図39のステップS3005)。

[0173] 次に、ソース電極3053及びドレイン電極3054を形成する処理について、図面を参照して説明する。

図44は、本発明の第七実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は第四のエッチング／第五のエッチングされた断面図を示している。(b)は第二のレジスト剥離された断面図を示している。

図44(a)において、再形成された第二のレジスト3061及び混酸を用いて、ゲート電極3023の上方の金属層3060に対して第四のエッチングが行われる。次に、再形成された第二のレジスト3061及び蔭酸水溶液を用いて、酸化物導電体層3050に対して第五のエッチングが選択的に行われる(すなわち、チャンネル部3041となるn型酸化物半導体層3040を溶解させることなくエッチングする。)。上記エッチングによって、ゲート電極3023の上方のn型酸化物半導体層3040にチャンネル部3041が形成される。これにより、TFT基板3001は、チャンネルエッチング型と呼ばれる。

[0174] ここで、好ましくは、上記エッチングを行う前に、(たとえば、200℃以上350℃以下で)n型酸化物半導体層3040が加熱され、結晶化するとよい。すなわち、本実施形態のn型酸化物半導体層3040として用いた酸化インジウム－酸化亜鉛－酸化ガリウム($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}$ =約70:27:3wt%)は、アモルファス状態(結晶化されていない状態)では、蔭酸水溶液によりエッチングされるが、結晶化させると、蔭酸水溶液や混酸によりエッチングされることはない。これにより、上方に存在する酸化物導電体層3050をエッチングする薬液(本実施形態では、蔭酸水溶液)に対して、n型酸化物半導体層3040が耐性を有するようになるので、チャンネル部3041となるn型酸化物半導体層3040が浸食されるといった不具合を防止することができる。さらに、n型酸化物半導体層3040(活性層)は、結晶化されることにより、安定した半導体特性を示すようになる。

[0175] また、n型酸化物半導体層3040の形成に用いた酸化インジウム－酸化亜鉛－酸化ガリウム($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}$ =約70:27:3wt%)ターゲットにおいて、酸化亜鉛の添加量は、約1～6wt%が好適であり、約2～5wt%がより好適である。この理由は、約1wt%未満では、キャリアー濃度が低下しない場合があり、約6wt%を超えるとキャリアー濃度が低下しなくなったり、結晶化せず混酸への耐性が無くなったりするからである。

[0176] また、本実施形態の酸化物導電体層3050として用いた酸化インジウム－酸化スズ－酸化亜鉛($\text{In}_2\text{O}_3:\text{SnO}_2:\text{ZnO}$ =約60:20:20wt%)薄膜は、350℃の加熱でも結晶化しない。この酸化物導電体層3050は結晶化させないほうがよく、これにより、稀酸水溶液でのエッチングが可能となる。また、上記組成を有する酸化物導電体層3050は、結晶化されなくても、混酸によりエッチングされることはない。すなわち、酸化物導電体層3050は、画素電極3057上の金属層3060をエッチングする液(混酸)に対して耐性があり、一方、結晶化されたn型酸化物半導体層3040に影響を与えないエッチング液(稀酸水溶液)で、エッチングできるなどの選択エッチング特性を有している。また、酸化物導電体層3050は、所定のエッチング液(稀酸水溶液)により、結晶化されていないn型酸化物半導体層3040とともにエッチングされ、かつ、結晶化されたn型酸化物半導体層3040が耐性を有するエッチング液(稀酸水溶液)により、エッチングされるといった選択エッチング特性を有していることが重要である。

[0177] なお、上記のn型酸化物半導体層3040のACホール測定(東陽テクニカ社製のRESITEST(商品名)を用いた測定)を行ったところ、キャリアー濃度: $10^{+14}/\text{cm}^3$ 、移動度: $30\text{cm}^2/\text{V}\cdot\text{sec}$ であった。また、酸化物導電体層3050のACホール測定を行ったところ、キャリアー濃度: $10^{+20}/\text{cm}^3$ 、移動度: $38\text{cm}^2/\text{V}\cdot\text{sec}$ であった。このように活性層の移動度が $30\text{cm}^2/\text{V}\cdot\text{sec}$ 以上あり、通常のアモルファスシリコンの移動度 $0.1\sim 1\text{cm}^2/\text{V}\cdot\text{sec}$ に比較して大きな移動度を有しており、スイッチング素子として非常に有用である。また、n型酸化物半導体層3040及び酸化物導電体層3050の材料は、上記材料に限定されるものではない。

[0178] 次に、図44(b)に示すように、再形成された第二のレジスト3061を全てアッシングすると、ソース電極3053上、ドレイン電極3054上、ソース配線3055上、ドレイン配線3056上及び画素電極3057上に形成された、金属層3060からなる補助導電層(補助配線及び補助電極(画素電極3057上の金属層3060は、後にエッチングされる。))が露出する。すなわち、金属層3060からなるソース電極用補助電極3531、ドレイン電極用補助電極3541、ソース配線用補助配線3551、ドレイン配線用補助配線3561が露出する(図45参照)。図44(b)に示す、ドレイン電極3054、チャンネル部3041、ソース電極3053、ソース配線3055及び画素電極3057は、図45におけるC

ーC断面を示している。図44(b)に示すド레인配線3056は、図45におけるD-D断面を示している。

- [0179] 次に、図39に示すように、露出したゲート絶縁膜3030及びn型酸化物半導体層3040上、並びに、ソース配線3055、ド레인配線3056、ソース電極3053、ド레인電極3054及び画素電極3057上に形成された金属層3060上に、保護用絶縁膜3070及び第三のレジスト3071が順次積層され(ステップS3006)、第三のマスク3072を用いて、第三のレジスト3071が所定の形状に形成される(ステップS3007)。

次に、第三のマスク3072を用いた処理について、説明する。

- [0180] (第三のマスクを用いた処理)

図46は、本発明の第七実施形態にかかるTFT基板の製造方法の、第三のマスクを用いた処理を説明するための概略図である。(a)は保護用絶縁膜成膜/レジスト塗布された断面図を、(b)は露光/現像された断面図を示している。

図46(a)において、まず、チャンネル部3041が形成されたTFT基板3001に、グロー放電CVD法により、窒化シリコン(SiN_x)膜である保護用絶縁膜3070が膜厚約200nm堆積する。放電ガスとしては、 SiH_4 — NH_3 — N_2 系の混合ガスを用いる。次に、保護用絶縁膜3070上に、第三のレジスト3071が積層される(ステップS3006)。

- [0181] 次に、図46(b)に示すように、第三のマスク3072によって、第三のレジスト3071が所定の形状に形成される(ステップS3007)。第三のレジスト3071は、画素電極3057、ド레인配線パッド3058及びゲート配線パッド3025上を除く全ての保護用絶縁膜3070を覆う形状に形成される。

図47は、本発明の第七実施形態にかかるTFT基板の製造方法の、第三のマスクを用いた処理を説明するための概略図である。(a)は第六のエッチングされた断面図を示している。(b)は第七のエッチングされた断面図を示している。

図47(a)において、第六のエッチングとして、第三のレジスト3071及びCHF(CF_4 , CHF_3 ガスなど)を用いて、画素電極3057及びド레인配線パッド3058上の保護用絶縁膜3070、並びに、ゲート配線パッド3025上の保護用絶縁膜3070がドライエッチングされ(図39のステップS3008)、画素電極3057及びド레인配線パッド3058上の金属層3060が露出される。なお、ゲート配線パッド3025上にはゲート絶縁膜

3030及び保護用絶縁膜3070が積層されており、上記第六のエッチングによっては、通常、ゲート配線パッド3025は露出しない。

[0182] 次に、図47(b)に示すように、第七のエッチングとして、第三のレジスト3071及び混酸を用いて、画素電極3057及びドレイン配線パッド3058上の金属層3060がエッチングされ(図39のステップS3009)、画素電極3057及びドレイン配線パッド3058が露出される。ここで、画素電極3057上の金属層3060をエッチングし、画素電極3057を露出させることにより、透明画素電極が形成される。

[0183] 図48は、本発明の第七実施形態にかかるTFT基板の製造方法の、第三のマスクを用いた処理を説明するための概略図である。(a)は第八のエッチングされた断面図を示している。(b)は第三のレジスト剥離された断面図を示している。

図48(a)において、第八のエッチングとして、第三のレジスト3071及びCHF(CF₄, CHF₃ガスなど)を用いて、ゲート配線パッド3025上の保護用絶縁膜3070及びゲート絶縁膜3030がドライエッチングされ、ゲート配線パッド3025が露出する(図39のステップS3010)。

[0184] 次に、第三のレジスト3071をアッシングすると、図491に示すように、基板3010上に、画素電極3057、ドレイン配線パッド3058及びゲート配線パッド3025上を除き、保護用絶縁膜3070が露出する。図48(b)に示す、ドレイン電極3054、チャンネル部3041、ゲート電極3023、ソース電極3053、ソース配線3055及び画素電極3057は、図49におけるE-E断面を示している。図48(b)に示すドレイン配線パッド58は、図49におけるF-F断面を示している。図48(b)に示すゲート配線パッド25は、図49におけるG-G断面を示している。

[0185] このように、本実施形態のTFT基板3001の製造方法によれば、製造工程の工程数を削減することによって、製造コストを大幅に低減できる。また、TFT基板3001は、チャンネル部3041のn型酸化物半導体層3040の上部が、保護用絶縁膜3070により保護されているので、長期間安定して作動することができる。さらに、通常、n型酸化物半導体層3040が、所定の位置(チャンネル部3041、ソース配線3055、ドレイン配線3056、ソース電極3053、ドレイン電極3054及び画素電極3057に対応する所定の位置)にのみ形成されることとなるので、ゲート配線3024どうしが干渉する(ク

ロストーク)といった心配を排除することができる。さらに、保護用絶縁膜3070が形成されているので、TFT基板3001に、有機EL材料、電極及び保護膜を設けることにより、有機電界発光装置が容易に得られる。

[0186] また、金属層3060からなるソース電極用補助電極3531、ドレイン電極用補助電極3541、ソース配線用補助配線3551及びドレイン配線用補助配線3561を形成することにより、ソース電極3053、ドレイン電極3054、ソース配線3055及びドレイン配線3056の電気抵抗を低減することができる。これにより、信頼性を向上させることができるとともに、エネルギー効率の低下を抑制することができる。

[0187] なお、本実施形態では、ガラス基板3010上に、ゲート電極・配線用薄膜3020及び第一のレジスト3021が積層され、さらに、ゲート絶縁膜3030、n型酸化物半導体層3040、酸化物導電体層3050、金属層3060及び第二のレジスト3061が積層され、さらに、保護用絶縁膜3070及び第三のレジスト3071が積層されるが、これに限定されるものではない。たとえば、各層間に(たとえば、本実施形態の機能や効果を損なわない、あるいは、他の機能や効果などを補助する)他の層を介して積層されてもよい。このことは、後述する実施形態についても同様である。

[0188] また、本実施形態は、TFT基板の発明としても有効であり、上記TFT基板3001は、請求項1、22、23、24、25、26、27、28、29、33、34に対応する。

[0189] TFT基板3001は、図48(b)及び図49に示すように、ガラス基板3010と、このガラス基板3010上に形成されたゲート電極3023及びゲート配線3024と、ガラス基板3010、ゲート電極3023及びゲート配線3024上に形成されたゲート絶縁膜3030と、少なくともゲート電極3023上のゲート絶縁膜3030上に、形成されたn型酸化物半導体層3040と、n型酸化物半導体層3040上にチャンネル部3041によって隔てられて形成された酸化物導電体層3050を具備している。すなわち、第一の酸化物層として、n型酸化物半導体層3040を設け、第二の酸化物層として、酸化物導電体層3050を設けてある。このようにすると、TFTの活性層としてn型酸化物半導体層3040を使用することにより、電流が安定して流れるので、TFT基板3001は、電流制御により作動させる有機電界発光装置にとって有用である。また、チャンネル部3041、ソース電極3053及びドレイン電極3054が容易に形成される。

- [0190] また、TFT基板3001は、酸化物導電体層3050によって、ソース配線3055、ドレイン配線3056、ソース電極3053、ドレイン電極3054及び画素電極3057が形成されている。すなわち、上述した第七実施形態の製造方法により三枚のマスク(第一のマスク3022, 第二のハーフトーンマスク3062, 第三のマスク3072)で製造されるので、製造工程が削減される。これにより、生産効率が向上し、製造原価のコストダウンを図ることができる。さらに、TFT基板3001は、酸化物導電体層3050によって、画素電極3057及びソース配線3055に加え、ドレイン配線3056、ソース電極3053及びドレイン電極3054が形成されているので、ソース配線3055、ドレイン配線3056、ソース電極3053、ドレイン電極3054及び画素電極3057を効率よく製造することができる。
- [0191] さらに、TFT基板3001は、TFT基板3001の上方が保護用絶縁膜3070によって覆われ、かつ、保護用絶縁膜3070が、各画素電極3057、ドレイン配線パッド3058及びゲート配線パッド3025に対応する位置に、画素電極3057、ドレイン配線パッド3058及びゲート配線パッド3025を露出させるための開口部を有している。すなわち、露出した画素電極3057、ドレイン配線パッド3058及びゲート配線パッド3025の上方を除くTFT基板3001の上方は、通常、全て保護用絶縁膜3070で覆われている。このようにすると、チャンネル部3041のn型酸化物半導体層3040の上部が、保護用絶縁膜3070により保護されているので、TFT基板3001は、長期間安定して作動することができる。また、TFT基板3001自体が保護用絶縁膜3070を備えた構造となるので、液晶や有機EL材料などを利用した表示手段や発光手段を容易に製造可能なTFT基板3001を提供することができる。
- [0192] また、TFT基板3001は、画素電極3057が、n型酸化物半導体層3040と酸化物導電体層3050との積層膜よりなっている。このようにすると、積層膜を透明とすることができるので、光による誤動作を防止することができる。
- [0193] さらに、TFT基板3001は、酸化物導電体層3050の下層に、n型酸化物半導体層3040が形成されており、酸化物導電体層3050及びn型酸化物半導体層3040を透明とすることができるので、光による誤動作をより確実に防止することができる。
- [0194] また、n型酸化物半導体層3040及び酸化物導電体層3050のエネルギーギャップ

を、3.0eV以上としてあり、エネルギーギャップを3.0eV以上とすることにより、光による誤動作を防止することができる。

[0195] また、TFT基板3001は、ソース配線3055、ドレイン配線3056、ソース電極3053及びドレイン電極3054上に、金属層3060からなるソース配線用補助配線3551、ドレイン配線用補助配線3561、ソース電極用補助電極3531及びドレイン電極用補助電極3541が形成されている。このようにすると、各配線3055、3056や電極3053、3054の電気抵抗を低減することができ、信頼性を向上させることができるとともに、エネルギー効率の低下を抑制することができる。

[0196] また、TFT基板3001は、n型酸化物半導体層3040が、チャンネル部3041、ソース配線3055、ドレイン配線3056、ソース電極3053、ドレイン電極3054及び画素電極3057に対応する所定の位置に形成されている。すなわち、通常、上記所定の位置を除く領域の全てのn型酸化物半導体層3040は、エッチングにより除去される。このようにすると、通常、n型酸化物半導体層3040が、所定の位置にのみ形成されることとなるので、ゲート配線3024どうしが干渉する(クロストーク)といった心配を排除することができる。

[0197] なお、TFT基板3001は、ソース電極3053上、ドレイン電極3054上、ソース配線3055上、ドレイン配線3056上に、補助導電層を形成した構成としてあるが、この構成に限定されるものではない。たとえば、ソース電極3053、ドレイン電極3054、ソース配線3055、ドレイン配線3056及び画素電極3057の少なくとも一つの上に、補助導電層を形成した構成としてもよい。すなわち、図示していないが、画素電極3057上の一部に、ソース配線用補助配線3551と接続された(金属層3060からなる)補助導電層を形成すると、この補助導電層によって、画素電極3057の電気導電性及び動作の信頼性が向上する。上記補助導電層の形状は、特に限定されるものではなく、たとえば、櫛型電極のような形状としてもよい。

[0198] このように、本実施形態のTFT基板3001は、製造工程の工程数を削減することによって、製造コストを大幅に低減できる。また、チャンネル部3041のn型酸化物半導体層3040の上部が、保護用絶縁膜3070により保護されているので、TFT基板3001は、長期間安定して作動することができる。さらに、保護用絶縁膜70が形成されて

いるので、TFT基板3001に、有機EL材料、電極及び保護膜を設けることにより、有機電界発光装置が容易に得られる。また、金属層3060からなるソース電極用補助電極3531、ドレイン電極用補助電極3541、ソース配線用補助配線3551及びドレイン配線用補助配線3561によって、ソース電極3053、ドレイン電極3054、ソース配線3055及びドレイン配線3056の電気抵抗が低減される。これにより、信頼性が向上するとともに、エネルギー効率の低下が抑制される。さらに、n型酸化物半導体層3040が、所定の位置にのみ形成されることとなるので、ゲート配線3024どうしが干渉する(クロストーク)といった心配を排除することができる。

[0199] [第八実施形態にかかるTFT基板の製造方法]

本実施形態のTFT基板の製造方法は、3枚のマスクを使用する方法であり、請求項35に対応する。

図50は、本発明の第八実施形態にかかるTFT基板の製造方法を説明するための概略フローチャート図を示している。

図50において、まず、基板3010上に、第一のマスク3022を用いて、ゲート電極3023及びゲート配線3024が形成される(ステップS3011)。

なお、ステップS3011における第一のマスク3022を用いた処理は、第七実施形態のステップS3001における第一のマスク3022を用いた処理と同様である。

[0200] 次に、図50に示すように、ガラス基板3010、ゲート電極3023及びゲート配線3024上に、ゲート絶縁膜3030、第一の酸化物層としてn型酸化物半導体層3040、第二の酸化物層として酸化物導電体層3050及び第二のレジスト3051が順次積層され(ステップS3012)、第二のハーフトーンマスク3052及びハーフ露光によって、第二のレジスト3051が所定の形状に形成される(ステップS3013)。

次に、第二のハーフトーンマスク3052を用いた処理について、図面を参照して説明する。

[0201] (第二のハーフトーンマスクを用いた処理)

図51は、本発明の第八実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図である。(a)はゲート絶縁膜成膜／n型酸化物半導体層成膜／酸化物導電体層成膜／レジスト塗布された断面図を

示している。(b)はハーフトーン露光／現像された断面図を示している。

図51(a)において、まず、グロー放電CVD(化学蒸着法)法により、ガラス基板3010、ゲート電極3023及びゲート配線3024上に、窒化シリコン(SiN_x)膜であるゲート絶縁膜3030が膜厚約300nm堆積する。なお、本実施形態では、放電ガスとして、 SiH_4 — NH_3 — N_2 系の混合ガスを用いる。

[0202] 次に、ゲート絶縁膜3030上に、酸化インジウム—酸化亜鉛—酸化ガリウム(In_2O_3 : Ga_2O_3 : ZnO = 約70:27:3wt%)ターゲットを用いて、高周波スパッタリング法により、酸素約10%、アルゴン約90%、基板温度約200℃を超えない条件で(すなわち、n型酸化物半導体層3040を結晶化させない条件で)厚み約100nmのn型酸化物半導体層(活性層)3040が形成される。

[0203] 次に、n型酸化物半導体層3040上に、酸化インジウム—酸化亜鉛—酸化スズ(In_2O_3 : ZnO : SnO_2 = 約60:20:20wt%)ターゲットを用いて、高周波スパッタリング法により、酸素約1%、アルゴン約99%、さらに、酸化物導電体層3050を結晶化させない条件で厚み約150nmの酸化物半導体層3050が形成される。

次に、酸化物導電体層3050上に、第二のレジスト3051が積層される(ステップS3012)。

[0204] 次に、図51(b)に示すように、第二のハーフトーンマスク3052及びハーフトーン露光によって、第二のレジスト3051が所定の形状に形成される(図50のステップS3013)。第二のレジスト3051は、ゲート電極3023、ソース電極3053、ドレイン電極3054、ソース配線3055、ドレイン配線3056及び画素電極3057の上方を覆い、かつ、ハーフトーンマスク部3521によって、チャンネル部3041の上方を覆う部分が他の部分より薄い形状に形成される。

[0205] 図52は、本発明の第八実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は第二のエッチングされた断面図を示している。(b)は第二のレジストの再形成された断面図を示している。

図52(a)において、第二のレジスト3061及び稀酸水溶液を用いて、酸化物導電体層3050及びn型酸化物半導体層3040に対して第二のエッチングを行い、所望する

ソース配線3055、ドレイン配線3056及び画素電極3057が形成される(図50のステップS3014)。

[0206] 次に、図52(b)に示すように、上記第二のレジスト3051が再形成される。すなわち、まず、図52(b)に示すように、第二のレジスト3051のうちハーフトーン露光により薄く形成されたチャンネル部3041上のレジストがアッシングされ、第二のレジスト3051が再形成される。

次に、再形成された第二のレジスト3051を用いて、ゲート電極3023の上方の酸化物導電体層3050を選択的にエッチングし、ソース電極3053及びドレイン電極3054を形成する(図50のステップS3015)。

[0207] 次に、ソース電極3053及びドレイン電極3054を形成する処理について、図面を参照して説明する。

図53は、本発明の第八実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は第三のエッチングされた断面図を示している。(b)は第二のレジスト剥離された断面図を示している。

図53(a)において、再形成された第二のレジスト3061及び蔭酸水溶液を用いて、酸化物導電体層3050に対して第三のエッチングが選択的に行われる(すなわち、チャンネル部3041となるn型酸化物半導体層3040を溶解させることなくエッチングする。)。上記エッチングによって、ゲート電極3023の上方のn型酸化物半導体層3040にチャンネル部3041が形成される。

[0208] ここで、好ましくは、上記エッチングを行う前に、(たとえば、200℃以上350℃以下で)n型酸化物半導体層3040を加熱し、結晶化させるとよい。すなわち、上方に存在する酸化物導電体層3050をエッチングする薬液(本実施形態では、蔭酸水溶液)に対して、結晶化されたn型酸化物半導体層3040が耐性を有するようになるので、チャンネル部3041となるn型酸化物半導体層3040が浸食されるといった不具合を防止することができる。また、酸化物導電体層3050は、所定のエッチング液(蔭酸水溶液)により、結晶化されていないn型酸化物半導体層3040とともにエッチングされ、かつ、結晶化されたn型酸化物半導体層3040が耐性を有するエッチング液(蔭酸水溶液)により、エッチングされるといった選択エッチング特性を有していることが重要であ

る。

[0209] 次に、図53(b)に示すように、再形成された第二のレジスト3051を全てアッシングすると、ソース電極3053、ドレイン電極3054、ソース配線3055、ドレイン配線3056及び画素電極3057が露出する(図54参照)。図53(b)に示す、ドレイン電極3054、チャンネル部3041、ソース電極3053、ソース配線3055及び画素電極3057は、図54におけるH-H断面を示している。図53(b)に示すドレイン配線56は、図54におけるI-I断面を示している。

[0210] 次に、図50に示すように、露出したゲート絶縁膜3030、n型酸化物半導体層3040上、並びに、ソース配線3055、ドレイン配線3056、ソース電極3053、ドレイン電極3054及び画素電極3057上に、保護用絶縁膜3070及び第三のレジスト3071が順次積層され(ステップS3016)、第三のマスク3072を用いて、第三のレジスト3071が所定の形状に形成される(ステップS3017)。

次に、第三のマスク3072を用いた処理について、説明する。

[0211] (第三のマスクを用いた処理)

図55は、本発明の第八実施形態にかかるTFT基板の製造方法の、第三のマスクを用いた処理を説明するための概略図である。(a)は保護用絶縁膜成膜/レジスト塗布された断面図を示している。(b)は露光/現像された断面図を示している。

図55(a)において、まず、チャンネル部3041が形成されたTFT基板3001aに、グロー放電CVD法により、窒化シリコン(SiN_x)膜である保護用絶縁膜3070が膜厚約200nm堆積する。放電ガスとしては、 $\text{SiH}_4 - \text{NH}_3 - \text{N}_2$ 系の混合ガスを用いる。続いて、保護用絶縁膜3070上に、第三のレジスト3071が積層される(ステップS3016)。

[0212] 次に、図55(b)に示すように、第三のマスク3072によって、第三のレジスト3071が所定の形状に形成される(ステップS3017)。第三のレジスト3071は、画素電極3057、ドレイン配線パッド3058及びゲート配線パッド3025上を除く全ての保護用絶縁膜3070を覆う形状に形成される。

図56は、本発明の第八実施形態にかかるTFT基板の製造方法の、第三のマスクを用いた処理を説明するための概略図である。(a)は第四のエッチングされた断面図を示している。(b)は第三のレジスト剥離された断面図を示している。

- [0213] 図56(a)において、第四のエッチングとして、第三のレジスト3071及びCHF(CF₄, CHF₃ガスなど)を用いて、画素電極3057及びドレイン配線パッド3058上の保護用絶縁膜3070、並びに、ゲート配線パッド3025上の保護用絶縁膜3070及びゲート絶縁膜3030をドライエッチングし(図50のステップS3018)、画素電極3057、ドレイン配線パッド3058及びゲート配線パッド3025を露出させる。
- [0214] 次に、図56(b)に示すように、第三のレジスト3071をアッシングすると、図57に示すように、基板3010上に、画素電極3057、ドレイン配線パッド3058及びゲート配線パッド3025上を除き、保護用絶縁膜3070が露出する。図56(b)に示す、ドレイン電極3054、チャンネル部3041、ゲート電極3023、ソース電極3053、ソース配線3055及び画素電極3057は、図57におけるJ-J断面を示している。図56(b)に示すドレイン配線パッド3058は、図57におけるK-K断面を示している。図56(b)に示すゲート配線パッド3025は、図57におけるL-L断面を示している。
- [0215] このように、本実施形態のTFT基板3001aの製造方法によれば、製造工程の工程数を削減することによって、製造コストを大幅に低減できる。また、チャンネル部3041のn型酸化物半導体層3040の上部が、保護用絶縁膜3070により保護されているので、TFT基板3001aは、長期間安定して作動することができる。さらに、通常、n型酸化物半導体層3040が、所定の位置(チャンネル部3041、ソース配線3055、ドレイン配線3056、ソース電極3053、ドレイン電極3054及び画素電極3057に対応する所定の位置)にのみ形成されることとなるので、ゲート配線3024どうしが干渉する(クロストーク)といった心配を排除することができる。
- [0216] また、本実施形態は、TFT基板の発明としても有効であり、上記TFT基板3001aは、請求項1、22、23、24、25、26、28、29、33、34に対応する。
- [0217] TFT基板3001aは、TFT基板3001と比べると、図56(b)に示すように、ソース配線3055、ドレイン配線3056、ソース電極3053及びドレイン電極3054上に、金属層3060からなるソース配線用補助配線3551、ドレイン配線用補助配線3561、ソース電極用補助電極3531及びドレイン電極用補助電極3541を形成していない点が相違する。すなわち、上述した第二実施形態の製造方法により三枚のマスク(第一のマスク3022、第二のマスク3052、第三のマスク3072)で製造されるので、TFT基板3

001より製造工程が削減されて生産効率が向上し、製造原価のコストダウンを図ることができる。

[0218] このように、本実施形態のTFT基板3001aは、TFT基板3001とほぼ同等の効果(補助導電層による効果を除く)を有しつつ、TFT基板3001より製造工程が削減されるので、生産効率がさらに向上し、製造原価のコストダウンを図ることができる。

[0219] [第九実施形態にかかるTFT基板の製造方法]

本実施形態のTFT基板の製造方法は、3枚のマスクを使用する方法であり、請求項37, 38に対応する。

図58は、本発明の第九実施形態にかかるTFT基板の製造方法を説明するための概略フローチャート図を示している。

図58において、まず、基板3010上に、第一のマスク3022を用いて、ゲート電極3021及びゲート配線3022が形成される(ステップS3031)。

次に、第一のマスク3022を用いた処理について、図面を参照して説明する。

[0220] (第一のマスクを用いた処理)

図59は、本発明の第九実施形態にかかるTFT基板の製造方法の、第一のマスクを用いた処理を説明するための概略図である。(a)は処理前のガラス基板の断面図を示している。(b)はメタル成膜／金属層保護用酸化物導電体層成膜された断面図を示している。(c)はレジスト塗布された断面図を示している。(d)は露光／現像／第一のエッチング／レジスト剥離され、ゲート電極及びゲート配線が形成された断面図を示している。

図59(a)において、まず、透光性のガラス基板3010が用意される。

次に、図59(b)に示すように、ガラス基板3010にメタル成膜を行い、ゲート電極・配線用薄膜(ゲート電極及びゲート配線用薄膜) 3020が形成される。

[0221] 本実施形態では、ガラス基板3010上に、AlとMoがこれらの順に高周波スパッタリング法を用いて、積層される。そして、膜厚約250nm及び50nmの金属薄膜がそれぞれ形成される。次に、酸化インジウム－酸化亜鉛($\text{IZO}:\text{In}_2\text{O}_3:\text{ZnO}=\text{約}90:10\text{wt}\%$)からなるスパッタリングターゲットを用いて膜厚100nmの金属層保護用酸化物導電体層(適宜、酸化物保護膜と略称する。) 3026が形成され、Al/Mo/IZOから

なるゲート電極・配線用薄膜3020が形成される。

[0222] ここで、IZOやITSmOなどの透明導電膜が金属層保護用酸化物導電体層3026としてゲート配線3024の表面に配置される。これにより、ゲート絶縁膜3030に開口部3251が形成され、ゲート配線パッド3025が形成された場合、ゲート配線3024に使用した金属表面が露出しない。したがって、信頼性の高い接続が可能となる。

また、ゲート絶縁膜3030に開口部3251を形成する場合に、ゲート絶縁膜3030として SiN_x 、 SiON_x 、 SiO_2 などの絶縁物が使用される。 CHF (CF_4 、 CHF_3 など)を用いたリアクティブイオンエッチング法により開口部251が形成される場合、IZOなどの酸化物導電膜が、金属薄膜(Al/Mo 層)の保護膜にもなる。

[0223] 次に、図59(c)に示すように、ゲート電極・配線用薄膜3020上に、第一のレジスト3021が塗布される。

次に、図59(d)に示すように、第一のマスク3022を用いて、ホトリソグラフィ法により、所定の形状にレジスト(図示せず)が形成される。次に、蔭酸水溶液を用いて、金属層保護用酸化物導電体層3026がエッチングされる。次に、混酸(一般的に、 P 、 AN と呼ばれている。)を用いて、金属薄膜がエッチングされ、所望の形状のゲート電極3023及びゲート配線3024を形成する(図60参照)。図59(d)に示すゲート電極3023及びゲート配線3024は、図60における $\text{M}-\text{M}$ 断面及び $\text{N}-\text{N}$ 断面を示している。ここで、IZOは、混酸を用いてもエッチング可能であり、上記混酸を用いて金属薄膜と一括エッチングしてもよい。

[0224] 次に、図58に示すように、ガラス基板3010、ゲート電極3023及びゲート配線3024上に、ゲート絶縁膜3030、第一の酸化物層として n 型酸化物半導体層3040、第二の酸化物層として酸化物透明導電体層3050b、反射金属層3090及び第二のレジスト3091が順次積層され(ステップS3032)、第二のハーフトーンマスク3092及びハーフ露光によって、第二のレジスト3091が所定の形状に形成される(ステップS3033)。

次に、第二のハーフトーンマスク3092を用いた処理について、図面を参照して説明する。

[0225] (第二のハーフトーンマスクを用いた処理)

図61は、本発明の第九実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図である。(a)はゲート絶縁膜成膜／n型酸化物半導体層成膜／酸化物透明導電体層成膜／反射金属層成膜／金属層保護用酸化物導電体層成膜／レジスト塗布された断面図を示している。(b)はハーフトーン露光／現像された断面図を示している。

図61(a)において、まず、グロー放電CVD(化学蒸着法)法により、ガラス基板3010、ゲート電極3023及びゲート配線3024上に、窒化シリコン(SiN_x)膜であるゲート絶縁膜3030が膜厚約300nm堆積する。なお、本実施形態では、放電ガスとして、 $\text{SiH}_4 - \text{NH}_3 - \text{N}_2$ 系の混合ガスを用いる。

[0226] 次に、ゲート絶縁膜3030上に、酸化インジウム－酸化亜鉛－酸化ガリウム($\text{In}_2\text{O}_3 : \text{ZnO} : \text{Ga}_2\text{O}_3 = \text{約}70:3:27\text{wt}\%$)ターゲットを用いて、高周波スパッタリング法により、酸素約10%、アルゴン約90%、基板温度約200℃を超えない条件で(すなわち、n型酸化物半導体層3040を結晶化させない条件で)厚み約100nmのn型酸化物半導体層(活性層)3040が形成される。なお、このn型酸化物半導体層3040のエネルギーギャップは、約3.6eVであった。

[0227] また、上記n型酸化物半導体層3040において、酸化亜鉛の添加量は、約1～6wt%が好適であり、約2～5wt%がより好適である。この理由は、約1wt%未満では、キャリアー濃度が低下しない場合があるからであり、また、約6wt%を超えるとキャリアー濃度が低下しなくなったり、結晶化せず混酸への耐性が無くなったりするからである。

[0228] 次に、n型酸化物半導体層3040上に、酸化インジウム－酸化亜鉛－酸化スズ($\text{In}_2\text{O}_3 : \text{ZnO} : \text{SnO}_2 = \text{約}60:20:20\text{wt}\%$)ターゲットを用いて、高周波スパッタリング法により、酸素約1%、アルゴン約99%、さらに、酸化物透明導電体層3050bを結晶化させない条件で厚み約150nmの酸化物透明半導体層3050bが形成される。なお、この酸化物透明導電体層3050bのエネルギーギャップは、約3.2eVであった。

[0229] 次に、酸化物透明導電体層3050b上に、MoとAlとMoがこれらの順に高周波スパッタリング法を用いて、積層される。そして、それぞれ膜厚約50nm、200nm及び50nmに形成し、Mo／Al／Moからなる反射金属層3090が形成される。なお、反射金

属層3090としてAg, Auなどの金属薄膜や、Al, Ag, Auの少なくとも一つを含む合金薄膜を使用することもできる。また、Alと酸化物透明導電体層3050bとの接触抵抗が気にならない程度に小さい場合は、Moなどの金属を中間層に使用する必要はない。

[0230] 次に、酸化インジウム－酸化亜鉛（一般的に、IZOと呼ばれる。 $\text{In}_2\text{O}_3:\text{ZnO}$ =約90:10wt%）ターゲットを用いて、高周波スパッタリング法により、酸素約1%、アルゴン約99%の条件で厚み約150nmの金属層保護用酸化物導電体層3095（本実施形態では、IZO薄膜）が形成される。この金属層保護用酸化物導電体層3095により、反射金属層3090の変色などを防止でき、反射金属層3090の反射率が低下するといった不具合を防止することができる。

続いて、金属層保護用酸化物導電体層3095上に、第二のレジスト3091が積層される（ステップS3032）。

[0231] 次に、図61(b)に示すように、第二のハーフトーンマスク3092及びハーフトーン露光によって、第二のレジスト3091が所定の形状に形成される（図58のステップS3033）。第二のレジスト3091は、ゲート電極3023, ソース電極3053, ドレイン電極3054, ソース配線3055, ドレイン配線3056及び画素電極3057の上方を覆い、かつ、ハーフトーンマスク部3921によって、チャンネル部3041の上方を覆う部分が他の部分より薄い形状に形成される。

[0232] 図62は、本発明の第九実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は第二のエッチング／第三のエッチングされた断面図を示している。(b)は第二のレジストの再形成された断面図を示している。

図62(a)において、第二のレジスト3091及び混酸を用いて、金属層保護用酸化物導電体層3095と反射金属層3090に対して第二のエッチングを行い、さらに、第二のレジスト3091及び稀酸水溶液を用いて、酸化物透明導電体層3050b及びn型酸化物半導体層3040に対して第三のエッチングを行い、所望するソース配線3055, ドレイン配線3056及び画素電極3057が形成される（図58のステップS3034）。

[0233] 次に、図62(b)に示すように、上記第二のレジスト3091が再形成される（図58のス

トップS3035)。すなわち、まず、同図(b)に示すように、第二のレジスト3091のうちハーフトーン露光により薄く形成されたチャンネル部3041上のレジストがアッシングされ、第二のレジスト3091が再形成される。

[0234] 次に、再形成した第二のレジスト3091を用いて、ゲート電極3023の上方の金属層保護用酸化物導電体層3095、反射金属層3090及び酸化物透明導電体層3050bが選択的にエッチングされ、ソース電極3053及びドレイン電極3054が形成される(図58のステップS3035)。

次に、ソース電極3053及びドレイン電極3054を形成する処理について、図面を参照して説明する。

[0235] 図63は、本発明の第九実施形態にかかるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は第四のエッチング／第五のエッチングされた断面図を示している。(b)は第二のレジスト剥離された断面図を示している。

図63(a)において、再形成された第二のレジスト3091及び混酸を用いて、ゲート電極3023の上方の金属層保護用酸化物導電体層3095と反射金属層3090に対して第四のエッチングが行われる。次に、再形成された第二のレジスト3091及び蔭酸水溶液を用いて、酸化物透明導電体層3050bに対して第五のエッチングが選択的に行われる(すなわち、チャンネル部3041となるn型酸化物半導体層3040を溶解させることなくエッチングする。)。上記エッチングによって、ゲート電極3023の上方のn型酸化物半導体層3040にチャンネル部3041が形成される。

[0236] 次に、図63(b)に示すように、再形成された第二のレジスト3091を全てアッシングすると、ソース電極3053上、ドレイン電極3054上、ソース配線3055上、ドレイン配線3056上及び画素電極3057上に形成された反射金属層3090の金属層保護用酸化物導電体層3095が露出する。ここで、ソース電極3053上、ドレイン電極3054上、ソース配線3055上及びドレイン配線3056上に形成された反射金属層3090は、補助電極層として機能し、反射金属層3090からなるソース電極用補助電極3531b、ドレイン電極用補助電極3541b、ソース配線用補助配線3551b、ドレイン配線用補助配線3561bとなる。(図64参照)。図63(b)に示す、ドレイン電極3054、チャン

ネル部3041, ソース電極3053, ソース配線3055及び画素電極3057は、図64におけるO-O断面を示している。図63(b)に示すド레인配線3056は、図64におけるP-P断面を示している。

- [0237] 次に、図58に示すように、露出したゲート絶縁膜3030及びn型酸化物半導体層3040上、並びに、ソース配線3055, ド레인配線3056, ソース電極3053, ド레인電極3054及び画素電極3057の上方に形成された金属層保護用酸化物導電体層3095上に、保護用絶縁膜3070及び第三のレジスト3071bが順次積層され(ステップS3036)、第三のハーフトーンマスク3072bを用いて、第三のレジスト3071bが所定の形状に形成される(ステップS3037)。

次に、第三のハーフトーンマスク3072bを用いた処理について、説明する。

- [0238] (第三のハーフトーンマスクを用いた処理)

図65は、本発明の第九実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は保護用絶縁膜成膜／第三のレジスト塗布された断面図を示している。(b)はハーフトーン露光／現像された断面図を示している。

図65(a)において、まず、チャンネル部3041が形成されたTFT基板に、グロー放電(CVD)法により、窒化シリコン(SiN_x)膜である保護用絶縁膜3070bが膜厚約200nm堆積する。放電ガスとしては、 $\text{SiH}_4 - \text{NH}_3 - \text{N}_2$ 系の混合ガスを用いる。次に、保護用絶縁膜3070b上に、第三のレジスト3071bが積層される(ステップS3036)。

- [0239] 次に、図65(b)に示すように、第三のハーフトーンマスク3072bによって、第三のレジスト3071bが所定の形状に形成される(ステップS3037)。第三のレジスト3071bは、反射金属部3094を除く画素電極3057の部分及びゲート配線パッド3025の上方を除く全ての保護用絶縁膜3070を覆う形状に形成され、かつ、ハーフトーンマスク部3721bによって、ド레인配線パッド3068及び反射金属部3094の上方の部分が他の部分より薄い形状に形成される。

- [0240] 図66は、本発明の第九実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は第六のエッチングされた断面図を示している。(b)は第七のエッチングされた断面図を示している。

図66(a)において、第六のエッチングとして、第三のレジスト3071b及びCHF(CF₄, CHF₃ ガスなど)を用いて、反射金属部3094を除く画素電極3057の部分及びゲート配線パッド3025の上方の保護用絶縁膜3070がドライエッチングされる(図58のステップS3038)。なお、反射金属部3094を除く画素電極3057の部分の上方の保護用絶縁膜3070は、全てエッチングされるが、ゲート配線パッド3025の上方の保護用絶縁膜3070は、通常、一部がエッチングされずに残っている。

[0241] 次に、図66(b)に示すように、第七のエッチングとして、第三のレジスト3071b及び混酸を用いて、反射金属部3094を除く画素電極3057の部分の上方の金属層保護用酸化物導電体層3095と反射金属層3090をエッチングし、反射金属部3094を除く画素電極3057の部分を露出させる(図58のステップS3039)。

[0242] 図67は、本発明の第九実施形態にかかるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図である。(a)は第三のレジストの再形成された断面図を示している。(b)は第八のエッチング／第三のレジスト剥離された断面図を示している。

図67(a)において、上記第三のレジスト3071bが再形成される。すなわち、第三のレジスト3071bのうちハーフトーン露光により薄く形成された反射金属部3094及びドレイン配線パッド3058の上方のレジストをアッシングし、第三のレジスト3071bが再形成される。

[0243] 次に、第八のエッチングとして、再形成された第三のレジスト3071b及びCHF(CF₄, CHF₃ ガスなど)を用いて、反射金属部3094及びドレイン配線パッド3058上の保護用絶縁膜3070をドライエッチングするとともに、ゲート配線パッド25上の保護用絶縁膜70及びゲート絶縁膜30をドライエッチングし、反射金属部3094、ドレイン配線パッド3058及びゲート配線パッド3025を露出させる(図58のステップS3040)。

[0244] 次に、第三のレジスト3071bをアッシングすると、図68に示すように、基板3010上に、画素電極3057, 反射金属部3094, ドレイン配線パッド3058及びゲート配線パッド3025上を除き、保護用絶縁膜3070が露出する。図67(b)に示す、ドレイン電極3054, チャンネル部3041, ゲート電極3053, ソース電極3053, ソース配線3055, 反射金属部3094及び画素電極3057は、図68におけるQ-Q断面を示している。

図67(b)に示すドレイン配線パッド3058は、図68におけるR-R断面を示している。

図67(b)に示すゲート配線パッド25は、図68におけるS-S断面を示している。

- [0245] このように、本実施形態のTFT基板3001bの製造方法によれば、第七実施形態とほぼ同様の効果を有するとともに、チャンネルエッチ型かつ半反射型のTFT基板3001bを製造することができる。また、ソース電極3053、ドレイン電極3054、ソース配線3055、反射金属部3054及びドレイン配線3056の上部に反射金属層3090が形成されるので、ソース電極3053、ドレイン電極3054、ソース配線3055及びドレイン配線3056の電気抵抗を低減することができ、信頼性を向上させることができるとともに、エネルギー効率の低下を抑制することができる。

なお、本実施形態では、反射金属部3094を除く画素電極3067の部分が、酸化物透明導電体層3050bからなり、この部分を介して光を透過させて使用する場合、TFT基板3001bを半透過型のTFT基板として使用することができる。

- [0246] また、本実施形態は、TFT基板の発明としても有効であり、上記TFT基板3001bは、請求項1、22～34に対応する。

- [0247] TFT基板3001bは、TFT基板3001と比べると、図67(b)、68に示すように、画素電極3057の一部が、反射金属層3090からなる反射金属部3094によって覆われている点が相違する。

なお、その他の構造は、ほぼ第七実施形態のTFT基板3001とほぼ同様としてある。

- [0248] また、TFT基板3001bは、反射金属層3090によって、ソース配線3055、ドレイン配線3056、ソース電極3053及びドレイン電極3054が形成された構成としてある。このようにすると、より多くの光を反射することができ、反射光による輝度を向上させることができる。

- [0249] さらに、反射金属層3090をAlからなる薄膜としてあるので、より多くの光を反射することができ、反射光による輝度を向上させることができる。

- [0250] また、TFT基板3001bは、反射金属層3090を保護する金属層保護用酸化物導電体層3095を有する構成としてある。このようにすると、反射金属層3090の腐蝕を防ぐとともに、耐久性を向上させることができる。たとえば、反射金属層3090の変色

などを防止でき、反射金属層3090の反射率が低下するといった不具合を防止することができる。

[0251] さらに、第二の酸化物層として、酸化物透明導電体層3050bを用いており、ソース配線3055、ドレイン配線3056、ソース電極3053、ドレイン電極3054及び画素電極3057が、酸化物透明導電体層3050bよりなる構成としてある。このようにすると、光の透過量が増大するので、輝度の優れた表示装置を提供することができる。

[0252] このように本実施形態のTFT基板3001bは、TFT基板3001とほぼ同様の効果を有するとともに、表示装置とした際に、輝度の優れた半透過型のTFT基板又は半反射型のTFT基板を提供することができる。

[0253] 上述したように、本発明の請求項22～38によれば、三枚のマスクを用いて、補助導電層及び保護用絶縁膜を有するTFT基板を製造することができ、マスク数が削減され製造工程が削減される。これにより、生産効率の向上及び製造原価のコストダウンを図ることができる。また、チャンネル部の第一の酸化物層の上部が、保護用絶縁膜により保護されているので、TFT基板は、長期間安定して作動することができる。さらに、ゲート配線どうしが干渉する(クロストーク)といった心配を排除することができる。また、補助導電層により各配線や電極の電気抵抗を低減することができ、信頼性を向上させることができるとともに、エネルギー効率の低下を抑制することができる。さらに、長期間にわたり安定に作動し、かつ、クロストークを防止することができる半透過型のTFT基板又は半反射型のTFT基板を提供することができる。

[0254] 以上、本発明のTFT基板及びTFT基板の製造方法について、好ましい実施形態を示して説明したが、本発明に係るTFT基板及びTFT基板の製造方法は、上述した実施形態にのみ限定されるものではなく、本発明の範囲で種々の変更実施が可能であることは言うまでもない。

たとえば、図示していないが、TFT基板2001、2001aにおいて、ガラス基板2010上に、ゲート絶縁膜2030／n型酸化物半導体層2040／保護用絶縁膜2070のみが積層された範囲(すなわち、ゲート電極2023、ゲート配線2024、ソース電極2053、ドレイン電極2054、ソース配線2055、ドレイン配線2056及び画素電極2057から外れた範囲)は、ゲート配線パッド2025上のゲート絶縁膜2030／n型酸化物半導体

層2040／保護用絶縁膜2070をエッチングする際、これと同様にエッチングしてもよい。これにより、ガラス基板2010の下面からの光の透過量を増大させることができる。

[0255] また、上記各実施形態に用いたn型酸化物半導体層や酸化物導電体層、酸化物透明導電体層は、上記材料に限定されるものではない。

すなわち、n型酸化物半導体層の材料としては、酸化インジウム、酸化亜鉛、酸化錫、酸化インジウム－酸化亜鉛、酸化亜鉛－酸化錫、酸化インジウム－酸化亜鉛－酸化錫、酸化インジウム－酸化亜鉛－酸化ガリウムなど、あるいは、これらに絶縁性透明酸化物を添加したものなどをあげることができる。なお、絶縁性透明酸化物として、酸化イットリウム、酸化チタン、酸化ジルコニウム、酸化ハフニウム、酸化ニオブ、酸化タンタル、酸化硼素、酸化アルミニウム、酸化珪素、酸化ゲルマニウム、ランタノイド系元素の酸化物などがあげられる。

[0256] さらに、n型酸化物半導体層として、上記の酸化物を使用する場合、そのキャリア密度を $10^{+17}/\text{cm}^3$ 以下にすることが重要となる。この場合、大量の酸素存在下に成膜したり、酸素の存在下に熱処理することにより酸素欠損によるキャリアを減らす方法や、キャリア密度を低下させる目的で、酸化インジウムに酸化亜鉛を添加した場合や、酸化錫に酸化インジウムを添加する場合など、荷電子制御により行うこともできる。また、それらの組み合わせも効果的である。

また、酸化物導電体層、酸化物透明導電体層の材料としては、酸化インジウム、酸化亜鉛、酸化錫、酸化インジウム－酸化亜鉛、酸化亜鉛－酸化錫、酸化インジウム－酸化亜鉛－酸化錫などをあげることができる。酸化物導電体層、酸化物透明導電体層として、上記の酸化物を使用する場合、そのキャリア密度を $10^{+20}/\text{cm}^3$ 以上にすることが重要となる。

産業上の利用可能性

[0257] 本発明のTFT基板及びTFT基板の製造方法は、LCD(液晶表示装置)や有機EL表示装置に使用されるTFT基板及びTFT基板の製造方法に限定されるものではなく、たとえば、LCD(液晶表示装置)や有機EL表示装置以外の表示装置、あるいは、他の用途に使用されるTFT基板及びTFT基板の製造方法としても、本発明を適用することが可能である。

請求の範囲

- [1] 基板と、
この基板の上方に形成されたゲート電極及びゲート配線と、
少なくとも前記ゲート電極及び前記ゲート配線の上方に、形成されたゲート絶縁膜と、
少なくとも前記ゲート電極の上方の前記ゲート絶縁膜の上方に、形成された第一の酸化物層と、
前記第一の酸化物層の上方に形成された第二の酸化物層と
を具備するTFT基板であって、
前記第二の酸化物層によって、少なくとも画素電極が形成されたことを特徴とするTFT基板。
- [2] 前記第二の酸化物層によって、前記画素電極と、ソース電極及びドレイン電極と、
ソース配線及びドレイン配線が形成されたことを特徴とする請求項1に記載のTFT基板。
- [3] 前記第一の酸化物層は、前記第一の酸化物層及び前記第二の酸化物層のエッチング速度が、前記ゲート絶縁膜のエッチング速度より速いエッチング法Aによりエッチングされ、前記第二の酸化物層のエッチング速度が、前記第一の酸化物層及び前記ゲート絶縁膜のエッチング速度より速いエッチング法Bに対して耐性を有する材質で形成され、
前記第二の酸化物層は、前記エッチング法A及び前記エッチング法Bによりエッチングされる材質で形成され、
前記ゲート絶縁膜は、前記ゲート絶縁膜のエッチング速度が、前記第一の酸化物層及び前記第二の酸化物層のエッチング速度より速いエッチング法Cによりエッチングされ、前記エッチング法A及び前記エッチング法Bに対して耐性を有する材質で形成されることを特徴とする請求項2に記載のTFT基板。
- [4] 前記ソース電極、ドレイン電極、ソース配線及びドレイン配線上に、補助配線又は補助電極を形成したことを特徴とする請求項2又は3に記載のTFT基板。
- [5] 前記第一の酸化物層及び前記第二の酸化物層が、上記請求項3のエッチング法B

に対して耐性を有し、前記補助配線及び前記補助電極が、前記エッチング法Bによりエッチングされることを特徴とする請求項4に記載のTFT基板。

[6] 前記画素電極が、前記第一の酸化物層と前記第二の酸化物層とからなることを特徴とする請求項1に記載のTFT基板。

[7] 前記第一の酸化物層がn型酸化物半導体層であり、前記第二の酸化物層が酸化物導電体層であることを特徴とする請求項2～6のいずれか一項に記載のTFT基板。

[8] 基板の上方に、第一のマスクを用いて、ゲート電極及びゲート配線を形成する工程と、

前記基板、前記ゲート電極及び前記ゲート配線の上方に、ゲート絶縁膜、第一の酸化物層、第二の酸化物層及びレジストを、この順に積層する工程と、

第二のマスクを用いて、ハーフトーン露光によって、前記レジストを所定の形状に形成する工程と、

前記第一の酸化物層と前記第二の酸化物層とを選択的にエッチングして、ソース配線、ドレイン配線及び画素電極を形成する工程と、

前記レジストを所定の形状に再形成する工程と、

前記第二の酸化物層を選択的にエッチングして、ソース電極、ドレイン電極及びチャンネル部を形成する工程と、

前記ゲート絶縁膜を選択的にエッチングして、ゲート配線パッドを形成する工程とを有することを特徴とするTFT基板の製造方法。

[9] 前記第一の酸化物層及び前記第二の酸化物層の選択的エッチングは、前記第一の酸化物層及び前記第二の酸化物層のエッチング速度が、前記ゲート絶縁膜のエッチング速度より速いエッチング法Aを用いて行い、

前記第二の酸化物層の選択的エッチングは、前記第二の酸化物層のエッチング速度が、前記第一の酸化物層及び前記ゲート絶縁膜のエッチング速度より速いエッチング法Bを用いて行い、

前記ゲート絶縁膜の選択エッチングは、前記ゲート絶縁膜のエッチング速度が、前記第一の酸化物層及び前記第二の酸化物層のエッチング速度より速いエッチング

法Cを用いて行う

ことを特徴とする請求項8に記載のTFT基板の製造方法。

- [10] 基板の上方に、第一のマスクを用いて、ゲート電極及びゲート配線を形成する工程と、

前記基板、前記ゲート電極及び前記ゲート配線の上方に、ゲート絶縁膜、第一の酸化物層、第二の酸化物層及びレジストを、この順に積層する工程と、

第二のマスクを用いて、ハーフトーン露光によって、前記レジストを所定の形状に形成する工程と、

前記第一の酸化物層と、前記第二の酸化物層と、前記ゲート絶縁膜をエッチングして、ソース配線、ドレイン配線、画素電極及びゲート配線パッドを形成する工程と、

前記レジストを所定の形状に再形成する工程と、

前記第二の酸化物層を選択的にエッチングして、ソース電極、ドレイン電極及びチャンネル部を形成する工程と

を有することを特徴とするTFT基板の製造方法。

- [11] 前記ソース配線、前記ドレイン配線、前記ソース電極及び前記ドレイン電極の上方に、第三のマスクを用いて、補助配線又は補助電極を形成する工程を有することを特徴とする請求項8～10のいずれか一項に記載のTFT基板の製造方法。

- [12] 前記補助配線又は補助電極を形成する工程は、熱処理により、前記第一の酸化物層及び前記第二の酸化物層のエッチング特性が変化した後に、補助配線層又は補助電極層が、第三のマスクを用いてエッチングされることを特徴とする請求項11に記載のTFT基板の製造方法。

- [13] 前記第一の酸化物層がn型酸化物半導体層であり、前記第二の酸化物層が酸化物導電体層であることを特徴とする請求項8～12のいずれか一項に記載のTFT基板の製造方法。

- [14] 前記画素電極、ソース・ドレイン配線パッド及びゲート配線パッドが露出した状態で、前記ゲート電極及びゲート配線の上方、並びに、ソース配線、ドレイン配線、ソース電極及びドレイン電極の上方に形成された保護用絶縁膜を備え、前記第二の酸化物層によって、前記ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電

極が形成されたことを特徴とする請求項1に記載のTFT基板。

- [15] 前記第一の酸化物層が、n型酸化物半導体層であり、かつ、前記第二の酸化物層が、酸化物導電体層であることを特徴とする請求項14に記載のTFT基板。
- [16] 前記画素電極が、前記第一の酸化物層と第二の酸化物層との積層膜よりなることを特徴とする請求項14又は15に記載のTFT基板。
- [17] 少なくとも前記第二の酸化物層の基板側に、前記第一の酸化物層が形成されたことを特徴とする請求項14～16のいずれか一項に記載のTFT基板。
- [18] 前記ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極の少なくとも一つの上に、補助導電層を形成したことを特徴とする請求項14～17のいずれか一項に記載のTFT基板。
- [19] 前記第一の酸化物層及び第二の酸化物層のエネルギーギャップが、3.0eV以上であることを特徴とする請求項14～18のいずれか一項に記載のTFT基板。
- [20] 基板上に、第一のマスクを用いて、ゲート電極及びゲート配線を形成する工程と、
前記基板、ゲート電極及びゲート配線上に、ゲート絶縁膜、第一の酸化物層、第二の酸化物及び第二のレジストを順次積層し、第二のマスクを用いて、前記第二のレジストを所定の形状に形成する工程と、
前記第二のレジストを用いて、前記第二の酸化物層をエッチングして、ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極を形成する工程と、
前記第一の酸化物層、ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極上に保護用絶縁膜及び第三のレジストを順次積層し、ハーフトーン露光によって、前記第三のレジストを所定の形状に形成する工程と、
前記第三のレジストを用いて、ゲート配線パッド上の前記保護用絶縁膜及び第一の酸化物層をエッチングする工程と、
前記第三のレジストを再形成した後、該第三のレジストを用いて、前記画素電極及びソース・ドレイン配線用パッド上の前記保護用絶縁膜、並びに、前記ゲート配線パッド上の前記ゲート絶縁膜を選択的にエッチングし、前記画素電極、ソース・ドレイン配線用パッド及びゲート配線パッドを露出させる工程と
を有することを特徴とするTFT基板の製造方法。

- [21] 基板上に、第一のマスクを用いて、ゲート電極及びゲート配線を形成する工程と、
前記基板、ゲート電極及びゲート配線上に、ゲート絶縁膜、第一の酸化物層、第二の酸化物、補助導電層及び第二のレジストを順次積層し、ハーフトーン露光によって、前記第二のレジストを所定の形状に形成する工程と、
前記第二のレジストを用いて、前記補助導電層及び第二の酸化物層をエッチングして、ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極を形成するとともに、前記補助導電層からなる補助配線及び補助電極を形成する工程と、
前記第二のレジストを再形成した後、該第二のレジストを用いて、前記画素電極上の前記補助導電層を選択的にエッチングし、前記画素電極を露出させる工程と、
前記第一の酸化物層及び画素電極上、並びに、前記ソース配線、ドレイン配線、ソース電極及びドレイン電極上に形成された前記補助導電層上に、保護用絶縁膜及び第三のレジストを順次積層し、ハーフトーン露光によって、第三のレジストを所定の形状に形成する工程と、
前記第三のレジストを用いて、前記ゲート配線パッド上の前記保護用絶縁膜及び第一の酸化物層をエッチングする工程と、
前記第三のレジストを再形成した後、該第三のレジストを用いて、前記画素電極及びソース・ドレイン配線用パッド上の前記保護用絶縁膜、並びに、前記ゲート配線パッド上の前記ゲート絶縁膜を選択的にエッチングし、前記画素電極、ソース・ドレイン配線用パッド及びゲート配線パッドを露出させる工程と
を有することを特徴とするTFT基板の製造方法。
- [22] 前記第二の酸化物層によって、少なくとも前記画素電極及び該画素電極と接続されたソース・ドレイン電極が形成されたことを特徴とする請求項1に記載のTFT基板。
- [23] 前記TFT基板の上方が保護用絶縁膜によって覆われ、かつ、前記保護用絶縁膜が、各画素電極、ソース・ドレイン配線パッド及びゲート配線パッドに対応する位置に開口部を有することを特徴とする請求項22に記載のTFT基板。
- [24] 前記第一の酸化物層が、n型酸化物半導体層であり、かつ、前記第二の酸化物層が、酸化物導電体層であることを特徴とする請求項22又は23に記載のTFT基板。
- [25] 前記画素電極が、前記第一の酸化物層と第二の酸化物層との積層膜よりなることを

特徴とする請求項22～24のいずれか一項に記載のTFT基板。

- [26] 少なくとも前記第二の酸化物層の基板側に、前記第一の酸化物層が形成されたことを特徴とする請求項22～25のいずれか一項に記載のTFT基板。
- [27] 前記ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極の少なくとも一つの上方に、補助導電層を形成したことを特徴とする請求項22～26のいずれか一項に記載のTFT基板。
- [28] 前記第一の酸化物層が、前記チャンネル部、ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極に対応する所定の位置に形成されたことを特徴とする請求項22～27のいずれか一項に記載のTFT基板。
- [29] 前記第一の酸化物層及び／又は第二の酸化物層のエネルギーギャップが、3.0eV以上であることを特徴とする請求項22～28のいずれか一項に記載のTFT基板。
- [30] 前記画素電極の一部が、反射金属層により覆われていることを特徴とする請求項22～29のいずれか一項に記載のTFT基板。
- [31] 前記反射金属層によって、ソース配線、ドレイン配線、ソース電極及びドレイン電極の少なくとも一つが形成されることを特徴とする請求項30に記載のTFT基板。
- [32] 前記反射金属層が、アルミニウム、銀若しくは金からなる薄膜、又は、アルミニウム、銀若しくは金を含む合金層からなることを特徴とする請求項30又は31に記載のTFT基板。
- [33] 前記TFT基板が金属層を備え、前記金属層を保護する金属層保護用酸化物導電体層を有することを特徴とする請求項22～32のいずれか一項に記載のTFT基板。
- [34] 前記TFT基板が、ゲート電極、ゲート配線、ソース配線、ドレイン配線、ソース電極、ドレイン電極又は画素電極のうち、少なくとも一以上を備え、前記ゲート電極、ゲート配線、ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極の少なくとも一つが、酸化物透明導電体層よりなることを特徴とする請求項22～33のいずれか一項に記載のTFT基板。
- [35] 基板の上方に、第一のマスクを用いて、ゲート電極及びゲート配線を形成する工程と、
前記基板、ゲート電極及びゲート配線の上方に、ゲート絶縁膜、第一の酸化物層、

第二の酸化物層及び第二のレジストを積層し、ハーフトーン露光によって、前記第二のレジストを所定の形状に形成する工程と、

前記第二のレジストを用いて、前記第二の酸化物層及び第一の酸化物層をエッチングして、ソース配線、ドレイン配線及び画素電極を形成する工程と、

前記第二のレジストを再形成した後、該第二のレジストを用いて、前記ゲート電極の上方の前記第二の酸化物層を選択的にエッチングし、ソース電極及びドレイン電極を形成する工程と、

露出した前記ゲート絶縁膜及び第一の酸化物層の上方、並びに、前記ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極の上方に、保護用絶縁膜及び第三のレジストを積層し、第三のマスクを用いて、第三のレジストを所定の形状に形成する工程と、

前記第三のレジストを用いて、前記画素電極及びソース・ドレイン配線パッドの上方の前記保護用絶縁膜、並びに、前記ゲート配線パッドの上方の前記保護用絶縁膜及びゲート絶縁膜をエッチングし、前記画素電極、ソース・ドレイン配線パッド及びゲート配線パッドを露出させる工程と

を有することを特徴とするTFT基板の製造方法。

[36] 基板の上方に、第一のマスクを用いて、ゲート電極及びゲート配線を形成する工程と、

前記基板、ゲート電極及びゲート配線の上方に、ゲート絶縁膜、第一の酸化物層、第二の酸化物層、補助導電層及び第二のレジストを積層し、ハーフトーン露光によって、前記第二のレジストを所定の形状に形成する工程と、

前記第二のレジストを用いて、前記補助導電層、第二の酸化物層及び第一の酸化物層をエッチングして、ソース配線、ドレイン配線及び画素電極を形成するとともに、前記補助導電層からなる補助配線を形成する工程と、

前記第二のレジストを再形成した後、該第二のレジストを用いて、前記ゲート電極の上方の前記補助導電層及び第二の酸化物層を選択的にエッチングし、ソース電極及びドレイン電極を形成するとともに、前記補助導電層からなる補助電極を形成する工程と、

露出した前記ゲート絶縁膜及び第一の酸化物層の上方、並びに、前記ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極の上方に形成された前記補助導電層の上方に、保護用絶縁膜及び第三のレジストを積層し、第三のマスクを用いて、第三のレジストを所定の形状に形成する工程と、

前記第三のレジストを用いて、前記画素電極及びソース・ドレイン配線パッドの上方の前記保護用絶縁膜、並びに、前記ゲート配線パッドの上方の前記保護用絶縁膜をエッチングし、前記画素電極及びソース・ドレイン配線パッドの上方の前記補助導電層を露出させる工程と、

前記第三のレジストを用いて、露出した前記画素電極及びソース・ドレイン配線パッドの上方の前記補助導電層をエッチングし、前記画素電極及びソース・ドレイン配線パッドを露出させる工程と、

前記第三のレジストを用いて、前記ゲート配線パッドの上方の前記ゲート絶縁膜をエッチングし、前記ゲート配線パッドを露出させる工程と

を有することを特徴とするTFT基板の製造方法。

[37] 基板の上方に、第一のマスクを用いて、ゲート電極及びゲート配線を形成する工程と、

前記基板、ゲート電極及びゲート配線の上方に、ゲート絶縁膜、第一の酸化物層、第二の酸化物層、反射金属層及び第二のレジストを積層し、ハーフトーン露光によって、前記第二のレジストを所定の形状に形成する工程と、

前記第二のレジストを用いて、前記反射金属層、第二の酸化物層及び第一の酸化物層をエッチングして、ソース配線、ドレイン配線及び画素電極を形成する工程と、

前記第二のレジストを再形成した後、該第二のレジストを用いて、前記ゲート電極の上方の前記反射金属層及び第二の酸化物層を選択的にエッチングし、ソース電極及びドレイン電極を形成する工程と、

露出した前記ゲート絶縁膜及び第一の酸化物層の上方、並びに、前記ソース配線、ドレイン配線、ソース電極、ドレイン電極及び画素電極の上方に形成された前記反射金属層の上方に、保護用絶縁膜及び第三のレジストを積層し、ハーフトーン露光によって、第三のレジストを所定の形状に形成する工程と、

前記第三のレジストを用いて、前記画素電極の一部を露出させるとともに、前記反射金属層からなる反射金属部を形成する工程と、

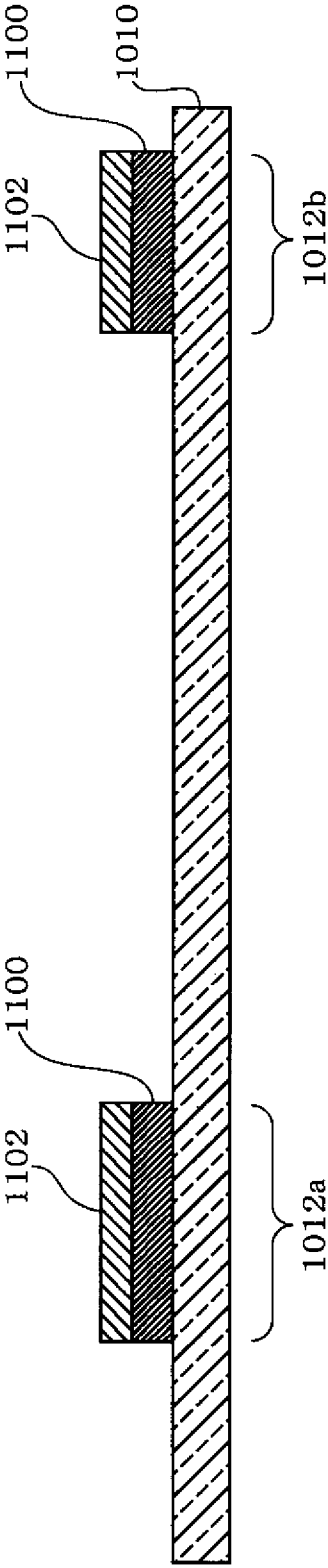
前記第三のレジストを所定の形状に再形成する工程と、

前記反射金属部及びソース・ドレイン配線パッドの上方の前記保護用絶縁膜、並びに、前記ゲート配線パッドの上方の前記保護用絶縁膜及びゲート絶縁膜をエッチングし、前記反射金属部、ソース・ドレイン配線パッド及びゲート配線パッドを露出させる工程と

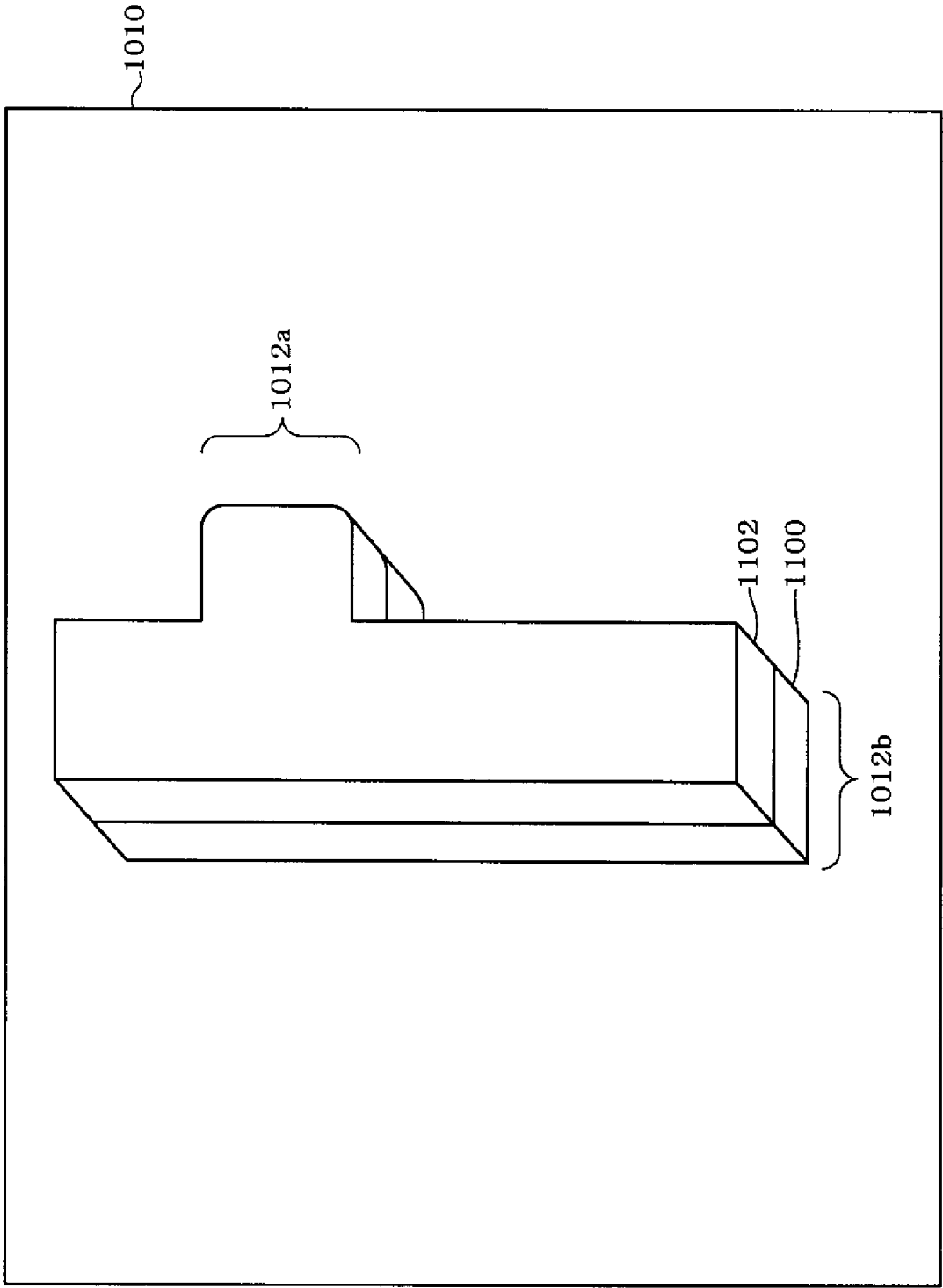
を有することを特徴とするTFT基板の製造方法。

- [38] 前記反射金属層の上方に、該反射金属層を保護する金属層保護用酸化物導電体層を形成することを特徴とする請求項37に記載のTFT基板の製造方法。

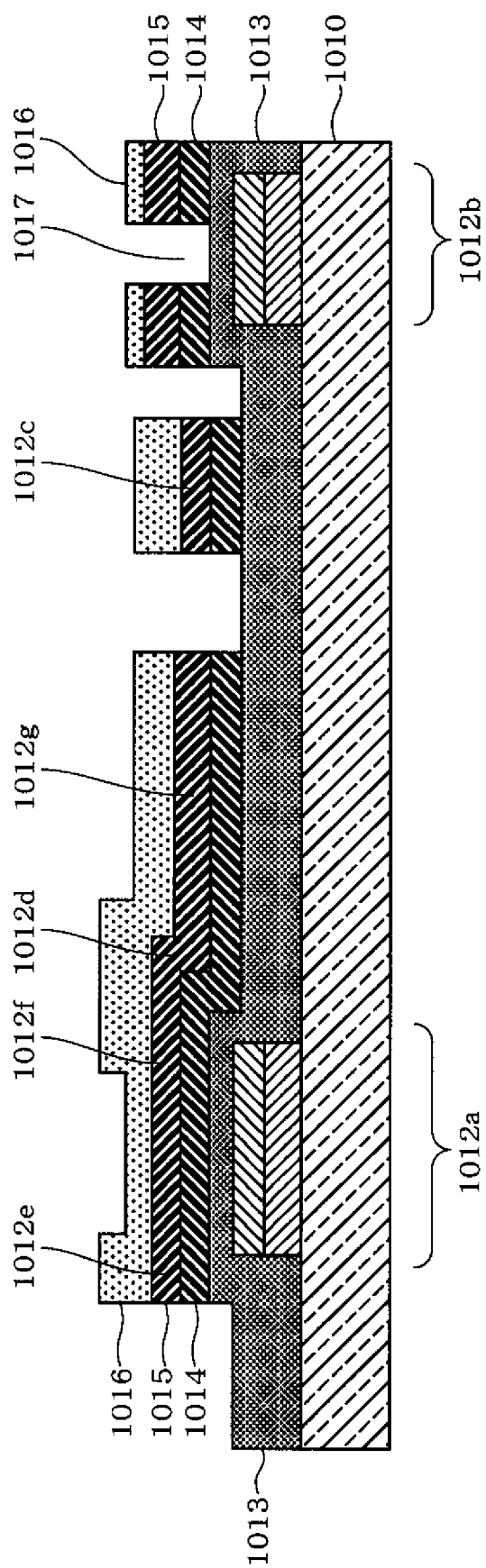
[図1]



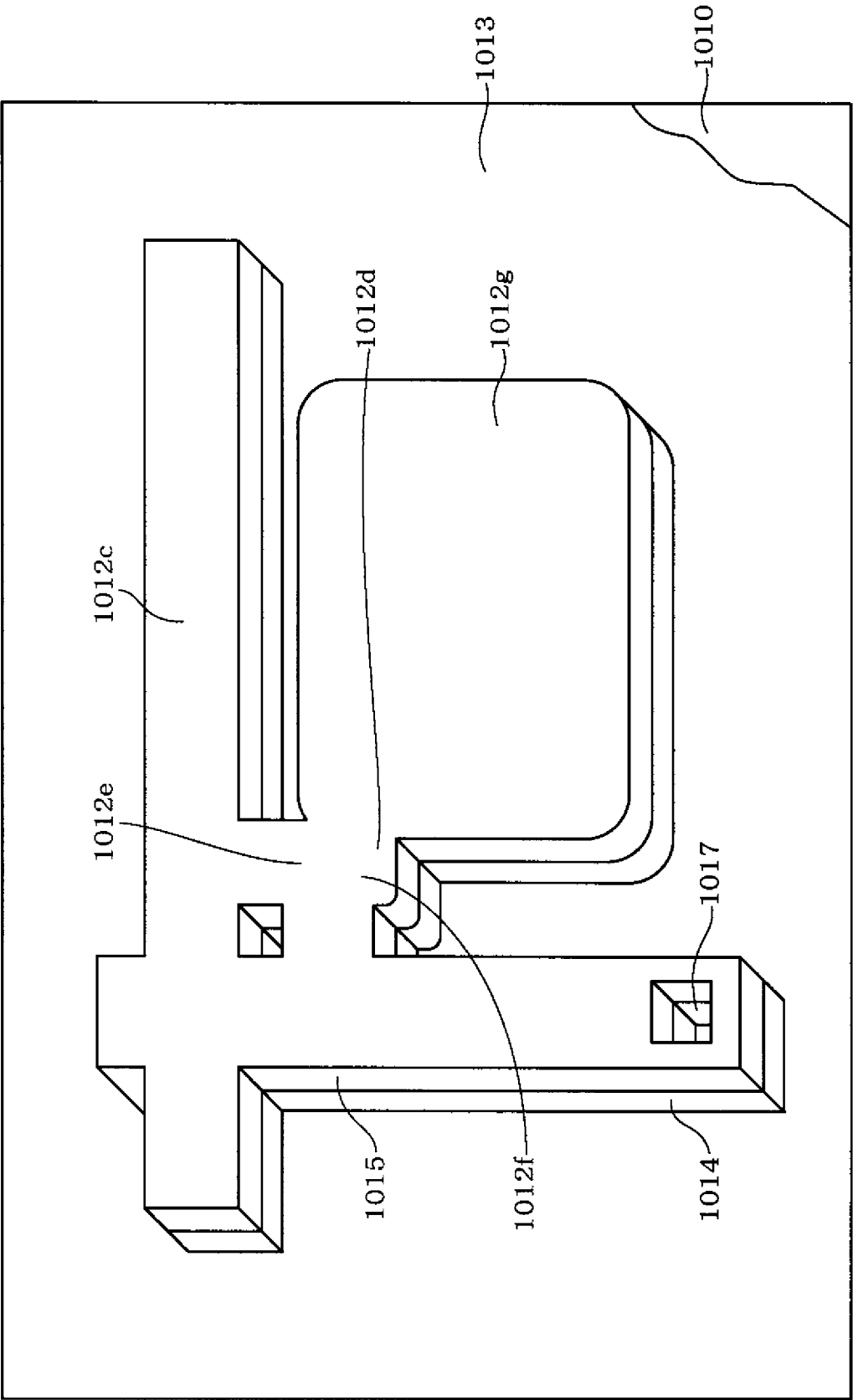
[図2]



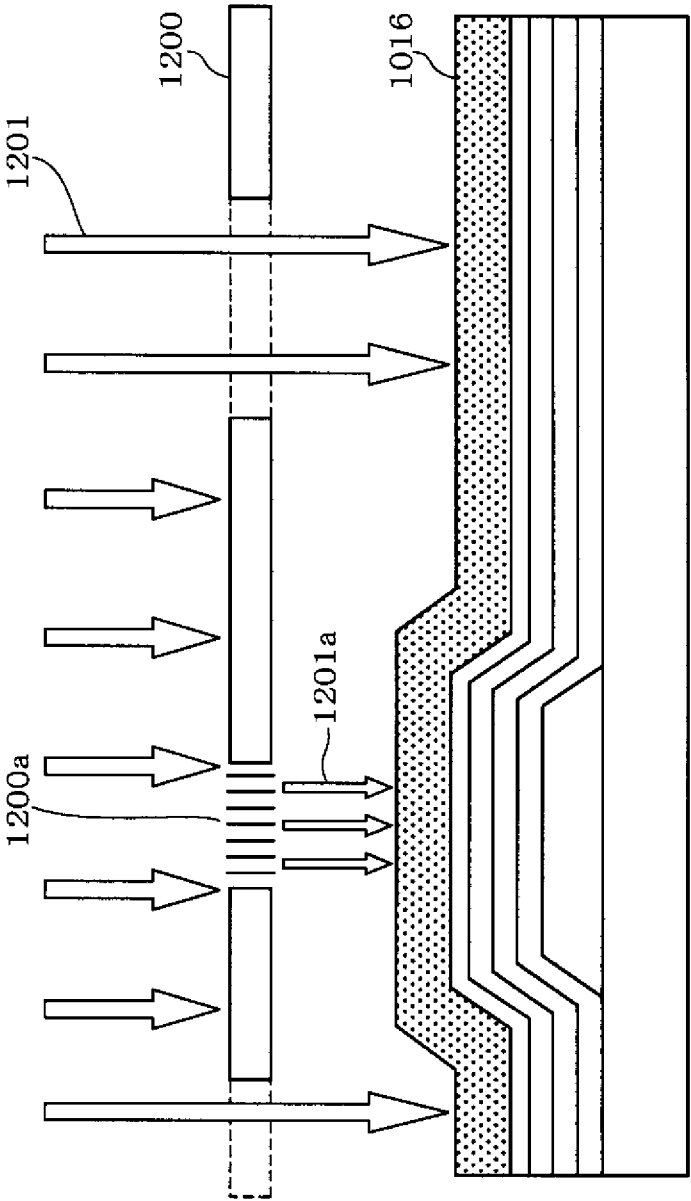
[図3]



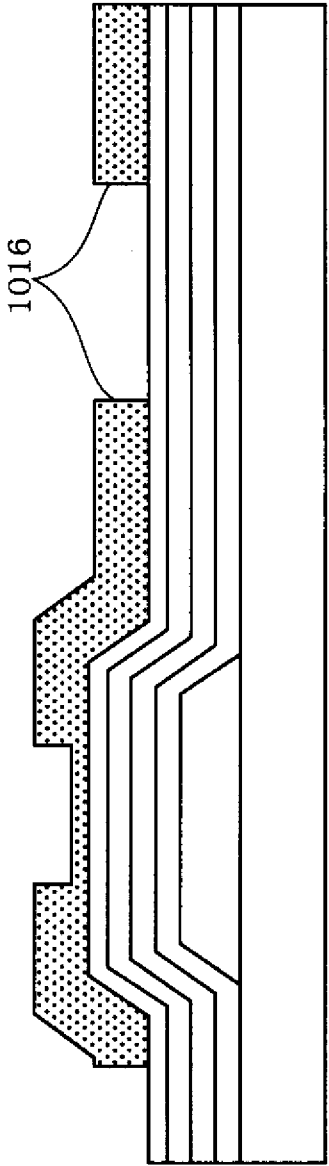
[図4]



[図5]

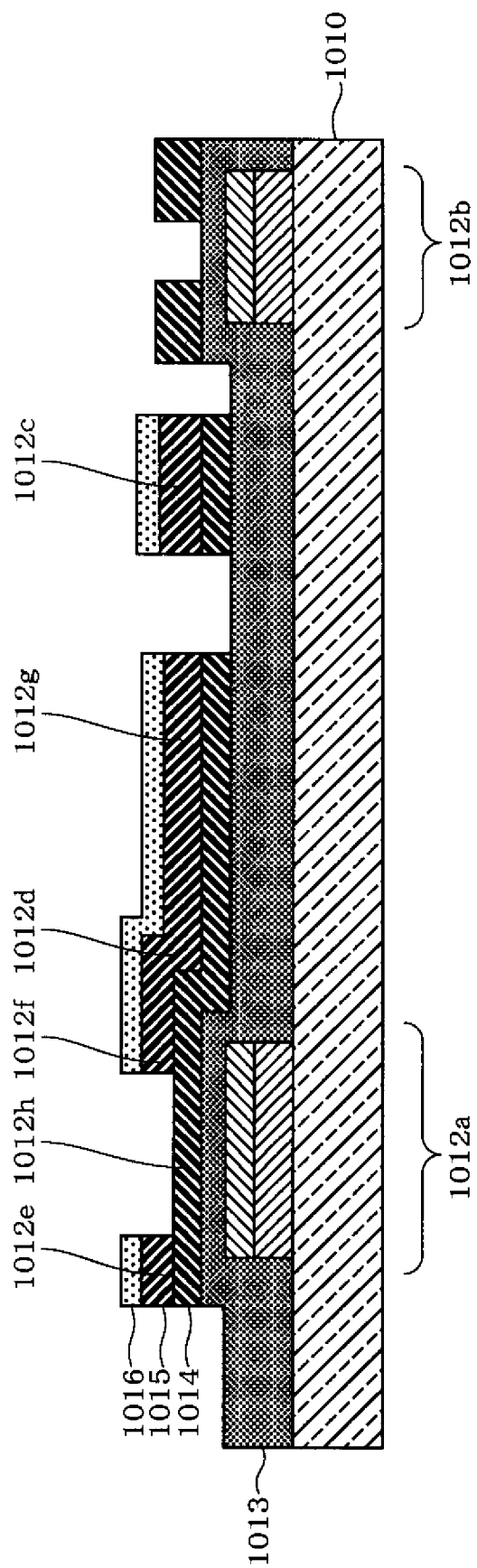


(a)

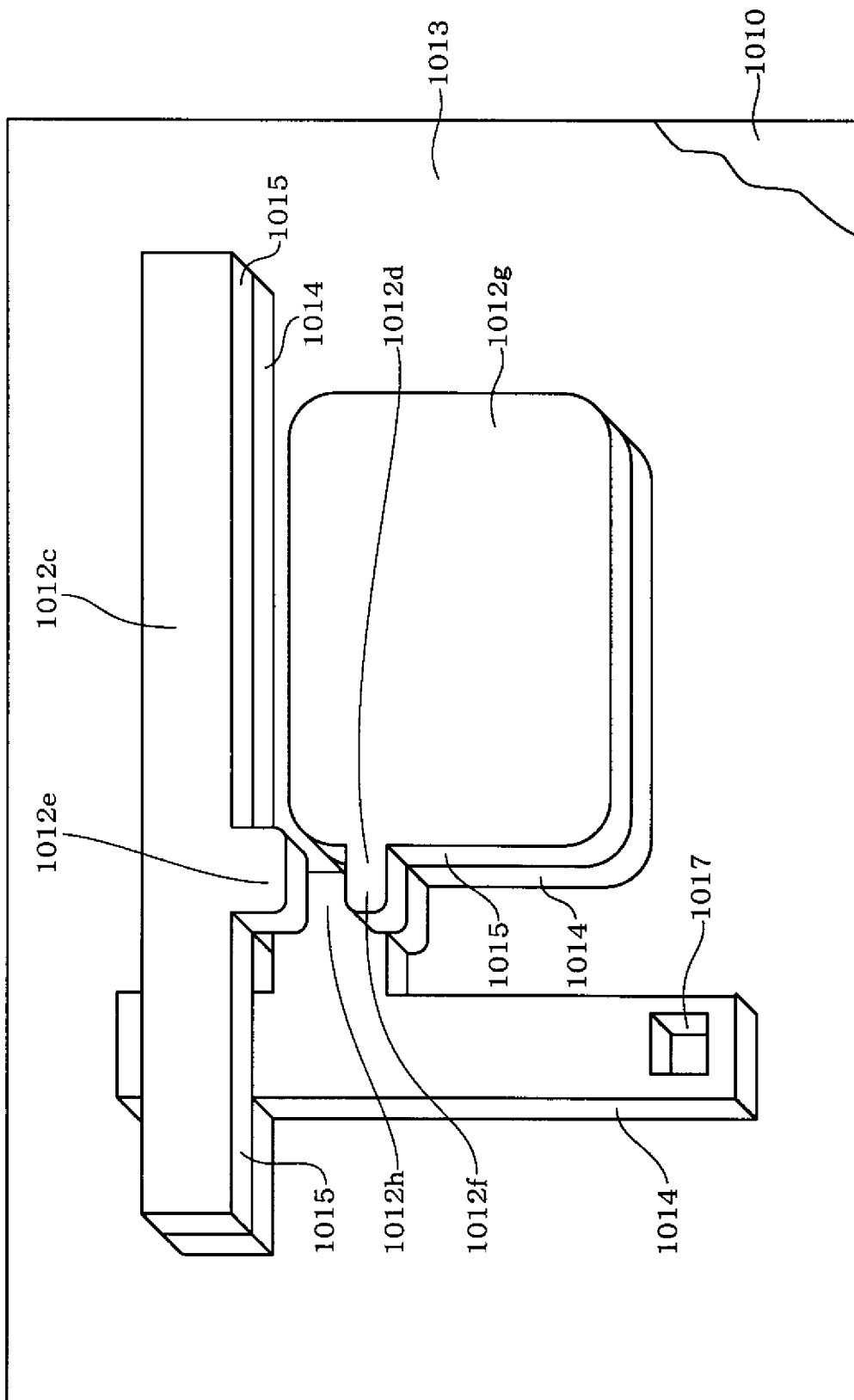


(b)

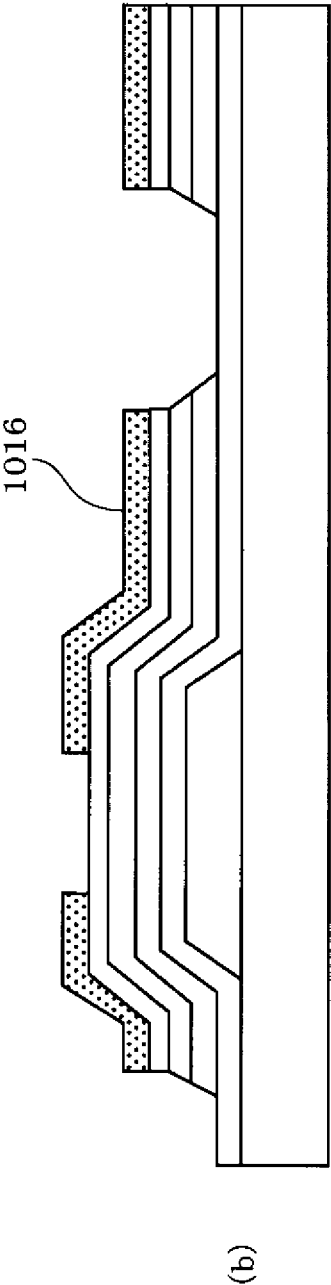
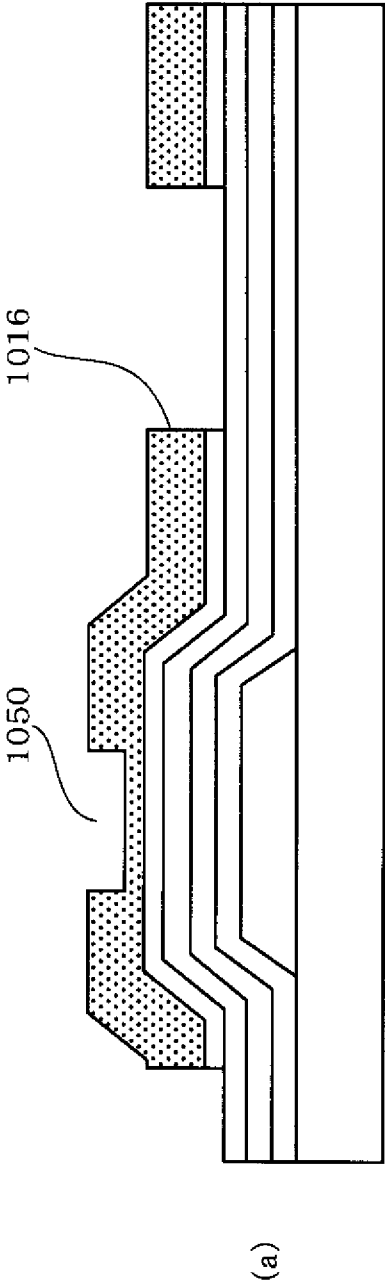
[図6]



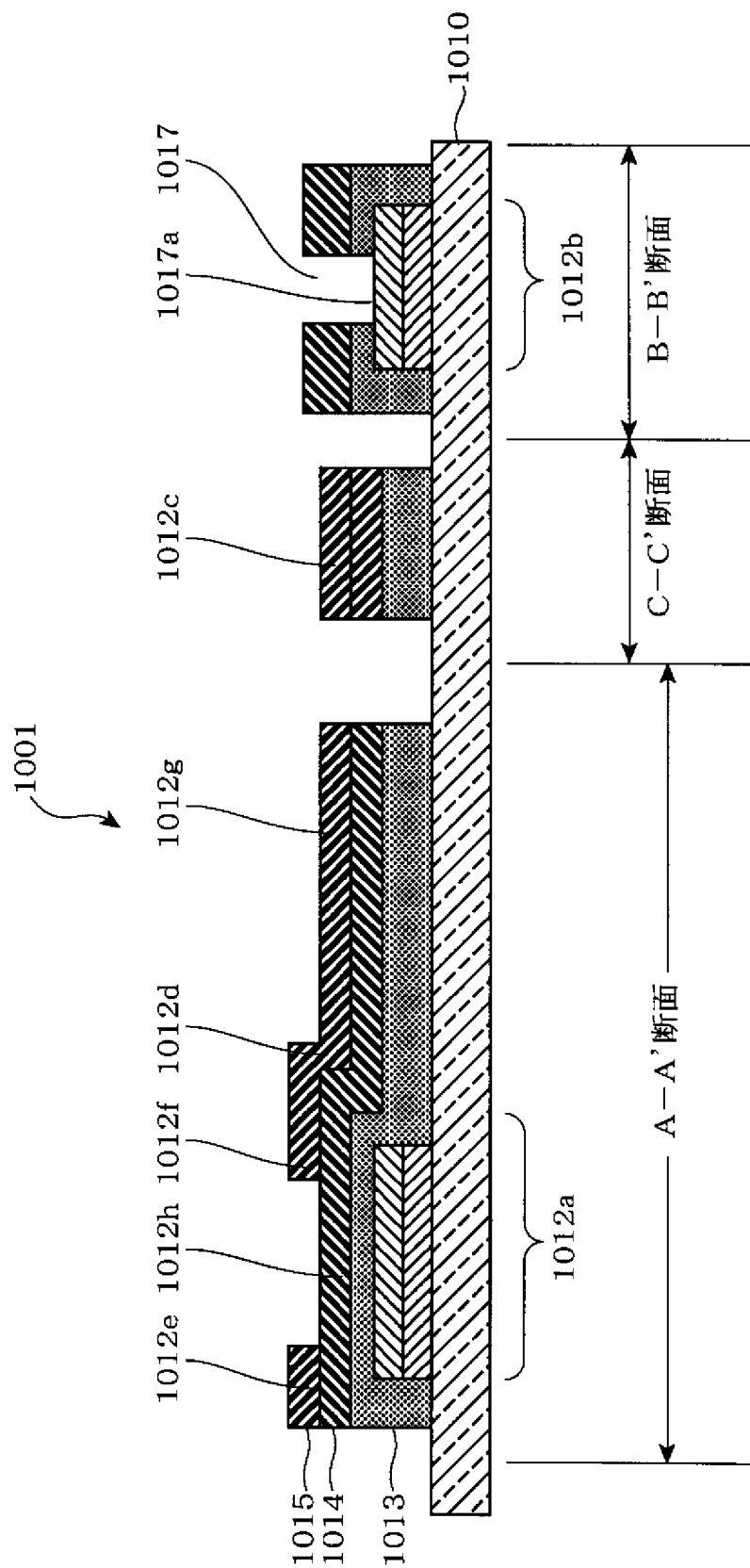
[図7]



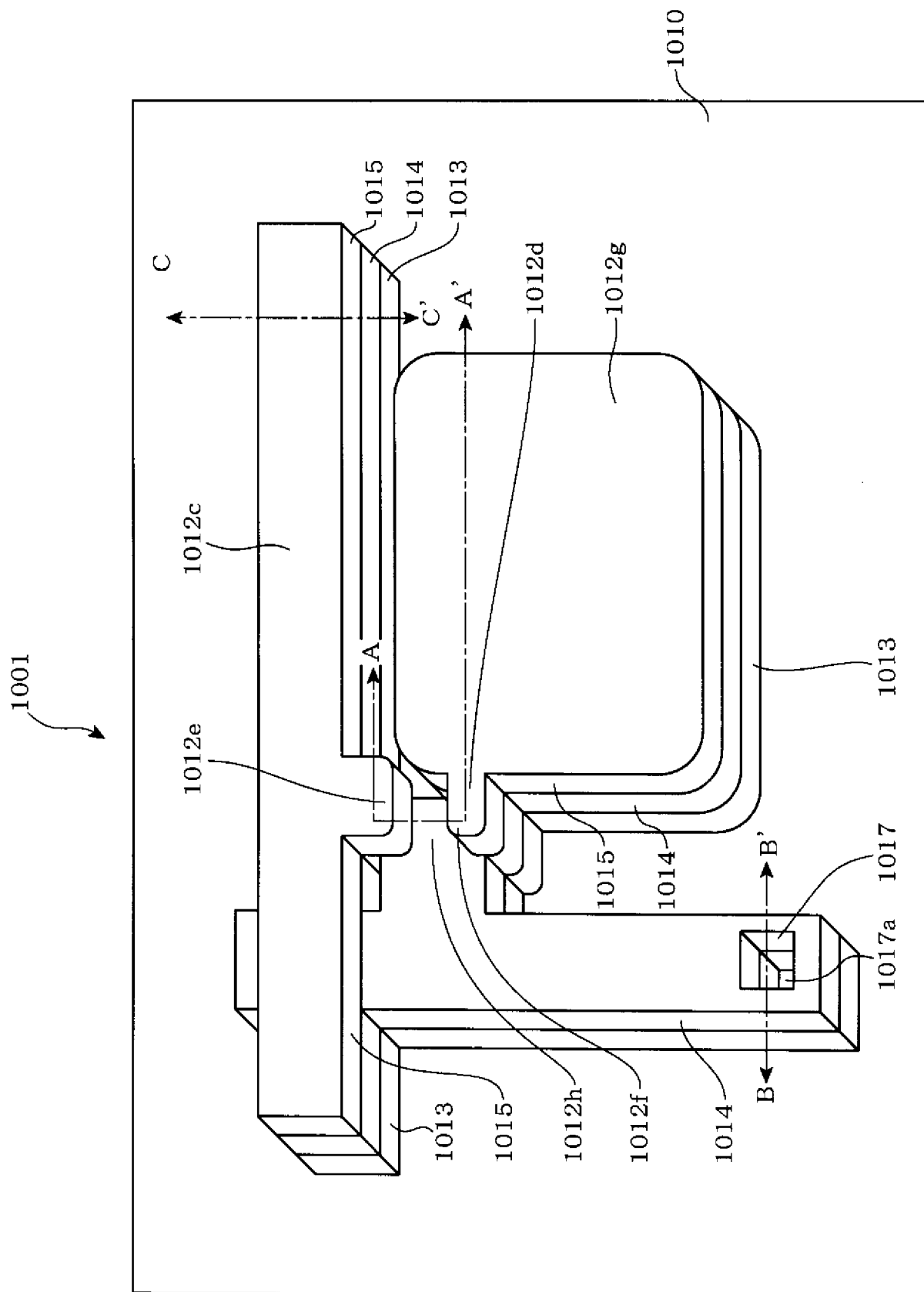
[図8]



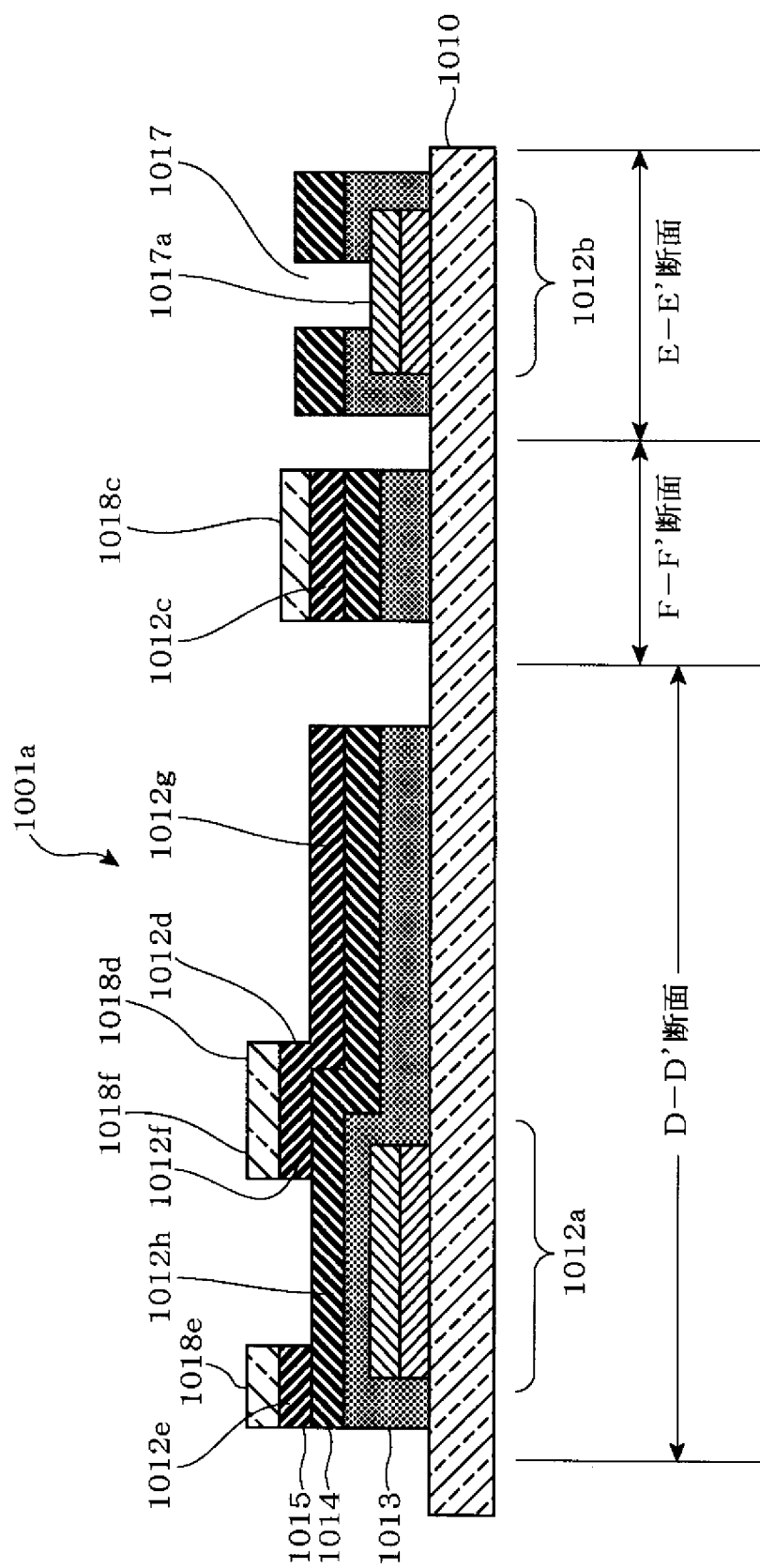
[図9]



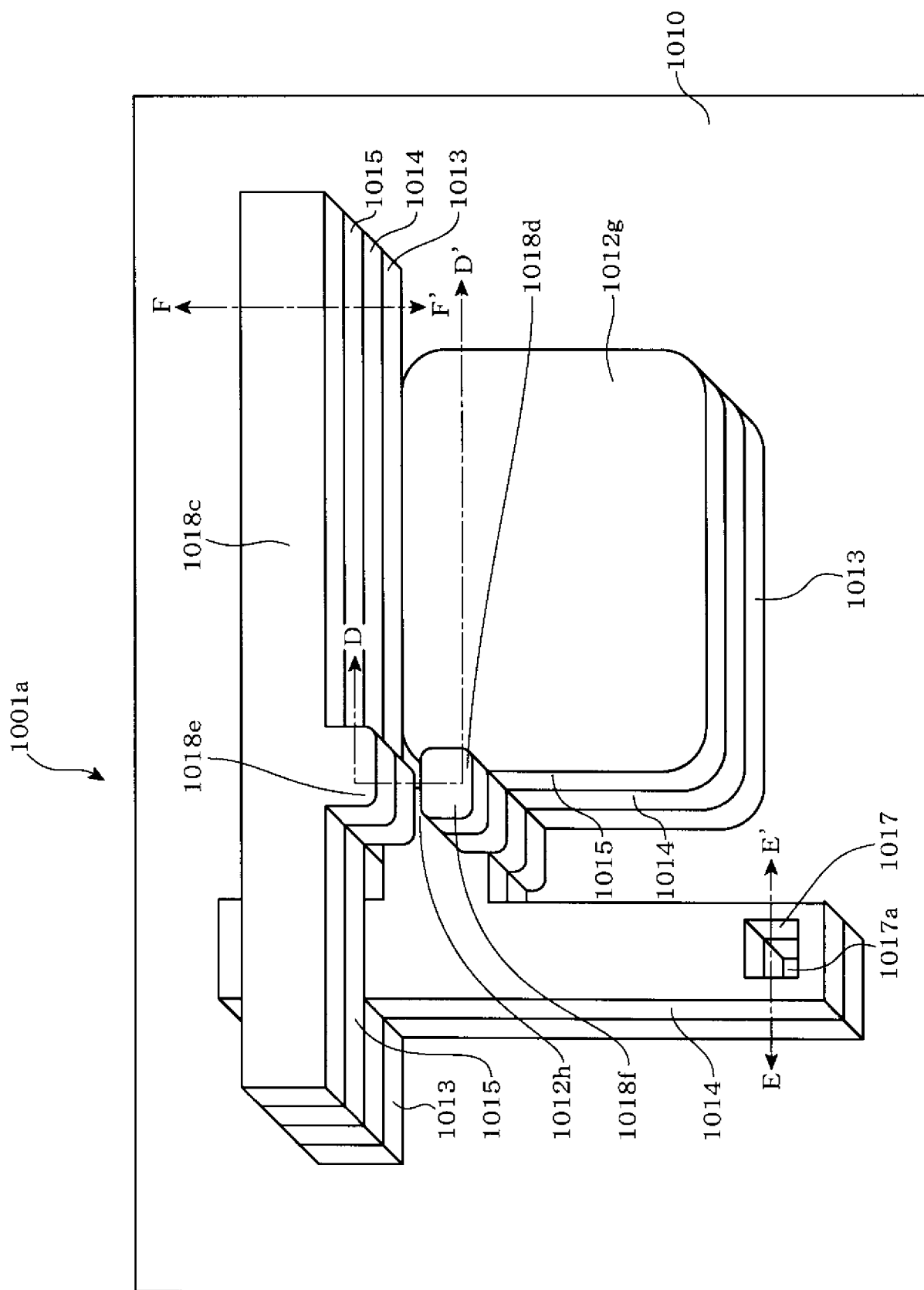
[図10]



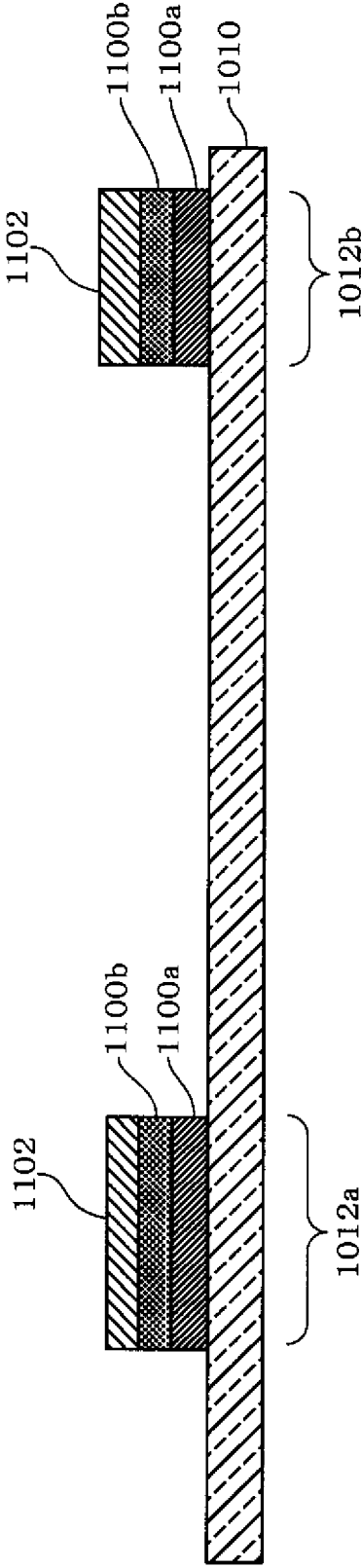
[図11]



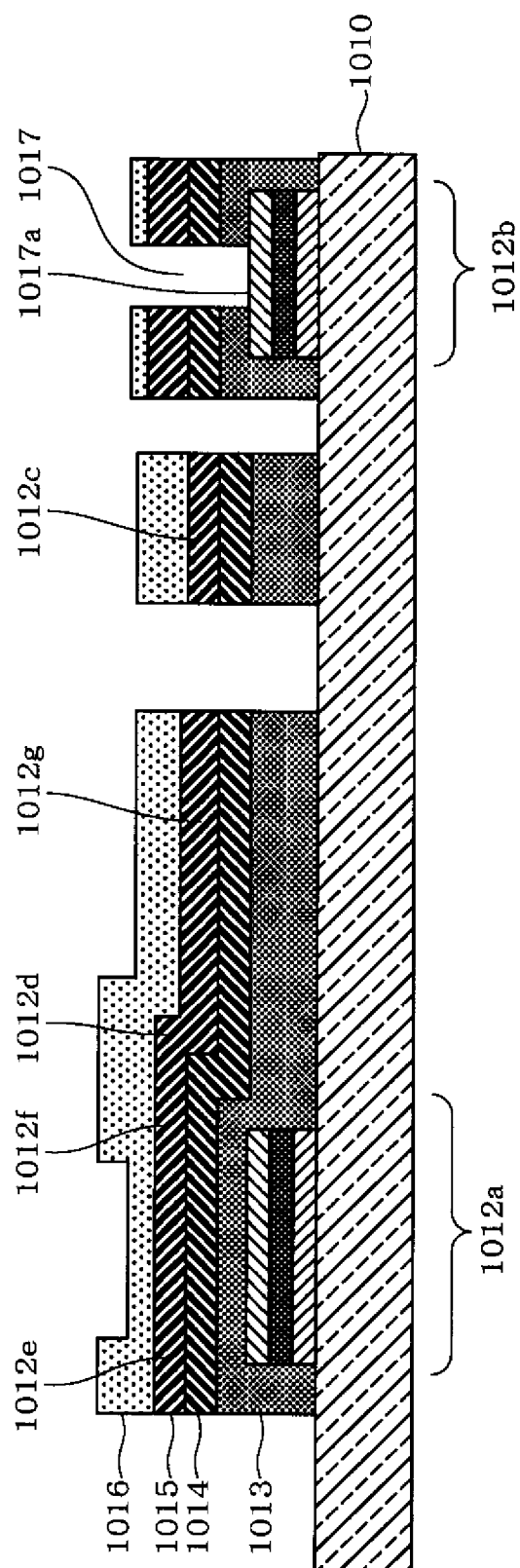
[図12]



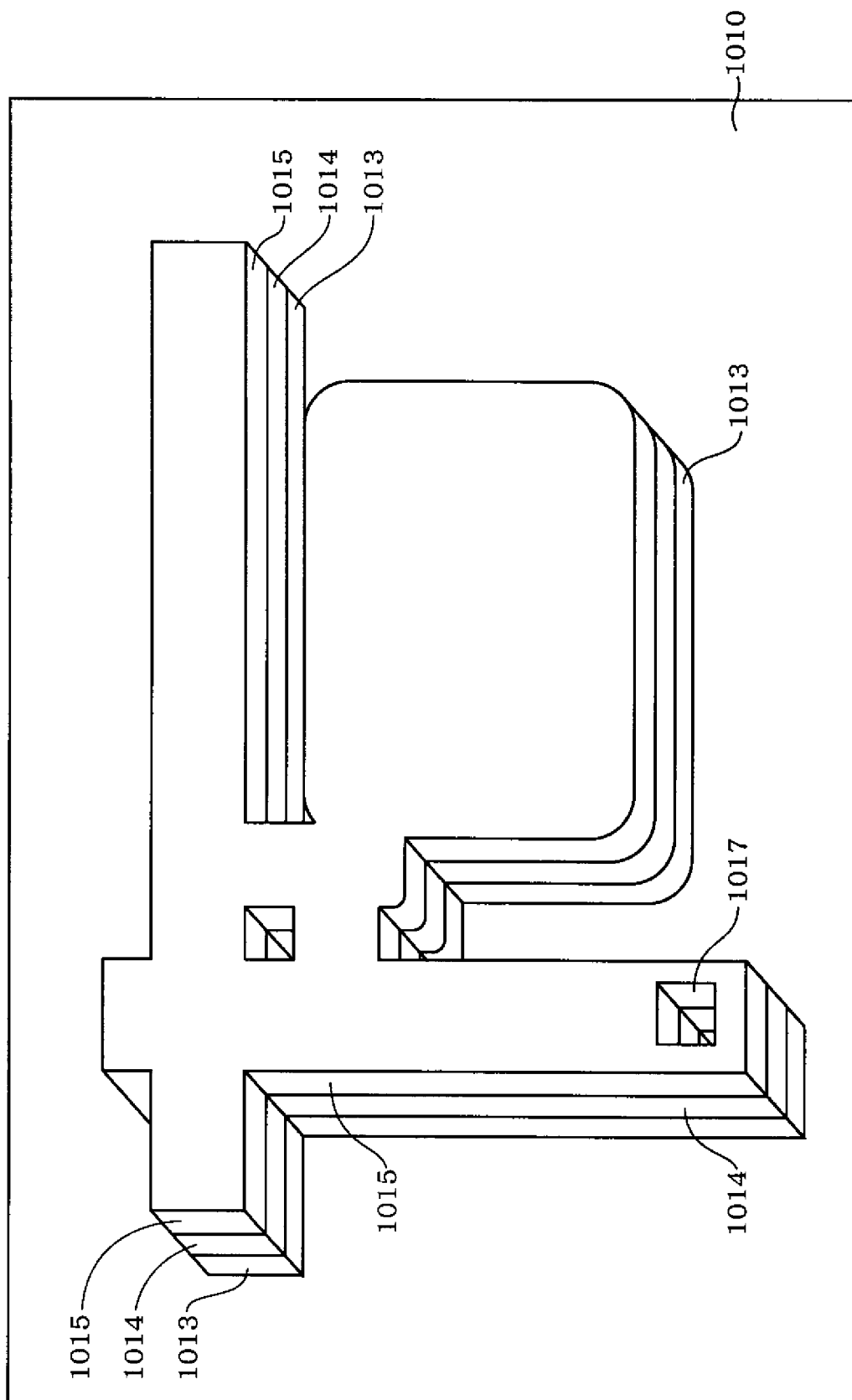
[図13]



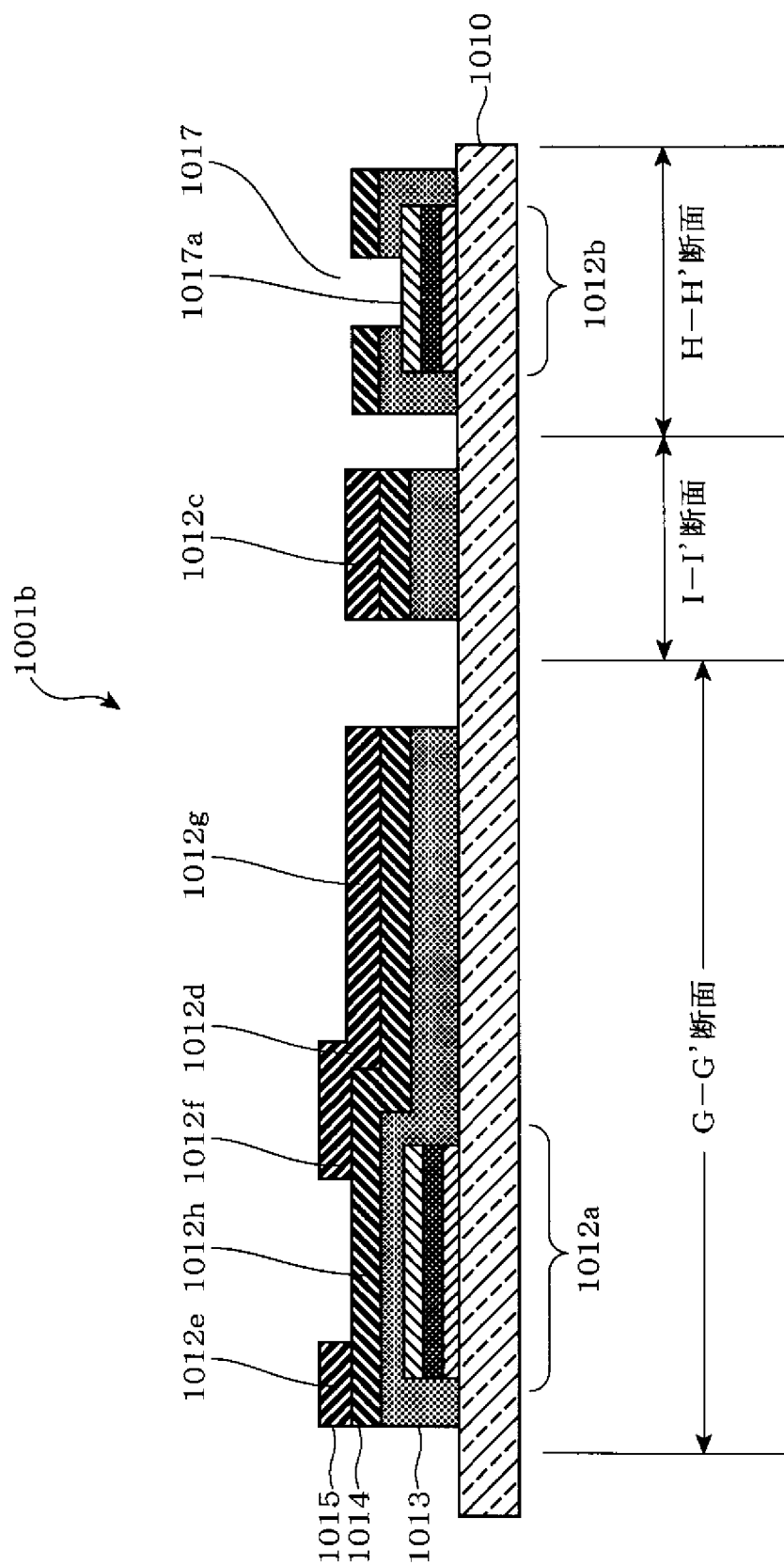
[図14]



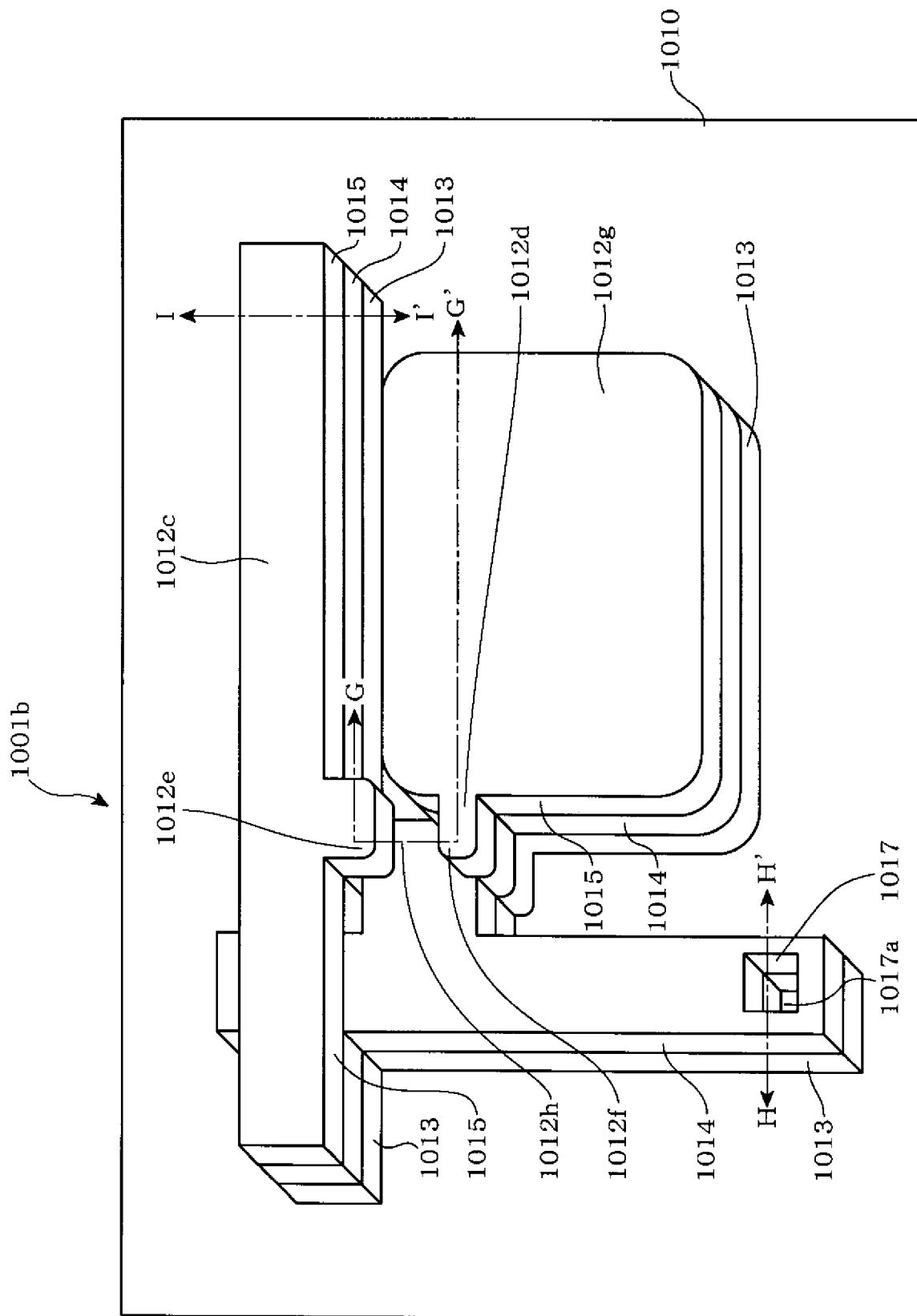
[図15]



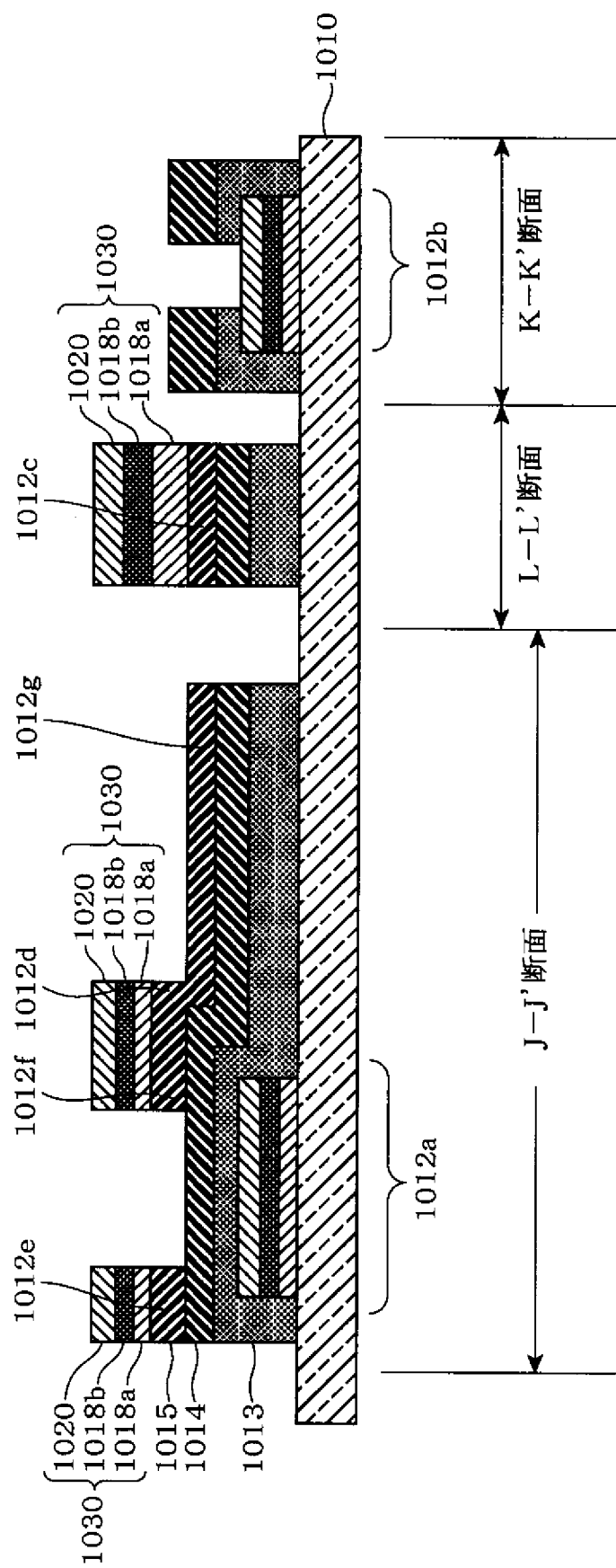
[図16]



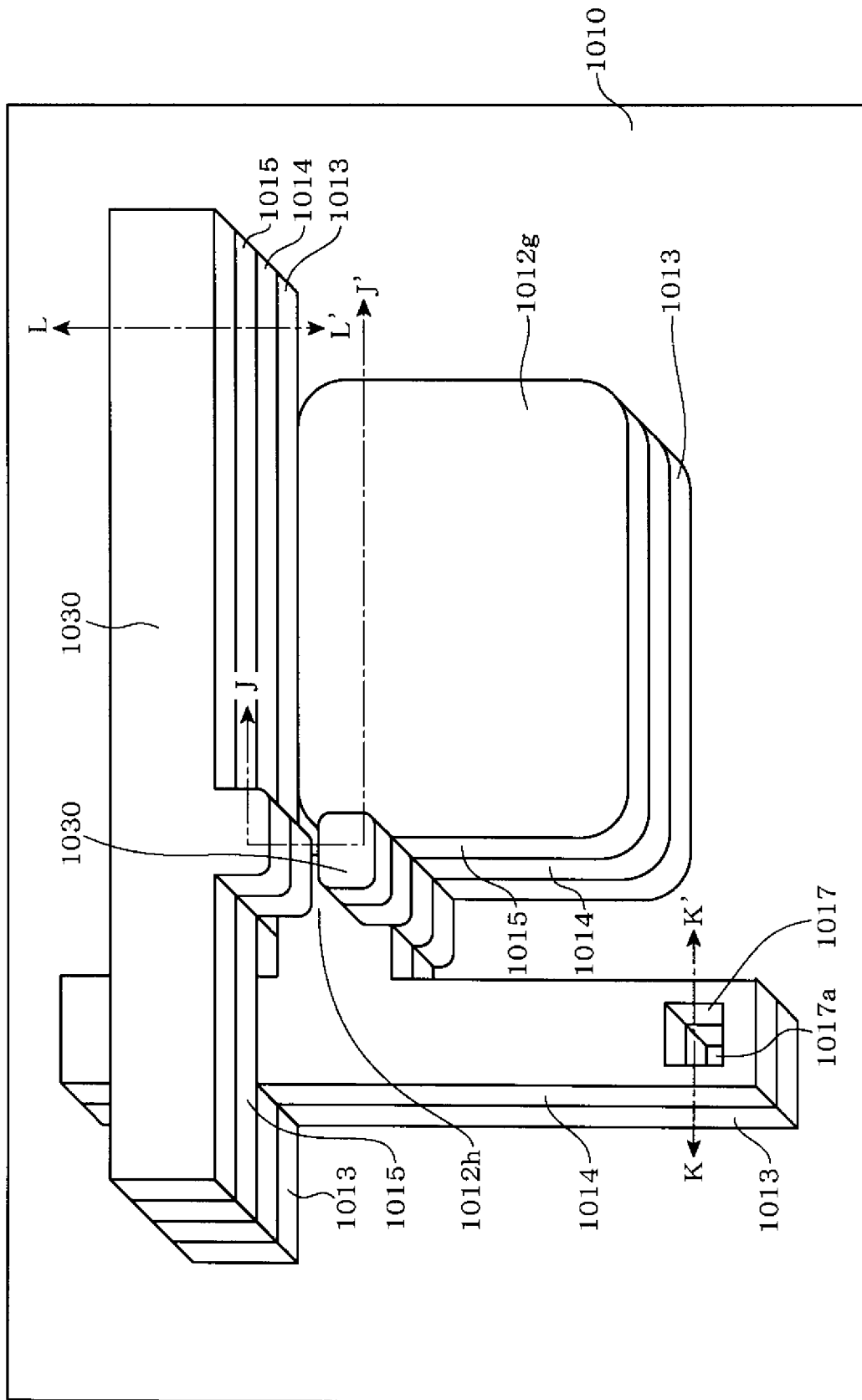
[図17]



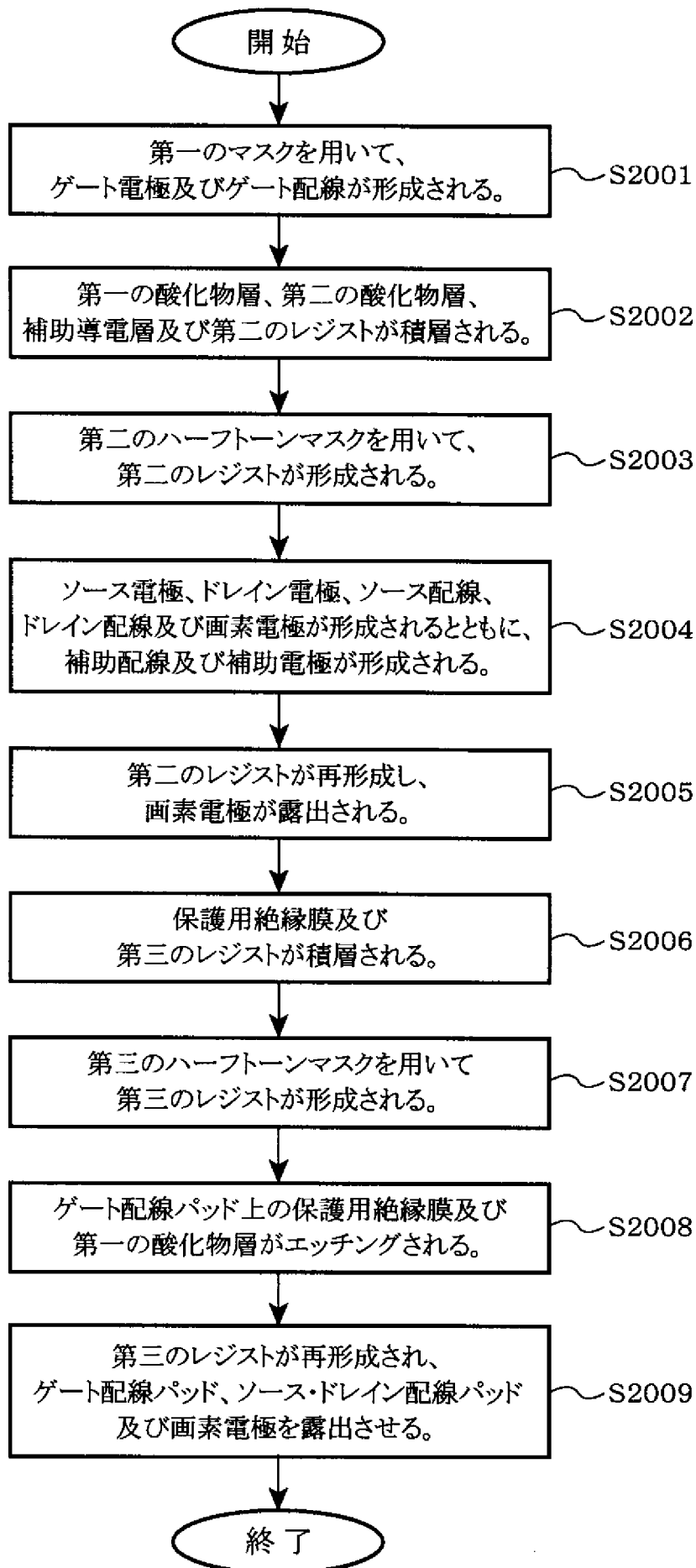
[図18]



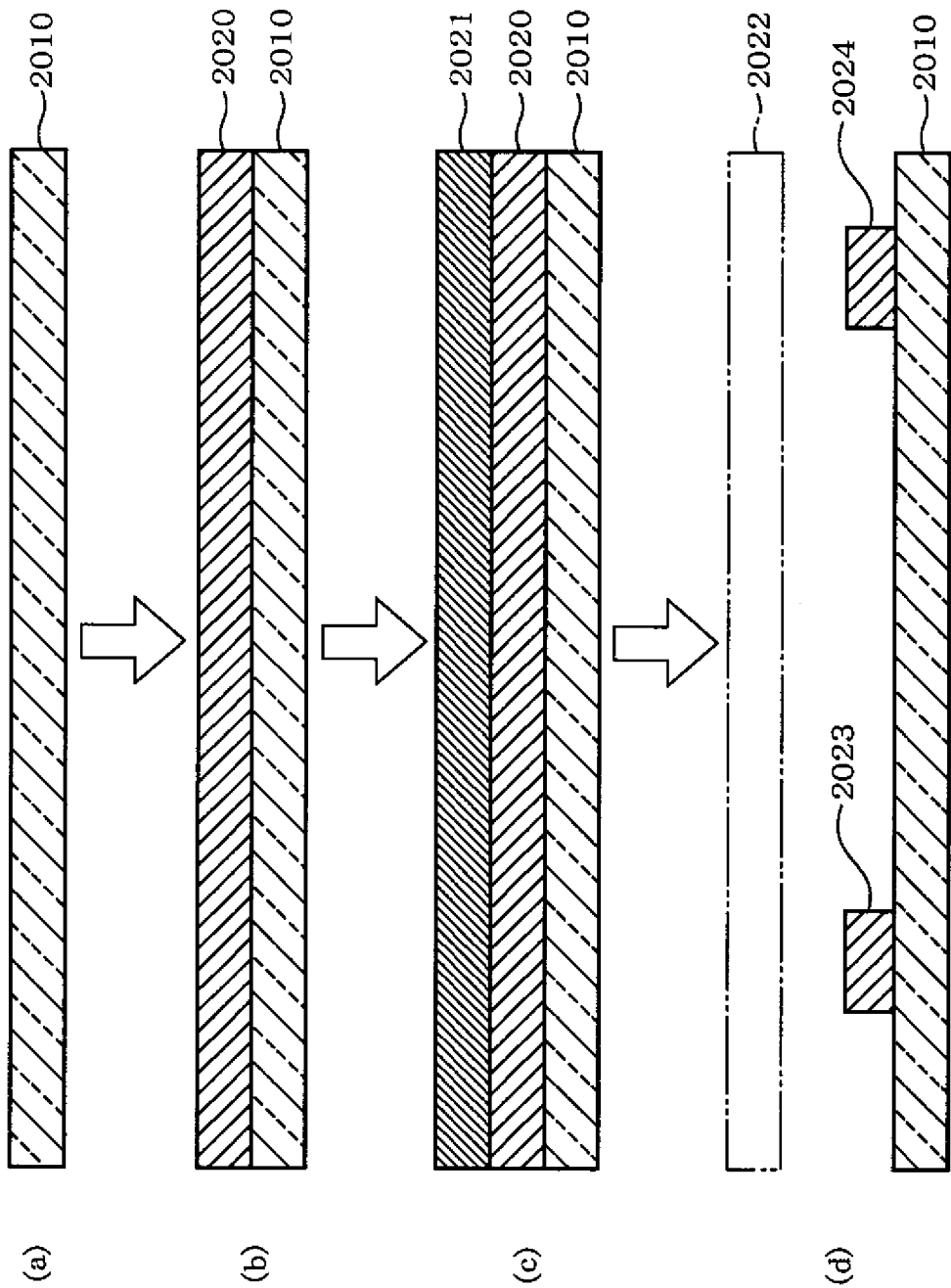
[図19]



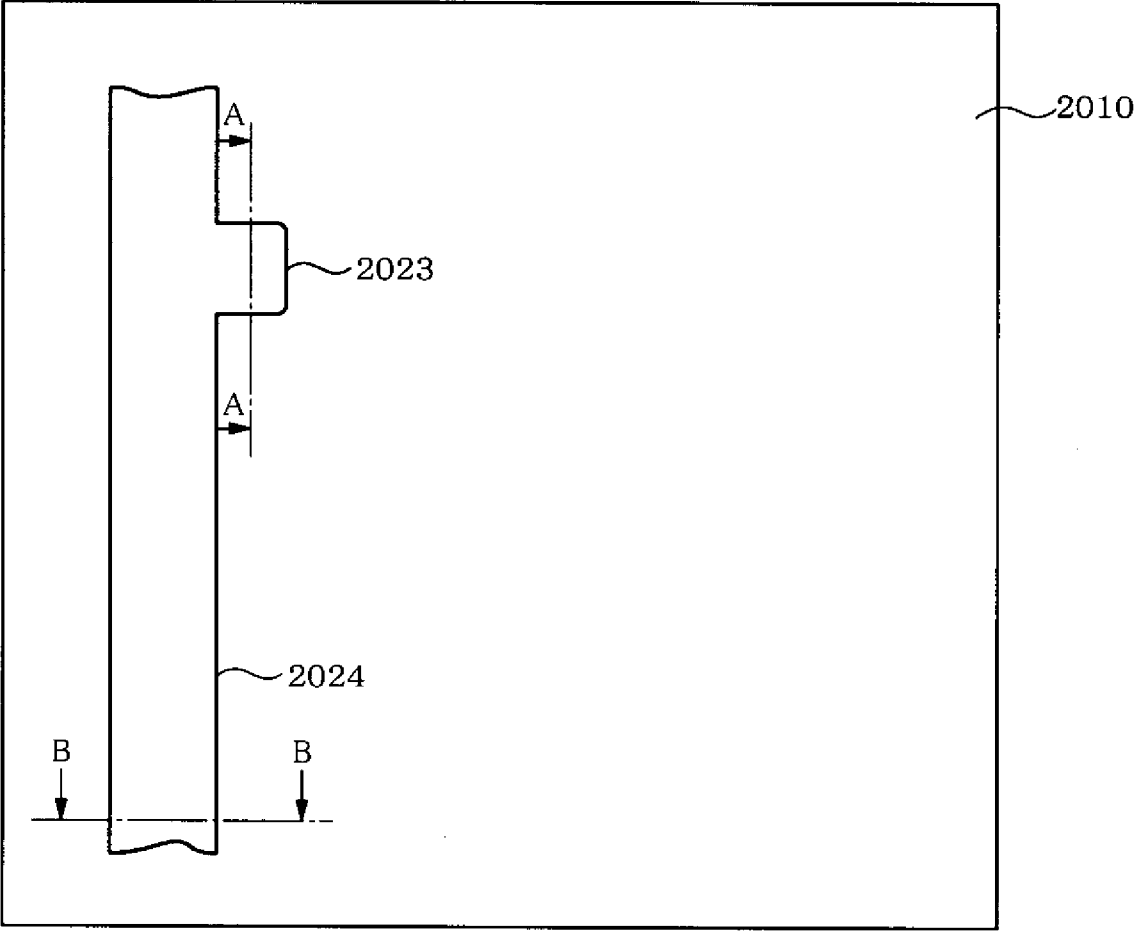
[図20]



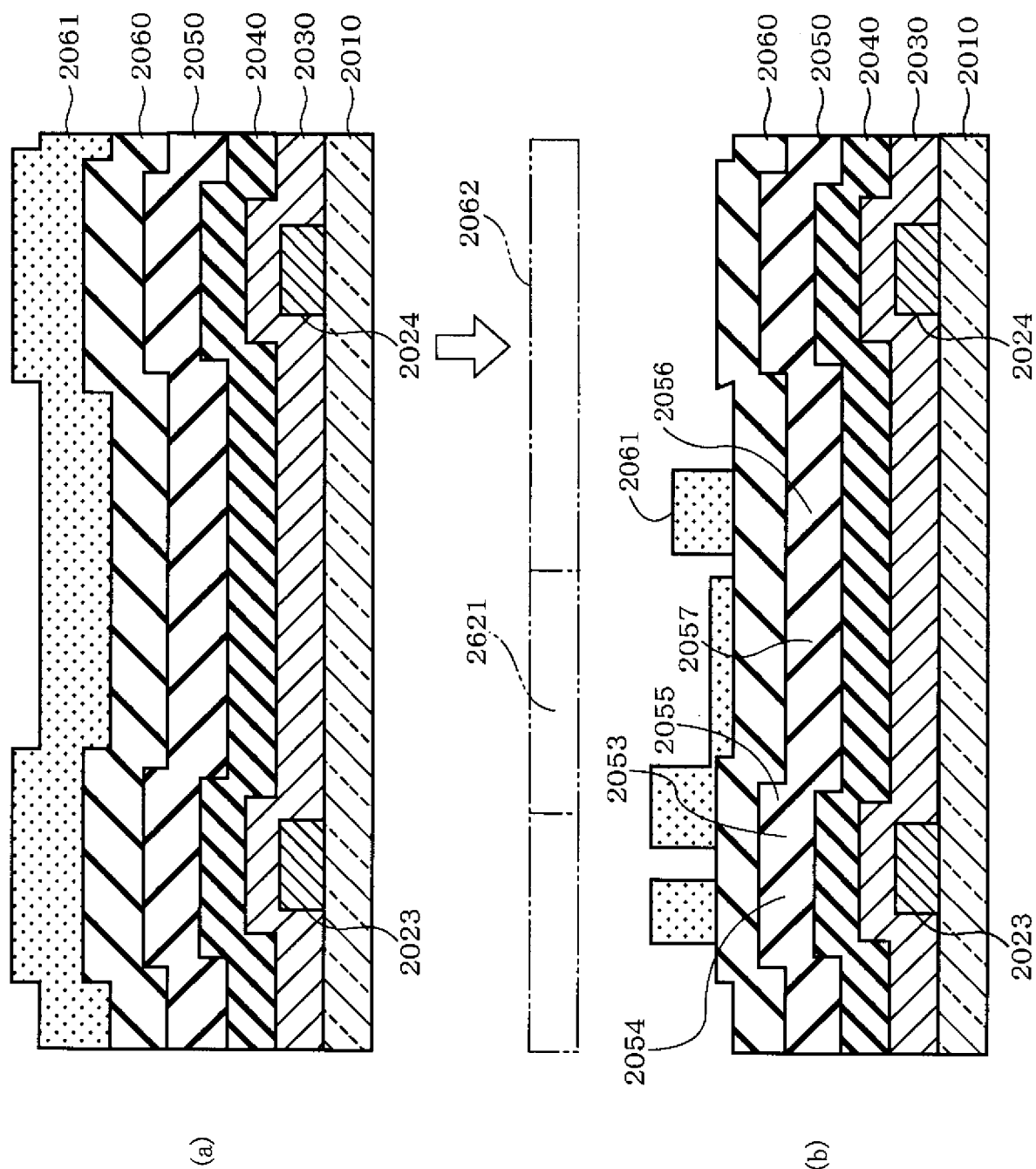
[図21]



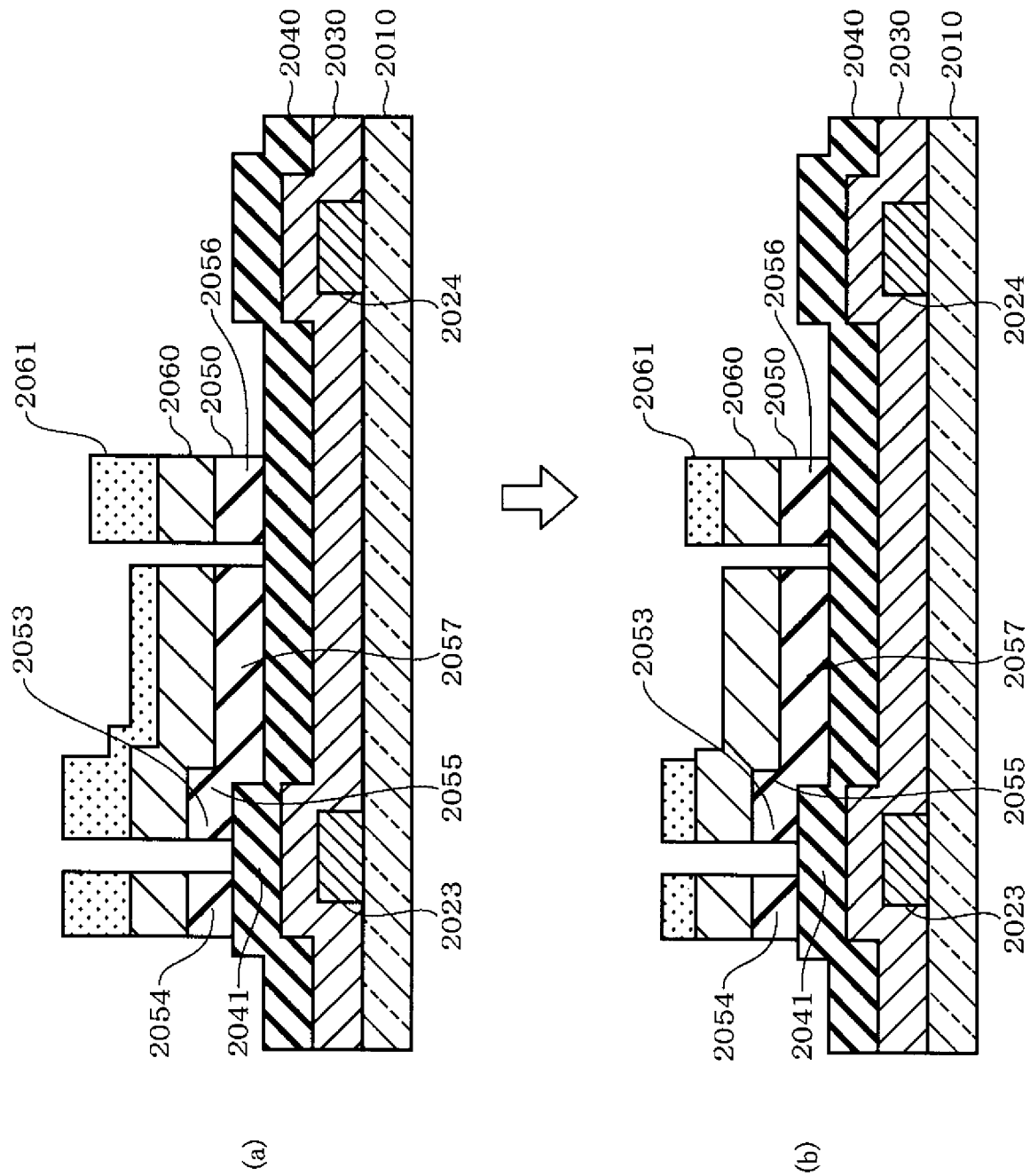
[図22]



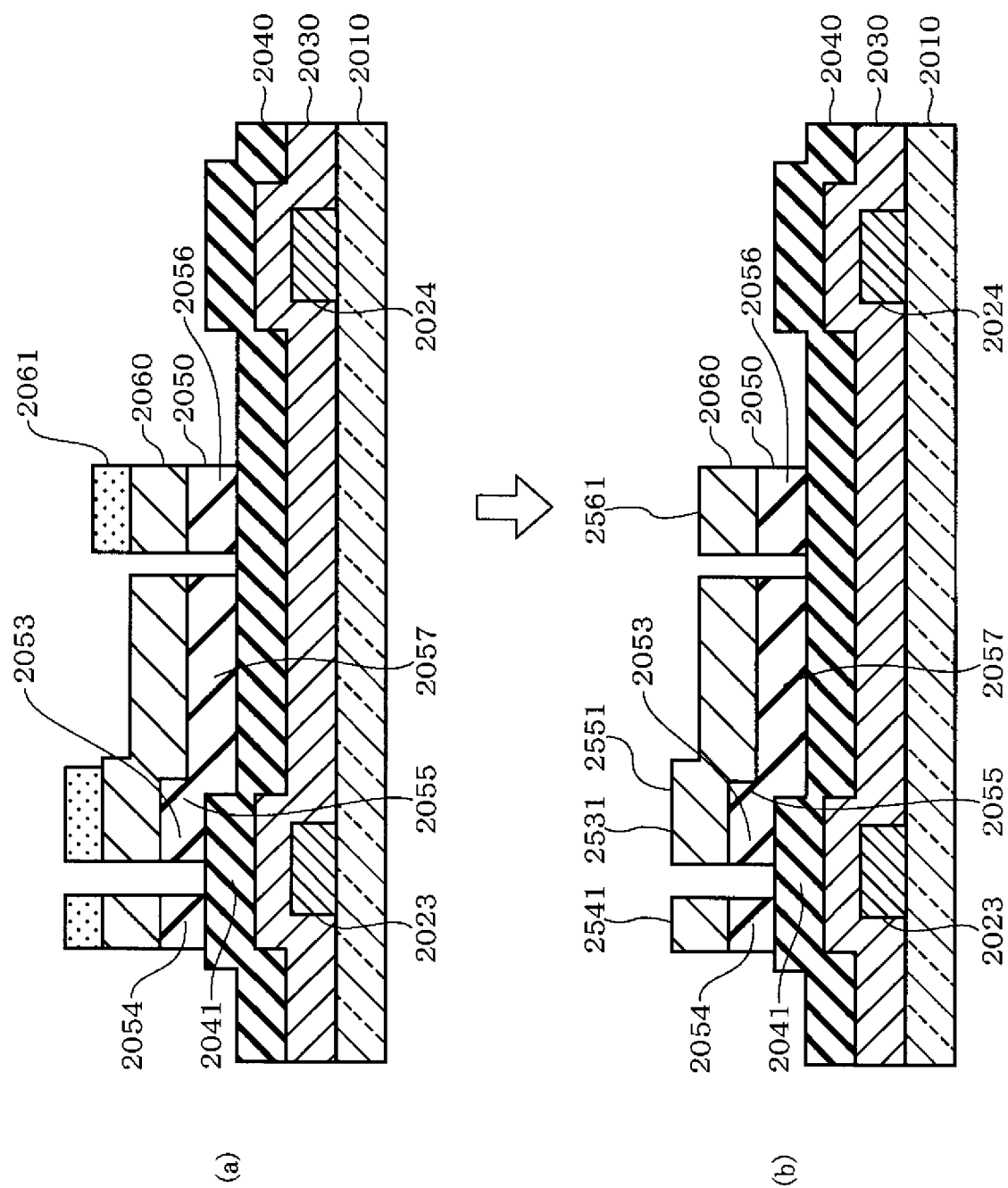
[図23]



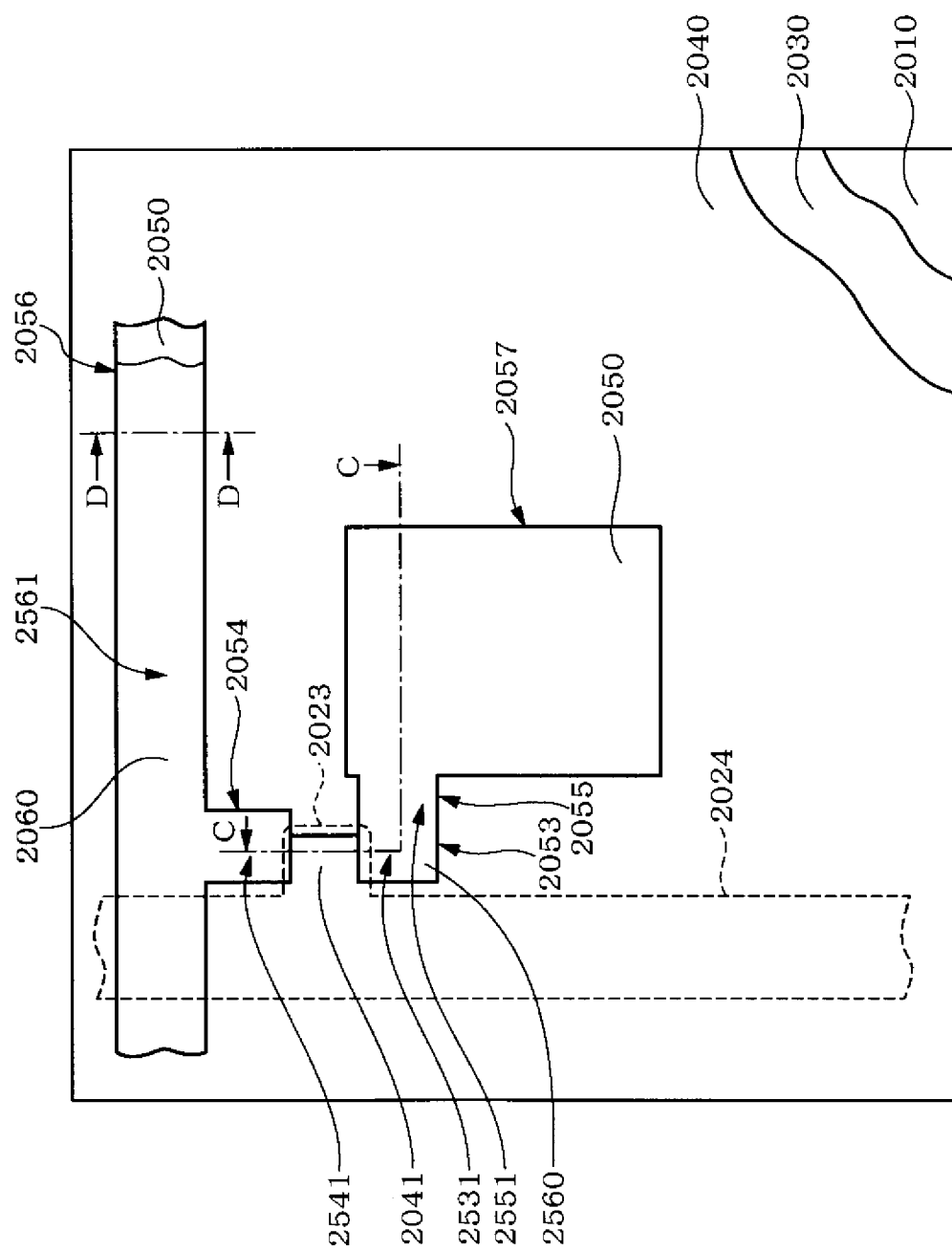
[図24]



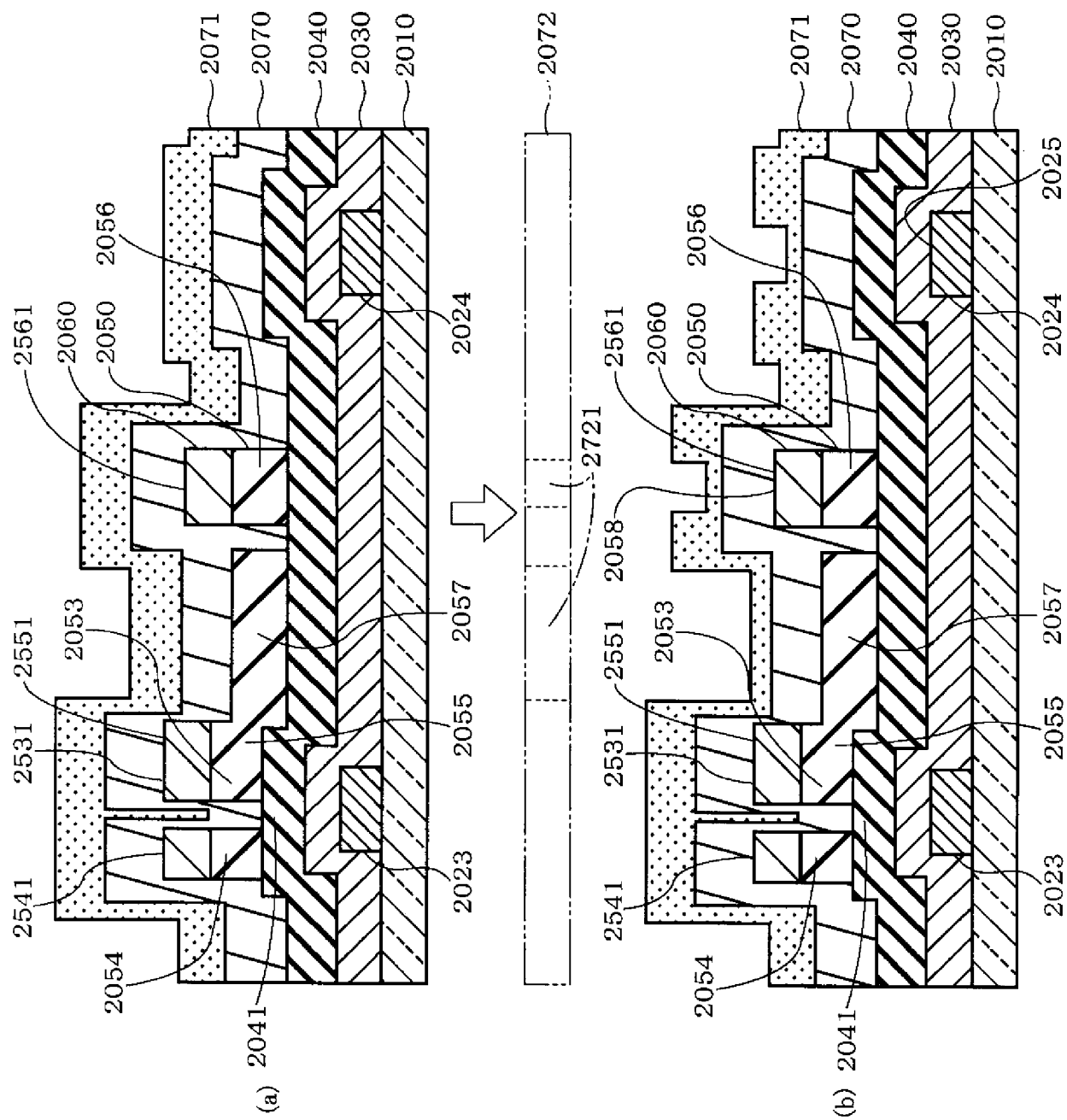
[図25]



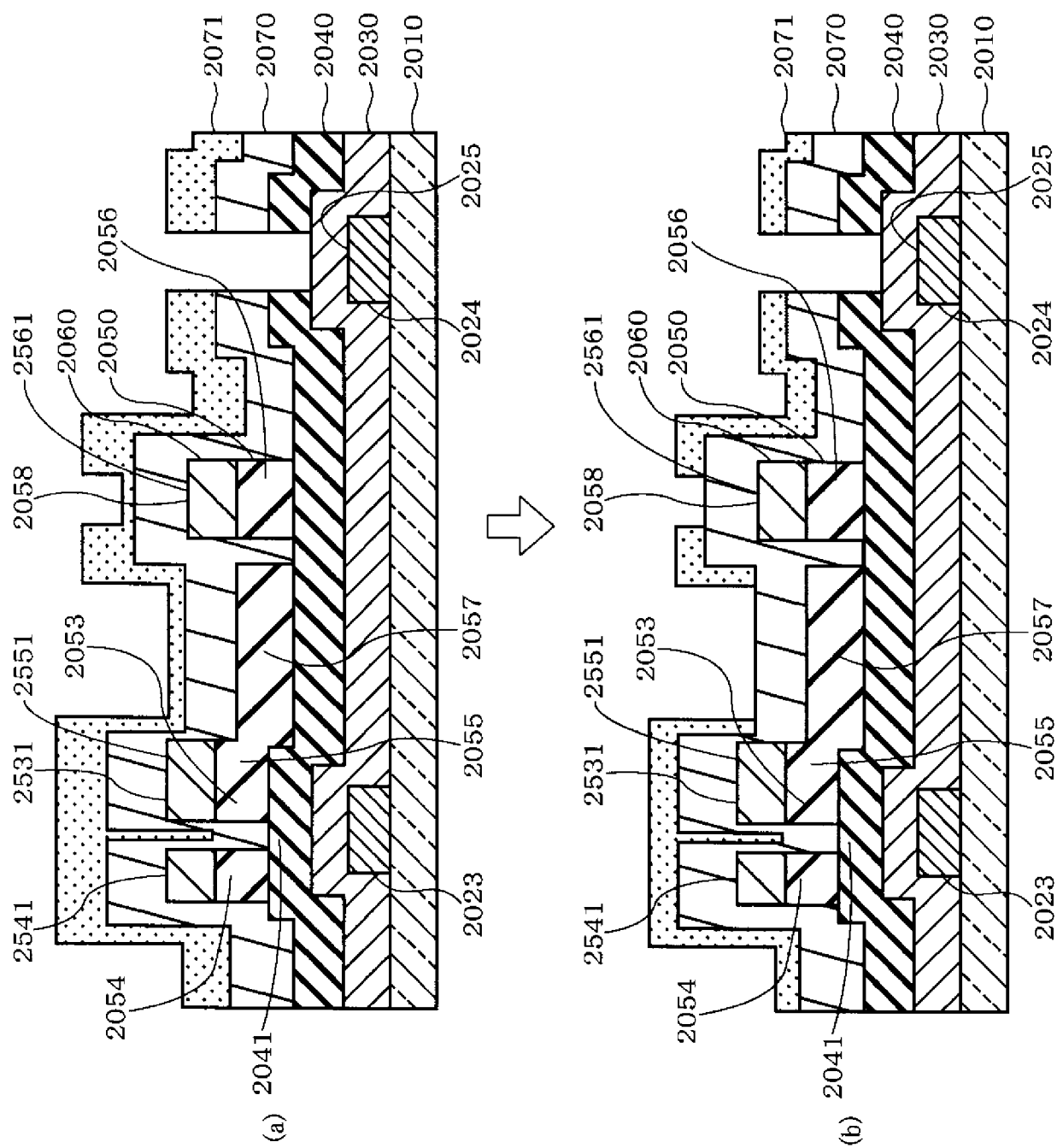
[図26]



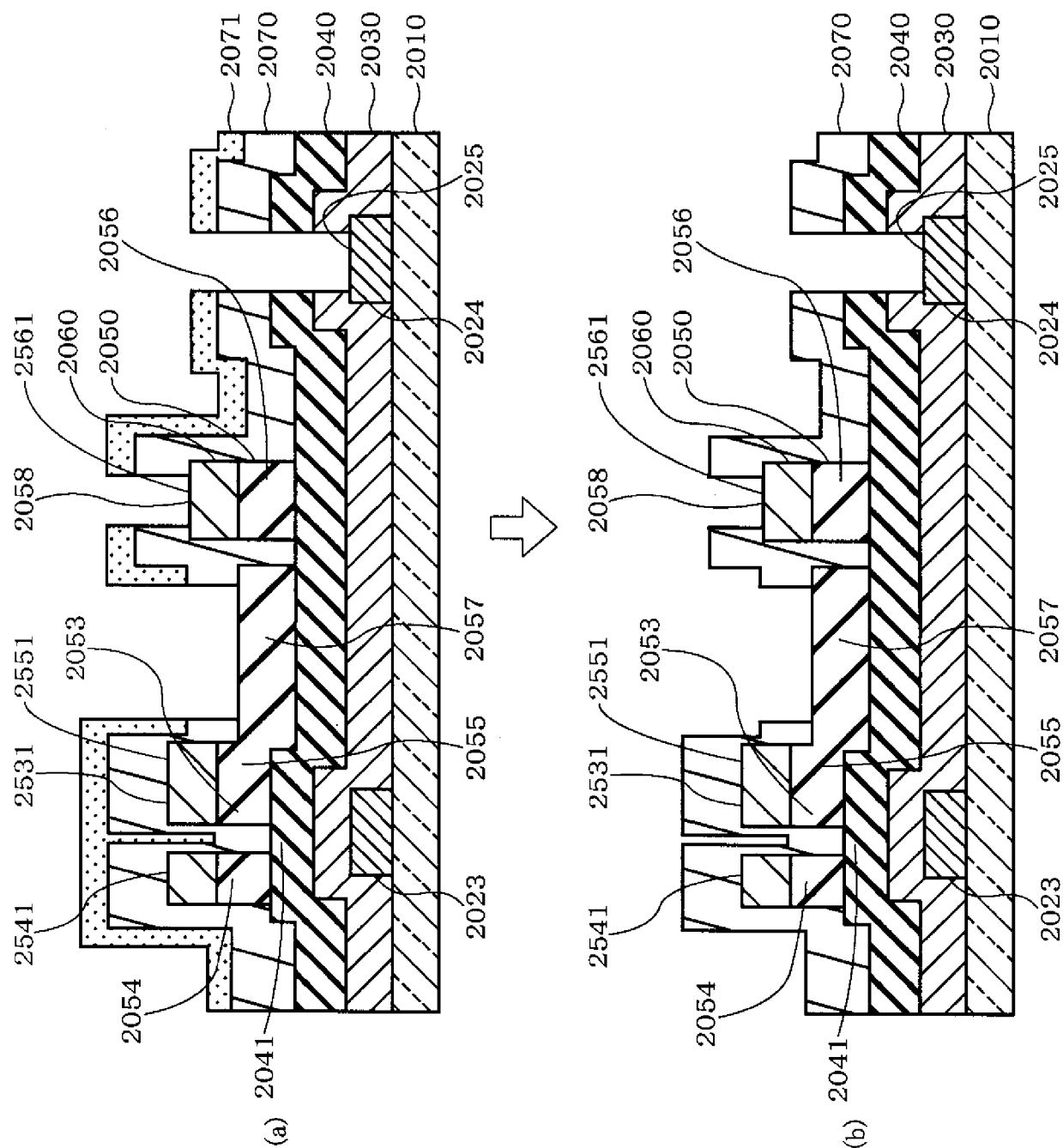
[図27]



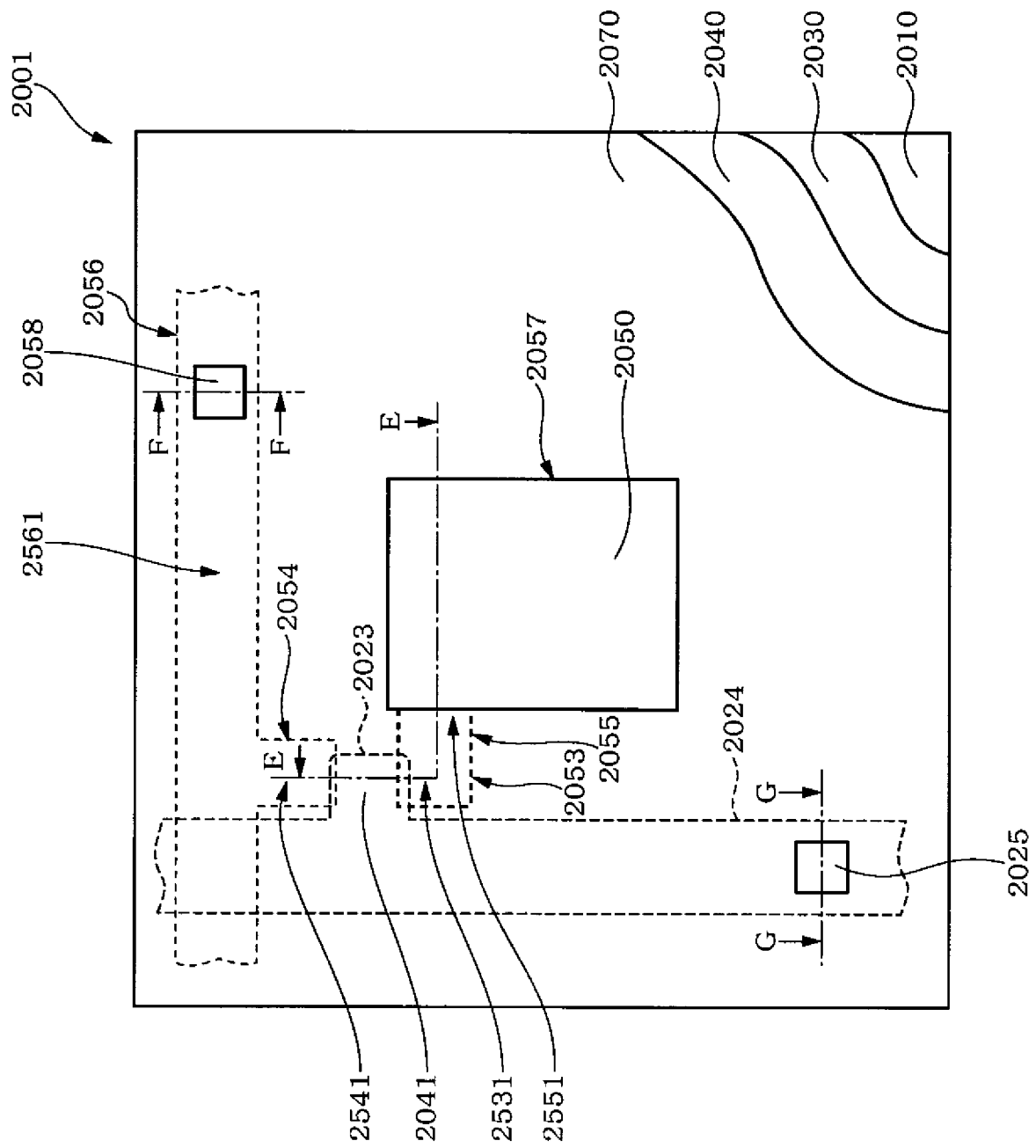
[図28]



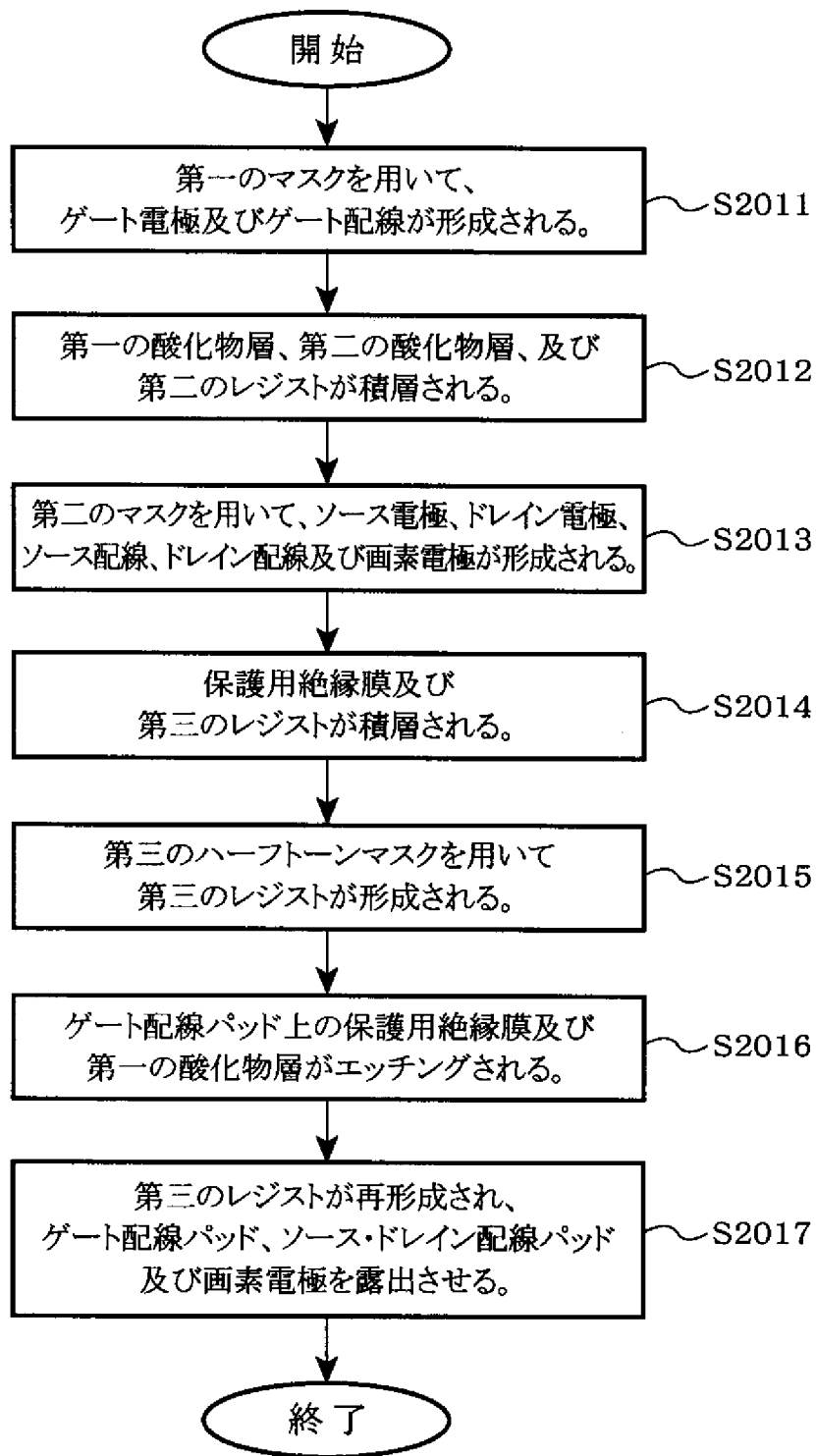
[図29]



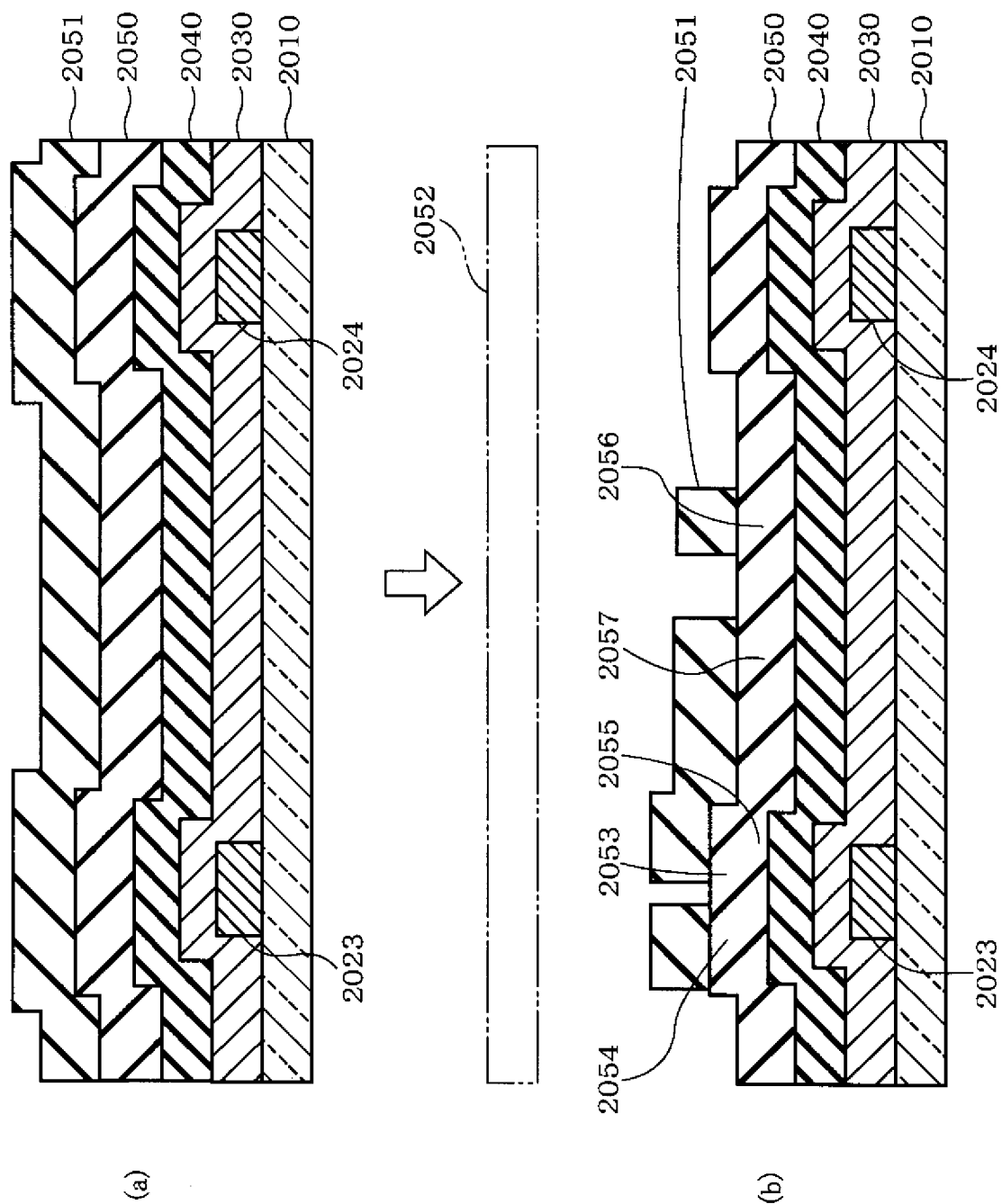
[図30]



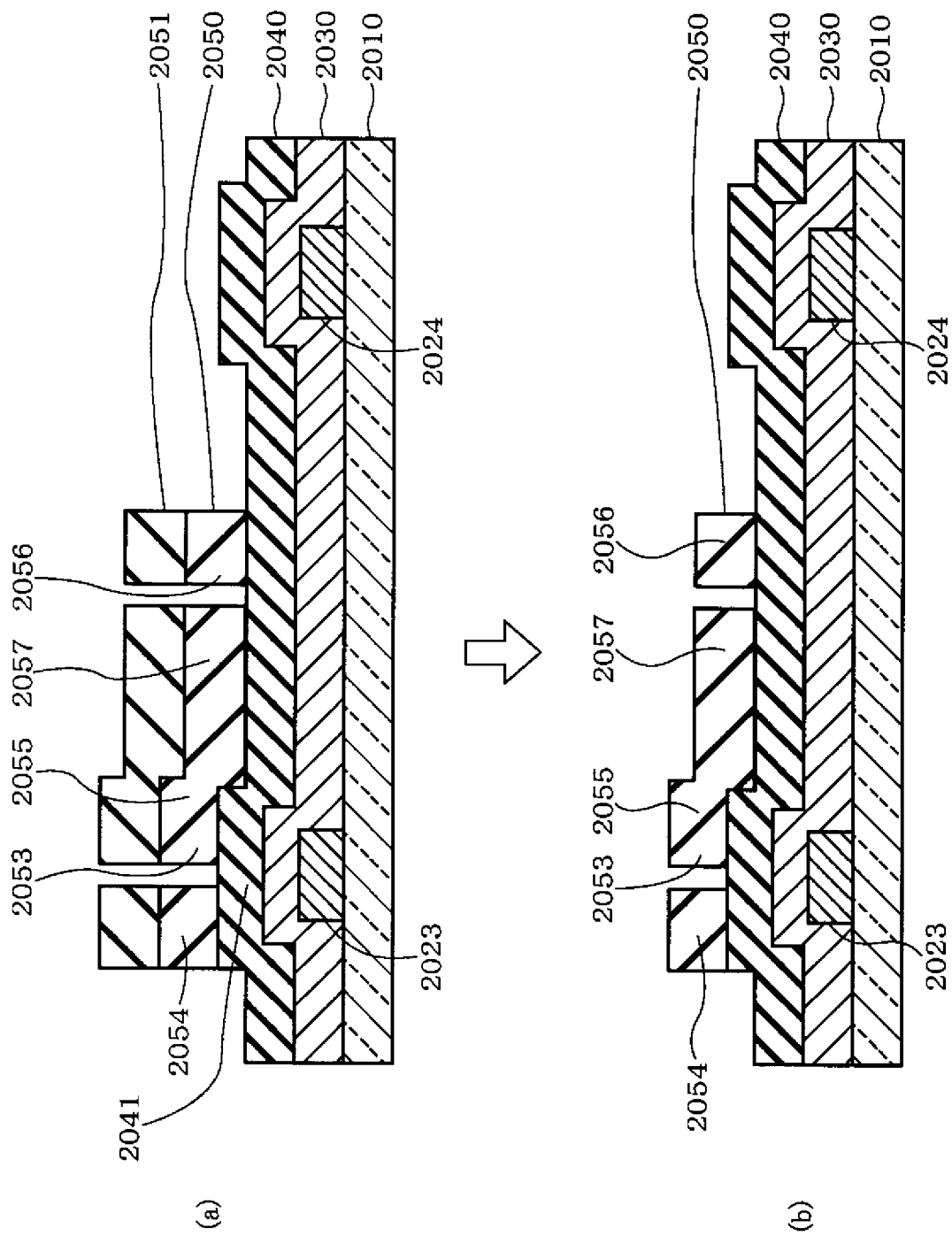
[図31]



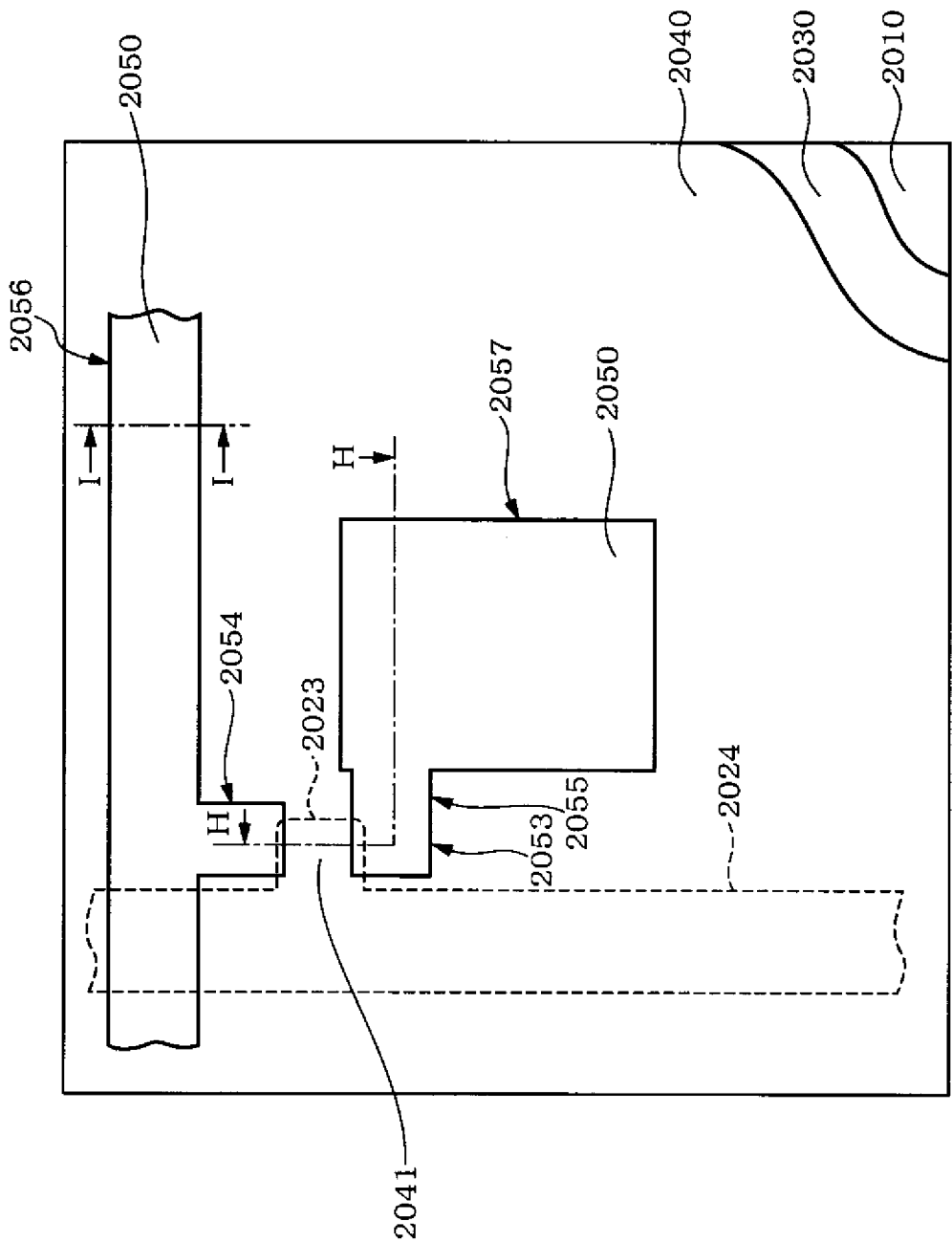
[図32]



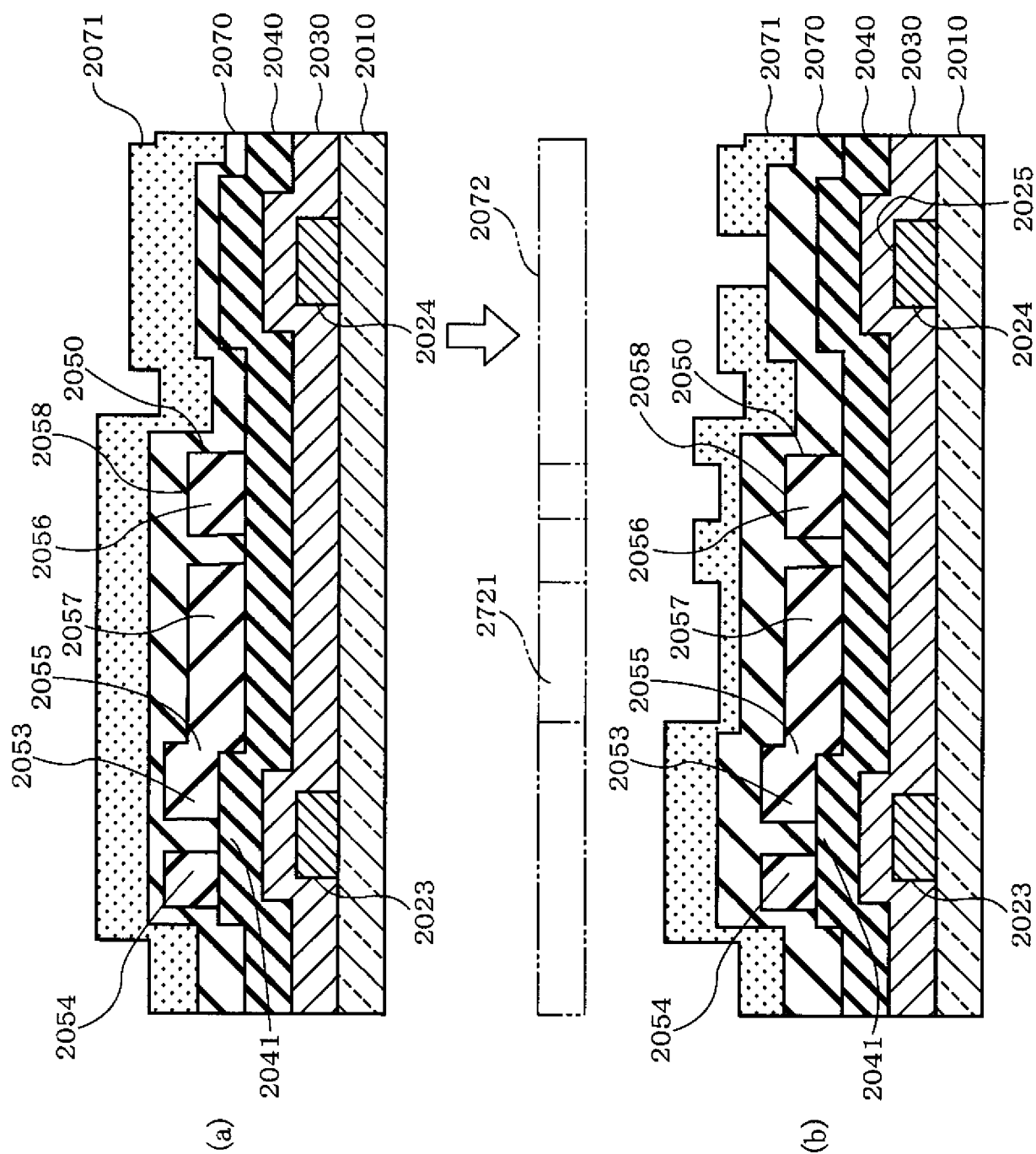
[図33]



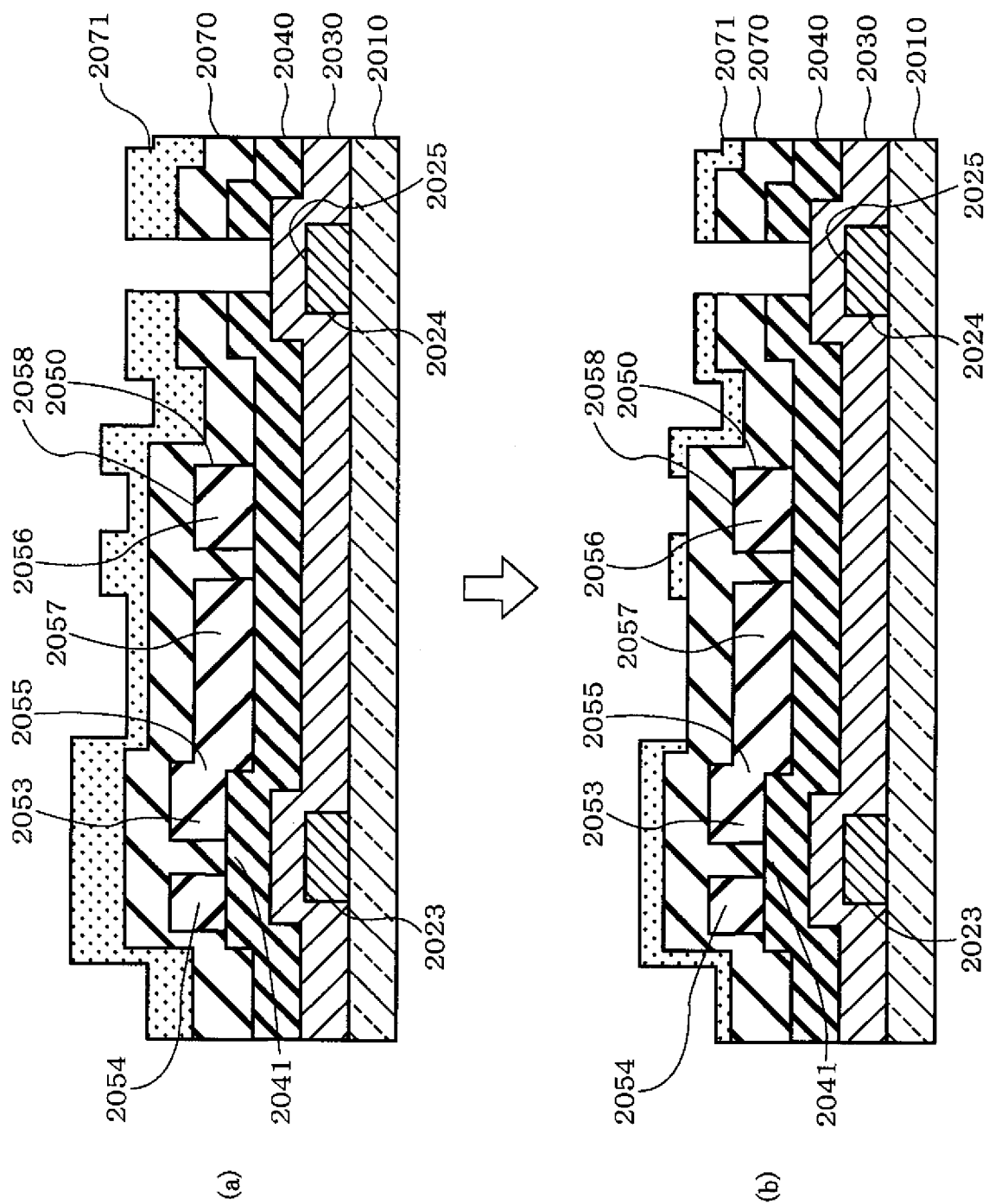
[図34]



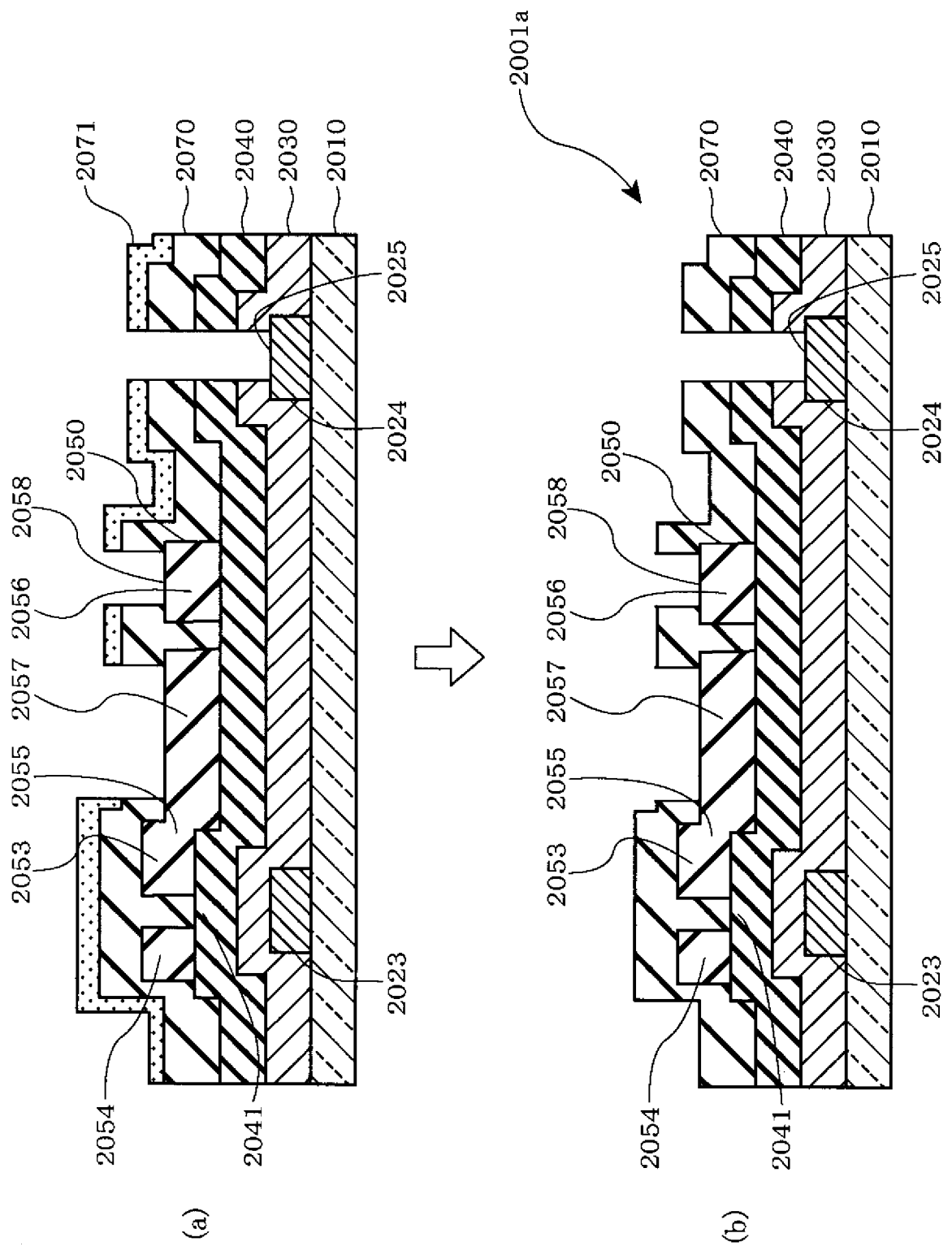
[図35]



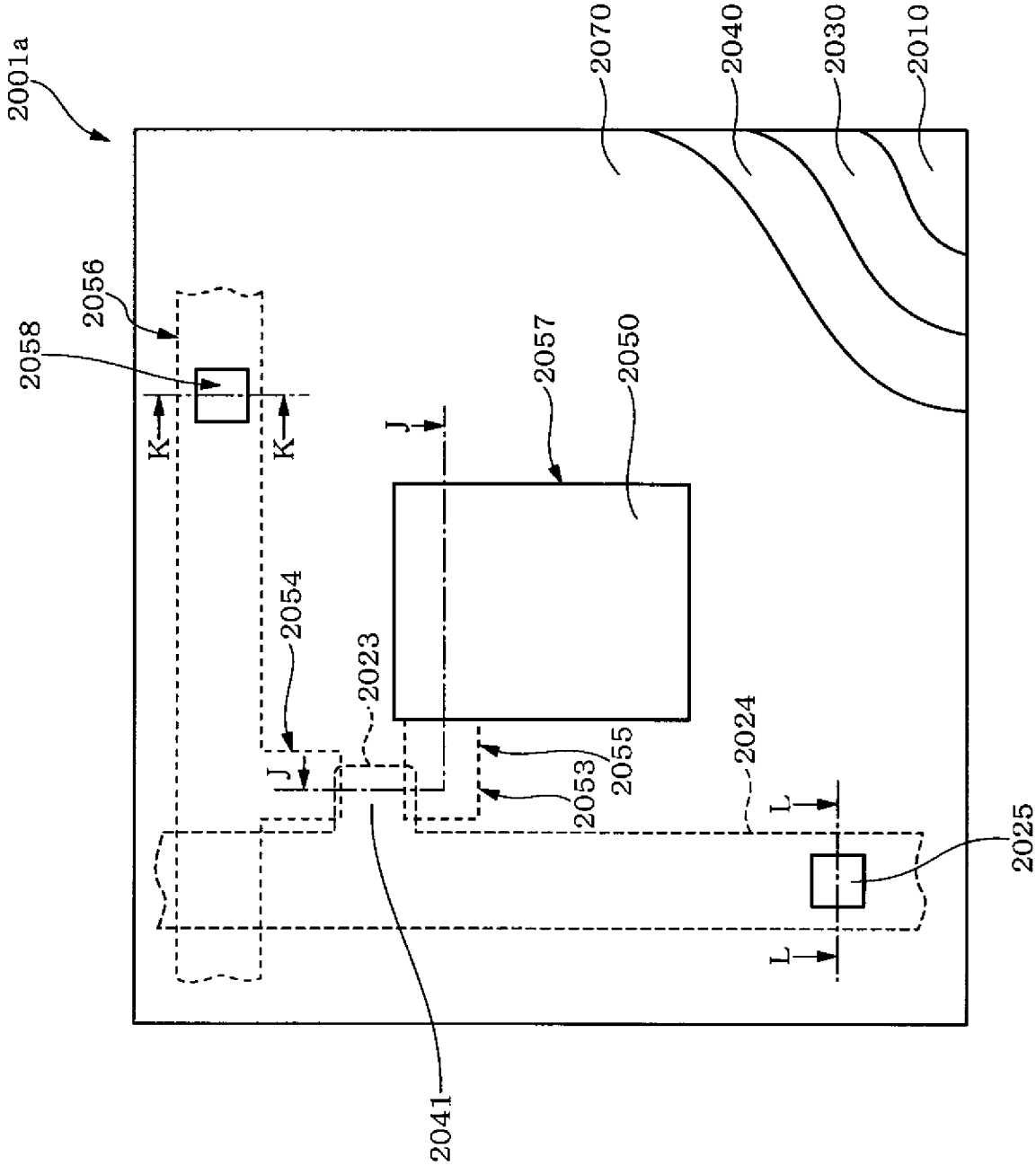
[図36]



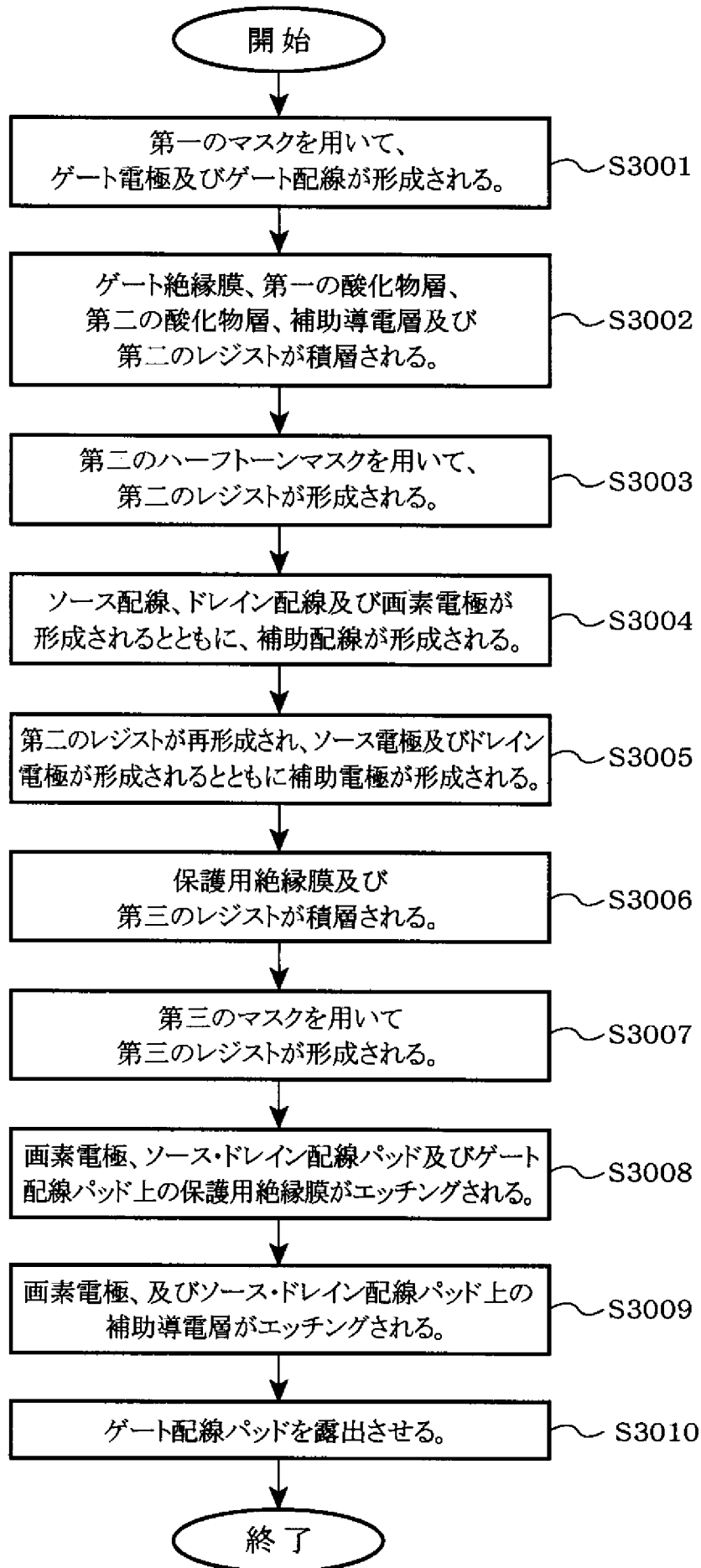
[図37]



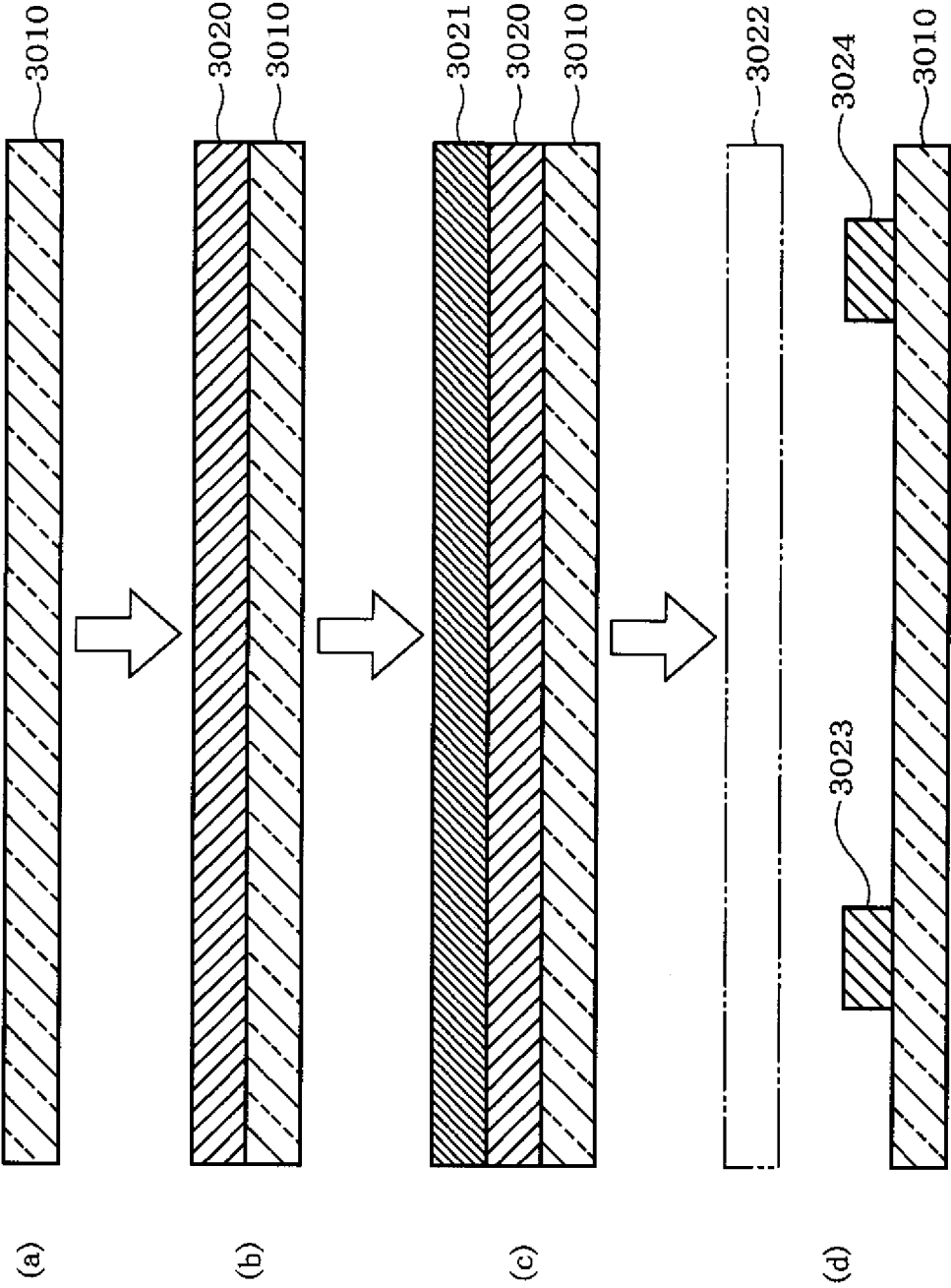
[図38]



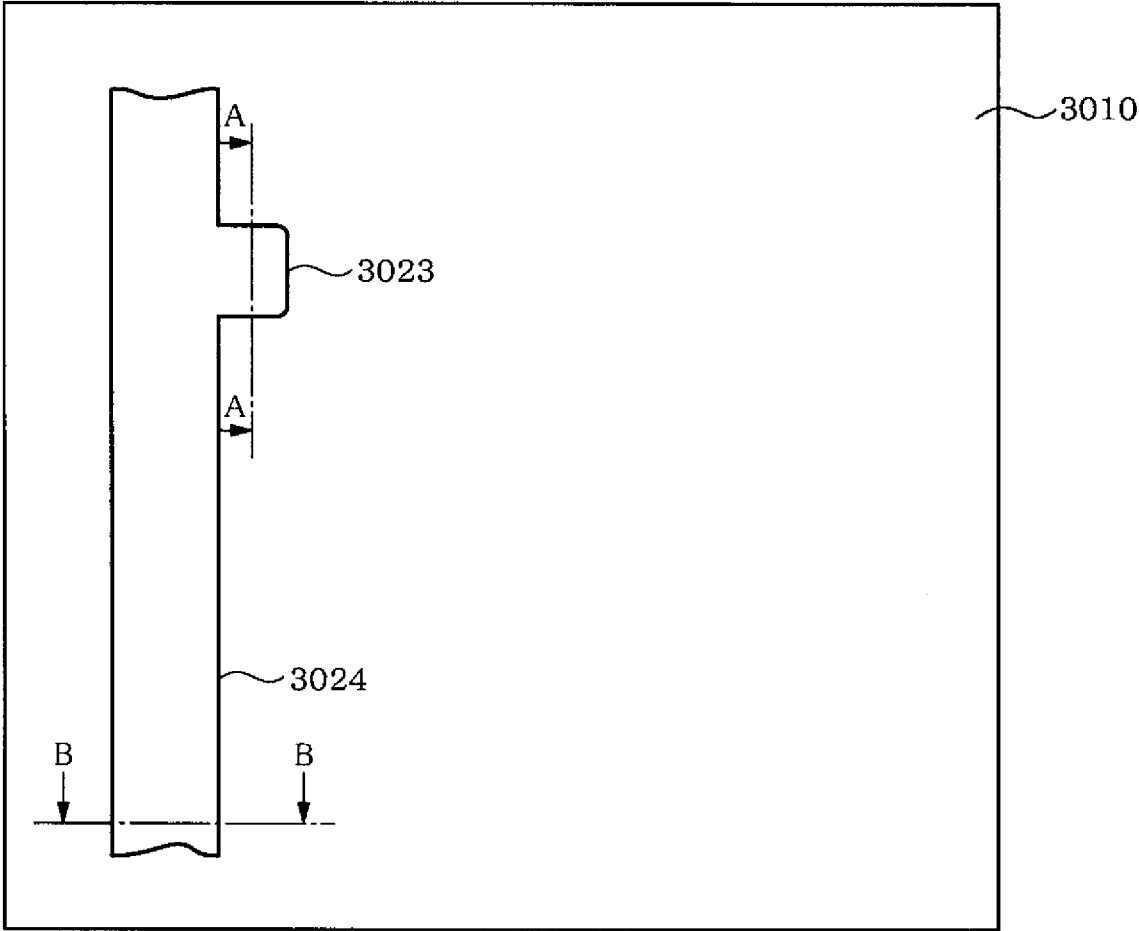
[図39]



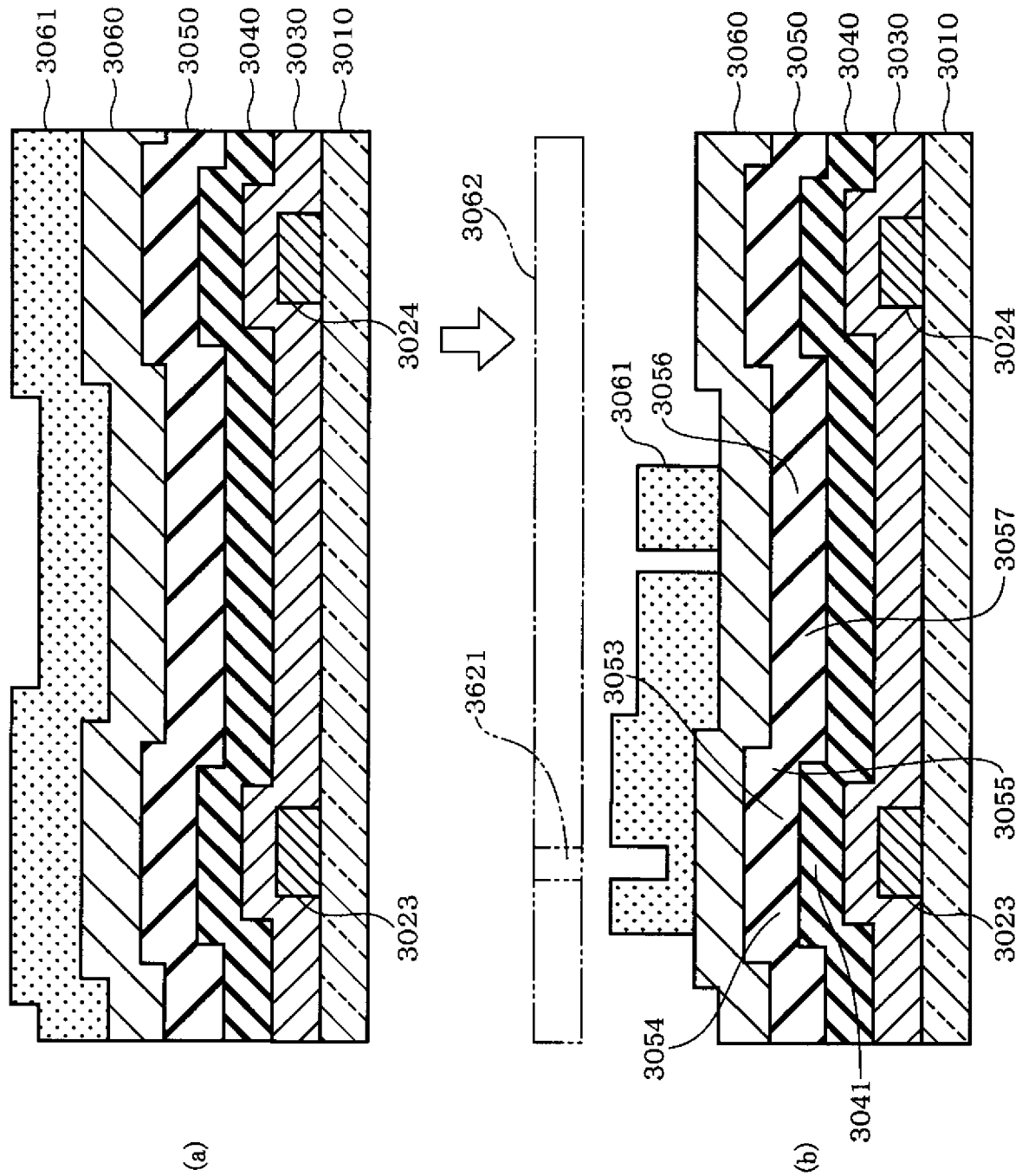
[図40]



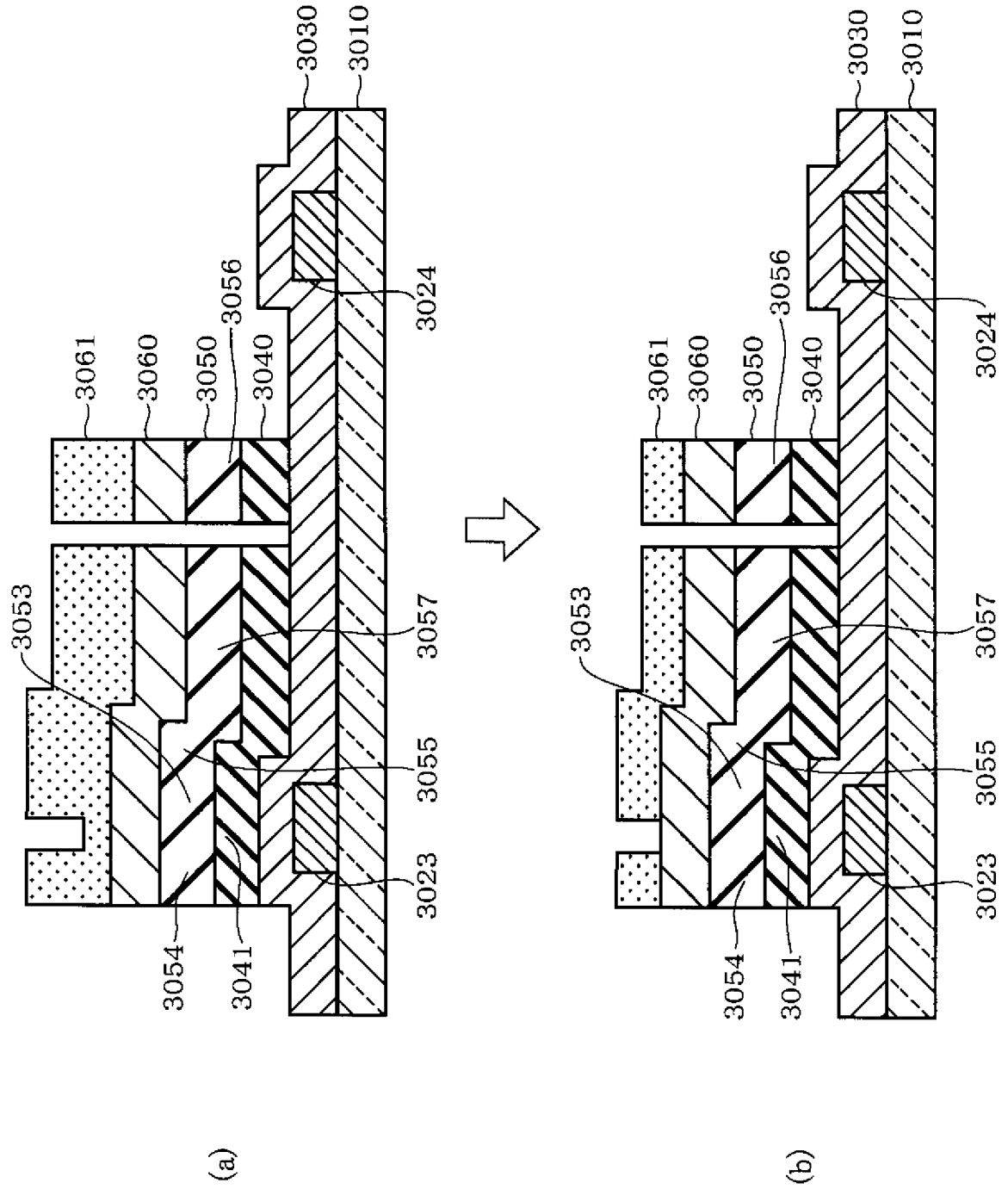
[図41]



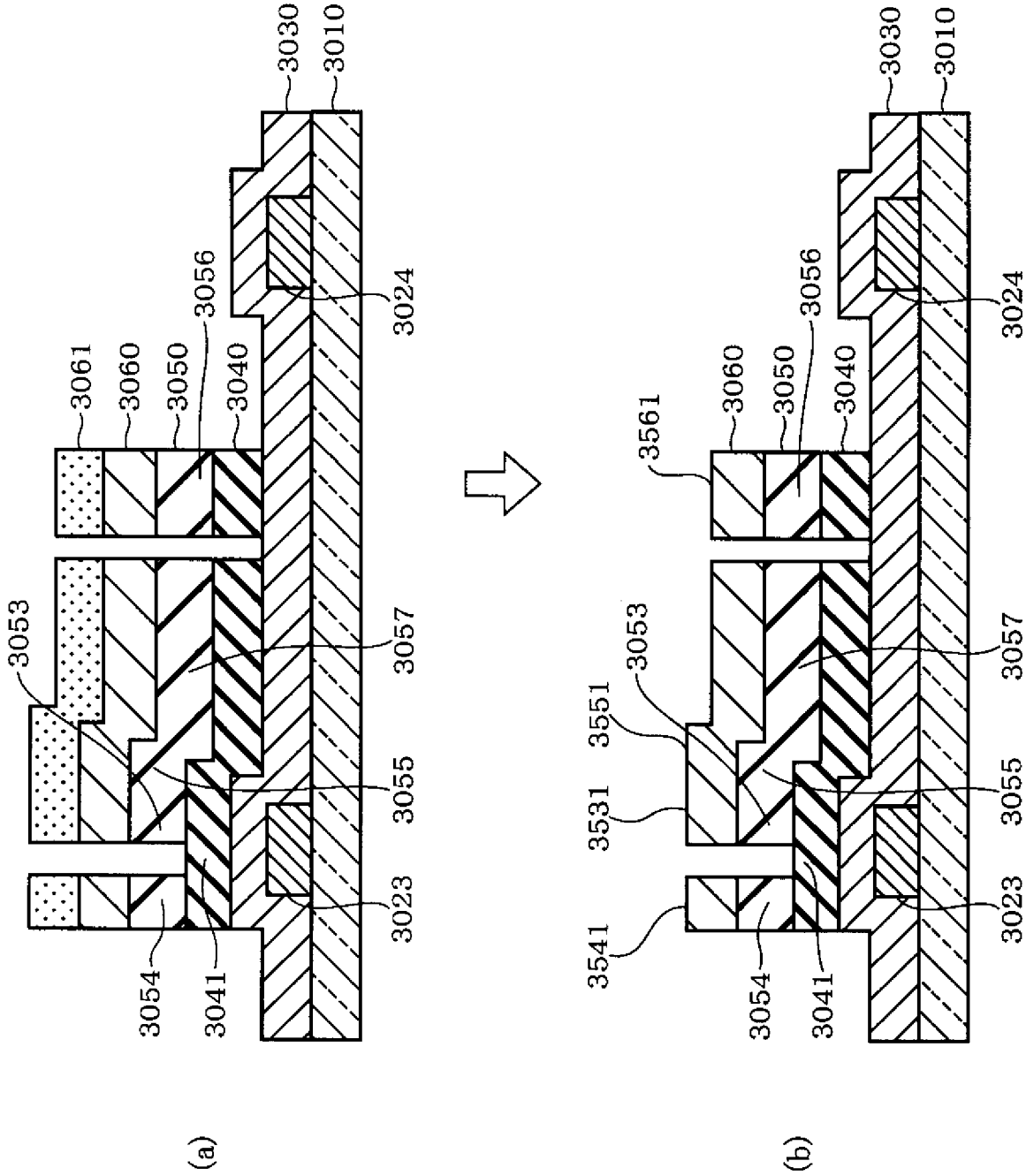
[図42]



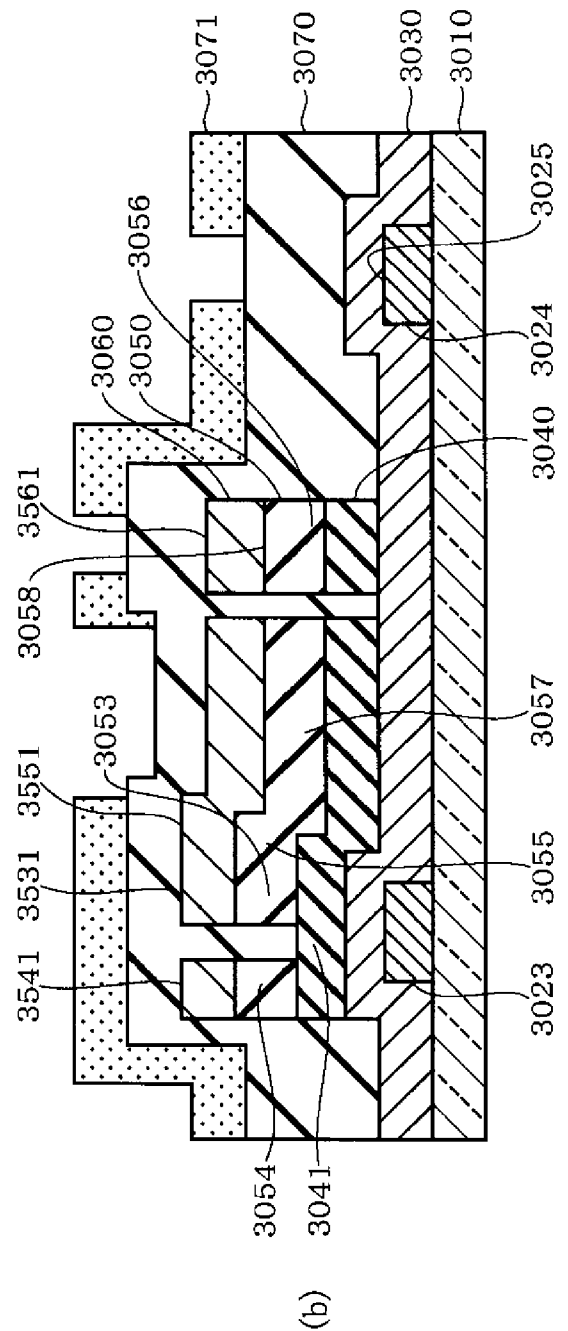
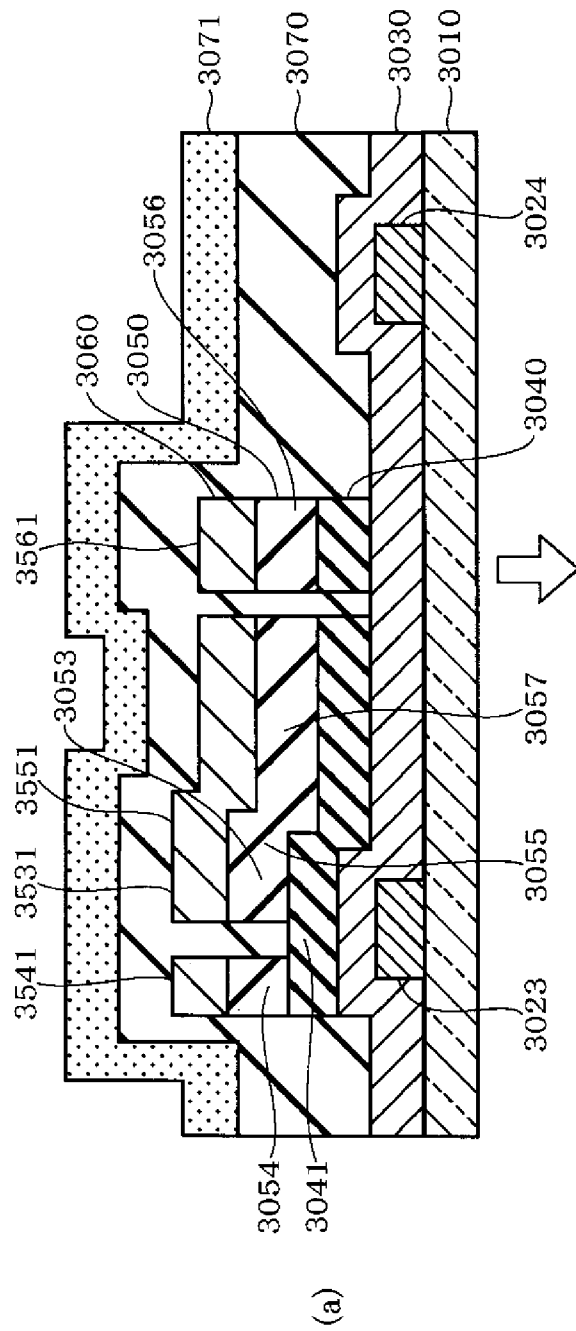
[図43]



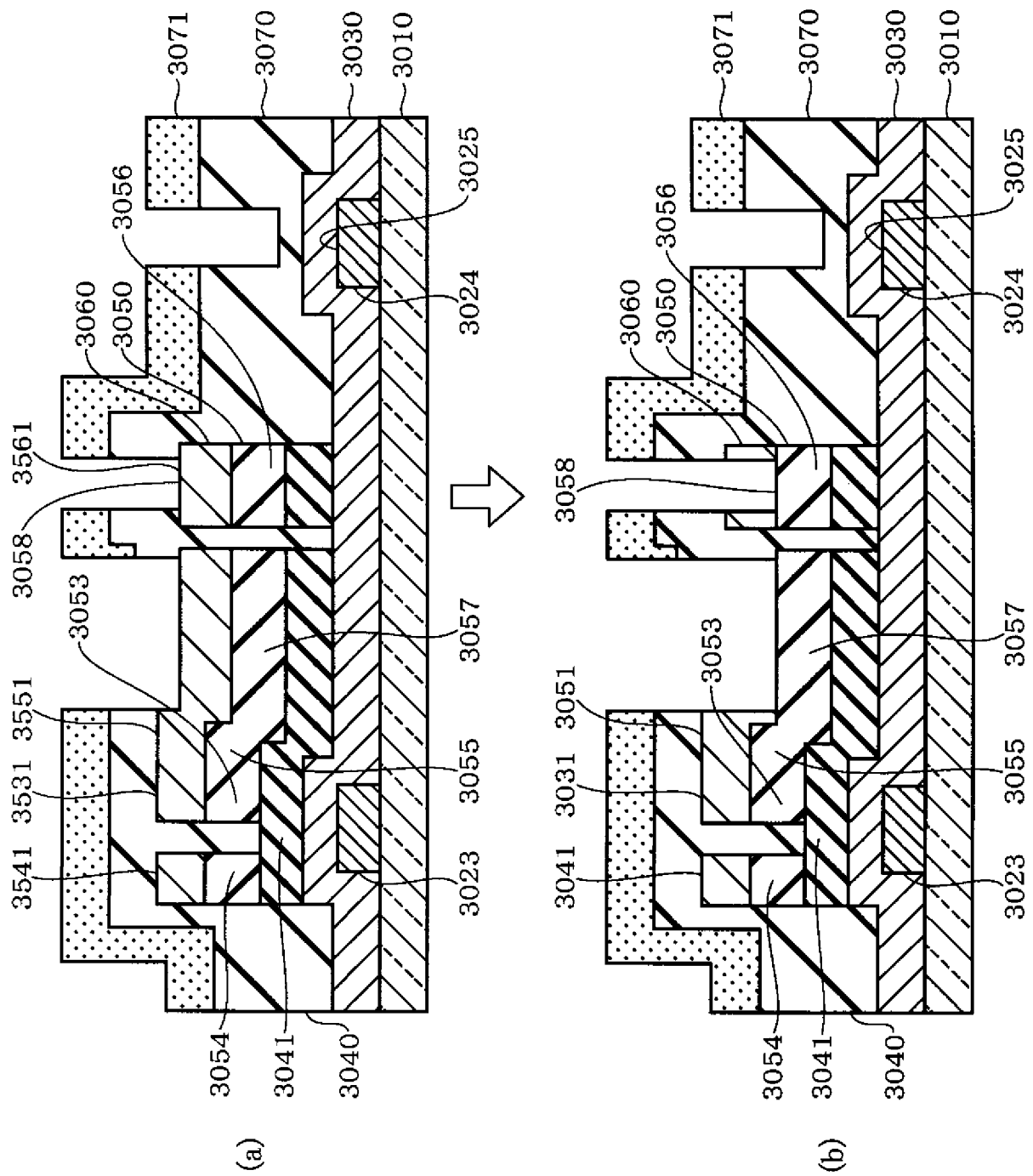
[図44]



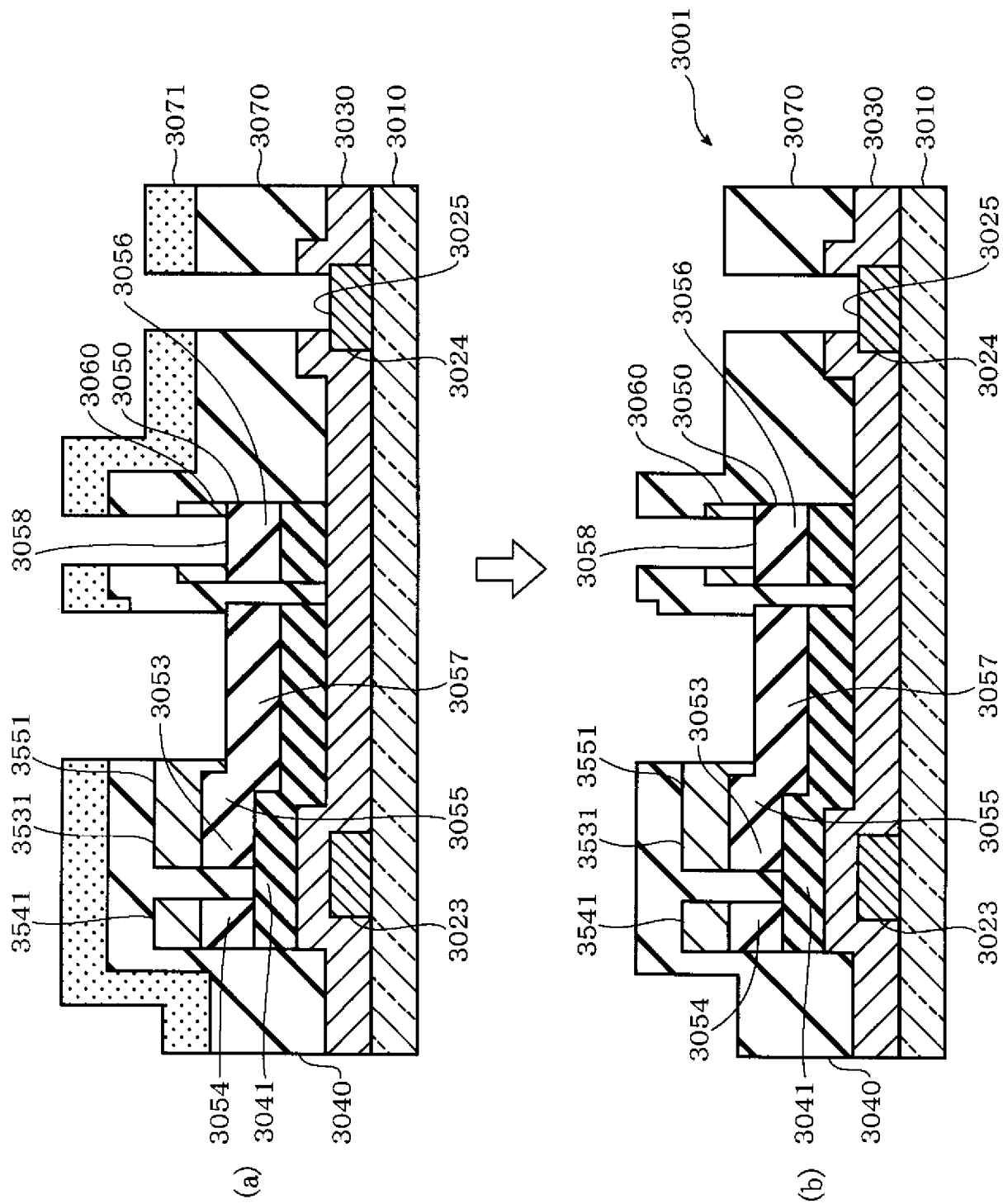
[図46]



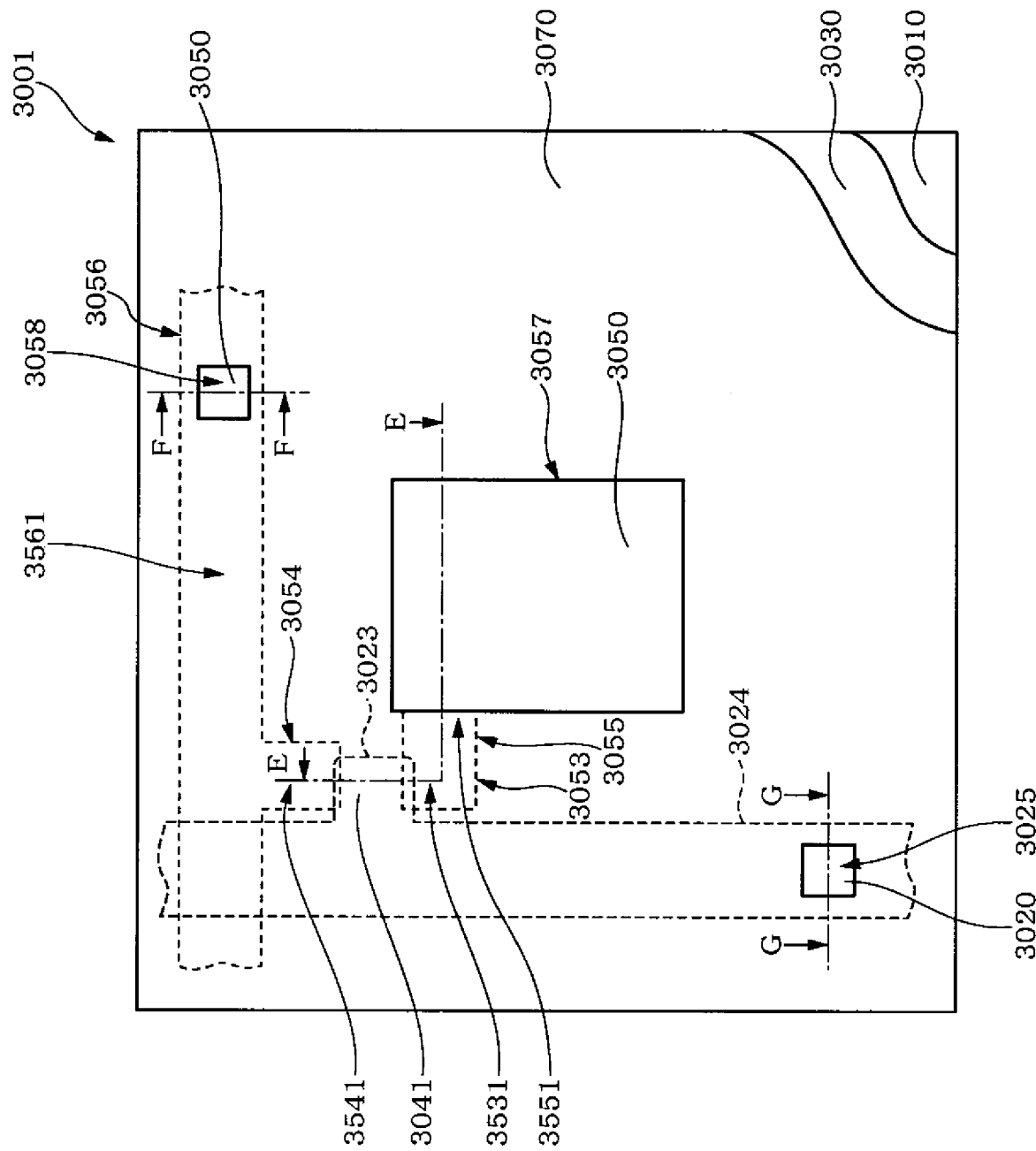
[図47]



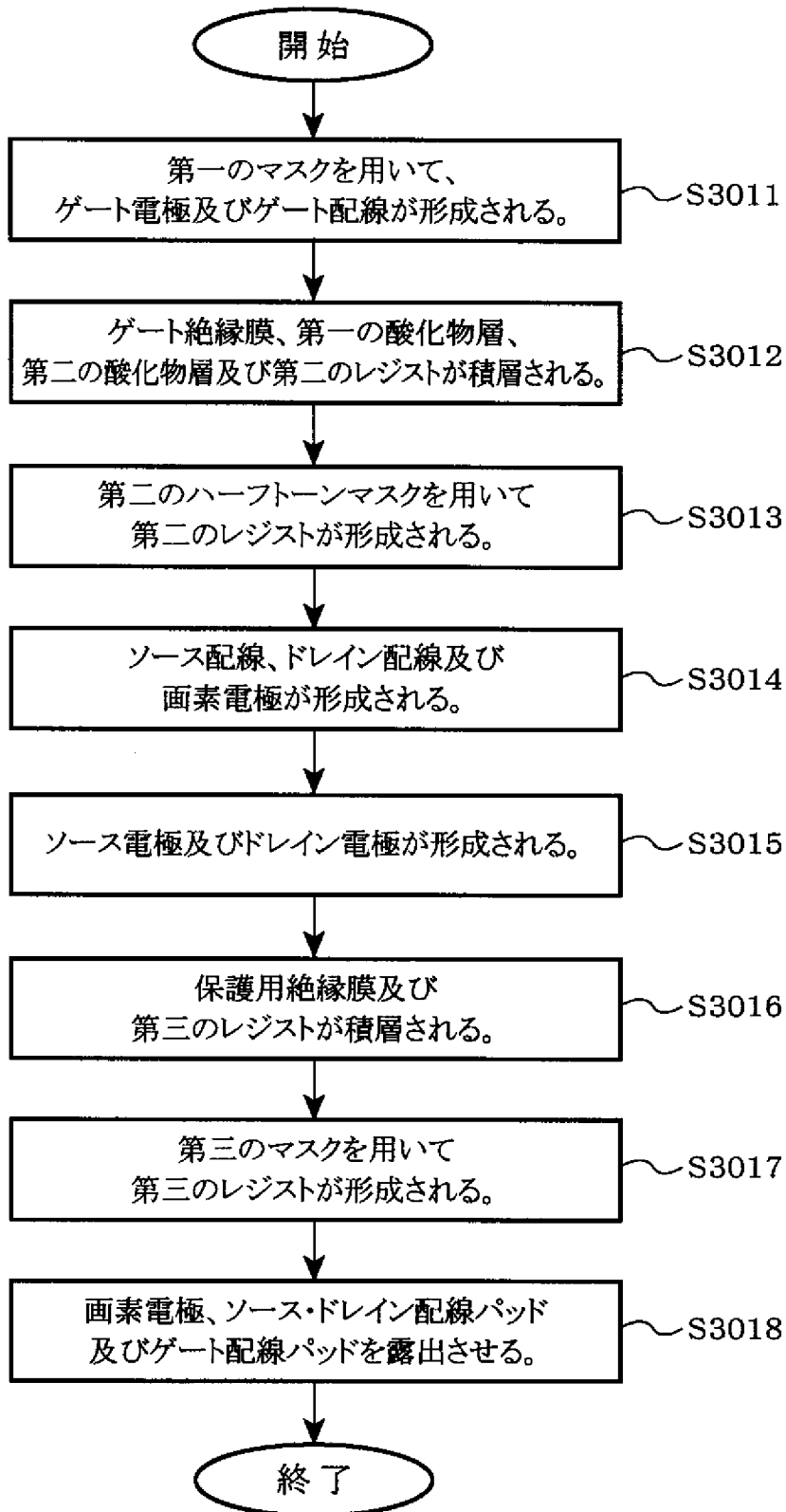
[図48]



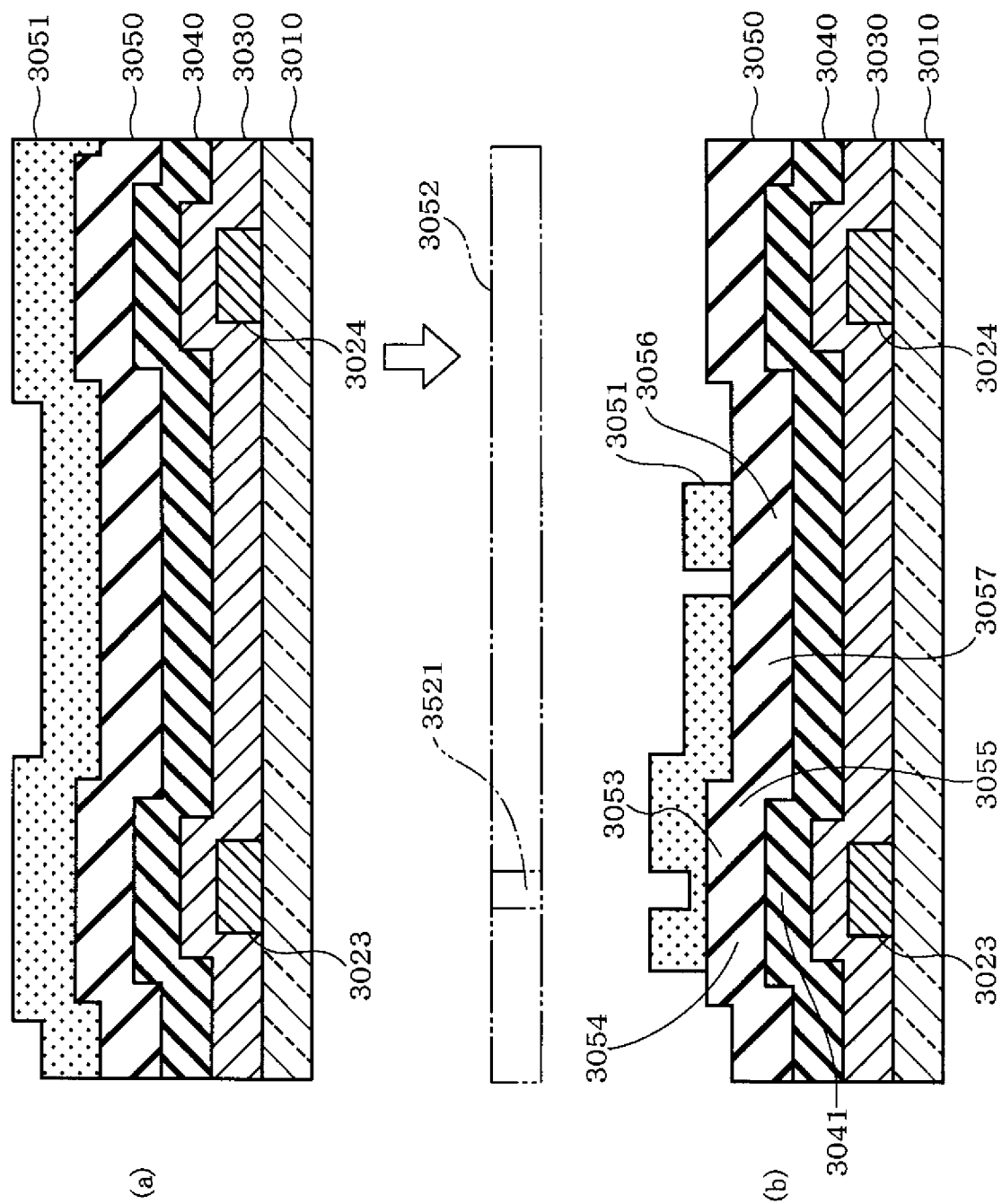
[図49]



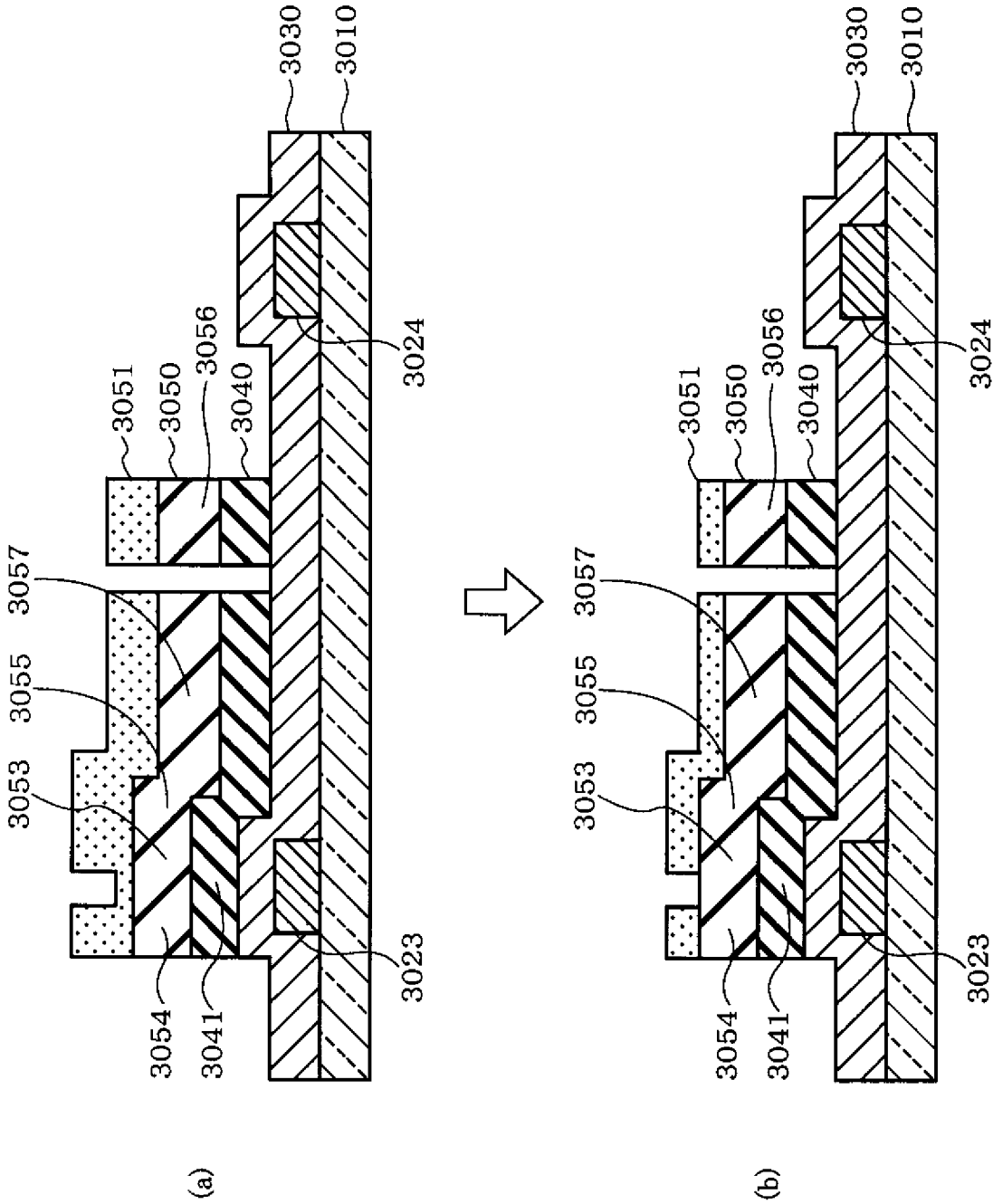
[図50]



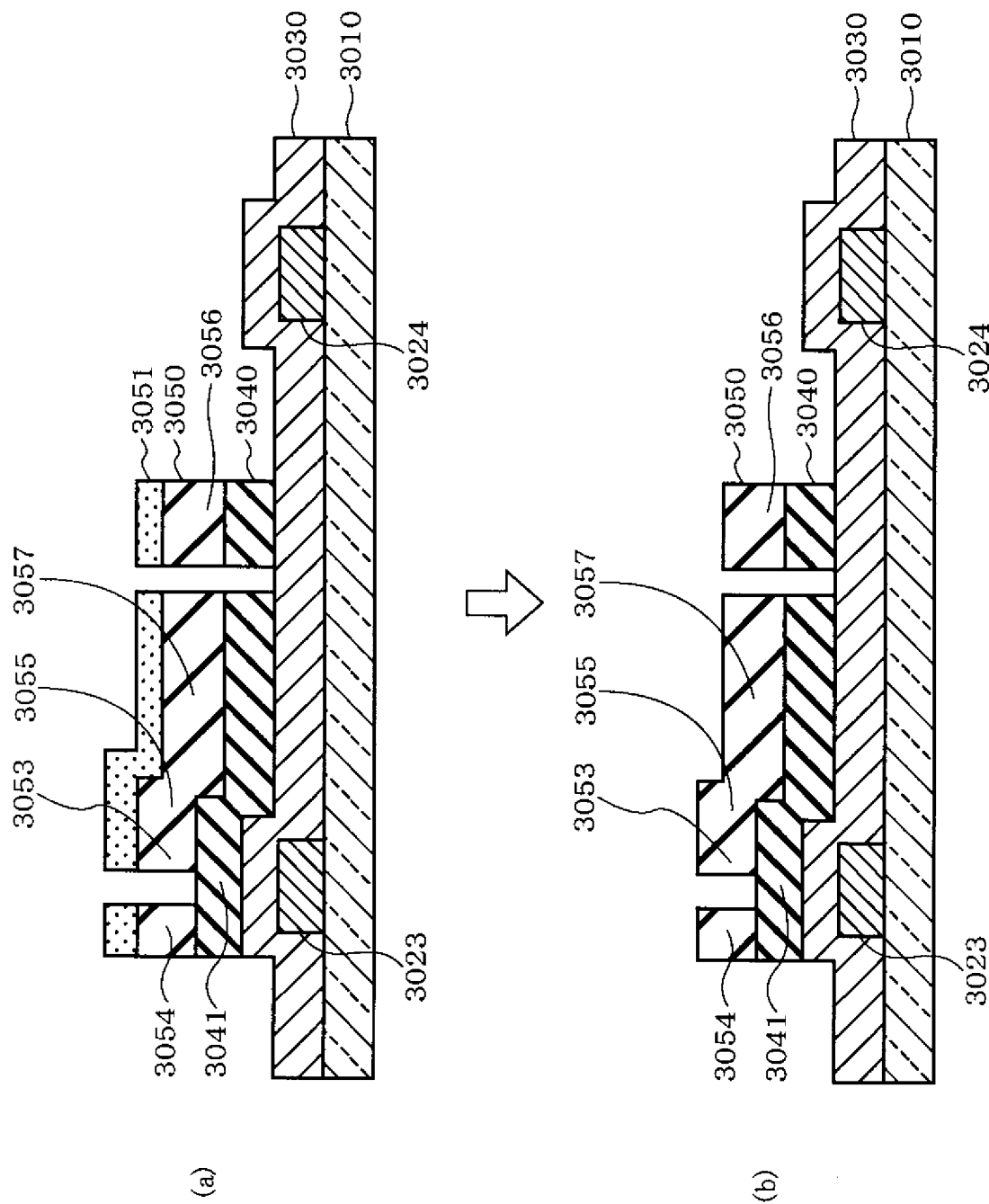
[図51]



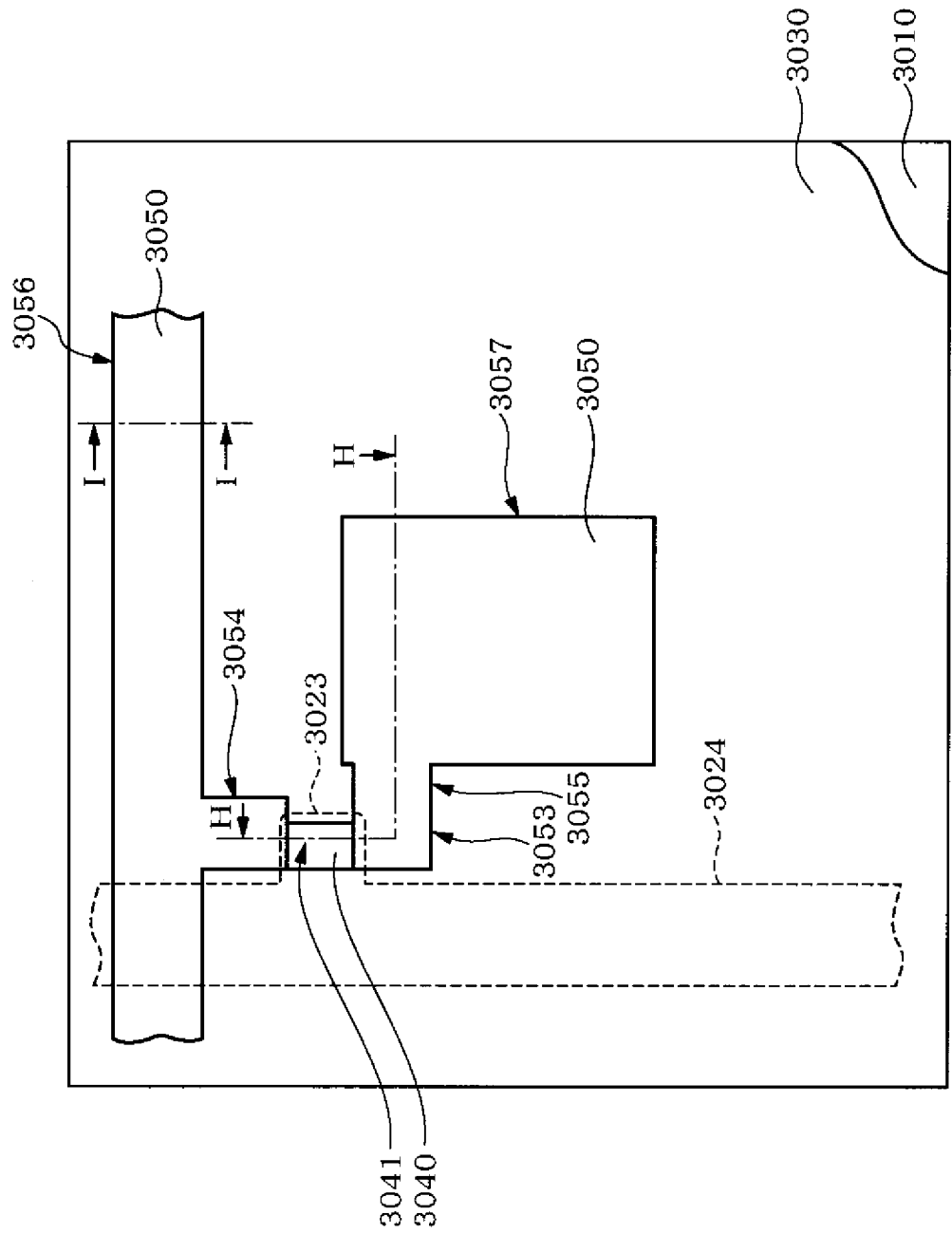
[図52]



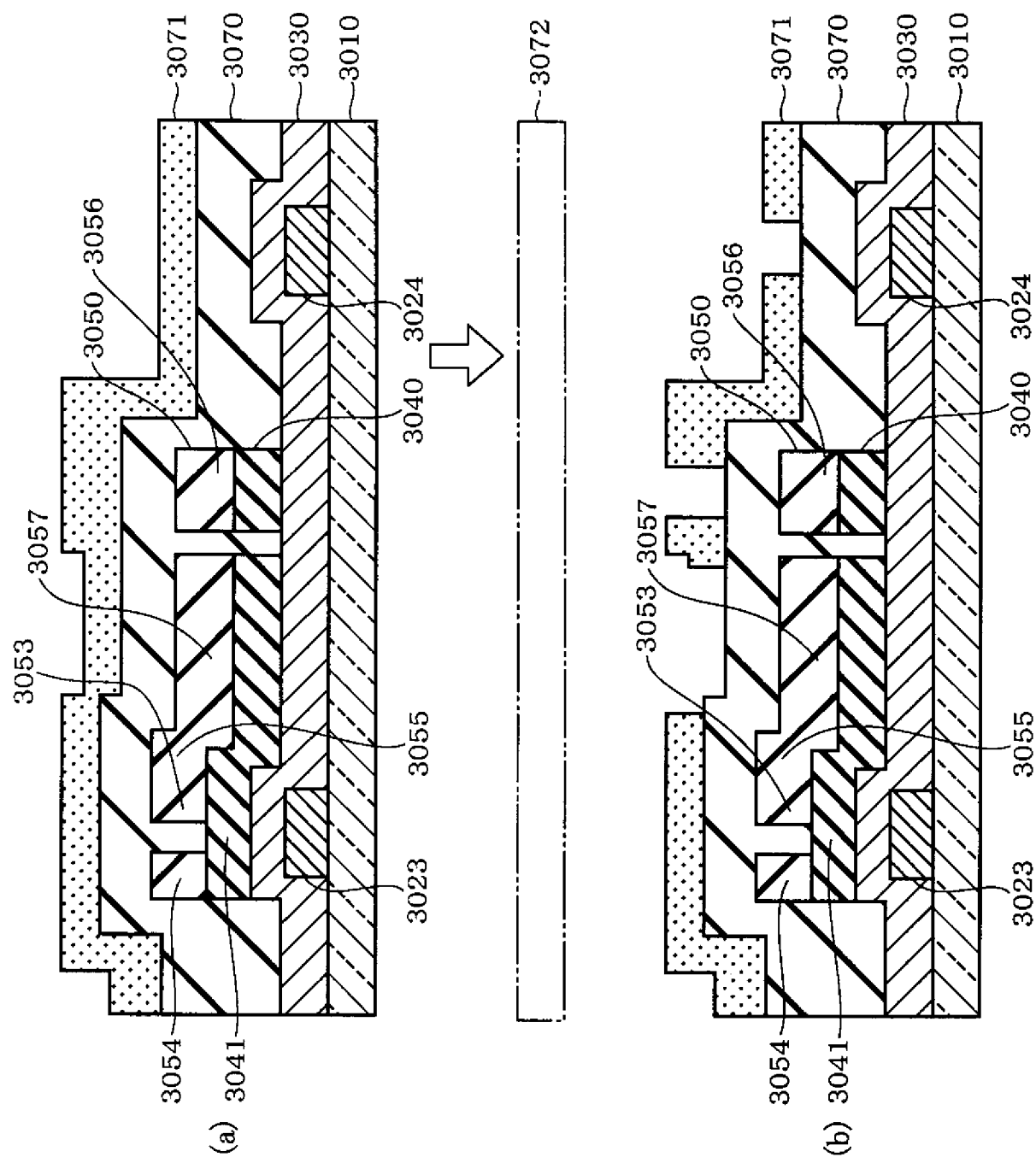
[図53]



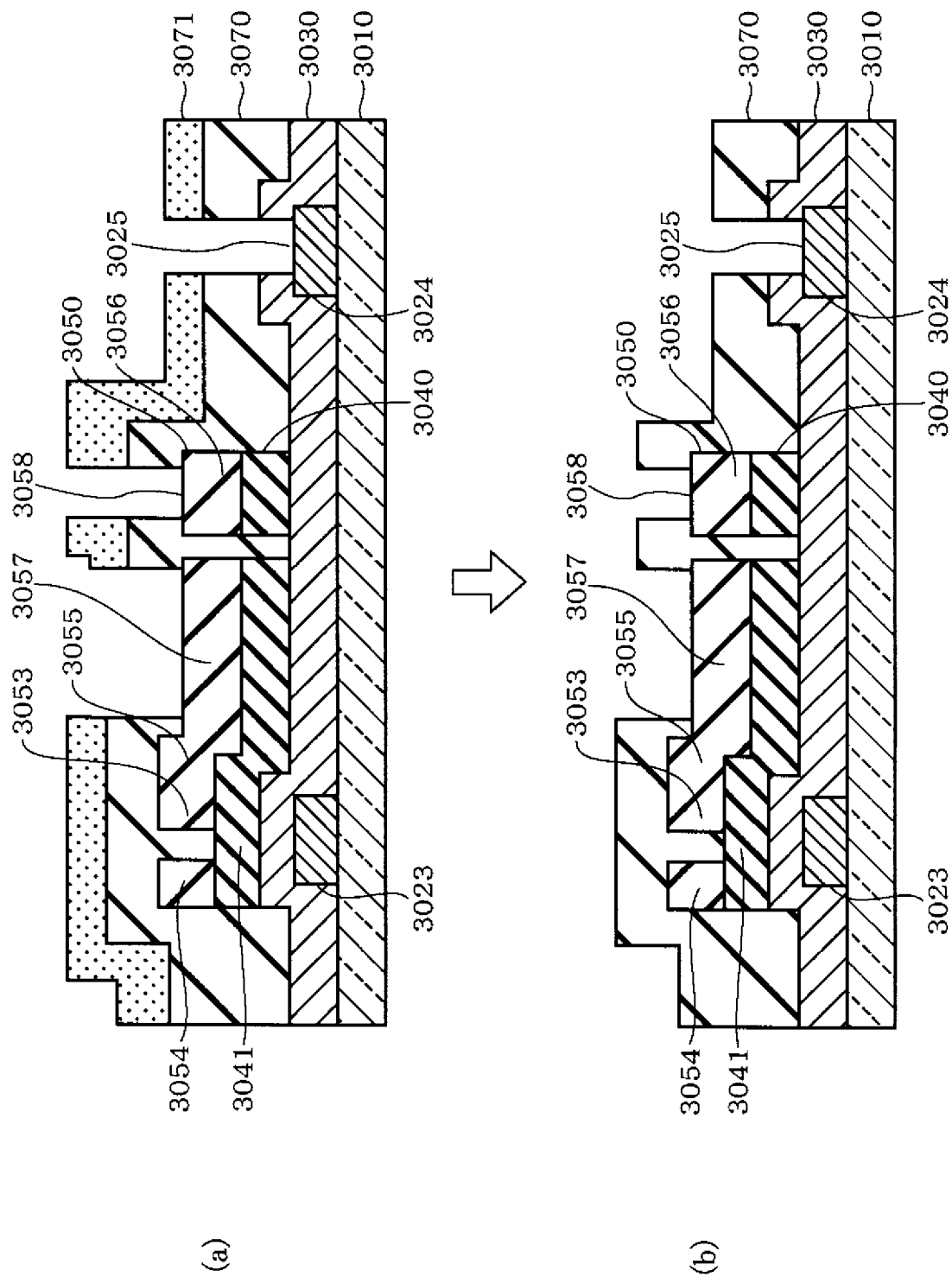
[図54]



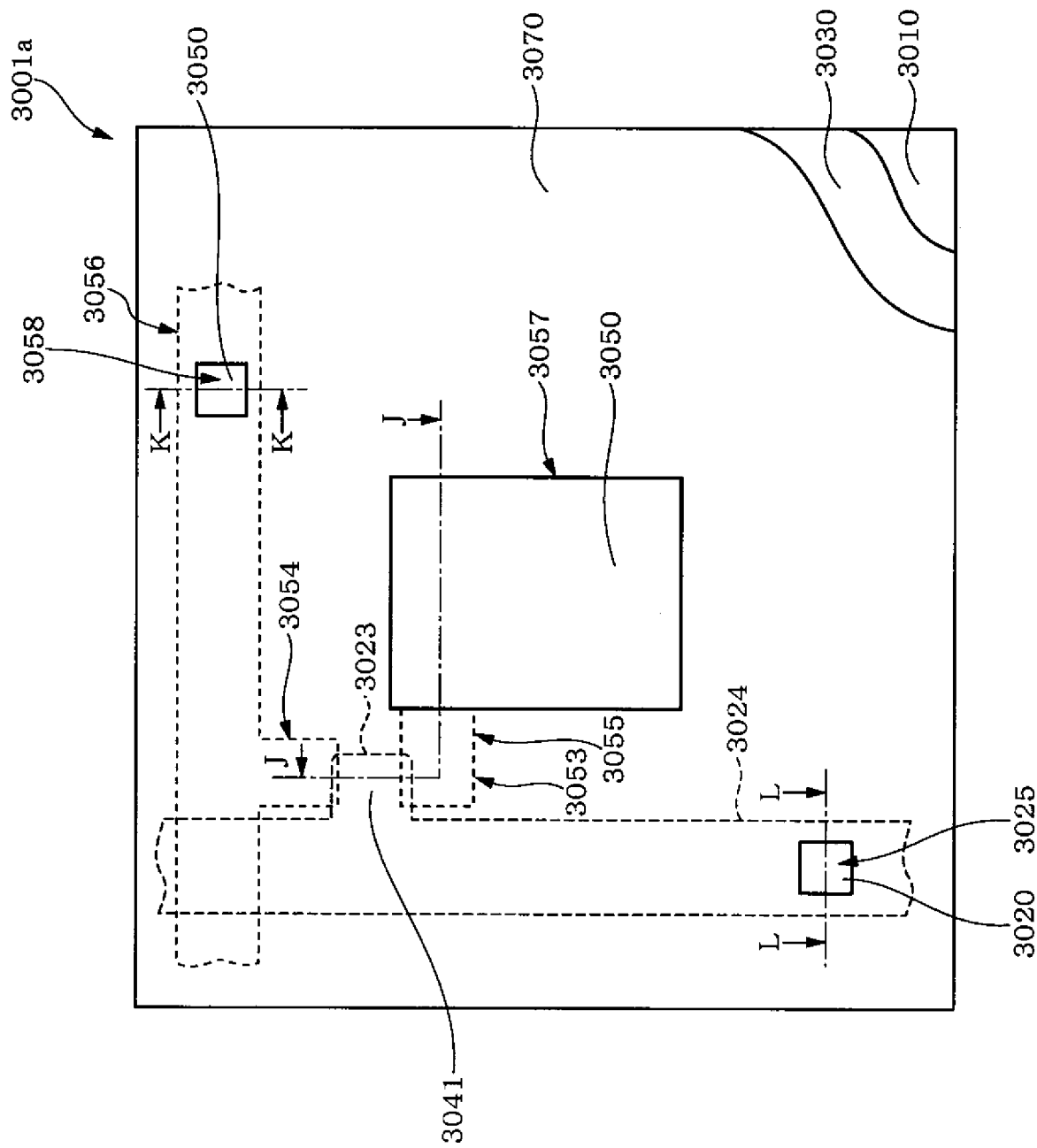
[図55]



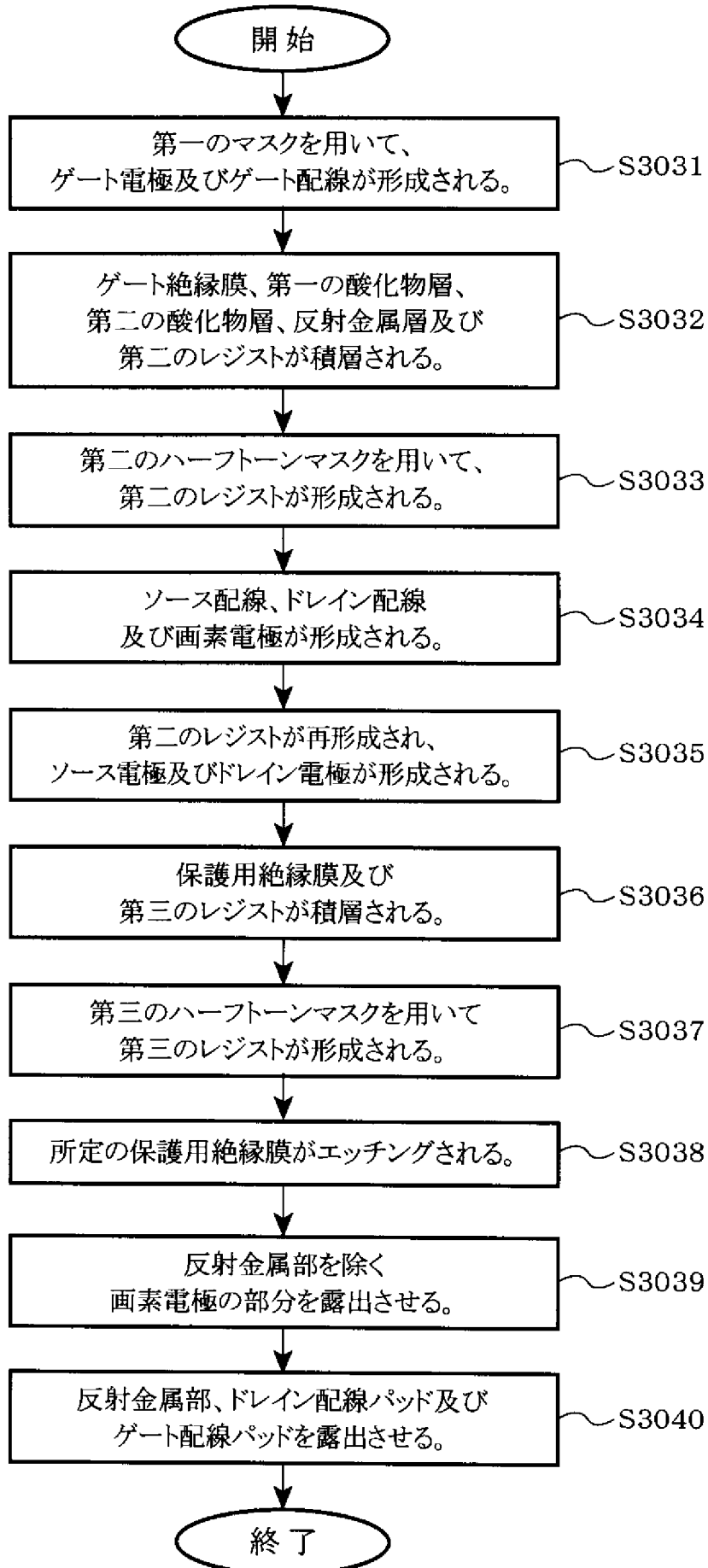
[図56]



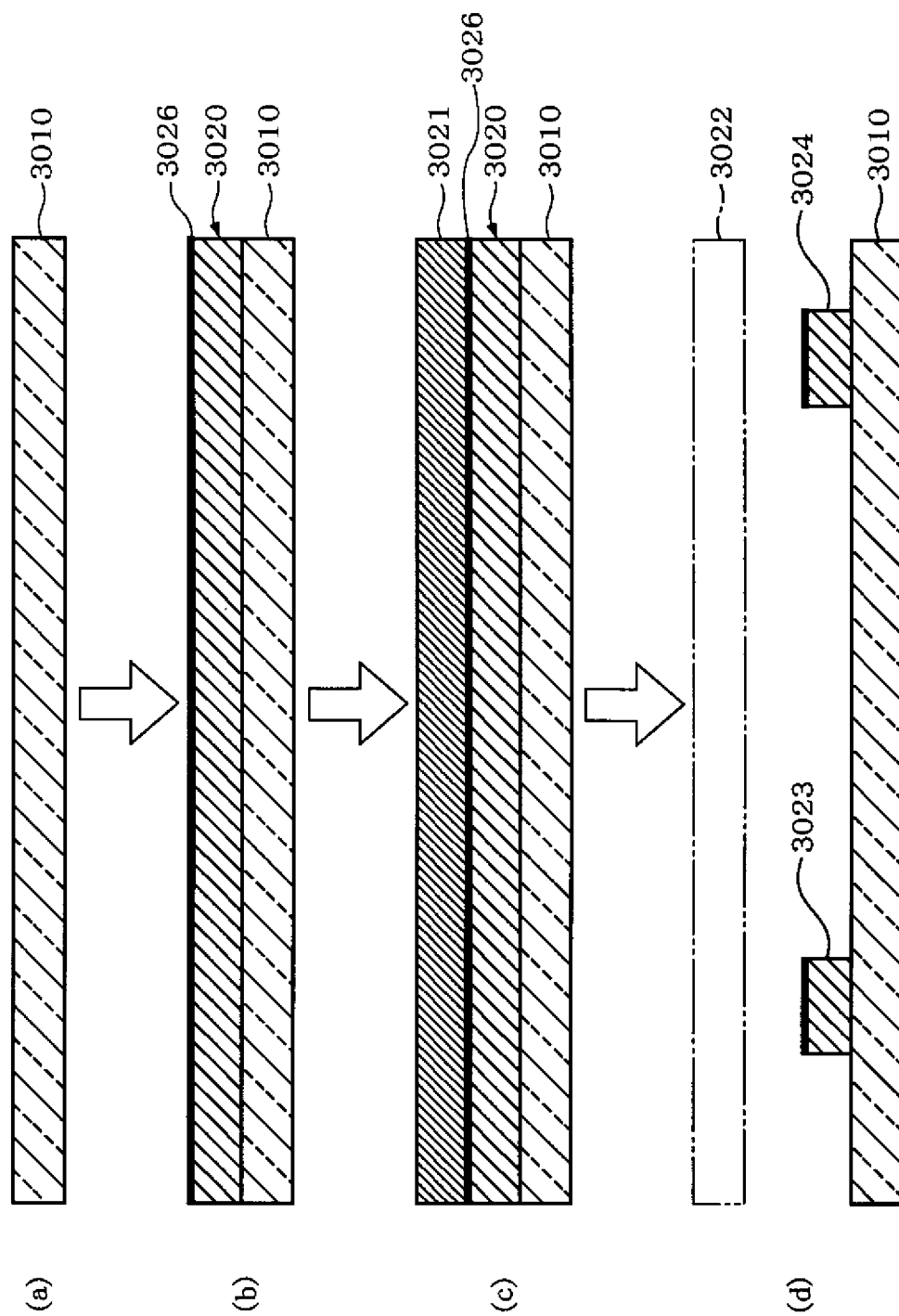
[図57]



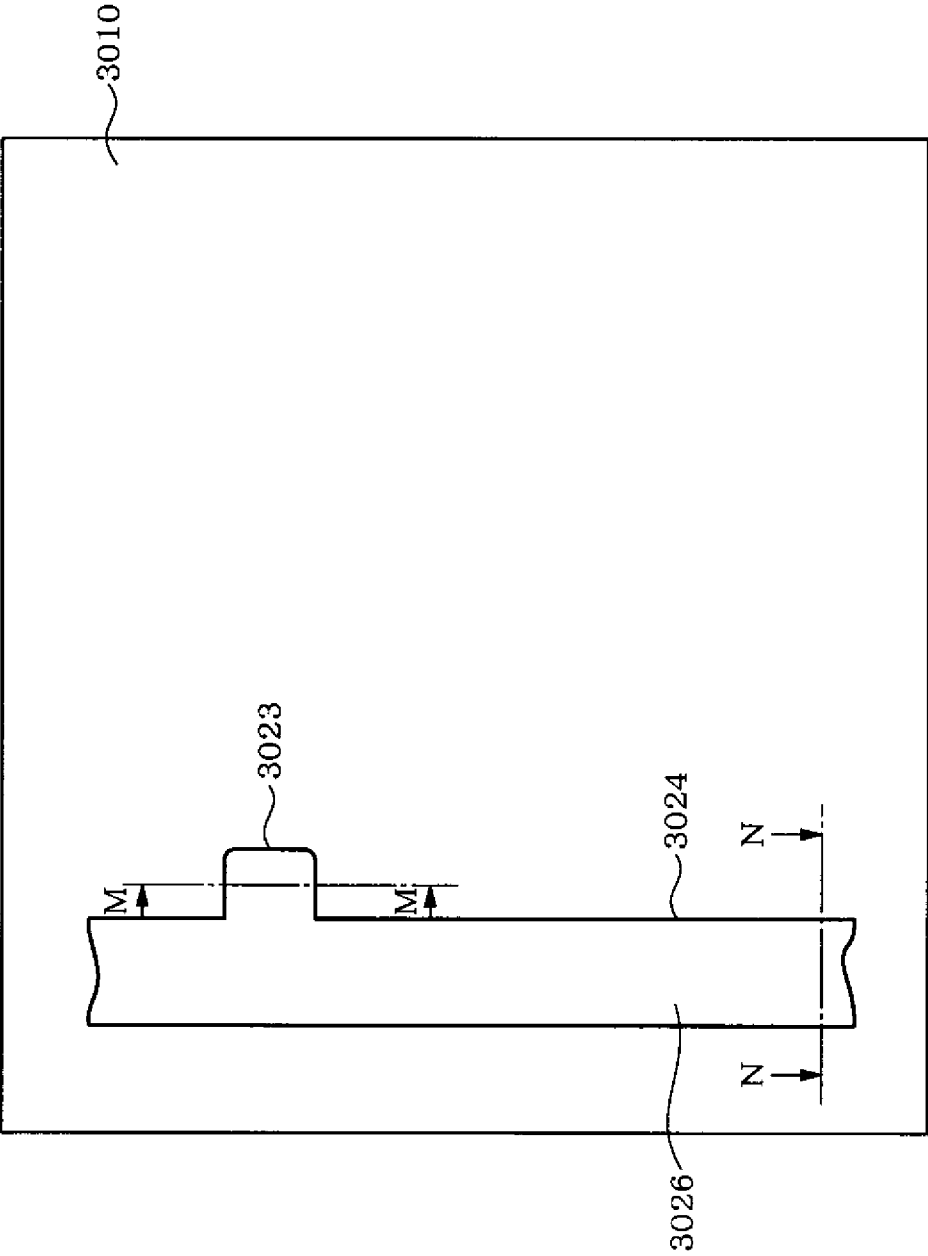
[図58]



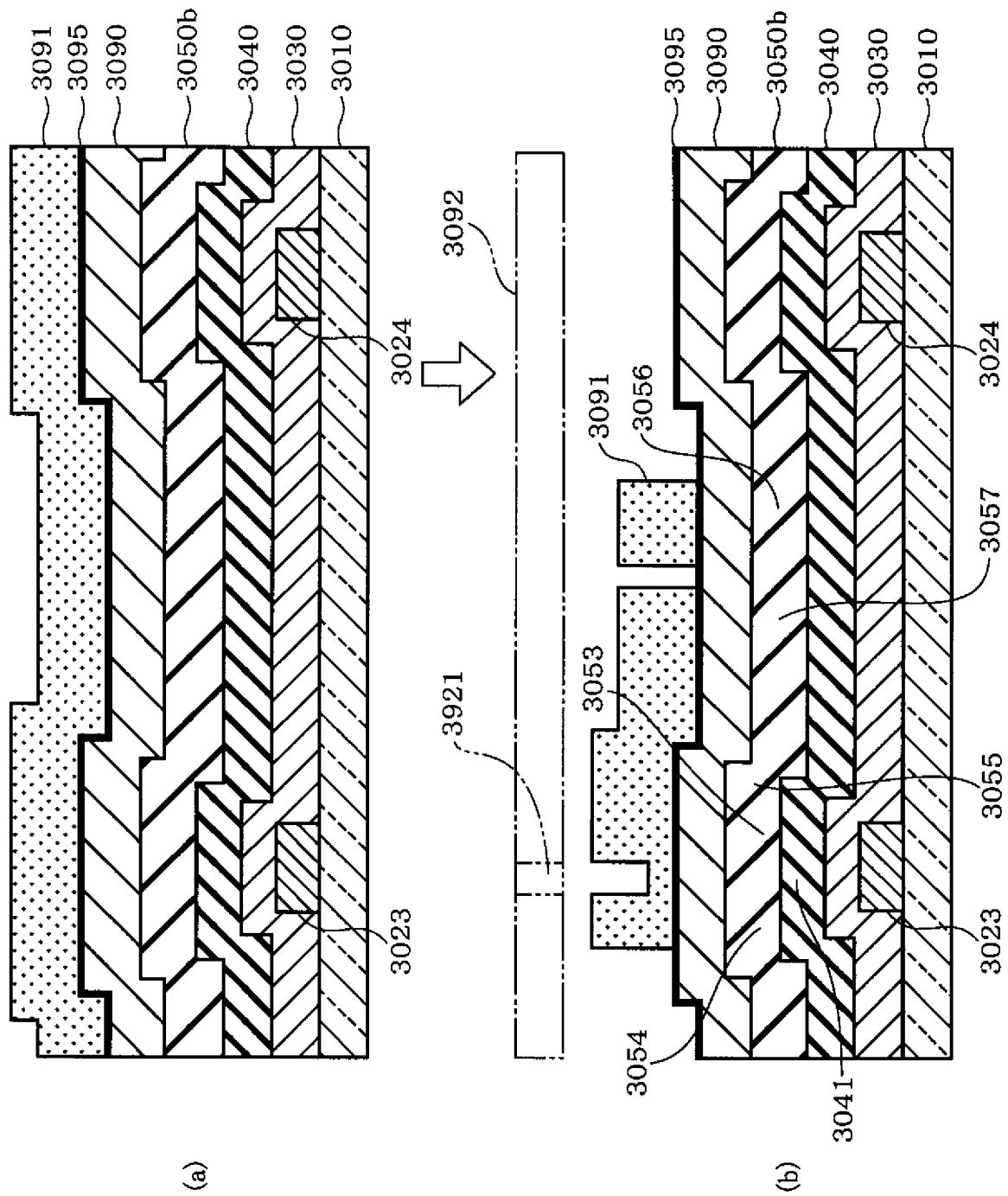
[図59]



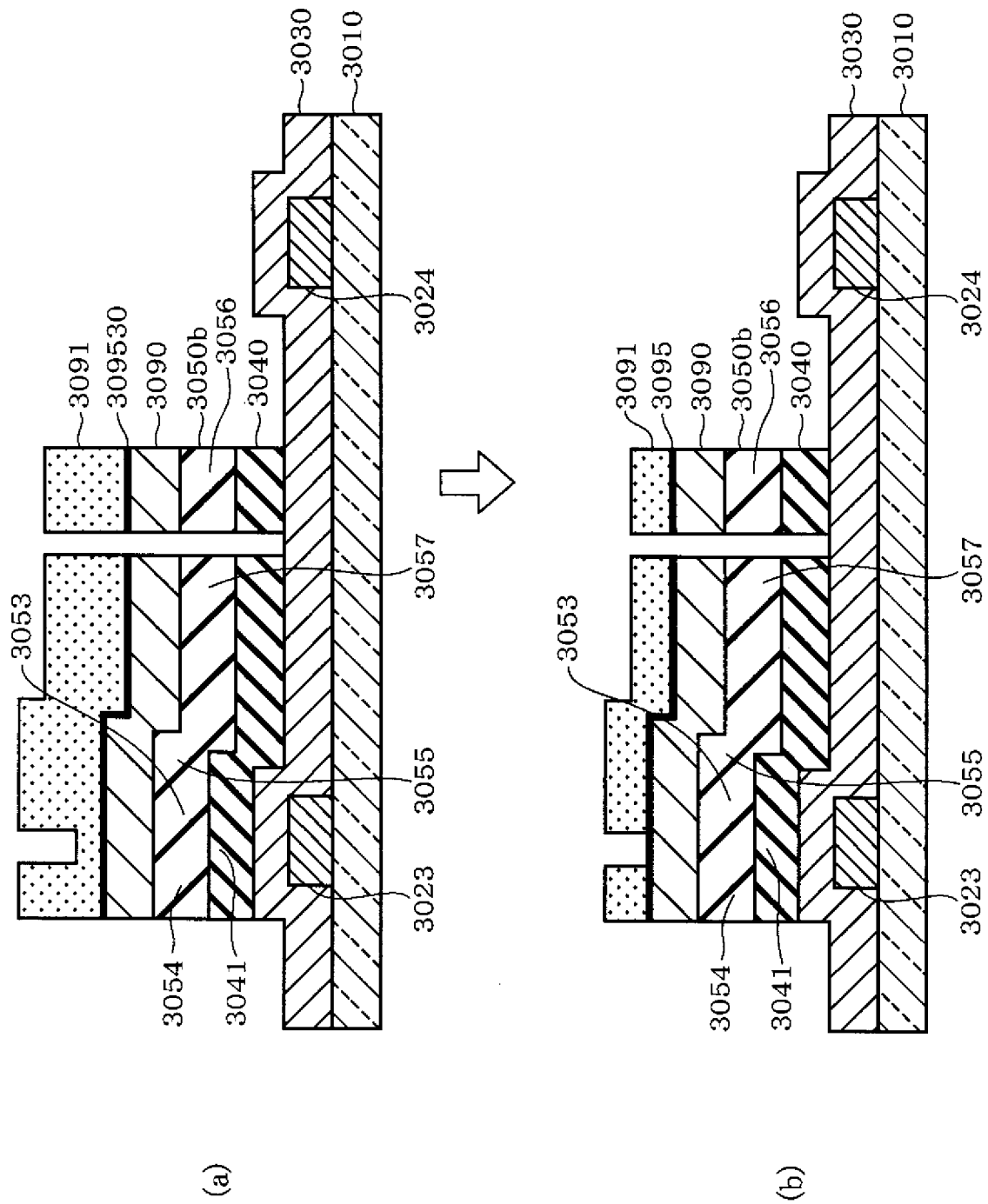
[図60]



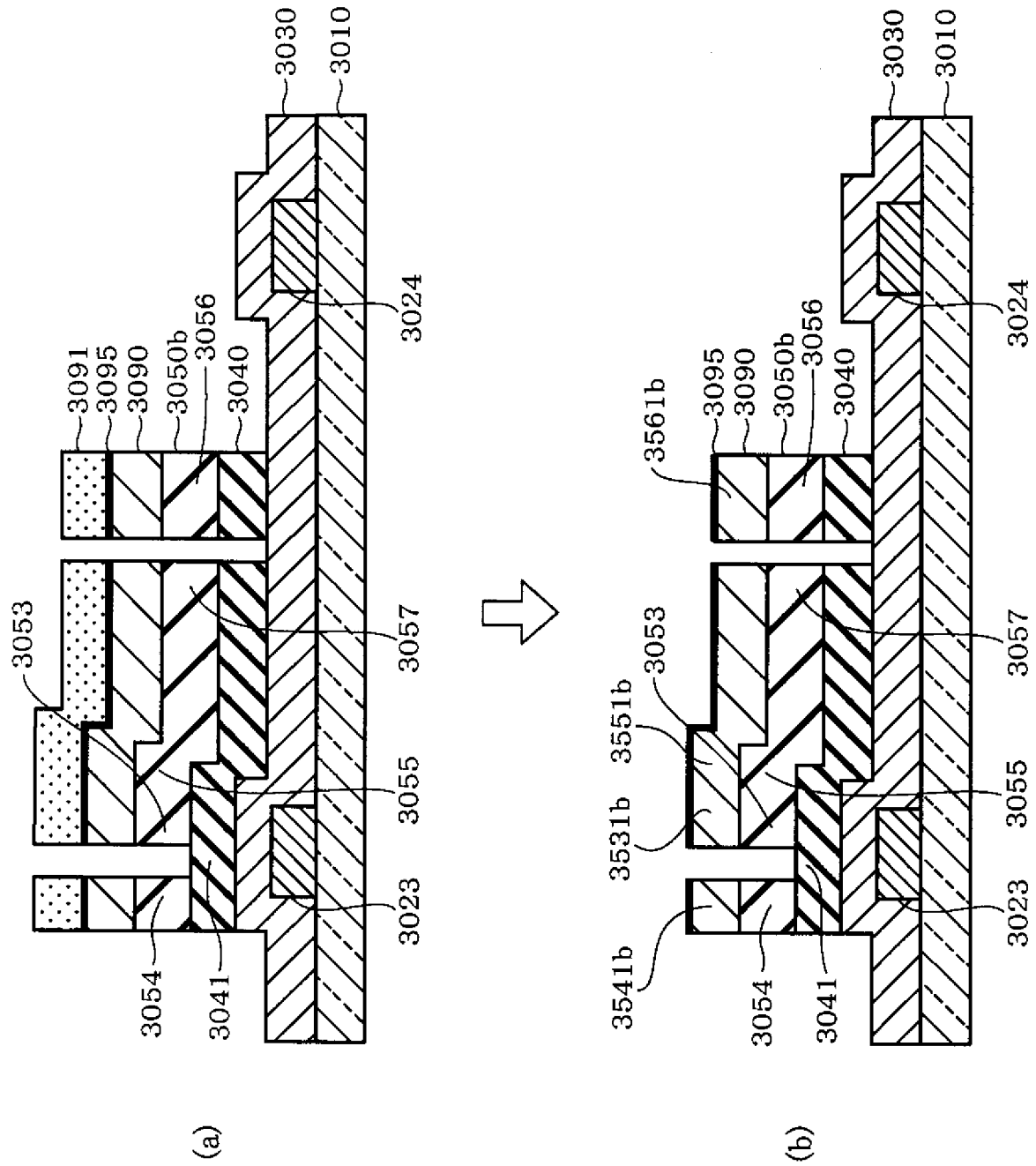
[図61]



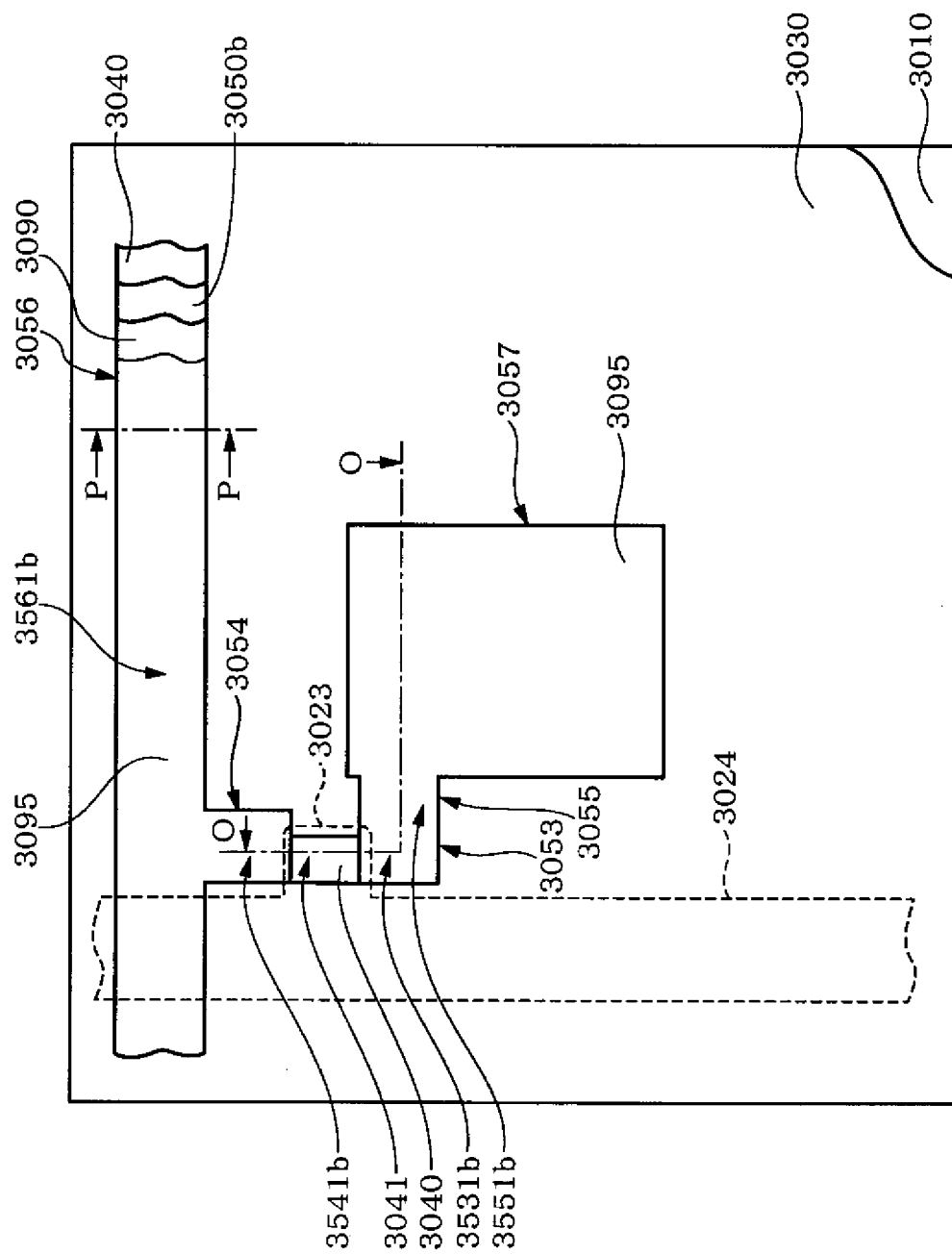
[図62]



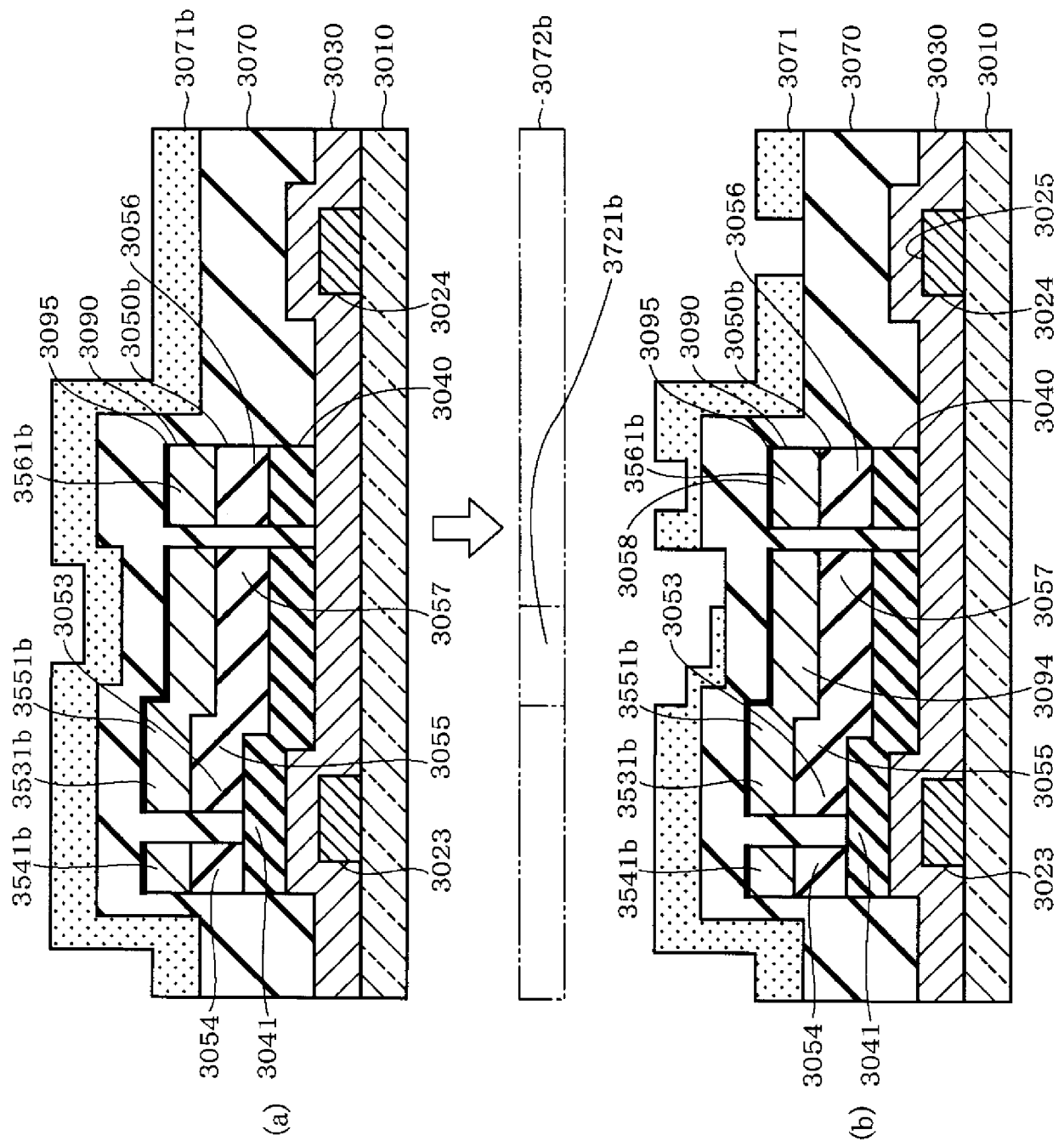
[図63]



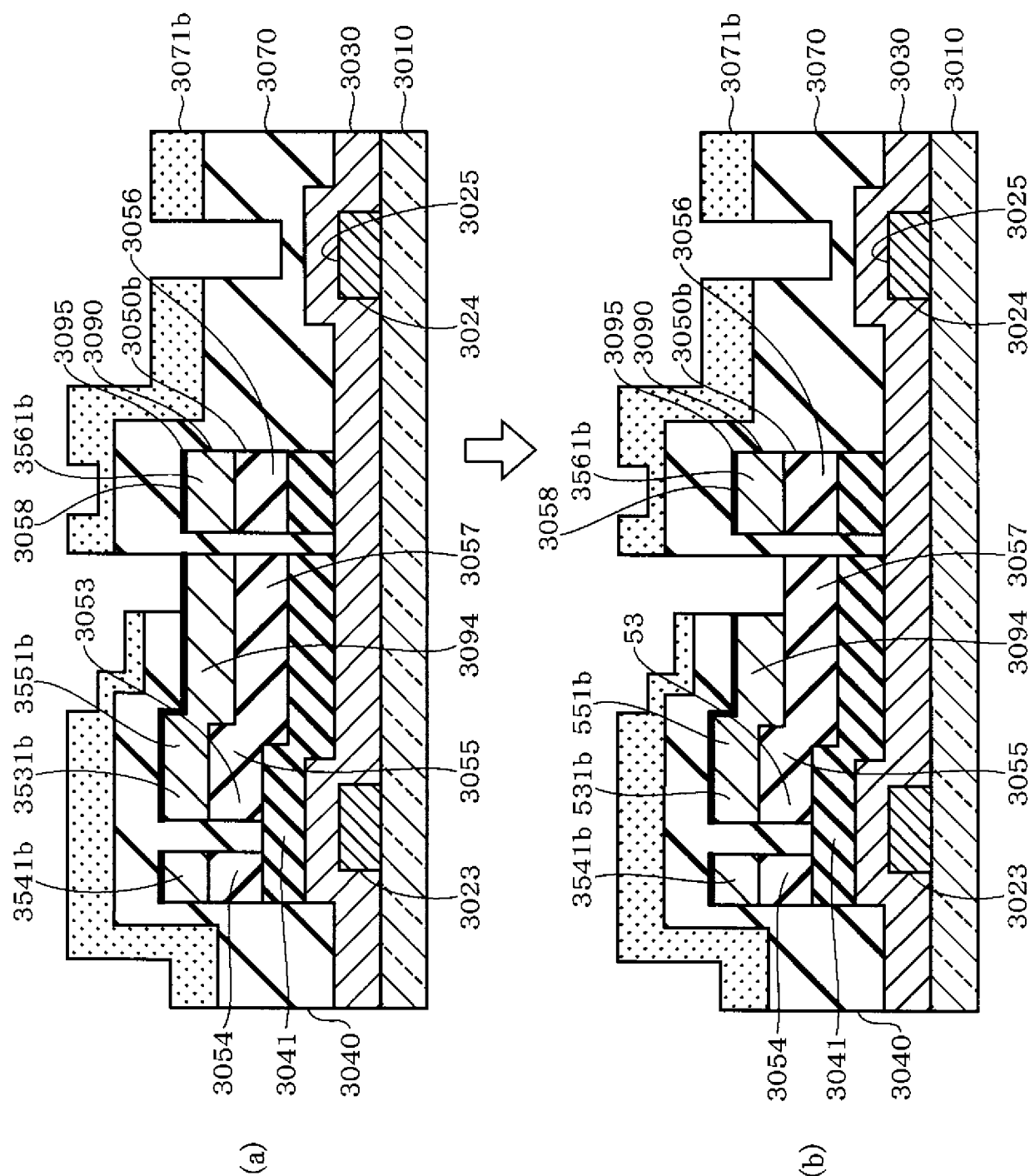
[図64]



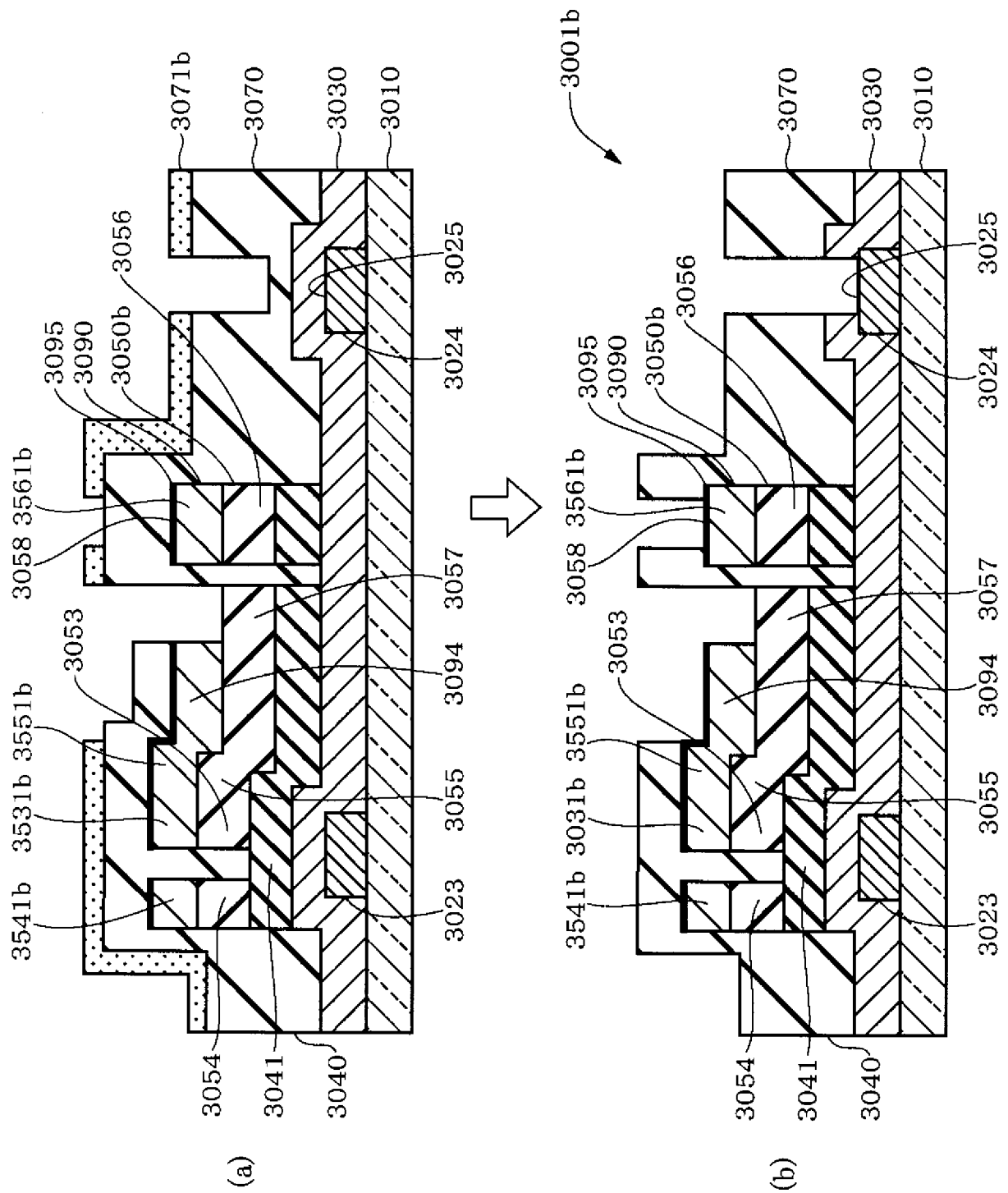
[図65]



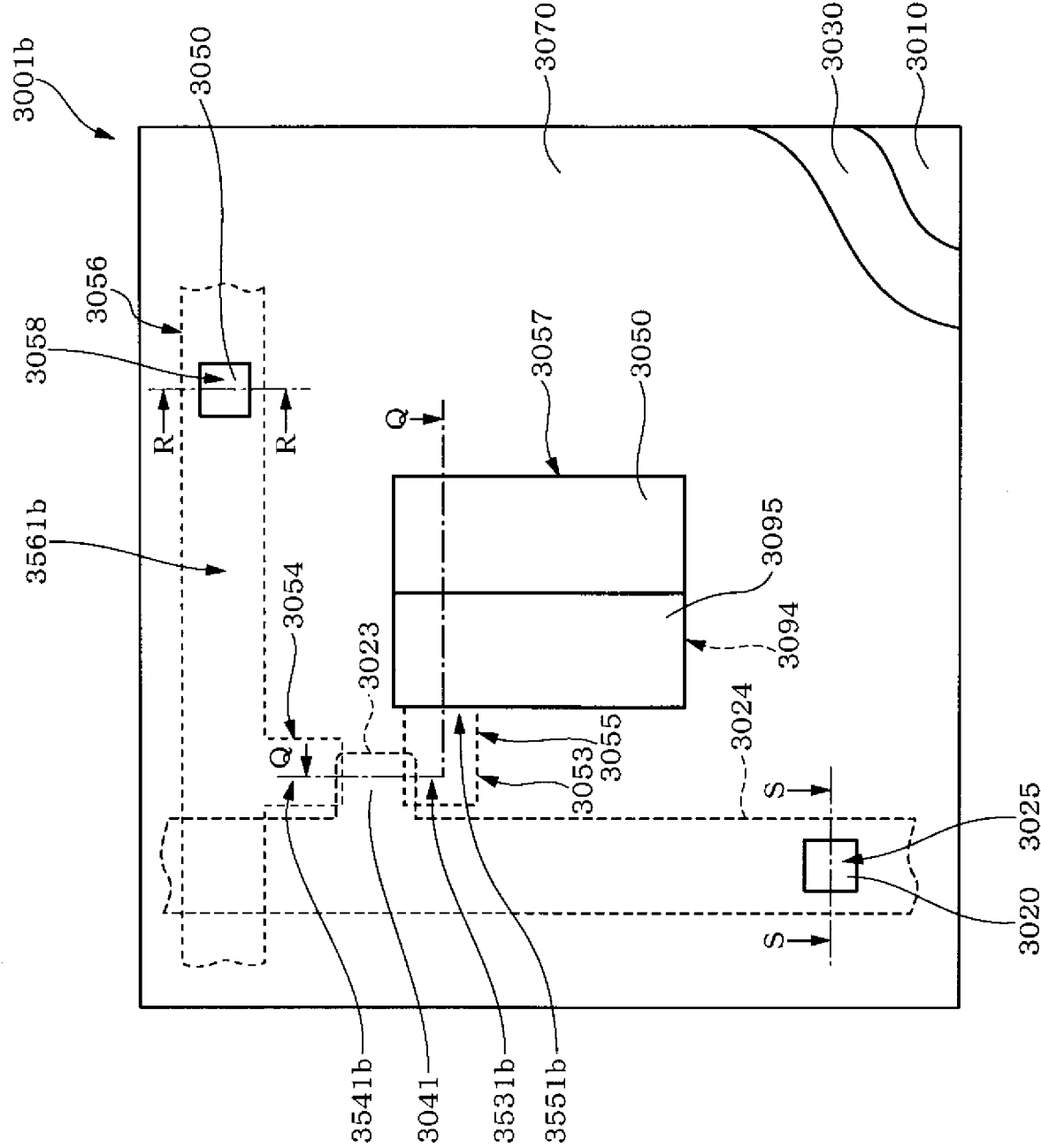
[図66]



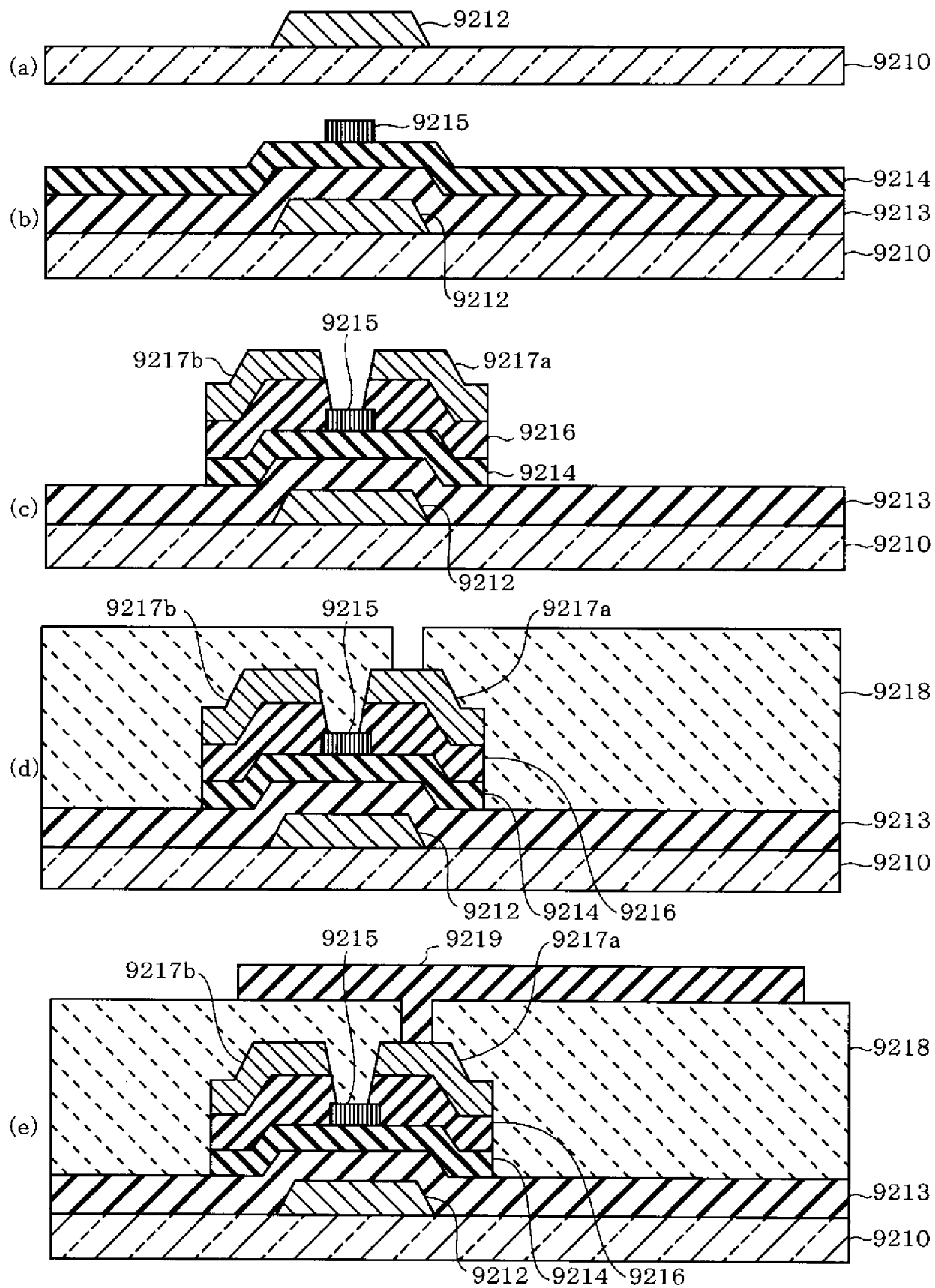
[図67]



[図68]



[図69]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/319673

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01)i, G02F1/1368(2006.01)i, H01L21/336(2006.01)i,
H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/30, G02F1/1368, H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-163933 A (L.G. Philips LCD Co., Ltd.), 10 June, 2004 (10.06.04), Par. Nos. [0053] to [0081]; Figs. 6 to 9H	1,6 2-5,7-38
Y A	JP 8-234218 A (Matsushita Electric Industrial Co., Ltd.), 13 September, 1996 (13.09.96), Par. Nos. [0020], [0057]; Fig. 1	1,6 2-5,7,22-34

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
22 December, 2006 (22.12.06)

Date of mailing of the international search report
09 January, 2007 (09.01.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2006/319673

JP 2004-163933 A 2004.06.10

CN 1499271 A
DE 10352404 A1
KR 2004041491 A
TW 200424611 A
US 2004/0095544 A1

JP 8-234218 A 1996.09.13

(Family: none)

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09F9/30(2006.01)i, G02F1/1368(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09F9/30, G02F1/1368, H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P 2 0 0 4 - 1 6 3 9 3 3 A (エルジー フィリップス エルシーディー カンパニー リミテッド) 2 0 0 4 . 0 6 . 1 0 , 段落【0 0 5 3】-【0 0 8 1】, 図6-図9H	1, 6 2-5, 7-38
Y A	J P 8 - 2 3 4 2 1 8 A (松下電器産業株式会社) 1 9 9 6 . 0 9 . 1 3 , 段落【0 0 2 0】, 【0 0 5 7】, 図1	1, 6 2-5, 7, 22-34

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 1 2 . 2 0 0 6

国際調査報告の発送日

0 9 . 0 1 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

河原 英雄

2 I

8 5 0 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

JP 2004-163933 A	2004. 06. 10	CN 1499271 A
		DE 10352404 A1
		KR 2004041491 A
		TW 200424611 A
		US 2004/0095544 A1

JP 8-234218 A	1996. 09. 13	ファミリーなし
---------------	--------------	---------