(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 12 月 12 日(12.12.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/183158 A1

(51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)

(21) 国際出願番号: PCT/JP2012/064760

(22) 国際出願日: 2012 年 6 月 8 日(08.06.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): ユニサンティス エレクトロニクス シンガポール プライベート リミテッド(**Unisantis Electronics Singapore Pte. Ltd.**) [SG/SG]; 179098 ノースブリッジロード １１１、ペニンシュラ プラザ、＃１６－０４ Singapore (SG).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 舛岡 富士雄(**MASUOKA Fujio**) [JP/JP]; 〒1020073 東京都千代田区九段北１－１５－２ 九段坂パークビル４Ｆ Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP). 原田 望(**HARADA Nozomu**) [JP/JP]; 〒1020073 東京都千代田区九段北１－１５－２ 九段坂パークビル４Ｆ Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP). 中村 広記(**NAKAMURA Hiroki**) [JP/JP]; 〒1020073 東京都千代田区九段北１－１５－２ 九段坂パークビル４Ｆ Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP). リシャン(**LI Xiang**) [CN/SG]; 117685 シンガポール、シンガポール サイエンスパーク ２、サイエンス パーク ロード １１、インスティテュート オブ マイクロエレクトロニクス内 Singapore (SG). ワン キンペン(**WANG Xinpeng**) [CN/SG]; 117685 シンガポール、シンガポール サイエンスパーク ２、サイエンス パーク ロード １１、インスティテュート オブ マイクロエレクトロニクス内 Singapore (SG). ツェン ツィシャン(**CHEN Zhixian**) [SG/SG]; 117685 シンガポール、シンガポール サイエンスパーク ２、サイエンス パーク ロード １１、インスティテュート オブ マイクロエレクトロニクス内 Singapore (SG). カマス アシット ラマチャンドラ (**KAMATH Aashit Ramachandra**) [IN/SG]; 117685 シンガポール、シンガポール サイエンスパーク ２、サイエンス パーク ロード １１、インスティテュート オブ マイクロエレクトロニクス内 Singapore (SG). シンナヴァブ(**SINGH Navab**) [IN/SG]; 117685 シンガポール、シンガポール サイエンスパーク ２、サイエンス パーク ロード １１、イン

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE MANUFACTURING METHOD, AND SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置の製造方法、及び、半導体装置

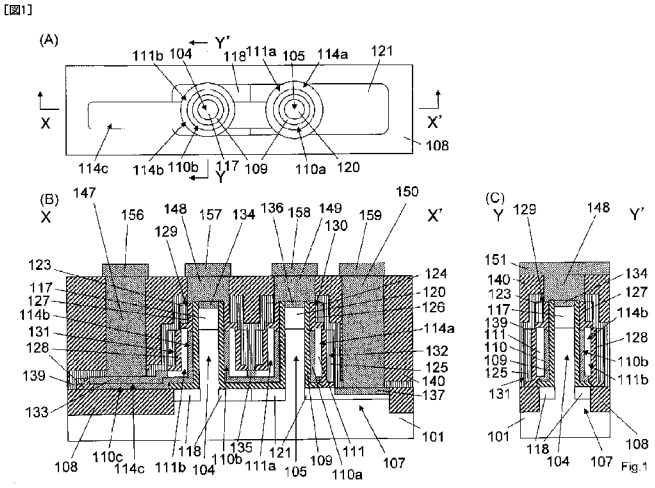


Fig.1

(57) **Abstract**: This semiconductor device manufacturing method has: a first step wherein a planar silicon layer is formed, and a first columnar silicon layer and a second columnar silicon layer are formed on the planar silicon layer; a second step wherein a gate insulating film is formed on the perimeter of the first columnar silicon layer and the second columnar silicon layer, a metal film and a polysilicon film are formed on the perimeter of the gate insulating film, said polysilicon film having the film thickness less than half the interval between the first columnar silicon layer and the second columnar silicon layer, a third resist for forming gate wiring is formed, and the gate wiring is formed; and a third step wherein a fourth resist is deposited, the polysilicon film on the upper side walls of the first columnar silicon layer and the second columnar silicon layer are exposed, the exposed polysilicon films are removed by etching, the fourth resist is removed, the metal film is removed by etching, and a first gate electrode and a second gate electrode, which are connected to the gate wiring, are formed.

(57) 要約:

[続葉有]

WO 2013/183158 A1

スティテュート　オブ　マイクロエレクトロニクス内 Singapore (SG).

(74) 代理人: 辻居　幸一, 外(TSUJII Koichi et al.); 〒1008355 東京都千代田区丸の内３丁目３番１号 新東京ビル　中村合同特許法律事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

半導体装置の製造方法は、平面状シリコン層を形成し、前記平面状シリコン層上に第１の柱状シリコン層と第２の柱状シリコン層とを形成する第１の工程と、前記第１の柱状シリコン層と前記第２の柱状シリコン層の周囲にゲート絶縁膜を形成し、前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、前記ポリシリコン膜の膜厚は前記第１の柱状シリコン層と前記第２の柱状シリコン層との間の間隔の半分より薄いのであって、ゲート配線を形成するための第３のレジストを形成し、前記ゲート配線を形成する第２の工程と、第４のレジストを堆積し、前記第１の柱状シリコン層と前記第２の柱状シリコン層上部側壁の前記ポリシリコン膜を露出し、露出した前記ポリシリコン膜をエッチングにより除去し、前記第４のレジストを剥離し、前記金属膜をエッチングにより除去し、前記ゲート配線に接続する第１のゲート電極と第２のゲート電極を形成する第３の工程を有する。

明　細　書

発明の名称 ： 半導体装置の製造方法、及び、半導体装置

技術分野

[0001] 本発明は半導体装置の製造方法、及び、半導体装置に関する。

背景技術

[0002] 半導体集積回路、特にＭＯＳトランジスタを用いた集積回路は、高集積化の一途を辿っている。この高集積化に伴って、その中で用いられているＭＯＳトランジスタはナノ領域まで微細化が進んでいる。このようなＭＯＳトランジスタの微細化が進むと、リーク電流の抑制が困難であり、必要な電流量確保の要請から回路の占有面積をなかなか小さくできない、といった問題があった。このような問題を解決するために、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲート電極が柱状半導体層を取り囲む構造のSurrounding Gate Transistor（以下、「ＳＧＴ」という。）が提案されている（例えば、特許文献１、特許文献２、特許文献３を参照）。

[0003] 従来のＳＧＴの製造方法では、窒化膜ハードマスクが柱状に形成されたシリコン柱を形成し、シリコン柱下部の拡散層を形成した後、ゲート材料を堆積し、その後にゲート材料を平坦化、エッチバックをし、シリコン柱と窒化膜ハードマスクの側壁に絶縁膜サイドウォールを形成する。その後、ゲート配線のためのレジストパターンを形成し、ゲート材料をエッチングした後、窒化膜ハードマスクを除去し、シリコン柱上部に拡散層を形成している（例えば、特許文献４を参照）。

[0004] このような方法では、シリコン柱間隔が狭くなったとき、厚いゲート材料をシリコン柱間に堆積しなければならず、シリコン柱間にボイドと呼ばれる孔が形成されることがある。ボイドが形成されると、エッチバック後にゲート材料に孔ができる。その後絶縁膜サイドウォールを形成するために絶縁膜を堆積するとボイド内に絶縁膜が堆積する。従って、ゲート材料加工が難しい。

[0005] そこで、シリコン柱形成後、ゲート酸化膜を形成し、薄いポリシリコンを堆積後、シリコン柱上部を覆いゲート配線を形成するためのレジストを形成し、ゲート配線をエッチングし、その後、酸化膜を厚く堆積し、シリコン柱上部を露出し、シリコン柱上部の薄いポリシリコンを除去し、厚い酸化膜をウエットエッチングにて除去することが示されている（例えば非特許文献１を参照）。

[0006] しかしながら、ゲート電極に金属を用いるための方法は示されていない。また、シリコン柱上部を覆いゲート配線を形成するためのレジストを形成しなければならず、従って、シリコン柱上部を覆わねばならず自己整合プロセスではない。

先行技術文献

特許文献

[0007] 特許文献1：特開平２－７１５５６号公報

特許文献2：特開平２－１８８９６６号公報

特許文献3：特開平３－１４５７６１号公報

特許文献4：特開２００９－１８２３１７号公報

非特許文献

[0008] 非特許文献1：B.Yang, K.D.Buddharaju, S.H.G.Teo, N.Singh, G.D.Lo, and D.L.Kwong, “Vertical Silicon-Nanowire Formation and Gate-All-Around MOSFET”, IEEE Electron Device Letters, VOL.29, No.7, July 2008, pp791-794.

発明の概要

発明が解決しようとする課題

[0009] そこで、本発明は、薄いゲート材を用い、金属ゲートであり、自己整合プロセスであるＳＧＴの製造方法とその結果得られるＳＧＴの構造を提供することを目的とする。

課題を解決するための手段

[0010] 本発明の第１の観点に係る半導体装置の製造方法は、

シリコン基板上に平面状シリコン層を形成し、

前記平面状シリコン層上に第１の柱状シリコン層と第２の柱状シリコン層とを形成する第１の工程と、

前記第１の工程の後、

前記第１の柱状シリコン層と前記第２の柱状シリコン層の周囲にゲート絶縁膜を形成し、

前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、

前記ポリシリコン膜の膜厚は前記第１の柱状シリコン層と前記第２の柱状シリコン層との間の間隔の半分より薄いのであって、

ゲート配線を形成するための第３のレジストを形成し、

異方性エッチングを行うことにより前記ゲート配線を形成する第２の工程と、

前記第２の工程の後、

第４のレジストを堆積し、前記第１の柱状シリコン層と前記第２の柱状シリコン層上部側壁の前記ポリシリコン膜を露出し、露出した前記ポリシリコン膜をエッチングにより除去し、前記第４のレジストを剥離し、前記金属膜をエッチングにより除去し、前記ゲート配線に接続する第１のゲート電極と第２のゲート電極を形成する第３の工程と、

を有することを特徴とする。

[0011] また、前記異方性エッチングにより、前記第１の柱状シリコン層と前記第２の柱状シリコン層上部がエッチングされることを特徴とする。

[0012] また、前記ゲート配線を形成するための前記第３のレジストの上面の高さは、前記第１の柱状シリコン層と前記第２の柱状シリコン層上部の前記ポリシリコン膜の上面の高さより低いことを特徴とする。

[0013] 前記第１の柱状シリコン層の上部に第１のｎ型拡散層を形成し、

前記第１の柱状シリコン層の下部と前記平面状シリコン層の上部に第２のｎ型拡散層を形成し、

前記第２の柱状シリコン層の上部に第１のｐ型拡散層を形成し、

前記第２の柱状シリコン層の下部と前記平面状シリコン層の上部に第２のｐ型拡散層を形成する第４の工程をさらに含むことを特徴とする。

[0014] 前記第１のｎ型拡散層上と前記第２のｎ型拡散層上と前記第１のｐ型拡散層と前記第２のｐ型拡散層上と前記ゲート配線にシリサイドを形成する第５の工程とをさらに含むことを特徴とする。

[0015] また、本発明の第２の観点に係る半導体装置は、

シリコン基板上に形成された平面状シリコン層と、

前記平面状シリコン層上に形成された第１及び第２の柱状シリコン層と、

前記第１の柱状シリコン層の周囲に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の積層構造からなる第１のゲート電極と、

前記第２の柱状シリコン層の周囲に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の積層構造からなる第２のゲート電極と、

前記ポリシリコン膜の膜厚は前記第１の柱状シリコン層と前記第２の柱状シリコン層との間の間隔の半分より薄いのであって、

前記第１及び前記第２のゲート電極に接続されたゲート配線と、

前記ゲート配線の上面の高さは前記第１及び第２のゲート電極の上面の高さより低いことを特徴とし、

前記第１の柱状シリコン層の上部に形成された第１のｎ型拡散層と、

前記第１の柱状シリコン層の下部と前記平面状シリコン層の上部とに形成された第２のｎ型拡散層と、

前記第２の柱状シリコン層の上部に形成された第１のｐ型拡散層と、

前記第２の柱状シリコン層の下部と前記平面状シリコン層の上部とに形成された第２のｐ型拡散層と、

を有することを特徴とする。

[0016] また、前記ゲート配線は、前記金属膜とシリサイドの積層構造からなるこ

とを特徴とする。

[0017] また、前記第１のｎ型拡散層側壁に形成された絶縁膜サイドウォールの膜厚は、前記金属膜及びポリシリコン膜の膜厚の和より厚いことを特徴とする。

[0018] また、前記ゲート配線の中心線が、前記第１の柱状シリコン層の中心点と前記第２の柱状シリコン層の中心点とを結ぶ線に対して第１の所定量ずれていることを特徴とする。

[0019] また、前記第１及び前記第２のｎ型拡散層上と前記第１及び前記第２のｐ型拡散層に形成されたシリサイドと、を有する、ことを特徴とする。

発明の効果

[0020] 本発明によれば、薄いゲート材を用い、金属ゲートであり、自己整合プロセスであるＳＧＴの製造方法とその結果得られるＳＧＴの構造を提供することができる。

第１の柱状シリコン層１０４と第２の柱状シリコン層１０５の高さは、所望の柱状シリコン層高さと、後にゲート配線エッチング中に削られる分の高さとの和とすることにより自己整合プロセスを実現している。

[0021] また、前記第１の柱状シリコン層と前記第２の柱状シリコン層の周囲にゲート絶縁膜を形成し、

前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、

前記ポリシリコン膜の膜厚は前記第１の柱状シリコン層と前記第２の柱状シリコン層との間の間隔の半分より薄いのであって、

ゲート配線を形成するための第３のレジストを形成し、

異方性エッチングを行うことにより前記ゲート配線を形成する第２の工程と、

前記第２の工程の後、

第４のレジストを堆積し、前記第１の柱状シリコン層と前記第２の柱状シリコン層上部側壁の前記ポリシリコン膜を露出し、露出した前記ポリシリコン膜をエッチングにより除去し、前記第４のレジストを剥離し、前記金属膜

をエッチングにより除去し、前記ゲート配線に接続する第１のゲート電極と第２のゲート電極を形成する第３の工程と、

により自己整合プロセスを実現している。

自己整合プロセスであるから、高集積化が可能となる。

[0022] また、前記ゲート配線は、前記金属膜とシリサイドの積層構造からなる。シリサイドと金属膜とが直接接触するため、低抵抗化をすることができる。

[0023] 前記第１のｎ型拡散層側壁に形成された絶縁膜サイドウォールの膜厚は、前記金属膜及びポリシリコン膜の膜厚の和より厚い。

第７のレジストがずれて、かつコンタクト孔エッチングがオーバーエッチとなったとき、コンタクトとゲート電極との短絡を防ぐことができる。

[0024] 前記ゲート配線の中心線が、前記第１の柱状シリコン層の中心点と前記第２の柱状シリコン層の中心点とを結ぶ線に対して第１の所定量ずれている。

第２のｎ型拡散層と、第２のｐ型拡散層とを接続するシリサイドを形成しやすい。従って、高集積化をおこなうことができる。

図面の簡単な説明

[0025] [図1] (A) は本発明の実施形態に係る半導体装置の平面図である。(B) は (A) のＸ－Ｘ’線での断面図である。(C) は (A) のＹ－Ｙ’線での断面図である。

[図2] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。(B) は (A) のＸ－Ｘ’線での断面図である。(C) は (A) のＹ－Ｙ’線での断面図である。

[図3] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。(B) は (A) のＸ－Ｘ’線での断面図である。(C) は (A) のＹ－Ｙ’線での断面図である。

[図4] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。(B) は (A) のＸ－Ｘ’線での断面図である。(C) は (A) のＹ－Ｙ’線での断面図である。

[図5] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。

（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図6]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図7]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図8]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図9]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図10]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図11]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図12]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図13]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図14]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線で

の断面図である。

[図15]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図16]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図17]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図18]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図19]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図20]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図21]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図22]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図23]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図24]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図25]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図26]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図27]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図28]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図29]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図30]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図31]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図32]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図33]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。

（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図34]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図35]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図36]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図37]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図38]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図39]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図40]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

発明を実施するための形態

[0026] 以下、本発明の実施形態に係る、ＳＧＴの構造を有する半導体装置の製造工程を、図２～図４０を参照しながら説明する。

[0027] 以下に、シリコン基板１０１上に平面状シリコン層１０７と、平面状シリコン層１０７上に、第１の柱状シリコン層１０４と第２の柱状シリコン層１

０５と、を形成する第１の工程を示す。

[0028] まず、図２に示すように、シリコン基板１０１上に第１の柱状シリコン層１０４と第２の柱状シリコン層１０５とを形成するための第１のレジスト１０２、１０３を形成する。

[0029] 次に、図３に示すように、シリコン基板１０１をエッチングし、第１の柱状シリコン層１０４と第２の柱状シリコン層１０５とを形成する。第１の柱状シリコン層１０４と第２の柱状シリコン層１０５の高さは、所望の柱状シリコン層高さと、後にゲート配線エッチング中に削られる分の高さとの和とすることが望ましい。

[0030] 次に、図４に示すように、第１のレジスト１０２、１０３を剥離する。

[0031] 次に、図５に示すように、平面状シリコン層１０７を形成するための第２のレジスト１０６を形成する。

[0032] 次に、図６に示すように、シリコン基板１０１をエッチングし、平面状シリコン層１０７を形成する。

[0033] 次に、図７に示すように、第２のレジスト１０６を剥離する。

[0034] 次に、図８に示すように、平面状シリコン層１０７の周囲に素子分離膜１０８を形成する。

以上により、シリコン基板１０１上に平面状シリコン層１０７と、平面状シリコン層１０７上に、第１の柱状シリコン層１０４と第２の柱状シリコン層１０５と、を形成する第１の工程が示された。

[0035] 次に、前記第１の柱状シリコン層１０４と前記第２の柱状シリコン層１０５の周囲にゲート絶縁膜１０９を形成し、

前記ゲート絶縁膜１０９の周囲に金属膜１１０及びポリシリコン膜１１１を成膜し、

前記ポリシリコン膜１１１の膜厚は前記第１の柱状シリコン層１０４と前記第２の柱状シリコン層１０５との間の間隔の半分より薄いのであって、

ゲート配線１１４ｃを形成するための第３のレジスト１１２を形成し、

異方性エッチングを行うことにより前記ゲート配線１１４ｃを形成する第

２の工程を示す。

[0036] 次に、図９に示すように、前記第１の柱状シリコン層１０４と前記第２の柱状シリコン層１０５の周囲にゲート絶縁膜１０９を形成し、

前記ゲート絶縁膜１０９の周囲に金属膜１１０及びポリシリコン膜１１１を成膜する。このとき、薄いポリシリコン膜を使用する。従って、ポリシリコン膜中にボイドが形成されることを防ぐことができる。

金属膜１１０は、窒化チタンといった、半導体工程に用いられ、トランジスタのしきい値電圧を設定する金属であればよい。

ゲート絶縁膜１０９は、酸化膜、酸窒化膜、高誘電体膜といった、半導体工程に用いられるものであればよい。

[0037] 次に、図１０に示すように、ゲート配線１１４ｃを形成するための第３のレジスト１１２を形成する。本実施例においては、レジスト高さが柱状シリコン層より低くなるように記載した。柱状シリコン層の高さが高いとき、柱状シリコン層上部のレジスト厚さが薄くなり、もしくは、柱状シリコン層上部のポリシリコンが露出することが考えられるからである。ゲート配線幅が細くなるにつれて、柱状シリコン層上部のポリシリコンが露出しやすくなる。

レジスト高さが柱状シリコン層より高くなってもよい。

[0038] また、このとき、ゲート配線のための第３のレジスト１１２の中心線が、第１の柱状シリコン層１０４の中心点と第２の柱状シリコン層１０５の中心点とを結ぶ線に対してずれているよう、第３のレジスト１１２を形成することが好ましい。第２のｎ型拡散層１１８と第２のｐ型拡散層１２１とを接続するシリサイドを形成しやすくなるからである。

[0039] 次に、図１１に示すように、ポリシリコン膜１１１と金属膜１１０をエッチングする。

ポリシリコン膜１１１ａ、ポリシリコン膜１１１ｂ、ポリシリコン膜１１１ｃとが形成される。このとき、柱状シリコン層上部のレジスト厚さが薄く、もしくは、柱状シリコン層上部のポリシリコンが露出していると、エッチ

ング中に、柱状シリコン層上部がエッチングされることがある。この場合、柱状シリコン層を形成時に、その高さを、所望の柱状シリコン層高さと、後にゲート配線エッチング中に削られる分の高さとの和としておけばよい。従って、本発明の製造工程は、自己整合プロセスとなる。

また、後に金属膜１１０をエッチングするため、本工程をポリシリコン膜１１１のエッチングとしてもよい。

[0040] 次に、図１２に示すように、第３のレジスト１１２を剥離する。

以上により、前記第１の柱状シリコン層１０４と前記第２の柱状シリコン層１０５の周囲にゲート絶縁膜１０９を形成し、

前記ゲート絶縁膜１０９の周囲に金属膜１１０及びポリシリコン膜１１１を成膜し、

前記ポリシリコン膜１１１の膜厚は前記第１の柱状シリコン層１０４と前記第２の柱状シリコン層１０５との間の間隔の半分より薄いのであって、

ゲート配線１１４ｃを形成するための第３のレジスト１１２を形成し、

異方性エッチングを行うことにより前記ゲート配線１１４ｃを形成する第２の工程が示された。

[0041] 次に、第４のレジスト１１３を堆積し、前記第１の柱状シリコン層１０４と前記第２の柱状シリコン層１０５上部側壁の前記ポリシリコン膜１１１ａ、１１１ｂを露出し、露出した前記ポリシリコン膜１１１ａ、１１１ｂをエッチングにより除去し、前記第４のレジスト１１３を剥離し、前記金属膜１１０をエッチングにより除去し、前記ゲート配線１１４ｃに接続する第１のゲート電極１１４ｂと第２のゲート電極１１４ａを形成する第３の工程を示す。

[0042] 図１３に示すように、第４のレジスト１１３を堆積し、前記第１の柱状シリコン層１０４と前記第２の柱状シリコン層１０５上部側壁の前記ポリシリコン膜１１１ｂ、１１１ａを露出する。レジストエッチバックを用いることが好ましい。また、スピンオングラスといった塗布膜を用いてもよい。

[0043] 次に、図１４に示すように、露出した前記ポリシリコン膜１１１ａ、１１

１ｂをエッチングにより除去する。等方性ドライエッチングが好ましい。

[0044] 次に、図１５に示すように、第４のレジスト１１３を剥離する。

[0045] 次に、図１６に示すように、前記金属膜１１０をエッチングにより除去し、第１の柱状シリコン層１０４側壁に、金属膜１１０ｂを、第２の柱状シリコン層１０５側壁に、金属膜１１０ａを、ポリシリコン膜１１１ｃ下に金属膜１１０ｃを形成する。等方性エッチングが好ましい。

金属膜１１０ｂとポリシリコン膜１１１ｂとで第１のゲート電極１１４ｂを形成し、

金属膜１１０ａとポリシリコン膜１１１ａとで第２のゲート電極１１４ａを形成し、

金属膜１１０ｃとポリシリコン膜１１１ｃとでゲート配線１１４ｃを形成する。従って、自己整合プロセスとなる。

[0046] 以上により、第４のレジスト１１３を堆積し、前記第１の柱状シリコン層１０４と前記第２の柱状シリコン層１０５上部側壁の前記ポリシリコン膜１１１ａ、１１１ｂを露出し、露出した前記ポリシリコン膜１１１ａ、１１１ｂをエッチングにより除去し、前記第４のレジスト１１３を剥離し、前記金属膜１１０をエッチングにより除去し、前記ゲート配線１１４ｃに接続する第１のゲート電極１１４ｂと第２のゲート電極１１４ａを形成する第３の工程が示された。

[0047] 次に、第１の柱状シリコン層１０４の上部に第１のｎ型拡散層１１７を形成し、

第１の柱状シリコン層１０４の下部と平面状シリコン層１０７の上部に第２のｎ型拡散層１１８を形成し、

第２の柱状シリコン層１０５の上部に第１のｐ型拡散層１２０を形成し、

第２の柱状シリコン層１０５の下部と平面状シリコン層１０７の上部に第２のｐ型拡散層１２１を形成する第４の工程を示す。

[0048] 図１７に示すように、酸化膜１１５を堆積する。

[0049] 次に、図１８に示すように、第１のｎ型拡散層１１７と第２のｎ型拡散層

１１８を形成するための、第５のレジスト１１６を形成する。

[0050] 次に、図１９に示すように、砒素を注入し、第１のｎ型拡散層１１７と第２のｎ型拡散層１１８を形成する。

[0051] 次に、図２０に示すように、第５のレジスト１１６を剥離する。

[0052] 次に、図２１に示すように、第１のｐ型拡散層１２０と第２のｐ型拡散層１２１を形成するための第６のレジスト１１９を形成する。

[0053] 次に、図２２に示すように、ボロンまたは弗化ボロンを注入し、第１のｐ型拡散層１２０と第２のｐ型拡散層１２１を形成する。

[0054] 次に、図２３に示すように、第６のレジスト１１９を剥離する。

[0055] 次に、図２４に示すように、窒化膜１２２を堆積し、熱処理を行う。

以上により、第１の柱状シリコン層１０４の上部に第１のｎ型拡散層１１７を形成し、

第１の柱状シリコン層１０４の下部と平面状シリコン層１０７の上部に第２のｎ型拡散層１１８を形成し、

第２の柱状シリコン層１０５の上部に第１のｐ型拡散層１２０を形成し、

第２の柱状シリコン層１０５の下部と平面状シリコン層１０７の上部に第２のｐ型拡散層１２１を形成する第４の工程が示された。

[0056] 次に、第１のｎ型拡散層１１７上と第２のｎ型拡散層１１８上と第１のｐ型拡散層１２０と第２のｐ型拡散層１２１上とゲート配線１１４ｃにシリサイドを形成する第５の工程を示す。

[0057] 図２５に示すように、窒化膜１２２をエッチングし、窒化膜サイドウォール１２３、１２４、１２５を形成する。

[0058] 次に、図２６に示すように、酸化膜をエッチングし、酸化膜サイドウォール１２７、１２６、１２８を形成する。窒化膜サイドウォール１２３と酸化膜サイドウォール１２７とで絶縁膜サイドウォール１２９となり、窒化膜サイドウォール１２４と酸化膜サイドウォール１２６とで絶縁膜サイドウォール１３０となり、第１の柱状シリコン層１０４側壁の窒化膜サイドウォール１２５と酸化膜サイドウォール１２８とで絶縁膜サイドウォール１３１とな

り、第２の柱状シリコン層１０５側壁の窒化膜サイドウォール１２５と酸化膜サイドウォール１２８とで絶縁膜サイドウォール１３２となる。

[0059] このとき、第１のｎ型拡散層１１７側壁に形成された絶縁膜サイドウォール１２９の膜厚は、金属膜１１０ｂ及びポリシリコン膜１１１ｂの膜厚の和より厚いことが好ましい。

第１のｎ型拡散層１１７側壁に形成された絶縁膜サイドウォール１２９の膜厚が、金属膜１１０ｂ及びポリシリコン膜１１１ｂの膜厚の和より厚いと、コンタクト形成時に、コンタクトとゲート電極１１４ｂとの絶縁が容易になる。

[0060] 次に、図２７に示すように、金属を堆積し、熱処理し、未反応の金属を除去することで、第１のｎ型拡散層１１７上と第２のｎ型拡散層１１８上と第１のｐ型拡散層１２０と第２のｐ型拡散層１２１上とゲート配線１１４ｃにシリサイド１３４、１３８、１３６、１３７、１３３、１３５を形成する。

[0061] 第２のｎ型拡散層１１８と、第２のｐ型拡散層１２１とは、シリサイド１３８で接続されることとなる。ゲート配線１１４ｃの中心線が、第１の柱状シリコン層１０４の中心点と第２の柱状シリコン層１０５の中心点とを結ぶ線に対してずれているので、シリサイド１３８を形成しやすい。従って、高集積化を行うことができる。

[0062] また、ポリシリコン膜配線１１１ｃが薄いため、ゲート配線１１４ｃは、金属膜１１０ｃとシリサイド１３３の積層構造となりやすい。シリサイド１３３と金属膜１１０ｃとが直接接触するため、低抵抗化を図ることができる。

[0063] 以上により、第１のｎ型拡散層１１７上と第２のｎ型拡散層１１８上と第１のｐ型拡散層１２０と第２のｐ型拡散層１２１上とゲート配線１１４ｃにシリサイドを形成する第５の工程が示された。

[0064] 次に、図２８に示すように、窒化膜といったコンタクトストッパー１３９を成膜し、層間絶縁膜１４０を形成する。

[0065] 次に、図２９に示すように、コンタクト孔１４２，１４３を形成するため

の第７のレジスト１４１を形成する。

[0066] 次に、図３０に示すように、層間絶縁膜１４０をエッチングし、コンタクト孔１４２，１４３を形成する。第１のｎ型拡散層１１７側壁に形成された絶縁膜サイドウォール１２９の膜厚が、金属膜１１０ｂ及びポリシリコン膜１１１ｂの膜厚の和より厚いと、第７のレジストがずれて、かつコンタクト孔エッチングがオーバーエッチとなったとき、コンタクトとゲート電極１１４ｂとの短絡を防ぐことができる。

[0067] 次に、図３１に示すように、第７のレジスト１４１を剥離する。

[0068] 次に、図３２に示すように、コンタクト孔１４５、１４６を形成するための第８のレジスト１４４を形成する。

[0069] 次に、図３３に示すように、層間絶縁膜１４０をエッチングし、コンタクト孔１４５、１４６を形成する。

[0070] 次に、図３４に示すように、第８のレジスト１４４を剥離する。

[0071] 次に、図３５に示すように、コンタクトストッパー１３９をエッチングし、コンタクト孔１４２，１４３、コンタクト孔１４５、１４６下のコンタクトストッパー１３９を除去する。

[0072] 次に、図３６に示すように、金属を堆積し、コンタクト１４７、１４８、１４９、１５０を形成する。

[0073] 次に、図３７に示すように、金属配線のための金属１５１を堆積する。

[0074] 次に、図３８に示すように、金属配線を形成するための第９のレジスト１５２、１５３、１５４、１５５を形成する。

[0075] 次に、図３９に示すように、金属１５１をエッチングし、金属配線１５６、１５７、１５８、１５９を形成する。

[0076] 次に、図４０に示すように、第９のレジスト１５２、１５３、１５４、１５５を剥離する。

以上により、薄いゲート材を用い、金属ゲートであり、自己整合プロセスであるＳＧＴの製造方法が示された。

[0077] 上記製造方法によって得られる半導体装置の構造を図１に示す。

図１に示すように、半導体装置は、

シリコン基板１０１上に形成された平面状シリコン層１０７と、

前記平面状シリコン層１０７上に形成された第１及び第２の柱状シリコン層１０４、１０５と、

前記第１の柱状シリコン層１０４の周囲に形成されたゲート絶縁膜１０９と、

前記ゲート絶縁膜１０９の周囲に形成された金属膜１１０ｂ及びポリシリコン膜１１１ｂの積層構造からなる第１のゲート電極１１４ｂと、

前記第２の柱状シリコン層１０５の周囲に形成されたゲート絶縁膜１０９と、

前記ゲート絶縁膜１０９の周囲に形成された金属膜１１０ａ及びポリシリコン膜１１１ａの積層構造からなる第２のゲート電極１１４ａと、

前記ポリシリコン膜１１１ｂ、１１１ａの膜厚は前記第１の柱状シリコン層１０４と前記第２の柱状シリコン層１０５との間の間隔の半分より薄いのであって、

前記第１及び前記第２のゲート電極１１４ｂ、１１４ａに接続されたゲート配線１１４ｃと、

前記ゲート配線１１４ｃの上面の高さは前記第１及び第２のゲート電極１１４ｂ、１１４ａの上面の高さより低いことを特徴とし、

前記第１の柱状シリコン層１０４の上部に形成された第１のｎ型拡散層１１７と、

前記第１の柱状シリコン層１０４の下部と前記平面状シリコン層１０７の上部とに形成された第２のｎ型拡散層１１８と、

前記第２の柱状シリコン層１０５の上部に形成された第１のｐ型拡散層１２０と、

前記第２の柱状シリコン層１０５の下部と前記平面状シリコン層１０７の上部とに形成された第２のｐ型拡散層１２１と、

を有する。

[0078] また、前記ゲート配線１１４ｃは、前記金属膜１１０ｃとシリサイド１３３の積層構造からなる。シリサイド１３３と金属膜１１０ｃとが直接接触するため、低抵抗化をすることができる。

[0079] 前記第１のｎ型拡散層１１７側壁に形成された絶縁膜サイドウォール１２９の膜厚は、前記金属膜１１０ｂ及びポリシリコン膜１１１ｂの膜厚の和より厚い。

第７のレジストがずれて、かつコンタクト孔エッチングがオーバーエッチとなったとき、コンタクト１４８とゲート電極１１４ｂとの短絡を防ぐことができる。

[0080] 前記ゲート配線１１４ｃの中心線が、前記第１の柱状シリコン層１０４の中心点と前記第２の柱状シリコン層１０５の中心点とを結ぶ線に対して第１の所定量ずれている。

第２のｎ型拡散層１１８と、第２のｐ型拡散層１２１とを接続するシリサイド１３８を形成しやすい。従って、高集積化をおこなうことができる。

[0081] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

[0082] 例えば、上記実施例において、ｐ型（p^+型を含む。）とｎ型（n^+型を含む。）とをそれぞれ反対の導電型とした半導体装置の製造方法、及び、それにより得られる半導体装置も当然に本発明の技術的範囲に含まれる。

符号の説明

[0083] １０１．シリコン基板

１０２．第１のレジスト

１０３．第１のレジスト

１０４．第１の柱状シリコン層

１０５．第２の柱状シリコン層

１０６．第２のレジスト

１０７．平面状シリコン層

１０８．素子分離膜

１０９．ゲート絶縁膜

１１０．金属膜

１１０ａ．金属膜

１１０ｂ．金属膜

１１０ｃ．金属膜

１１１．ポリシリコン膜

１１１ａ．ポリシリコン膜

１１１ｂ．ポリシリコン膜

１１１ｃ．ポリシリコン配線

１１２．第３のレジスト

１１３．第４のレジスト

１１４ａ．第２のゲート電極

１１４ｂ．第１のゲート電極

１１４ｃ．ゲート配線

１１５．酸化膜

１１６．第５のレジスト

１１７．第１のｎ型拡散層

１１８．第２のｎ型拡散層

１１９．第６のレジスト

１２０．第１のｐ型拡散層

１２１．第２のｐ型拡散層

１２２．窒化膜

１２３．窒化膜サイドウォール

１２４．窒化膜サイドウォール

１２５．窒化膜サイドウォール

１２６．酸化膜サイドウォール

１２７．酸化膜サイドウォール

１２８．酸化膜サイドウォール

１２９．絶縁膜サイドウォール

１３０．絶縁膜サイドウォール

１３１．絶縁膜サイドウォール

１３２．絶縁膜サイドウォール

１３３．シリサイド

１３４．シリサイド

１３５．シリサイド

１３６．シリサイド

１３７．シリサイド

１３８．シリサイド

１３９．コンタクトストッパー

１４０．層間絶縁膜

１４１．第７のレジスト

１４２．コンタクト孔

１４３．コンタクト孔

１４４．第８のレジスト

１４５．コンタクト孔

１４６．コンタクト孔

１４７．コンタクト

１４８．コンタクト

１４９．コンタクト

１５０．コンタクト

１５１．金属

１５２．第９のレジスト

１５３．第９のレジスト

１５４．第９のレジスト

１５５．第９のレジスト

１５６．金属配線

１５７．金属配線

１５８．金属配線

１５９．金属配線

請求の範囲

[請求項1] シリコン基板上に平面状シリコン層を形成し、

前記平面状シリコン層上に第１の柱状シリコン層と第２の柱状シリコン層とを形成する第１の工程と、

前記第１の工程の後、

前記第１の柱状シリコン層と前記第２の柱状シリコン層の周囲にゲート絶縁膜を形成し、

前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、

前記ポリシリコン膜の膜厚は前記第１の柱状シリコン層と前記第２の柱状シリコン層との間の間隔の半分より薄いのであって、

ゲート配線を形成するための第３のレジストを形成し、

異方性エッチングを行うことにより前記ゲート配線を形成する第２の工程と、

前記第２の工程の後、

第４のレジストを堆積し、前記第１の柱状シリコン層と前記第２の柱状シリコン層上部側壁の前記ポリシリコン膜を露出し、露出した前記ポリシリコン膜をエッチングにより除去し、前記第４のレジストを剥離し、前記金属膜をエッチングにより除去し、前記ゲート配線に接続する第１のゲート電極と第２のゲート電極を形成する第３の工程と、

を有することを特徴とする半導体装置の製造方法。

[請求項2] 前記異方性エッチングにより、前記第１の柱状シリコン層と前記第２の柱状シリコン層上部がエッチングされることを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項3] 前記ゲート配線を形成するための前記第３のレジストの上面の高さは、前記第１の柱状シリコン層と前記第２の柱状シリコン層上部の前記ポリシリコン膜の上面の高さより低いことを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項4] 前記第１の柱状シリコン層の上部に第１のｎ型拡散層を形成し、

前記第１の柱状シリコン層の下部と前記平面状シリコン層の上部に第２のｎ型拡散層を形成し、

前記第２の柱状シリコン層の上部に第１のｐ型拡散層を形成し、

前記第２の柱状シリコン層の下部と前記平面状シリコン層の上部に第２のｐ型拡散層を形成する第４の工程をさらに含むことを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項5] 前記第１のｎ型拡散層上と前記第２のｎ型拡散層上と前記第１のｐ型拡散層と前記第２のｐ型拡散層上と前記ゲート配線にシリサイドを形成する第５の工程とをさらに含むことを特徴とする請求項４に記載の半導体装置の製造方法。

[請求項6] シリコン基板上に形成された平面状シリコン層と、

前記平面状シリコン層上に形成された第１及び第２の柱状シリコン層と、

前記第１の柱状シリコン層の周囲に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の積層構造からなる第１のゲート電極と、

前記第２の柱状シリコン層の周囲に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の積層構造からなる第２のゲート電極と、

前記ポリシリコン膜の膜厚は前記第１の柱状シリコン層と前記第２の柱状シリコン層との間の間隔の半分より薄いのであって、

前記第１及び前記第２のゲート電極に接続されたゲート配線と、

前記ゲート配線の上面の高さは前記第１及び第２のゲート電極の上面の高さより低いことを特徴とし、

前記第１の柱状シリコン層の上部に形成された第１のｎ型拡散層と、

前記第１の柱状シリコン層の下部と前記平面状シリコン層の上部と

に形成された第２のｎ型拡散層と、

前記第２の柱状シリコン層の上部に形成された第１のｐ型拡散層と、

前記第２の柱状シリコン層の下部と前記平面状シリコン層の上部とに形成された第２のｐ型拡散層と、

を有する、

ことを特徴とする半導体装置。

［請求項7］ 前記ゲート配線は、前記金属膜とシリサイドの積層構造からなることを特徴とする請求項６に記載の半導体装置。

［請求項8］ 前記第１のｎ型拡散層側壁に形成された絶縁膜サイドウォールの膜厚は、前記金属膜及びポリシリコン膜の膜厚の和より厚いことを特徴とする請求項６に記載の半導体装置。

［請求項9］ 前記ゲート配線の中心線が、前記第１の柱状シリコン層の中心点と前記第２の柱状シリコン層の中心点とを結ぶ線に対して第１の所定量ずれていることを特徴とする請求項６に記載の半導体装置。

［請求項10］ 前記第１及び前記第２のｎ型拡散層上と前記第１及び前記第２のｐ型拡散層に形成されたシリサイドと、を有する、

ことを特徴とする請求項９に記載の半導体装置。

[図1]

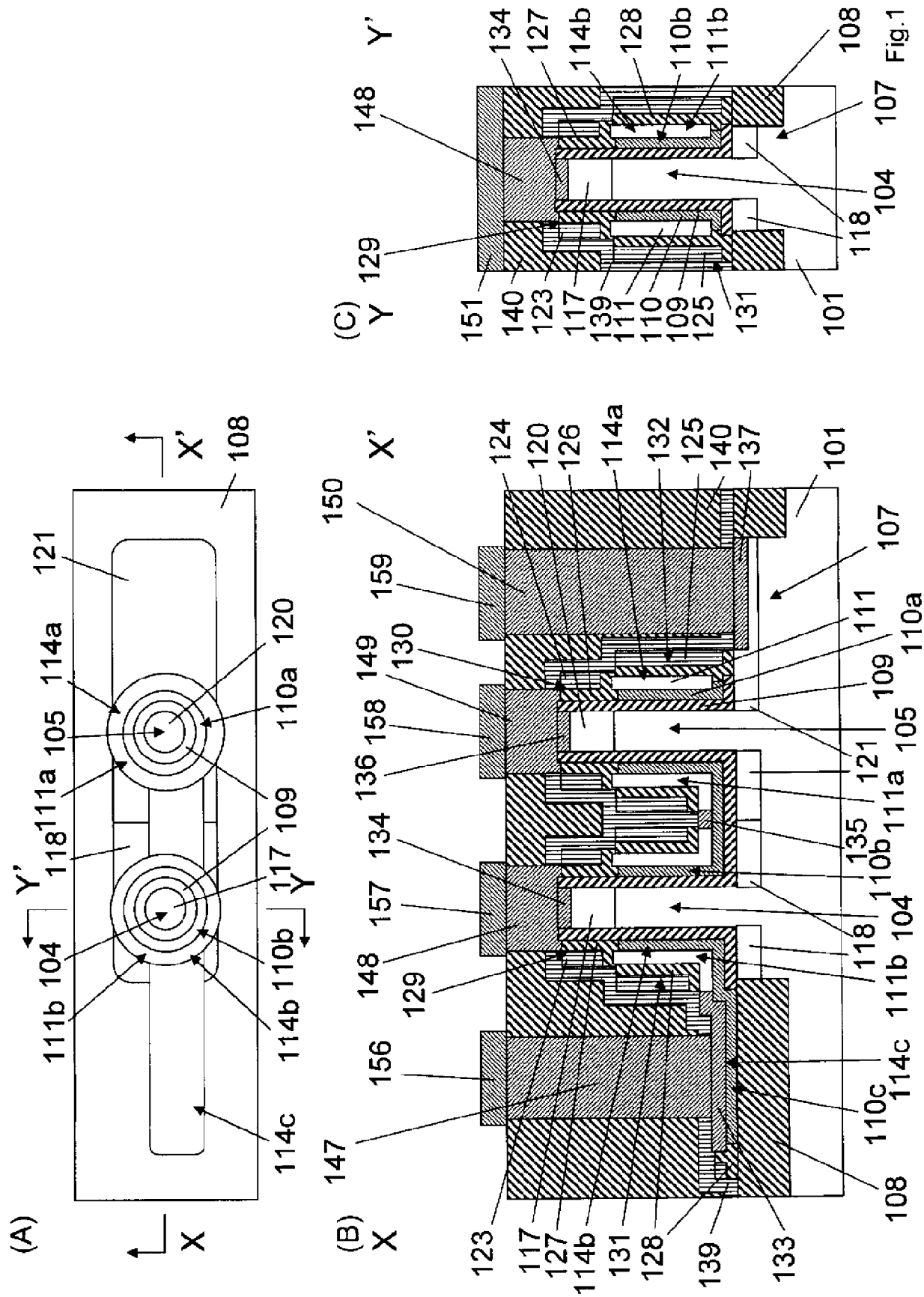

(A)
X
X'
Y'
Y
108
121
114a
105
111a
118
104
111b
120
110a
109
117
110b
114b
114c
(B)
X
X'
150
159
149
130
158
136
134
157
148
129
156
147
124
120
126
114a
132
125
140
137
101
107
111
110a
109
105
121
111a
135
110b
104
118
111b
114c
110c
108
123
117
127
114b
131
128
139
133
(C)
Y
Y'
148
129
134
127
114b
128
110b
111b
108
107
104
118
151
140
123
117
139
111
110
109
125
131
101

Fig.1

[図2]

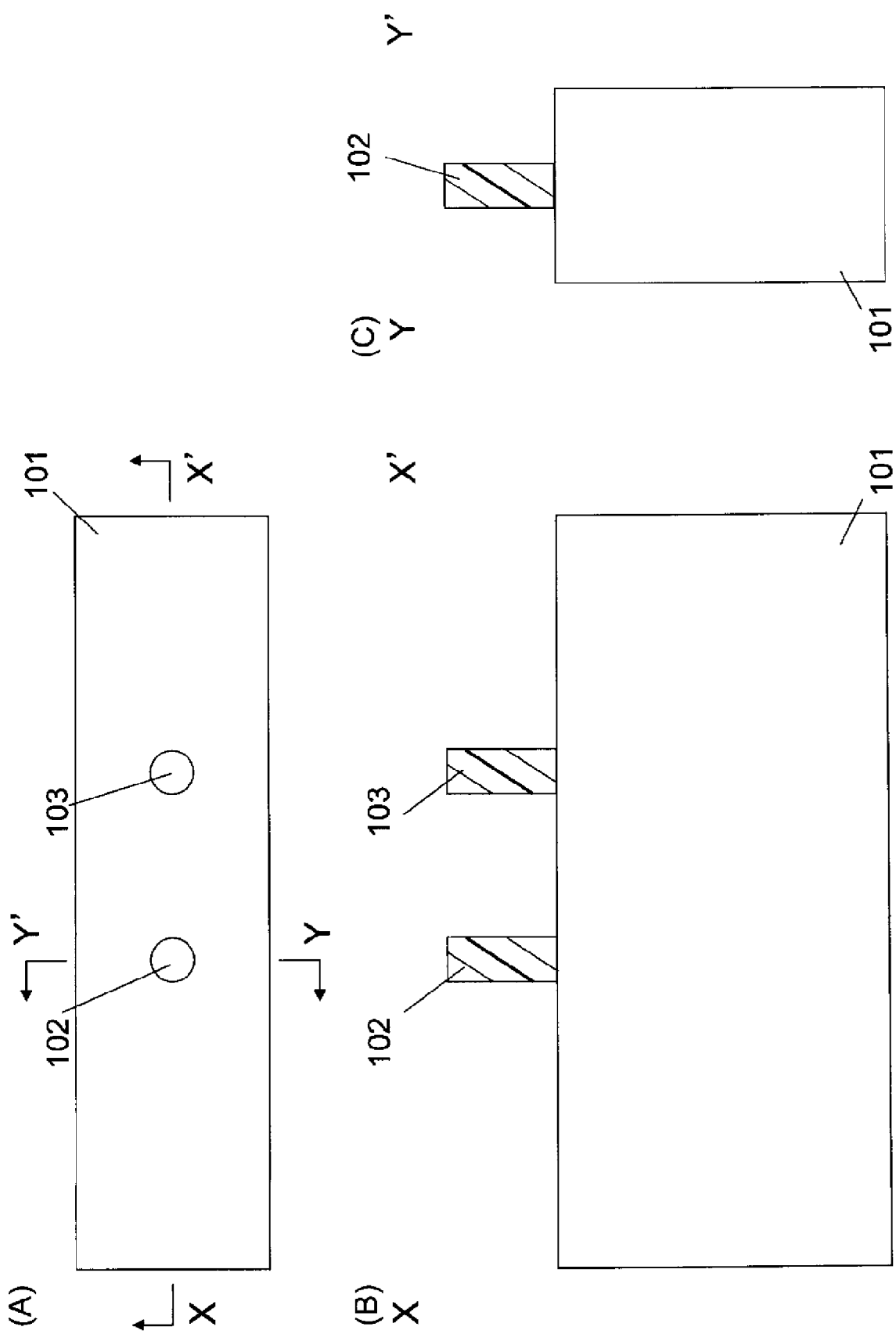


Fig.2

[図3]

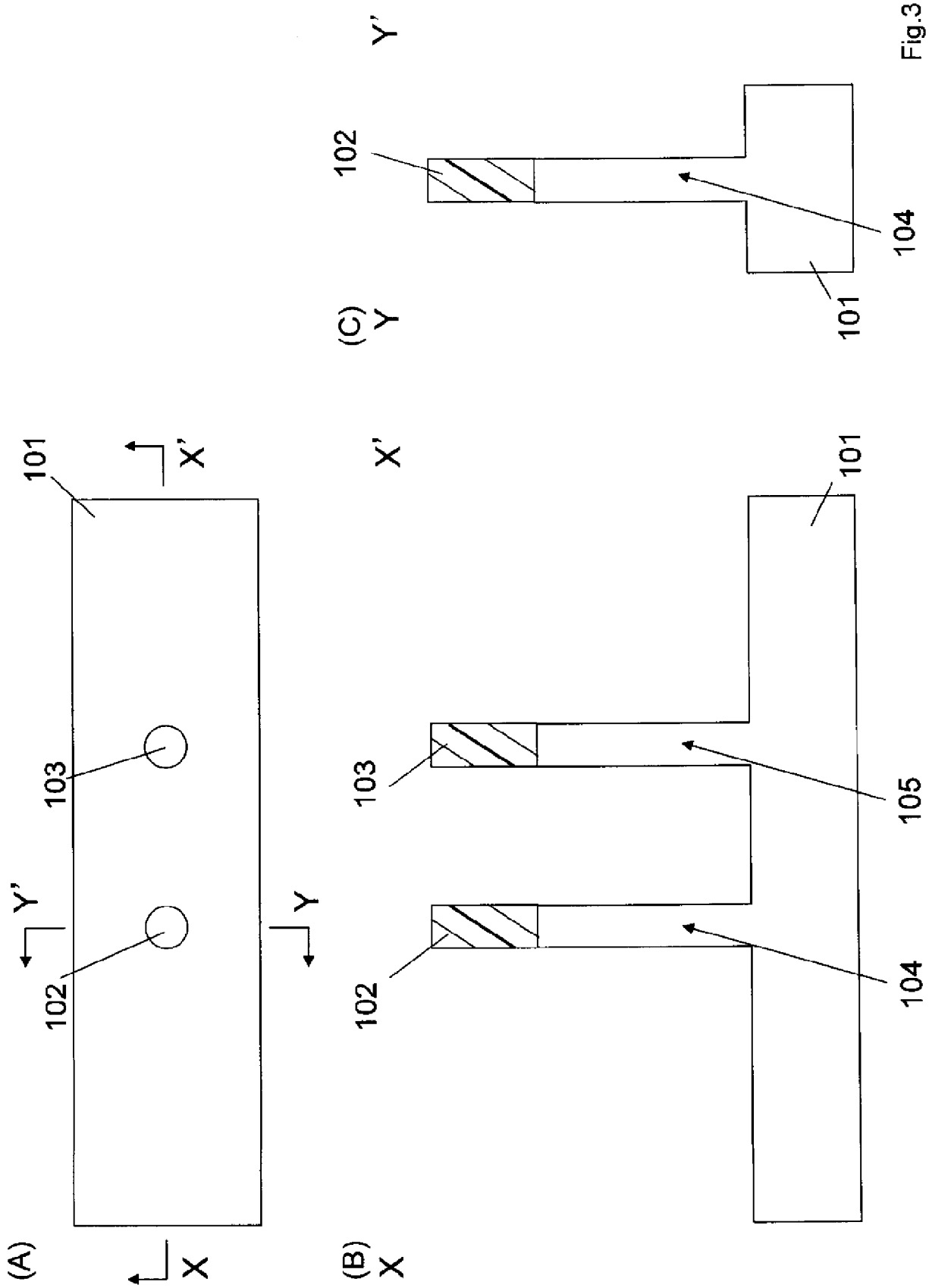


Fig.3

[図4]

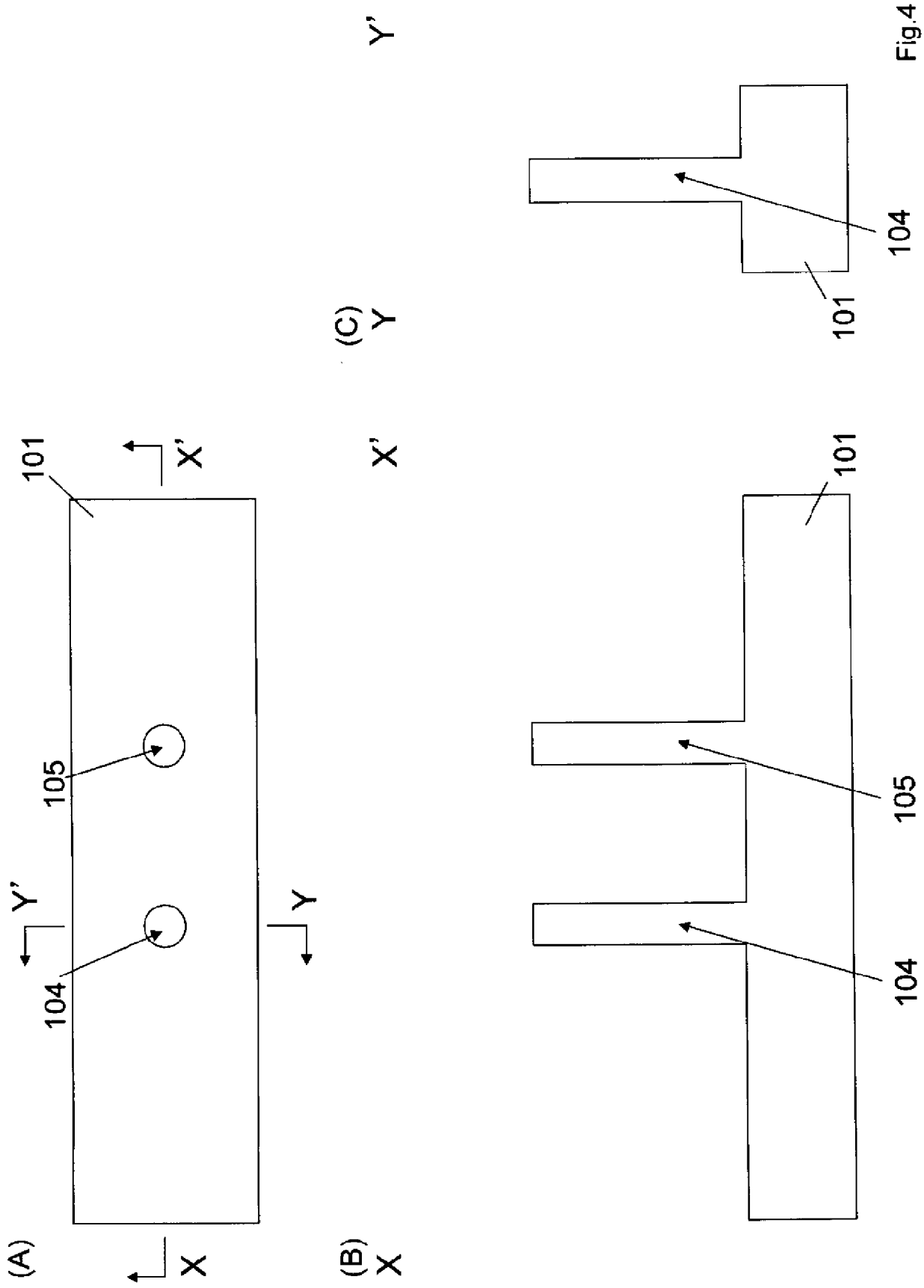


Fig.4

[図5]

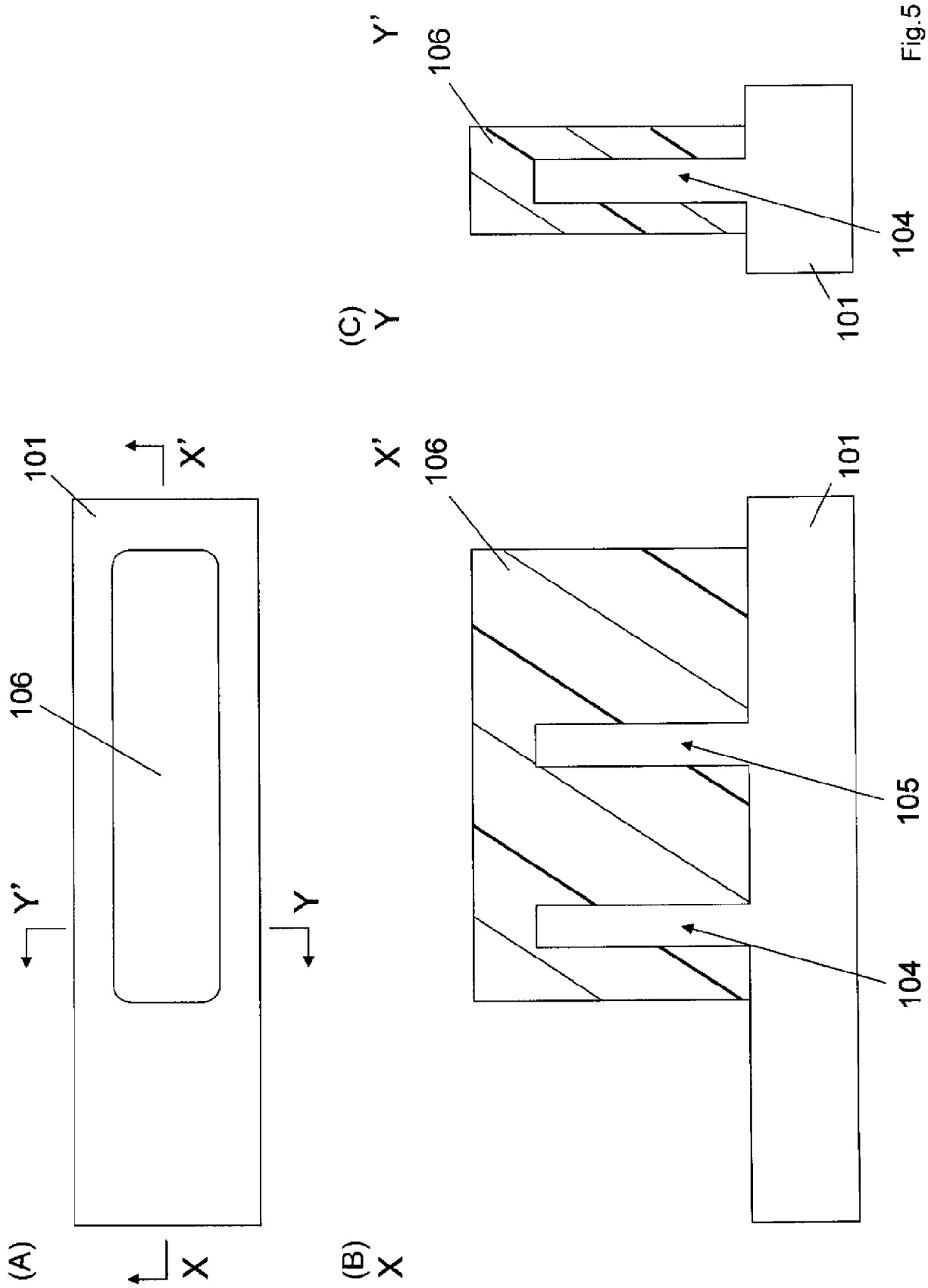


Fig.5

[図6]

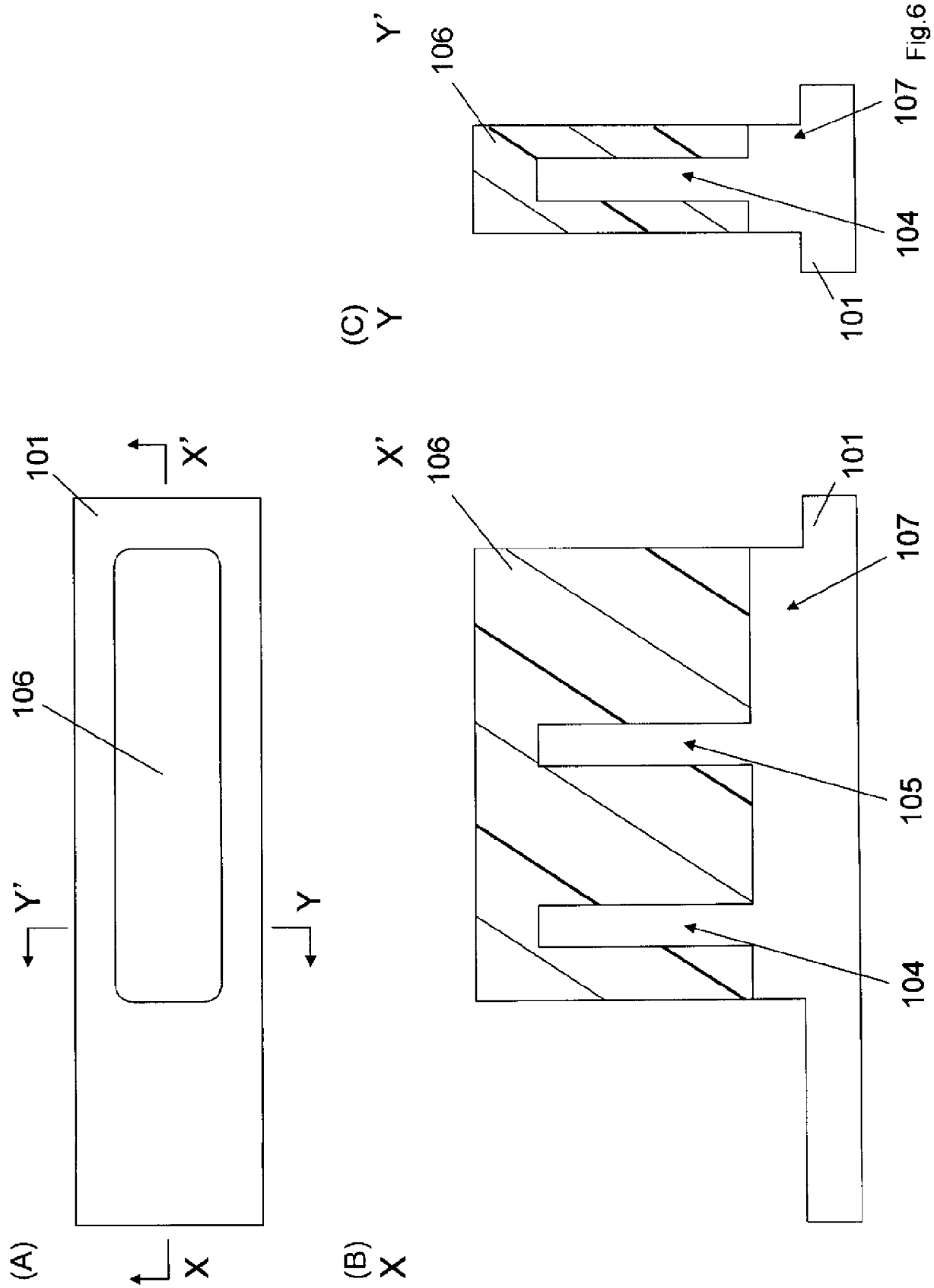


Fig.6

[図7]

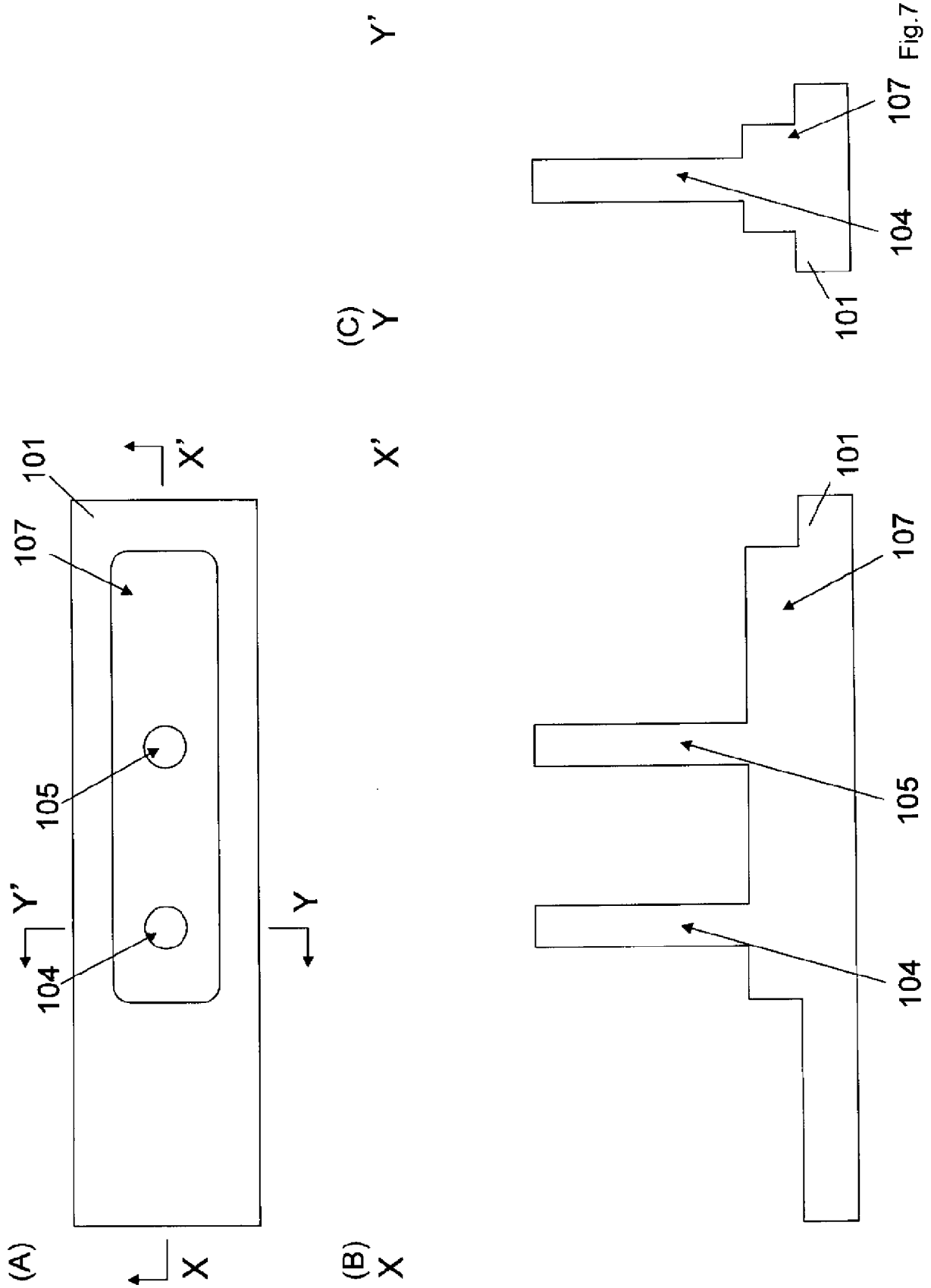


Fig.7

[図8]

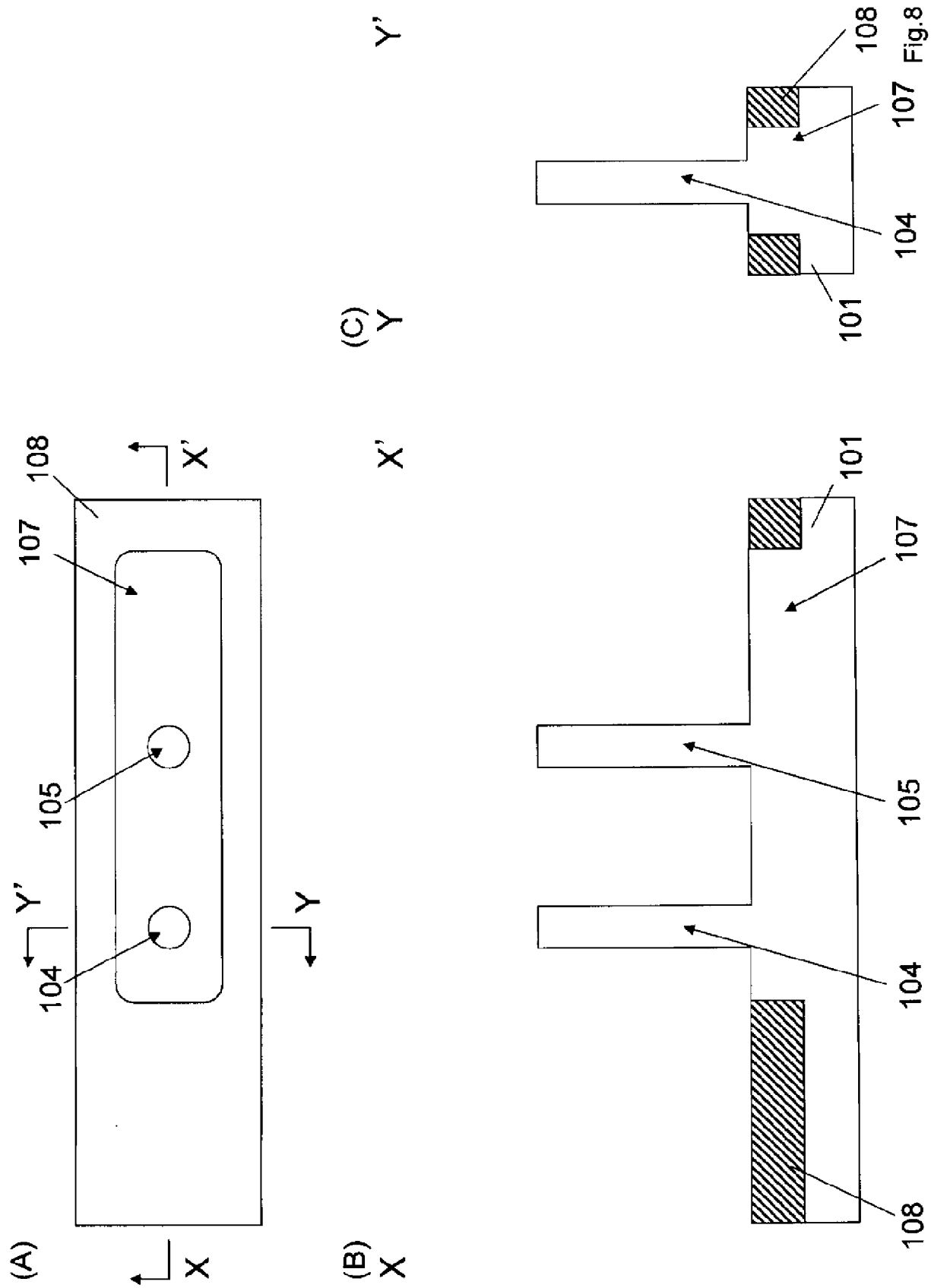


Fig.8

[図9]

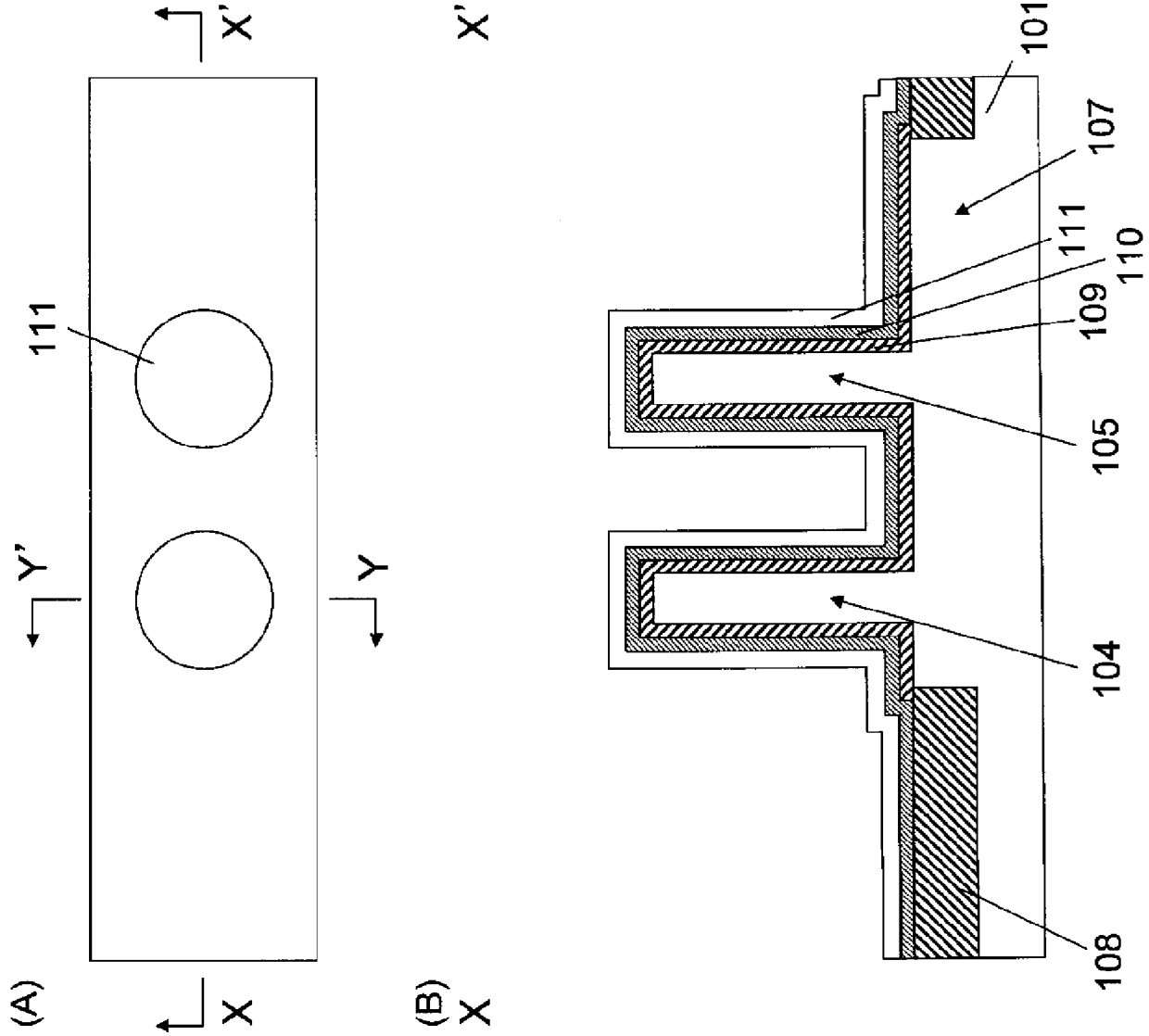

(A)
X
X'
Y'
Y
111
(B)
X
X'
101
107
111
110
109
105
104
108
(C)
Y
Y'
108
107
104
111
110
109
101

Fig.9

[図10]

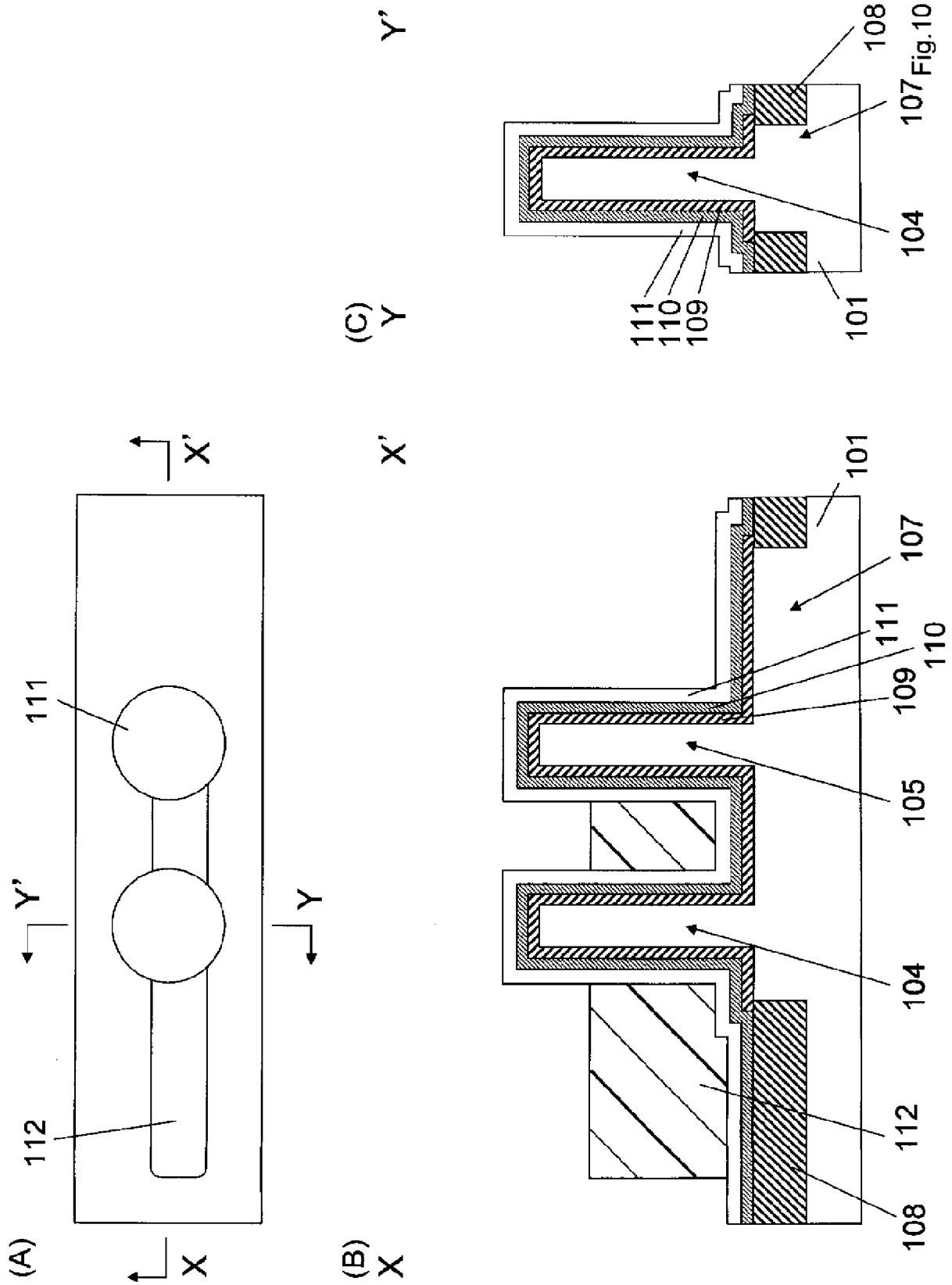

(A)
X
X'
Y
Y'
111
112
(B)
X
X'
101
107
111
110
109
105
104
112
108
(C)
Y
Y'
108
107
104
111
110
109
101

Fig.10

[図11]

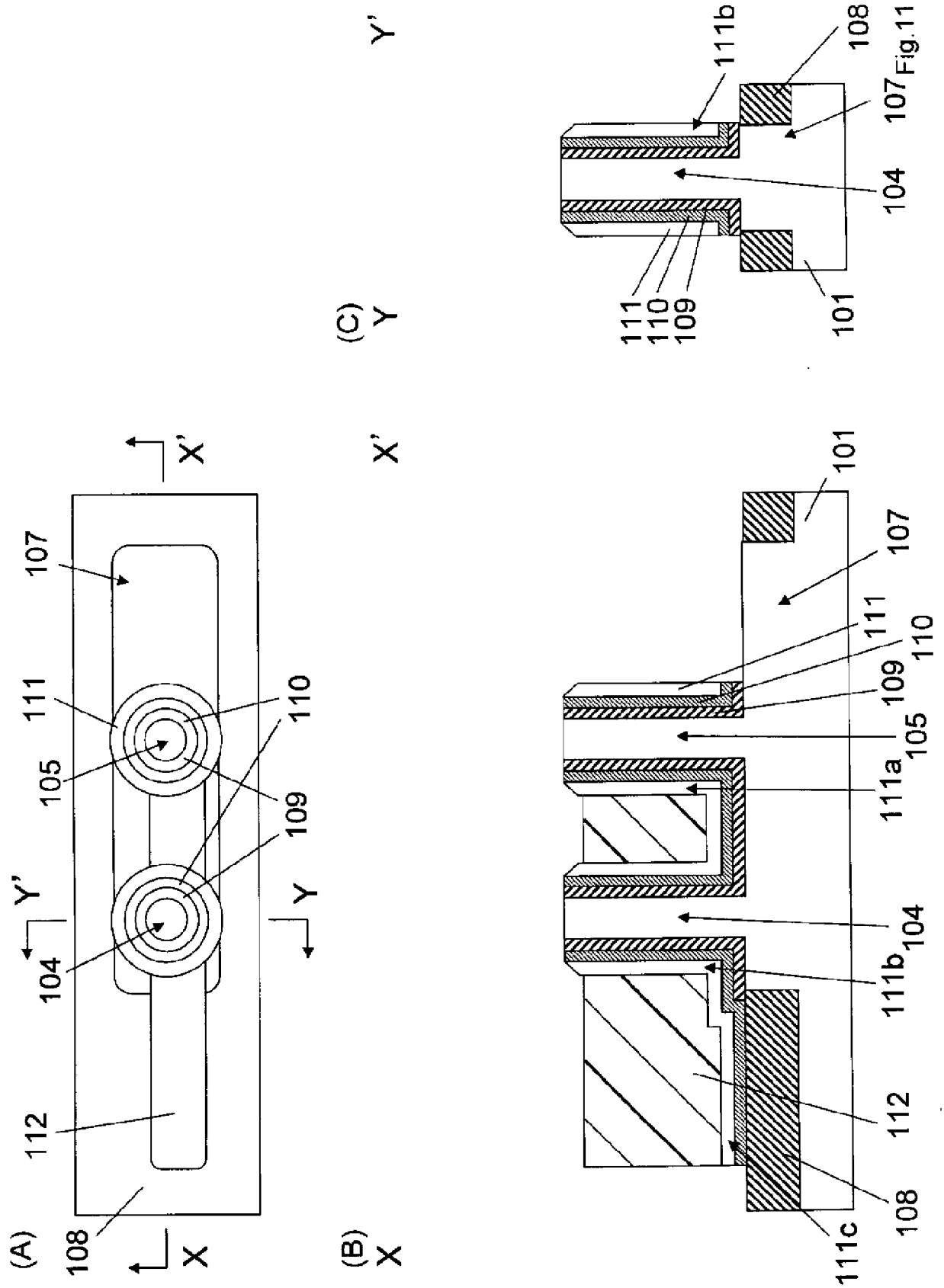


Fig.11

[図12]

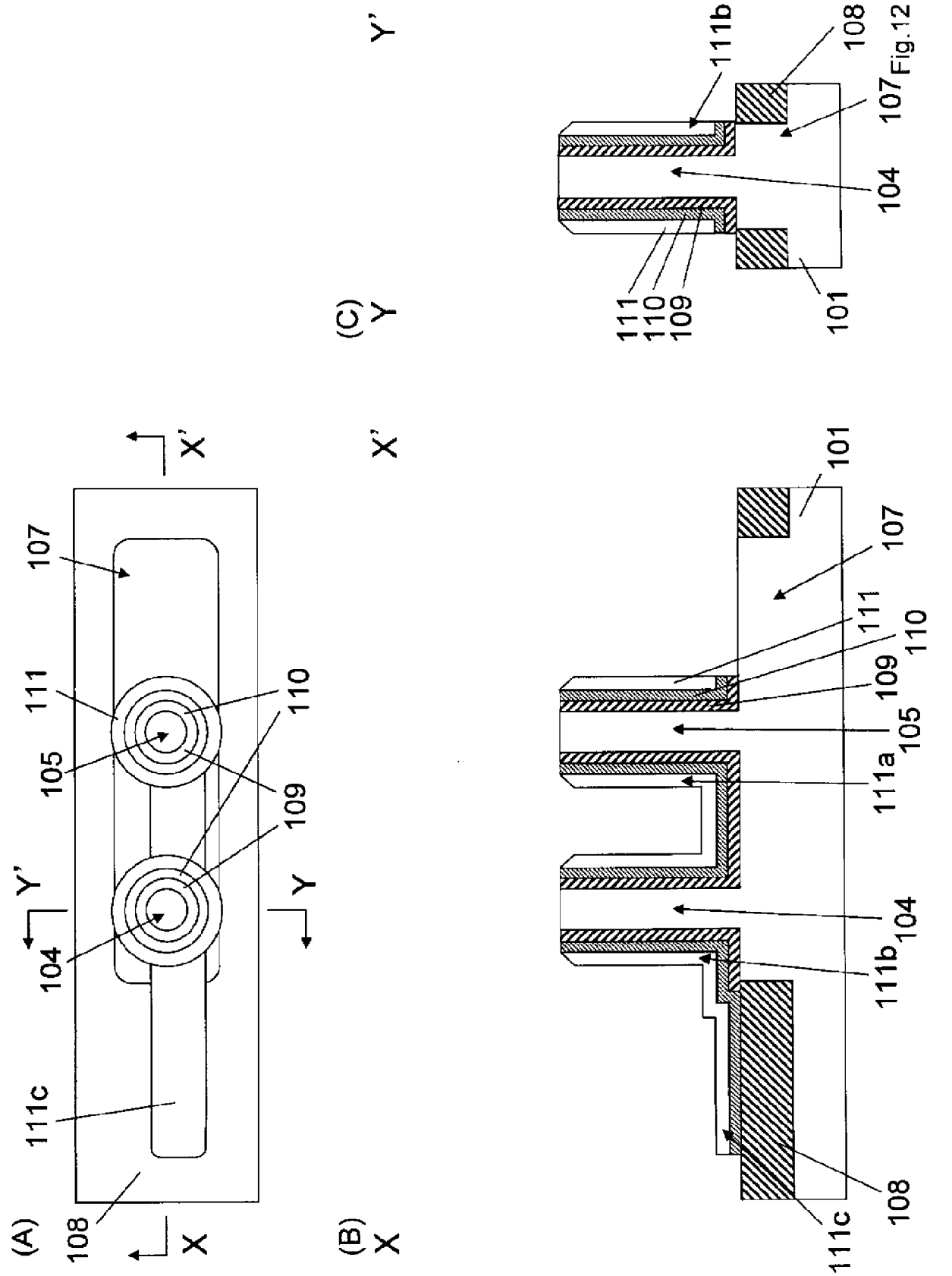
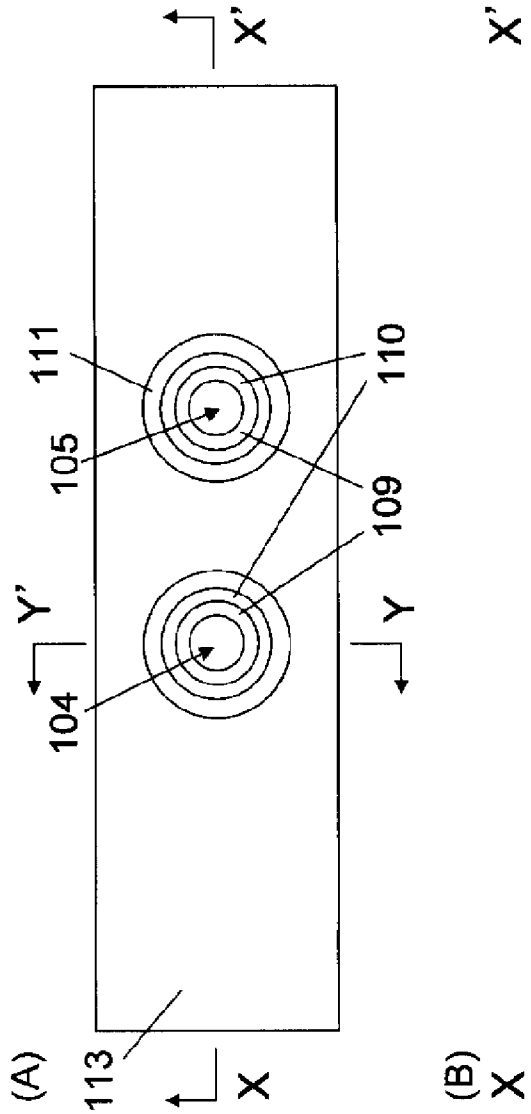
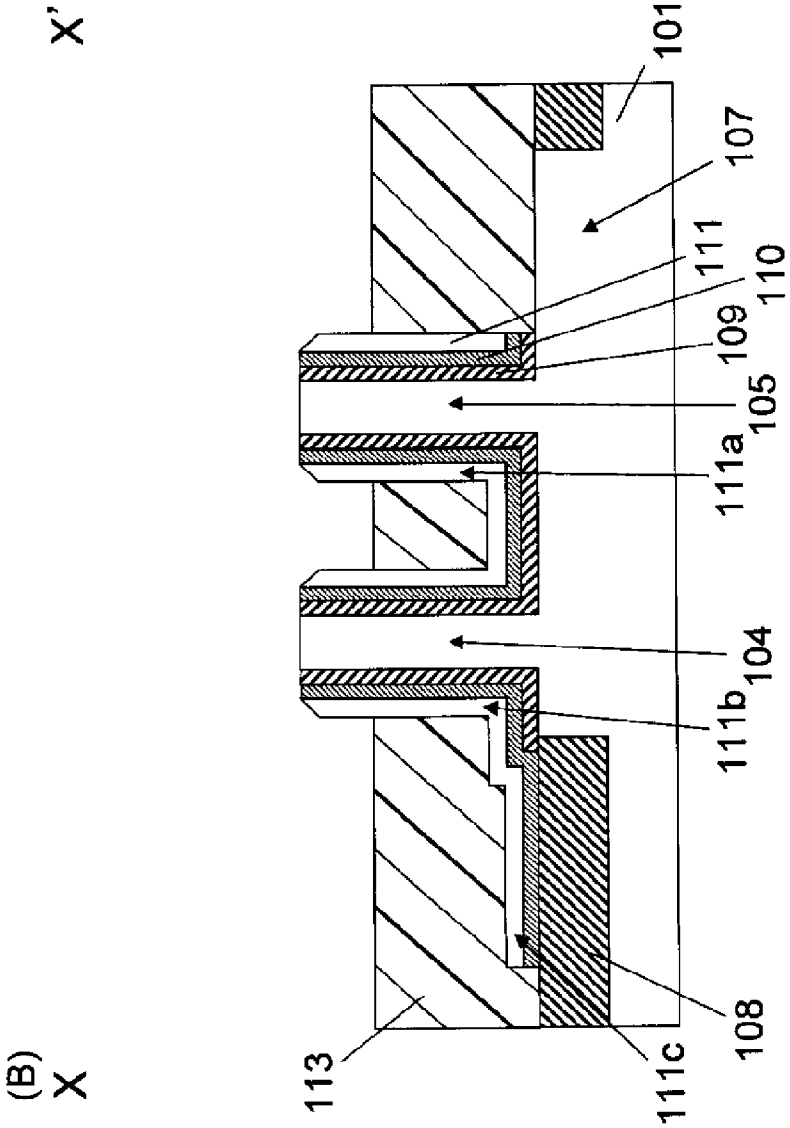

(A)
(B)
(C)
X
X'
Y
Y'
107
111
105
110
109
104
111c
108
101
111a
111b
111
110
109

Fig.12

[図13]


(A)
X
X'
Y
Y'
111
105
110
109
104
113


(B)
X
X'
101
107
111
110
109
105
111a
104
111b
108
113
111c

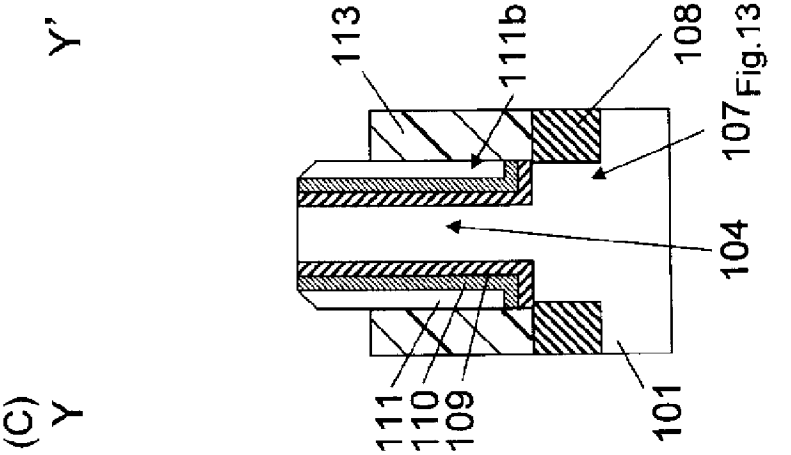

(C)
Y
Y'
113
111b
108
107
104
111
110
109
101

Fig.13

[図14]

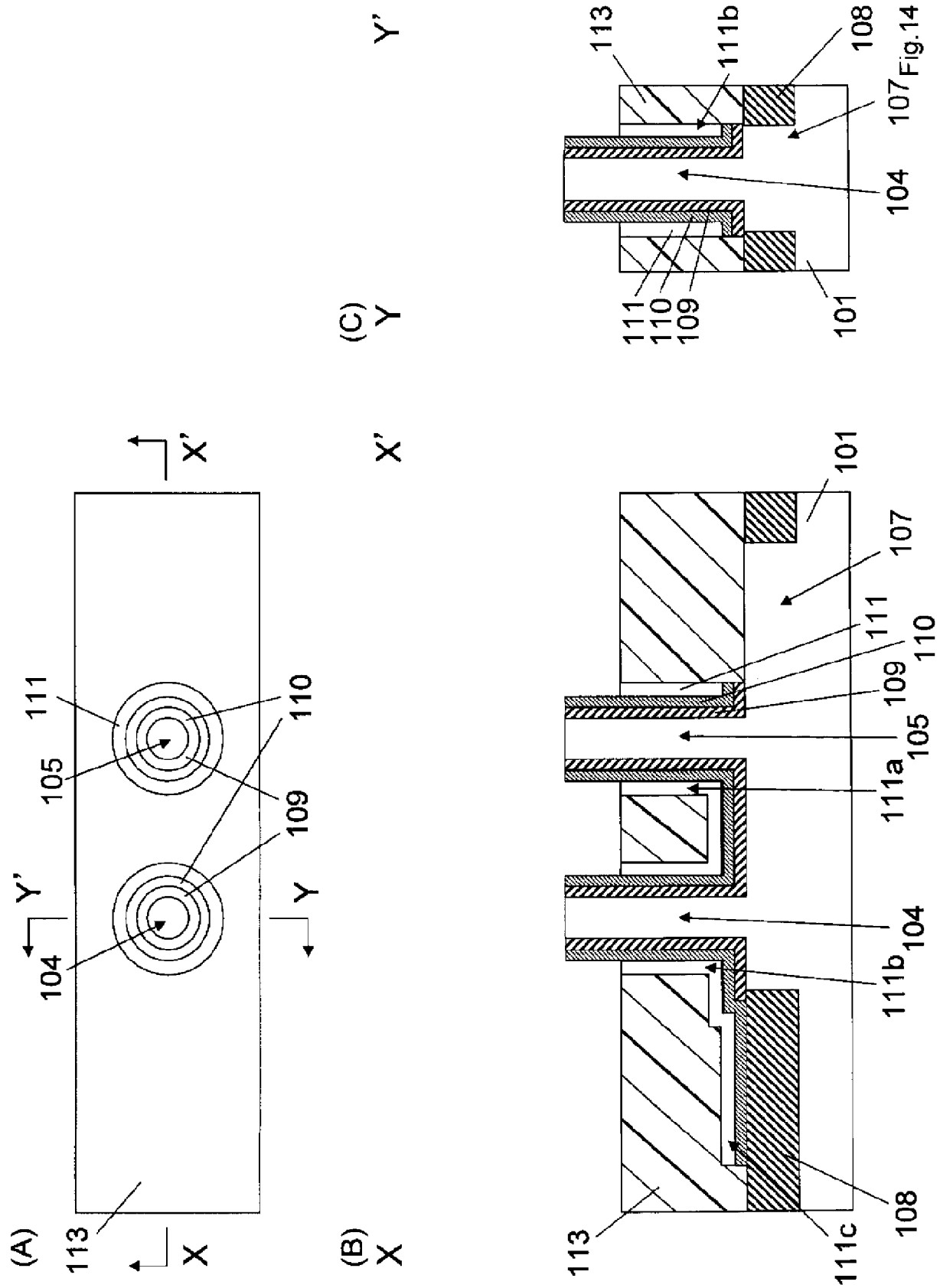
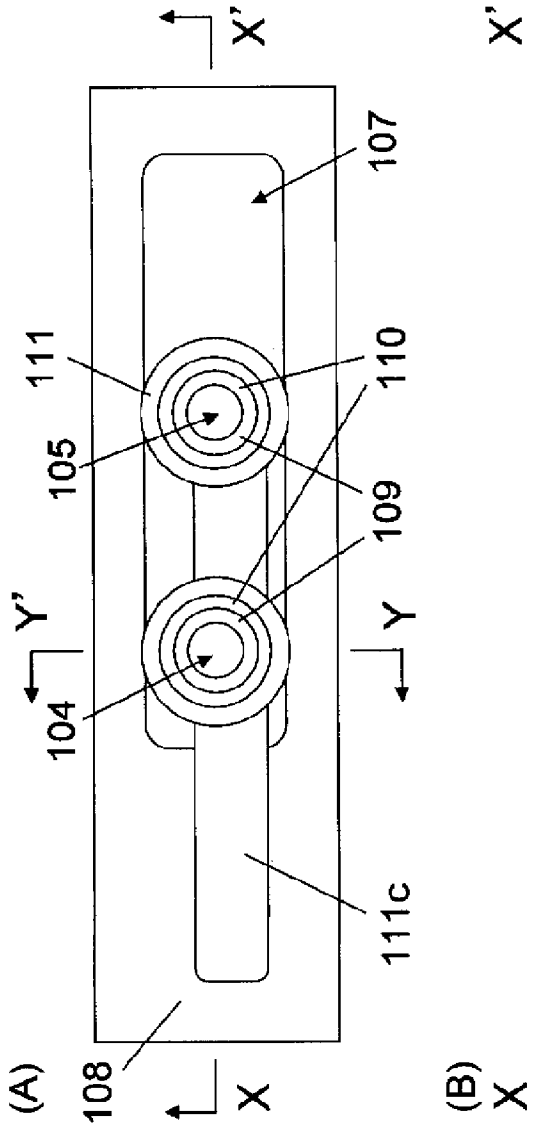
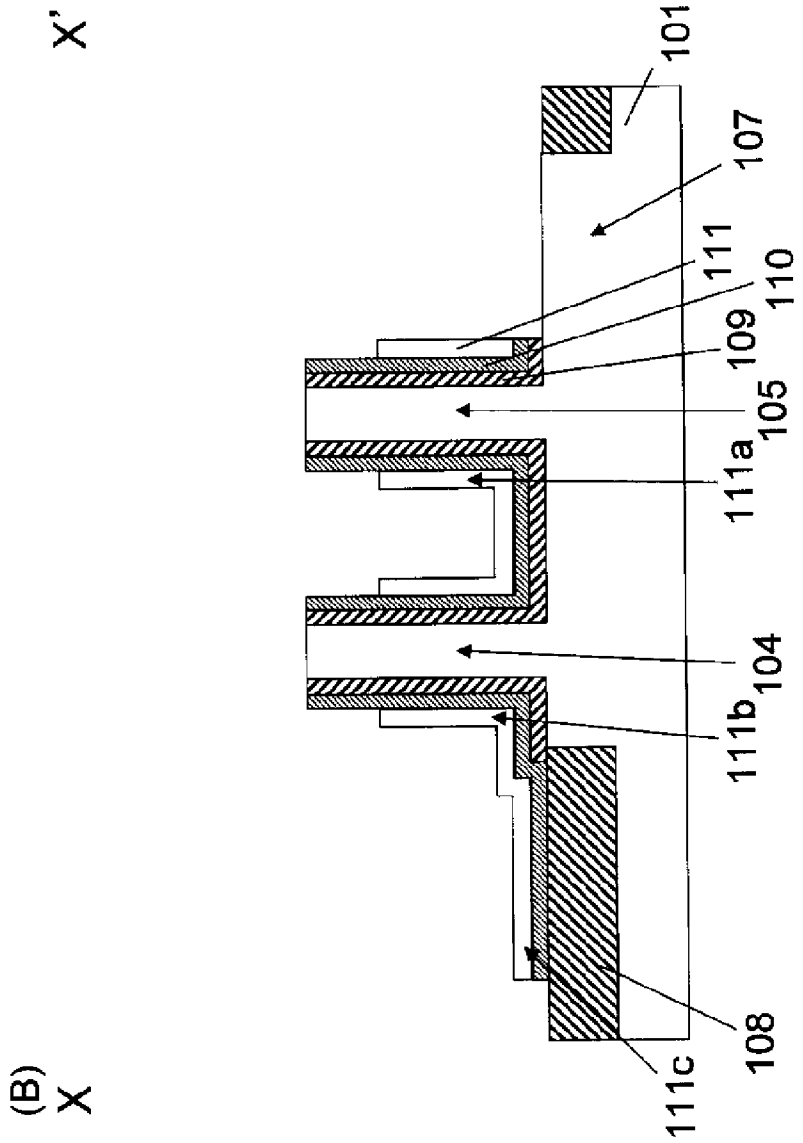


Fig.14

[図15]


(A)
X
X'
Y
Y'
107
111
105
110
109
104
111c
108


(B)
X
X'
101
107
111
110
109
105
111a
104
111b
108
111c

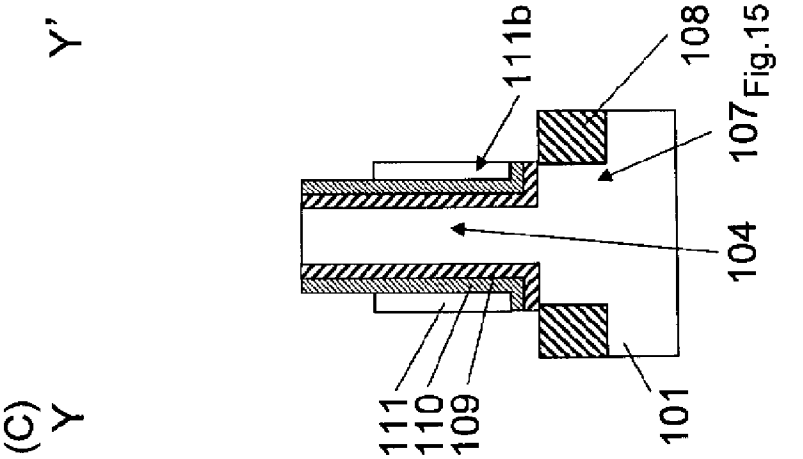

(C)
Y
Y'
111b
108
107
104
111
110
109
101

Fig.15

[図16]

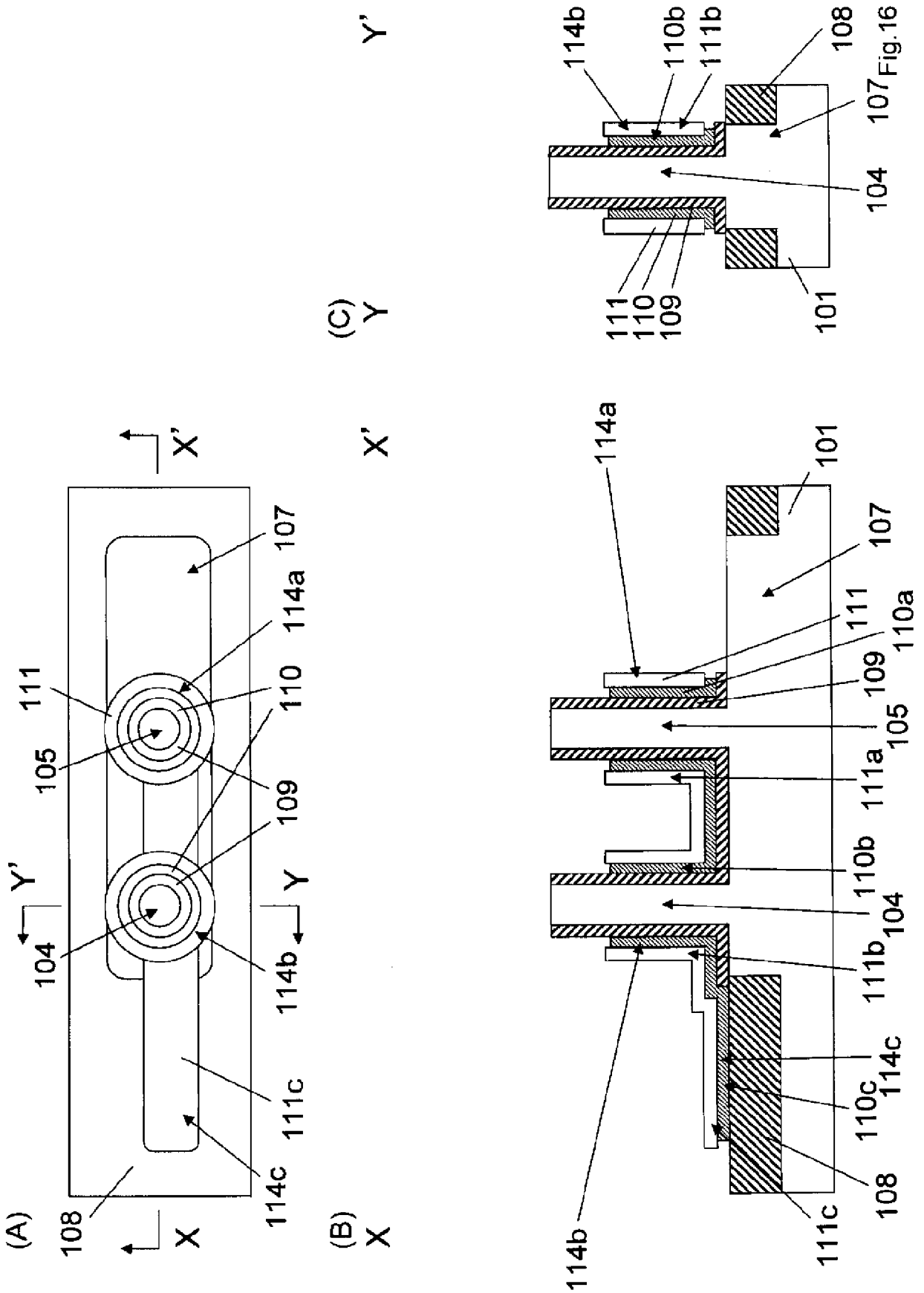

(A)
X
X'
Y
Y'
108
104
105
111
110
109
107
114a
114b
111c
114c
(B)
X
X'
114a
101
107
111
110a
109
105
111a
110b
104
111b
114c
110c
108
114b
111c
(C)
Y
Y'
114b
110b
111b
108
107
104
111
110
109
101

Fig.16

[図17]

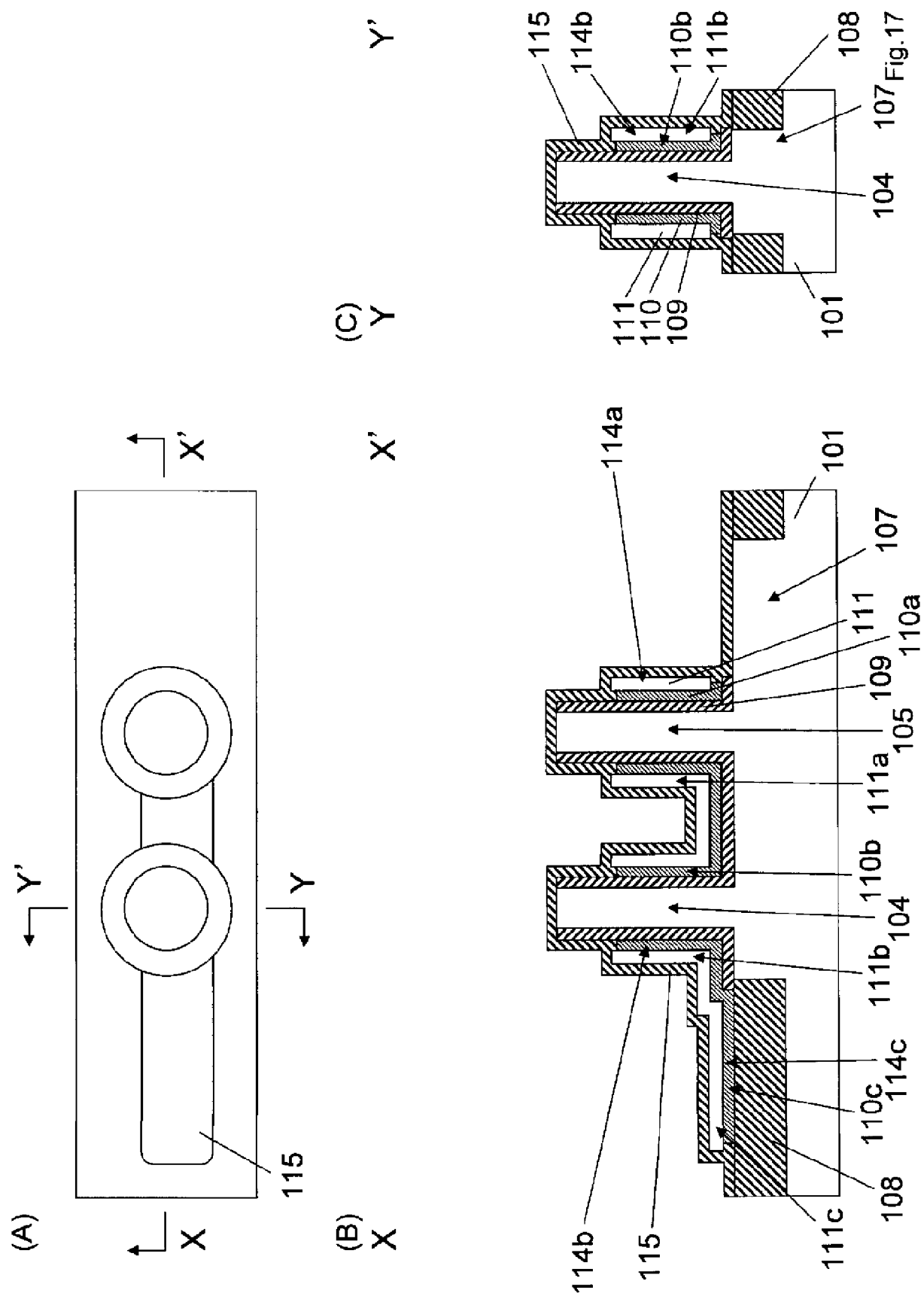

(A)
X
X'
Y
Y'
115
(B)
X
X'
114a
101
107
111
110a
109
105
111a
110b
104
111b
114c
110c
108
111c
114b
115
(C)
Y
Y'
115
114b
110b
111b
108
107
104
111
110
109
101

Fig.17

[図18]

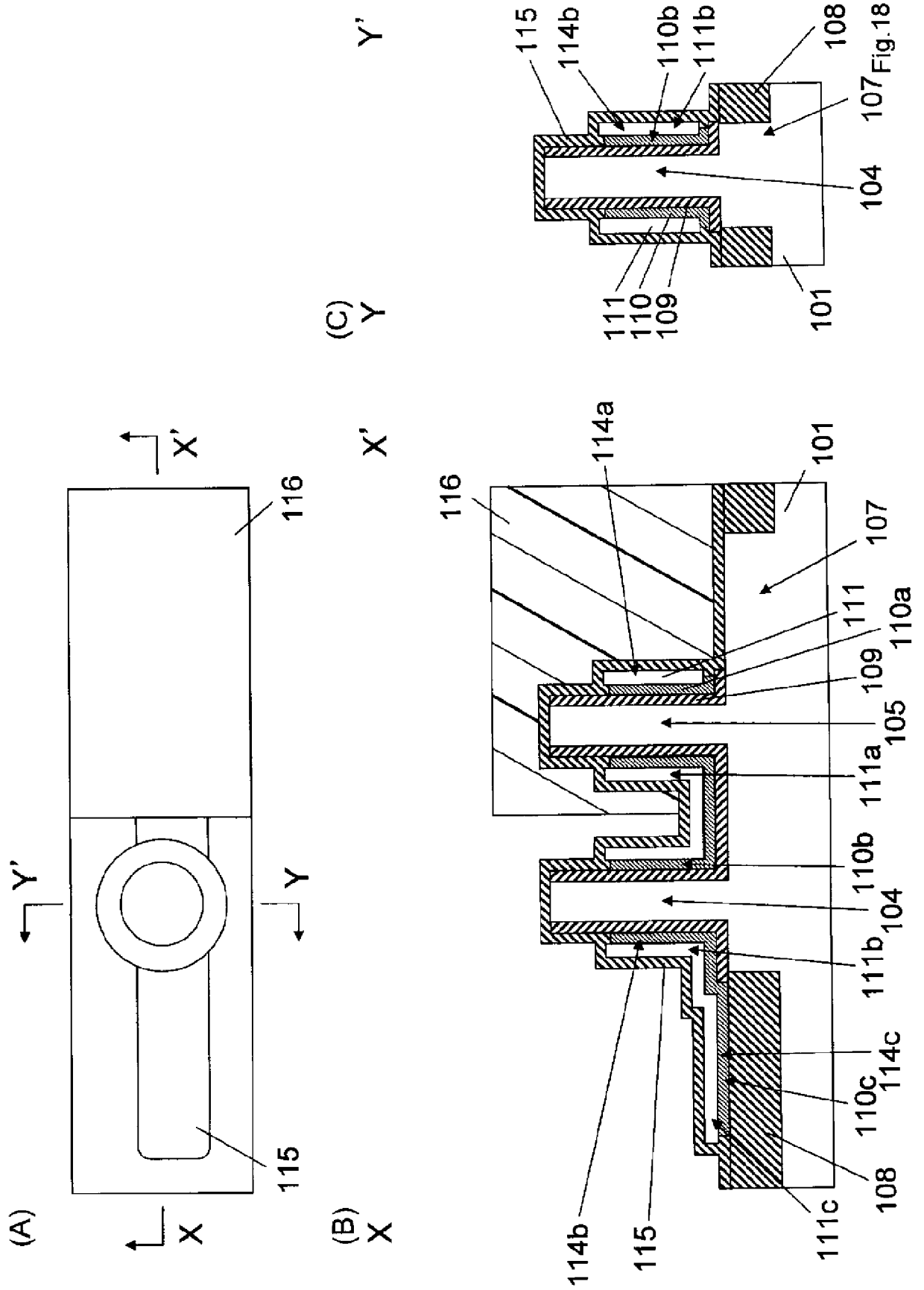

(A)
X
X'
Y
Y'
116
115
(B)
X
X'
114a
101
116
107
111
110a
109
105
111a
110b
104
111b
114c
110c
108
111c
114b
115
(C)
Y
Y'
115
114b
110b
111b
108
107
104
111
110
109
101

Fig.18

[図19]

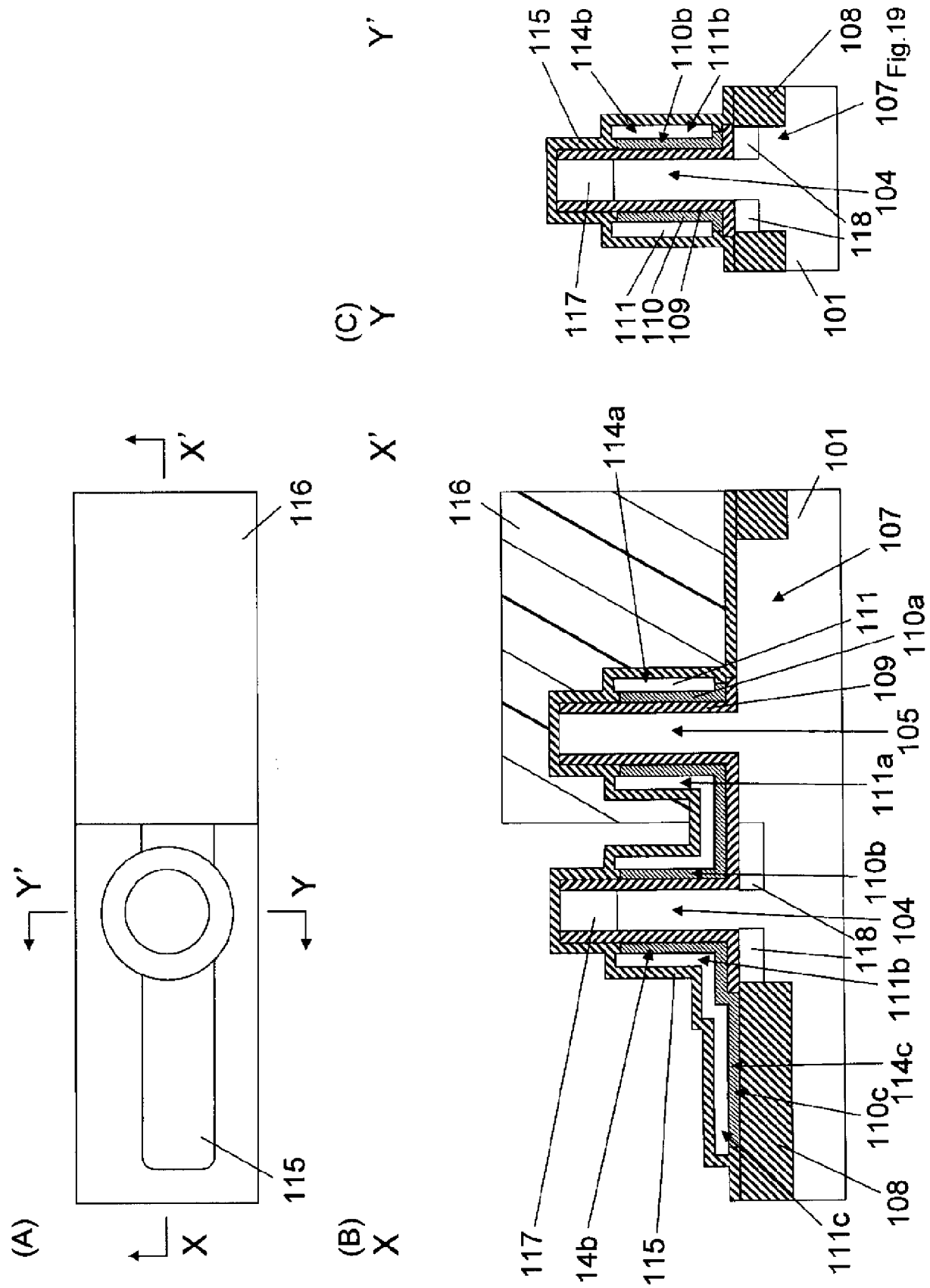

(A)
X
X'
Y'
Y
116
115
(B)
X
X'
116
114a
101
107
111
110a
109
105
111a
110b
104
118
111b
114c
110c
108
111c
117
114b
115
(C)
Y
Y'
115
114b
110b
111b
108
107
104
118
117
111
110
109
101

Fig.19

[図20]

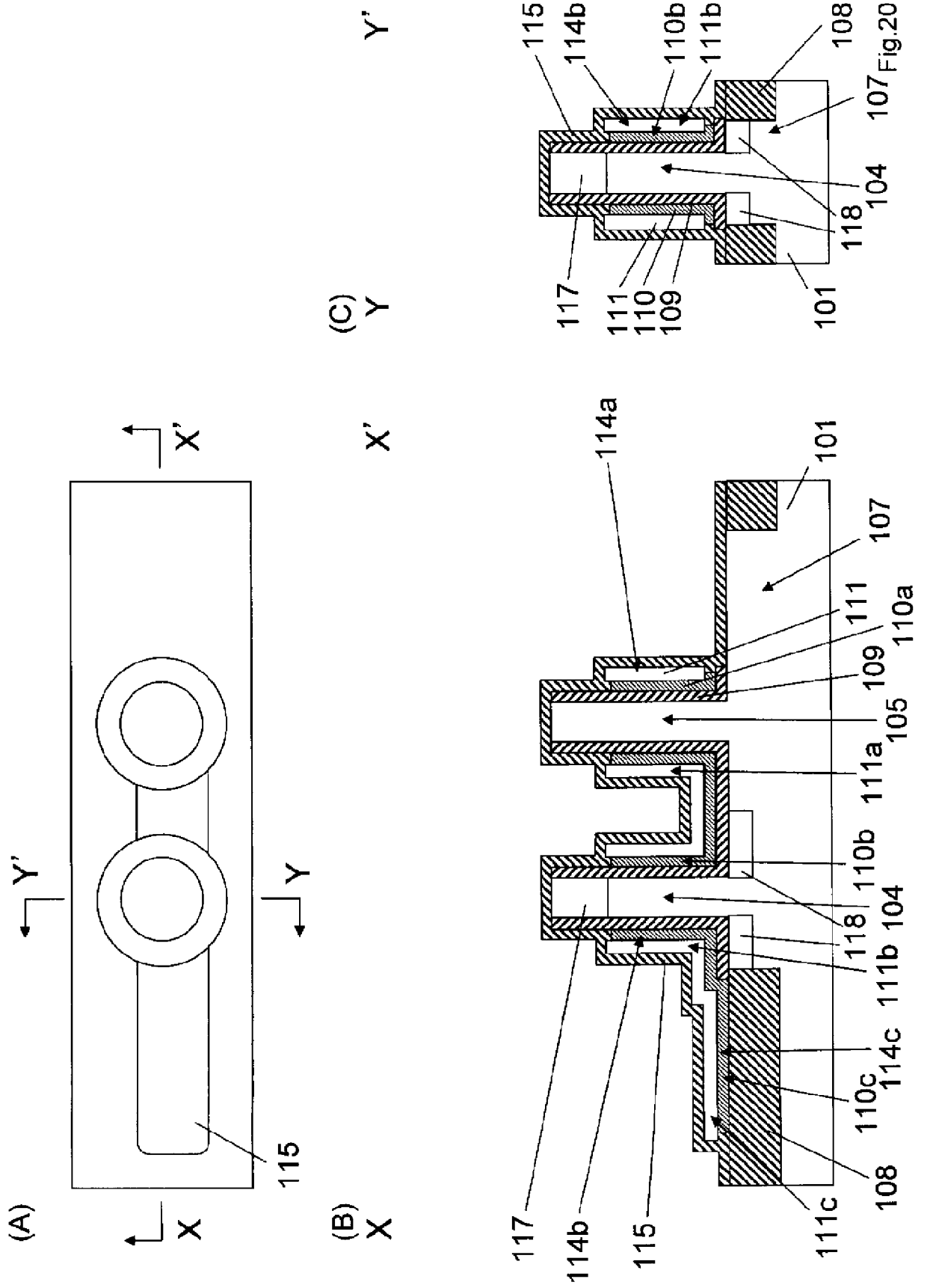

(A)
X
X'
Y'
Y
115
(B)
X
X'
114a
101
107
111
110a
109
105
111a
110b
104
118
111b
114c
110c
108
111c
117
114b
115
(C)
Y
Y'
115
114b
110b
111b
108
107
104
118
117
111
110
109
101

Fig.20

[図21]

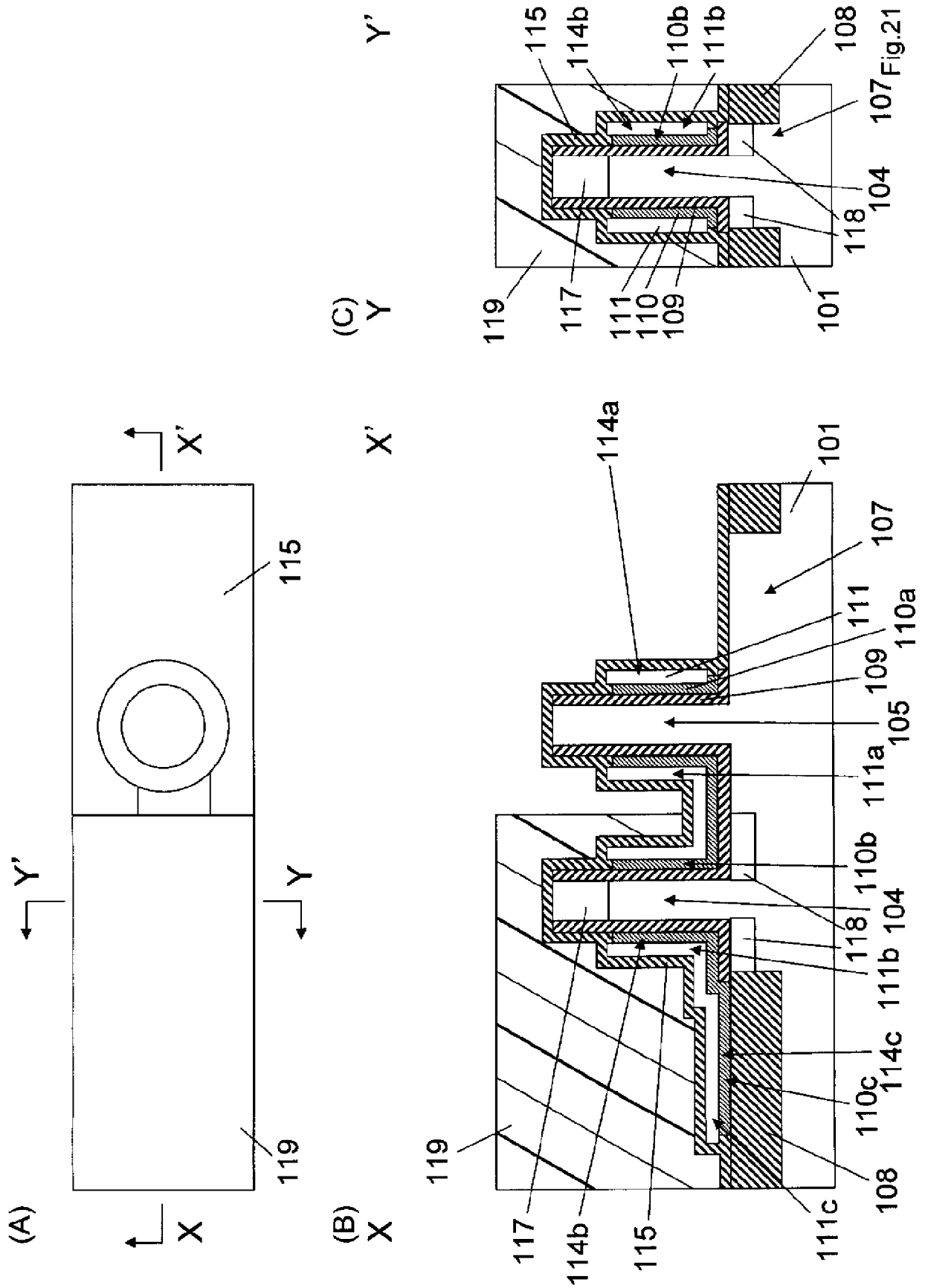

(A)
X
X'
Y'
Y
115
119
(B)
X
X'
114a
101
107
111
110a
109
105
111a
110b
104
118
111b
114c
110c
108
111c
117
114b
115
119
(C)
Y
Y'
115
114b
110b
111b
108
107
104
118
101
119
117
111
110
109

Fig.21

[図22]

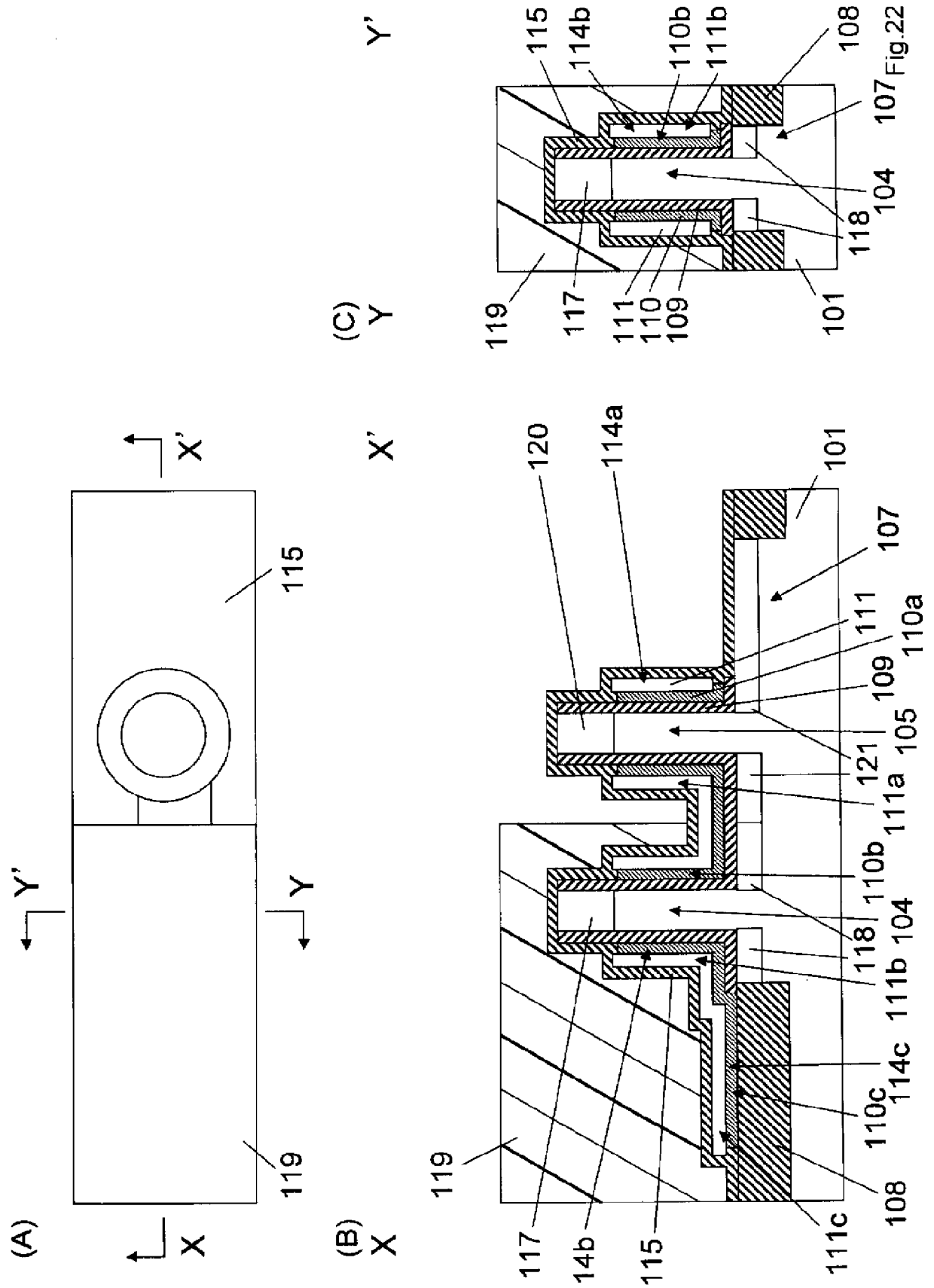

(A)
X
X'
Y'
Y
115
119
(B)
X
X'
120
114a
101
107
111
110a
109
105
121
111a
110b
104
118
111b
114c
110c
108
111c
119
117
114b
115
(C)
Y
Y'
115
114b
110b
111b
108
107
104
118
119
117
111
110
109
101

Fig.22

[図23]

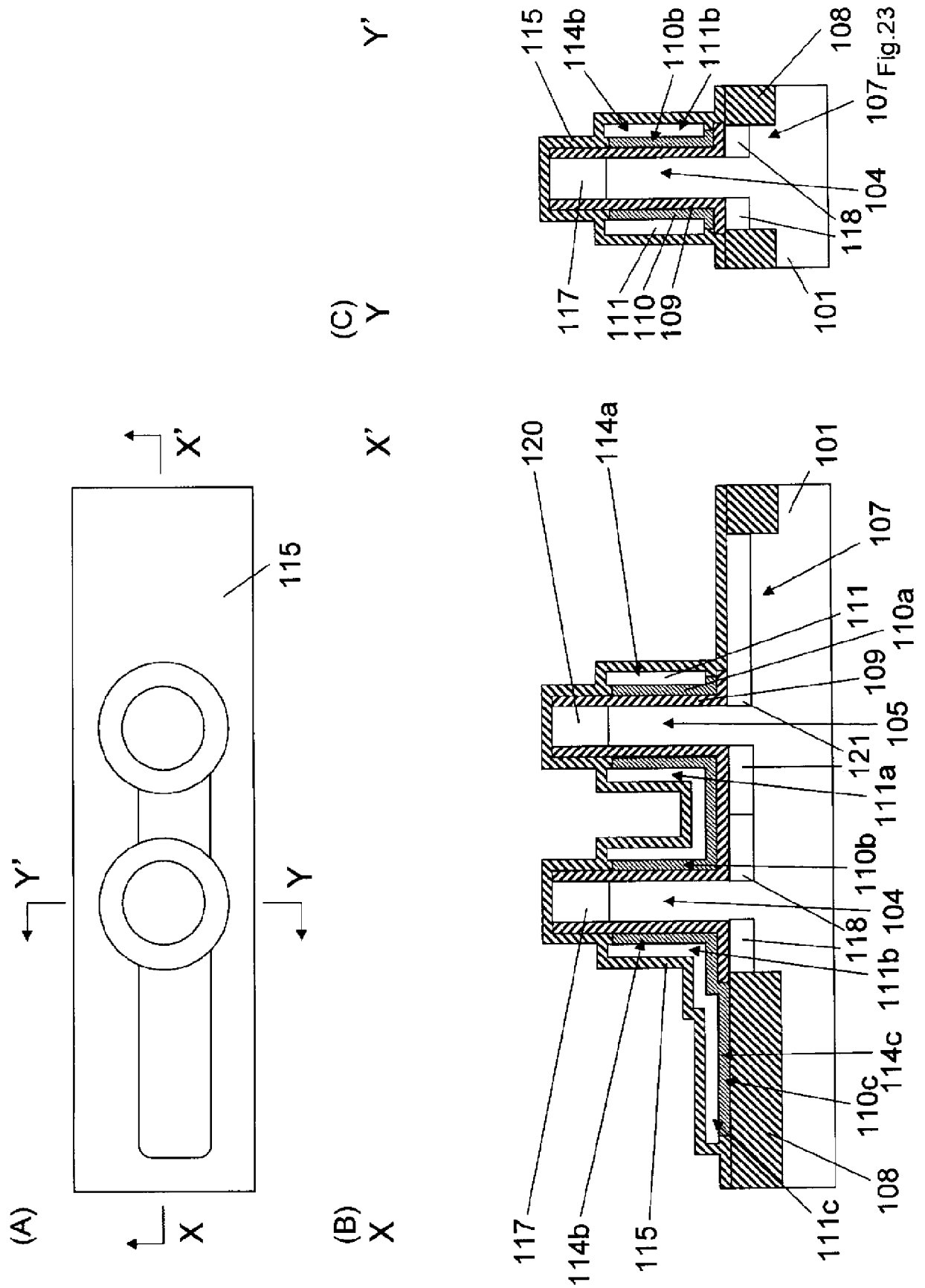

(A)
X
X'
Y
Y'
115
(B)
X
X'
120
114a
101
107
111
110a
109
105
121
111a
110b
104
118
111b
114c
110c
108
111c
117
114b
115
(C)
Y
Y'
115
114b
110b
111b
108
107
104
118
117
111
110
109
101

Fig.23

[図24]

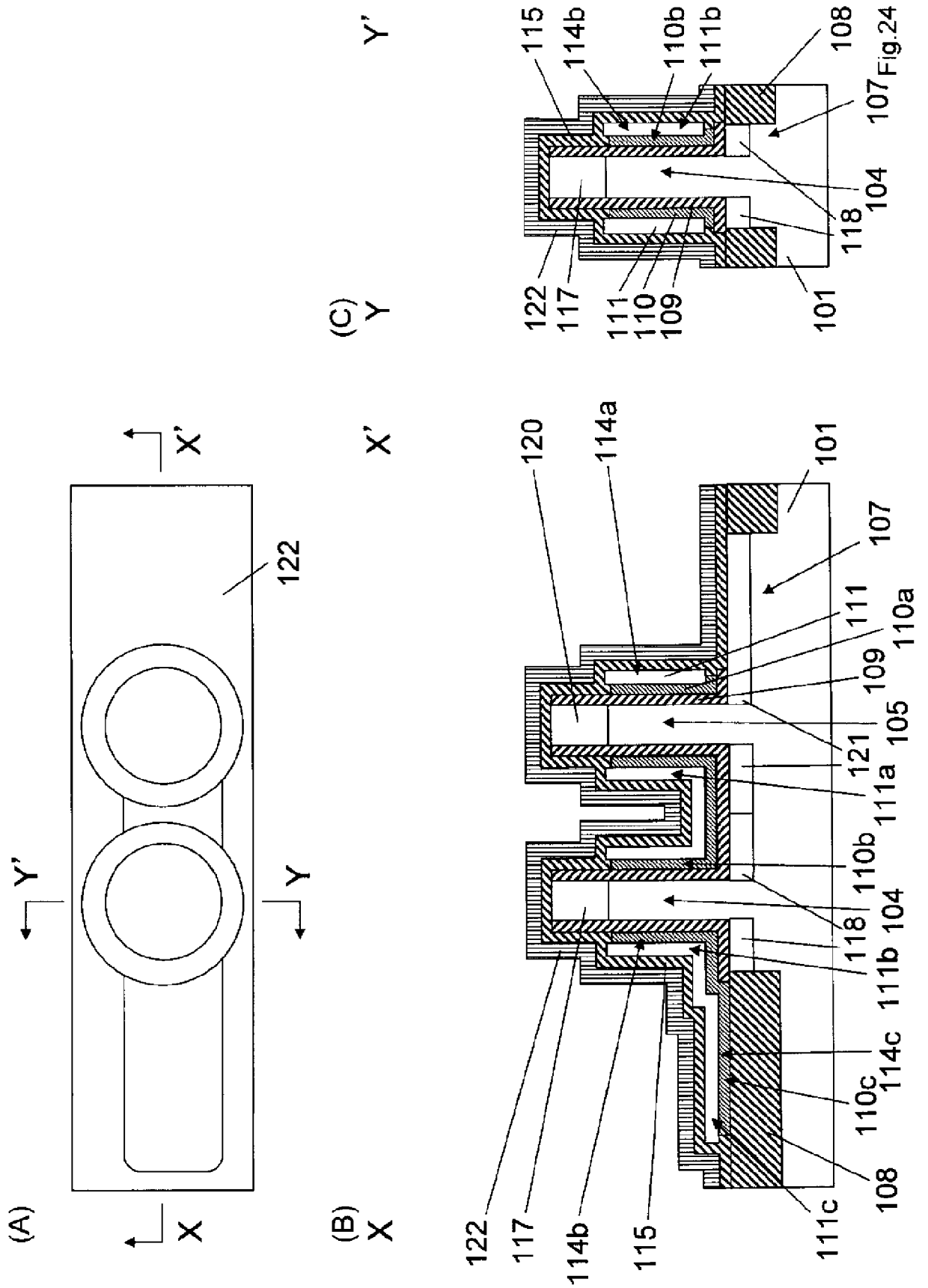

(A)
X
X'
Y
Y'
122
(B)
X
X'
120
114a
101
107
111
110a
109
105
121
111a
110b
104
118
111b
114c
110c
108
111c
122
117
114b
115
(C)
Y
Y'
115
114b
110b
111b
108
107
104
118
122
117
111
110
109
101

Fig.24

[図25]

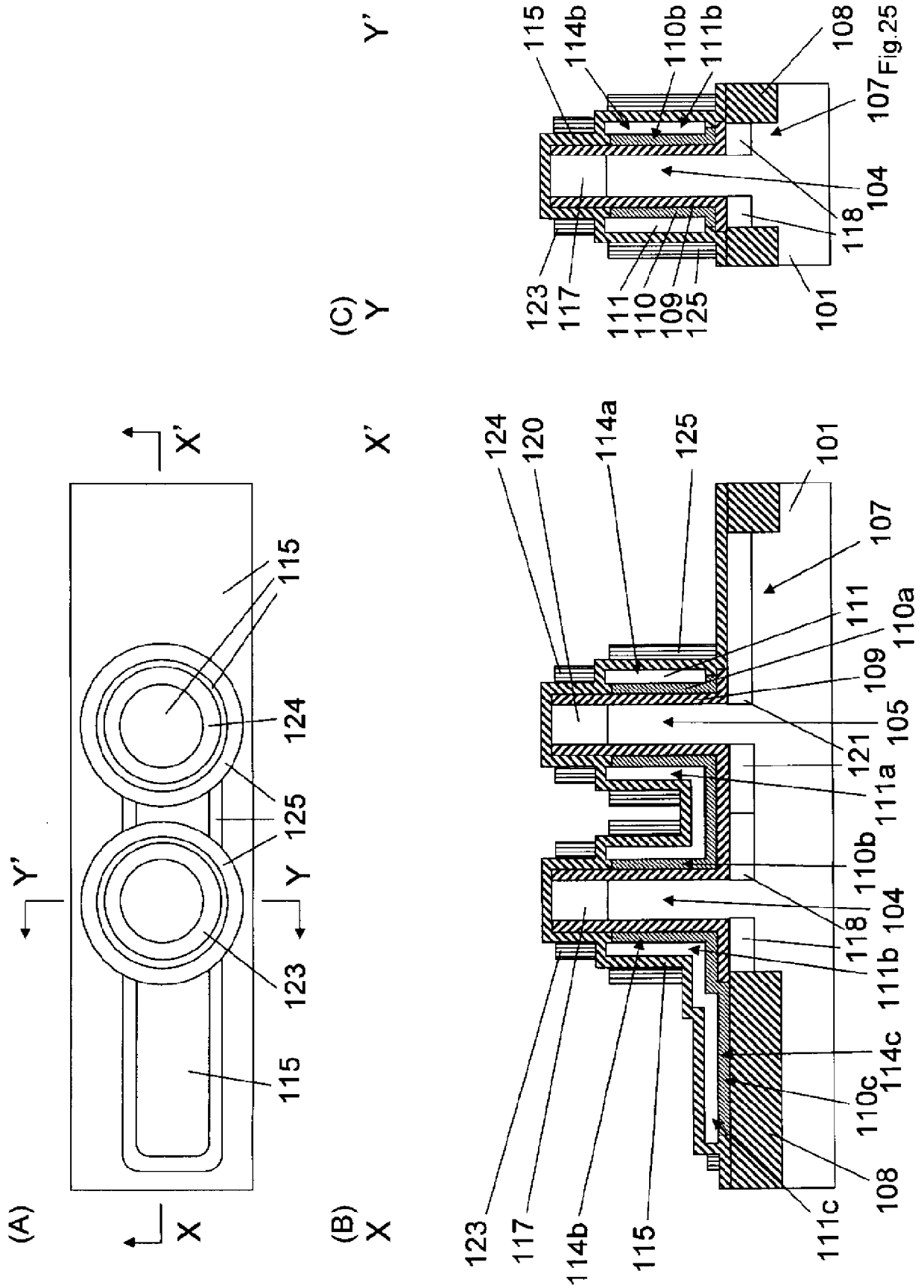

(A)
X
X'
Y
Y'
115
124
125
123
115
(B)
X
X'
123
117
114b
115
124
120
114a
125
101
107
111
110a
109
105
121
111a
110b
104
118
111b
114c
110c
108
111c
(C)
Y
Y'
123
117
111
110
109
125
115
114b
110b
111b
108
107
104
118
101

Fig.25

[図26]

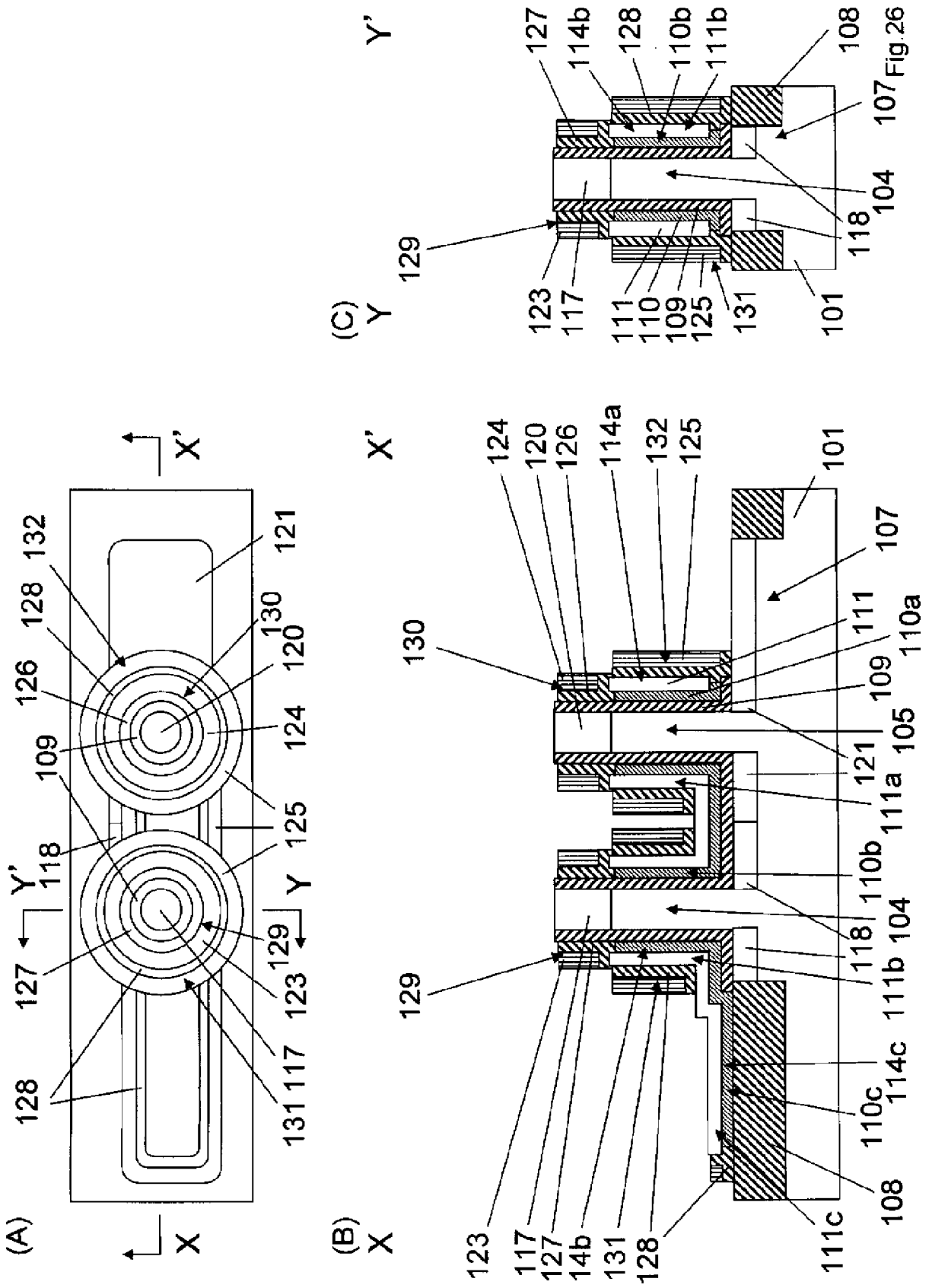

(A)
X
X'
Y
Y'
132
128
126
109
118
127
128
121
130
120
124
125
129
123
117
131
(B)
X
X'
124
120
126
114a
132
125
101
107
130
111
110a
109
105
121
111a
110b
104
118
129
111b
114c
110c
108
111c
123
117
127
114b
131
128
(C)
Y
Y'
127
114b
128
110b
111b
108
107
104
118
129
123
117
111
110
109
125
131
101

Fig.26

[図27]

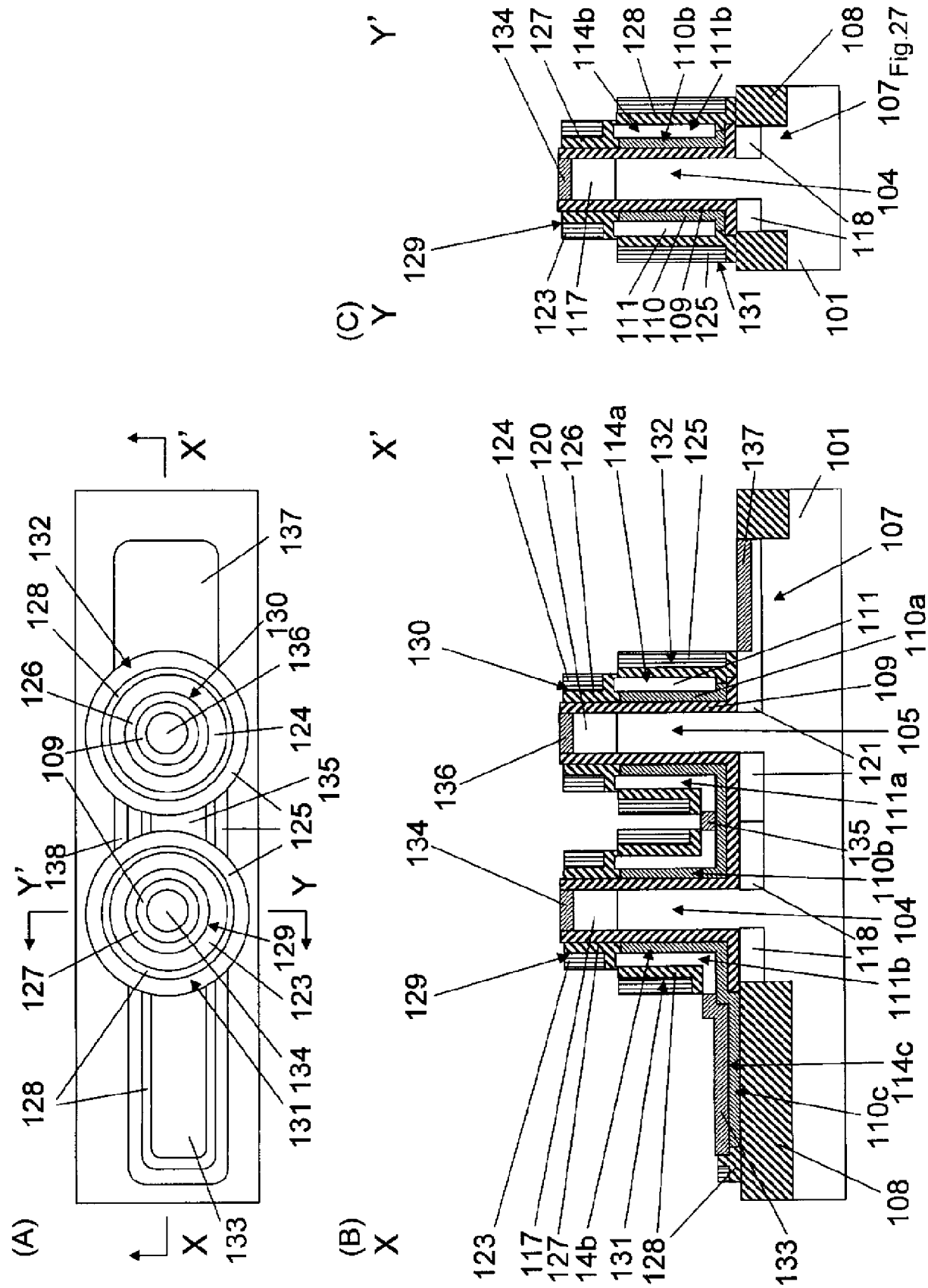

(A)
X
X'
Y
Y'
128
132
126
109
138
127
128
137
130
136
124
135
125
129
123
134
131
133
(B)
X
X'
124
120
126
114a
132
125
137
101
107
130
111
110a
109
105
121
136
111a
135
134
110b
104
118
129
111b
114c
110c
108
123
117
127
114b
131
128
133
(C)
Y
Y'
134
127
114b
128
110b
111b
108
107
104
118
129
123
117
111
110
109
125
131
101

Fig.27

[図28]

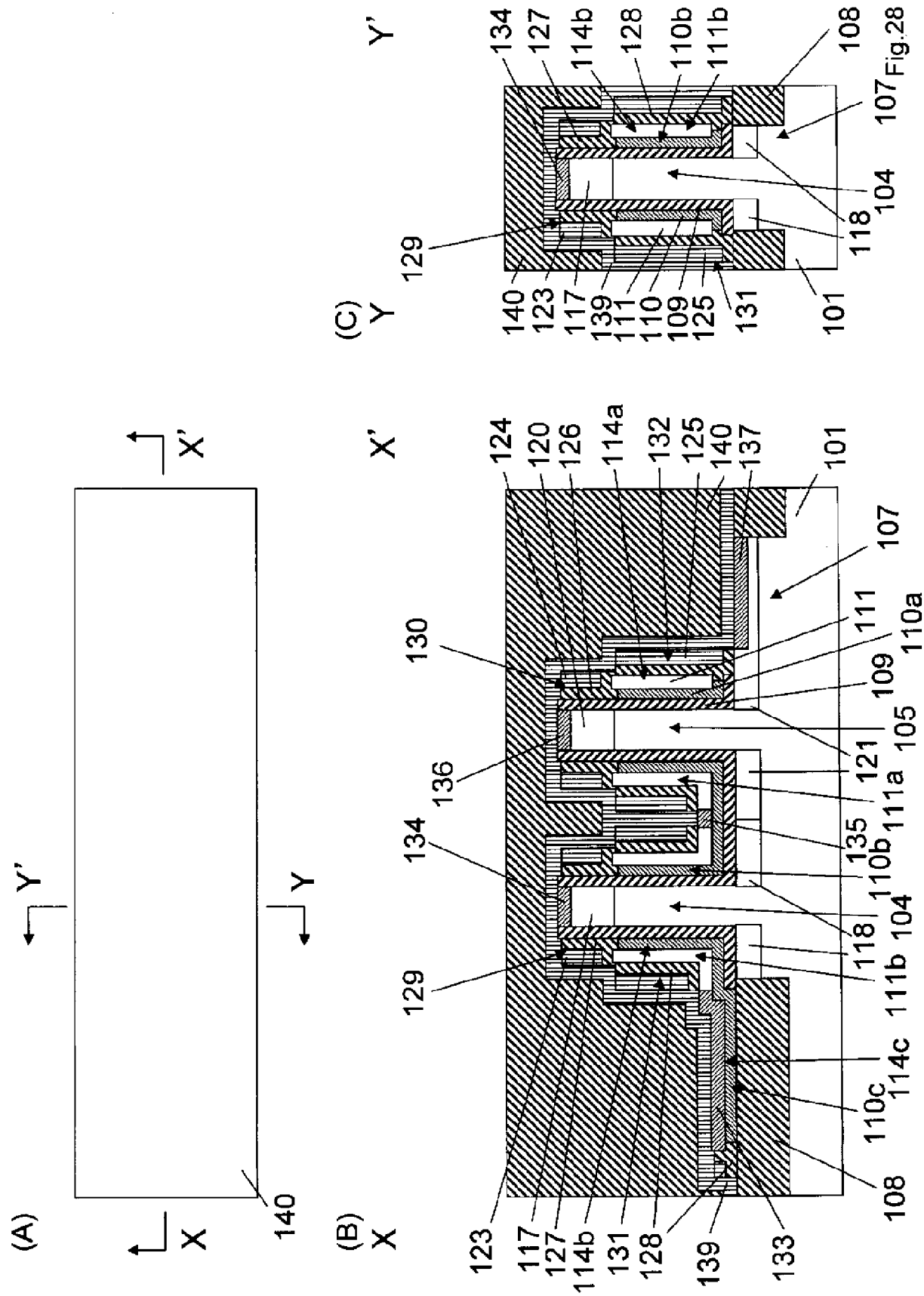

(A)
Y'
Y
X'
X
140
(B)
X'
X
124
120
126
114a
132
125
140
137
101
107
130
111
110a
109
105
121
136
111a
135
134
110b
104
118
129
111b
114c
110c
108
123
117
127
114b
131
128
139
133
(C)
Y'
Y
134
127
114b
128
110b
111b
108
107
104
118
129
140
123
117
139
111
110
109
125
131
101

Fig.28

[図29]

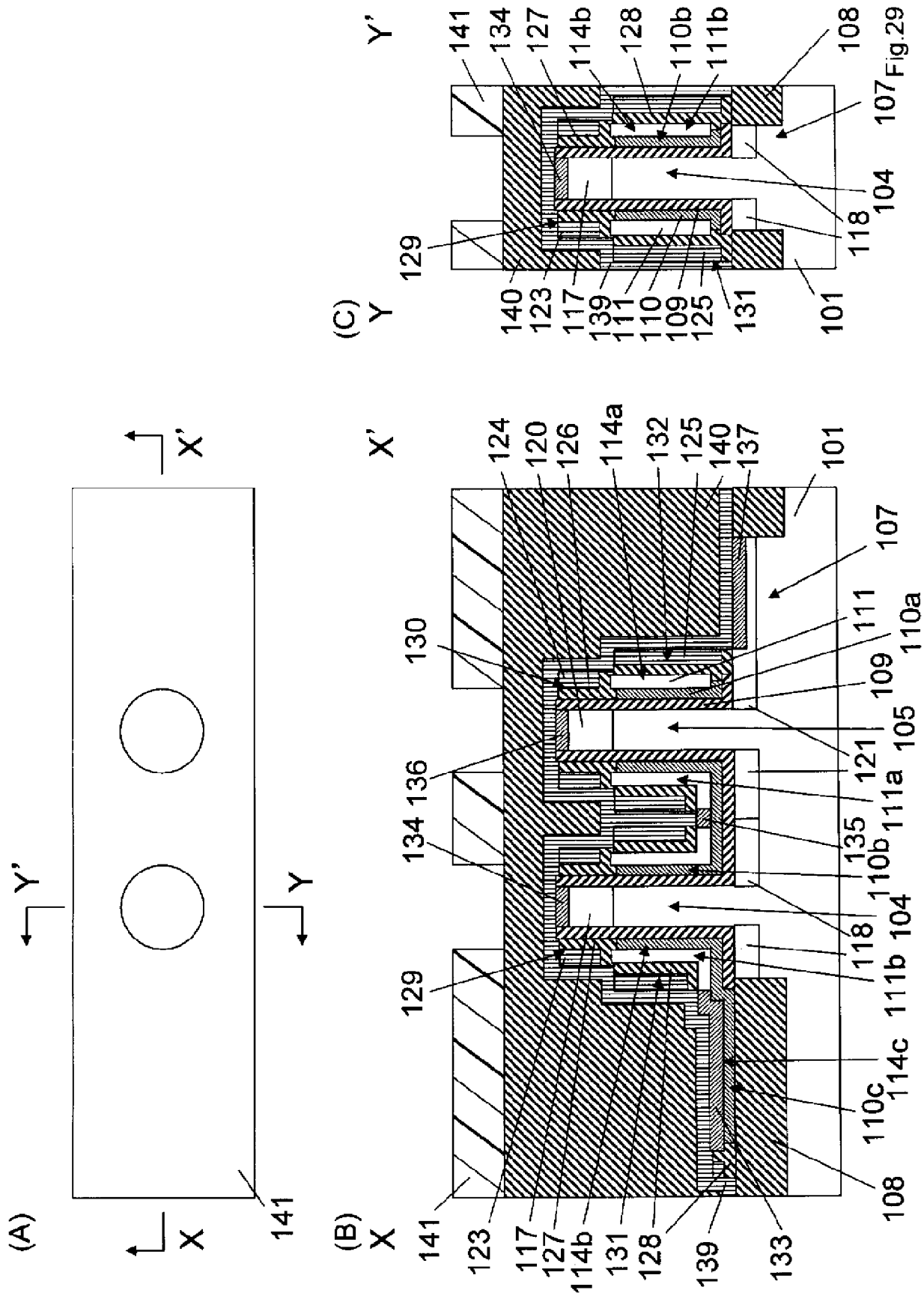
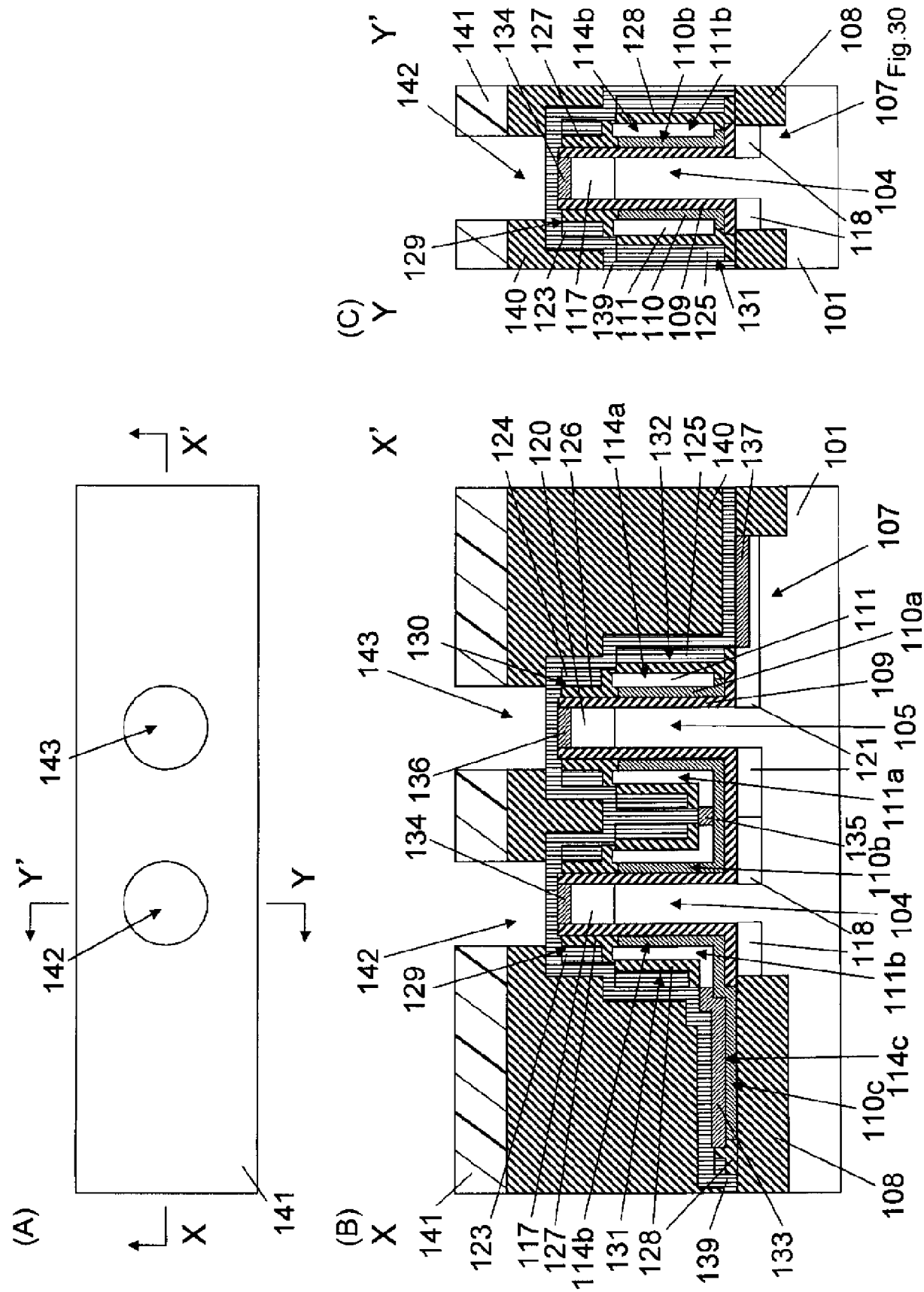

(A)
X
X'
Y
Y'
141
(B)
X
X'
124
120
126
114a
132
125
140
137
101
107
130
111
110a
109
105
121
136
111a
134
135
110b
104
118
129
111b
114c
110c
108
141
123
117
127
114b
131
128
139
133
(C)
Y
Y'
141
134
127
114b
128
110b
111b
108
107
104
118
129
140
123
117
139
111
110
109
125
131
101

Fig.29

[図30]


(A)
X
X'
Y
Y'
141
142
143
(B)
X
X'
141
123
117
127
114b
131
128
139
133
108
110c
114c
111b
118
104
110b
135
111a
121
105
109
110a
111
107
101
137
140
125
132
114a
126
120
124
130
136
134
142
129
(C)
Y
Y'
129
140
123
117
139
111
110
109
125
131
101
118
104
107
108
111b
110b
128
114b
127
134
141
142
Fig.30

[図31]

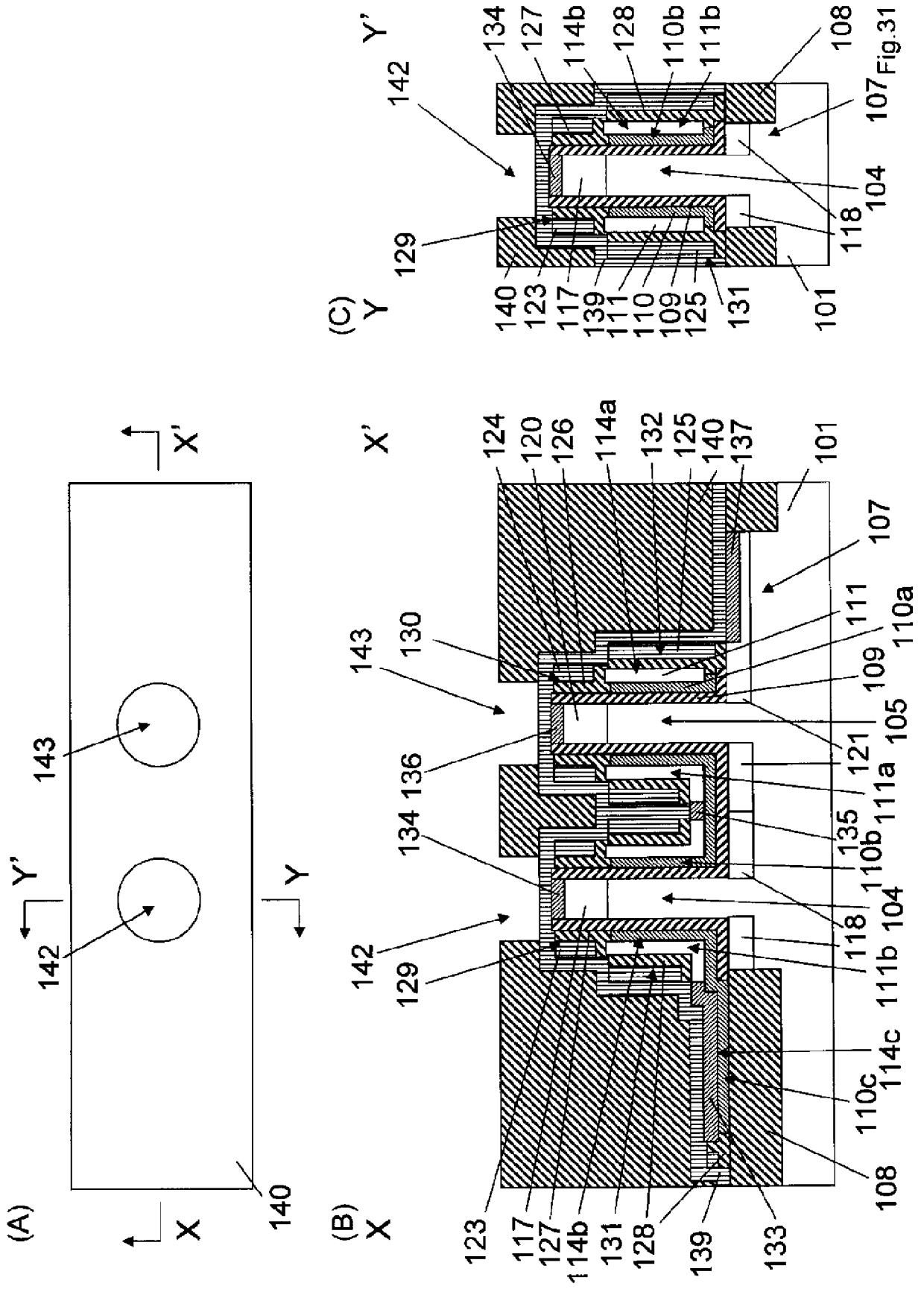

(A)
X
X'
Y
Y'
143
142
140
(B)
X
X'
123
117
127
114b
131
128
139
133
129
142
134
136
143
130
124
120
126
114a
132
125
140
137
101
107
111
110a
109
105
121
111a
135
110b
104
118
111b
114c
110c
108
(C)
Y
Y'
140
123
117
139
111
110
109
125
131
101
129
142
134
127
114b
128
110b
111b
108
107
104
118

Fig.31

[図32]

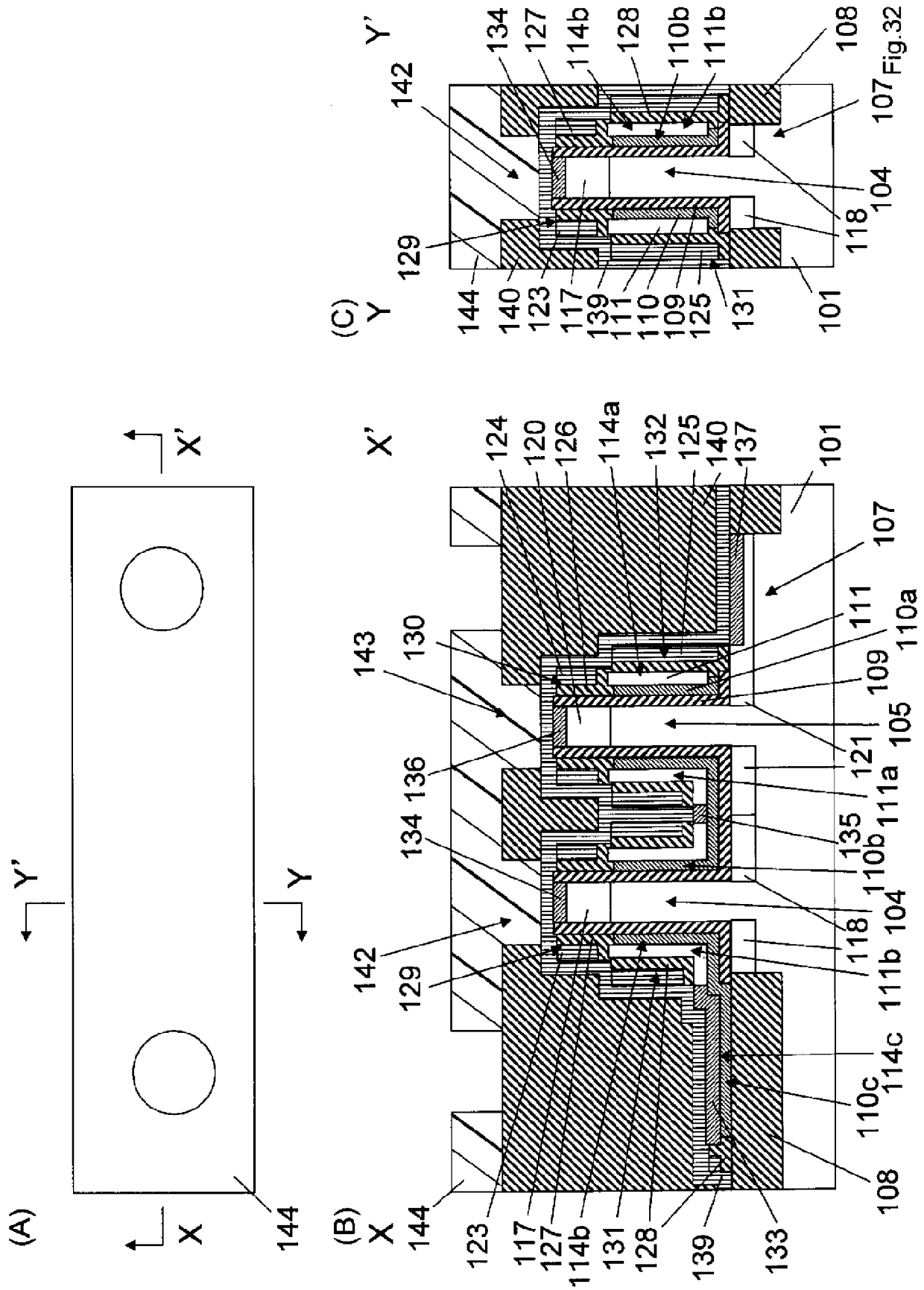

(A)
X
X'
Y
Y'
144
(B)
X
X'
144
142
129
143
130
136
134
123
117
127
114b
131
128
139
133
124
120
126
114a
132
125
140
137
101
107
111
110a
109
105
121
111a
135
110b
104
118
111b
114c
110c
108
(C)
Y
Y'
142
129
144
140
123
117
139
111
110
109
125
131
134
127
114b
128
110b
111b
108
107
104
118
101

Fig.32

[図33]

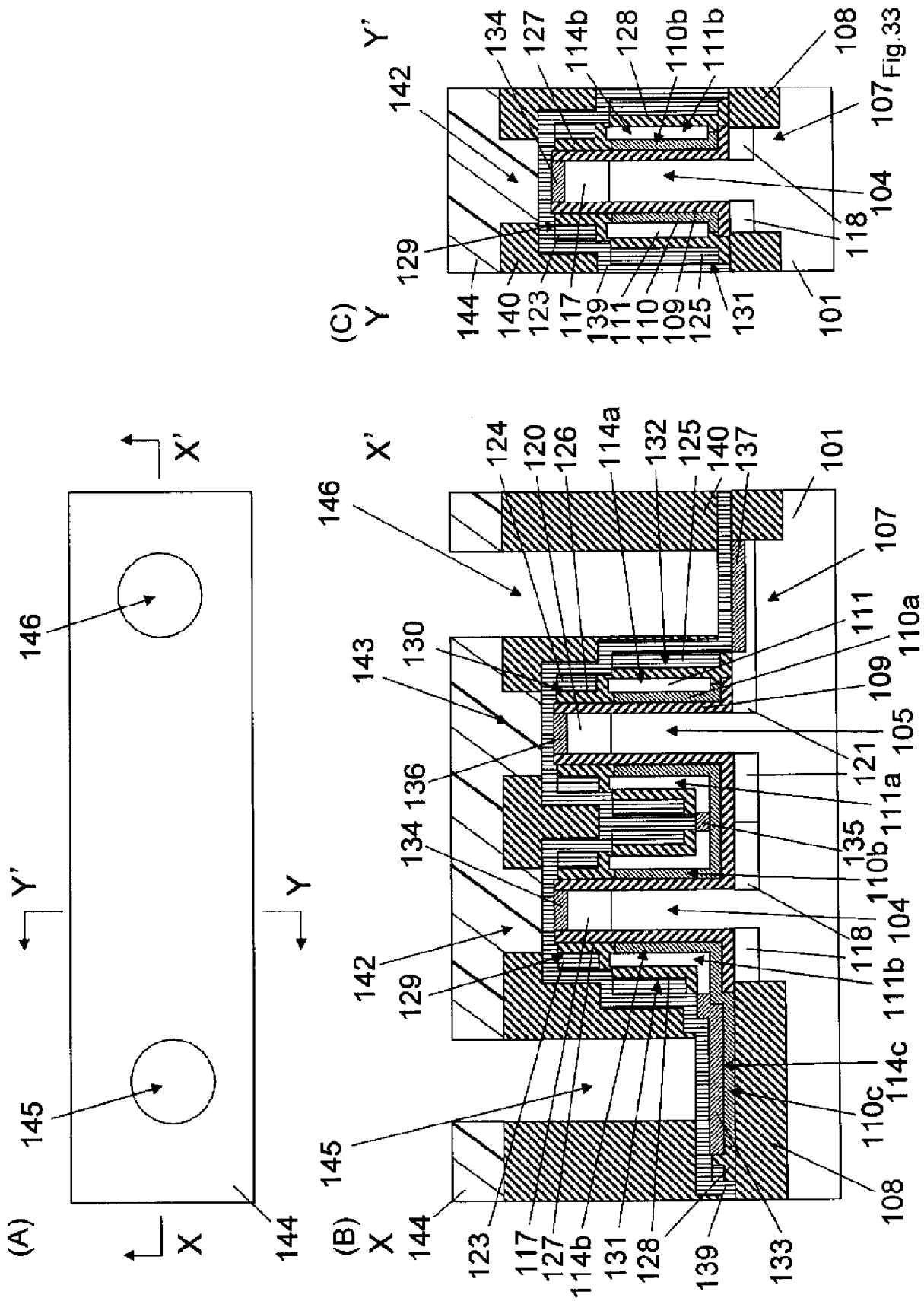

(A)
X
X'
Y
Y'
144
145
146
(B)
X
X'
144
145
146
142
129
143
130
136
134
123
117
127
114b
131
128
139
133
124
120
126
114a
132
125
140
137
101
107
111
110a
109
105
121
111a
135
110b
104
118
111b
114c
110c
108
(C)
Y
Y'
144
142
129
140
123
117
139
111
110
109
125
131
101
134
127
114b
128
110b
111b
108
107
104
118

Fig.33

[図34]

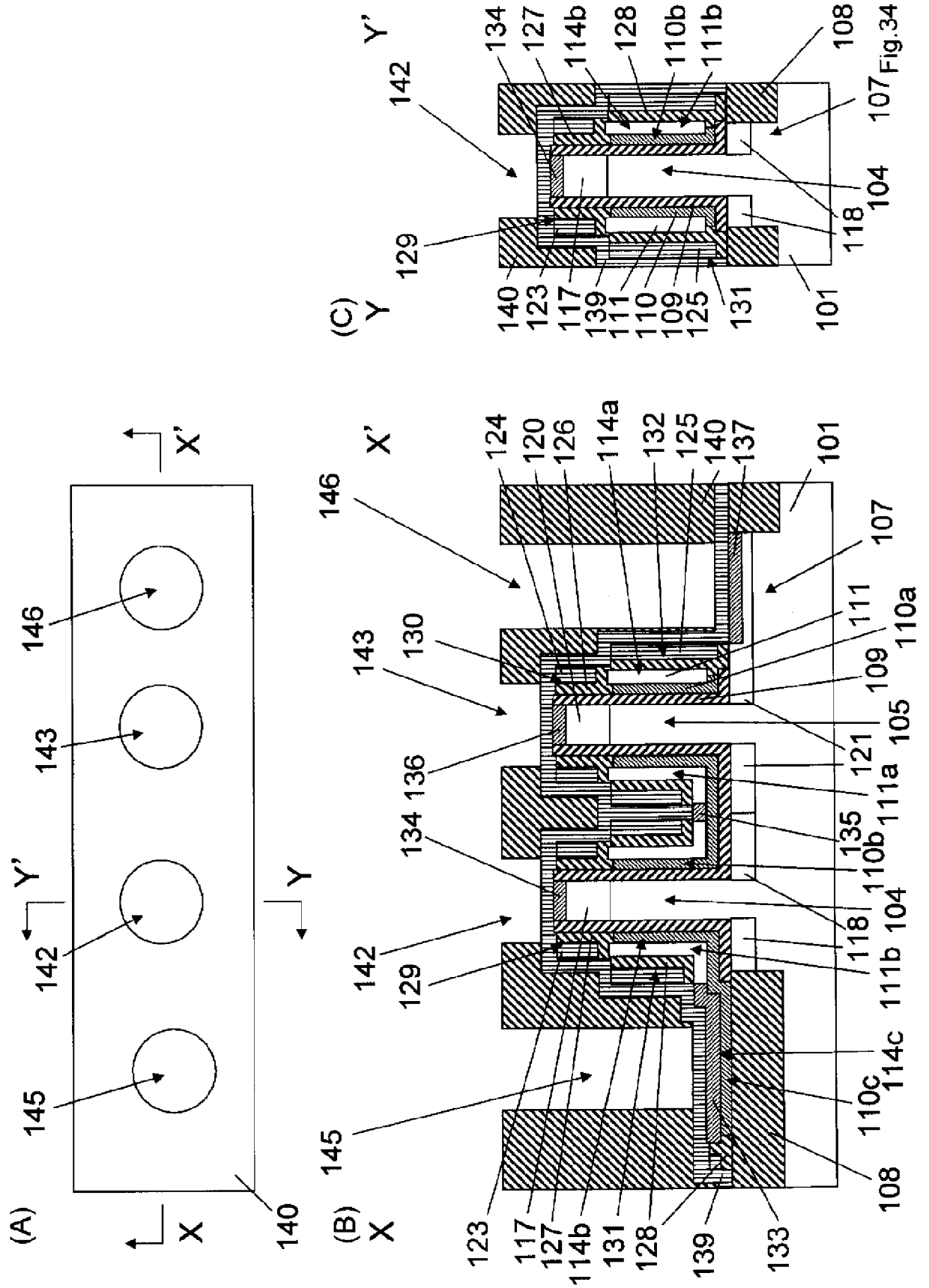

(A)
X
X'
Y
Y'
140
142
143
145
146
(B)
X
X'
101
107
108
109
110
110a
110b
110c
111
111a
111b
114a
114b
114c
117
118
120
121
123
124
125
126
127
128
129
130
131
132
133
134
135
136
137
139
140
142
143
145
146
(C)
Y
Y'
101
104
107
108
109
110
110b
111
111b
114b
117
118
123
125
127
128
129
131
134
139
140
142

Fig.34

[図35]

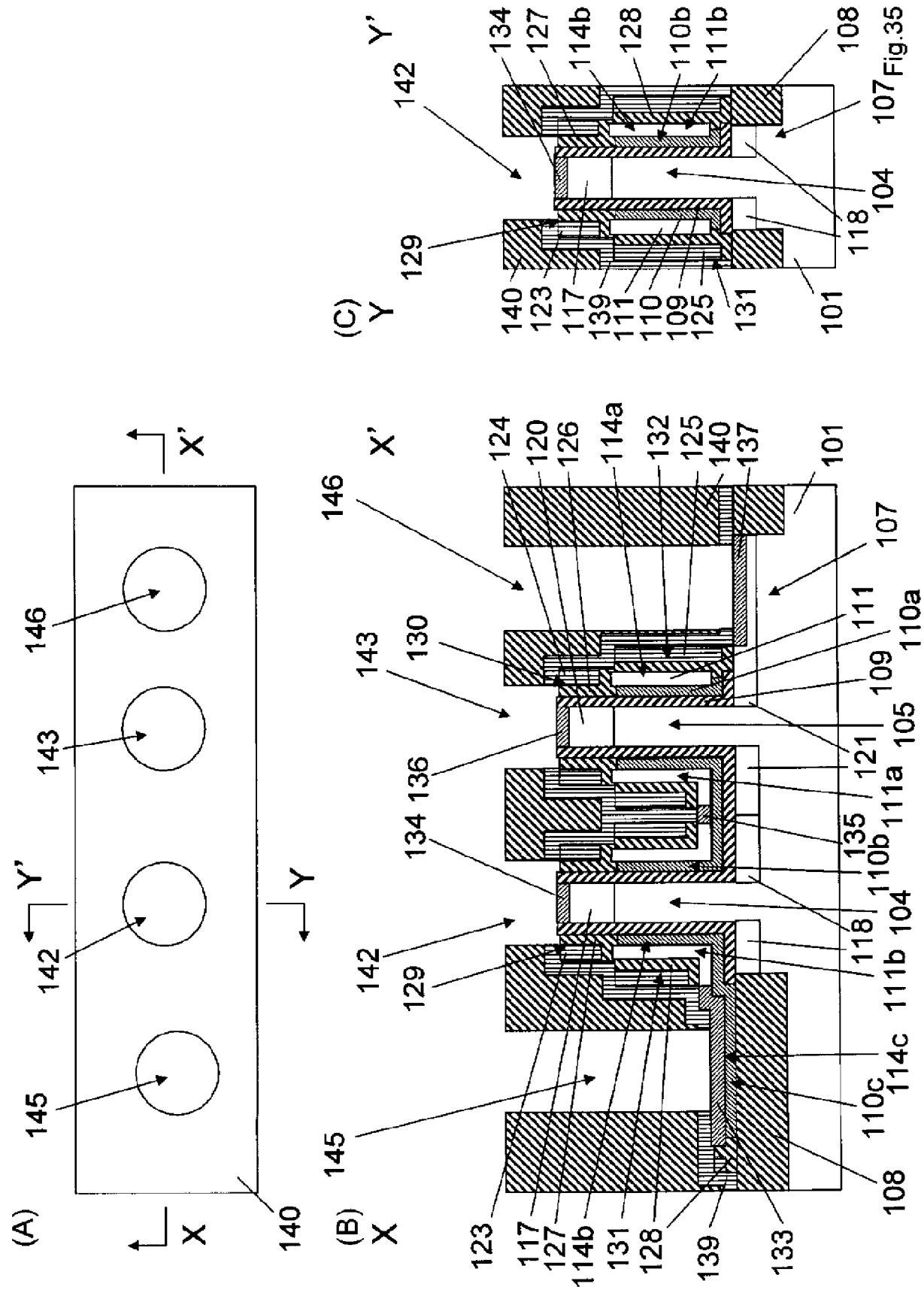

(A)
X
X'
Y
Y'
146
143
142
145
140
(B)
X
X'
146
143
130
142
129
145
123
117
127
114b
131
128
139
133
124
120
126
114a
132
125
140
137
101
107
111
110a
109
105
121
136
134
135
111a
110b
104
118
111b
114c
110c
108
(C)
Y
Y'
142
129
140
123
117
139
111
110
109
125
131
134
127
114b
128
110b
111b
108
107
104
118
101

Fig.35

[図36]

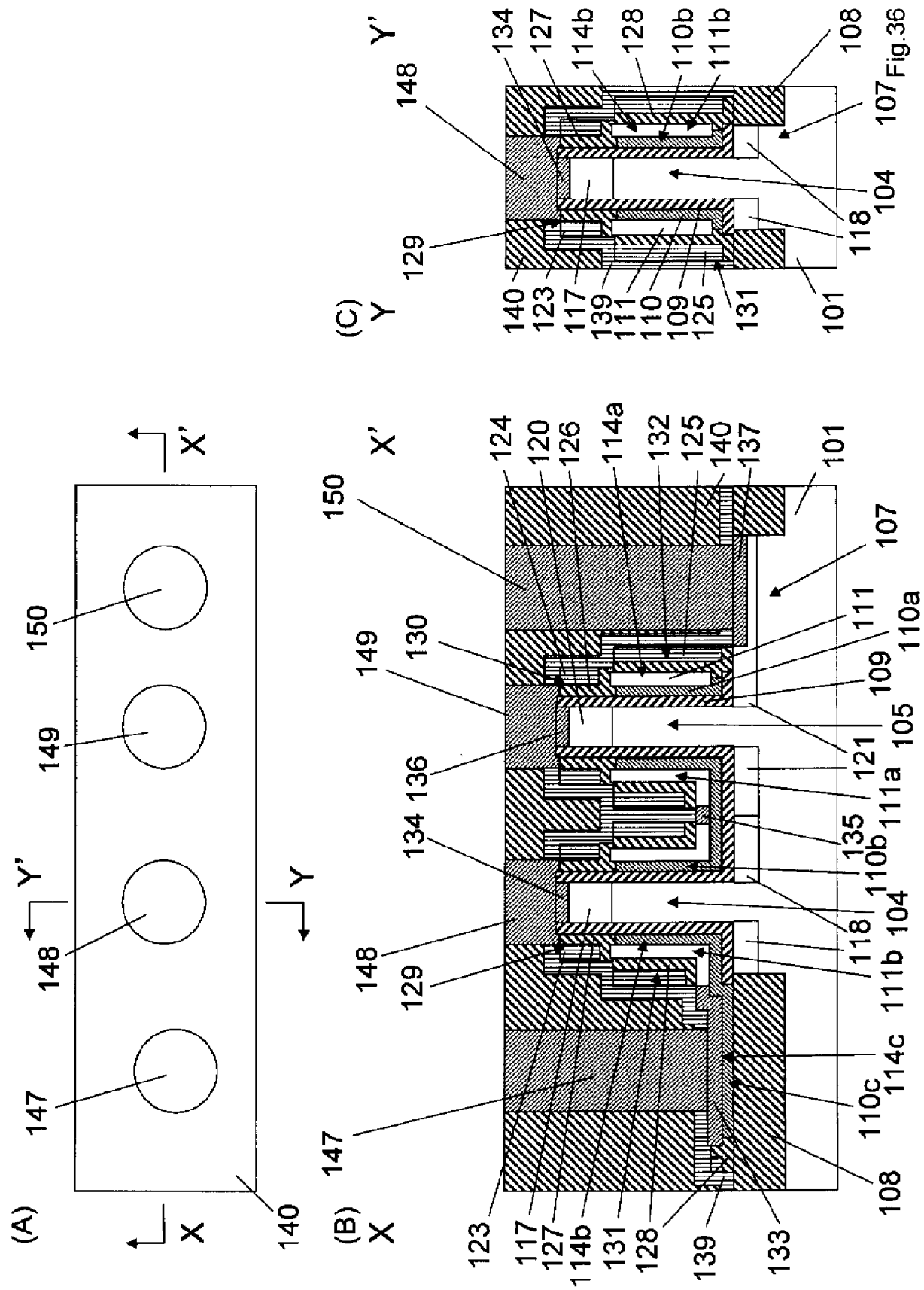

(A)
X
X'
Y
Y'
147
148
149
150
140
(B)
X
X'
123
117
127
114b
131
128
139
133
108
110c
114c
111b
104
118
110b
111a
135
121
105
109
110a
111
107
101
137
140
125
132
114a
126
120
124
129
148
134
136
130
149
150
(C)
Y
Y'
140
123
117
139
111
110
109
125
131
101
104
118
108
107
111b
110b
114b
127
134
129
148

Fig.36

[図37]

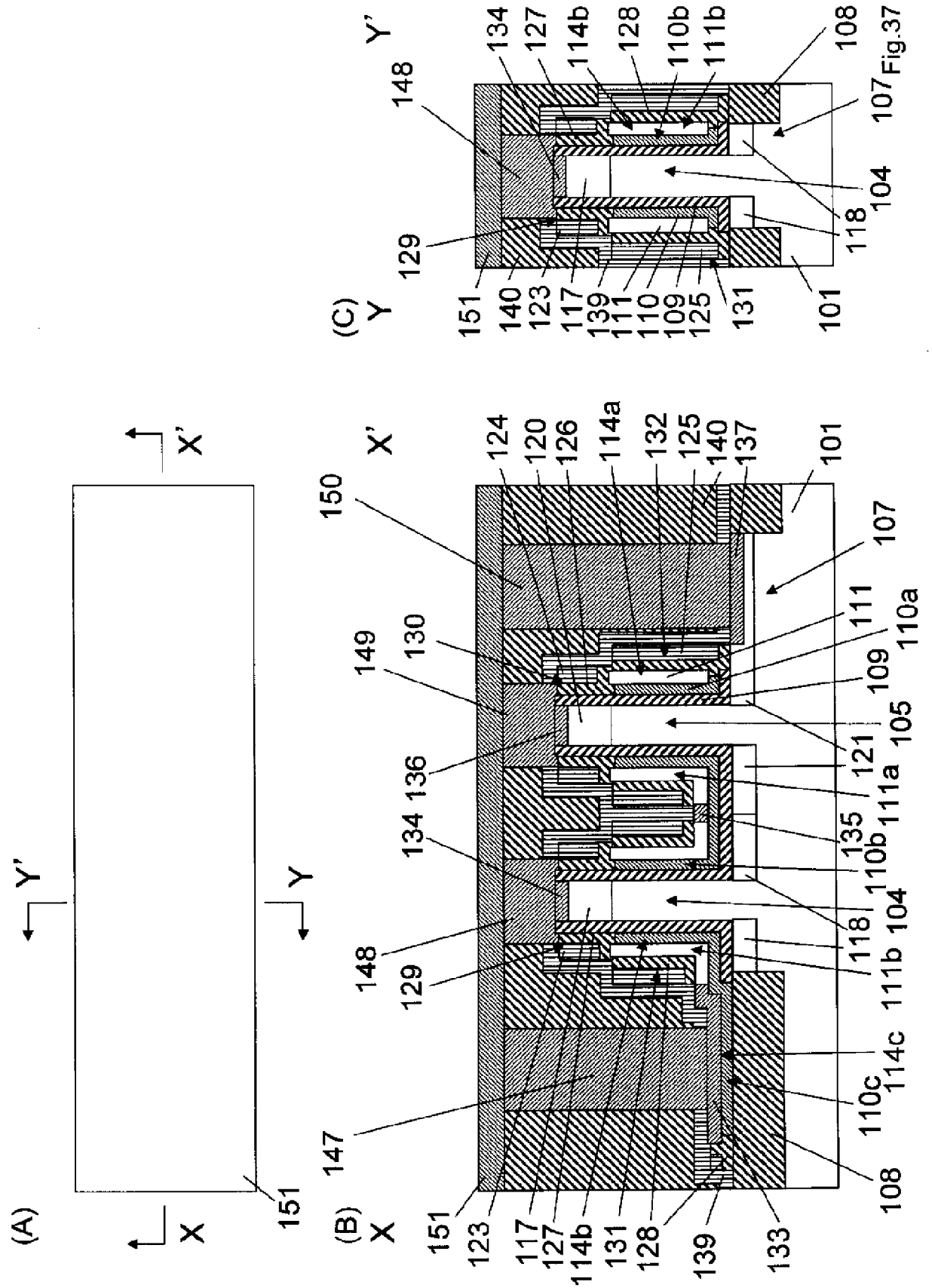

(A)
X
X'
Y
Y'
151
(B)
X
X'
151
123
117
127
114b
131
128
139
133
147
148
129
150
149
130
136
134
124
120
126
114a
132
125
140
137
101
107
111
110a
109
105
121
111a
135
110b
104
118
111b
114c
110c
108
(C)
Y
Y'
151
140
123
117
139
111
110
109
125
131
101
148
129
134
127
114b
128
110b
111b
108
107
104
118

Fig.37

[図38]

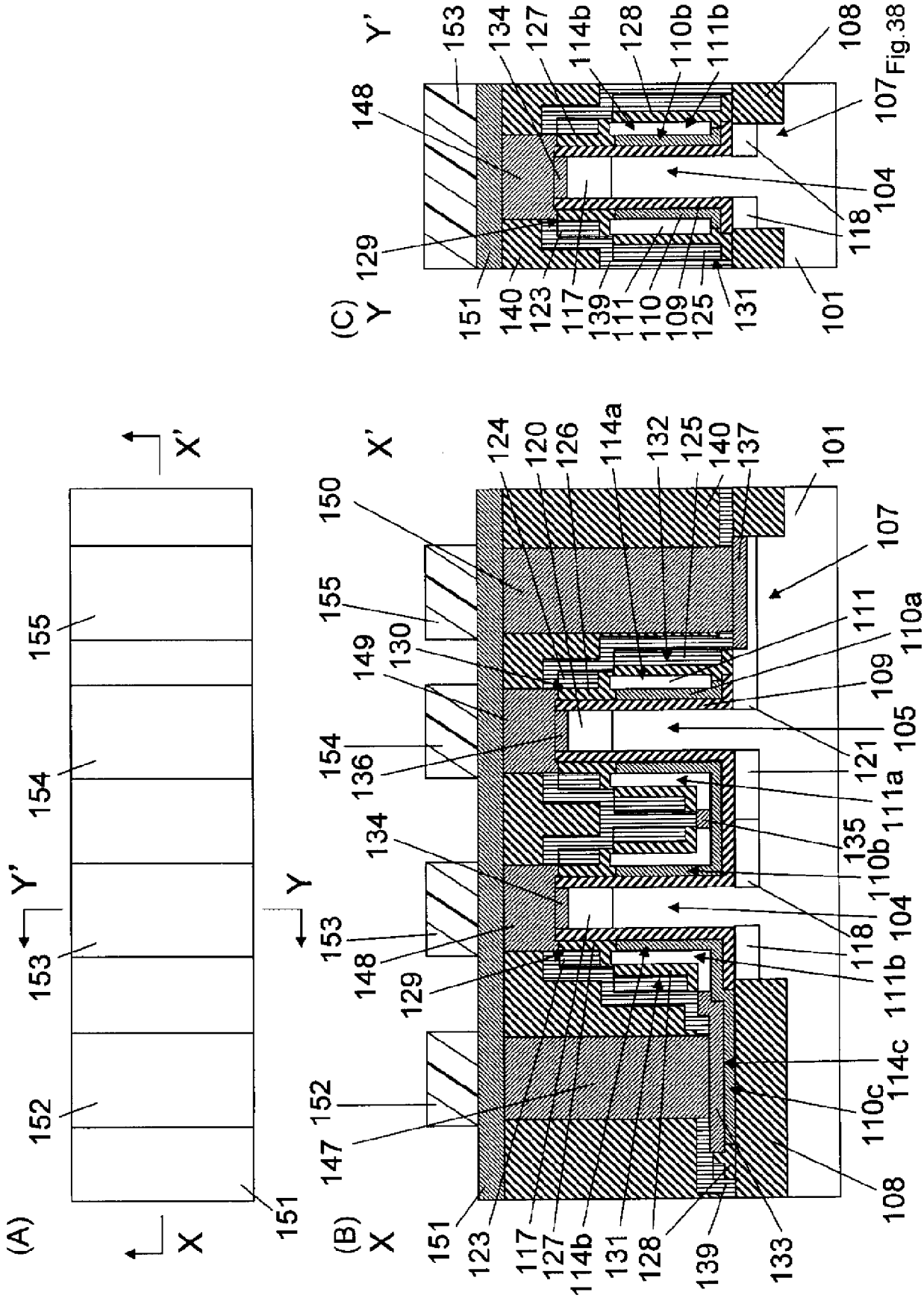

(A)
X
X'
Y
Y'
151
152
153
154
155
(B)
X
X'
Y
Y'
101
104
105
107
108
109
110a
110b
110c
111
111a
111b
114a
114b
114c
117
118
120
121
123
124
125
126
127
128
129
130
131
132
133
134
135
136
137
139
140
147
148
149
150
151
152
153
154
155
(C)
Y
Y'
101
104
107
108
109
110
110b
111
111b
117
118
123
125
127
128
129
131
134
139
140
148
151
153

Fig.38

[図39]

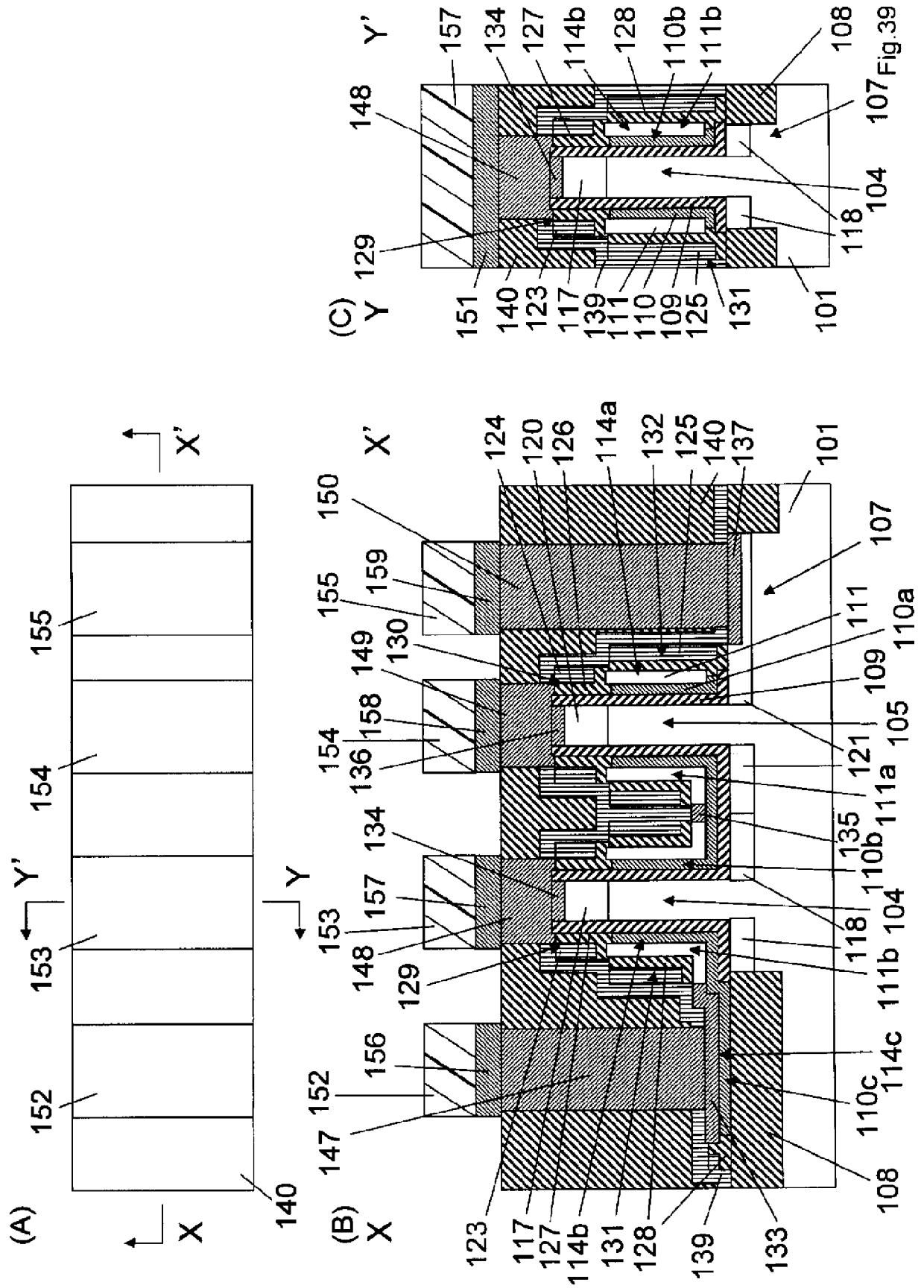

(A)
X
X'
Y
Y'
140
152
153
154
155
(B)
X
X'
147
152
156
129
148
153
157
134
136
154
158
149
130
155
159
150
123
117
127
114b
131
128
139
133
108
110c
114c
111b
118
104
110b
135
111a
121
105
109
110a
111
107
101
137
140
125
132
114a
126
120
124
(C)
Y
Y'
151
140
123
117
139
111
110
109
125
131
101
118
104
107
108
148
129
157
134
127
114b
128
110b
111b

Fig.39

[図40]

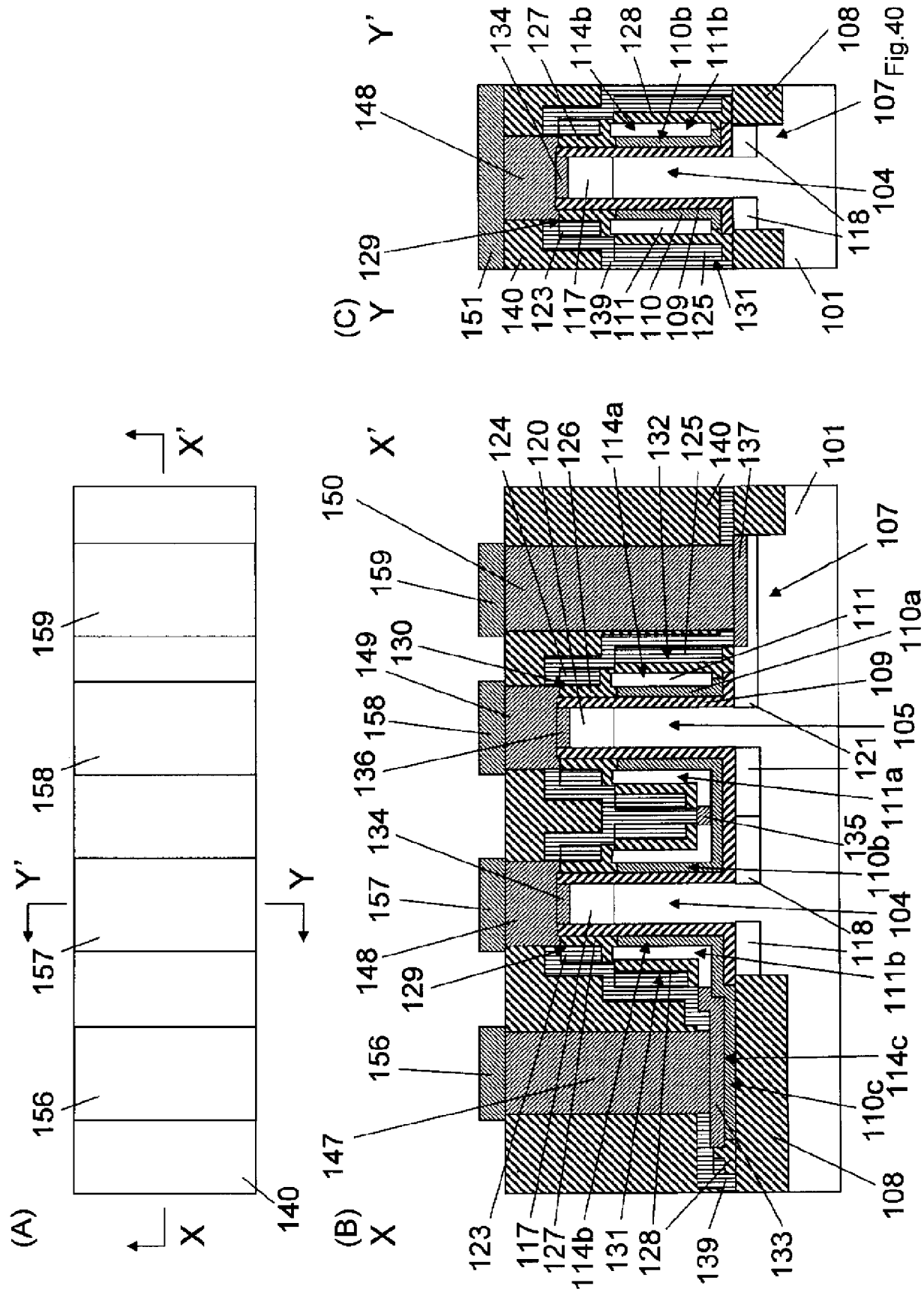

(A)
X
X'
Y
Y'
156
157
158
159
140
(B)
X
X'
123
117
127
114b
131
128
139
133
147
148
129
156
157
134
136
158
149
130
159
150
124
120
126
114a
132
125
140
137
101
107
111
110a
109
105
121
111a
135
110b
104
118
111b
114c
110c
108
(C)
Y
Y'
151
140
123
117
139
111
110
109
125
131
101
129
148
134
127
114b
128
110b
111b
108
107
104
118

Fig.40

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/064760

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/336(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-4244 A (Unisantis Electronics Singapore Pte Ltd.), 05 January 2012 (05.01.2012), paragraphs [0056] to [0063], [0079] to [0082], [0110] to [0112], [0120] to [0127], [0150]; fig. 1 to 88 & CN 102290441 A & KR 10-2011-0136696 A	6-10 1-5
Y A	JP 2010-272874 A (Unisantis Electronics Japan Ltd.), 02 December 2010 (02.12.2010), paragraphs [0024] to [0034]; fig. 1 to 25 (Family: none)	6-10 1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 July, 2012 (05.07.12)	17 July, 2012 (17.07.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０６４７６０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2012-4244 A (ユニサンティス　エレクトロニクス　シンガポール　プライベート　リミテッド) 2012.01.05,	6-10
A	段落 0056-0063, 0079-0082, 0110-0112, 0120-0127, 0150, 第 1-88 図 & CN 102290441 A & KR 10-2011-0136696 A	1-5
Y	JP 2010-272874 A (日本ユニサンティスエレクトロニクス株式会社) 2010.12.02, 段落 0024-0034, 第 1-25 図	6-10
A	（ファミリーなし）	1-5

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０５．０７．２０１２	１７．０７．２０１２

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｏ　９４５８
小山　満
電話番号　０３－３５８１－１１０１　内線　３５５９