

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年12月14日(14.12.2017)



(10) 国際公開番号

WO 2017/212554 A1

(51) 国際特許分類:
H02M 3/155 (2006.01)

(21) 国際出願番号: PCT/JP2016/066960

(22) 国際出願日: 2016年6月7日(07.06.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 株式会社 ソニー・インタラクティブエンタテインメント (SONY INTERACTIVE ENTERTAINMENT INC.) [JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).

(72) 発明者: 笹尾 和樹 (SASAO, Kazuki); 〒1080075 東京都港区港南1丁目7番1号株式会社ソニー・インタラクティブエンタテインメント内 Tokyo (JP).

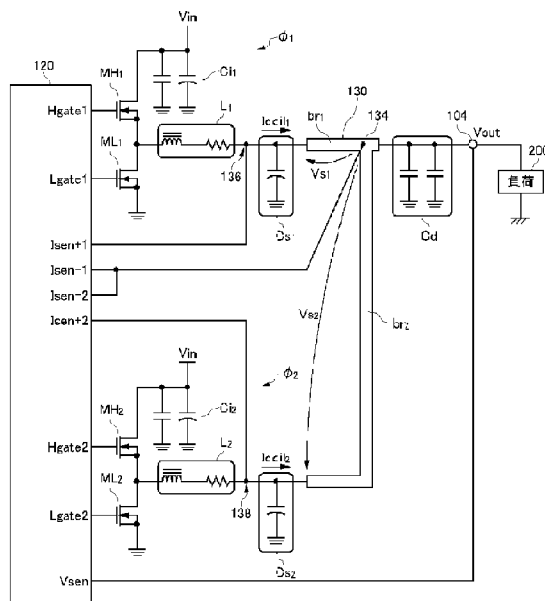
(74) 代理人: 森下 賢樹 (MORISHITA Sakaki); 〒1500021 東京都渋谷区恵比寿西2-11-12 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: DC/DC CONVERTER

(54) 発明の名称: DC/DCコンバータ



200 Load

(57) Abstract: The present invention addresses the problem of providing a DC/DC converter in which, by eliminating a current sense resistor, the mounting area is reduced and the efficiency can be improved to obtain good transient characteristics. Provided is a multi-phase DC/DC converter 100 having N (N is an integer of 2 or more) phases. A high-side transistor MH, a low-side transistor ML, and an inductor L are provided on a per-phase ϕ basis. An output power supply wire 130 connects the load side terminal of each of N inductors L1-LN and a load 200. The output power supply wire 130 is branched from the load 200 toward the load side terminals of the N inductors L1-LN. A coil current flowing through the inductor Li of an i-th phase ϕ_i ($i = 1, 2, \dots, N$) is detected on the basis of a voltage drop Vsi across a branch portion bri corresponding to the phase ϕ_i of the output power supply wire 130.

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：電流センス抵抗を不要とすることで、実装面積を小さく、また効率を改善でき、良好なトランジェント特性を実現できるDC/DCコンバータを提供することを課題とする。Nフェーズ（Nは2以上の整数）のマルチフェーズDC/DCコンバータ100が提供される。ハイサイドトランジスタMH、ローサイドトランジスタMLおよびインダクタLは、フェーズ ϕ ごとに設けられる。出力電源配線130は、N個のインダクタL1～LNそれぞれの負荷側端と負荷200を接続する。出力電源配線130は、負荷200からN個のインダクタL1～LNの負荷側端に向かって枝分かれしている。第iフェーズ ϕ_i （ $i = 1, 2, \dots, N$ ）のインダクタL i に流れるコイル電流が、出力電源配線130の当該フェーズ ϕ_i に対応する枝部分br i の電圧降下Vs i にもとづいて検出される。

明 細 書

発明の名称 : DC/DCコンバータ

技術分野

[0001] 本発明は、DC/DCコンバータに関する。

背景技術

[0002] ラップトップあるいはデスクトップコンピュータ、ゲーム専用機、タブレットPCやスマートホンなどの電子機器において、あるレベルの直流電圧を、負荷に最適なレベルに降圧するためのDC/DCコンバータ（スイッチングレギュレータ）が利用される。また高性能なプロセッサの電源として、マルチフェーズコンバータが用いられている。

[0003] 図1は、マルチフェーズDC/DCコンバータ100rを示す回路図である。このDC/DCコンバータは、2チャンネルを並列接続し、位相をずらして動作させる。これにより、擬似的な見かけ上のスイッチング周波数を高め、高速動作するプロセッサの負荷変動に高速に追従可能となる。

[0004] DC/DCコンバータ100rは、入力端子102に入力電圧 V_{in} を受け、それを降圧し、所定の目標電圧に安定化された出力電圧 V_{out} を生成し、出力端子104に接続されるプロセッサなどの負荷（不図示）に供給する。

[0005] DC/DCコンバータ100rは、2フェーズで構成され、各フェーズごとに、入力キャパシタ C_i 、ハイサイドトランジスタMH、ローサイドトランジスタML、インダクタLを有している。各回路素子には、フェーズ番号を示す下付の添え字が付されている。複数フェーズ ϕ_1 、 ϕ_2 の出力は共通に接続され、共通接続点108と出力端子104の間は、出力電源配線110を介して接続される。出力電源配線110には、共通接続点108に近い位置に平滑キャパシタ C_s が接続され、出力端子104に近い位置に、デカップリングキャパシタ C_d が接続される。平滑キャパシタ C_s 、デカップリングキャパシタ C_d はそれぞれ、バルクコンデンサ（Bulk-Cap）、積層セラミ

ックコンデンサ（MLCC）であってもよい。

[0006] 出力電圧 V_{out} は、コントローラ120のセンスピン（ V_{sen} ）にフィードバックされる。コントローラ120は、出力電圧 V_{out} が目標電圧 V_{ref} に近づくように、複数フェーズ ϕ_1 、 ϕ_2 をフィードバック制御する。

[0007] コントローラ120は、複数のフェーズを均一動作させるために、あるいは過電流保護のために、出力電圧 V_{out} に加えて、各フェーズのインダクタLに流れるコイル電流 I_{coil} を監視している。

[0008] 図1のDC/DCコンバータ100rでは、各フェーズ ϕ_i において、インダクタ L_i と直列に電流センス抵抗 CSR_i が挿入されており、電流センス抵抗 CSR_i の両端それぞれの電圧が、コントローラ120の I_{sen+} 、 I_{sen-} ピンに入力されている。コントローラ120は、 I_{sen+} 、 I_{sen-} ピンの電位差、すなわち電流センス抵抗 CSR_i の電圧降下にもとづいて、コイル電流 I_{coil} を検出する。

[0009] 図2は、別のマルチフェーズDC/DCコンバータ100sを示す回路図である。このDC/DCコンバータ100sでは、電流センスの方式が図1のそれと異なっており、図1の電流センス抵抗 CSR が省略され、その代わりに、インダクタLの直流抵抗（寄生直列抵抗） DCR が利用される。関連する技術は、特許文献2に記載される。具体的には各フェーズ ϕ_i において、インダクタ L_i と並列にCRフィルタ106が設けられ、キャパシタの両端それぞれの電圧が、コントローラ120の I_{sen+} 、 I_{sen-} ピンに入力されている。

先行技術文献

特許文献

[0010] 特許文献1：特開2005-515367号公報

特許文献2：特開2013-162585号公報

発明の概要

発明が解決しようとする課題

- [0011] 本発明者は、図1あるいは図2のDC/DCコンバータについて検討した結果、以下の課題を認識するに至った。図3(a)は、図1のDC/DCコンバータの、図3(b)は、図2のDC/DCコンバータのプリント基板上のレイアウトを示す図である。
- [0012] 図1の電流検出方式において、電流センス抵抗CSRは、抵抗値の製造バラツキが小さく、また温度依存性が小さいため、高精度な電流検出が可能となる。またその電圧降下がコイル電流 I_{coil} を示すため、検出回路がシンプルに構成できる。その反面、チップ部品である電流センス抵抗CSRは高価であり、また図3(a)に示すように、チップ部品に関連して、部品点数および実装面積が増大するという問題がある。また電流センス抵抗CSRが損失となるため、効率の低下を招き、トランジェント特性が悪化するという問題がある。
- [0013] 図2の電流検出方式では、電流センス抵抗CSRが不要であるため、図3(b)に示すように、実装面積を小さくでき、またコストを下げることができる。また、電流センス抵抗CSRに起因する損失が無いため、効率、トランジェント特性の観点で優れている。一方で、この方式は、インダクタLの抵抗DCRのばらつきが大きく、また温度依存性が大きいため、電流検出精度の観点で劣っている。またCRフィルタ106が必要であることから、検出回路の構成が複雑となってしまう。
- [0014] 本発明はこれらの課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、従来の電流検出方式の問題を解決したDC/DCコンバータの提供にある。

課題を解決するための手段

- [0015] 本発明のある態様は、Nフェーズ（Nは2以上の整数）のマルチフェーズDC/DCコンバータに関する。DC/DCコンバータは、フェーズごとに設けられたハイサイドトランジスタ、ローサイドトランジスタおよびインダクタと、N個のインダクタそれぞれの負荷側端と負荷を接続する出力電源配

線と、を備える。出力電源配線は、負荷からN個のインダクタの負荷側端に向かって枝分かれしており、各フェーズのインダクタに流れるコイル電流が、出力電源配線の当該フェーズに対応する枝部分の電圧降下にもとづいて検出される。

[0016] この態様によると、電流センス抵抗が不要であるため、実装面積を小さく、また効率を改善でき、良好なトランジェント特性を実現できる。また枝部分の電圧降下は、コイル電流に比例するため、検出回路もシンプルで済む。さらに出力電源配線は、発熱素子であるハイサイドトランジスタ、ローサイドトランジスタから、インダクタよりも遠い箇所に位置するため、インダクタの内部抵抗を用いる場合よりも、温度依存性を低減でき、高精度な電流検出が可能となる。

[0017] Nフェーズのうち隣接する2フェーズに関して、枝部分の負荷側の電圧検出点が共通化されていてもよい。これにより、枝部分ごとに2端子で電圧降下を検出する場合に比べて、配線を簡素化できる。

[0018] NフェーズのN個の枝部分の抵抗値は等しくてもよい。これにより、DC／DCコンバータのコントローラにおける信号処理が簡素化できる。

[0019] 出力電源配線は、N個のインダクタそれぞれの負荷側端と負荷を接続する枝分かれのない仮想電源配線を規定したとき、当該仮想電源配線に、隣接するインダクタの間から負荷に向かってスリットを入れた形状を有してもよい。

[0020] 出力電源配線のN個の枝部分にはそれぞれ、フェーズごとの第1出力キャパシタが接続されてもよい。出力電源配線の負荷側の合流部分には、全フェーズで共通の第2出力キャパシタが接続されてもよい。

[0021] 出力電源配線は多層配線であり、各層において分岐していてもよい。多層化することで、出力電源配線のインピーダンスを下げることができる。またフェーズごとに、複数の層の同じフェーズの枝部分の合成インピーダンスの抵抗値を利用して、コイル電流を検出できる。

[0022] なお、以上の構成要素の任意の組合せ、本発明の表現を、方法、装置、シ

ステムなどの間で変換したものもまた、本発明の態様として有効である。

発明の効果

[0023] 本発明によれば、各フェーズのコイル電流を検出できる。

図面の簡単な説明

[0024] [図1]マルチフェーズDC／DCコンバータを示す回路図である。

[図2]別のマルチフェーズDC／DCコンバータを示す回路図である。

[図3]図3（a）は、図1のDC／DCコンバータの、図3（b）は、図2のDC／DCコンバータのプリント基板上のレイアウトを示す図である。

[図4]実施の形態に係るNフェーズのマルチフェーズDC／DCコンバータの回路図である。

[図5]図4のDC／DCコンバータのプリント基板上のレイアウトを示す図である。

[図6]出力電源配線の別の例を示す図である。

[図7]第1変形例に係るDC／DCコンバータの一部のレイアウト図である。

[図8]4フェーズのDC／DCコンバータの一部のレイアウト図である。

発明を実施するための形態

[0025] 以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。

各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

[0026] 本明細書において、「部材Aが、部材Bと接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合や、部材Aと部材Bが、電気的な接続状態に影響を及ぼさず、あるいは機能を阻害しない他の部材を介して間接的に接続される場合も含む。

[0027] 同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、電

氣的な接続状態に影響を及ぼさず、あるいは機能を阻害しない他の部材を介して間接的に接続される場合も含む。

[0028] 図4は、実施の形態に係るNフェーズ（Nは2以上の整数）のマルチフェーズDC／DCコンバータ100の回路図である。本実施の形態では理解の容易化、説明の簡潔化のため、 $N=2$ とする。DC／DCコンバータ100は、その入力端子102に入力電圧 V_{in} を受け、それを降圧して所定の目標電圧に安定化された出力電圧 V_{out} を生成し、出力端子104に接続されるプロセッサなどの負荷200に供給する。

[0029] DC／DCコンバータ100は、フェーズ ϕ ごとに設けられたハイサイドトランジスタMH、ローサイドトランジスタMLおよびインダクタLと、コントローラ120、出力電源配線130、いくつかの入力キャパシタ C_i およびいくつかの出力キャパシタ C_s 、 C_d を備える。

[0030] 出力電源配線130は、N個のインダクタ $L_1 \sim L_N$ それぞれの負荷側端と負荷200を接続する。出力電源配線130は、負荷200からN個のインダクタ $L_1 \sim L_N$ の負荷側端に向かって枝分かれしている。言い換えればNフェーズに対応するN本の枝部分 $b_{r_1} \sim b_{r_N}$ が、負荷側において合流している。後述するように出力電源配線130は、プリント基板に形成されるプリント配線を含む。

[0031] 本実施の形態において、出力電源配線130のN個の枝部分 $b_{r_1} \sim b_{r_N}$ にはそれぞれ、フェーズごとの第1出力キャパシタ $C_{s_1} \sim C_{s_N}$ が接続される。各第1出力キャパシタ C_{s_i} は、バルクキャパシタであってもよく、対応する枝部分 b_{r_i} の上流側（インダクタ側）の端部に接続される。また出力電源配線130の負荷200側の合流部分には、全フェーズで共通の第2出力キャパシタ C_d が接続される。第2出力キャパシタ C_d は積層セラミックコンデンサであってもよい。

[0032] 第1フェーズ ϕ_1 の枝部分 b_{r_1} の両端（電圧検出点）それぞれの電圧は、コントローラ120の I_{sen+1} 、 I_{sen-1} ピンに入力され、第2フェーズ ϕ_2 の枝部分 b_{r_2} の両端（電圧検出点）の電圧は、コントローラ12

0の $1sen+2$, $1sen-2$ ピンに入力される。そして第 i フェーズ ϕ_i のインダクタ L_i に流れるコイル電流 I_{coil_i} は、出力電源配線130の当該フェーズ ϕ_i に対応する枝部分 br_i の電圧降下 V_{s_i} にもとづいて検出される。

[0033] 第 i フェーズ ϕ_i の枝部分 br_i のインピーダンス（直流抵抗）を R_i とすると、その電圧降下 V_{s_i} は、式（1）で与えられる。各枝部分 br_i の直流抵抗 R_i は、プリント基板の配線の寄生抵抗に相当する。

$$V_{s_i} = R_i \times I_{coil_i} \quad \dots (1)$$

したがって直流抵抗 R_i をあらかじめ測定し、あるいはシミュレーションによって計算しておくことにより、式（2）にしたがい電圧降下 V_{s_i} にもとづいてコイル電流 I_{coil_i} を検知できる。

$$I_{coil_i} = V_{s_i} / R_i \quad \dots (2)$$

[0034] なお出力電源配線130の形状によっては、電圧検出点134を通過せずに負荷200に流れ込む電流も若干存在する。この場合、補正係数 α を導入し、式（3）にもとづいてコイル電流 I_{coil_i} を計算してもよい。

$$I_{coil_i} = V_{s_i} / (\alpha \times R_i) \quad \dots (3)$$

あるいは $\alpha \times R_i$ に相当する抵抗値をシミュレーション等にもとづいて計算し、あるいは実測してもよい。

[0035] 各フェーズの直流抵抗 $R_1 \sim R_N$ は等しいことが好ましい。これにより、コントローラ120において抵抗値を補正する処理が不要となる。

[0036] 以上がDC/DCコンバータ100の構成である。図4のDC/DCコンバータ100によれば、図1のDC/DCコンバータ100Rと比べて、電流センス抵抗CSRが不要であるため、低コスト化でき、実装面積を小さくし、また効率を改善でき、良好なトランジェント特性を実現できる。

[0037] また枝部分 br の電圧降下 V_s は、コイル電流 I_{coil} に比例するため、図1のDC/DCコンバータ100Rの電流センス抵抗CSRと同等に扱うことができ、検出回路もシンプルで済む。さらに出力電源配線130は、発熱素子であるハイサイドトランジスタMH、ローサイドトランジスタML

から、インダクタLよりも遠い箇所に位置するため、インダクタLの直流抵抗DCRを用いる場合よりも、温度依存性を低減でき、高精度な電流検出が可能となる。

[0038] 図5は、図4のDC/DCコンバータ100のプリント基板上のレイアウトを示す図である。上述したように出力電源配線130は、複数の枝部分 b_{r1} ～ b_{r2} を有しており、それらは出力端子104側（負荷200）において合流している。ここでは説明の簡潔化のため、出力電源配線130が単層配線であるとする。

[0039] 第1出力キャパシタ C_{s1} 、 C_{s2} はそれぞれ、対応する枝部分 b_{r1} 、 b_{r2} の上流側の端部に接続される。また出力電源配線130の負荷200側の合流部分132には、全フェーズで共通の第2出力キャパシタCdが複数個、接続される。なお図5（あるいは図3（a）、（b））において、第1出力キャパシタCsや第2出力キャパシタCdそれぞれの一端は、出力電源配線130ではなく、接地配線（グランドプレーン）と接続されるが、図面を簡素化するために接地配線との接続は省略している。

[0040] Nフェーズのうち隣接する2フェーズ ϕ_1 、 ϕ_2 に関して、2本の枝部分 b_{r1} と b_{r2} の負荷側の電圧検出点134は共通化されている。枝部分 b_{r1} の負荷側の電圧検出点134と上流（インダクタ L_1 ）側の電圧検出点136の間の電圧降下に応じて、第1フェーズ ϕ_1 のコイル電流 I_{coil1} が検出され、枝部分 b_{r2} の負荷側の電圧検出点134と上流（インダクタ L_2 ）側の電圧検出点138の間の電圧降下に応じて、第2フェーズ ϕ_2 のコイル電流 I_{coil2} が検出される。

[0041] 枝部分 b_{r1} 、 b_{r2} ごとに2端子で電圧降下を検出する場合、電圧検出点から引き出される4本のセンス配線140が必要となるところ、負荷側の電圧検出点134の共通化により、センス配線140を3本に減らすことができ、構成を簡素化できる。なおセンス配線140は、出力電源配線130と同一の配線層に形成してもよいし、別の配線層に形成してもよい。

[0042] 図5では、出力電源配線130は複数フェーズで対称に形成されており、

したがって、 N 本の枝部分 $b r_1$, $b r_2$ の抵抗値 R_1 , R_2 は等しくなっている。これにより、DC/DCコンバータのコントローラにおける信号処理が簡素化できる。

[0043] 実施の形態に係るDC/DCコンバータ100の特徴は、図5を、図3(a)、(b)と対比することにより一層明確となる。従来のDC/DCコンバータ100r、100sでは、出力電源配線110はフェーズごとに分割されておらず、また第1出力キャパシタ（平滑キャパシタ） C_s も全フェーズ共通であった。これに対して、本実施の形態では、出力電源配線130がフェーズごとに分岐して形成されており、これにより各チャンネルのコイル電流を測定可能となっている。

[0044] 続いて、出力電源配線130の設計について説明する。はじめに、 N 個のインダクタ $L_1 \sim L_N$ それぞれの負荷側端と、負荷（出力端子104）を接続する枝分かれの無い仮想電源配線を規定する。この仮想電源配線は丁度、図3(b)の出力電源配線110に相当する。そして、出力電源配線130は、仮想電源配線110に、隣接するインダクタ L_1 、 L_2 の間から、負荷（出力端子104）に向かってスリット142を入れた形状とされる。図5には直線のスリット142が示されるが、その限りでは無く、折れ曲がっていてもよいし、曲線を含んでもよい。

[0045] この手法によれば、枝部分 $b r_1$, $b r_2$ それぞれの直流抵抗 R_1 , R_2 を、スリット142の幅や形状に応じて設計することができる。

[0046] 実際のセット（電子機器）の設計に際して、図5に示すように、複数のフェーズが対称となるように、出力電源配線130やインダクタ L_1 , L_2 をレイアウトすることは困難である場合が多い。図6は、出力電源配線130の別の例を示す図である。出力電源配線130は、低インピーダンスとすることが求められるため、極力幅広く設計されるが、出力端子104側の幅は負荷200のピン配置に制約される。したがって、図6に示すように、出力電源配線130の幅は、出力端子104に近づくほど狭くなるようテーパしている。

[0047] このような出力電源配線 130 においても、仮想電源配線 110 を規定し、仮想電源配線 110 にスリット 142 を入れることにより、2本の枝部分 $b r_1$ 、 $b r_2$ を形成することができる。そしてシミュレーションおよび／または実測にもとづくトライアンドエラーによって、電圧検出点 134 と電圧検出点 136 の間の直流抵抗 R_1 と、電圧検出点 134 と電圧検出点 138 の間の直流抵抗 R_2 が等しくなるように、スリット 142 の形状や位置が最適化される。電圧検出点 134 を、スリット 142 の頂点近傍に設けると、スリット 142 の部分を利用して、センス配線 140 を引き回すことが可能となる。ただし本発明はその限りではなく、電圧検出点 134 は、合流部分 132 のいずれかの箇所に設ければよい。

[0048] 以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

[0049] (第1変形例)

出力電源配線 130 は銅を主成分とする場合が多く、その抵抗率は温度依存性を有する。上述のように、出力電源配線 130 は、発熱体であるハイスайдトランジスタ MH、ローサイドトランジスタ ML から離れているため、温度の変化の影響は受け難いといえるが、負荷であるプロセッサの発熱が大きい場合には、出力電源配線 130 の枝部分 $b r_1$ 、 $b r_2$ の直流抵抗 R_1 、 R_2 が、無視できない温度依存性を有する可能性がある。

[0050] 図7は、第1変形例に係る DC/DC コンバータ 100a の一部のレイアウト図である。DC/DC コンバータ 100a は、出力電源配線 130 の枝部分 $b r_1$ 、 $b r_2$ の温度を測定する温度センサ 150 を備える。温度センサ 150 は、サーミスタや熱電対を用いることができる。温度センサ 150 は、出力電源配線 130 のスリット 142 の部分に配置することが望ましく、これにより、2本の枝部分 $b r_1$ 、 $b r_2$ 両方の温度を検知できる。この温度センサ 150 の出力である温度検出信号は、コントローラ 120 に入力され

る。コントローラ 120 は、温度検出信号にもとづいて、直流抵抗 R_1 、 R_2 を補正する。これにより、電流検出精度の温度依存性を改善することができる。

[0051] (第2変形例)

実施の形態では $N=2$ フェーズを説明したが、フェーズ数 N はそれに限定されず、 $N=3, 4, 6, 8, 10, 12$ 等と、任意の数を取りうる。図8は、4フェーズのDC/DCコンバータ100bの一部のレイアウト図である。出力電源配線130bは、合流部分132と、4フェーズに対応する4本の枝部分 $br_1 \sim br_4$ を備える。隣接する2本の枝部分 br の間には、スリット142が形成される。枝部分 br_1 、 br_2 の出力端子104側の電圧検出点134は共通化されており、枝部分 br_3 、 br_4 の出力端子104側の電圧検出点135が共通化される。

[0052] (第3変形例)

実施の形態では、出力電源配線130を単層配線として説明したが多層配線であってもよい。この場合、出力電源配線130は各層において分岐していてもよい。多層化することで、出力電源配線130のインピーダンスを下げることができる。またフェーズごとに、複数の層の同じフェーズの枝部分の合成インピーダンスの抵抗値を利用して、コイル電流を検出できる。

[0053] (第4変形例)

図4の第1出力キャパシタ C_s および第2出力キャパシタ C_d のいずれか一方を省略してもよい。

[0054] 以上、本発明を実施の形態をもとに説明した。実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

符号の説明

[0055] 100…DC/DCコンバータ、 MH_1 、 MH_2 …ハイサイドトランジスタ、 ML_1 、 ML_2 …ローサイドトランジスタ、 L_1 、 L_2 …インダクタ、 C_{s1} 、 C

s_2 …第1出力キャパシタ、 C_d …第2出力キャパシタ、 C_{i1} , C_{i2} …入力キャパシタ、102…入力端子、104…出力端子、108…共通接続点、130…出力電源配線、132…合流部分、 b_r …枝部分、134…電圧検出点、136…電圧検出点、140…センス配線、142…スリット、200…負荷。

産業上の利用可能性

[0056] 本発明は、電源回路に利用できる。

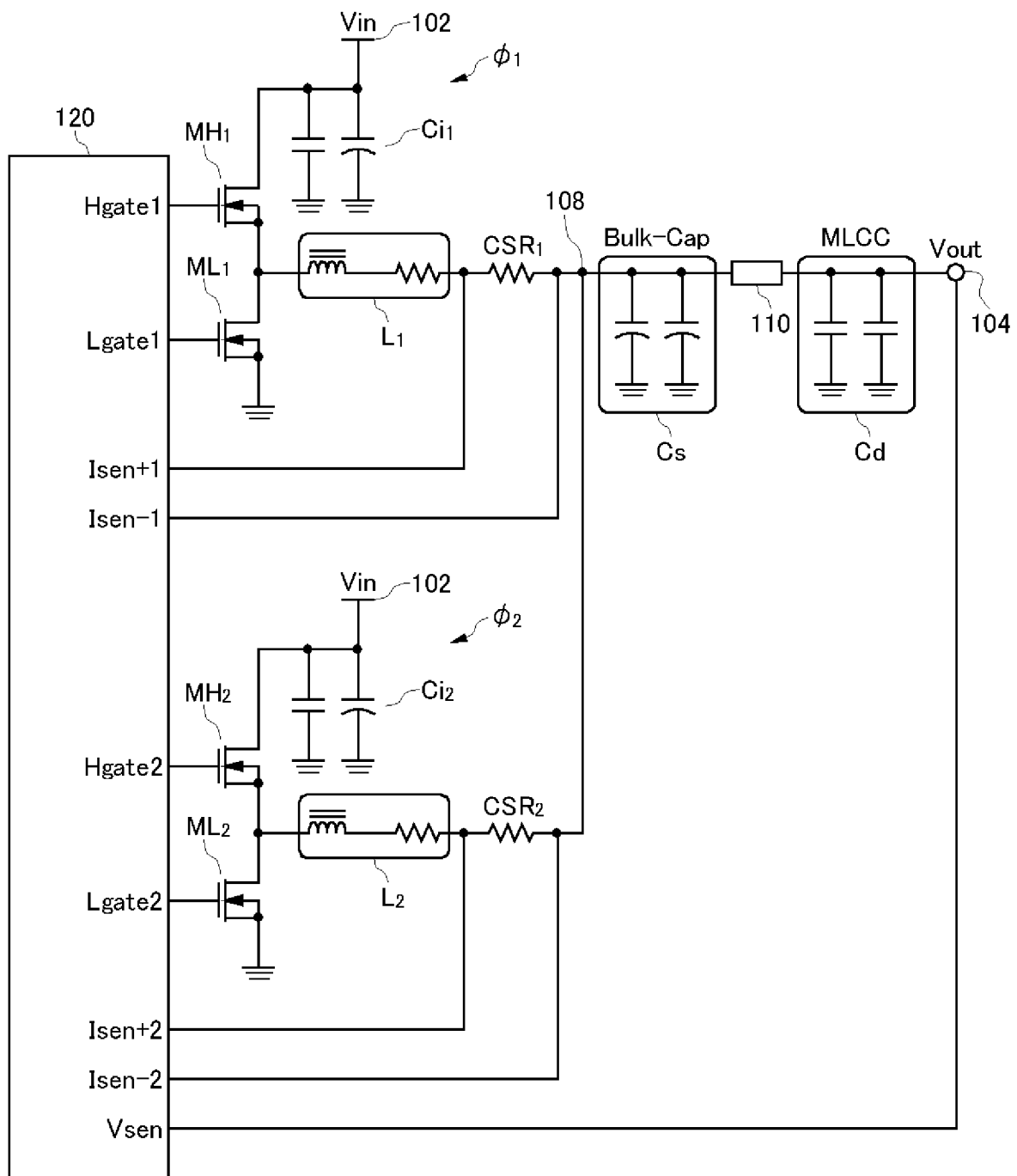
請求の範囲

- [請求項1] Nフェーズ（Nは2以上の整数）のマルチフェーズDC／DCコンバータであって、
- フェーズごとに設けられたハイサイドトランジスタ、ローサイドトランジスタおよびインダクタと、
- N個のインダクタそれぞれの負荷側端と負荷を接続する出力電源配線と、
- を備え、
- 前記出力電源配線は、前記負荷から前記N個のインダクタの負荷側端に向かって枝分かれしており、
- 各フェーズの前記インダクタに流れるコイル電流が、前記出力電源配線の当該フェーズに対応する枝部分の電圧降下にもとづいて検出されることを特徴とするDC／DCコンバータ。
- [請求項2] 前記Nフェーズのうち隣接する2フェーズに関して、前記枝部分の前記負荷側の電圧検出点が共通化されていることを特徴とする請求項1に記載のDC／DCコンバータ。
- [請求項3] 前記NフェーズのN個の枝部分の抵抗値は等しいことを特徴とする請求項1または2に記載のDC／DCコンバータ。
- [請求項4] 前記出力電源配線は、
- 前記N個のインダクタそれぞれの負荷側端と負荷を接続する枝分かれのない仮想電源配線を規定したとき、当該仮想電源配線に、隣接するインダクタの間から前記負荷に向かってスリットを入れた形状を有することを特徴とする請求項1から3のいずれかに記載のDC／DCコンバータ。
- [請求項5] 前記出力電源配線のN個の枝部分にはそれぞれ、フェーズごとの第1出力キャパシタが接続されることを特徴とする請求項1から4のいずれかに記載のDC／DCコンバータ。
- [請求項6] 前記出力電源配線の負荷側の合流部分には、全フェーズで共通の第

2 出力キャパシタが接続されることを特徴とする請求項 1 から 5 のいずれかに記載の DC / DC コンバータ。

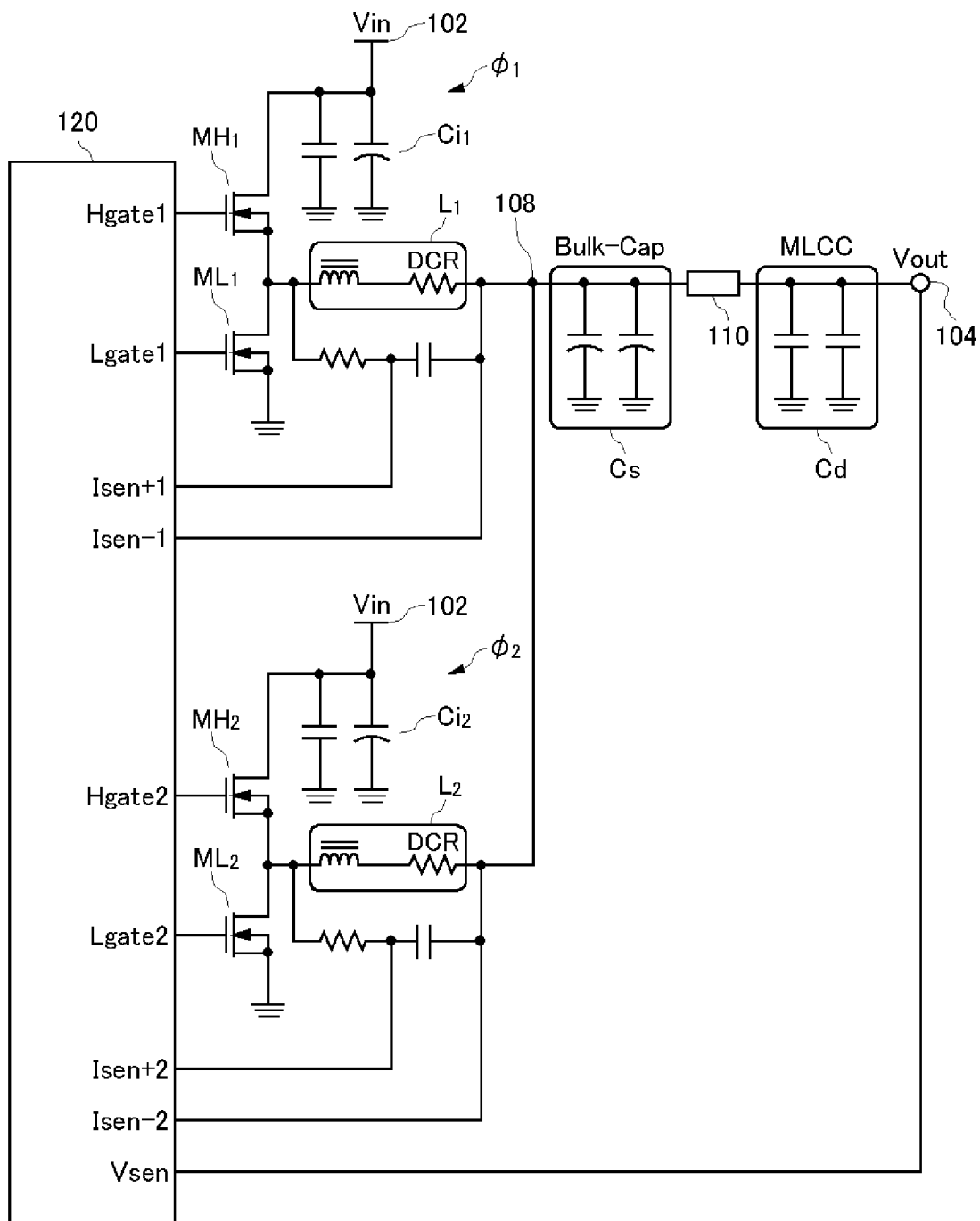
[請求項7] 前記出力電源配線は多層配線であり、各層において分岐していることを特徴とする請求項 1 から 6 のいずれかに記載の DC / DC コンバータ。

[図1]

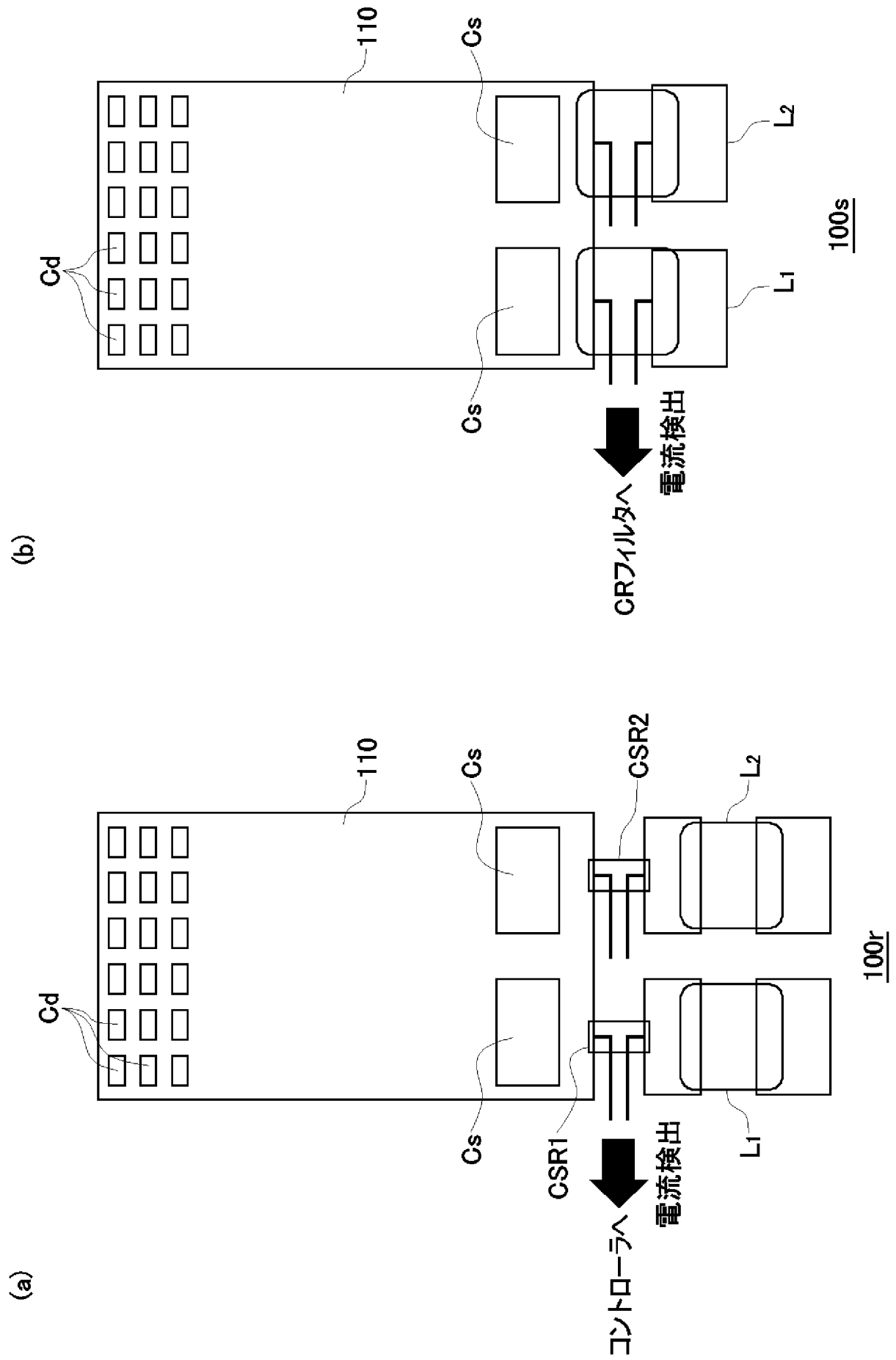


100R

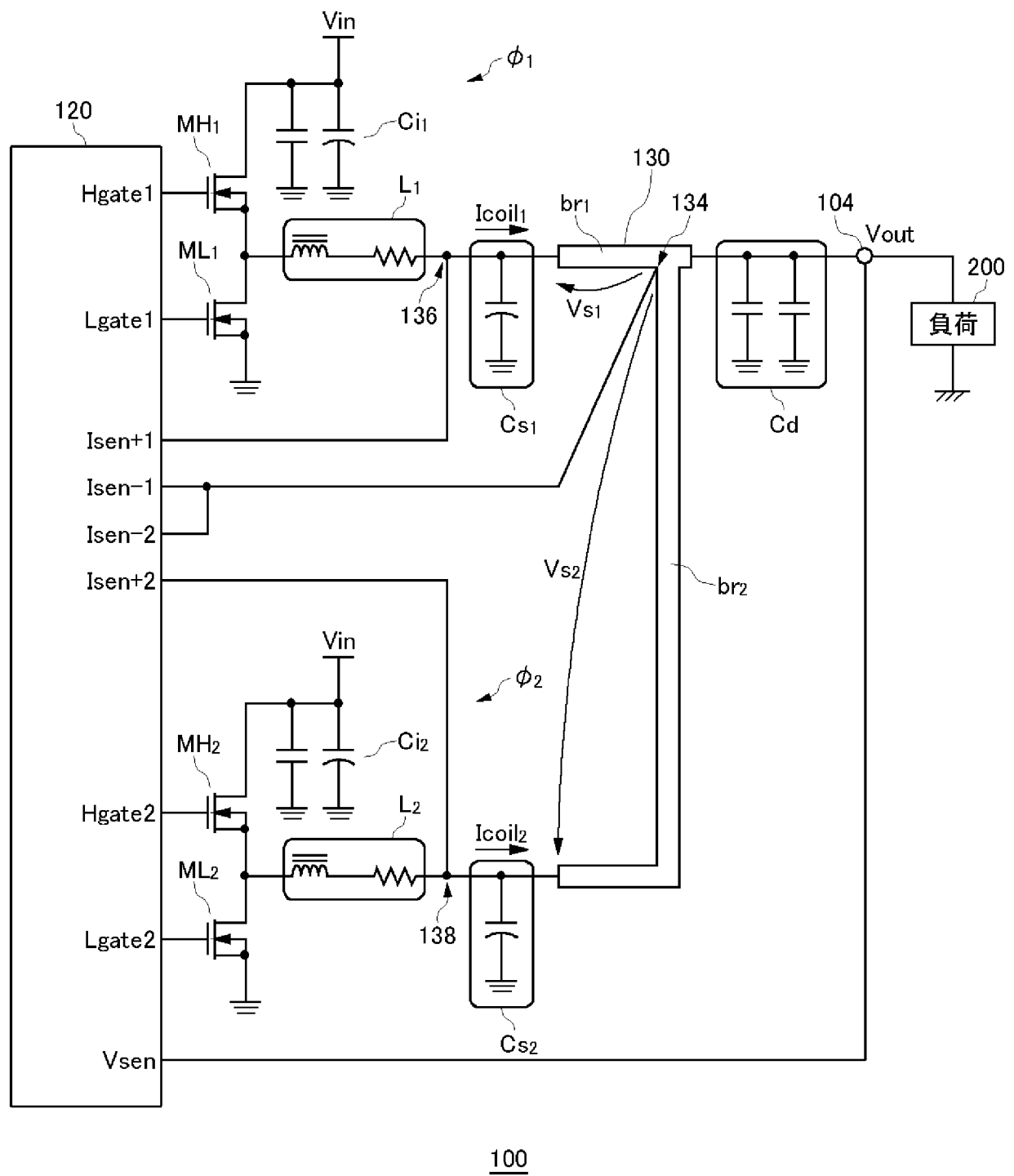
[図2]

100S

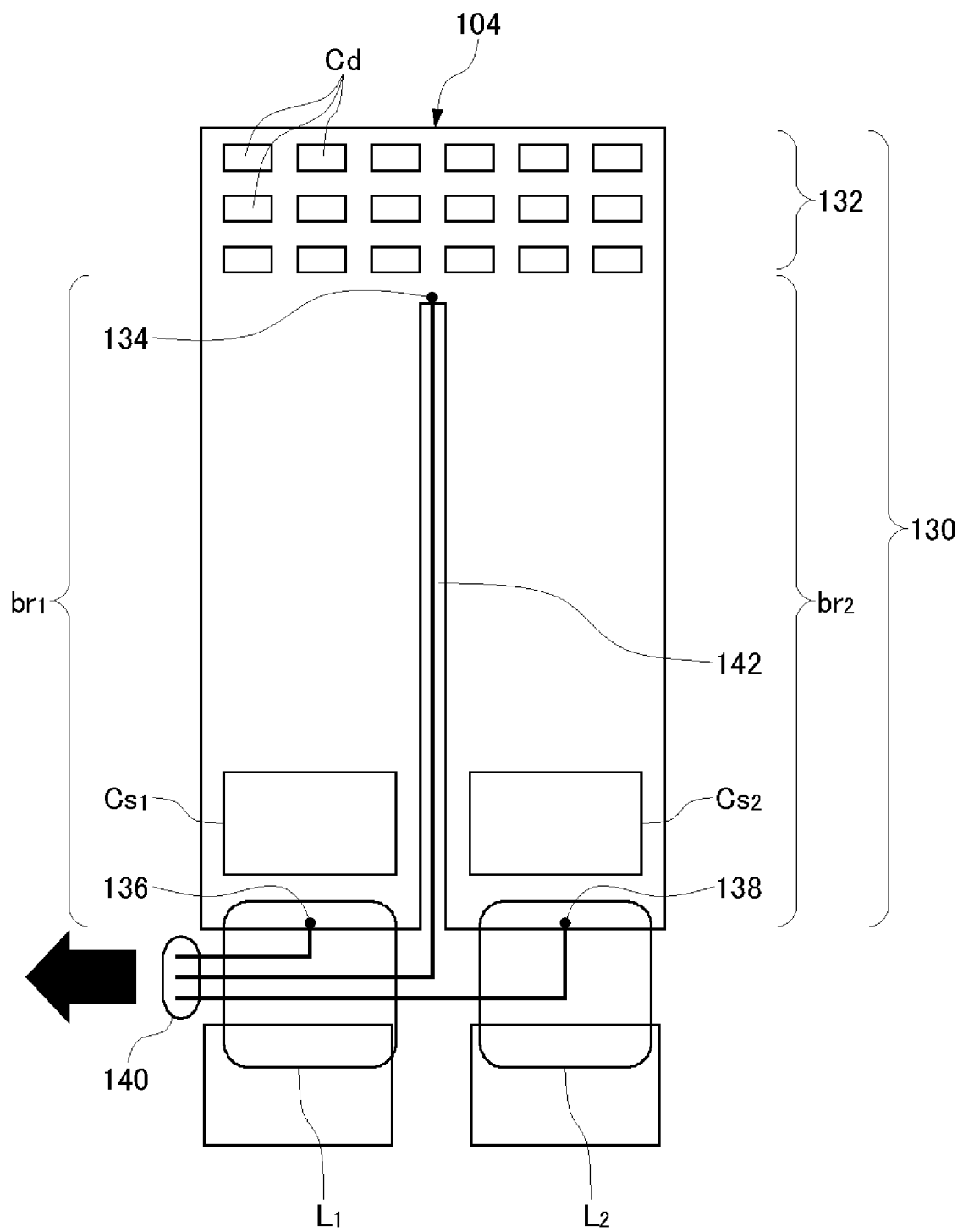
[図3]



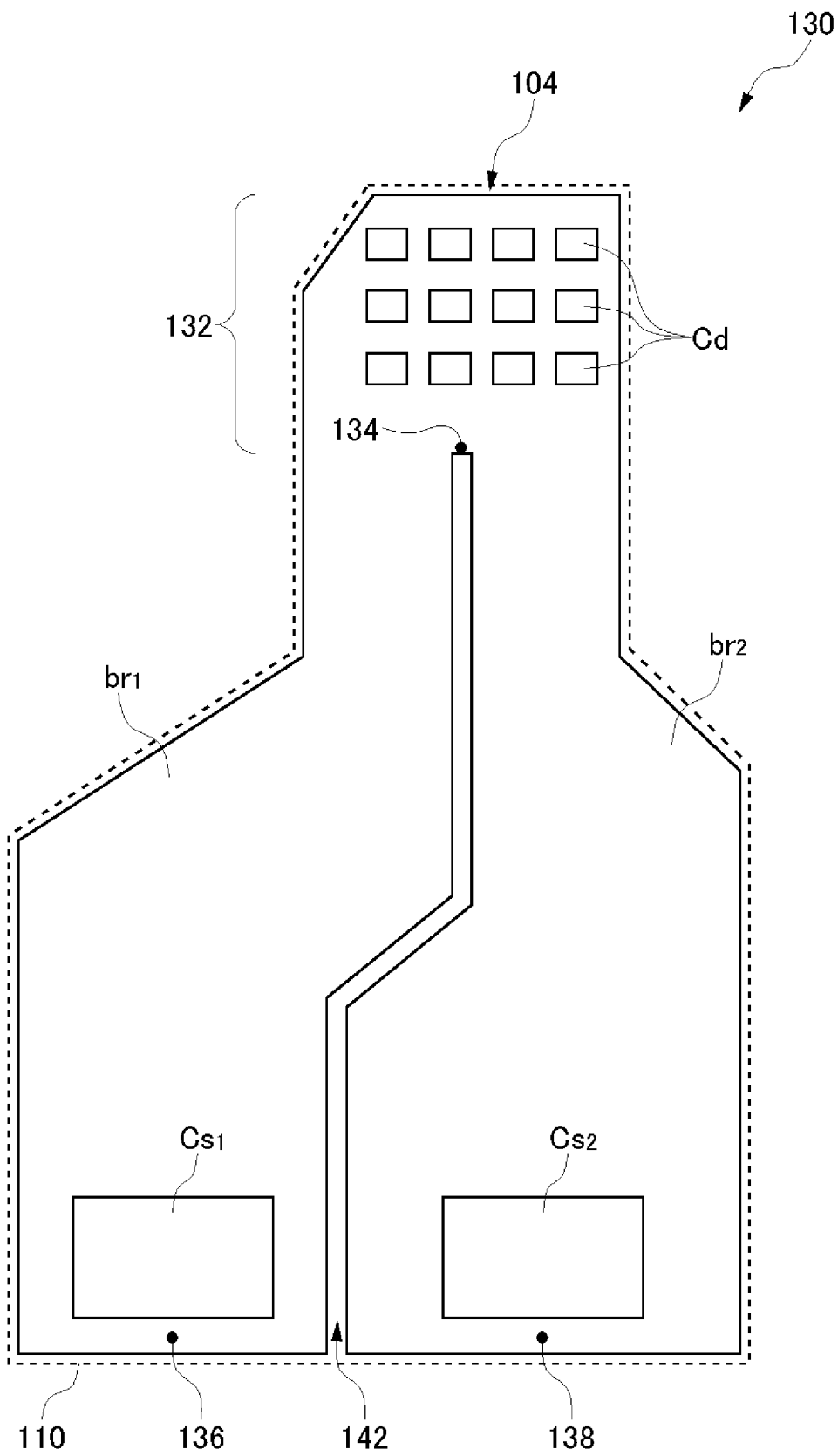
[図4]



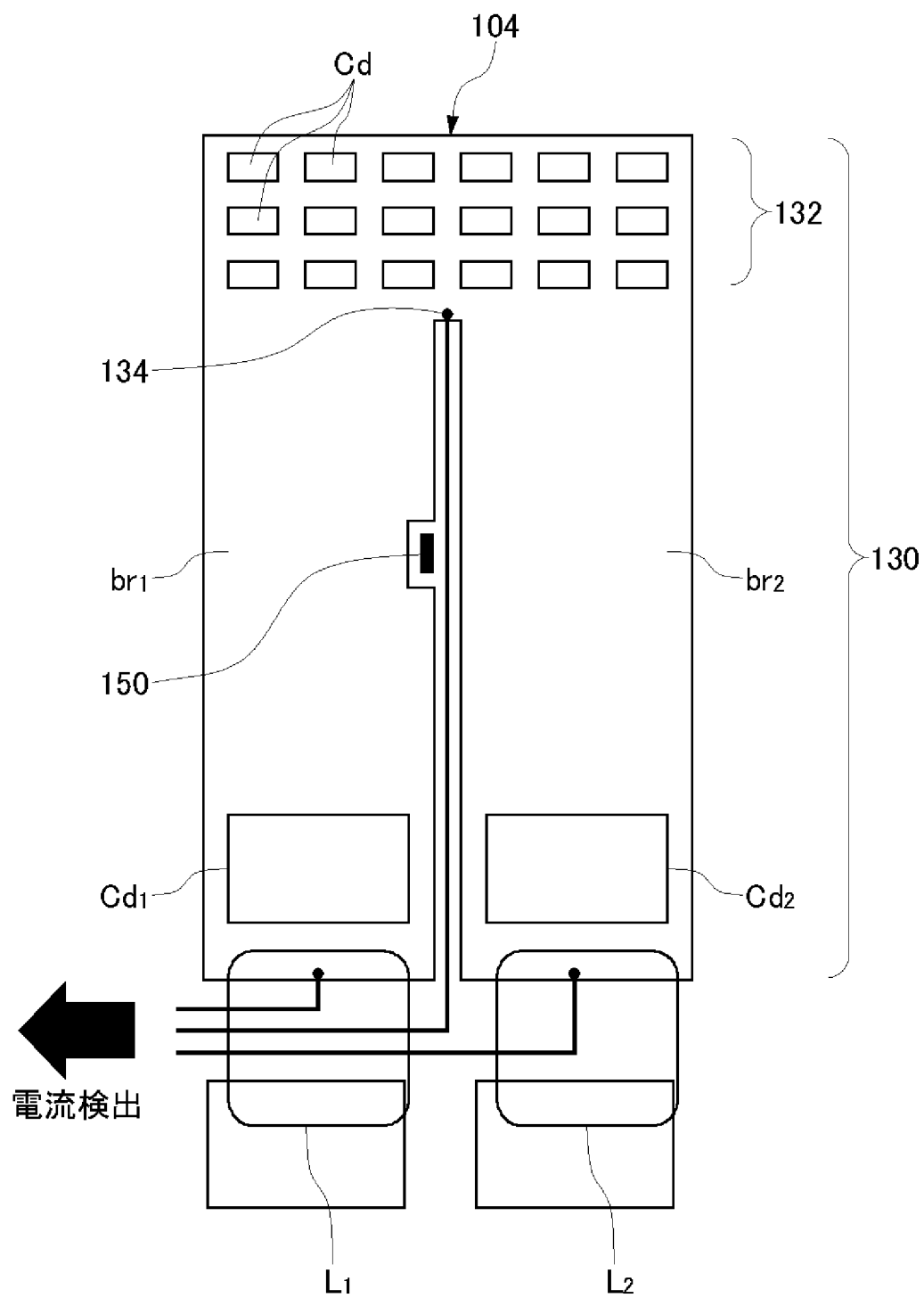
[図5]

100

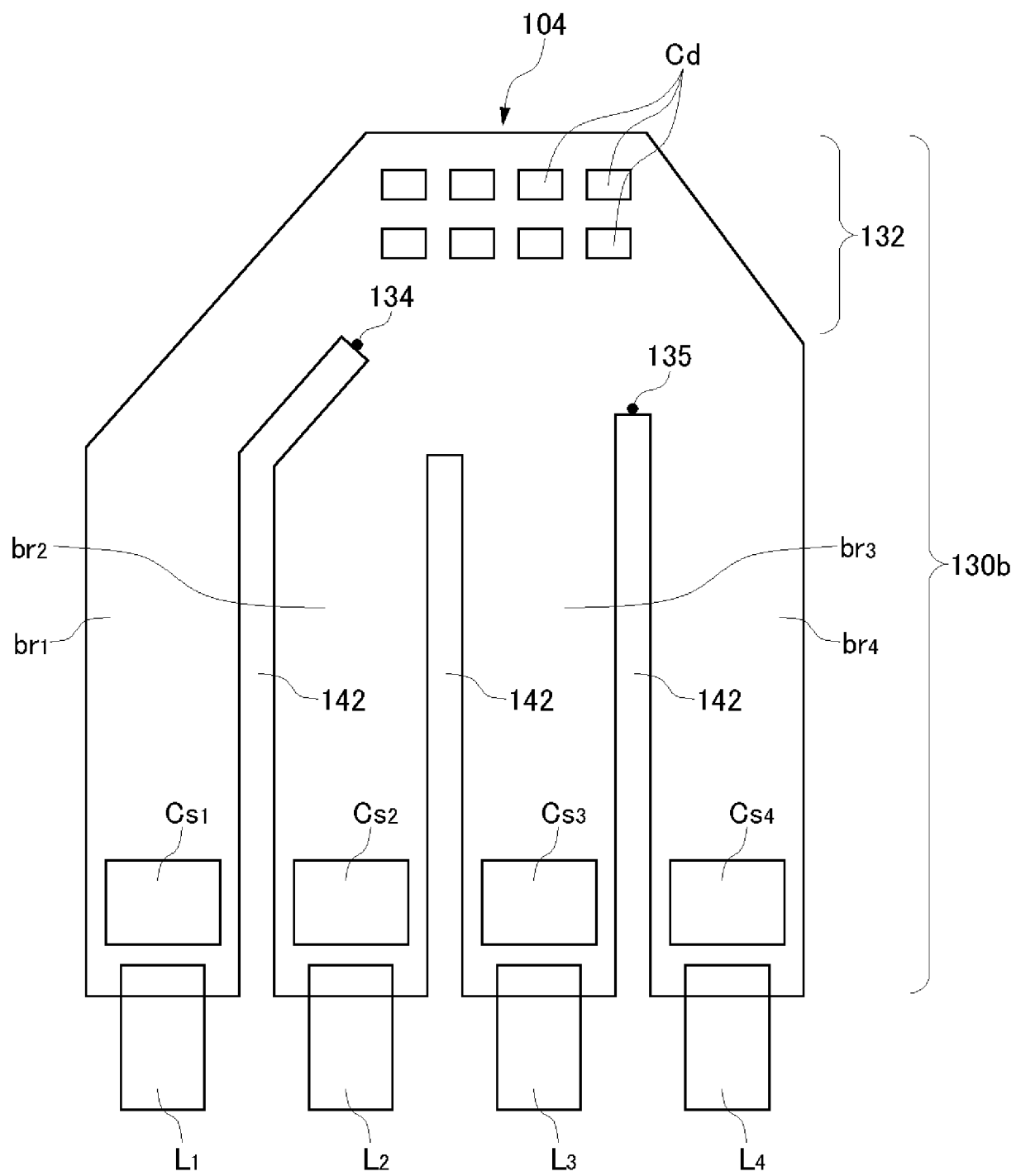
[図6]



[図7]



[図8]

100b

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/066960

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/155(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2006-211815 A (Fujitsu Ltd.), 10 August 2006 (10.08.2006), paragraphs [0039] to [0048]; fig. 1 & US 2006/0164050 A1 paragraphs [0044] to [0053]; fig. 4	1-3, 5-7 4
Y A	JP 2007-236126 A (Sharp Corp.), 13 September 2007 (13.09.2007), claim 2; paragraph [0054]; fig. 1 (Family: none)	1-3, 5-7 4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 July 2016 (20.07.16)

Date of mailing of the international search report
02 August 2016 (02.08.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/066960

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2003-284333 A (Rohm Co., Ltd.), 03 October 2003 (03.10.2003), fig. 2 & US 2003/0185025 A1 fig. 2 & US 2005/0146905 A1 fig. 2	5-7 4

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M3/155(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2006-211815 A（富士通株式会社）2006.08.10, 段落 39-48, 図 1 & US 2006/0164050 A1, 段落 44-53, 図 4	1-3, 5-7 4
Y A	JP 2007-236126 A（シャープ株式会社）2007.09.13, 請求項 2, 段落 54, 図 1（ファミリーなし）	1-3, 5-7 4
Y A	JP 2003-284333 A（ローム株式会社）2003.10.03, 図 2 & US 2003/0185025 A1, 図 2 & US 2005/0146905 A1, 図 2	5-7 4

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

20.07.2016

国際調査報告の発送日

02.08.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

柳下 勝幸

5 G

9 5 6 1

電話番号 03-3581-1101 内線 3526