

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6151889号
(P6151889)

(45) 発行日 平成29年6月21日 (2017.6.21)

(24) 登録日 平成29年6月2日 (2017.6.2)

(51) Int. Cl.	F I	
HO4B 1/04 (2006.01)	HO4B 1/04	R
HO3H 21/00 (2006.01)	HO3H 21/00	
HO3F 1/32 (2006.01)	HO3F 1/32	
HO3G 3/30 (2006.01)	HO3G 3/30	E
HO4L 27/00 (2006.01)	HO4L 27/00	A
請求項の数 3 外国語出願 (全 15 頁)		

(21) 出願番号	特願2012-147375 (P2012-147375)	(73) 特許権者	391002340
(22) 出願日	平成24年6月29日 (2012.6.29)		テクトロニクス・インコーポレイテッド
(65) 公開番号	特開2013-13090 (P2013-13090A)		TEKTRONIX, INC.
(43) 公開日	平成25年1月17日 (2013.1.17)		アメリカ合衆国 オレゴン州 97077
審査請求日	平成27年5月26日 (2015.5.26)		-0001 ビーバートン サウスウエスト
(31) 優先権主張番号	13/172,541	(74) 代理人	110001209
(32) 優先日	平成23年6月29日 (2011.6.29)		特許業務法人山口国際特許事務所
(33) 優先権主張国	米国 (US)	(72) 発明者	ジェフリー・ディー・イールズ
			アメリカ合衆国 オレゴン州 97229
			ポートランド ノースウエスト シダー
			・リッジ・ドライブ 1823
		審査官	佐藤 敬介
			最終頁に続く

(54) 【発明の名称】 信号発生システム及びRF信号補償方法

(57) 【特許請求の範囲】

【請求項1】

信号発生システムであって、
 入力信号を提供するように構成された入力源と、
前記信号発生システムの種々の周波数及び設定における前記信号発生システムのアナログチャンネルのパフォーマンスに関する校正データを記憶する校正メモリと、
前記校正データに基づいて、前記信号発生システムに関する補償フィルタパラメータを決定するように構成された補償フィルタ計算ブロックと、
 前記入力信号と前記補償フィルタパラメータを受信して前記補償フィルタパラメータの少なくとも一部に基づく補償フィルタを前記入力信号に適用することによって、フィルタ処理出力信号を発生する予歪コンポーネントと、
前記フィルタ処理出力信号を受けて減衰出力信号を出力するよう構成される自動レベル制御減衰器と、該自動レベル制御減衰器の設定を示す設定情報を前記補償フィルタ計算ブロックに供給する自動レベル制御コントローラとを有する自動レベル制御ループと
を具え、
前記補償フィルタパラメータが、前記自動レベル制御減衰器の設定も加味して決定される信号発生システム。

【請求項2】

前記減衰出力信号に関する電力情報を前記自動レベル制御コントローラに供給する電力検出部を更に具え、

前記自動レベル制御コントローラが、前記電力情報に基づいて前記減衰出力信号の電力レベルを一定に維持するように前記自動レベル制御減衰器の設定を調整すると共に、前記自動レベル制御減衰器の調整された設定を反映するように前記自動レベル制御減衰器の設定を示す前記設定情報を更新し、

前記補償フィルタ計算ブロックが、前記自動レベル制御減衰器の調整された設定を反映するように前記補償フィルタパラメータを更新する請求項 1 記載の信号発生システム。

【請求項 3】

信号発生システムにおいてラジオ周波数 (R F) 信号を補償する方法であって、
 入力源から入力信号を受信する工程と、

自動レベル制御減衰器の設定を示す設定情報を補償フィルタ計算ブロックで受ける工程と、

10

前記自動レベル制御減衰器の種々の設定の影響を含めた前記信号発生システムの種々の周波数及び設定における前記信号発生システムのアナログチャンネルのパフォーマンスに関する校正データをアナログ前記補償フィルタ計算ブロックで受ける工程と、

補償フィルタ計算ブロックを用いて、前記自動レベル制御減衰器の設定を示す設定情報及び前記校正データの少なくとも一部に基づいて補償フィルタパラメータを決定する工程と、

予歪コンポーネントを用いて、前記補償フィルタパラメータに基づく補償フィルタを前記入力信号に適用してフィルタ処理 R F 信号を発生する工程と、

該フィルタ処理 R F 信号を前記自動レベル制御減衰器に供給する工程と、

20

前記自動レベル制御減衰器から前記 R F 信号を出力する工程と

を具える R F 信号補償方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本開示事項は、信号発生器に関する。特に、補償されたベクトル広帯域ラジオ周波数 (R F) 信号を発生する方法と装置に関連する。

【背景技術】

【 0 0 0 2 】

現在利用できる R F ベクトル変調ジェネレータは、周波数関数としての不安定なチャンネルレスポンスに苦しんでいる傾向にある。結果的に、特定のユニットのパフォーマンスを特徴付けるために安定したレスポンスを必要とする利用者は、それが生み出す歪みを理解しなければならない。

30

【先行技術文献】

【特許文献】

【 0 0 0 3 】

【特許文献 1】特開平 1 1 - 4 1 1 5 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4 】

40

レーダーパルスのような実質的に平坦な振幅と直線的な位相レスポンスを必要とする広帯域信号を発生したい利用者にとってこのことは特に問題である。少なくともこのために、そのような利用者は、システム修正用の基準送信機としての自家製の G O L D E N R A D I O S を当てにしていることが多い。

【 0 0 0 5 】

このように、校正され補償されたチャンネルレスポンスを有する、N I S T (アメリカ国立標準機関) トレーサビリティの可能な広帯域ジェネレーション能力を提供できる機器に対するニーズが残っている。

【課題を解決するための手段】

【 0 0 0 6 】

50

ある種の実施の形態において、ラジオ周波数(RF)マイクロウェーブ信号発生システムは、アナログハードウェアのチャンネル振幅と位相の非直線性を補償するための予歪として適用されるデジタル変調補償器を含んでいる。ここに用いられるチャンネルは、一般的に、出力のキャリア周波数の近辺において転送時の当該システムの変調帯域幅を言う。このようなシステムは、振幅のレベルと平坦さや位相の直線性における変動や、同相及び直交(IQ)位相におけるエラーや、複雑な有限インパルス応答(FIR)フィルタの良くある組における変調器ゲインオフセットを補正するように構成されうる。このようなシステムは、また、自動レベル制御(ALC)ループの帯域幅を超えたチャンネル/変調器の帯域幅のために、自動レベル制御(ALC)ループを用いて、システムにおけるチャンネル歪みを補正することを可能にする。

10

【0007】

また、ある種の実施の形態においては、発生器の変調帯域幅は、数百メガヘルツ(MHz)又は数ギガヘルツ(GHz)すらの幅を有するが、RFキャリア周波数は、主に、ほぼDCからマイクロ波又はミリメートル波の範囲に亘っている。そのようなシステムは、一般に、デジタル補足サブシステムを含んでいない。

【0008】

ある種の実施の形態においては、方法は、補償フィルタの通常の再生と一又はそれ以上のアナログパラメータが変動したときの補償フィルタの適用を含んでいる。このようなアナログパラメータには、それに限定されるわけではないが、出力周波数チューニングや温度による増幅器ゲイン変動やALC減衰又は増加セッティングや、RF IQ変調器増幅器及びオフセット値や、RF出力減衰器設定を含むことができる。この方法は、また、発生器のALCシステムに応じて、リアルタイム若しくはほぼリアルタイムにおいて補償フィルタを再計算して適用することを含むことも可能である。

20

【0009】

本発明の第1態様は、入力信号を提供するように構成された入力源と、補償フィルタパラメータを決定するように構成された補償フィルタ計算ブロックと、自動レベル制御ループ情報を前記補償フィルタ計算ブロックに提供するように構成された自動レベル制御ループであって、前記補償フィルタパラメータが前記自動レベル制御ループ情報の少なくとも一部に基づいて決定される自動レベル制御ループと、前記入力信号と前記補償フィルタ計算ブロックから補償フィルタパラメータを受信して濾過された出力信号を発生する予歪コンポーネントであって、前記補償フィルタパラメータの少なくとも一部に基づく第1の補償フィルタを、少なくとも前記入力信号に適用するように構成された予歪コンポーネントと、該適用された補償フィルタを有する濾過された出力信号を提供するように構成された出力とからなる信号発生システムである。

30

【0010】

本発明の第2態様は、前記第1態様において、入力源がメモリーベースのデータ発生ブロックとデジタル同相/直交(I/Q)入力とアナログI/Q入力とからなる群のうちの1つであることを特徴とする信号発生システムである。

【0011】

本発明の第3態様は、上記第2態様において、更に、第1と第2の補償フィルタであって、該フィルタの一方が入力信号のI信号成分を発生し、他方が入力信号のQ信号成分を発生するものからなることを特徴とする信号発生システムである。

40

【0012】

本発明の第4態様は、上記第1態様において、更に、工場において計測された信号発生システムに関連する校正データを保存するように構成された校正メモリとからなることを特徴とする信号発生システムである。

【0013】

本発明の第5態様は、上記第4態様において、前記補償フィルタ計算ブロックが校正メモリから校正データを受け取るように構成されているも、前記補償フィルタパラメータが校正データの少なくとも一部に基づくものであることを特徴とする信号発生システムであ

50

る。

【 0 0 1 4 】

本発明の第 6 態様は、上記第 1 態様において、前記自動レベル制御ループが、前記予歪コンポーネントと出力の間を連結する自動レベル制御減衰器であって、濾過された出力信号を受け取るように構成されたものと、前記自動レベル制御減衰器と前記補償フィルタ計算ブロックの間を連結する自動レベル制御コントローラであって、自動レベル制御ループ情報を前記補償フィルタ計算ブロックに提供するように構成されたものことからなることを特徴とする信号発生システムである。

【 0 0 1 5 】

本発明の第 7 態様は、上記第 6 態様において、前記自動レベル制御ループ情報が前記自動レベル制御減衰器から受け取った情報の少なくとも一部に基づくものであることを特徴とする信号発生システムである。

10

【 0 0 1 6 】

本発明の第 8 態様は、上記第 6 態様において、更に、前記自動レベル制御減衰器の出力と自動レベル制御コントローラの間を連結する電力検波器であって、自動レベル制御コントローラに減衰された濾過出力信号に関連する電力情報を提供するように構成されたものことからなることを特徴とする信号発生システムである。

【 0 0 1 7 】

本発明の第 9 態様は、上記第 8 態様において、自動レベル制御コントローラによって提供された前記自動レベル制御ループ情報が前記電力情報の少なくとも一部に基づくことを特徴とする信号発生システムである。

20

【 0 0 1 8 】

本発明の第 1 0 態様は、上記第 6 態様において、更に、前記予歪コンポーネントと前記自動レベル制御減衰器の間を連結するデジタル / アナログ変換器であって、前記補償フィルタが適用された後に入力信号を表すアナログ出力信号を発生するものことからなることを特徴とする信号発生システムである。

【 0 0 1 9 】

本発明の第 1 1 態様は、上記第 1 0 態様において、更に、前記デジタル / アナログ変換器と前記自動レベル制御減衰器の間を連結する R F 変調器とからなることを特徴とする信号発生システムである。

30

【 0 0 2 0 】

本発明の第 1 2 態様は、上記第 1 1 態様において、更に、前記デジタル / アナログ変換器と前記 R F 変調器の間を連結する中間フィルタとからなることを特徴とする信号発生システムである。

【 0 0 2 1 】

本発明の第 1 3 態様は、上記第 1 態様において、前記予歪コンポーネントがフィールドプログラマブルゲートアレイからなることを特徴とする信号発生システムである。

【 0 0 2 2 】

本発明の第 1 4 態様は、上記第 1 態様において、前記予歪コンポーネントが特定用途向け集積回路からなることを特徴とする信号発生システムである。

40

【 0 0 2 3 】

本発明の第 1 5 態様は、信号発生システムにおいてベクトル広帯域ラジオ (R F) 信号を補償する方法であって、入力源から入力 R F 信号を受信する工程と、予歪コンポーネントを用いて、少なくとも第 1 の補償フィルタを入力された R F 信号に適用することによって濾過された R F 信号を発生する工程と、該濾過された R F 信号を自動レベル制御減衰器に提供する工程と、自動レベル制御コントローラを用いて、前記自動レベル制御減衰器の出力から自動レベル制御ループ情報を発生する工程と、補償フィルタ計算ブロックを用いて、前記自動レベル制御ループ情報の少なくとも一部に基づいて補償フィルタパラメータを決定する工程と、該補償フィルタパラメータを予歪コンポーネントに適用して少なくとも第 1 の補償フィルタを発生する工程と、濾過された R F 信号を用いて R F 出力信号を発

50

生ずる工程とからなる方法である。

【0024】

本発明の第16態様は、上記第15態様において、更に、信号発生システムに関連する校正データを保存する工程であって、補償フィルタ計算ブロックによって決定された補償フィルタパラメータが校正データの少なくとも一部に基づく工程からなることを特徴とする方法である。

【0025】

本発明の第17態様は、上記第15態様において、入力RF信号がI信号成分とQ信号成分を有し、前記濾過されたRF信号を発生する工程が、更に、第1のI成分補償フィルタをRF信号のI信号成分に適用すると共に第2のQ成分補償フィルタをRF信号のQ信号成分に適用することでそれぞれのIとQの濾過されたRF信号を発生する工程を含んでいることを特徴とする方法である。

10

【0026】

本発明の第18態様は、上記第15態様において、前記自動レベル制御ループ情報を発生する工程が、更に、自動レベル制御減衰器の出力の一部を電力検波器に連結する工程と、電力検波器を用いて自動レベル制御減衰器の出力に関連するRF電力情報を発生する工程と、該RF電力情報を自動レベル制御コントローラに連結する工程と、自動レベル制御減衰器に対し粗い出力制御信号と微調整の出力制御信号を発生し、減衰レベルを設定する工程と、RF電力レベル情報に一部由来する自動レベル制御ループ情報を補償フィルタ計算ブロックに提供する工程とからなることを特徴とする方法である。

20

【0027】

本発明の第19態様は、上記第15態様において、前記濾過されたRF信号を提供する工程が、更に、濾過されたRF信号をRF変調器に提供する工程と、濾過されたRF信号によって変調されたRF信号を発生する工程とからなることを特徴とする方法である。

【0028】

本発明の第20態様は、上記第19態様において、前記濾過されたRF信号を提供する工程が、更に、濾過されたRF信号のI信号成分とQ信号成分をRF変調器に提供する工程とからなることを特徴とする方法である。

【図面の簡単な説明】

【0029】

30

【図1】図1は、信号発生器と被試験デバイスと試験測定器を含むシステムを示す略図である。

【図2A】図2Aは、900MHzのキャリア周波数に関して、代表的な従来信号発生器により露呈された信号の歪みを示すグラフである。

【図2B】図2Bは、1.8GHzのキャリア周波数に関して、代表的な従来信号発生器により露呈された信号の歪みを示すグラフである。

【図2C】図2Cは、2.4GHzのキャリア周波数に関して、代表的な従来信号発生器により露呈された信号の歪みを示すグラフである。

【図2D】図2Dは、3.8GHzのキャリア周波数に関して、代表的な従来信号発生器により露呈された信号の歪みを示すグラフである。

40

【図3A】図3Aは、本願発明の実施の形態の例に従った、例えば、図1の信号発生器のような信号発生器を含むシステムを示すブロック図である。

【図3B】図3Bは、本願発明の実施の形態の例に従った、例えば、図1の信号発生器のような信号発生器を含むシステムを示すブロック図である。

【図3C】図3Cは、本願発明の実施の形態の例に従った、例えば、図1の信号発生器のような信号発生器を含むシステムを示すブロック図である。

【図3D】図3Dは、本願発明の実施の形態の例に従った、例えば、図1の信号発生器のような信号発生器を含むシステムを示すブロック図である。

【図4A】図4Aは、自動レベル制御(ALC)ループにおいて一般に使用される代表的な従来電圧変動減衰器のための設定された減衰関数としての周波数及び位相レスポンス

50

の変化を示すグラフである。

【図 4 B】図 4 B は、自動レベル制御 (A L C) ループにおいて一般に使用される代表的な従来の電圧変動減衰器のための設定された減衰関数としての周波数及び位相レスポンスの変化を示すグラフである。

【図 4 C】図 4 C は、自動レベル制御 (A L C) ループにおいて一般に使用される代表的な従来の電圧変動減衰器のための設定された減衰関数としての周波数及び位相レスポンスの変化を示すグラフである。

【図 5 A】図 5 A は、本発明のある実施の形態の例に従った発生されたベクトル広帯域 R F 信号を補償する技術例 (その 1) を示す流れ図である。

【図 5 B】図 5 B は、本発明のある実施の形態の例に従った発生されたベクトル広帯域 R F 信号を補償する技術例 (その 2) を示す流れ図である。

【発明を実施するための形態】

【 0 0 3 0 】

各実施の形態は、信号発生器とベクトル広帯域ラジオ周波数 (R F) 信号を補償する技術を含んでいる。本発明のこれらの特徴及び他の特徴と各実施の形態の説明は、各図面に関連して続けられる。

【 0 0 3 1 】

図 1 は、信号発生器 1 0 5 と被試験デバイス (D U T) 1 1 0 と試験測定器 1 2 0 を含むシステム 1 0 0 を図示している。信号発生器 1 0 5 は、例えば試験目的の信号発生することのできる適切なデバイスであればよい。信号発生器 1 0 5 は、例えば、任意波形発生器 (A W G) のような高速シリアルジェネレータであればよい。

【 0 0 3 2 】

D U T 1 1 0 は、信号を送受信可能な適切なデジタル又はアナログデバイスであればよい。D U T 1 1 0 は、例えば、受信器 1 1 2 と内部ロジック 1 1 6 と送信器 1 1 4 を内蔵することが可能である。D U T 1 1 0 の出力は、試験測定器 1 2 0 に連結されている。試験測定器 1 2 0 は、オシロスコープ、スペクトラムアナライザ、ロジックアナライザ、ネットワークアナライザ又はその他であればよい。

【 0 0 3 3 】

図 2 は、種類のキャリア周波数に関し、代表的な従来の信号発生器により露呈された信号の歪みを示すグラフを示している。図 2 A、図 2 B、図 2 C、図 2 D は、それぞれ、9 0 0 メガヘルツ (M H z) と 1 . 8 ギガヘルツ (G H z) と 2 . 4 ギガヘルツ (G H z) と 3 8 ギガヘルツ (G H z) の R F キャリア周波数における、代表的な従来の信号発生器内のチャンネルレスポンス変動を図示している。それぞれのグラフ 2 A 乃至 2 D における非平坦性は、ここに説明される開示技術の実施によって提供されるような校正及び補償されたチャンネルレスポンスを有する広帯域信号発生性能の必要性を明らかにしている。

【 0 0 3 4 】

図 3 は、本願発明の実施の形態の例に従った、例えば、図 1 の信号発生器 1 0 5 のような信号発生器 3 0 1 を含むシステム 3 0 0 のブロック図を図示している。完備した計測器ソリューションに一般的に含まれるであろうある種のコンポーネントは、説明を簡略化するために省略されている。そのようなコンポーネントには、それに限定されるわけではないけれども、出力高調波阻止フィルタやユーザインタフェースや電源が含まれる。

【 0 0 3 5 】

システム 3 0 0 は、それぞれ入力データを信号発生器 3 0 1 に提供するように構成された 3 つの異なるデータ源を含んでいる。それらのデータ源は、メモリベースのデータ発生ブロック 3 0 2 とデジタル同相及び直交 (I / Q) 入力 3 0 4 とアナログ I / Q 入力 3 0 6 を含んでいる。I / Q データルーティングフィールドプログラマブルゲートアレイ (F P G A) 3 3 0 は、それぞれのデータ源 3 0 2、3 0 4、3 0 6 からデータを受信する。

【 0 0 3 6 】

ある種の実施の形態においては、メモリベースのデータ発生ブロック 3 0 2 は、メモリから直接的に保存されているデータファイルを流す任意波形発生器 (A W G) と内部機能

10

20

30

40

50

的に等価である。

【0037】

ある種の実施の形態においては、デジタルI/Q入力304からのデータは、I/QデータルーティングFPGA330によって束縛されるかも知れないレートの任意のリアルタイムデジタルデータストリームからなる。

【0038】

ある種の実施の形態においては、アナログI/Q入力306からのデータは、まず、エイリアスイメージを引き起こすであろう情報のようなある種の情報を取り除くフィルタ308と309を通過する。次いで、このデータは、フィルタ308と309からアナログ/デジタル変換器(ADC)310と311をそれぞれ通過することもある。ADC310と311は、出力データをI/QデータルーティングFPGA330に通過することができる。

10

【0039】

信号発生器301は、予歪FPGA350とデジタル/アナログ変換器(DAC)352とRF変調器356を含んでいる。予歪FPGA350は、I/QデータルーティングFPGA330から入力情報を受信することができる。予歪FPGA350は、DAC352によってデータがアナログに変換される前に、デジタル信号プロセッシング(DSP)でI信号成分とQ信号成分のそれぞれにチャンネル補償フィルタを適用する。他の実施の形態においては、特定用途集積回路(ASIC)又は他の適切なコンポーネントが、予歪チャンネル補償フィルタの適用のために、FPGAに代わって、用いられる。

20

【0040】

それとは別に、I/QデータルーティングFPGA330は、非直交信号を受信することができる。このような信号は、メモリベースのデータ発生ブロック302によって、I/QデータルーティングFPGA330のI入力又はQ入力的一方に提供されることができる。非直交信号は、予歪FPGA350と連結されて、そこでチャンネル補償フィルタが信号に適用される。

【0041】

ある種の実施の形態においては、予歪FPGA350の補償フィルタは、出力チャンネルの帯域幅、すなわち、変調されたキャリア周波数にかかわらない、データの情報帯域幅に亘っての振幅の非平坦さと直線的な位相からのずれを補償する。チャンネル帯域幅は、DAC352のナイキスト(Nyquist)帯域幅にすぎないこともあるが、一般には、それよりもはるかに小さい。予歪FPGA350は、DAC352に送られるI/Qデータを調整することができ、RF変調器356の利得と位相の不均衡を補償する。2つのフィルタ354と355は、更に、データからDAC352のエイリアス生成物を取り除くことによって、RF変調器356に送られるデータを更に調整することができる。

30

【0042】

例えば、デジタルI/Q入力304からのデータのような、I/QデータルーティングFPGA330から予歪FPGA350に伝達されたある種のデータは、予歪FPGA350の処理速度とDAC352のクロックレートによって規制されることもある。

【0043】

信号発生器301の予歪FPGA350は、カスタムFPGA、ASIC、又はホストプロセッサ又はコントローラ385上でランニングするコードとして実装されうる補償フィルタ計算(CFC)ブロック360からチャンネル補償フィルタパラメータを受信するように構成されている。

40

【0044】

CFCブロック360の実装は、一般的に、RF/アナログ回路のパフォーマンスの変化に応じた速度要件に依拠する。カスタムFPGA又はASICとしての実装を行う要件の例は、DAC352単独による支持可能な帯域幅よりもはるかに離れた周波数間を飛び回る、補償フィルタの信号への適用である。

【0045】

50

信号発生器 301 の C F C ブロック 360 は、2つの源からの情報を用いることができる。すなわち、校正メモリ 358 と自動レベル制御 (A L C) コントローラ F P G A 362 である。校正メモリ 358 は、各種のメモリであってもよい。例えば、校正メモリ 358 は、ダイナミックメモリ、スタティックメモリ、リードオンリメモリ (R O M)、ランダムアクセスメモリ (R A M) 又はその他のメモリでよい。

【 0046 】

校正メモリ 358 は、一般的に、N I S T トレサビリティ可能な機器の工場で計測されたときの校正データを保存している。このような校正データは、多くの R F キャリア周波数や出力減衰器 398 の設定や A L C 減衰器 390 の設定やシステム 300 のチャンネルレスポンスに影響を与えるかもしれない他の R F 信号経路設定において計測された信号発生器 301 のアナログチャンネルパフォーマンスを表している。校正データは、各周波数と設定における振幅の平坦さと位相リニアリティを記述したベクトルデータとして校正メモリ 358 に保存されることもある。

10

【 0047 】

ある種の実施の形態においては、A L C 減衰器 390 のアナログパフォーマンスは、工場において校正されており、コントローラ 385 や C F C ブロック 360 による現状で行われている探索のために校正メモリ 358 にデータが保存されている。

【 0048 】

A L C コントローラ F P G A 362 は、自動レベル制御 A L C 減衰器 390 と方向性カップラー 397 と、例えば、ナローバンドエンベロープ検波器のような電力検波器 396 を含む自動レベル制御 A L C ループの一部である。A L C 減衰器 390 からの R F 出力は、方向性カップラー 397 を用いてサンプリングされて、電力検波器 396 に提供される。電力検波器 396 は、サンプリングされた R F 出力をベースバンドエンベロープ電圧波形に変換する。ベースバンドエンベロープ電圧は A L C A D C 364 によりデジタル化されて、A L C コントローラ F P G A 362 と連結される。A L C コントローラ F P G A 362 は、粗い調整値と微調整値を発生するが、微調整値は A L C D A C 365 によりアナログ値に変換されている。粗い調整値と微調整値は、A L C 減衰器 390 に提供されて名目上の定出力電力レベルを維持する。

20

【 0049 】

A L C A D C 364 と A L C D A C 365 は、図示しないサンプリングクロックを必要とすることがある。A L C コントローラ F P G A 362 は、マスタデジタルシステムクロック 315 に基づいて作動するようにしてもよい。

30

【 0050 】

A L C コントローラ F P G A 362 は、好適には、A L C 減衰器 390 の設定を示す情報を C F C ブロック 360 に提供するように構成されており、単数又は複数の予歪フィルタが A L C ループ設定の関数として正確に計算される。C F C ブロック 360 は、校正メモリ 358 にアクセスして A L C 減衰器の設定に関連して以前に保存されている校正データを取り出す。A L C コントローラ F P G A 362 からの設定情報は早急に変わることもある。

【 0051 】

ある種の実施の形態においては、長い一連の R F 変調パルスの各パルスエンベロープの 50% の点で出力電力をサンプリングするときには A L C モードは軽微な調整が行われる状況を含んでいる。このような状況は、各パルスに対して補償フィルタのチャンネル再計算を必要とすることがあるかも知れない。このようなチャンネル再計算は、減衰器設定の関数として、A L C 減衰器 390 の入出力インピーダンスの変動に応じてこれらの実施の形態において必要とされる。

40

【 0052 】

ある種の実施の形態においては、整合サイクルが行われた場合、A L C コントローラ F P G A 362 は、利得や振幅の平坦性や位相直線性のようなチャンネルパフォーマンス情報を C F C ブロック 360 に提供する。位相情報は、振幅測定と既知の内部発生された信

50

号を介して決定されうる。これらの整合は、経時的にシステムのアナログパフォーマンスの変動と温度における変動を補償とすることを必要とする場合が多い。整合は、メモリベースのデータ発生ブロック 302 によって役立つ、保存された波形を使用する。CFC ブロック 360 は、校正メモリ 358 にアクセスして、その整合サイクルに関連して予め保存された校正データを取り出す。

【0053】

他のコンポーネントは、システム 300 の一般的な機能を支持するために用いられることも可能である。例えば、基準発振器 384 は、マスタ周波数基準として働き、安定なタイミングを A/D サンプリングクロック 380 と D/A サンプリングクロック 382 とマイクロウェーブローカル発振器 386 とマスタデジタルシステムクロック 315 に提供する。A/D サンプリングクロック 380 と D/A サンプリングクロック 382 は、ある種の実施の形態においては、同じ発振器でもよいが、それらは図面において別々のコンポーネントとして示されており、アナログの I/Q 入出力変調帯域幅が異なることができることを示している。

10

【0054】

マイクロウェーブローカル発振器 386 は、RF キャリア信号を RF 変調器 356 に提供することもできる。このキャリア信号は、無変調連続波 (CW) モード出力のために、任意のスイッチ 388 と 389 を用いて RF 変調器 356 をバイパスすることもできる。RF 増幅ブロック 395 は、増幅がシステム 300 内に存在しうることと校正と補償を必要とする周波数、チャンネル、温度レスポンスの問題が存在していることを示すために図示されている。

20

【0055】

最終の出力減衰器 398 は、電力検波器 396 が測定できる限界を超えて RF 出力 399 にフルパワーレンジを与えるためにシステム 300 内に実装されることもできる。最終の出力減衰器 398 は、出力源 399 においてインピーダンス制御するのに役立つ、振幅の不確実性を最小限にすることも可能である。最終の出力減衰器 398 は、周波数レスポンス用に校正されるが、一般的には、ALC ゲインコントロールのループの枠外にある。最終の出力減衰器 398 の校正されたパフォーマンスは、校正メモリ 358 に保存されることも可能である。温度変化に関する最終の出力減衰器 398 のパフォーマンスの変動は、それが内部整合ループの枠外であるので、仕様見積もり誤差と説明されうる。

30

【0056】

ある種の実施の形態においては、コントローラ 385 は、これらに限定されるわけではないが、周波数を設定することや FPG A 画像データファイルをロードすることや整合シーケンスを行うことや ALC モードを制御することや RF 信号経路設定を調節することや所定の時間や状況においてそこからデータを取るソースを I/Q データルーティング FPG A 330 に知らせることを含む、システム 300 の部品として実装された全てのコンポーネントの動作を調整する。簡略化のために、コントローラ 385 からシステム 300 の各種のコンポーネントへのインタフェースは図から省略されている。

【0057】

図 4 は、代表的な従来の電圧変動減衰器のための設定された減衰関数としての周波数及び位相レスポンスの変化を示す多数のグラフ 4A 乃至 4C を図示している。図 4A と図 4B と図 4C は、それぞれ、相対的な減衰と反射損出対減衰と相対的な位相を図示している。

40

【0058】

グラフ 4A 乃至 4C は、ALC 設定の関数として補償フィルタの再計算の必要性を示している。ALC ループの帯域幅は、主に、例えば、キロヘルツ (kHz) 範囲において低レートに亘っており、例えば、変調帯域幅はギガヘルツ (GHz) 範囲において明らかに高レートである。開示された技術の実施の形態に関する補償フィルタの再計算は、ALC のループ帯域幅以外のチャンネルパフォーマンスの変動を補償する。

【0059】

50

グラフ4A乃至4Cは、減衰器設定の関数としての周波数及び位相レスポンスの明らかな変化を示している。反射損出対減衰設定における変動は、システムの隣接する部材に整合されたときに振幅及び位相のリップルに影響を与える。例えば、ほぼ19GHzにおける図4Bのグラフの点は、減衰が最小例えば2.2dBから5dBに変動した場合に約-13dBから-25dBへの反射損失の変動を示している。平坦な-20dBの反射損失で部材と整合した場合、このミスマッチにおける変動は、±0.2dBから±0.05dBへ変化する振幅エラーと±1.28度から±0.32度に変動する位相誤差を引き起こす。これらは、ALC設定の関数として減衰器のそのままの周波数と位相レスポンス変動の初めに組み合わせられるチャンネル振幅位相誤差である。これらの効果は、チャンネルの帯域幅が数百メガヘルツ(MHz)以上に拡大すると著しく悪くなる。

10

【0060】

図5は、本発明のある実施の形態の例に従った発生されたベクトル広帯域RF信号を補償する技術例を示す流れ図を図示している。

【0061】

予備的段階として、工程505に示すように、校正データが校正メモリ358に保存されることもある。工程510で、入力源からの入力信号は、信号発生器301によって受信される。入力源は、例えば、メモリベースのデータ発生ブロック302又はデジタルI/Q入力304若しくはアナログI/Q入力306でよい。入力信号は、I/Q直交信号若しくは非直交信号でよい。ある種の実施の形態においては、入力信号は信号発生器301のI/QデータルーティングFPGA330によって受信される。入力信号は、工程515に示すように、予歪FPGA350に送られる前に、任意に濾過されることもある。工程520で、予歪FPGA350は入力信号を受信する。

20

【0062】

工程525で、予歪FPGA350は、補償フィルタ計算(CFC)ブロック360からチャンネル補償フィルタパラメータを受信する。CFCブロック360は、カスタムFPGA、ASIC又はホストプロセッサ上でランニングするコードとして実装されうる。特定の実施に依存して、工程525は、工程520の前後又はその際中において行うことができる。

【0063】

工程530において、予歪FPGA350は、例えば、チャンネル補償フィルタである一又はそれ以上の予歪補償フィルタを入力信号に適用し、その後それをDAC352に送る。一又はそれ以上の補償フィルタは、例えば、出力チャンネルの帯域幅に亘って振幅の非平坦性と直線な位相からのずれを補償する。一又はそれ以上の補償フィルタは、自動レベル制御(ALC)システムに応じてリアルタイム又はほぼリアルタイムで再計算されて適用されることもある。ALCシステムは、一般的に、ALC減衰器390と方向性カップラー397と電力検波器396とALCコントローラFPGA362を含んでいる。

30

【0064】

工程535において、DAC352は、単数また複数の信号を受信して、単数また複数の信号をRF変調器356に送る前にデジタルからアナログに変換する。工程545において、単数また複数の信号はRF変調器356により受信される。単数又は複数の信号は、工程540に示すように、RF変調器356に送られる前に任意に濾過されることもある。RF変調器356からの信号は、次いで、工程550に示すように、ALC減衰器390によって受信される。

40

【0065】

工程555において、ALCコントローラFPGA362は、CFCブロック360にALC情報を提供する。ある種の実施の形態においては、ALC情報は、予歪FPGA350により適用された一又はそれ以上の予歪フィルタがALCループ設定の関数として正確に計算されるようにALC減衰器設定を示している。システムは、ALCループ帯域幅を超えてチャンネル/変調帯域幅用のALCループを使用することもある。ある種の実施の形態においては、ALCコントローラFPGA362は、CFCブロック360に、例

50

えば、利得や振幅平坦性や位相の直線性のようなチャンネルパフォーマンス情報を提供することもある。

【 0 0 6 6 】

工程 5 6 0 において、A L C コントローラ F P G A 3 6 2 は、電力検波器 3 9 6 から R F 出力電力情報を受信する。工程 5 6 5 において、A L C コントローラ F P G A 3 6 2 は、一定の出力電力レベルに維持するように A L C 減衰器 3 9 0 を調節する。様々な実施の形態において、工程 5 6 0 と 5 6 5 のいずれか一方又は双方は、工程 5 5 5 の前後又はその際中において行うことができる。

【 0 0 6 7 】

工程 5 7 0 において、R F 出力 3 9 9 が信号発生器に提供される。

10

【 0 0 6 8 】

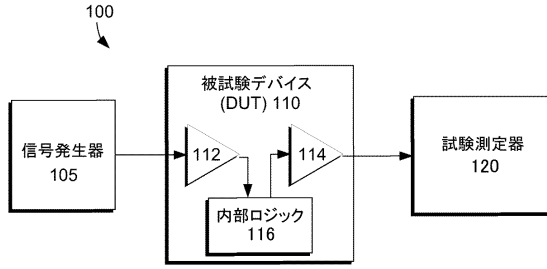
特定の実施の形態が説明されたが、本発明の原理はそれらの実施の形態に限定されるものでないことは明らかである。以下の特許請求の範囲に記載された発明の原理から逸脱することなく、各種の変形例や修正例がなされうる。例示したように、R F 変調器を用いることなく、本発明はベースバンドにおいても実施されうる。このような実施においても、予歪 F P G A 3 5 0 の補償フィルタは、信号チャンネルの振幅利得と位相ずれを補償する。

【 符号の説明 】

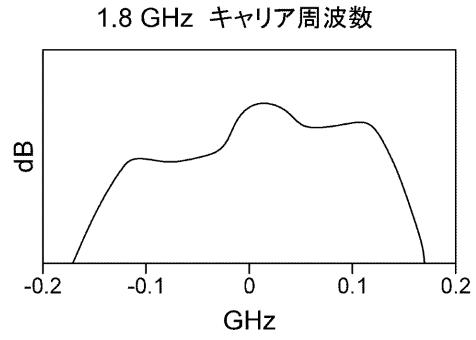
【 0 0 6 9 】

1 0 0 . . . システム	20
1 0 5 . . . 信号発生器	
1 1 0 . . . 被試験デバイス	
1 1 2 . . . 受信器	
1 1 4 . . . 送信器	
1 1 6 . . . 内部ロジック	
1 2 0 . . . 試験測定器	
3 0 1 . . . 信号発生器	
3 0 2 . . . メモリベースのデータ発生ブロック	
3 0 4 . . . デジタル同相及び直交 (I / Q) 入力	
3 0 6 . . . アナログ I / Q 入力	30
3 0 8 , 3 0 9 . . . フィルタ	
3 1 0 , 3 1 1 . . . アナログ / デジタル変換器 (A D C)	
3 1 5 . . . マスタデジタルシステムクロック	
3 3 0 . . . I / Q データルーティングフィールドプログラマブルゲートアレイ (F P G A)	
3 5 0 . . . 予歪 F P G A	
3 5 2 . . . デジタル / アナログ変換器 (D A C)	
3 5 4 , 3 5 5 . . . フィルタ	
3 5 6 . . . R F 変調器	
3 5 8 . . . 校正メモリ	40
3 6 0 . . . 補償フィルタ計算 (C F C) ブロック	
3 6 2 . . . 自動レベル制御 (A L C) コントローラ F P G A	
3 6 4 . . . A L C A D C	
3 6 5 . . . A L C D A C	
3 8 0 . . . A / D サンプルリングクロック	
3 8 2 . . . D / A サンプルリングクロック	
3 8 4 . . . 基準発振器	
3 8 5 . . . ホストプロセッサ又はコントローラ	
3 8 6 . . . マイクロウェーブローカル発振器	
3 9 0 . . . A L C 減衰器	50

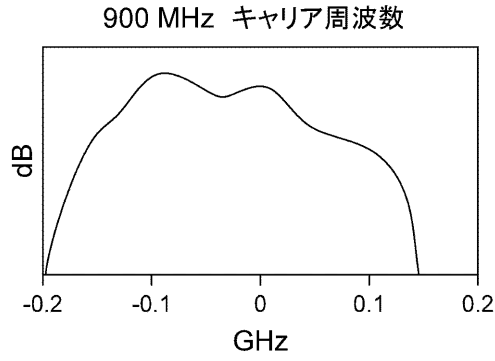
【図 1】



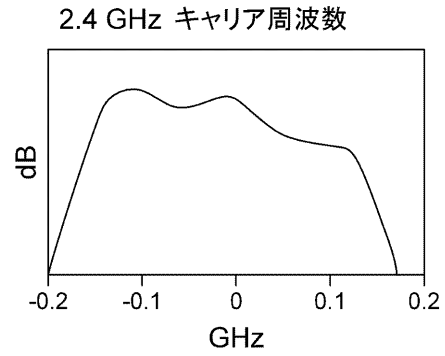
【図 2 B】



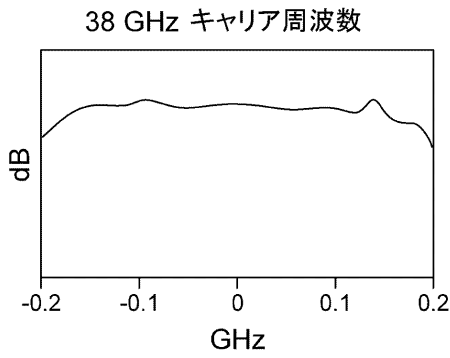
【図 2 A】



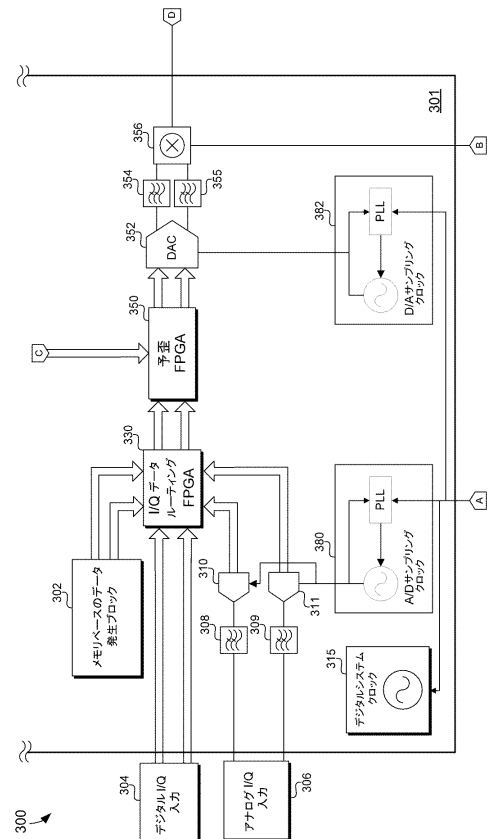
【図 2 C】



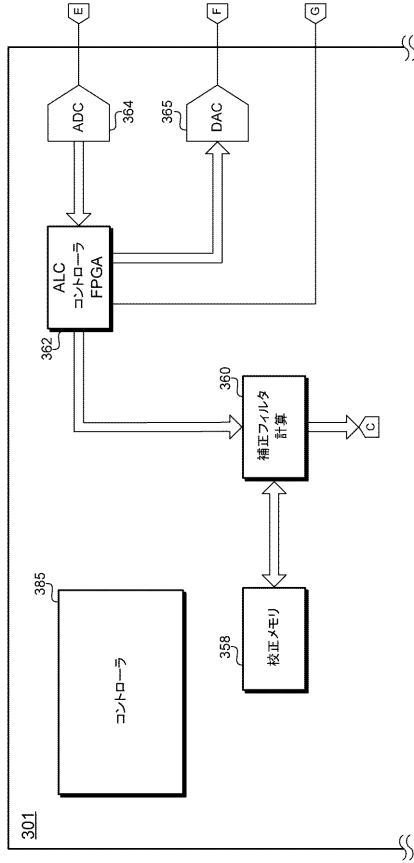
【図 2 D】



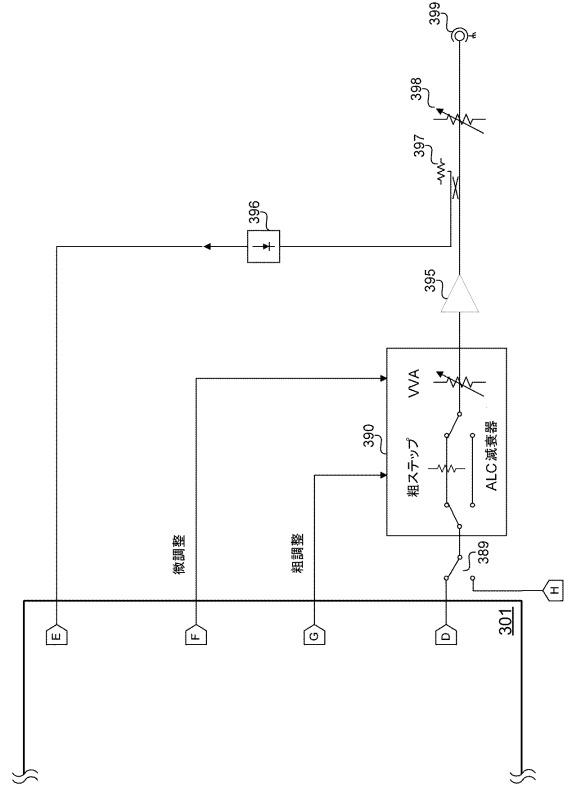
【図 3 A】



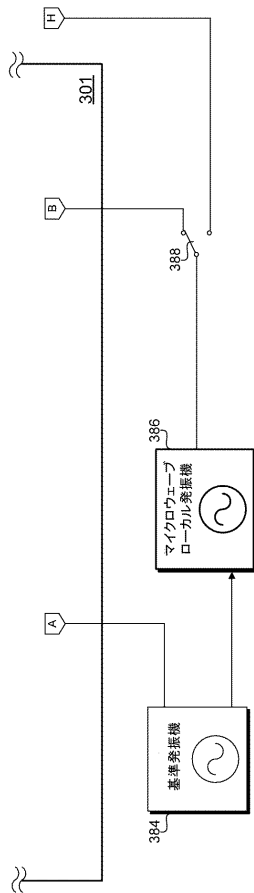
【 図 3 B 】



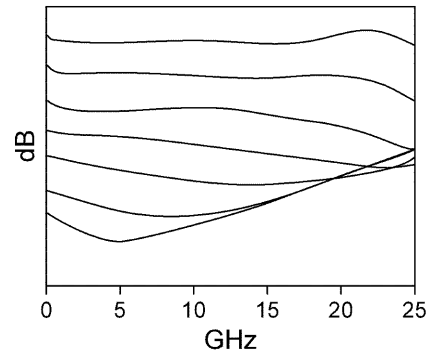
【 図 3 C 】



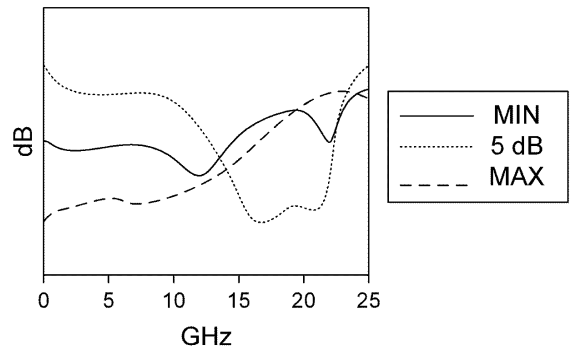
【 図 3 D 】



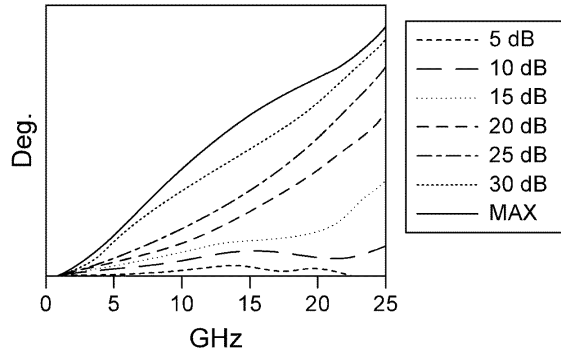
【 図 4 A 】



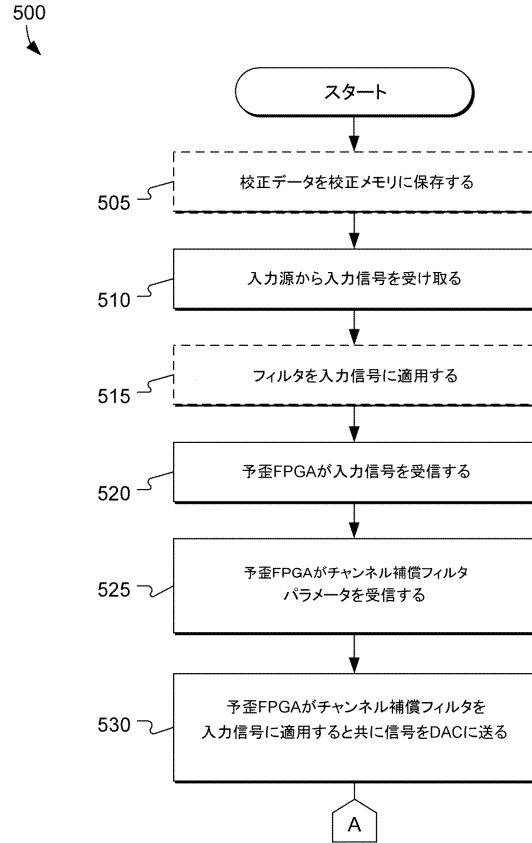
【 図 4 B 】



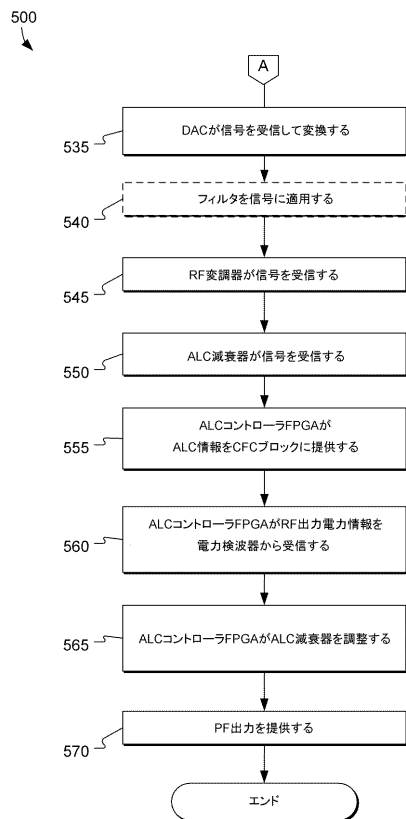
【図4C】



【図5A】



【図5B】



フロントページの続き

(56)参考文献 特開平10-098421(JP,A)
特開2004-120451(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04B	1/04
H03F	1/32
H03G	3/30
H03H	21/00
H04L	27/00