



(12)发明专利

(10)授权公告号 CN 105118416 B

(45)授权公告日 2018.01.05

(21)申请号 201510613608.6

G06F 3/041(2006.01)

(22)申请日 2015.09.23

(56)对比文件

(65)同一申请的已公布的文献号
申请公布号 CN 105118416 A

CN 105185333 A, 2015.12.23,
CN 101752004 A, 2010.06.23,
CN 101752004 A, 2010.06.23,
CN 202771779 U, 2013.03.06,
CN 102945651 A, 2013.02.27,
JP 2000250478 A, 2000.09.14,
US 2015015558 A1, 2015.01.15,

(43)申请公布日 2015.12.02

(73)专利权人 深圳市华星光电技术有限公司
地址 518006 广东省深圳市光明新区塘明
大道9-2号

审查员 孟慧慧

专利权人 武汉华星光电技术有限公司

(72)发明人 肖军城 戴荣磊 颜尧 曹尚操

(74)专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280

代理人 何青瓦

(51) Int. Cl.

G09G 3/20(2006.01)

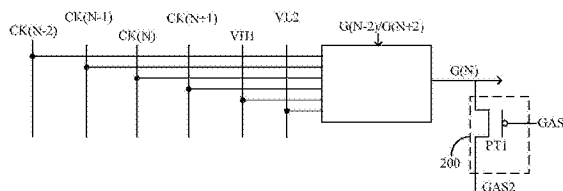
权利要求书2页 说明书9页 附图4页

(54)发明名称

一种GOA电路、显示装置和GOA电路的驱动方法

(57)摘要

本发明公开了一种GOA电路、显示装置及GOA电路的驱动方法,通过将GOA电路设置为包括多个级联的GOA单元,第N级GOA单元用于对显示装置的显示区域的第N级扫描线充电,第N级扫描线连接第一控制信号和第二控制信号,用于在第一控制信号和第二控制信号的作用下实现所有GOA单元对应的扫描线均为充电状态。通过上述方式,本发明能够实现All Gate On功能。



1. 一种GOA电路,用于驱动显示装置,其特征在于,所述GOA电路包括多个级联的GOA单元,第N级所述GOA单元用于对所述显示装置的显示区域的第N级扫描线充电,所述第N级扫描线连接第一控制信号和第二控制信号,用于在所述第一控制信号和所述第二控制信号的作用下实现所有所述GOA单元对应的扫描线均为充电状态,其中N为大于或等于1的正整数;

第N级所述GOA单元包括第N级上拉控制模块、第N级上拉模块、第N级下拉模块和第N级下拉维持模块;

所述第N级上拉控制模块的输出端连接至第N级栅极信号点;

所述第N级上拉模块的输入端连接所述第N级栅极信号点,所述第N级上拉模块的控制端接入第一时钟信号,所述第N级上拉模块的输出端连接所述第N级扫描线;

所述第N级下拉模块的输入端与第N级下拉控制信号点连接,所述第N级下拉模块的控制端接入第一电压信号,所述第N级下拉模块的输出端分别连接所述第N级栅极信号点和所述第N级扫描线;

所述第N级下拉维持模块的控制端接入第二时钟信号或第三时钟信号,所述第N级下拉维持模块的输出端连接所述第N级下拉控制信号点;

所述第N级上拉控制模块输出上拉控制信号至所述第N级栅极信号点,使得所述上拉模块响应所述上拉控制信号将所述第一时钟信号输出至所述第N级扫描线上,当所述第N级扫描线响应所述第一时钟信号充电后,所述第N级下拉维持模块将所述第二时钟信号或所述第三时钟信号输出至所述第N级下拉控制信号点,使得所述下拉模块将所述第一电压信号分别传递至所述第N级栅极信号点和所述第N级扫描线,实现所述第N级扫描线的关闭状态,进而所述第N级下拉维持模块继续响应所述第二时钟信号或所述第三时钟信号维持所述第N级扫描线为关闭状态;

其中,所述第N级上拉控制模块包括第二晶体管、第三晶体管和第四晶体管;

所述第二晶体管的栅极接入正向扫描信号,所述第二晶体管的源极连接前一级所述GOA单元的扫描线,所述第二晶体管的漏极连接所述第四晶体管的源极;

所述第三晶体管的栅极接入反向扫描信号,所述第三晶体管的源极连接后一级所述GOA单元的扫描线,所述第三晶体管的漏极连接所述第四晶体管的源极;

所述第四晶体管的栅极接入第四时钟信号,所述第四晶体管的漏极连接所述第N级栅极信号点。

2. 根据权利要求1所述的GOA电路,其特征在于,第N级所述GOA单元包括一全开控制模块,所述全开控制模块包括第一晶体管,所述第一晶体管的栅极接入所述第一控制信号,所述第一晶体管的源极接入所述第二控制信号,所述第一晶体管的漏极与所述第N级扫描线连接。

3. 根据权利要求1所述的GOA电路,其特征在于,所述第N级上拉模块包括第五晶体管和第一电容器;

所述第五晶体管的栅极连接所述第N级栅极信号点,所述第五晶体管的源极接入所述第一时钟信号,所述第五晶体管的漏极连接所述第N级扫描线;

所述第一电容器的一端连接所述第五晶体管的栅极,所述电容器的另一端连接所述第N级扫描线。

4. 根据权利要求1所述的GOA电路,其特征在于,所述第N级下拉模块包括第六晶体管和

第七晶体管；

所述第六晶体管的栅极连接所述第N级下拉控制信号点，所述第六晶体管的源极接入所述第一电压信号，所述第六晶体管的漏极连接所述第N级栅极信号点；

所述第七晶体管的栅极连接所述第N级下拉控制信号点，所述第七晶体管的源极接入所述第一电压信号，所述第七晶体管的漏极连接所述第N级扫描线；

所述第N级下拉维持模块包括第八晶体管、第九晶体管和第十晶体管；

所述第八晶体管的栅极接入正向扫描信号，所述第八晶体管的源极接入所述第二时钟信号，所述第八晶体管的漏极连接所述第十晶体管的栅极；

所述第九晶体管的栅极接入反向扫描信号，所述第九晶体管的源极接入所述第三时钟信号，所述第九晶体管的漏极连接所述第十晶体管的栅极；

所述第十晶体管的源极接入第二电压信号，所述第十晶体管的漏极连接所述第N级下拉控制信号点。

5. 根据权利要求4所述的GOA电路，其特征在于，所述第N级所述GOA单元还包括下拉稳定模块，所述下拉稳定模块包括第十一晶体管，所述第十一晶体管的栅极接入所述第二控制信号，所述第十一晶体管的源极接入所述第一电压信号，所述第十一晶体管的漏极连接所述第N级下拉控制信号点。

6. 一种显示装置，其特征在于，所述显示装置包括如权利要求1至5中任意一项所述的GOA电路。

一种GOA电路、显示装置和GOA电路的驱动方法

技术领域

[0001] 本发明涉及显示技术领域,特别是涉及一种GOA电路、显示装置和GOA电路的驱动方法。

背景技术

[0002] 阵列基板行驱动(GOA, Gate Driver On Array或Gate On Array)电路,是利用现有薄膜晶体管显示装置(TFT-LCD)阵列(Array)制程将栅线(Gate)行扫描驱动信号电路制作在阵列基板上,以实现栅线逐行扫描的驱动方式的一项技术。其与传统的柔性电路板(COF)和玻璃电路板(COG)工艺相比,不仅节省了制作成本,而且还可以省去栅极方向绑定(Bonding)的工艺,对提升产能极为有利,并提高了显示装置的集成度。

[0003] 在实际使用时,由于显示装置通常需要搭配触摸屏(Touch Panel)功能进行使用,因此GOA电路需要实现信号中停以配合触摸屏的功能,如配合触摸屏的扫描。通常情况下,GOA电路在实现信号中停后,需将显示装置进行黑屏唤醒,此时GOA电路需要在一段时间内将所有的栅线均设置为充电或导通状态,通过向数据线施加黑电压以清空像素电容中残留的电位,以使得显示装置的显示效果良好,此段时间称为栅线全开(All Gate On)阶段。但是现有技术中的GOA电路在实现All Gate On时会存在功能失效风险,进而不能稳定的实现All Gate On功能。

[0004] 综上,现有技术中的GOA电路不能满足稳定地实现All Gate On功能的要求。

发明内容

[0005] 本发明主要解决的技术问题是提供一种GOA电路、显示装置及GOA电路的驱动方法,能够稳定地实现All Gate On功能。

[0006] 为解决上述技术问题,本发明采用的一个技术方案是,提供一种GOA电路,用于驱动显示装置,该GOA电路包括多个级联的GOA单元,第N级GOA单元用于对显示装置的显示区域的第N级扫描线充电,第N级扫描线连接第一控制信号和第二控制信号,用于在第一控制信号和第二控制信号的作用下实现所有GOA单元对应的扫描线均为充电状态,其中N为大于或等于1的正整数。

[0007] 其中,第N级GOA单元包括一全开控制模块,全开控制模块包括第一晶体管,第一晶体管的栅极接入第一控制信号,第一晶体管的源极接入第二控制信号,第一晶体管的漏极与第N级扫描线连接。

[0008] 其中,第N级GOA单元包括第N级上拉控制模块、第N级上拉模块、第N级下拉模块和第N级下拉维持模块;

[0009] 第N级上拉控制模块的输出端连接至第N级栅极信号点;

[0010] 第N级上拉模块的输入端连接第N级栅极信号点,第N级上拉模块的控制端接入第一时钟信号,第N级上拉模块的输出端连接第N级扫描线;

[0011] 第N级下拉模块的输入端与第N级下拉控制信号点连接,第N级下拉模块的控制端

接入第一电压信号,第N级下拉模块的输出端分别连接第N级栅极信号点和第N级扫描线;

[0012] 第N级下拉维持模块的控制端接入第二时钟信号或第三时钟信号,第N级下拉维持模块的输出端连接第N级下拉控制信号点。

[0013] 其中,第N级上拉控制模块输出上拉控制信号至第N级栅极信号点,使得上拉模块响应上拉控制信号将第一时钟信号输出至第N级扫描线上,当第N级扫描线响应第一时钟信号充电后,第N级下拉维持模块将第二时钟信号或第三时钟信号输出至第N级下拉控制信号点,使得下拉模块将第一电压信号分别传递至第N级栅极信号点和第N级扫描线,实现第N级扫描线的关闭状态,进而第N级下拉维持模块继续响应第二时钟信号或第三时钟信号维持第N级扫描线为关闭状态。

[0014] 其中,第N级上拉控制模块包括第二晶体管、第三晶体管和第四晶体管;

[0015] 第二晶体管的栅极接入正向扫描信号,第二晶体管的源极连接前一级GOA单元的扫描线,第二晶体管的漏极连接第四晶体管的源极;

[0016] 第三晶体管的栅极接入反向扫描信号,第三晶体管的源极连接后一级GOA单元的扫描线,第三晶体管的漏极连接第四晶体管的源极;

[0017] 第四晶体管的栅极接入第四时钟信号,第四晶体管的漏极连接第N级栅极信号点。

[0018] 其中,第N级上拉模块包括第五晶体管和第一电容器;

[0019] 第五晶体管的栅极连接第N级栅极信号点,第五晶体管的源极接入第一时钟信号,第五晶体管的漏极连接第N级扫描线;

[0020] 第一电容器的一端连接第五晶体管的栅极,电容器的另一端连接第N级扫描线。

[0021] 其中,第N级下拉模块包括第六晶体管和第七晶体管;

[0022] 第六晶体管的栅极连接第N级下拉控制信号点,第六晶体管的源极接入第一电压信号,第六晶体管的漏极连接第N级栅极信号点;

[0023] 第七晶体管的栅极连接第N级下拉控制信号点,第七晶体管的源极接入第一电压信号,第七晶体管的漏极连接第N级扫描线;

[0024] 第N级下拉维持模块包括第八晶体管、第九晶体管和第十晶体管;

[0025] 第八晶体管的栅极接入正向扫描信号,第八晶体管的源极接入第二时钟信号,第八晶体管的漏极连接第十晶体管的栅极;

[0026] 第九晶体管的栅极接入反向扫描信号,第九晶体管的源极接入第三时钟信号,第九晶体管的漏极连接第十晶体管的栅极;

[0027] 第十晶体管的源极接入第二电压信号,第十晶体管的漏极连接第N级下拉控制信号点。

[0028] 其中,第N级GOA单元还包括下拉稳定模块,下拉稳定模块包括第十一晶体管,第十一晶体管的栅极接入第二控制信号,第十一晶体管的源极接入第一电压信号,第十一晶体管的漏极连接第N级下拉控制信号点。

[0029] 为解决上述技术问题,本发明采用的另一个技术方案是,提供一种显示装置,该显示装置包括上述的GOA电路。

[0030] 为解决上述技术问题,本发明采用的又一个技术方案是,提供一种GOA电路的驱动方法,该驱动方法包括以下步骤:

[0031] 将GOA电路设置为多个级联的GOA单元,且设置第N级GOA单元用于对显示装置的显

示区域的第N级扫描线充电；

[0032] 在All Gate On阶段时,将第N级扫描线连接第一控制信号和第二控制信号,以实现在第一控制信号和第二控制信号的作用下所有GOA单元对应的扫描线均为充电状态;其中N为大于或等于1的正整数。

[0033] 本发明的有益效果是:本发明提供的GOA电路、显示装置及GOA电路的驱动方法,其是将GOA电路设置为包括多个级联的GOA单元,第N级GOA单元对显示区域的第N级扫描线充电,通过将第N级扫描线连接第一控制信号和第二控制信号,用于在第一控制信号和第二控制信号的作用下实现所有GOA单元对应的扫描线均为充电状态。与现有技术相比,本发明通过将每级扫描线均连接第一控制信号和第二控制信号,使得在第一控制信号和第二控制信号有效时将对应的每级扫描线均形成充电或打开状态,以稳定地实现All Gate On功能。

附图说明

[0034] 图1是本发明提供的一种GOA电路一实施方式中各GOA单元连接的结构示意图;

[0035] 图2是图1中全开控制信号(GAS)与第N级GOA单元连接的具体电路的结构示意图;

[0036] 图3是图1中第N级GOA单元的电路连接的结构示意图;

[0037] 图4是图3中第N级GOA单元的具体电路连接的结构示意图;

[0038] 图5是图4中第N级GOA单元在All Gate On阶段和正常显示阶段相关信号的波形示意图;

[0039] 图6是本发明提供的一种显示装置一实施方式的结构示意图;

[0040] 图7是本发明提供的GOA电路的驱动方法一实施方式的流程示意图。

具体实施方式

[0041] 下面结合附图和实施方式对本发明进行详细说明。

[0042] 请参阅图1,图1是本发明提供的一种GOA电路一实施方式中各GOA单元连接的结构示意图。如图1所示,该GOA电路包括多个级联的GOA单元,第N级GOA单元用于对显示装置的显示区域的第N级扫描线(G(N))充电,第N级扫描线(G(N))连接第一控制信号(GAS1)和第二控制信号(GAS2),用于在第一控制信号(GAS1)和第二控制信号(GAS2)的作用下实现所有GOA单元对应的扫描线均为充电状态,其中N为大于或等于1的正整数。

[0043] 其中,图1示例为包括四个GOA单元,分别是第N-2级、N-1级、N级、N+1级GOA单元,分别连接四个脉冲信号CK(N-2)、CK(N-1)、CK(N)和CK(N+1),及第一电压信号VH1和第二电压信号VL2,且该四个GOA单元为隔行扫描驱动,进一步的,本实施方式还提供正向扫描驱动和反向扫描驱动,若为正向扫描驱动时,第N-2级、第N-1级、第N级和第N+1级GOA单元的输入端输入触发信号(或称栅极信号)分别为第N-4级、第N-3级、第N-2级和第N-1级GOA单元的扫描线(G(N-4))、(G(N-3))、(G(N-2))和(G(N-1))上的信号;若为反向扫描驱动时,第N-2级、第N-1级、第N级和第N+1级GOA单元的输入触发信号分别为第N级、第N+1级、第N+2级和第N+3级GOA单元的扫描线(G(N))、(G(N+1))、(G(N+2))和(G(N+3))上的信号。

[0044] 请参阅图2,图2是图1中全开控制信号(GAS)与第N级GOA单元电路连接的示意图。如图2所示,第N级GOA单元包括一全开控制模块200,该全开控制模块200包括第一晶体管PT1,其中,本说明书及所有附图以晶体管均为P型场效应管为例进行说明,该第一晶体管

PT1的栅极接入第一控制信号(GAS1),第一晶体管PT1的源极接入第二控制信号(GAS2),第一晶体管PT1的漏极与第N级扫描线(G(N))连接。

[0045] 可以理解的是,当第一控制信号(GAS1)和第二控制信号(GAS2)均为低电位时,第一晶体管PT1导通,将其源极的第二控制信号(GAS2)传递至漏极,即第N级扫描线(G(N))也为低电位,进而将该级扫描线打开或呈充电状态。同理在All Gate On阶段时通过控制第一控制信号(GAS1)和第二控制信号(GAS2)将全部GOA单元对应的所有扫描线均打开或呈充电状态,以在此时通过向数据线上施加黑电压而将像素电容中的残留电位清除,进而实现All Gate On功能。

[0046] 请参阅图3,图3是图1中第N级GOA单元的电路连接的示意图。如图3所示,第N级GOA单元包括第N级上拉控制模块410、第N级上拉模块420、第N级下拉模块430和第N级下拉维持模块440;第N级上拉控制模块410的输出端连接至第N级栅极信号点(Q(N));第N级上拉模块420的输入端连接第N级栅极信号点(Q(N)),第N级上拉模块420的控制端接入第一时钟信号(CK(N)),第N级上拉模块420的输出端连接第N级扫描线(G(N));第N级下拉模块430的输入端与第N级下拉控制信号点(P(N))连接,第N级下拉模块430的控制端接入第一电压信号VH1,第N级下拉模块430的输出端分别连接第N级栅极信号点(Q(N))和第N级扫描线(G(N));第N级下拉维持模块440的控制端接入第二时钟信号(CK(N+1))或第三时钟信号CK(N-1),第N级下拉维持模块440的输出端连接第N级下拉控制信号点(P(N));

[0047] 其中,在正常显示阶段时,第N级上拉控制模块410输出上拉控制信号至第N级栅极信号点(Q(N)),使得上拉模块420响应上拉控制信号将第一时钟信号(CK(N))输出至第N级扫描线(G(N))上,当第N级扫描线(G(N))响应第一时钟信号(CK(N))充电后,第N级下拉维持模块440将第二时钟信号(CK(N+1))或第三时钟信号(CK(N-1))输出至第N级下拉控制信号点(P(N)),使得下拉模块430将第一电压信号VH1分别传递至第N级栅极信号点(Q(N))和第N级扫描线(G(N)),实现第N级扫描线(G(N))的关闭状态,进而第N级下拉维持模块440继续响应第二时钟信号(CK(N+1))或第三时钟信号CK(N-1)维持第N级扫描线(G(N))为关闭状态。

[0048] 其中,在显示装置的正常显示阶段,第N级GOA单元的上拉控制模块410的输入端一般连接上一级GOA单元如第N+2或第N-2级GOA单元传递过来的级传信号或栅极信号即第N+2或第N-2级扫描线(G(N+2))或(G(N-2))上的信号,用于控制上拉模块420的打开时间点即输出上拉控制信号,上拉模块420用于响应上拉控制信号将第一时钟信号(CK(N))输出至第N级扫描线(G(N))以打开该级扫描线,用于向对应的数据线上施加当前帧图像正常显示所需的灰阶电压,当该行子像素接收灰阶电压进行显示后,第N级下拉维持模块440还在第二电压信号VL2的作用下将第二时钟信号(CK(N+1))或第三时钟信号(CK(N-1))输出至第N级下拉控制信号点(P(N)),进而通过第N级下拉模块430将第N级扫描线(G(N))设置为关闭状态,直到显示下一帧图像时再次打开该级扫描线。

[0049] 其中,本实施方式中的GOA电路均以P型场效应管进行示例说明,则设置第一电压信号VH1为高电平,第二电压信号VL2为低电平。

[0050] 请参阅图4,图4是图3中第N级GOA单元的具体电路连接的结构示意图。如图4所示,第N级上拉控制模块410包括第二晶体管PT2、第三晶体管PT3和第四晶体管PT4。

[0051] 该第二晶体管PT2的栅极接入正向扫描信号(U2D),该第二晶体管PT2的源极连接前一级GOA单元即第N-2级GOA单元的扫描线(G(N-2)),第二晶体管PT2的漏极连接第四晶体

管PT4的源极。

[0052] 第三晶体管PT3的栅极接入反向扫描信号(D2U),第三晶体管PT3的源极连接后一级GOA单元即第N+2级GOA单元的扫描线(G(N+2)),第三晶体管PT3的漏极连接第四晶体管PT4的源极。

[0053] 第四晶体管PT4的栅极接入第四时钟信号(CK(N-2)),第四晶体管PT4的漏极连接第N级栅极信号点(Q(N))。

[0054] 其中,第N级上拉模块420包括第五晶体管PT5和第一电容器C1;

[0055] 第五晶体管PT5的栅极连接第N级栅极信号点(Q(N)),第五晶体管PT5的源极接入第一时钟信号(CK(N)),第五晶体管PT5的漏极连接第N级扫描线(G(N));

[0056] 第一电容器C1的一端连接第五晶体管PT5的栅极,电容器C1的另一端连接第N级扫描线(G(N))。

[0057] 其中,第N级下拉模块430包括第六晶体管PT6和第七晶体管PT7。

[0058] 第六晶体管PT6的栅极连接第N级下拉控制信号点(P(N)),第六晶体管PT6的源极接入第一电压信号VH1,第六晶体管PT6的漏极连接第N级栅极信号点(Q(N))。

[0059] 第七晶体管PT7的栅极连接第N级下拉控制信号点(P(N)),第七晶体管PT7的源极接入第一电压信号VH1,第七晶体管PT7的漏极连接第N级扫描线(G(N))。

[0060] 其中,通常在第一电压信号VH1与第N级下拉控制信号点(P(N))之间设置第二电容器C2以维持和存储第N级下拉控制信号点(P(N))的电位,使之更稳定。

[0061] 其中,第N级下拉维持模块440包括第八晶体管PT8、第九晶体管PT9和第十晶体管PT10;

[0062] 第八晶体管PT8的栅极接入正向扫描信号(U2D),第八晶体管PT8的源极接入第二时钟信号(CK(N+1)),第八晶体管PT8的漏极连接第十晶体管PT10的栅极;

[0063] 第九晶体管PT9的栅极接入反向扫描信号(D2U),第九晶体管PT9的源极接入第三时钟信号(CK(N-1)),第九晶体管PT9的漏极连接第十晶体管PT10的栅极;

[0064] 第十晶体管PT10的源极接入第二电压信号VL2,第十晶体管PT10的漏极连接第N级下拉控制信号点(P(N))。

[0065] 其中,图4还示出了第N级GOA单元包括的全开控制模块200。

[0066] 其中,第N级GOA单元还包括下拉稳定模块500,下拉稳定模块500包括第十一晶体管PT11,第十一晶体管PT11的栅极接入第二控制信号(GAS2),第十一晶体管PT11的源极接入第一电压信号VH1,第十一晶体管PT11的漏极连接第N级下拉控制信号点(P(N))。该下拉稳定模块500用于在All Gate On阶段时,由于第二控制信号(GAS2)的作用而使得下拉模块430中的第N级下拉控制信号点(P(N))位于第一电压信号VH1的高电位,使得第七晶体管PT7和第六晶体管PT6位于截止或关闭状态,进而第N级扫描线(G(N))仅受GOA单元中全开控制模块200的影响。

[0067] 其中,在All Gate On阶段后进入正常显示阶段时,为了增加GOA电路的稳定性,在每级的下拉模块中设置第十二晶体管PT12和第十三晶体管PT13使得每级GOA单元电路中各节点的电位更稳定。具体的,在如图4所示的第N级GOA单元中,第十二晶体管PT12的栅极连接第N级栅极信号点(Q(N)),第十二晶体管PT12的漏极接入第一电压信号VH1,第十二晶体管PT12的源极连接第N级下拉控制信号点(P(N))。第十三晶体管PT13的栅极连接前一级GOA

单元的扫描线,若正向扫描驱动时,则连接第N-2级GOA单元的扫描线(G(N-2)),若反向扫描驱动时,则连接第N+2级GOA单元的扫描线(G(N+2));第十三晶体管PT13的漏极接入第一电压信号VH1,第十三晶体管PT13的源极连接第N级下拉控制信号点(P(N))。

[0068] 此外,为了减少第N级栅极信号点(Q(N))与第一电容器C1之间的漏电流,设置第十四晶体管PT14满足该要求,具体的第十四晶体管PT14的栅极连接第二电压信号VL2,使得第十四晶体管为常开状态,且其漏极和源极分别连接第N级栅极信号点(Q(N))和第一电容器C1。

[0069] 请参阅图5,图5是图4中第N级GOA单元在All Gate On阶段和正常显示阶段相关信号的波形示意图。

[0070] 如图5所示,在All Gate On阶段时,四个脉冲信号,CK(N-2)、CK(N-1)、CK(N)、CK(N+1)均为高电平电位,此时由于第一控制信号(GAS1)和第二控制信号(GAS2)均为低电平电位,使得第一晶体管PT1和第十一晶体管PT11导通,第N级下拉控制信号点(P(N))为第一电压信号VH1,其为高电位,使得第六晶体管PT6和第七晶体管PT7截止,第N级扫描线(G(N))为第二控制信号(GAS2),处于充电状态,能够打开该行扫描线。

[0071] 同理可知,在All Gate On阶段时,由于本发明提供的GOA电路中每级GOA单元均有相似的电路结构,具体在于四个脉冲信号的连接方式不同,该四个脉冲信号为占空比分别为1/4的脉冲周期,且相邻的脉冲信号间隔设置,即CK(N)与CK(N+4i)为相同的脉冲信号,i为整数。如CK(N-2)、CK(N-1)、CK(N)、CK(N+1)分别与CK(N+2)、CK(N+3)、CK(N+4)、CK(N+5)为相同的脉冲信号。因此每级GOA单元在第一控制信号(GAS1)和第二控制信号(GAS2)的作用下均能实现对应的扫描线处于充电或打开状态,以实现All Gate On功能。

[0072] 在All Gate On阶段后,即第0区间,第一控制信号(GAS1)为低电平,第二控制信号(GAS2)为高电平,此时第N级扫描线(G(N))为高电平,该行扫描线截止。每级GOA单元在第一控制信号(GAS1)和第二控制信号(GAS2)的作用下均能实现对应的扫描线处于截止状态,以实现在All Gate On阶段后所有扫描线均处于截止状态。

[0073] 继续参阅图4所示,在进入正常显示阶段(图5中示例为Display Properly),第一控制信号(GAS1)和第二控制信号(GAS2)在该阶段为高电平,其可分为图5中1-5共五个区间,实现第N级GOA单元的上拉控制、上拉维持、上拉、下拉和下拉维持。

[0074] 结合图4所示,以正向扫描驱动为例进行说明,即U2D信号为低电位,D2U信号为高电位。其中,第1区间为上拉控制区间,上拉控制模块410接收前一级GOA单元即第N-2级GOA单元的扫描线(G(N-2))的信号,其为低电位,由于正向扫描驱动,第二晶体管PT2打开,且其漏极为低电位,此时CK(N-2)也为低电位,使得第四晶体管PT4打开,进而第N级栅极信号点(Q(N))为低电位。由于此时第一时钟信号CK(N)为高电平,即使上拉模块420将第一时钟信号CK(N)传递至第N级扫描线也不能对第N级扫描线充电。

[0075] 此外第十二晶体管PT12和第十三晶体管PT13打开,使得第N级下拉控制信号点(P(N))为第一电压信号VH1,其为高电位,第六晶体管PT6和第七晶体管PT7截止,使得第N级GOA单元中各节点电位稳定。

[0076] 其中,第2区间为上拉维持区间,此时第四脉冲信号CK(N-2)为高电平,第四晶体管PT4和第十三晶体管PT13截止,该GOA单元中各节点的电位基本不变。

[0077] 其中,第3区间为上拉区间,此时第一时钟信号CK(N)为低电平,由于第十四晶体管

PT14是常开状态,使得第五晶体管PT5将第一时钟信号CK(N)传递至第N级扫描线(G(N)),以打开该级扫描线。

[0078] 其中,第4区间为下拉区间,此时第八晶体管PT8将第二时钟信号CK(N+1)的低电位信号传递至第十晶体管PT10的栅极,第十晶体管PT10为导通状态,将第二电压信号VL2的低电位传递至第N级下拉控制信号点(P(N)),使得第六晶体管PT6和第七晶体管PT7导通,进而第N级栅极信号点(Q(N))和第N级扫描线(G(N))均为第一电压信号VH1的高电位,使得第N级扫描线(G(N))为截止状态。

[0079] 其中,第5区间为下拉维持区间,此时第二时钟信号CK(N+1)为高电平,进而第十晶体管PT10截止,该级GOA单元中各节点电位基本不变,直至下一帧图像需要该级扫描线驱动时重新进入正常显示阶段的1至5区间。

[0080] 可以理解的,在All Gate on阶段后进入正常显示时,需要将各级扫描线复位,使之为截止或关闭状态,其中图5中0区间为复位区间,通常控制第N级下拉控制信号点(P(N))为低电位,使得第六晶体管PT6和第七晶体管PT7导通,进而将第一电压信号VH1的高电位分别传递至第N级栅极信号点(Q(N))和第N级扫描线(G(N))。

[0081] 其中,图5中还示出了第N+2级GOA单元中第N+2级扫描线(G(N+2))在All Gate On阶段和正常显示阶段时的电位变化。具体的,在All Gate On阶段由于第一控制信号(GAS1)和第二控制信号(GAS2)的影响,其为低电位以打开该行的扫描线用于清除残留电位;在正常显示阶段,其前一级GOA单元即第N级GOA单元正常显示后,第四时钟信号CK(N-2)(其与CK(N+2)相同)为低电平时,打开该行的扫描线,以进行该行扫描线连接的像素单元的正常灰阶显示。

[0082] 其中,若第N级GOA单元工作在反向扫描驱动时,则正向扫描信号(U2D)为高电位,反向扫描信号(D2U)为低电位,每级GOA单元电路中各节点变化具有与上述正向扫描驱动时的变化相似,此处不再赘述。

[0083] 其中,在其他实施方式中,上述GOA电路中每个晶体管还可以是N型场效应管、P型三极管、N型三极管。当晶体管为P型时,各节点的电位与上述正向扫描驱动时的电位变化相同;晶体管为N型时,各节点的电位与上述正向扫描驱动时的电位变化相反,且第一电压信号VH1和第二电压信号VL2也与上述正向扫描驱动时的电位相反,即当晶体管为N型时,第一电压信号VH1为低电平,第二电压信号VL2为高电平,此处不再赘述。

[0084] 请参阅图6,图6是本发明提供的一种显示装置一实施方式的结构示意图。该显示装置70包括上述本发明提供的一种GOA电路。

[0085] 具体的,该显示装置70是液晶显示器或发光二极管显示器(LED显示器),其包括显示面板710和上述本发明提供的一种GOA电路720。

[0086] 请参阅图7,图7是本发明提供的GOA电路的驱动方法一实施方式的流程示意图。其中图7中的GOA电路与上述显示装置中包括的GOA电路720具有相同的结构和作用,即与上述本发明提供的一种GOA电路相同,该驱动方法包括以下步骤:

[0087] 步骤801:将GOA电路设置为多个级联的GOA单元,且设置第N级GOA单元用于对显示装置的显示区域的第N级扫描线(G(N))充电;

[0088] 步骤802:在All Gate On阶段时,将第N级扫描线(G(N))连接第一控制信号(GAS1)和第二控制信号(GAS2),以实现在第一控制信号(GAS1)和第二控制信号(GAS2)的作用下所

有GOA单元对应的扫描线均为充电状态；

[0089] 其中N为大于或等于1的正整数。

[0090] 其中,步骤802中将第N级扫描线(G(N))连接第一控制信号(GAS1)和第二控制信号(GAS2)的步骤进一步包括:将第一晶体管的栅极接入第一控制信号(GAS1),将第一晶体管的源极接入第二控制信号(GAS2),同时将第一晶体管的漏极与第N级扫描线(G(N))连接。

[0091] 可以理解的是,若第一晶体管为P型晶体管,且第一控制信号(GAS1)和第二控制信号(GAS2)为低电平时,则第一晶体管导通,且其漏极与源极的电位相同为第二控制信号(GAS2)的低电平,此时第N级扫描线(G(N))也是低电平,使其为充电状态或打开状态。

[0092] 其中,在步骤802之后,该驱动方法还进一步包括以下步骤:

[0093] 在正常显示阶段时,将第N级上拉控制模块输出上拉控制信号至第N级栅极信号点(Q(N));

[0094] 上拉模块响应上拉控制信号将第一时钟信号(CK(N))输出至第N级扫描线(G(N));

[0095] 当第N级扫描线(G(N))响应第一时钟信号(CK(N))充电后,第N级下拉维持模块将第二时钟信号(CK(N+1))或第三时钟信号(CK(N-1))输出至第N级下拉控制信号点(P(N));

[0096] 下拉模块根据第N级下拉控制信号点(P(N))的电位,将第一电压信号分别传递至第N级栅极信号点(Q(N))和第N级扫描线(G(N))以实现第N级扫描线(G(N))的关闭状态;

[0097] 第N级下拉维持模块继续响应第二时钟信号(CK(N+1))或第三时钟信号CK(N-1))维持第N级扫描线(G(N))为关闭状态。

[0098] 其中,第N级上拉控制模块、第N级上拉模块、第N级下拉模块和第N级下拉维持模块与上述GOA电路中第N级上拉控制模块410、第N级上拉模块420、第N级下拉模块430和第N级下拉维持模块440相同,其能够对应执行在正常显示阶段时每个模块的功能,此时不再赘述。

[0099] 其中,在正常显示阶段时,将第N级上拉控制模块输出上拉控制信号至第N级栅极信号点(Q(N))的步骤之前,该驱动方法还包括步骤:

[0100] 将第N级扫描线复位以呈截止或关闭状态。

[0101] 进一步的,在执行步骤802时,该驱动方法还进一步包括以下步骤:

[0102] 在All Gate On阶段时,通过第二控制信号(GAS2)打开第十一晶体管的栅极,将第十一晶体管的源极接入的第一电压信号传递至第N级下拉控制信号点(P(N)),使得下拉模块与第N级栅极信号点(Q(N))和第N级扫描线(G(N))呈断开状态。参考上述相关内容,使得下拉模块与第N级栅极信号点(Q(N))和第N级扫描线(G(N))呈断开状态具体是使得下拉模块与第N级下拉控制信号点(P(N))连接的第六晶体管和第七晶体管截止。其中本实施方式中第六晶体管和第七晶体管截止能够使得整个GOA电路在All Gate On阶段时各节点电位更稳定。

[0103] 区别于现有技术,本发明提供的GOA电路、显示装置及GOA电路的驱动方法,通过将GOA电路设置为包括多个级联的GOA单元,第N级GOA单元用于对显示区域的第N级扫描线(G(N))充电,在All Gate On阶段时,将第N级扫描线(G(N))连接第一控制信号(GAS1)和第二控制信号(GAS2),用于在第一控制信号(GAS1)和第二控制信号(GAS2)的作用下实现所有GOA单元对应的第N级扫描线(G(N))均为充电状态,同时设置第十一晶体管的栅极连接该第二控制信号(GAS2),以稳定控制第N级下拉控制信号点(P(N))的电位。在正常显示阶段,通

过第N级上拉控制模块、第N级上拉模块、第N级下拉模块和第N级下拉维持模块实现第N级扫描线(G(N))的充电状态及充电后的关闭状态。

[0104] 以上仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

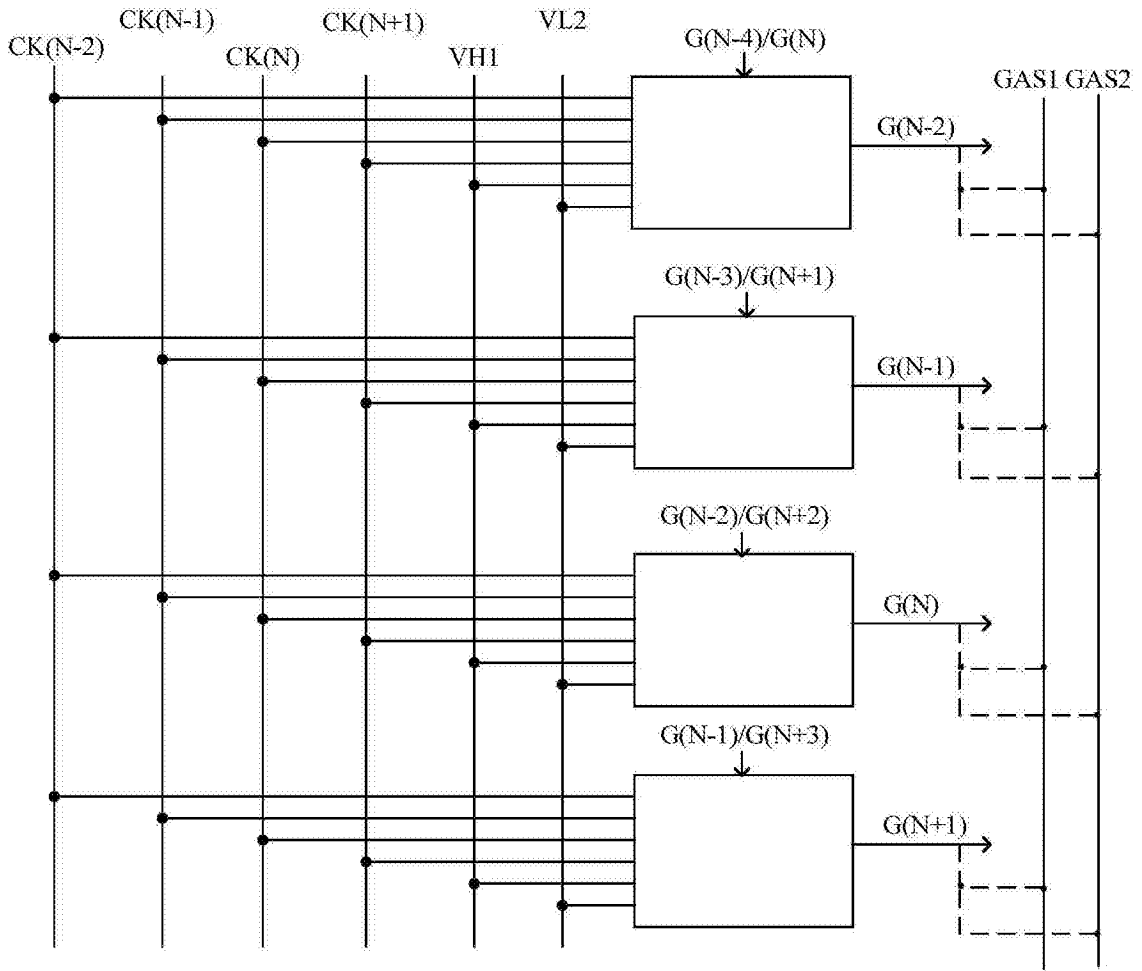


图1

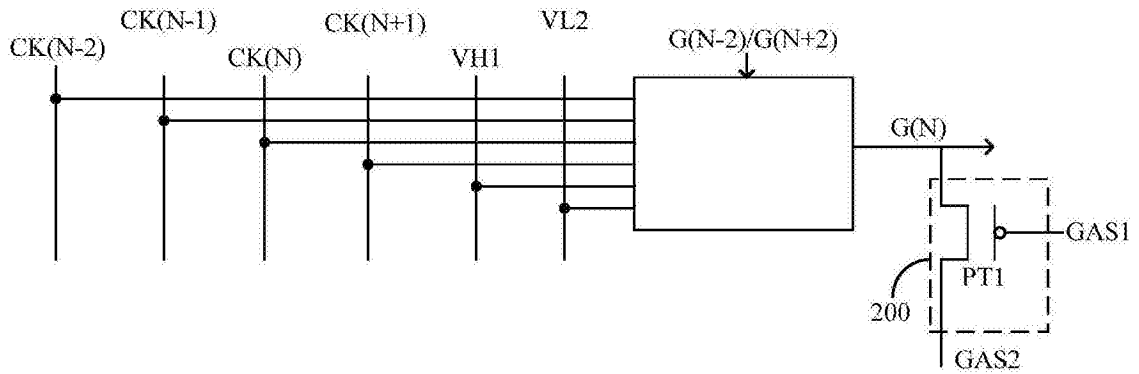


图2

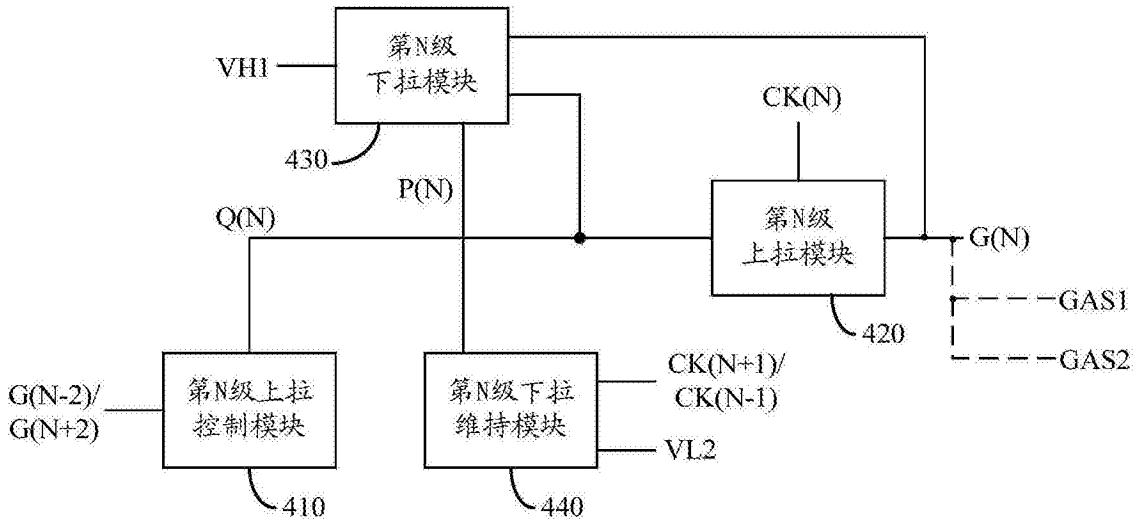


图3

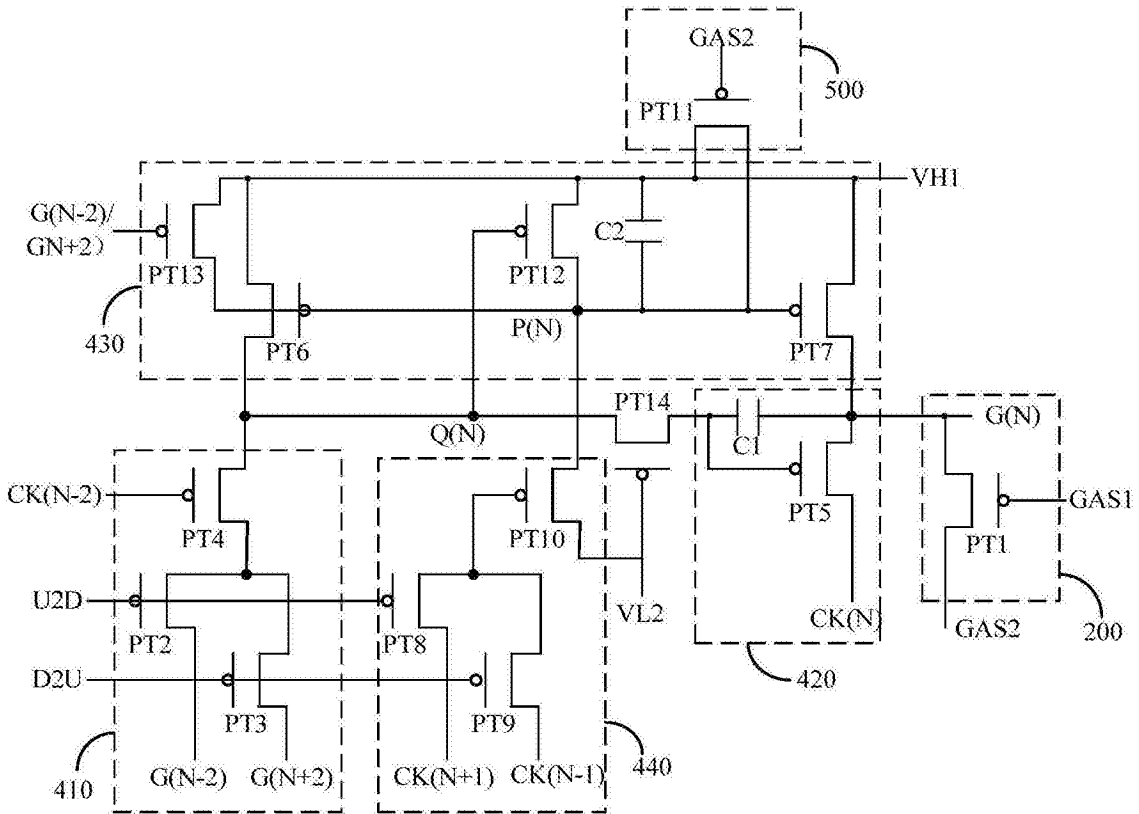


图4

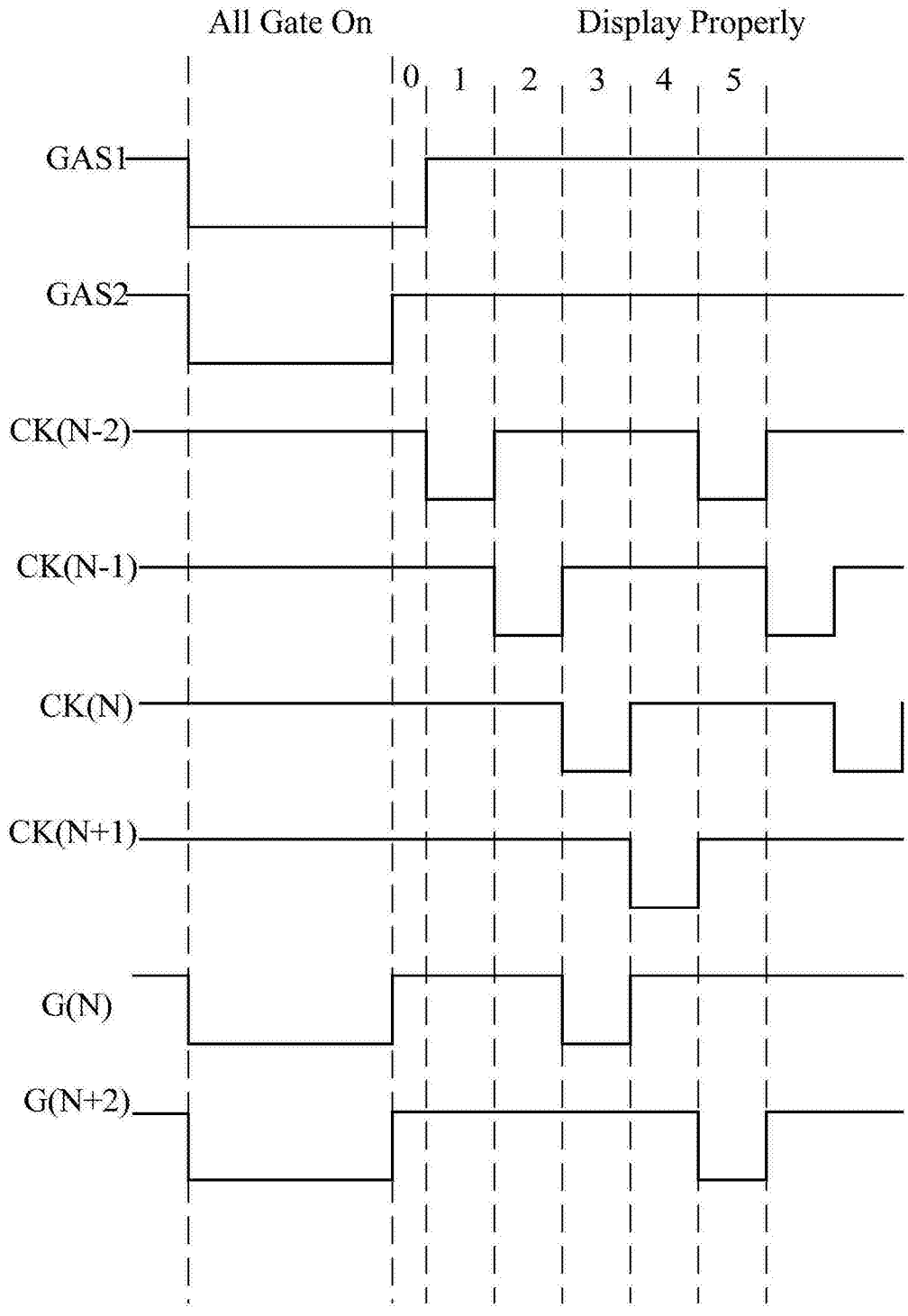


图5

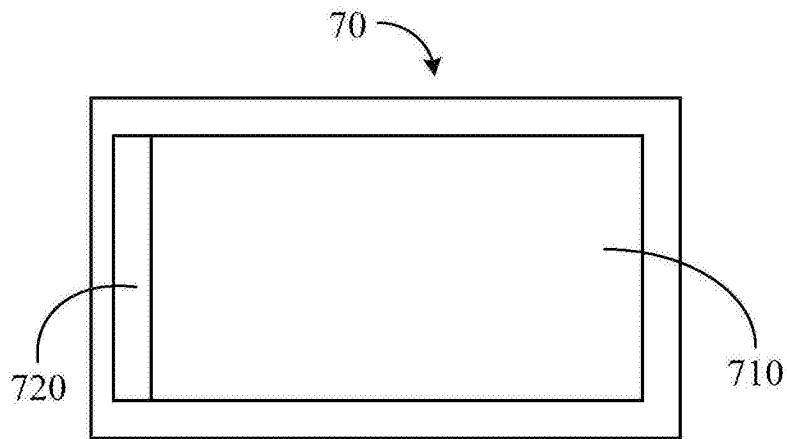


图6

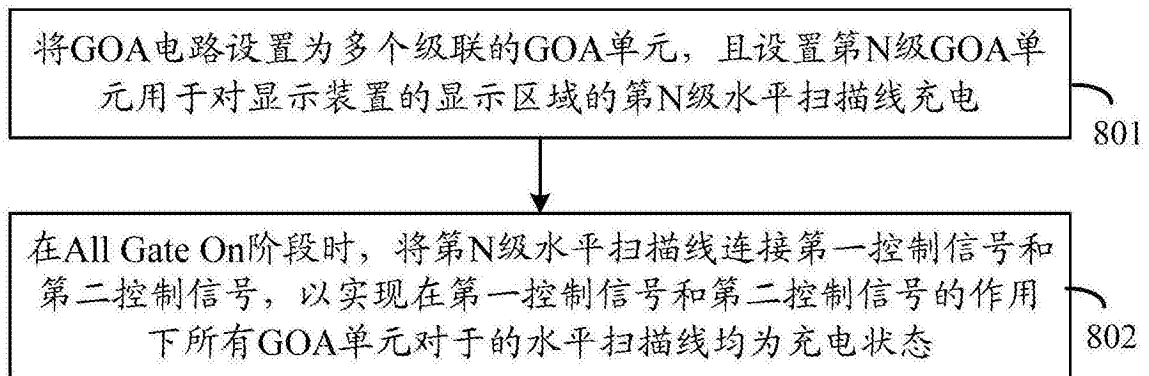


图7