



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 696 29 068 T2** 2004.04.22

(12)

Übersetzung der europäischen Patentschrift

(97) **EP 0 732 700 B1**

(21) Deutsches Aktenzeichen: **696 29 068.5**

(96) Europäisches Aktenzeichen: **96 301 737.1**

(96) Europäischer Anmeldetag: **14.03.1996**

(97) Erstveröffentlichung durch das EPA: **18.09.1996**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **16.07.2003**

(47) Veröffentlichungstag im Patentblatt: **22.04.2004**

(51) Int Cl.7: **G11C 11/409**

(30) Unionspriorität:

8345495 **16.03.1995** **JP**

8717095 **12.04.1995** **JP**

(73) Patentinhaber:

**Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa,
JP**

(74) Vertreter:

Henkel, Feiler & Hänzel, 81675 München

(84) Benannte Vertragsstaaten:

DE, FR, GB

(72) Erfinder:

**Takashima, Daisaburo, Tokyo 105, JP; Inaba,
Tsuneo, Tokyo 105, JP; Oowaki, Yukihito, Tokyo
105, JP; Ohsawa, Takashi, Tokyo 105, JP;
Shiratake, Shinichiro, Tokyo 105, JP**

(54) Bezeichnung: **Halbleiterspeicheranordnung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Diese Erfindung bezieht sich auf eine dynamische Halbleiter-Speichervorrichtung und insbesondere auf eine dynamische Halbleiter-Speichervorrichtung, die ausgestaltet ist, um ein verbessertes Leseverstärkersystem bereitzustellen.

[0002] In den letzten Jahren haben es die Entwicklungen in den Technologien einer ultrafeinen Bearbeitung (ultrafine machining) und die Verbesserungen in der Speicherzellenstruktur unter anderem möglich gemacht, sehr hochintegrierte dynamische Halbleiter-Speichervorrichtungen mit einer Eintransistor-/Einkondensator-Speicherzellenstruktur (hier nachstehend als "DRAM's" bezeichnet) herzustellen, so dass weniger strenge Anforderungen an die Anordnungen von Bitleitungen und Wortleitungen und die Ausgestaltung der Transistoren gelegt werden können. Gegenwärtig wird eine offene Bitleitungskonfiguration (hier nachstehend als eine "offene BL-Konfiguration" bezeichnet) für Speichervorrichtungen bis zu 16 Kbit verwendet, wohingegen eine gefaltete Bitleitungskonfiguration (hier nachstehend als eine "gefaltete BL-Konfiguration" bezeichnet) für Vorrichtungen zwischen 16 Kbit und 64 Mbit verwendet wird, was das Kapazitätsniveau von Speichervorrichtungen der aktuellen Generation darstellt.

[0003] **Fig. 1A** und **1B** zeigen jeweils schematische Darstellungen herkömmlicher offener BL- und gefalteter BL-Konfigurationen mit Leseverstärkern SA, Wortleitungen WL, Bitleitungen BL und Speicherzellen MC. In **Fig. 1A** und **1B** bezeichnet das Bezugssymbol C_{BB} die Kopplungskapazität einer Bitleitung BL.

[0004] Die offene BL-Konfiguration ist dadurch vorteilhaft, dass sie die Fläche verringern kann, die von dem Speicherzellenabschnitt einer Speichervorrichtung belegt wird, da alle Schnittpunkte der Bitleitungen und der Wortleitungen verwendet werden können, um eine Speicherzelle anzuordnen, obwohl sie von einem schwierigen Problem des Anordnens eines jeden Leseverstärkers innerhalb der Breite einer Bitleitung begleitet wird, da sich jede Bitleitung auf zwei Zellenarrays erstreckt. Die offene BL-Konfiguration weist ein zusätzliches Problem rigoroser Ausgestaltungseinschränkungen (design limitations) auf, die dem Leseverstärkerabschnitt aufgrund der Tatsache auferlegt werden, dass jedes Paar von Bitleitungen einen Leseverstärker benötigt, sogar wenn der Leseverstärker abwechselnd zwischen den Zellenarrays angeordnet ist, wie es in **Fig. 1A** gezeigt ist (entspannte offene BL-Konfiguration).

[0005] Andererseits kann bei einer Halbleiter-Speichervorrichtung der gefalteten BL-Konfiguration, die von der Generation der 64-Kbit-DRAMs bis heute „Mainstream“ ist, weil Speicherzellen nur bei der Hälfte der Schnittpunkte der Bitleitungen und der Wortleitungen angeordnet werden können und ein Bitleitungspaar in einem einzigen Zellenarray gebildet wird, ein Leseverstärker für jeweils vier Bitleitungen verwendet werden, wenn die Leseverstärker abwechselnd an den entgegengesetzt angeordneten Enden der Zellenarrays angeordnet sind, wie es in **Fig. 1B** gezeigt ist (eine doppelt gefaltete BL-Konfiguration). Somit kann die gefaltete BL-Konfiguration den Abstand der Anordnung von Leseverstärkern stark verringern, und der Leseverstärkerabschnitt, dessen Ausgestaltungsrichtlinie (design rule) streng ist, kann leicht angeordnet werden, wodurch die gefaltete BL-Konfiguration für DRAMs häufig verwendet wird.

[0006] Die gefaltete BL-Konfiguration weist jedoch einen Nachteil auf, dass Speicherzellen nur bei der Hälfte der Schnittpunkte der Wortleitungen und der Bitleitungen angeordnet werden können, so dass der Speicherzellenabschnitt der Vorrichtung unvermeidbarerweise eine große Fläche als ganzes beansprucht, so dass sich die Abmessungen des Endprodukts oder des Chips erhöhen. Insbesondere ist es extrem schwierig, den Speicherzellenabschnitt einer dynamischen Halbleiter-Speichervorrichtung mit einer gefalteten BL-Konfiguration aufgrund der auferlegten rigorosen Ausgestaltungsanforderungen zu verkleinern, wenn die Vorrichtung von einem 64-Mbit-Typ oder von einem obigen 256-Mbit-Typ ist.

[0007] Kurz gesagt haben bekannte DRAMs das Problem einer Leseverstärkeranordnung aufgrund der rigorosen Anforderungen für die Ausgestaltungsrichtlinie von Leseverstärkern in einer offenen BL-Konfiguration, wohingegen sie in einer gefalteten BL-Konfiguration das Problem einer großen Speicherzellenfläche und somit einer großen Chipgröße haben, obwohl die Ausgestaltungsrichtlinie des Leseverstärkers extrem erleichtert werden kann.

[0008] Die US-5.396.450 beschreibt eine dynamische Direktzugriffsspeichervorrichtung, die eine beschreibt, die der in **Fig. 2** gezeigten dahingehend ähnlich ist, dass sie einen Leseverstärkerabschnitt mit ersten und zweiten Leseverstärkerschaltungen umfasst. Benachbarte Bitleitungspaare der Bitleitungen umfassen ein erstes Bitleitungspaar und ein zweites Bitleitungspaar, von denen eines eine gefaltete Bitleitungsanordnung und das andere eine offene Bitleitungsanordnung aufweist.

[0009] Die EP-A-0.240.155 beschreibt eine Halbleiter-Speichervorrichtung, die Dummy-Zellenkondensatoren aufweist, die zwischen Bitleitungen und Dummy-Wortleitungen verbunden sind, die auf ein Potential zwischen den Hoch- und Niederspannungsversorgungen eingestellt sind, um die Potentialdifferenz zwischen Paaren von Bitleitungen zu verringern.

[0010] Die Erfinder der Erfindung haben bereits eine dynamische Halbleiter-Speichervorrichtung vorgeschlagen, die verglichen mit einer Vorrichtung mit einer gefalteten BL-Konfiguration eine verringerte, von einem Speicherzellenabschnitt belegte Fläche hat, und die zur gleichen Zeit verglichen mit einer Vorrichtung mit der

offenen BL-Konfiguration weniger strengen Anforderungen für die Ausgestaltung eines Leseverstärkers unterworfen wird. Mit anderen Worten wird die vorgeschlagene dynamische Halbleiter-Speichervorrichtung durch optimales Kombinieren der offenen BL-Konfiguration und der gefalteten BL-Konfiguration verwirklicht.

[0011] Beispielsweise werden bei einer bevorzugten Ausführungsform einer dynamischen Halbleiter-Speichervorrichtung der vorher vorgeschlagenen Erfindung mit einer Mehrzahl von Zellenarrays die Speicherzellen selektiv an den Schnittpunkte der Wortleitungen und Bitleitungen angeordnet, wobei ein Teil der Bitleitungen eines ersten Zellenarrays eine Mehrzahl von Bitleitungsarrays bildet und ist mit einem ersten Leseverstärker an einem Ende eines ersten Zellenarrays verbunden, um eine gefaltete BL-Konfiguration zu verwirklichen. Die verbleibenden Bitleitungen des ersten Zellenarrays bilden Paare mit entsprechenden Bitleitungen eines zweiten Zellenarrays, das benachbart dem ersten Zellenarray angeordnet ist, mit einem dazwischen angeordneten Leseverstärker, um eine offene BL-Konfiguration zu verwirklichen. **Fig. 2** und 3A bis 3C veranschaulichen die Konfiguration der obigen Anordnung und ihren Betrieb.

[0012] Bei einer weiteren vorher vorgeschlagenen Erfindung umfasst die dynamische Halbleiter-Speichervorrichtung eine Mehrzahl von Zellenarrays, wobei die Speicherzellen selektiv an den Schnittpunkte von Wortleitungen und Bitleitungen angeordnet sind, wobei ein Teil der Bitleitungen eines ersten Zellenarrays eine Mehrzahl von Bitleitungsarrays bilden und mit einem ersten Leseverstärker an einem Ende eines ersten Zellenarrays verbunden sind, um eine gefaltete BL-Konfiguration zu verwirklichen. Die verbleibenden Bitleitungen des ersten Zellenarrays bilden Paare mit entsprechenden Bitleitungen auf der Bezugsseite der Bitleitungspaare der gefalteten BL-Konfiguration, um eine gefaltete BL-Konfiguration zu bilden, bevor der Leseverstärker beginnt zu arbeiten, wohingegen sie mit entsprechenden Bitleitungen eines zweiten Zellenarrays Paare bilden, die benachbart dem ersten Zellenarray mit einem dazwischen angeordneten Leseverstärker angeordnet sind, um eine offene BL-Konfiguration bei einem Wiederherstellungsvorgang des Neuschreibens von Daten in die Speicherzelle nach dem Start des Betriebs des Leseverstärkers zu verwirklichen. **Fig. 4** und 5A bis 5C veranschaulichen die Konfiguration der obigen Anordnung und ihren Betrieb.

[0013] In **Fig. 2** wird beispielsweise angenommen, dass die Wortleitung W_{A0} ausgewählt ist. Dann werden die dazugehörigen Speicherdaten auf BL_0 und BL_1 ausgelesen, so dass die Daten auf BL_0 auf den Leseverstärker SA_0 ausgelesen werden, wenn P01 auf den Pegel "H" gesetzt ist, und wobei SA_0 die Daten auf B_2 in einer gefalteten BL-Konfiguration liest, wobei als Referenzbitleitung BL_2 verwendet wird, auf der keine Zellen Daten ausgelesen werden. Die Daten auf der BL_1 werden auf SA_1 ausgelesen, weil P01 auf dem Pegel "H" ist, und SA_1 liest die Daten auf BL_1 in der offenen BL-Konfiguration mit benachbart angeordneten BL_4 als Bezugsbitleitung.

[0014] Wenn die Wortleitung W_{A1} ausgewählt ist, dann ist die gefaltete BL-Konfiguration auf BL_0 und BL_3 zum Lesen anwendbar, wohingegen BL_1 und BL_4 in Übereinstimmung mit der offenen BL-Konfiguration gelesen werden. Wenn jedoch die Wortleitung W_{A2} ausgewählt wird, dann wird P2 auf den Pegel "H" gebracht, um Daten auf BL_1 zu lesen, und die Leseverstärker-/Zellenarrayverbindung wird auf eine Art und Weise geändert, wie es in **Fig. 3A** bis 3C dargestellt ist, zum Lesen mit sowohl der gefalteten BL-Konfiguration als auch der offenen BL-Konfiguration.

[0015] In **Fig. 4** unter der erneuten Annahme, dass die Wortleitung W_{A0} ausgewählt ist, werden die dazugehörigen Zelldaten auf BL_1 und BL_2 ausgelesen, und die Daten auf BL_1 und BL_2 werden an SA_0 bzw. SA_1 ausgelesen, wenn Φ_{DE} , Φ_{DO2} , Φ_{CO} und Φ_{CE} auf dem Pegel "H" sind. Dann wird BL_0 eine Bezugsbitleitung, die von SA_0 und SA_1 gemeinsam genutzt wird, um alle Φ_{DE} , Φ_{DO2} , Φ_{CO} und Φ_{CE} auf den Pegel "L" zu bringen, so dass die Daten durch SA_0 und SA_1 zwischengespeichert werden, die dann gemäß der gefalteten BL-Konfiguration gelesen werden. Die Daten auf der SA_0 -Seite werden dann auf BL_1 und BLD_0 gemäß der gefalteten BL-Konfiguration wiederhergestellt, wenn Φ_{DE} und Φ_{DO2} auf den Pegel "H" zurückgebracht werden.

[0016] Da die Daten auf der SA_1 -Seite nicht verwendet werden können, solange wie die Daten auf der Seite von SA_0 wiederhergestellt werden, werden sie nun gemäß der offenen BL-Konfiguration durch die Bitleitung BL_3 des benachbart BL_2 angeordneten Zellenarrays wiederhergestellt. Wenn W_{A1} und W_{A2} ausgewählt werden, dann wird die Leseverstärker-/Zellenarrayverbindung auf eine Art und Weise, wie es in **Fig. 5A** bis 5C dargestellt ist, aufgrund der Differenz der Zellenanordnung geändert.

[0017] Die Anordnung von **Fig. 2** und 4 wird jedoch von den folgenden Problemen begleitet. D. h., sowohl die offene BL-Konfiguration als auch die gefaltete BL-Konfiguration werden zum Lesen von Daten mit der Ausführungsform von **Fig. 2** verwendet, wohingegen sowohl die offene BL-Konfiguration als auch die gefaltete BL-Konfiguration für das Neuschreiben von Daten mit der Ausführungsform von **Fig. 4** verwendet werden.

[0018] Es ist bekannt, dass die offene BL-Konfiguration und die gefaltete BL-Konfiguration Array-Rauschen mit unterschiedliche Pegeln erzeugen und unterschiedliche Kombinationsmuster von Zelldaten "0" oder "1", die den schlimmsten Array-Rauschpegel bestimmen, unterschiedliche Leseverstärkerstellen und unterschiedliche Mengen und Konfigurationen der Schaltungen für Schalter aufweisen.

[0019] Mit der herkömmlichen gefalteten BL-Konfiguration wird der Unterschied zwischen der zum Lesen von "0" und der zum Lesen von "1" erforderliche Schreibspannung durch eine Technik eines Verwendens von Dummy-Wortleitungen zum Koppeln kompensiert. Mit den Schaltungsanordnungen von **Fig. 2** und 4 müssen jedoch nicht nur die zum Lesen von "0" und die zum Lesen von "1" erforderlichen Spannungen kompensiert wer-

den, sondern es entsteht ebenfalls, wie es oben beschrieben ist, ein Unterschied zwischen der zum Lesen von "0" erforderlichen Schreibspannung und der zum Lesen von "1" erforderlichen Schreibspannung auf der offenen BL-Konfigurationsseite und ebenfalls zwischen der zum Lesen von "0" erforderlichen Spannung und der zum Lesen von "1" erforderlichen Spannung auf der Seite der gefalteten BLs. Somit wird die Leistung bzw. das Verhalten der Arrays durch die schlechtere Leistung des Lesens von "0" und die des Lesens von "1" bestimmt.

[0020] Die oben beschriebenen Unterschiede können ebenfalls auftreten, wenn einige der Schalter verwendet werden. Außerdem können derartige Unterschiede beispielsweise ebenfalls auftreten, wenn P2 in **Fig. 3** nahe der Leseverstärkerseite bezüglich der P01 angeordnet ist. Des weiteren können Sie ebenfalls auftreten, wenn die Bitleitungspaare in **Fig. 5A** bis **5C** durch benachbart angeordnete Leitungen oder durch solche gebildet werden, die eine weitere dazwischen angeordnet 3 Bitleitung aufweisen, als Ergebnis eines Auswählens von WL_0 , WL_1 oder WL_2 .

[0021] Andererseits kann mit der Schaltungskonfiguration von **Fig. 4**, während die Anzahl von Speicherzellen kleiner als diejenige ist, die von einer offenen BL-Konfiguration erhalten werden kann, die Zellenfläche verglichen mit derjenigen stark verringert werden, die von einer herkömmlichen gefalteten BL-Konfiguration erhalten werden kann. Außerdem können Leseverstärker entlang einer Richtung senkrecht zu den Bitleitungen mit einem stark verringerten Abstand angeordnet sein, gegenüber dem Abstand, bei dem sie mit der offenen BL-Konfiguration angeordnet sind, wobei nur ein einziger Leseverstärker für je zwei Bitleitungen angeordnet sein darf, obwohl er größer als der Abstand ist, bei dem sie mit der gefalteten BL-Konfiguration angeordnet sind, wobei nur ein Leseverstärker für je vier Bitleitungen angeordnet sein kann. Kurz gesagt wird eine dynamische Halbleiter-Speichervorrichtung gemäß der obigen Erfindung Ausgestaltungseinschränkungen unterworfen, die strenger als diejenigen sind, die auf die gefaltete BL-Konfiguration auferlegt werden, jedoch bei weitem weniger streng sind, als diejenigen, die auf die offene BL-Konfiguration angewendet werden.

[0022] **Fig. 6A** bis **6C** veranschaulichen Treibersignale, die für eine dynamische Halbleiter-Speichervorrichtung gemäß den obigen angegebenen vorher offenbarten Erfindungen verwendet werden können. Da eine gefaltete BL-Konfiguration auf die Vorrichtung zum Lesen von Daten angewendet wird, ist sie frei von Rauschen, das von der Wortleitungen kommt und für die offene BL-Konfiguration typisch ist, und Rauschen, das von unausgewählten Wortleitungen kommt, kann eliminiert werden, um den Gesamt-Rauschpegel wie in dem Fall der gefalteten BL-Konfiguration zu verringern.

[0023] Zwischenbitleitungs-Rauschen (hier nachstehend als Zwischen-BL-BL-Rauschen bezeichnet), das mit dem Anstieg in der Zwischenbitleitungskapazität entsteht, wurden mit dem Anstieg bei dem Ausmaß der Integration von DRAMs hervorgehoben.

[0024] Zwischen-BL-BL-Rauschen wird nun mit Bezug auf **Fig. 4** erläutert. **Fig. 7** stellt schematisch eine gefaltete BL-Konfiguration dar, die für den Datenlesevorgang der Anordnung von **Fig. 4** zu verwenden ist.

[0025] Es sei der Leseverstärker SA_0 betrachtet, wenn die Zwischen-BL-BL-Kapazität C_{BB} und das Lesesignal V_s ist, wird BL1 einem Rauschen mit einem Pegel $+C_{BB}V_s$ unterworfen, das von BL_0 kommt, während BL_2 einem Rauschen von $-2C_{BB}V_s$ unterworfen wird, das von sowohl BL_1 als auch BL_0 kommt, so dass das gesamte maximale empfangene Rauschen gleich einem Pegel von $3C_{BB}V_s$ wird. Im Gegensatz dazu ist das maximale Zwischen-BL-BL-Rauschen einer herkömmlichen Vorrichtung mit einer gefalteten BL-Vorrichtung oder einer entspannten offenen BL-Vorrichtung gleich einem Pegel von $2C_{BB}V_s$, wie es aus **Fig. 1A** und **1B** ersichtlich ist.

[0026] Mit der Konfiguration von **Fig. 4** wird der Rauschpegel, der durch die Wortleitungen, die Platte und das Substrat der Vorrichtung kommt und für die offene BL-Konfiguration typisch ist, verringert, da eine gefaltete BL-Konfiguration zum Lesen von Daten angenommen wird, wobei jedoch der Pegel des Zwischen-BL-BL-Rauschens anderthalbmal größer als derjenige des Zwischen-BL-BL-Rauschens einer herkömmlichen Vorrichtung mit einer offenen BL-Konfiguration ist. Schlimmer ist, dass, da die Bezugsbitleitungen positionsmäßig abhängig von den Positionen der Wortleitungen WL der Vorrichtung verschoben werden können und ein Satz von Leitungen aller drei Bitleitungen gebildet wird, die Technik des Verringerns von Rauschen durch Teilen der Bitleitungen durch 2^n (n = natürliche Zahl) und des Verdrehens (twisting) der Bitleitung, wie es in **Fig. 7** gezeigt ist, nicht darauf angewendet werden kann.

[0027] Hinsichtlich der oben identifizierten Probleme haben die Erfinder der Erfindung ebenfalls ein Verfahren zur Rausch-Verringerung beim Twisting von zwei der drei Bitleitungen jedes Satzes von Leitungen vorgeschlagen, die an einer Position von $1/(3n)$ angeordnet sind. Während Rauschen durch Bilden von $3n$ Verdrillungen (twists) in Zellenarrays mit dem vorgeschlagenen Verfahren verringert werden kann, nehmen die Verdrillungen einen zusätzlichen Bereich ein, um folglich die Größe des schließlich erzeugten Speicherchips zu erhöhen.

[0028] Außerdem werden mit einer offenen/gefalteten Hybrid-BL-Konfiguration, die durch Kombinieren einer offenen BL-Konfiguration und einer gefalteten BL-Konfiguration auf eine Art und Weise verwirklicht wird, wie es oben beschrieben ist, die Bitleitungen der Zellenarrays und der Leseverstärker in unterschiedlichen Weisen abhängig von den Adressen der Wortleitungen verbunden. Genauer gesagt ändert sich die Verbindung periodisch für jeweils drei Wortleitungen, wie es in **Fig. 8** dargestellt ist.

[0029] Wenn nun beispielsweise angenommen wird, dass die Wortleitung WL_0 ausgewählt wird, dann geht

das Steuersignal $\Phi_{0,1}$ auf "H", um das durch $\Phi_{0,1}$ gesteuerte Gate zu schließen. Andererseits geht Φ_2 auf "L", um das durch das Φ_2 gesteuerte Gate zu öffnen. Als Ergebnis werden die Bitleitungen, die Speicherzellen und die Leseverstärker auf eine Art und Weise verbunden, wie es in **Fig. 9A** dargestellt ist, so dass die Daten in der Speicherzelle M_1 auf den gefalteten Leseverstärker A und die Daten in der Speicherzelle M_2 auf den offenen B gelesen werden.

[0030] Wenn andererseits die Wortleitung WL_1 ausgewählt wird, dann wird das durch $\Phi_{0,1}$ gesteuerte Gate geschlossen und das durch Φ_2 gesteuerte Gate geöffnet, wie es in **Fig. 9B** gezeigt ist, so dass als Ergebnis die Daten in den Speicherzellen M_3 und M_4 aus dem gefalteten Leseverstärker A bzw. dem offenen Leseverstärker B ausgelesen werden. Wenn die Wortleitung WL_2 ausgewählt wird, dann wird das durch Φ_2 gesteuerte Gate geschlossen, und das durch $\Phi_{0,1}$ gesteuerte Gate wird geöffnet, wie es in **Fig. 9C** gezeigt ist, so dass als Ergebnis die Daten in den Speicherzellen M_5 und M_6 auf den gefalteten Leseverstärker A bzw. den offenen Leseverstärker B ausgelesen werden.

[0031] Tatsächlich sind die Wortleitungen der drei unterschiedlichen Arten zyklisch angeordnet, so dass sich das Steuersignal Φ für die verbindenden Gates der Bitleitungen und der Leseverstärker zyklisch je alle drei Adressen der Wortleitungen ändert. Somit wird ein 3-Phasen-Adressensystem zum Steuern des Steuersignals Φ benötigt.

[0032] Andererseits werden Adressen, die bei einer dynamischen Halbleiter-Speichervorrichtung verwendet werden, typischerweise in binären Ziffern von "0" und "1" ausgedrückt. Daher muss eine Wortleitungsadresse, die zum Steuern von $\Phi_{0,1}$ und Φ_2 ausgewählt und in binären Ziffern ausgedrückt wird, in eine 3-Phasen-Adresse umgewandelt werden, die eine der drei unterschiedlichen Wortleitungen darstellt. Wenn die Wortleitungen WL_0 und WL_1 ausgewählt werden, wird das Gate von $\Phi_{0,1}$ geschlossen (um eine Bitleitung und einen Leseverstärker zu verbinden), und das Gate von Φ_2 wird geöffnet (um sie zu trennen). Mit anderen Worten wird eine Schaltung benötigt, die den Rest bestimmt, der nach Teilen der Adresse einer Wortleitung durch drei erzeugt wird.

[0033] **Fig. 10** stellt bekannte Schaltungen schematisch dar, die die oben beschriebene Umwandlung ausführen können. Die Schaltung A wandelt eine binäre Zahl mit zwei Ziffern in eine ternäre Zahl mit einer Ziffer um, wohingegen die Schaltung B eine ternäre Zahl gleich der Ziffer der niedrigsten Ordnung einer ternären Zahl erzeugt, die durch Addieren von zwei ternären Zahlen erhalten wird.

[0034] Adresseneingänge A_i und $/A_i$ ($i = 1$ bis 7) sind komplementäre Eingangsadressen. Wenn beispielsweise $A_i = "0"$ ist, dann ist $/A_i = "1"$. Wenn eine Wortleitung durch die Adresse A_i ausgewählt wird, erzeugt die Schaltung Ausgaben Z_0 , Z_1 und Z_2 als Reste. Wenn beispielsweise $A_0 = A_1 = \dots = A_7 = "0"$ ($/A_0 = A_1 = \dots = /A_7 = "1"$) ist, dann werden die Ausgaben $Z_0 = "1"$, $Z_1 = "0"$, $Z_2 = "0"$ und so weiter sein. Die nachstehende Tabelle 1 stellt die Korrespondenz der Eingaben und Ausgaben dar.

Tabelle 1

A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	Z ₀	Z ₁	Z ₂
0	0	0	0	0	0	0	0	1	0	0
0	0	0	0	0	0	0	1	0	1	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	1	1	1	0	0
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	0	1	0	1	0	0	1
0	0	0	0	0	1	1	0	1	0	0
0	0	0	0	0	1	1	1	0	1	0
0	0	0	0	1	0	0	0	0	0	1
0	0	0	0	1	0	0	1	1	0	0
0	0	0	0	1	0	1	0	0	1	0
0	0	0	0	1	0	1	1	0	0	1
0	0	0	0	1	1	0	0	1	0	0
0	0	0	0	1	1	0	1	0	1	0
0	0	0	0	1	1	1	0	0	0	1
0	0	0	0	1	1	1	1	1	0	0
				
1	1	1	1	1	1	1	1	0	1	0

[0035] Wie es aus der obigen Tabelle ersichtlich ist, wenn der durch Teilen einer Adresse durch drei erhaltene Rest gleich 0 ist, dann ist $Z_0 = 1$, wohingegen Z_1 bzw. Z_2 gleich 1 sind, wenn der Rest gleich 1 bzw. 2 ist.

[0036] Andererseits werden die internen Adressen einer dynamischen Halbleiter-Speichervorrichtung normalerweise ohne Rücksicht auf den Zustand der externen Adressen unverändert gehalten, wenn die Vorrichtung in einem Standby-Zustand ist. Somit erzeugt, wenn die internen Adressen $A_i = /A_i = "0"$ sind, die Schaltung A Ausgaben $B_{00} = "0"$, $B_{01} = "1"$ und $B_{02} = "1"$, und die letzten Ausgaben Z_0, Z_1 und Z_2 von $Z_0 = Z_1 = Z_2 = "1"$.

[0037] Es sei hier bemerkt, dass $Z_i "1"$ ($i = 0, 1$ oder 2) darstellt, dass der Rest nach Teilen der Adresse durch drei gleich i ist, und $Z_0 = Z_1 = Z_2 = "1"$ eine Mehrfachauswahl darstellt. Somit existiert die Gefahr einer Mehrfachauswahl bei der Auswahl des Gates π_i und der Dummy-Wortleitung DWLi mittels einer Überschussadresse Z_i während einer Verzögerungszeit, nachdem die binären Adressen $A_i, /A_i$ unzweideutig definiert sind und bevor die Überschussadresse Z_i unzweideutig definiert ist, wenn sich die Vorrichtung von einem Standby-Zustand in einen Betriebszustand bewegt.

[0038] **Fig. 11** veranschaulicht diese Gefahr. Wenn sich die Vorrichtung von einem Standby-Zustand in einen Betriebszustand bewegt, tritt eine Verzögerungszeit auf, nachdem eine Adresse unzweideutig definiert und von der Überschusserschaltung decodiert wird, um unzweideutig einen Rest zu definieren, oder zwischen einem Eingabevorgang und einem entsprechendem Ausgabevorgang der Überschusserschaltung. Das an die Vorrichtung angelegte Steuersignal kann inaktiviert sein, um zu verhindern, dass eine Mehrfachauswahl stattfindet, bevor eine Überschussadresse definiert ist, wobei jedoch die Anordnung für eine derartige Konfiguration zur Inaktivierung die Schaltung kompliziert machen kann, und der gesamte Vorgang kann so viel zeitraubender werden, da eine derartige Konfiguration unvermeidbarerweise einen Sicherheitsfaktor für die Betriebszeit beinhaltet.

[0039] Wenn somit ein Speicherzellenarray mehr als einen Unterschied in der minimalen Schreibspannung zeigt, die zum Lesen von "0" und "1" bei einem herkömmlichen DRAM erforderlich ist, wird die Betriebsge-

schwindigkeit des Speicherzellenarrays durch die schlechteste Leistung zum Lesen von "0" und der schlechtesten Leistung zum Lesen von "1" dominiert.

[0040] Wenn ein Satz von Leitungen je alle drei Bitleitungen zusätzlich gebildet wird, kann die Technik des Verdrillens der Bitleitungen, um Störuschen bzw. Übersprechen unter den Bitleitungen zu verringern, nicht darauf angewendet werden. Außerdem nehmen, wenn zwei der drei Bitleitungen jedes Satzes an einer Position von $1/3n$ gedreht sind, derartige Verdrillungen einen zusätzlichen Bereich ein, um folglich die Größe des schließlich erzeugten Speicherchips zu erhöhen, obwohl Störuschen unter den Bitleitungen verringert werden kann.

[0041] Wenn die internen Adressen mittels einer Überschussschaltung in einer dynamischen Halbleiter-Speichervorrichtung decodiert werden, existiert eine Gefahr einer Mehrfachauswahl für die die Leseverstärker und Bitleitungen verbindenden Gates und für die Dummy-Wortleitungen, wenn sich die Vorrichtung von einem Standby-Zustand in einen Betriebszustand bewegt.

[0042] Daher ist es eine Aufgabe der Erfindung, eine dynamische Halbleiter-Speichervorrichtung bereitzustellen, die einen verbesserten Sicherheitsbereich für die Betriebszeit aufweist, wenn ein Speicherzellenarray mehr als einen Unterschied in der zum Lesen von "0" und "1" erforderlichen minimalen Schreibspannung zeigt.

[0043] Es ist eine weitere Aufgabe der Erfindung, einen DRAM bereitzustellen, der gegenüber einer Vergleichsvorrichtung mit einer gefalteten BL-Konfiguration einen verringerten Speicherzellenbereich aufweist und der gegenüber einer Vorrichtung mit einer offenen BL-Konfiguration einer weniger strengen Anforderung an die Ausgestaltung von Leseverstärkern unterworfen ist, so dass der DRAM die Nachfrage nach einem verringerten Speicherzellenbereich und zur gleichen Zeit die Nachfrage nach weniger strengen Anforderungen hinsichtlich der Ausgestaltung der Leseverstärker und eines verringerten Rauschpegels bei den Bitleitungen erfüllen kann.

[0044] Es ist noch eine weitere Aufgabe der Erfindung, einen DRAM bereitzustellen, der mit einer Überschussschaltung ausgestattet ist, die frei von der Gefahr einer Mehrfachauswahl für die die Leseverstärker und Bitleitungen verbindenden Gates und für die Dummy-Wortleitungen ist.

[0045] Gemäß einem ersten Aspekt der Erfindung wird eine dynamische Halbleiterspeichervorrichtung bereitgestellt mit: zumindest ersten und zweiten Speicherzellenarrays mit einer Mehrzahl Speicherzellen, die an jeweiligen Schnittpunkten einer Mehrzahl Wortleitungen und einer Mehrzahl Bitleitungen angeordnet sind; einem ersten Verstärkerabschnitt, der an einem Ende des ersten Speicherzellenarrays mit einer Mehrzahl erster Bitleitungspaare verbunden ist, die aus einem Teil der Mehrzahl Bitleitungen des ersten Speicherzellenarrays gebildet sind, wobei die Mehrzahl erster Bitleitungspaare eine gefaltete Bitleitungskonfiguration aufweist; und einem zweiten Leseverstärkerabschnitt, der mit einer Mehrzahl zweiter Bitleitungspaare verbunden ist, von denen jedes durch eine Bitleitung der verbleibenden Bitleitungen des ersten Zellenarrays und einer Bitleitung eines Teils der Mehrzahl Bitleitungen des zweiten Zellenarrays gebildet ist, wobei die Mehrzahl zweiter Bitleitungspaare eine offene Bitleitungskonfiguration aufweist; dadurch gekennzeichnet, dass die Speichervorrichtung des weiteren ein Verschiebemittel umfasst, das angepasst ist, um ein Ungleichgewicht zwischen den Lesespannungen der Bitleitungspaare in einem Array auszugleichen, wobei das Verschiebemittel umfasst: eine Mehrzahl Steuersignalleitungen und eine Mehrzahl Kondensatoren, wobei jeder der Mehrzahl Kondensatoren einer jeweiligen Bitleitung der Mehrzahl Bitleitungen zugeordnet ist, wobei jeder der Mehrzahl Kondensatoren einen mit seiner zugeordneten Bitleitung verbundenen Anschluss und einen weiteren, mit einer der Mehrzahl Steuersignalleitungen verbundenen Anschluss aufweist; wobei das Verschiebemittel die Lesespannung an Bitleitungen, an denen binäre Daten ausgelesen werden, oder an Bezugsbitleitungen verschiebt.

[0046] Die Erfindung stellt ebenfalls eine dynamische Halbleiterspeichervorrichtung bereit mit: zumindest ersten und zweiten Speicherzellenarrays mit einer Mehrzahl Speicherzellen, die an jeweiligen Schnittpunkten einer Mehrzahl Wortleitungen und einer Mehrzahl Bitleitungen angeordnet sind; und einem Leseverstärkerabschnitt, der an einem Ende des ersten Speicherzellenarrays mit einer Mehrzahl Bitleitungspaare verbunden ist, die aus einem Teil der Mehrzahl Bitleitungen des ersten Zellenarrays gebildet sind, wobei die Mehrzahl Bitleitungspaare eine gefaltete Bitleitungskonfiguration aufweist; und die verbleibenden Bitleitungen des ersten Zellenarrays jeweils mit den Referenzbitleitungen der Bitleitungspaare mit einer gefalteten Bitleitungskonfiguration Bitleitungspaare bilden, um eine gefaltete Bitleitungskonfiguration zu zeigen, bis die Leseverstärker mit dem Betrieb beginnen, und dann Bitleitungspaare mit offener Bitleitungskonfiguration jeweils mit einem Teil der Mehrzahl Bitleitungen eines zweiten Zellenarrays bilden, die benachbart dem ersten Zellenarray angeordnet sind, wobei ein Leseverstärkerabschnitt zwischen den ersten und zweiten Speicherzellenarrays während eines darauf folgenden Wiederherstellungsbetriebs angeordnet ist, der Daten in die Speicherzellen nach dem Betrieb der Leseverstärker neu schreibt, dadurch gekennzeichnet, dass die Speichervorrichtung des weiteren umfasst: ein Verschiebemittel, das angepasst ist, um ein Ungleichgewicht zwischen den Lesespannungen der Bitleitungspaare in einem Array zu korrigieren, wobei das Verschiebemittel umfasst: eine Mehrzahl Steuersignalleitungen und eine Mehrzahl Kondensatoren, wobei jeder der Mehrzahl Kondensatoren einer jeweiligen Bitleitung der Mehrzahl Bitleitungen zugeordnet ist, wobei jeder der Kondensatoren einen Anschluss, der mit der zugeordneten Bitleitung verbunden ist, und einen weiteren Anschluss, der mit einer der Mehrzahl Steuersig-

nalleitungen verbunden ist, aufweist; wobei das Verschiebemittel die Lesespannungen an Bitleitungen, an denen binäre Daten ausgelesen werden, oder an Bezugsbitleitungen verschiebt.

[0047] Bevorzugte Arten gemäß dem ersten Aspekt der Erfindung sind wie folgt:

- (1) Die Korrekturschaltung führt mindestens entweder einen Kondensatorkopplungsvorgang oder einen elektrischen Ladungsverteilungsvorgang für entweder die Bitleitung oder die Bezugsbitleitung einer Speicherzelle durch, die zum Lesen von Daten daraus ausgewählt wurde.
- (2) Die Korrekturschaltung weist zwei oder mehr als zwei Pegel zum einfachen Lesen von Daten auf.
- (3) Korrekturbeträge, die von der Korrekturschaltung korrigiert werden, unterscheiden sich zwischen einer offenen Bitleitungsstruktur und einer gefalteten Bitleitungsstruktur.
- (4) Korrekturbeträge, die von der Korrekturschaltung korrigiert werden, unterscheiden sich in den Arten der ausgewählten Wortleitungen.
- (5) Zwei Drittel der Schnittpunkte der Mehrzahl von Wortleitungen und der Mehrzahl von Bitleitungen tragen jeweilige Speicherzellen.
- (6) Die Bitleitungen mit der gefalteten Bitleitungsconfiguration und solche, die die offene Bitleitungsconfiguration aufweisen, ändern die Positionen abhängig von den Positionen der ausgewählten Wortleitungen.
- (7) Zwei Drittel der Bitleitungen weisen eine gefaltete Bitleitungsconfiguration auf, und das verbleibende Drittel weist eine offene Bitleitungsconfiguration auf.
- (8) Eine Bitleitung mit einer offenen BL-Konfiguration wird zwischen jedem Bitleitungspaar mit einer gefalteten BL-Konfiguration angeordnet.
- (9) Ein Satz von Leitungen wird jeweils alle drei Bitleitungen gebildet, wobei zwei derselben ein Bitleitungspaar mit einer gefalteten Bitleitungsconfiguration bilden, und die verbleibende Bitleitung ein offenes Bitleitungspaar mit einer Bitleitung eines benachbarten Zellenarrays bildet.

[0048] Eine dynamische Halbleiter-Speichervorrichtung gemäß einem ersten Aspekt der Erfindung wird mit einer Korrekturschaltung zum Korrigieren jedes Spannungsunterschieds zwischen dem Pegel zum Lesen von Daten "1", der für eine Zellschreibspannung erforderlich ist, und dem Pegel zum Lesen der Daten "0", der für eine Zellschreibspannung erforderlich ist, wenn es mehr als einen derartigen Unterschied gibt. Durch Ändern eines Korrekturbetrags einer Spannung mittels der Korrekturschaltung für die obigen unterschiedlichen Arten, kann der Unterschied des Korrekturbetrags zwischen "0"-Lesen und "1"-Lesen eliminiert werden.

[0049] Somit kann die von den Speicherzellen einer dynamischen Halbleiter-Speichervorrichtung gemäß dem ersten Aspekt der Erfindung belegte Fläche verringert werden, im Gegensatz zu einer herkömmlichen Vorrichtung mit einer gefalteten BL-Konfiguration, da die Vorrichtung der Erfindung eine offene BL-Konfiguration zum Anordnen von Speicherzellen an allen Schnittpunkten der Bitleitungen und der Wortleitungen und eine gefaltete BL-Konfiguration zum Anordnen von Speicherzellen an der Hälfte der Schnittpunkte der Bitleitungen und der Wortleitungen kombiniert. Außerdem können Leseverstärker entlang einer Richtung quer zu den Bitleitungen mit einem Abstand angeordnet werden, der verglichen mit dem Abstand einer Leseverstärkeranordnung der offenen BL-Konfiguration weit verbessert ist, der es ermöglicht, dass höchstens ein Leseverstärker alle zwei Bitleitungen angeordnet ist, obwohl er verglichen mit der offenen BL-Konfiguration, bei der ein Leseverstärker höchstens jeweils alle vier Bitleitungen angeordnet sein kann, weniger vorteilhaft ist.

[0050] Die sogenannte entspannte offene BL-Konfiguration, mit der ein Leseverstärker jeweils alle zwei Bitleitungen angeordnet ist, wird von einem Nachteil begleitet, dass verglichen mit der passenden offenen BL-Konfiguration eine große Anzahl von Zellenarrays beteiligt sind, mit der ein Leseverstärker für jede Bitleitung angeordnet ist, um den Abstand der Leseverstärkeranordnung enger zu machen. Eine erfindungsgemäße dynamische Halbleiter-Speichervorrichtung ermöglicht jedoch einen Abstand der Leseverstärkeranordnung, die weniger eng als derjenige der entspannten offenen BL-Konfiguration ist. Kurz gesagt zieht die Erfindung die bedeutendsten Vorteile aus der herkömmlichen offenen BL-Konfigurationen und solche aus der herkömmlichen gefalteten BL-Konfiguration, wobei die bedeutendsten Nachteile dieser Formate überwunden werden.

[0051] Wie es oben beschrieben ist, wird erfindungsgemäß durch Kombinieren der offenen BL-Konfiguration und der gefalteten BL-Konfiguration ein DRAM mit einem verringerten Speicherzellenbereich verglichen mit einer vergleichbaren Vorrichtung mit einer gefalteten BL-Vorrichtung bereitgestellt und weniger strengen Anforderungen für die Ausgestaltung von Leseverstärkern, verglichen mit einer Vorrichtung mit einer offenen BL-Konfiguration, unterworfen, so dass der DRAM die Nachfrage nach einem verringerten Speicherzellenbereich und zur gleichen Zeit die Nachfrage nach weniger strengen Anforderungen auf die Ausgestaltung der Leseverstärker und nach einem verringerten Rauschpegel bei den Bitleitungen erfüllen kann. Eine derartige Vorrichtung weist die folgenden zusätzlichen Vorteile auf.

- (1) Durch Anordnen einer Korrekturschaltung zum Korrigieren des Unterschieds zwischen der Zellschreibspannung, die zum Lesen einer "0", und der Zellschreibspannung, die zum Lesen einer "1" erforderlich ist, können zwei oder mehr als zwei Spannungsunterschiede, die zu dem Lesen einer "1" und dem Lesen einer "0" in einem Zellenarray existieren können, korrigiert werden, um den Sicherheitsfaktor des Lesens von Daten von dem Chip zu verbessern.

(2) Durch Anordnung einer Schalterschaltung zum Umschalten der Verbindung zwischen den Bitleitungen in der Speicherzelle und dem Leseverstärker, um die zum Lesen einer Speicherzelle ausgewählte Bitleitung zwischen einem Bitleitungspaar ohne Rücksicht auf die Position der ausgewählten Wortleitung ohne Zurückgreifen auf Techniken, wie beispielsweise verdrehter Bitleitungen, die zu einer größeren Chipfläche führen, anzuordnen, kann der Pegel des Störrauschens zwischen Bitleitungen verringert werden. Außerdem kann durch Anordnen einer Schaltung zum Verschieben des Potentials der Bitleitung nach oben und nach unten durch Koppeln von zwei oder mehr als zwei Pegeln der Leichtigkeit des Lesens von "1" und "0" jede unausgeglichene Leichtigkeit des Lesens von "1" und "0", die zwischen Bitpaaren existieren kann, korrigiert werden.

(3) Durch Bereitstellen einer dynamischen Halbleiter-Speichervorrichtung mit einer offenen/gefalteten hybriden BL-Konfiguration mit einer Überschussschaltung zum Steuern des Vorgangs des Auswählens von Gates, die die Leseverstärker und die Bitleitungen und die Dummy-Wortleitungen auf der Grundlage der Zyklizität der Adressen der drei Wortleitungen oder durch Bereitstellen einer Schaltung zum Halten der Ausgaben der Überschussschaltungen auf jeweilige vorbestimmte feste Potentialpegel ohne Rücksicht des Zustands der ersten Eingangssignale, wenn die Speicherzellenarrays in dem Standby-Zustand sind, kann die mögliche Gefährdung der Steuerschaltung, wenn der Chip aktiviert wird, wirksam vermieden und ein stabiler Betrieb für die Vorrichtung sichergestellt werden.

[0052] Diese Erfindung kann vollständiger aus der folgenden ausführlichen Beschreibung in Verbindung mit den begleitenden Zeichnungen verstanden werden, in denen zeigen:

[0053] **Fig. 1A** und **1B** schematische Diagramme, die jeweils eine herkömmliche offene BL-Konfiguration und eine herkömmliche gefaltete BL-Konfiguration zeigen;

[0054] **Fig. 2** ein schematisches Diagramm eines herkömmlichen DRAMs, der durch Kombinieren einer offenen BL-Konfiguration und einer gefalteten BL-Konfiguration verwirklicht wird;

[0055] **Fig. 3A** bis **3C** schematische Diagramme, die den Betrieb des DRAMs von **Fig. 2** darstellen;

[0056] **Fig. 4** ist ein schematisches Diagramm eines weiteren herkömmlichen DRAMs, der durch Kombinieren einer offenen BL-Konfiguration und einer gefalteten BL-Konfiguration verwirklicht wird;

[0057] **Fig. 5A** bis **5C** schematische Diagramme, die den Betrieb des DRAMs von **Fig. 4** darstellen;

[0058] **Fig. 6A** bis **6C** Timing-Diagramme zum Ansteuern des DRAMs von **Fig. 4**;

[0059] **Fig. 7A** und **7B** schematische Diagramme eines herkömmlichen DRAMs, die darstellen, wie Zwischenbitleitungs-Rauschen erzeugt werden;

[0060] **Fig. 8** ein schematisches Schaltbild eines herkömmlichen DRAMs mit einer offenen/gefalteten hybriden BL-Konfiguration;

[0061] **Fig. 9A** bis **9C** Diagramme, die unterschiedliche Verbindungen von Bitleitungen, Speicherzellen und Leseverstärkern zeigen;

[0062] **Fig. 10** ist ein schematisches Schaltbild der für einen herkömmlichen DRAM verwendeten Überschussschaltung;

[0063] **Fig. 11** eine graphische Darstellung von Signalverläufen, die den Betrieb einer herkömmlichen Überschussschaltung zeigen;

[0064] **Fig. 12** ein Schaltbild einer ersten Ausführungsform eines erfindungsgemäßen DRAMs;

[0065] **Fig. 13A** und **13B** Timing-Diagramme zum Ansteuern der ersten Ausführungsform;

[0066] **Fig. 14** ein Schaltbild einer zweiten Ausführungsform eines erfindungsgemäßen DRAMs;

[0067] **Fig. 15** ein Schaltbild einer dritten Ausführungsform eines erfindungsgemäßen DRAMs;

[0068] **Fig. 16A** und **16B** Timing-Diagramme zum Ansteuern der dritten Ausführungsform;

[0069] **Fig. 17A** bis **17D** Schaltbilder beispielhafter Treiberschaltungen zum Erzeugen von Steuersignalen Φ_0 bis Φ_4 , die für die Schaltung von **Fig. 15** zu verwenden sind;

[0070] **Fig. 18A** bis **18D** Schaltdiagramme weiterer beispielhafter Treiberschaltungen zum Erzeugen von Steuersignalen Φ_0 bis Φ_4 , die für die Schaltung von **Fig. 15** zu verwenden sind;

[0071] **Fig. 19** ist ein Schaltbild einer noch weiteren beispielhaften Treiberschaltung zum Erzeugen von Steuersignalen Φ_0 bis Φ_4 , die für die Schaltung von **Fig. 15** zu verwenden sind;

[0072] **Fig. 20** ein Schaltbild einer vierten Ausführungsform eines erfindungsgemäßen DRAMs;

[0073] **Fig. 21** ein Timing-Diagramm zum Ansteuern der vierten Ausführungsform;

[0074] **Fig. 22** ein Schaltbild einer fünften Ausführungsform eines erfindungsgemäßen DRAMs;

[0075] **Fig. 23** ein Schaltbild einer sechsten Ausführungsform eines erfindungsgemäßen DRAMs;

[0076] **Fig. 24** ein Timing-Diagramm zum Ansteuern der sechsten Ausführungsform;

[0077] **Fig. 25** ein Schaltbild einer beispielhaften Treiberschaltung zum Erzeugen von Steuersignalen Φ_0 bis Φ_4 , die für die Schaltung von **Fig. 23** zu verwenden ist;

[0078] **Fig. 26A** und **26B** Schaltbilder einer siebten Ausführungsform eines erfindungsgemäßen DRAMs;

[0079] **Fig. 27** ein Schaltbild einer achten Ausführungsform eines erfindungsgemäßen DRAMs;

[0080] **Fig. 28** ein Schaltbild einer neunten Ausführungsform eines erfindungsgemäßen DRAMs;

- [0081] **Fig. 29** ein Schaltbild einer zehnten Ausführungsform eines erfindungsgemäßen DRAMs;
- [0082] **Fig. 30** ein Schaltbild eines elften Bezugsbeispiels eines DRAMs;
- [0083] **Fig. 31** ein Timing-Diagramm zum Ansteuern des elften Bezugsbeispiels;
- [0084] **Fig. 32** ein Schaltbild des elften Bezugsbeispiels, das zeigt, wie die Verbindungen der Bitleitungen umgeschaltet werden;
- [0085] **Fig. 33** ein weiteres Schaltbild des elften Bezugsbeispiels, das ebenfalls zeigt, wie die Verbindungen der Bitleitungen umgeschaltet werden;
- [0086] **Fig. 34** ein noch weiteres Schaltbild des elften Bezugsbeispiels, das ebenfalls zeigt, wie die Verbindungen der Bitleitungen umgeschaltet werden;
- [0087] **Fig. 35** ein noch weiteres Schaltbild des elften Bezugsbeispiels, das ebenfalls zeigt, wie die Verbindungen der Bitleitungen umgeschaltet werden;
- [0088] **Fig. 36** ein noch weiteres Schaltbild des elften Bezugsbeispiels, das ebenfalls zeigt, wie die Verbindungen der Bitleitungen umgeschaltet werden;
- [0089] **Fig. 37** ein noch weiteres Schaltbild des elften Bezugsbeispiels, das ebenfalls zeigt, wie die Verbindungen der Bitleitungen umgeschaltet werden;
- [0090] **Fig. 38** ein Schaltbild eines zwölften Bezugsbeispiels eines DRAMs;
- [0091] **Fig. 39** ein Schaltbild eines dreizehnten Bezugsbeispiels eines DRAMs;
- [0092] **Fig. 40** ein Timing-Diagramm zum Ansteuern des dreizehnten Bezugsbeispiels;
- [0093] **Fig. 41A bis 41D** Schaltbilder beispielhafter Treiberschaltungen zum Erzeugen von Steuersignalen Φ_0 bis Φ_4 , die für das dreizehnte Bezugsbeispiel zu verwenden sind;
- [0094] **Fig. 42** ist ein Schaltbild einer weiteren beispielhaften Treiberschaltung zum Erzeugen von Steuersignalen Φ_0 bis Φ_4 , die für das dreizehnte Bezugsbeispiel zu verwenden sind;
- [0095] **Fig. 43** ist ein Schaltbild eines vierzehnten Bezugsbeispiels eines DRAMs;
- [0096] **Fig. 44** ist ein schematisches Schaltbild der Überschussschaltung, die für das vierzehnte Bezugsbeispiel verwendet wird;
- [0097] **Fig. 45A und 45B** sind Schaltbilder der Schaltung A und der Schaltung B, die für die Überschussschaltung von **Fig. 44** verwendet werden;
- [0098] **Fig. 46** eine graphische Darstellung von Signalverläufen, die den Betrieb des vierzehnten Bezugsbeispiels zeigen;
- [0099] **Fig. 47** ein schematisches Schaltbild der für ein fünfzehntes Bezugsbeispiel verwendeten Überschussschaltung;
- [0100] **Fig. 48A bis 48S** Schaltbilder beispielhafter Schaltungen, die für die Schaltung C der Überschussschaltung von **Fig. 47** verwendet werden können;
- [0101] **Fig. 49** ein Schaltbild eines sechzehnten Bezugsbeispiels eines DRAMs;
- [0102] **Fig. 50** ein schematisches Schaltbild der für das sechzehnte Bezugsbeispiel verwendeten Überschussschaltung;
- [0103] **Fig. 51** ein Schaltbild eines siebzehnten Bezugsbeispiels eines DRAMs;
- [0104] **Fig. 52** ein schematisches Schaltbild der für das siebzehnte Bezugsbeispiel verwendeten Überschussschaltung;
- [0105] **Fig. 53** ein schematisches Schaltbild der für ein achtzehntes Bezugsbeispiel verwendeten Überschussschaltung;
- [0106] **Fig. 54A bis 54C** Schaltbilder beispielhafter Barrel-Schiebeeinrichtungen, die für die Überschussschaltung des achtzehnten Bezugsbeispiels verwendet werden können;
- [0107] **Fig. 55** ist ein schematisches Schaltbild der für ein neunzehntes Bezugsbeispiel verwendeten Überschussschaltung;
- [0108] **Fig. 56A bis 56D** Schaltbilder beispielhafter Barrel-Schiebeeinrichtungen, die für die Überschussschaltung des neunzehnten Bezugsbeispiels verwendet werden können;
- [0109] **Fig. 57** ein schematisches Schaltbild der für ein zwanzigstes Bezugsbeispiel verwendeten Überschussschaltung;
- [0110] **Fig. 58** ist ein schematisches Schaltbild der für ein einundzwanzigstes Bezugsbeispiel verwendeten Überschussschaltung; und
- [0111] **Fig. 59A und 59B** Schaltbilder beispielhafter Barrel-Schiebeeinrichtungen, die für die Überschussschaltung des einundzwanzigsten Bezugsbeispiels verwendet werden können.
- [0112] Die Erfindung wird ausführlicher mit Bezug auf die begleitenden Zeichnungen beschrieben, die bevorzugte Ausführungsformen der Erfindung darstellen. (Ausführungsform 1)
- [0113] **Fig. 12** ist ein Schaltbild einer ersten Ausführungsform des erfindungsgemäßen DRAMs, das zwei Zellenarrays (A, B) als Beispiele zeigt. **Fig. 13A und 13B** sind Timing-Diagramme zum Ansteuern der Ausführungsform.
- [0114] Diese Ausführungsform liefert tatsächlich eine Verbesserung für den in **Fig. 2** dargestellten DRAM. Die Ausführungsform unterscheidet sich von dem DRAM von **Fig. 2** dadurch, dass sie zusätzlich Steuertakte Φ_0 ,

$\Phi_1, \Phi_2, \Phi_3, \Phi_4$ und Φ_5 umfasst, von denen Φ_0 mit der Bitleitung/BLA eines entsprechenden Leseverstärkerabschnitts mittels Kondensatoren C_1 und Φ_1 mit der Bitleitung BL_B eines entsprechenden Leseverstärkerabschnitts mittels Kondensatoren C_1 verbunden ist. Auf ähnliche Weise sind Φ_2 und Φ_3 jeweils mit Bitleitungen $/BL_B$ und BL_B eines entsprechenden Leseverstärkerabschnitts mittels Kondensatoren C_2 verbunden, wohingegen Φ_4 und Φ_5 jeweils mit Bitleitungen $/BL_C$ und BL_C eines entsprechenden Leseverstärkerabschnitts mittels Kondensatoren C_1 verbunden sind, wobei die Kapazitäten C_1 und C_2 unterschiedliche Werte aufweisen (C_1 ist nicht gleich C_2).

[0115] Somit werden, unter der Annahme, dass W_{A0} ausgewählt wird, um Speicherzellendaten auf BL_0 und BL_1 auszulesen, die Daten auf BL_0 an $/BLA$ transferiert und von SA_0 gelesen, wobei BL_2 als eine Bezugsbitleitung verwendet wird, da P01 auf dem Pegel "H" ist. Wenn das Potential von BL_0 aufgrund der Kopplung von W_{A0} und BL_0 angehoben wird, die als ein Ergebnis des Anhebens von W_{A0} zusätzlich zu den Zellendaten auftritt, liest SA_0 "1" mit Leichtigkeit, jedoch "0" mit Schwierigkeiten.

[0116] Bei dieser Ausführungsform wird jedoch, da Φ_1 angehoben wird, wie es in **Fig. 13A** gezeigt ist, Kapazität von C_1 mit der Seite von BL_A gekoppelt, um das Potential von BL_A anzuheben. Folglich wird die Situation, bei der "1" mit Leichtigkeit und "0" mit Schwierigkeiten gelesen wird, kompensiert, um einen gleichen Pegel der Leichtigkeit des Lesens von sowohl "1" als auch "0" bereitzustellen.

[0117] Auf ähnliche Weise werden die Daten auf BL_1 an BL_B transferiert und von SA_0 gelesen, wobei BL_5 als eine Bezugsbitleitung verwendet wird. Wenn das Potential von BL_1 aufgrund der Kopplung von W_{A0} und BL_1 angehoben wird, die als ein Ergebnis des Anhebens von W_{A0} zusätzlich zu den Zellendaten auftritt, liest SA_1 "1" mit Leichtigkeit, jedoch "0" mit Schwierigkeiten. Da jedoch Φ_2 angehoben wird, wie es in **Fig. 13A** gezeigt ist, wird die Kapazität von C_2 mit der Seite von $/BL_A$ gekoppelt, um das Potential von $/BL_B$ anzuheben. Folglich wird die Situation, bei der "1" mit Leichtigkeit und "0" mit Schwierigkeit gelesen wird, ausgeglichen, um einen gleichen Pegel der Leichtigkeit des Lesens von sowohl "1" als auch "0" bereitzustellen.

[0118] Es sei bemerkt, dass der Pegel der Leichtigkeit, mit der SA_0 "1" liest, sich von dem Pegel unterscheidet, mit dem SA_1 "1" liest. Auf ähnliche Weise unterscheidet sich der Pegel der Schwierigkeit, mit dem SA_0 "0" liest, von dem Pegel, mit dem SA_1 "0" liest. Beispielsweise verursachen sowohl W_{A0} als auch BL_1 eine kleine Kopplung, wenn W_{A0} angehoben wird (aufgrund einer parasitären Kapazität, die an dem Schnittpunkt von BL_0 und W_{A0} existiert, obwohl keine Speicherzelle dort angeordnet ist), so dass der Pegel der Leichtigkeit für SA_0 , um "1" zu lesen, niedriger als der Pegel der Leichtigkeit für SA_1 , um "1" zu lesen. Dies beruht auf der Tatsache, dass die Bezugsbitleitung BL_2 für SA_0 aufgrund der oben beschriebenen Kopplung geringfügig angehoben wird. Dieser Unterschied kann durch Unterscheiden des Kapazitätswerts C_1 von demjenigen von C_2 oder durch Auswählen eines Kapazitätswerts für C_2 , der kleiner als derjenige von C_1 ist, eliminiert werden.

[0119] Außerdem kann es einen Unterschied in dem Pegel der Leichtigkeit des Lesens von "1" und dem Pegel der Schwierigkeit des Lesens von "0" zwischen SA_0 für gefaltetes Lesen und SA_1 für offenes Lesen geben, der auf das Ausgesetztsein gegen Array-Rauschen und dem Unterschied in dem schlechtesten Lesemuster zurückgeführt werden kann, und ein derartiger Unterschied kann ebenfalls durch Auswählen von Werten für C_1 und C_2 korrigiert werden, die $C_1 = /C_2$ erfüllen.

[0120] **Fig. 13B** zeigt ein Timing-Diagramm, mit dem die Bezugsbitleitung nicht durch eine Kopplungsaktion sondern umgekehrt durch Absenken der Kopplung der Bitleitung, von der die Daten in der entsprechenden Speicherzelle gelesen werden, um den Pegel der Leichtigkeit zu korrigieren, mit der "1" gelesen wird, und den Pegel der Schwierigkeit, mit der "0" gelesen wird. In diesem Fall kann ein Unterschied ebenfalls durch Auswählen von Werten für C_1 und C_2 korrigiert werden, die $C_1 = /C_2$ erfüllen.

(Ausführungsform 2)

[0121] **Fig. 14** ist ein Schaltbild einer zweiten Ausführungsform eines erfindungsgemäßen DRAMs, das zwei Zellenarrays (A, B) als Beispiele zeigt.

[0122] Diese Ausführungsform unterscheidet sich von der ersten Ausführungsform darin, dass C_1, C_2, C_3, C_4, C_5 und C_6 in den Leseverstärkerabschnitten unterschiedliche Kapazitätswerte aufweisen. Wie es oben beschrieben ist, wird der Pegel der Leichtigkeit, mit der "1" gelesen und derjenige der Schwierigkeit, mit der "0" von der gleichen SA_0 für gefaltetes Lesen gelesen wird, abhängig davon variieren kann, welche der Wortleitungen W_{A0}, W_{A1} und W_{A2} ausgewählt wird. Dieses Situation kann durch Auswählen von Kapazitätswerten, die $C_1 = /C_2, C_4 = /C_4$ und $C_5 = /C_6$ erfüllen, angemessen korrigiert werden.

(Ausführungsform 3)

[0123] **Fig. 15** ist ein Schaltbild einer dritten Ausführungsform eines erfindungsgemäßen DRAMs, das zwei Zellenarrays (A, B) als Beispiele zeigt. **Fig. 16A** und **16B** sind Timing-Diagramme zum Ansteuern der Ausführungsform.

[0124] Mit dieser Ausführungsform können die Unterschiede, die zwischen dem offenen Lesen und dem ge-

falteten Lesen und durch die Auswahl einer der W_{A0} bis W_{A2} entstehen, durch Verändern der Amplituden der Steuersignale Φ_0 bis Φ_5 korrigiert werden, die die Kopplungskapazität C_1 der Leseverstärkerabschnitte halten.

[0125] Beispielsweise verändert sich der Unterschied zwischen dem Lesen von "1" und dem von "0" für alle Kombinationen von W_{A0} bis W_{A2} der offenen BL-Konfiguration und der gefalteten BL-Konfiguration, wobei diese Situation durch Auswählen von Werten korrigiert werden kann, die $V_{FA0} = V_{FA1} = V_{FA2} = V_{OA0} = V_{OA1} = V_{OA2}$ erfüllen. Wie in dem Fall von **Fig.** 13A und 13B unterscheidet sich die Anordnung von **Fig.** 16A von derjenigen von **Fig.** 16B dadurch, dass der Unterschied durch Anheben der Bezugsseite in dem vorherigen korrigiert wird, während es durch Absenken der Zellenleseseite korrigiert wird.

[0126] **Fig.** 17A bis 18D sind Schaltbilder beispielhafter Treiberschaltungen zum Erzeugen von Steuersignalen Φ_0 bis Φ_3 , die für die Schaltung von **Fig.** 15 zu verwenden sind.

[0127] Mit Bezug auf **Fig.** 17A bis 17D geht Φ_{FA0} auf den Pegel "L", und das Potential von Φ_0 wird von V_{SS} auf V_{FA0} verschoben, wenn W_{A0} ausgewählt wird. Φ_{FA1} geht auf den Pegel "L", und das Potential von Φ_0 wird von V_{SS} auf V_{RA1} verschoben, wenn W_{A1} ausgewählt wird. Auf diese Art und Weise kann der Betrieb der Ausführungsform durch Anordnen von Bezugspotentialen V_{FA0} bis V_{FA2} und V_{OA0} bis V_{OA2} gesteuert werden.

[0128] **Fig.** 18A bis 18D veranschaulichen Anordnungen, um eine Situation zu handhaben, bei der sich der Pegel der Leichtigkeit des Lesens von "1" und derjenige des Lesens von "0" nur an der offenen BL-Seite und der gefalteten BL-Seite unterscheiden. Nur zwei Bezugspotentiale V_{FA} und V_{OA} sind erforderlich.

[0129] **Fig.** 19 veranschaulicht eine Schaltungsanordnung, die kein Bezugspotential erfordert. Mit dieser Schaltungsanordnung wird Φ_{PRE} auf "L" gebracht, und Kapazitäten C_{X2} und C_{X2} werden im Standby-Zustand auf V_{CC} vorgeladen. Wenn beispielsweise W_{A1} ausgewählt wird, wird Φ_{VA1} auf "L" gebracht, um den Transistor Q_1 anzuschalten. Wenn die Kapazität des Steuersignals gleich C_Y unter diesem Zustand gemacht wird, verschiebt sich das Potential von Φ_0 von V_{SS} auf $C_{X2}/(C_Y+C_{X2}) \cdot V_{CC}$. Wie in dem Fall von **Fig.** 17A bis 17D und **Fig.** 18A bis 18D können die Amplituden der Steuersignale durch Auswählen von $C_{X2} = C_{X2}$ frei verändert werden. Es sei bemerkt, dass ähnliche Schaltungen für Φ_0 , Φ_2 und Φ_3 angeordnet werden können.

[0130] Bei einer vorläufigen Betriebsstufe kann Φ_{PRE} einfach gleich V_{CC} gemacht werden, und die Diskrepanz zwischen dem Pegel der Leichtigkeit des Lesens von "1" und desjenigen des Lesens von "0" kann durch externes Anlegen einer Bezugsspannung an X_2 , X_2 bestimmt werden, um die Werte von C_{X2} und C_{X2} durch diese Diskrepanz zu unterscheiden, so dass die Vorrichtung ohne externe Eingaben für X_2 und X_2 arbeiten kann.

(Ausführungsform 4)

[0131] **Fig.** 20 ist ein Schaltbild einer vierten Ausführungsform eines erfindungsgemäßen DRAMs, das zwei Zellenarrays (A, B) als Beispiele zeigt. **Fig.** 21A ist ein Timing-Diagramm zum Ansteuern der Ausführungsform.

[0132] Diese Ausführungsform sieht tatsächlich eine Verbesserung bei dem in **Fig.** 4 dargestellten DRAM vor. Wie in dem Fall der ersten Ausführungsform unterscheidet sich diese Ausführungsform von dem DRAM von **Fig.** 4 dadurch, dass sie zusätzliche Steuertakte Φ_1 , Φ_2 , Φ_3 , Φ_4 und Φ_5 umfasst, die mit den jeweiligen Bitleitungen eines entsprechenden Leseverstärkerabschnitts mittels Kondensatoren C_1 und C_2 verbunden sind.

[0133] Wie in dem Fall von **Fig.** 12 können die jeweiligen Unterschiede des Pegels der Leichtigkeit des Lesens von "1" und desjenigen des Lesens von "0" für die SA_0 -Seite (gefaltetes Lesen und gefaltetes Neuschreiben) und desjenigen für die SA_1 -Seite (gefaltetes Lesen und offenes Neuschreiben) durch Wählen von $C_1 = C_2$ korrigiert werden.

[0134] **Fig.** 21 zeigt eine Anordnung zum geringfügigen Absenken der ausgelesenen Seite durch Koppeln des Leseverstärkerabschnitts.

(Ausführungsform 5)

[0135] **Fig.** 22 ist ein Schaltbild einer fünften Ausführungsform eines erfindungsgemäßen DRAMs, das zwei Zellenarrays (A, B) als Beispiele zeigt.

[0136] Wenn sich die Pegel der Leichtigkeit des Lesens von "1" und "0" für W_{A0} , W_{A1} und W_{A2} voneinander unterscheiden, können sie durch Auswählen von $C_1 = C_2$, $C_3 = C_4$ und $C_5 = C_6$ wie in dem Fall von **Fig.** 14 korrigiert werden.

(Ausführungsform 6)

[0137] **Fig.** 23 ist ein Schaltbild einer sechsten Ausführungsform eines erfindungsgemäßen DRAMs, das zwei Zellenarrays (A, B) als Beispiele zeigt. **Fig.** 24 ist ein Timing-Diagramm zum Ansteuern der Ausführungsform.

[0138] Wie in dem Fall der Ausführungsform von **Fig.** 15 können Korrekturen für diese Ausführungsform durch Verändern der Amplituden von Steuersignalen Φ_0 bis Φ_5 durchgeführt werden.

[0139] **Fig.** 25 ist ein Schaltbild einer beispielhaften Treiberschaltung zum Erzeugen von Steuersignalen Φ_0 bis Φ_5 für die Schaltung von **Fig.** 23. Es sei bemerkt, dass kein Bezugspotential zum Verändern der Amplitu-

den, wie in dem Fall von **Fig. 19**, benutzt wird. Das Potential von Φ_0 dieser Ausführungsform wird mittels einer Ladungsverteilung von V_{CC} abgesenkt. Es sei ebenfalls bemerkt, dass die Schaltung von **Fig. 25** ebenfalls für den Ansteuervorgang von **Fig. 16B** verwendet werden kann.

(Ausführungsform 7)

[0140] **Fig. 26A** und **26B** sind Schaltbilder einer siebten Ausführungsform eines erfindungsgemäßen DRAMs, die zwei Zellenarrays (A, B) als Beispiele zeigen.

[0141] Mit dieser Ausführungsform kann der Pegel der Leichtigkeit des Lesens von "1" und "0" durch Anordnen von Dummy-Zellen in den Zellenarrays und Auswählen von zwei oder mehr als zwei Werten zum Absenken jeweils von $/DW_{A0}$ bis $/DW_{A2}$ und $/DW_{B0}$ bis $/DW_{B2}$ oder durch Auswählen von drei Werten zum Absenken eines von $/DW_{A0}$ bis $/DW_{A2}$ korrigiert werden.

[0142] Es sei beispielsweise angenommen, dass BL_0 mehr als BL_2 um V_X als Ergebnis von verschiedenen Kopplungsoperationen angehoben wird, wenn W_{A0} ausgewählt wird.

[0143] Wenn BL_0 und BL_1 um V_Y abgesenkt werden, wenn die Dummy-Wortleitung $/DW_{A0}$ von V_{CC} auf V_{SS} abgesenkt wird, dann werden BL_1 und BL_2 um V_Y abgesenkt, wenn $/DW_{A1}$ von V_{CC} auf V_{SS} abgesenkt wird. BL_0 und BL_2 werden ebenfalls um V_Y abgesenkt, wenn $/DW_{A2}$ von V_{CC} auf V_{SS} abgesenkt wird. Somit wird, wenn $/DW_{A0}$ bis $/DW_{A2}$ um Spannungen V_{A0}/V_{CC} , V_{A1}/V_{CC} und V_{A2}/V_{CC} abgesenkt werden, der Unterschied zwischen BL_0 und BL_2 nach der Korrektur des Bewegens der Dummy-Wortleitungen durch die nachstehende Gleichung ausgedrückt.

$$BL_0 - BL_2 = (V_{A0} \times V_Y + V_{A2} \times V_Y) - (V_{A1} \times V_Y + V_{A2} \times V_Y) = (V_{A1} - V_{A0})V_Y$$

[0144] Auf der offenen S_{A1} -Seite gilt die folgende Gleichung.

$$BL_1 - BL_4 = (V_{A0} + V_{A1})V_Y$$

[0145] Somit können Korrekturen durch Auswählen eines geeigneten Werts für $V_{A0} + V_{A1}$ ausgeführt werden.

(Ausführungsform 8)

[0146] **Fig. 27** ist ein Schaltbild einer achten Ausführungsform eines erfindungsgemäßen DRAMs, das zwei Zellenarrays (A, B) als Beispiele zeigt.

[0147] Mit dieser Ausführungsform kann erneut der Pegel der Leichtigkeit des Lesens von "1" und "0" durch Anordnen von Dummy-Zellen in der Zellenarrays und Auswählen von zwei oder mehr als zwei Werten zum Absenken von jeweils $/DW_{A0}$ bis $/DW_{A2}$ und $/DW_{B0}$ bis $/DW_{B2}$ oder Auswählen von drei Werten zum Absenken eines von $/DW_{A0}$ bis $/DW_{A2}$ korrigiert werden.

[0148] Diese Ausführungsform arbeitet im wesentlichen auf die gleiche Art und Weise wie die obige Ausführungsform 7. Wenn W_{A0} ausgewählt wird, gelten die folgenden Gleichungen.

$$BL_0 - BL_1 = (V_{A0}' + V_{A1}')V_Y - (V_{A1}' + V_{A2}')V_Y = (V_{A0}' - V_{A2}')V_Y$$

$$BL_0 - BL_2 = (V_{A0}' + V_{A2}')V_Y - (V_{A1}' + V_{A2}')V_Y = (V_{A0}' - V_{A1}')V_Y$$

[0149] Somit kann der Pegel der Leichtigkeit des Lesens von "1" und derjenige des Lesens von "0" geeignet korrigiert werden.

(Ausführungsform 9)

[0150] **Fig. 28** ist ein Schaltbild einer neunten Ausführungsform eines erfindungsgemäßen DRAMs, das zwei Zellenarrays (A, B) als Beispiele zeigt.

[0151] Obwohl Kondensatoren mit den Bitleitungen bei der Ausführungsform von **Fig. 12** verbunden sind, wird die gleiche Wirkung bei dieser Ausführungsform durch Modifizieren der Gatelänge und der Gatebreite der zwischen den Zellenarrays und der Leseverstärker angeordneten Schalter für den Betrieb der Vorrichtung erreicht. Da die Schalter angeordnet sind, um "H" und "L" für ausgewählte Zellen umzuschalten, kann die Wirkung des Kondensators einfach durch Verändern des Grads der Kopplung ohne Verwenden zusätzlicher Takte erreicht werden.

[0152] **Fig. 29** ist ein Schaltbild einer zehnten Ausführungsform eines erfindungsgemäßen DRAMs, das zwei Zellenarrays (A, B) als Beispiele zeigt.

[0153] Obwohl Kondensatoren mit den Bitleitungen bei der Ausführungsform von **Fig. 20** verbunden sind, wird die gleiche Wirkung bei dieser Ausführungsform durch Modifizieren der Länge und der Breite der Gates der zwischen den Zellenarrays und den Leseverstärkern angeordneten Schaltern für den Betrieb der Vorrichtung erreicht.

(Bezugsbeispiel 11)

[0154] **Fig. 30** ist ein Schaltbild eines elften Bezugsbeispiels eines DRAMs, das zwei Zellenarrays (A, B) als Beispiele zeigt. **Fig. 31** zeigt Timing-Diagramme zum Ansteuern der Schaltung.

[0155] Mit Bezug auf **Fig. 30** werden Leseverstärker SA_0 bis SA_S , Wortleitungen W_{A0} bis W_{A2} und W_{B0} bis W_{B2} , Bitleitungen BL_0 bis BL_{15} , die in Zellenarrays angeordnet sind, und Bitleitungen $/BL_{A0}$, BL_{A0} , $/BL_{A1}$, BL_{A1} , $/BL_{B0}$, BL_{B0} , $/BL_{B1}$, BL_{B1} , $/BL_{C0}$, BL_{C0} , $/BL_{C1}$, BL_{C1} , die in Leseverstärkerabschnitten angeordnet sind, gezeigt. Es werden ebenfalls Steuersignale P_{A0} , P_{A12} , P_{A11} , P_{B1} , P_{B020} , P_{B022} , P_{C11} , P_{C1} , P_{C020} , P_{C022} , P_{D0} und P_{D12} für Schalter gezeigt, die ausgestaltet sind, um die Verbindungen der Bitleitungen von Speicherzellen und der Bitleitungspaare der Leseverstärker umzuschalten.

[0156] Leseverstärker (SA) mit einer gefalteten BL-Konfiguration werden an dem rechten Ende des Zellenarrays B und an dem linken Ende des Zellenarrays A angeordnet. Die SA an dem rechten Ende des Zellenarrays B werden von dem zur Rechten des Zellenarrays B positionierten Zellenarray gemeinsam genutzt, um dort ein gemeinsames SA-System zu bilden. Auf ähnliche Weise werden die SA an dem linken Ende des Zellenarrays A von dem an der Linken des Zellenarrays B positionierten Zellenarray gemeinsam genutzt, um dort ein gemeinsam genutztes SA-System ebenfalls zu bilden.

[0157] Hinsichtlich der Wortleitungen des Zellenarrays A sei nun angenommen, das W_{A0} ausgewählt wird. Dann wird aus SA_0 , SA_2 und SA_3 , SA_0 ein Paar von Bitleitungen mit einer der drei Bitleitungen, die eine Speicherzelle aufweist, beispielsweise BL_1 , und einem der Bitleitungspaare BL_3 und BL_5 von SA_3 mit einer gefalteten BL-Konfiguration, beispielsweise BL_3 , die an der Bezugsseite positioniert ist, als gefaltete BLs gebildet, um die SA zu betreiben. Auf ähnliche Weise bildet SA_2 ein Paar von Bitleitungen von BL_2 und BL_0 als gefaltete BLs, um den SA zu betreiben, und SA_3 bildet ein Paar von Bitleitungen von BL_5 und BL_3 als gefaltete BLs, um den SA zu betreiben. BL_3 wird als eine Bezugsbitleitung verwendet, die gemeinsam für SA_0 und SA_3 zu verwenden ist.

[0158] Zum Neuschreiben von Daten i eine Speicherzelle wird der gemeinsam genutzte Zustand der Bezugsbitleitung suspendiert, und das Bitleitungspaar BL_1 , BL_3 , das mit dem Leseverstärker SA_0 verbunden ist, wird als gefaltete BLs verwendet, um den Neuschreibvorgang auszuführen, während eine der drei Bitleitungen des Arrays B, die angrenzend an die BL_2 des Arrays A positioniert ist, beispielsweise BL_8 , als eine Bezugsbitleitung verwendet wird, um als ein Bitleitungspaar mit einer offenen BL-Konfiguration verwendet zu werden und mit dem Leseverstärker SA_2 verbunden zu sein. Auf ähnliche Weise wird eine der drei Bitleitungen des Arrays B, die benachbart zu BL_5 des Arrays A angeordnet sind, beispielsweise BL_{11} , als eine Bezugsbitleitung verwendet, die für ein Bitleitungspaar mit einer offenen BL-Konfiguration zu verwenden ist und mit dem Leseverstärker SA_3 verbunden ist.

[0159] Mit der obigen Anordnung wird kein Rauschen, das für offene BLs spezifisch ist, mittels Wortleitungen während Lesevorgängen erzeugt, um die Wirkung zu erzeugen, dass die gefaltete BL-Konfiguration Rauschen löscht, die mittels unausgewählter Wortleitungen erzeugt werden, um folglich den Gesamttrauschpegel zu verringern.

[0160] Da außerdem die offene BL-Konfiguration und die gefaltete BL-Konfiguration zum Neuschreiben von Daten kombiniert werden, wird ermöglicht, dass gewöhnliche Neuschreibvorgänge und die Entzerrung von Bitleitungen stattfindet. Auf ähnliche Weise wird, wenn eine Wortleitung des Arrays B ausgewählt wird, eine Bitleitung des Arrays als ein gemeinsamer Bezug für den Lesevorgang verwendet, um eine gefaltete BL-Konfiguration zu bewirken. Für einen Neuschreibvorgang wird andererseits eines der Bitleitungspaare verwendet, um eine gefaltete BL-Konfiguration zu bewirken, während die Verwendung des anderen Bitleitungspaars als gemeinsam genutzte Bezugs-BLs suspendiert wird, und die Bitleitung des Arrays B, durch die die Speicherzellendaten ausgelesen werden, und die Bitleitung (Bezugs-BL) des Arrays A, die benachbart dazu angeordnet sind, werden verwendet, um ein Paar einer offenen BL-Konfiguration für einen Neuschreibvorgang zu bilden.

[0161] Die Zellenarrays weisen Speicherzellen an zwei Dritteln der Schnittpunkte ihrer Wortleitungen und Bitleitungen auf, so dass, während das Verhältnis der Anzahl von Speicherzellen zu derjenigen von Schnittpunkte niedriger als dasjenige von Zellenarrays einer offenen BL-Konfiguration ist, ist es höher als dasjenige von Zellenarrays einer gefalteten BL-Konfiguration, an der Speicherzellen nur an einer Hälfte der Schnittpunkte der Wortleitungen und der Bitleitungen angeordnet sind. Folglich kann eine erfindungsgemäße Speichervorrichtung

tung die Fläche der Speicherzellen verglichen mit einer vergleichbaren Speichervorrichtung mit einer gefalteten BL-Konfiguration verringern. Außerdem wird ein Leseverstärker (SA) jeweils für drei Bitleitungen (BL) angeordnet, um die Ausgestaltungsanforderungen für SAs zu abzumildern, verglichen mit einer Vorrichtung mit einer offenen BL-Konfiguration.

[0162] Wenn ein bestimmtes Bitleitungspaar der Anordnung von **Fig. 30**, die eine Zellenarrayanordnung aufweist, wie es oben beschrieben ist, betrachtet wird, wenn sie zum Lesen von Daten mit der gefalteten BL-Konfiguration verwendet wird, ist ersichtlich, dass die Bitleitung, durch die die Daten in einer Speicherzelle gelesen werden, zwischen dem Bitleitungspaar platziert wird, um die Verbindung zwischen der Bitleitung der Speicherzelle und der Bitleitung des entsprechenden Leseverstärkers ohne Rücksicht auf die Position der ausgewählten Wortleitung umzuschalten.

[0163] Wenn beispielsweise angenommen wird, dass die Wortleitung W_{A0} ausgewählt wird, wird sie angehoben, nachdem P_{A12} , P_{B11} und P_{B1} auf den Pegel "L" gebracht und P_{A0} , P_{B020} und P_{B022} auf dem Pegel "H" gehalten werden, wie es in **Fig. 31** gezeigt ist. Dann werden die Speicherzellendaten auf BL_1 , BL_2 , BL_3 , und BL_4 gelesen. Dann werden die Daten in SA_0 mittels BL_1 , durch die die entsprechenden Zellendaten ausgelesen werden, und der Bezugsbitleitung BL_3 als ein gefaltetes BL-Paar gebracht, da P_{A0} , P_{B020} und P_{B022} auf "H" gehalten werden.

[0164] Auf ähnliche Weise werden Daten in SA_1 durch Verwenden von BL_4 , durch die die entsprechenden Zellendaten ausgelesen werden, und der Bezugsbitleitung BL_6 als ein gefaltetes BL-Paar, und ebenfalls in SA_1 durch Verwenden von BL_5 , durch die Zellendaten ausgelesen, und die Bezugsbitleitung BL_3 als ein gefaltetes BL-Paar gebracht. Es sei bemerkt, dass die Bezugsbitleitung BL_3 von den Bitleitungspaaren von SA_0 und SA_3 gemeinsam genutzt werden.

[0165] Während nur vier Spalten und somit nur eine gemeinsam genutzte Bezugsbitleitung in **Fig. 30** gezeigt sind, ist es ersichtlich, dass eine gemeinsam genutzte Bezugsbitleitung für jeweils drei Bitleitungen erscheint. Diese Anordnung unterscheidet sich offensichtlich von derjenigen von **Fig. 4**, da bei dieser Anordnung die Bitleitung BL_2 , durch die die Zellendaten von SA_2 ausgelesen werden, zwischen dem Bitleitungspaar BL_1 , BL_3 von SA_0 platziert wird, und die Bitleitung BL_5 , durch die die Zellendaten von SA_3 gelesen werden, zwischen dem Bitleitungspaar BL_4 , BL_6 von SA_3 platziert wird, während die Bitleitung BL_1 , durch die die Zellendaten von SA_0 ausgelesen werden, zwischen dem Bitleitungspaar BL_0 , BL_2 von SA_2 platziert werden, und die Bitleitung BL_9 , durch die die Zellendaten von SA_1 ausgelesen werden, zwischen dem Bitleitungspaar BL_3 , BL_5 platziert wird.

[0166] Der oben beschriebene Datenlesevorgang, der stattfindet, wenn die Wortleitung W_{A0} ausgewählt wird, kann klarer mit Bezug auf die deutlich durchgezogenen fetten Linien von **Fig. 32** verstanden werden. Wenn BL_2 , durch die die Speicherzellendaten, die in SA_2 gebracht werden, ausgelesen werden, einer Änderung gleich dem Volumen des Lesesignals unterworfen wird, wird ein Rauschen verursacht, das an die benachbarten Bitleitungen mittels der Kopplungskapazität C_{BB} zwischen den Bitleitungen angelegt wird (**Fig. 32**). Da das Bitleitungspaar BL_1 und BL_3 von SA_0 an beiden Seiten von BL_2 angeordnet sind, werden sie nun einem gleichen Rauschbetrag mit einer gleichen Phase unterworfen. Wenn von SA_0 aus betrachtet, die Potentialdifferenz zwischen BL_1 und BL_3 , die ein Bitleitungspaar bilden, ändert sich nicht, und die Wirkung des Array-Rauschens von BL_2 wird gelöscht.

[0167] Somit ist das Nettorauschen, dem das Bitleitungspaar von BL_1 , BL_3 ausgesetzt ist, das Zwischenbitleitungs-Rauschen von $C_{BB}V_S$ (V_S stellt das Volumen des Lesesignals von BL_4 dar), das durch BL_4 erzeugt wird, durch die die Speicherzellendaten für SA_1 ausgelesen werden. Mit anderen Worten kann das Nettorauschen auf ein Drittel des Zwischenbitleitungs-Rauschens von $3C_{BB}V_S$ von **Fig. 4** verringert werden, und, da der Rauschpegel ohne Verwenden von verdrehten Bitleitungen abgesenkt werden kann, kann die Gesamtchipgröße bedeutend verringert werden.

[0168] Aus dem gleichen Grund kann das Zwischenbitleitungs-Rauschen, das auf die von den Bitleitungen ausgelesenen Signale zurückzuführen ist, die zwischen den Bitleitungspaaren von SA_1 , SA_2 platziert sind, gelöscht werden, so dass das Zwischenbitleitungs-Rauschen von $C_{BB}V_S$ auf jeder der Bitleitungen auf ein Drittel des Zwischenbitleitungs-Rauschens von $3C_{BB}V_S$ von **Fig. 4** verringert werden kann.

[0169] Nachdem das Datenelement einer Speicherzelle auf einen entsprechenden Leseverstärker ausgelesen wird, werden P_{A0} , P_{B020} und P_{B022} auf den Pegel "L" gebracht, wie es in **Fig. 31** gezeigt ist, um den Leseverstärker zu aktivieren, um ein winziges Signal zu verstärken.

[0170] Nun sei der Betrieb des Zurückbringens oder Neuschreibens der Daten auf die ursprüngliche Speicherzelle betrachtet. P_{A0} wird auf den Pegel "H" für SA_0 und SA_1 gebracht, und Daten werden in die entsprechenden Speicherzellen durch Verwenden von BL_1 und BL_3 und BL_4 und BL_6 als Bitleitungspaare mit einer gefalteten BL-Konfiguration neu geschrieben.

[0171] Gemäß diesem Zustand wird, da BL_3 für SA_0 verwendet wird und für den Neuschreibvorgang von SA_3 nicht verwendet werden kann, P_{B020} auf den Pegel "H" zurückgebracht, P_{B022} auf dem Pegel "L" gehalten, und P_{C022} , die mit dem benachbarten Array B verbunden ist, auf den Pegel "H" für den Neuschreibvorgang auf SA_2 und SA_3 gebracht. Mit anderen Worten verwendet SA_2 BL_2 und BL_8 für ein Bitleitungspaar mit einer offenen BL-Konfiguration, und SA_3 verwendet BL_5 und BL_{11} für ein Bitleitungspaar ebenfalls mit einer offenen BL-Konfiguration.

[0172] Auf ähnliche Weise werden, wenn Wortleitungen W_{A1} und W_{AZ} ausgewählt werden, die Steuersignale P_{A0} , P_{A12} , P_{B1} , P_{B11} , P_{B020} , P_{B022} , P_{C11} , P_{C1} , P_{C020} und P_{C022} geeignet gesteuert, wie es in **Fig. 31** gezeigt ist, so dass, wenn W_{A1} ausgewählt wird, die Verbindung zwischen der Bitleitung zum Lesen der Daten der Speicherzelle und der Bitleitung des entsprechenden Leseverstärkers auf diejenige von **Fig. 34** umgeschaltet wird, während sie auf diejenige von **Fig. 35** für einen Neuschreibvorgang umgeschaltet wird.

[0173] Auf ähnliche Weise wird, wenn W_{A2} ausgewählt wird, die Verbindung zwischen der Bitleitung zum Lesen der Daten der Speicherzelle und der Bitleitung des entsprechenden Leseverstärkers auf diejenige von **Fig. 36** umgeschaltet, während sie auf diejenige von **Fig. 35** für einen Neuschreibvorgang umgeschaltet wird.

[0174] In jedem der beiden Fälle wird eine Bitleitung, durch die Daten aus einer Speicherzelle gelesen werden, umgeschaltet und zwischen einem Bitleitungspaar für jeden Datenlesevorgang platziert, um das maximale Array-Rauschen zu verringern, das immer auf $C_{BB}V_S$ verringert werden kann.

[0175] In **Fig. 36** werden BL_1 und BL_6 jeweils zwischen einem Bitleitungspaar BL_0 und BL_2 des äußersten Leseverstärkers SA_2 und dem Bitleitungspaar BL_5 und BL_7 des Leseverstärkers SA_1 platziert. Diese Bitleitungen werden nicht zum Auslesen von Speicherzellendaten auf irgendeinen Leseverstärker verwendet, wenn BL_2 ausgewählt wird, und beeinflussen folglich nicht die Bitleitungspaare von BL_0 und BL_2 und BL_5 und BL_7 mit Auslese-Rauschen.

[0176] Es ist durch Vergleichen von **Fig. 32**, **34** und **36** ersichtlich, dass durch Umschalten der Wortleitung von W_{A0} auf W_{A1} die ausgewählte Speicherzelle sich um eine Bitleitung in der Speicherzelle nach unten bewegt, und dementsprechend wird die Verbindung der Bitleitung des Speicherzellenarrays und derjenigen des Leseverstärkers ebenfalls um eine Bitleitung nach unten geschaltet, wenn W_{A1} ausgewählt wird. Wenn W_{A2} ausgewählt wird, wird jedoch die Verbindung der Bitleitungen um eine Bitleitung an der Seite von SA_0 und SA_1 abgesenkt, obwohl sie genauso ausgeführt wird, wenn W_{A0} an der Seite von SA_2 und SA_3 ausgewählt wird. Mit dieser Anordnung des Umschaltens der Verbindung der Bitleitung des Zellenarrays und derjenigen des Leseverstärkers gemäß der ausgewählten Bitleitung, kann der Rauschpegel bedeutend verringert werden.

(Bezugsbeispiel 12)

[0177] **Fig. 38** ist ein Schaltbild einer zwölften Ausführungsform eines erfindungsgemäßen DRAMs, das zwei Zellenarrays (A, B) als Beispiele zeigt.

[0178] Diese Ausführungsform ist die selbe, wie die in **Fig. 30** gezeigte Anordnung hinsichtlich einer äquivalenten Schaltung und unterscheidet sich von ihr dadurch, dass die Schalter zum Verbinden der Leseverstärker und der Speicherzellen ein Spiegelbild derjenigen von **Fig. 30** in dem Sinn von Wortleitungen innerhalb der gebrochenen Kreise zeigt. Mit anderen Worten können die Schalter unterschiedlich angeordnet sein, ohne die äquivalente Schaltung zu ändern. Da der Betrieb der Schaltung von **Fig. 38** genauso arbeitet, wie derjenige der Schaltung von **Fig. 30**, wird er hier nicht weiter beschrieben.

(Bezugsbeispiel 13)

[0179] **Fig. 39** ist ein Schaltbild des dreizehnten Bezugsbeispiels eines DRAMs, das zwei Zellenarrays (A, B) als Beispiele zeigt. **Fig. 40** ist ein Timing-Diagramm zum Ansteuern der Schaltung.

[0180] Diese Schaltung ist frei von dem folgenden Problem des elften Bezugsbeispiels. Bei Betrachten des Betriebs von SA_0 ist ersichtlich, wenn die Wortleitung W_{A0} in **Fig. 32** ausgewählt wird, dass P_{A12} , P_{B11} und P_{B1} von "H" auf "L" heruntergebracht werden, bevor die Wortleitung zum Lesen von Daten angehoben wird. Gemäß diesem Zustand wird die mit der Source oder dem Drain verbundene Bitleitung durch kapazitive Kopplung des Gates und der Source oder des Gates und dem Drehen des Transistors des Schalters zwischen dem Zellenarray und dem Leseverstärker geringfügig abgesenkt. Dies wird mit "o" in **Fig. 32** angegeben. Da zusätzlich die Zellendaten auf SA_0 zwischengespeichert werden, nachdem die Wortleitung angehoben und sie in SA_1 bewegt wird, werden P_{A0} , P_{B020} und P_{B022} abgesenkt. Die Positionen, die durch die Kopplung zu beeinflussen sind, werden durch "X" angegeben. Es sei bemerkt, dass die Bitleitung BL_{A0} , durch die die Speicherzellendaten von SA_0 ausgelesen werden, drei "o" s und ein "x" überträgt, und die Bezugsbitleitung BL_{A0} ebenfalls drei "o" s und ein "x" überträgt.

[0181] Wenn andererseits W_{A1} ausgewählt wird, wie es in **Fig. 34** gezeigt ist, überträgt die Bitleitung BL_{A0} auf der Zellendatenseite von SA_0 zwei "o" s und ein "x", während die Bitleitung BL_{A0} auf der Bezugsseite drei "o" s und ein "x" überträgt. Wenn W_{A2} ausgewählt wird, wie es in **Fig. 36** gezeigt ist, überträgt die Bitleitung BL_{A0} auf der Zellendatenseite von SA_0 drei "o" s und ein "x", während die Bitleitung BL_{A0} auf der Bezugsseite zwei "o" s und ein "x" überträgt. Somit unterscheidet sich der Einfluss der Kopplung abhängig von der ausgewählten Bitleitung W_{A0} bis W_{A2} und folglich unterscheidet sich der Pegel der Leichtigkeit des Lesen der Daten "1" von demjenigen des Lesens von Daten "0".

[0182] Wenn beispielsweise eine Bitleitung, durch die Speicherzellendaten ausgelesen werden, abgesenkt wird, wenn sie durch Kopplung beeinflusst wird, wird "1" weniger einfach zu lesen, wohingegen "0" leichter zu

lesen wird. Außerdem kann sich der Pegel zum leichten Lesen der Daten "1" von demjenigen des Lesens der Daten "0" unterscheiden, wenn einige der Komponenten, wie beispielsweise Schalter, unterschiedlich angeordnet sind, wie in dem Fall von **Fig. 30** und **38**.

[0183] Die Anordnung von **Fig. 39** kann derartige Probleme lösen. In **Fig. 39** werden Kondensatoren mit einer Kopplungskapazität von C_1 mit Bitleitungspaaren der Leseverstärkerabschnitte verbunden, und Steuersignale Φ_0 bis Φ_5 werden mit den entgegengesetzten Anschlüssen der jeweiligen Kondensatoren verbunden, so dass das oben beschriebene Ungleichgewicht der Bitleitungspaare durch Verwenden von Φ_0 bis Φ_5 ausgeglichen wird, wenn Daten aus Speicherzellen ausgelesen werden. Es wird ersichtlich sein, dass die Idee die gleiche wie diejenige der ersten Ausführungsform ist, die vorher beschrieben wurde.

[0184] Da der Pegel der Unausgeglichenheit von Bitleitungspaaren sich abhängig von der ausgewählten der Wortleitungen W_{A0} bis W_{A2} verändern kann, werden die Amplituden von Φ_0 bis Φ_5 abhängig von der ausgewählten der Wortleitungen W_{A0} bis W_{A2} unterschieden, wie es in **Fig. 40** gezeigt ist. Somit unterscheidet sich die bei dieser Anordnung verwendete Technik von irgendwelchen bekannten Dummy-Zelltechniken oder Kopplungstechniken eines einzigen Korrekturtyps, mit der alle Amplituden der Steuersignale gleich gemacht werden und identisch sind.

[0185] Mit Bezug auf **Fig. 40** wird, wenn die Daten einer Speicherzelle ausgelesen werden, das Steuersignal, das mit C_1 der Bitleitung des Leseverstärkerabschnitts verbunden ist, der auf der Bitleitungsseite der Speicherzelle angeordnet ist, aus der die Daten ausgelesen werden, abgesenkt. Wenn beispielsweise W_{A0} ausgewählt wird, werden Speicherzellendaten auf $/BL_{A0}$ ausgelesen, so dass Φ_0 auf V_{FFA0} abgesenkt wird. **Fig. 41A** bis **41D** veranschaulichen beispielhafte Schaltungen, die eine derartige veränderliche Amplitude verwirklichen kann.

[0186] Das Signal Φ_0 wird auf V_{CC} vorgeladen, da Φ_{FFA0} und Φ_{FFA1} auf dem Pegel "L" sind. Wenn W_{A0} ausgewählt wird, wird nur V_{FFA0} auf den Pegel "H" angehoben, und Φ_0 wird auf die Quellenspannung von V_{FFA0} abgesenkt.

[0187] Wenn unterschiedliche Quellenspannungen von V_{FFA0} , V_{FFA1} , V_{FFA2} , V_{FOA0} , V_{FOA1} und V_{FOA2} in dem Chip in **Fig. 41A** bis **41D** erzeugt werden, kann die Schaltung von **Fig. 42** jede gewünschte Spannung aus V_{CC} an V_{SS} auf eine einfache Weise erzeugen.

[0188] Mit Bezug auf **Fig. 42** ist zur Zeit des Vorladens $/\Phi_{PRE}$ auf "H", und C_{X0} und C_{X2} werden auf V_{SS} vorgeladen, während Φ auf V_{CC} vorgeladen wird, da Φ_{FFA0} und Φ_{FFA1} auf dem Pegel "L" sind. Dann fällt, wenn $/\Phi_{PRE}$ auf den Pegel "L" und Φ_{FFA0} auf dem Pegel "H" als Ergebnis der Auswahl von W_{A0} ansteigt, die Ausgabe Φ_0 als Ergebnis der Ladungsverteilung der Kapazität C_{X0} und der negativen Kapazität C_Y ab.

[0189] Die Amplitude von Φ_0 kann frei durch Ändern der Werte von C_{X0} und C_{X2} verändert werden. Diese Technik kann auf die Anordnung von **Fig. 38** angewendet werden.

[0190] Es sei bemerkt, dass nicht nur die Amplituden von Φ_0 bis Φ_2 unabhängig verändert werden können, sondern ebenfalls die Position der Wortleitung, die verwendet wird, um den Wert der Kapazität C_1 des Leseverstärkers auszuwählen, die Positionen der Leseverstärker zum Empfangen von Φ_0 und Φ_1 , die Kapazität C_1 der Leseverstärker zum Empfangen von Φ_2 , Φ_3 , Φ_4 und Φ_5 , die Amplitude von Dummy-Wortleitungen und die Potentiale von Dummy-Zellen, wenn sie von dem Typ des externen Datenschreibens sind, um irgendwelche unerwünschten Unausgeglichenheiten zu korrigieren.

[0191] Die folgenden Beispiele sind ausgestaltet, um die Logikschaltung zum Bestimmen des Rests der Teilung der Adresse einer Wortleitung durch drei zu verbessern, wobei die Ausgabe dieser Logikschaltung als ein Signal zum Ansteuern von Speicherzellenarrays für den Zweck der Erfindung verwendet wird. Es sei bemerkt, dass eine derartige Logikschaltung ebenfalls für die oben beschriebenen Ausführungsformen 1 bis 13 verwendet werden kann.

(Bezugsbeispiel 14)

[0192] **Fig. 43** ist ein Schaltbild eines vierzehnten Bezugsbeispiels eines DRAMs. Diese Anordnung ist eine dynamische Halbleiter-Speichervorrichtung mit einer offenen/gefalteten hybriden BL-Konfiguration, wobei jedes der Zellenarrays eine Gesamtzahl von 256 Wortleitungen umfasst. Die Grundkonfiguration der Vorrichtung unterscheidet sich nicht besonders von derjenigen aller vergleichbaren herkömmlicher Vorrichtungen.

[0193] Eine 8-Bit-Adresse von A_0 bis A_7 wird für die Wortleitungen verwendet. **Fig. 44** ist ein Schaltbild einer Überschussschaltung zum Bestimmen des Restes, der durch Teilen der Adresse der ausgewählten Wortleitung durch drei erzeugt wird.

[0194] Bei dieser Anordnung werden drei Signalleitungen Z_0 , Z_1 und Z_2 für die Ausgabe der Überschussschaltung verwendet, wie in dem Fall der früher beschriebenen bekannten Überschussschaltung. Genauer gesagt wird $Z_0 = "1"$ verwendet, wenn der Rest der Teilung durch drei der Adresse gleich 0 ist, und $Z_1 = "1"$ wird verwendet, wenn der Rest der Teilung durch drei der Adresse gleich 1 ist, wohingegen $Z_2 = "1"$ verwendet wird, wenn der Rest der Teilung durch drei der Adresse gleich 2 ist. Außerdem ist dieser Chip in einem Standby-Zustand, der durch $Z_0 = Z_1 = Z_2 = "0"$ ausgedrückt wird.

[0195] Die Beziehung zwischen dem Ausgang der Überschussschaltung und der Eingangsadresse wird

nachstehend in Tabelle 2 gezeigt.

Tabelle 2

A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	Z ₀	Z ₁	Z ₂
0	0	0	0	0	0	0	0	1	0	0
0	0	0	0	0	0	0	1	0	1	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	1	1	1	0	0
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	0	1	0	1	0	0	1
0	0	0	0	0	1	1	0	1	0	0
0	0	0	0	0	1	1	1	0	1	0
0	0	0	0	1	0	0	0	0	0	1
				
1	1	1	1	1	1	1	1	0	1	0
wenn der Chip in einem Standby-Zustand ist								0	0	0

[0196] Die Überschussschaltung umfasst Schaltungen A und B. Die acht Bits jeder Adresse wird in vier 2-Bits geteilt, wobei jede durch drei geteilt wird, und der Rest von der Schaltung A bestimmt wird, wohingegen die Schaltung B zwei 3-Phasen-Signale hinzufügt und die Summe durch drei teilt, um den Rest zu erzeugen.

Fig. 45A und **45B** zeigen beispielhafte Schaltungskonfigurationen der Schaltung A bzw. der Schaltung B.

[0197] Das Adressensignal A₅ und sein komplementäres Signal /A₁ werden als Eingänge in die Überschussschaltung verwendet. Diese Adressensignale werden auf "L" gehalten, wenn der Chip in einem Standby-Zustand ist, und entweder A_i oder /A_i geht auf "H" geht, wenn der Chip aktiviert wird.

[0198] Wenn der Chip in einem Standby-Zustand ist und folglich A_i und /A_i auf "L" gehalten werden, sind alle Ausgaben von der Schaltung A auf "L", um alle Ausgaben der Schaltung B, die die Ausgaben der Schaltung A verwendet, ebenfalls auf "L" zu machen, und folglich alle Ausgaben von Z₀, Z₁ und Z₂ der Überschussschaltung dazu zu bringen, bei "L" zu bleiben. Wenn der Chip aktiviert, und entweder A_i oder /A_i auf "H" gebracht wird, geht nur einer der drei Ausgänge der Schaltung A auf "H". Dann wird das Ergebnis an die Schaltung B übertragen, und als Konsequenz ändert sich nur einer der drei Ausgänge der Überschussschaltung von "L" in "H".

[0199] **Fig. 46** veranschaulicht die obige Beschreibung. Da Z₀, Z₁ und Z₂ alle auf "L" in einem Standby-Zustand sind, tritt kein Problem der Mehrfachauswahl auf, wie es in **Fig. 11** dargestellt ist, wenn der Chip aktiviert wird, so dass der Chip dazu gebracht wird, zu jeder Zeit stabil zu arbeiten. (Bezugsbeispiel 15)

[0200] **Fig. 47** veranschaulicht ein fünfzehntes Bezugsbeispiel, das eine Überschussschaltung mit einer Schaltung A ist, die 4-Bit-Adressen als Eingaben verwendet. **Fig. 48A** bis **48S** veranschaulichen beispielhafte Schaltbilder von Schaltungen C der Überschussschaltung von **Fig. 47**.

[0201] Die Überschussschaltung umfasst Schaltungen C zum Empfangen eines 4-Bit-Adressensignals und seines komplementären Signals und erzeugt die Reste, die jeweils durch Teilen dieser durch drei erhalten werden, und die Schaltung B zum Empfangen der Ausgaben der beiden Schaltungen C und erzeugt den Rest, der durch Teilen der Summe durch drei erhalten wird. Es sei bemerkt, dass die Schaltung B mit derjenigen identisch ist, die bei dem vierzehnten Bezugsbeispiel verwendet wird.

[0202] Bei diesem Bezugsbeispiel werden drei Ausgänge Y₀₀, Y₀₁ und Y₀₂ der ersten Schaltung C, die Adressensignale A₀ bis A₃ empfängt, und drei Ausgänge Y₁₀, Y₁₁ und Y₁₂ der zweiten Schaltung, die ihre komplementären Signale A₄ bis A₇ empfängt, an die Schaltung B angelegt, die mit derjenigen des vierzehnten Bezugsbeispiels identisch ist, und Ausgaben Z₀, Z₁ und Z₂ der Schaltung B stellen die Reste dar, die durch Teilen der Adressen A₀ bis A₇ durch drei erhalten wurden.

[0203] Wie in dem Fall des vorhergehenden Beispiels werden, wenn der Chip in einem Standby-Zustand ist, und das Adressensignal A_i und sein komplementäres Signal /A_i auf "L" gehalten wird, alle Ausgaben von der Schaltung C auf "L" gehalten, so dass folglich alle Ausgaben Z₀, Z₁ und Z₂ der Schaltung C auf "L" gehalten

werden. Die Beziehung zwischen der Eingangsadresse und dem Ausgang der Überschussschaltung ist die gleiche wie diejenige des vorhergehenden Beispiels.

[0204] Es sei bemerkt, dass jede Adresse in 2 Bits bei dem vierzehnten Beispiel aufgeteilt wird, und die Reste, die durch Teilen dieser durch drei erhalten werden, werden durch die Hinzufügungsschaltung der Schaltung B hinzugefügt, wohingegen jede Adresse in 4-Bits aufgeteilt wird, die dann bei dem fünfzehnten Beispiel hinzugefügt werden. Auf ähnliche Weise können Adressen in gerade Bits, wie beispielsweise 2-Bits, 4-Bits, 6-Bits usw. zum Bestimmen der Reste der Teilung durch drei der Adressen aufgeteilt werden.

[0205] Andererseits ist die maximale Anzahl von Adressen, aus denen Reste erhalten werden, typischerweise die Anzahl der Wortleitungen, die ein Speicherzellenarray umfasst. Mit anderen Worten ist die Anzahl von Bits von Adressen typischerweise 8 (256 Wortleitungen) bis zehn (1.024 Wortleitungen). Somit wird eine Adresse vorzugsweise in 2-Bits oder 4-Bits aufgeteilt.

(Bezugsbeispiel 16)

[0206] Fig. 49 ist ein Schaltbild eines sechzehnten Bezugsbeispiels eines DRAMs. Bei dieser Ausführungsform umfasst jedes Speicherzellenarray 512 Wortleitungen, obgleich es eine dynamische Halbleiter-Speichervorrichtung mit einer offenen/gefalteten hybriden BL-Konfiguration wie bei den Beispielen 14 und 15 ist.

[0207] Die Adressen A_0 bis A_8 der Wortleitungen sind 9-Bit-Adressen. Fig. 50 zeigt ein Schaltbild der Überschussschaltung zum Bestimmen des Restes, der durch Teilen der Adresse einer ausgewählten Wortleitung durch drei erhalten wird.

[0208] Die Beziehung zwischen dem Ausgang der Überschussschaltung und der Eingangsadresse wird in der nachstehenden Tabelle 3 gezeigt.

Tabelle 3

A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	Z_0	Z_1	Z_2
0	0	0	0	0	0	0	0	0	1	0	0
0	0	0	0	0	0	0	0	1	0	1	0
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	0	1	1	1	0	0
0	0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	0	0	1	0	1	0	0	1
0	0	0	0	0	0	1	1	0	1	0	0
0	0	0	0	0	0	1	1	1	0	1	0
0	0	0	0	0	1	0	0	0	0	0	1
					
1	1	1	1	1	1	1	1	1	0	0	1
Wenn der Chip in einem Standby-Zustand ist									0	0	0

(Bezugsbeispiel 17)

[0209] Fig. 51 ist ein Schaltbild eines siebzehnten Bezugsbeispiels eines DRAMs. Bei dieser Schaltung umfasst jede Speicherzelle 1.024 Wortleitungen, obwohl sie eine dynamische Halbleiter-Speichervorrichtung mit einer offenen/gefalteten hybriden BL-Konfiguration wie bei den Beispielen 14 bis 16 ist.

[0210] Die Adressen A_0 bis A_9 der Wortleitungen sind 10-Bit-Adressen. Fig. 52 zeigt ein Schaltbild der Überschussschaltung zum Bestimmen des Restes, der durch Teilen der Adresse einer ausgewählten Wortleitung durch drei erhalten wird.

[0211] Die Beziehung zwischen dem Ausgang der Überschussschaltung und der Eingangsadresse wird in der nachstehenden Tabelle 4 gezeigt.

Tabelle 4

A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	Z ₀	Z ₁	Z ₂
0	0	0	0	0	0	0	0	0	0	1	0	0
0	0	0	0	0	0	0	0	0	1	0	1	0
0	0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	0	0	1	1	1	0	0
0	0	0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	0	0	0	1	0	1	0	0	1
0	0	0	0	0	0	0	1	1	0	1	0	0
0	0	0	0	0	0	0	1	1	1	0	1	0
0	0	0	0	0	0	1	0	0	0	0	0	1
						
1	1	1	1	1	1	1	1	1	1	0	1	0
wenn der Chip in einem Standby-Zustand ist										0	0	0

(Bezugsbeispiel 18)

[0212] **Fig. 53** und 54A bis 54C veranschaulichen ein achtzehntes Bezugsbeispiel, das eine Überschuss-schaltung mit Barrel-Schiebeeinrichtungen ist, die eine Schalltransistorlogik zum Umschalten der ersten drei Eingänge X₀, X₁ und X₂ und drei Ausgängen Y₀, Y₁ und Y₂ abhängig von dem Wert einer zweiten Eingabe verwendet.

[0213] **Fig. 53** ist ein Schaltbild, das die Verbindung zwischen Barrel-Schiebeeinrichtungen und einer Vorladeschaltung, die mit den Ausgangsknoten der Barrel-Schiebeeinrichtungen verbunden ist, darstellt, wohingegen **Fig. 54A bis 54C** jeweils einzelne Barrel-Schiebeeinrichtungen darstellen. Die Barrel-Schiebeeinrichtungen von **Fig. 54A bis 54C** steuern die Verbindung erster Eingänge X₀, X₁ und X₂ und Ausgänge Y₀, Y₁ und Y₂ mittels zweiter Eingänge von 2-Bit-Adressensignalen A_i und A_j und ihren komplementären Signalen /A_i und /A_j.

[0214] Bei dieser Ausführungsform werden X₀, X₁ und X₂ und Y₀, Y₁ und Y₂ mittels nMOS- und pMOS-Transistoren verbunden. Der nMOS-Transistor weist eine Gatelänge von LN und eine Gatebreite von WN auf, wohingegen der pMOS-Transistor eine Gatelänge von LP und eine Gatebreite von WP aufweist. Während ein CMOS mit einem nMOS und einem pMOS zum Übertragen aller Eingangsspannung ohne Unterscheidung mit einer Schwellenspannungen wirksam ist, kann die gleiche Wirkung erreicht werden, um ähnliche Ausgaben einfach mittels entweder eines nMOS oder eines pMOS zu erzeugen.

[0215] Die Beziehung zwischen Eingängen X₀, X₁ und X₂ und Ausgängen Y₀, Y₁ und Y₂ wird in der nachstehenden Tabelle 5 gezeigt.

Tabelle 5

			Y ₀	Y ₁	Y ₂
A _i =0,	A _j =0	(0)	X ₀	X ₁	X ₂
A _i =0,	A _j =1	(1)	X ₁	X ₀	X ₂
A _i =1,	A _j =0	(1)	X ₁	X ₂	X ₀
A _i =1,	A _j =1	(3)	X ₀	X ₁	X ₂

[0216] Wenn der Chip in einem Standby-Zustand ist, sind alle Adressensignale A_i, A_j, /A_i und /A_j auf "L", so

dass der erste Eingang und der Ausgang der Schaltung A elektrisch voneinander isoliert sind. Da der Ausgang der vierten Barrel-Schiebeeinrichtung in **Fig. 53** in einen elektrischen Schwebezustand gemäß dieser Bedingung gebracht wird, werden die Potentiale der Ausgänge Z_0 , Z_1 und Z_2 mittels einer Vorladeschaltung stationär gehalten. Genauer gesagt werden, da das Adressensignal A_0 und sein komplementäres Signal $/A_0$ auf "L" in einem Standby-Zustand gehalten wird, die Ausgänge Z_0 , Z_1 und Z_2 kurzgeschlossen, um das Massepotential unter dieser Bedingung zu zeigen.

[0217] Wenn der Chip aktiviert wird, wird entweder A_0 oder $/A_0$ auf "H" gebracht, und daher werden Z_0 , Z_1 und Z_2 von der Masse durch die Vorladeschaltung isoliert. Ihre Ausgangsknoten werden jedoch mit den Eingangspotentialen durch die damit in Reihe verbundene Barrel-Schiebeeinrichtung gemäß dem aktivierten Zustand verbunden, wobei das Ausgangspotential nicht instabil werden würde. Die Beziehung zwischen den Adressensignalen A_0 bis A_7 und den Ausgängen Z_0 , Z_1 und Z_2 der Überschussschaltung wird in der nachstehenden Tabelle 6 gezeigt.

Tabelle 6

A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	Z_0	Z_1	Z_2
0	0	0	0	0	0	0	0	H	L	L
0	0	0	0	0	0	0	1	L	H	L
0	0	0	0	0	0	1	0	L	L	H
0	0	0	0	0	0	1	1	H	L	L
0	0	0	0	0	1	0	0	L	H	L
0	0	0	0	0	1	0	1	L	L	H
0	0	0	0	0	1	1	0	H	L	L
0	0	0	0	0	1	1	1	L	H	L
0	0	0	0	1	0	0	0	L	L	H
				
1	1	1	1	1	1	1	1	L	H	L
wenn der Chip in einem Standby-Zustand ist								L	L	L

(Bezugsbeispiel 19)

[0218] **Fig. 55** und 56A bis 56D zeigen ein neunzehntes Bezugsbeispiel. **Fig. 55** zeigt die Verbindung von Barrel-Schiebeeinrichtungen, und **Fig. 56A** bis 56D sind Schaltbilder der einzelnen Barrel-Schiebeeinrichtungen.

[0219] Bei dieser Anordnung wird jede der Barrel-Schiebeeinrichtungen mit einer Vorladeschaltung zum Halten der Ausgangsspannung auf einem festen Pegel in einem Standby-Zustand versehen. Genauer gesagt sind, wenn alle Eingangssignale A_i , A_j , $/A_i$ und $/A_j$ auf "L" sind, X_0 , X_2 und Y_0 , Y_1 und Y_2 elektrisch voneinander isoliert, und nur die Ausgänge werden auf dem Massepotential gehalten. Die Beziehung zwischen den Adressen und den Ausgängen ist genau die selbe, wie diejenigen der Beispiele 14 bis 16.

[0220] Es sei bemerkt, dass mit der Schaltungskonfiguration dieser Ausführungsform die Gatelänge und die Gatebreite jeder der Schiebeeinrichtungen, die in Reihe verbunden sind, nicht notwendigerweise konstant gehalten werden. Das Verhältnis der Gatebreite W zu der Gatelänge L , oder $\beta = W/L$, ist normalerweise der Treiberkapazität des Transistors proportional, so dass die Verzögerungszeit von dem Eingang zu dem Ausgang der Überschussschaltung durch Verändern der Verhältnisse der vier in Reihe verbundenen Barrel-Schiebeeinrichtungen geringfügig für jede von ihnen verändert werden kann.

[0221] Genauer gesagt kann die Verzögerungszeit durch Auswählen von β -Werten der pMOS-Transistoren der vier Barrel-Schiebeeinrichtungen A, B, C und D minimiert werden, die in Reihe verbunden sind, um die folgende Beziehung zu erfüllen.

$$\beta_{PA} > \beta_{PB} > \beta_{PC} > \beta_{PD}$$

[0222] Dies ist so, da jede der Barrel-Schiebeeinrichtungen ihre eigene elektrische Kapazität aufweist, und

daher steigt die elektrische Ladung, der ein Durchlaufen ermöglicht werden muss, um von "L" in dem Vorladezustand auf "H" für einen ausgewählten Zustand aufzuladen, mit den Abständen von den Ausgängen Z_0 , Z_1 und Z_2 an.

[0223] Es sei bemerkt, dass die Betriebsgeschwindigkeit des nMOS-Transistors sich bei diese Ausführungsform nicht auf β bezieht. Somit kann die folgende Beziehung erfüllt werden.

$$\beta_{NA} > \beta_{NB} > \beta_{NC} > \beta_{ND}$$

(Bezugsbeispiel 20)

[0224] **Fig. 57** zeigt ein zwanzigstes Bezugsbeispiel.

[0225] Bei dieser Anordnung werden die Ausgänge der Schaltung A des Beispiels 14 als Eingang an die Barrel-Schiebeeinrichtungen vom Beispiel 18 angelegt. Die Beziehung zwischen den Adressenausgaben ist genau die gleiche wie diejenige bei den Beispielen 14 bis 17.

(Bezugsbeispiel 21)

[0226] **Fig. 58, 59A und 59B** zeigen ein einundzwanzigstes Bezugsbeispiel.

[0227] Im Gegensatz zu den Beispielen 18 bis 20, bei denen 2-Bit-Adressen an eine Barrel-Schiebeeinrichtung angelegt werden, hat diese Beispiel Barrel-Schiebeeinrichtungen, die eine Eins-zu-eins-Korrespondenz mit den Adressen zeigen.

[0228] Es sei jedoch bemerkt, dass zwei Arten von Schiebeeinrichtungen vorgesehen sind. Eine erste Schiebeeinrichtung S1 verschiebt die Ausgang um +1 bezüglich des Eingangs für die Adresse $A_i = "1"$ ($Y_2 = X_2$, $Y_1 = X_0$, $Y_0 = X_2$), wobei jedoch der Ausgang bezüglich des Eingangs für die Adresse $A_i = "0"$ ($Y_2 = X_2$, $Y_1 = X_2$, $Y_0 = X_0$) nicht verschoben wird, und eine zweite Schiebeeinrichtung S2 verschiebt den Ausgang um -1 bezüglich des Eingangs für die Adresse $A_i = "1"$ ($Y_2 = X_0$, $Y_1 = X_2$, $Y_0 = X_2$), wobei jedoch der Ausgang bezüglich des Eingangs nicht verschoben wird, wenn die Adresse $A_i = "0"$ ist.

[0229] Die erste Schiebeeinrichtungen S1 wird für geradzahlige Adressen (A_0, A_2, A_4, A_6) verwendet, wohingegen die zweite Schiebeeinrichtung S2 für ungeradzahlige Adressen (A_1, A_3, A_5, A_7) verwendet wird. **Fig. 59A und 59B** sind Schaltbilder der Schiebeeinrichtungen S1 und S2.

[0230] Wie in dem Fall von Beispiel 18 wird eine Vorladeschaltung an der Endstufe (Z_0, Z_1, Z_2) des Ausgangs der Überschussschaltung bereitgestellt. Wenn der Chip in einem Standby-Zustand ist, wird die Beziehung von $Z_2 = Z_1 = Z_0 = "L"$ sichergestellt. Es sei jedoch bemerkt, dass die einzige Vorladeschaltung durch einzelne Vorladungsschaltungen, wie in dem Fall von Beispiel 19, ersetzt werden kann.

Patentansprüche

1. Dynamische Halbleiterspeichervorrichtung mit:

zumindest einem ersten (A) und einem zweiten (B) Speicherzellenarray mit einer Mehrzahl Speicherzellen, die an jeweiligen Schnittstellen einer Mehrzahl Wortleitungen (WL) und einer Mehrzahl Bitleitungen (BL) angeordnet sind;

einem ersten Verstärkerabschnitt (SAO), der an einem Ende des ersten Speicherzellenarrays mit einer Mehrzahl erster Bitleitungspaare verbunden ist, die aus einem Teil der Mehrzahl Bitleitungen des ersten Speicherzellenarrays gebildet sind, wobei die Mehrzahl erster Bitleitungspaare eine gefaltete Bitleitungskonfiguration aufweisen; und

einem zweiten Leseverstärkerabschnitt (SA1), der mit einer Mehrzahl zweiter Bitleitungspaare verbunden ist, von denen jedes durch eine Bitleitung der verbleibenden Bitleitungen des ersten Zellenarrays und einer Bitleitung eines Teils der Mehrzahl Bitleitungen des zweiten Zellenarrays gebildet ist, wobei die Mehrzahl zweiter Bitleitungspaare eine offene Bitleitungskonfiguration hat; **dadurch gekennzeichnet**, dass die Speichervorrichtung des weiteren enthält:

ein Verschiebemittel (Φ, C), das ausgestattet ist, um ein Ungleichgewicht zwischen den Lesespannungen der Bitleitungspaare in einem Array auszugleichen, wobei das Verschiebemittel (Φ, C) umfasst:

eine Mehrzahl Steuersignalleitungen (Φ) und eine Mehrzahl Kondensatoren (C), wobei jeder der Mehrzahl Kondensatoren (C) einer jeweiligen Bitleitung der Mehrzahl Bitleitungen (BL) zugeordnet ist, wobei jeder der Mehrzahl Kondensatoren (C) einen Anschluss hat, der mit der zugeordneten Bitleitung verbunden ist, und einen weiteren Anschluss, der mit einer der Mehrzahl Steuersignalleitungen (Φ) verbunden ist;

wobei das Verschiebemittel die Lesespannung an Bitleitungen, an denen binäre Daten ausgelesen werden, oder an Bezugsbitleitungen verschiebt.

2. Dynamische Halbleiterspeichervorrichtung mit:

zumindest einem ersten (A) und einem zweiten (B) Speicherzellenarray mit einer Mehrzahl Speicherzellen, die

an jeweiligen Schnittstellen einer Mehrzahl Wortleitungen (WL) und einer Mehrzahl Bitleitungen (BL) angeordnet sind; und
 einem Leseverstärkerabschnitt (SA), der an einem Ende des ersten Speicherzellenarrays mit einer Mehrzahl Bitleitungspaare verbunden ist, die aus einem Teil der Mehrzahl Bitleitungen des ersten Zellenarrays gebildet sind, wobei
 die Mehrzahl Bitleitungspaare eine gefaltete Bitleitungskonfiguration aufweist; und
 die verbleibenden Bitleitungen des ersten Zellenarrays, jeweils mit den Referenzbitleitungen der Bitleitungspaare mit einer gefalteten Bitleitungskonfiguration Bitleitungspaare bilden, um eine gefaltete Bitleitungskonfiguration zu zeigen, bis die Leseverstärkungen mit dem Betrieb beginnen, und dann Bitleitungspaare mit offener Bitleitungskonfiguration jeweils mit einem Teil der Mehrzahl Bitleitungen eines zweiten Zellenarrays bilden; die benachbart dem ersten Zellenarray angeordnet sind, wobei ein Leseverstärkerabschnitt zwischen den ersten und zweiten Speicherzellenarrays während eines darauf folgenden Wiederherstellungsbetriebs angeordnet ist, der Daten in die Speicherzellen, nach dem Betrieb der Leseverstärker neu schreibt, dadurch gekennzeichnet, dass die Speichervorrichtung des weiteren enthält:
 ein Verschiebemittel (Φ , C), das ausgestaltet ist, um ein Ungleichgewicht zwischen den Lesespannungen der Bitleitungspaare in einem Array zu korrigieren, wobei das Verschiebemittel (Φ , C) umfasst:
 eine Mehrzahl Steuersignalleitungen (Φ) und eine Mehrzahl Kondensatoren (C), wobei jeder der Mehrzahl Kondensatoren (C) einer jeweiligen Bitleitung der Mehrzahl Bitleitungen (BL) zugeordnet ist, wobei jeder der Kondensatoren (C) einen Anschluss hat, der mit der zugeordneten Bitleitung verbunden ist, und einen weiteren Anschluss, der mit einer der Mehrzahl Steuersignalleitungen (Φ) verbunden ist;
 wobei das Verschiebemittel die Lesespannungen an Bitleitungen, an denen binäre Daten ausgelesen werden, oder an Bezugsbitleitungen verschiebt.

3. Dynamische Halbleiterspeichervorrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Bitleitungen mit der gefalteten Bitleitungskonfiguration und jene mit der offenen Bitleitungskonfiguration die Verbindung zu den Leseverstärkern ändern, um eine vorgegebene Bitleitungskonfiguration entsprechend der Position der ausgewählten Wortleitungen einzunehmen.

4. Dynamische Halbleiterspeichervorrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass zwei Drittel der Bitleitungen eine gefalteten Bitleitungskonfiguration und das verbleibende Drittel eine offene Bitleitungskonfiguration hat.

5. Dynamische Halbleiterspeichervorrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass eine Bitleitung mit einer offenen Bitleitungskonfiguration zwischen jedem Bitleitungspaar mit einer gefalteten Bitleitungskonfiguration angeordnet ist.

6. Dynamische Halbleiterspeichervorrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass ein Satz von Leitungen durch jeweils drei Bitleitungen gebildet ist, von denen zwei ein Bitleitungspaar mit einer gefalteten Bitleitungskonfiguration bilden, und wobei die verbleibende Bitleitung ein offenes Bitleitungspaar mit einer Bitleitung eines benachbarten Zellenarrays bildet.

7. Dynamische Halbleiterspeichervorrichtung nach Anspruch 1 oder 2, die des weiteren ein Verschiebemittel umfasst, um jede Spannungsdifferenz zwischen einer "1"-Datenauslesespannung und einer Bezugsbitleitungsspannung und zwischen einer "0"-Datenauslesespannung und einer Bezugsbitleitungsspannung zu korrigieren, wenn es mehr als eine solche Differenz gibt.

8. Dynamische Halbleiterspeichervorrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass das Verschiebemittel entweder einen Kondensatorverbindungsbetrieb oder einen elektrischen Ladungsverteilungsbetrieb entweder für die Bitleitung oder die Bezugsbitleitung einer Speicherzelle, die zum Auslesen von Daten aus ihr ausgewählt wurde, durchführt.

9. Dynamische Halbleiterspeichervorrichtung nach Anspruch 1 oder 2, bei der das Verschiebemittel mehr als zwei Pegel zum Erleichtern des Auslesens von Daten hat.

10. Dynamische Halbleiterspeichervorrichtung nach Anspruch 1, wobei die Korrekturbeträge, die von dem Verschiebemittel korrigiert werden, unterschiedlich zwischen einer offenen Bitleitungsstruktur und einer gefalteten Bitleitungsstruktur sind.

11. Dynamische Halbleiterspeichervorrichtung nach Anspruch 1 oder 2, bei der die Korrekturbeträge, die von dem Verschiebemittel korrigiert werden, bei Arten ausgewählter Wortleitungen unterschiedlich sind.

12. Dynamische Halbleiterspeichervorrichtung nach Anspruch 1 oder 2, bei der zwei Drittel der Schnittstellen der Mehrzahl Wortleitungen und der Mehrzahl Bitleitungen jeweils Speicherzellen tragen.

13. Dynamische Halbleiterspeichervorrichtung nach Anspruch 5, die des weiteren enthält:
einen Schalter (P), um die Verbindung zwischen der Bitleitung in der Speicherzelle und dem Leseverstärker umzuschalten, damit die Bitleitung mit einer offenen Bitleitungskonfiguration zwischen jedem Bitleitungspaar mit einer gefalteten Bitleitungskonfiguration angeordnet ist.

Es folgen 53 Blatt Zeichnungen

Anhängende Zeichnungen

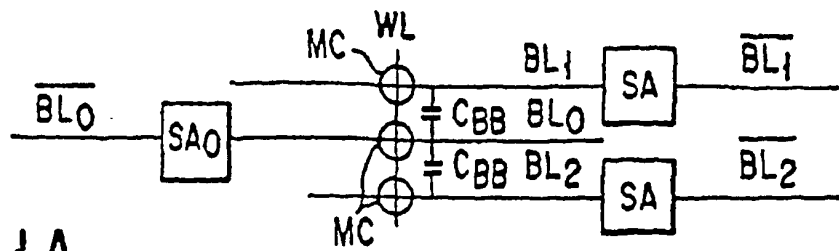


FIG. 1A

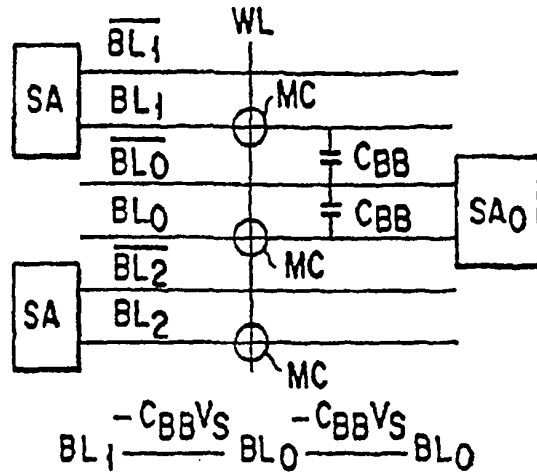


FIG. 1B

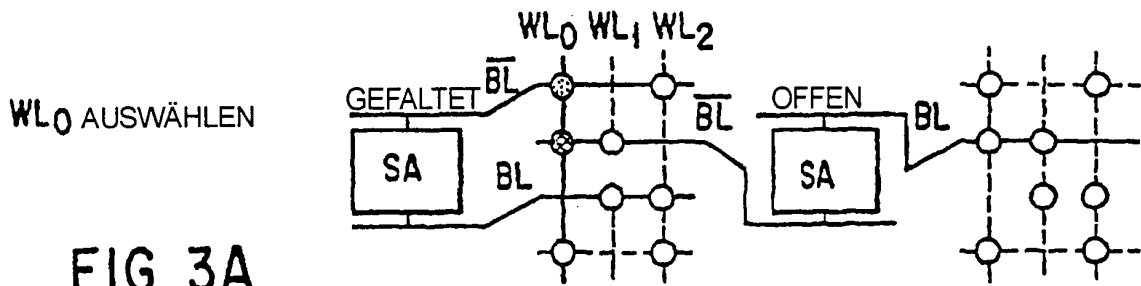


FIG. 3A

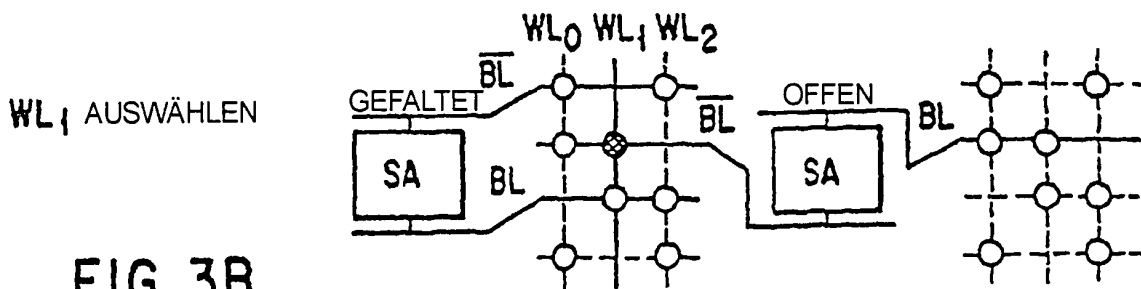


FIG. 3B

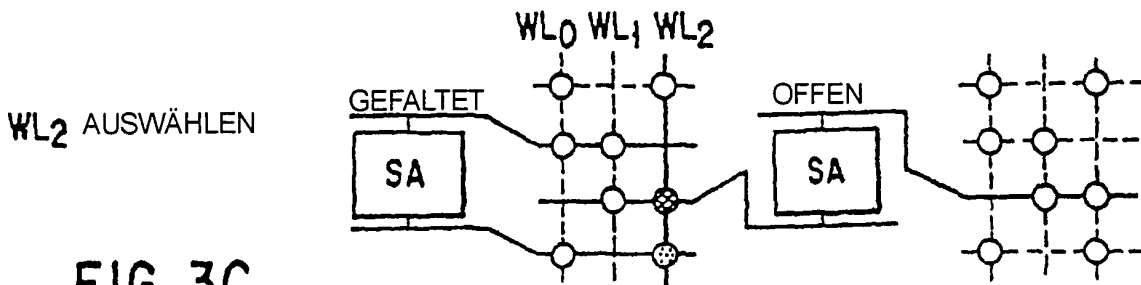


FIG. 3C

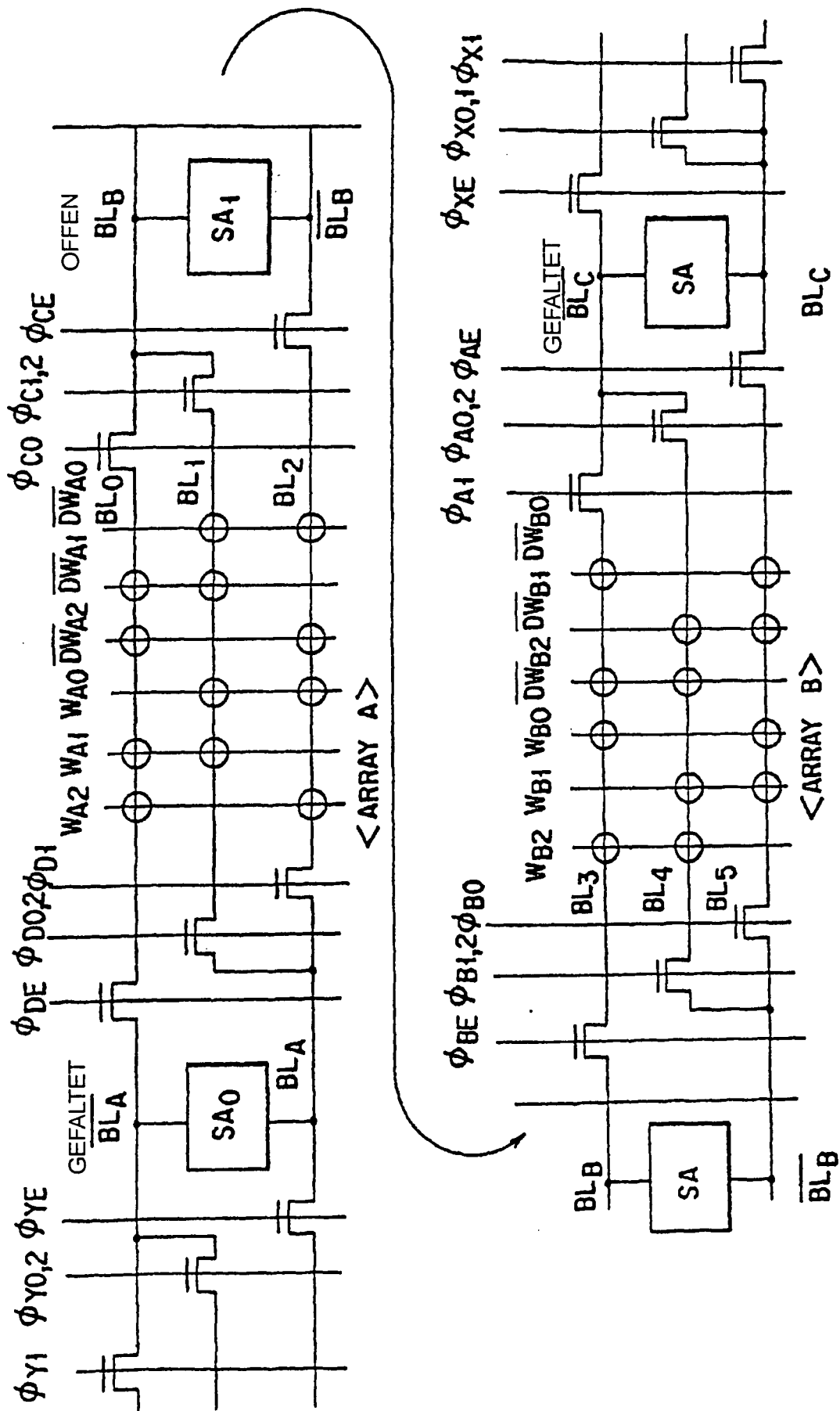


FIG. 4

FIG. 5A

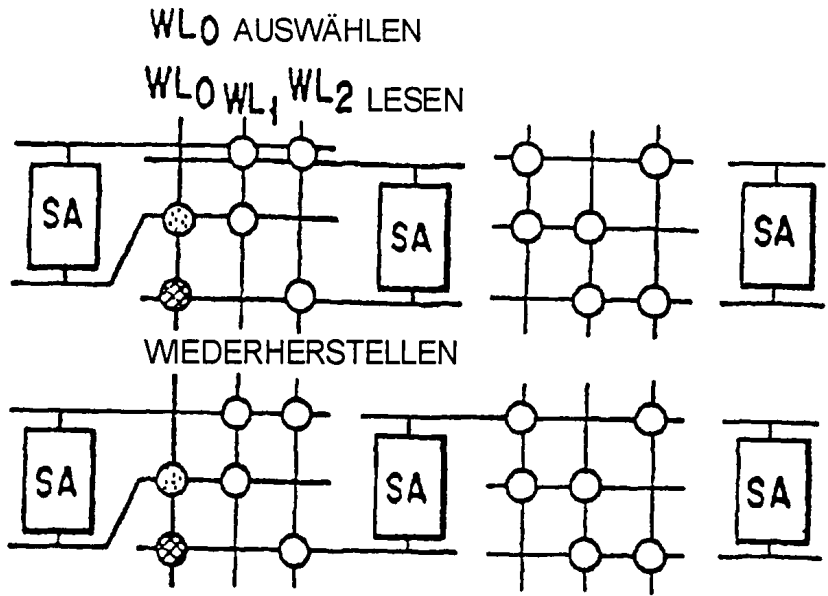


FIG. 5B

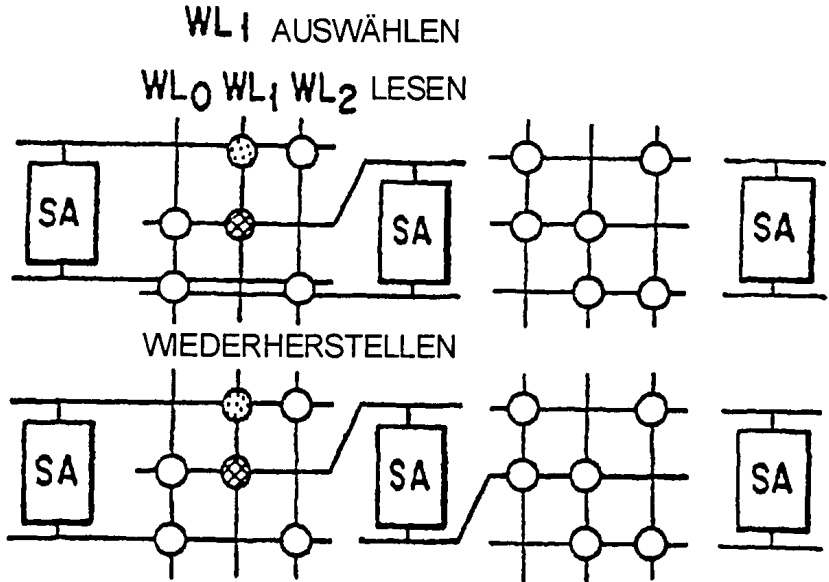
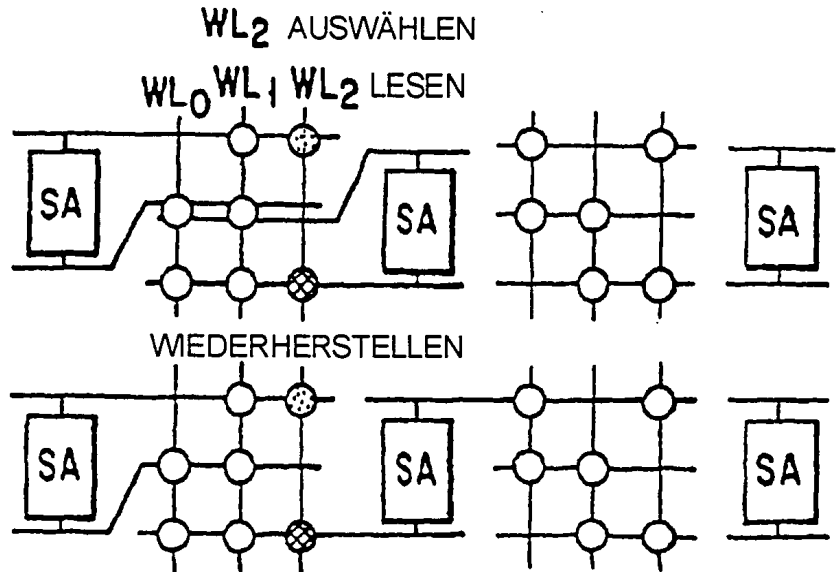


FIG. 5C



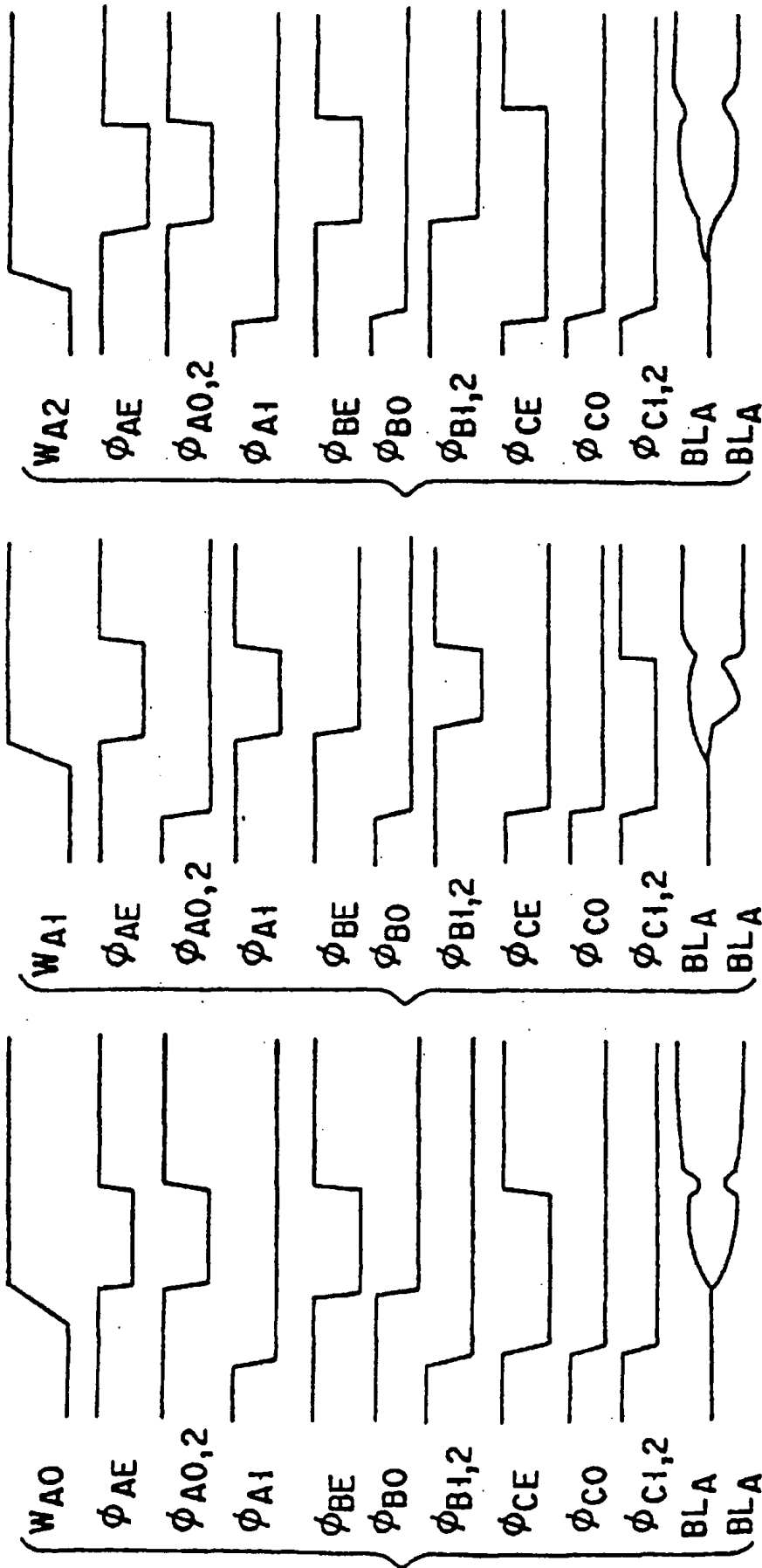


FIG. 6A

FIG. 6B

FIG. 6C

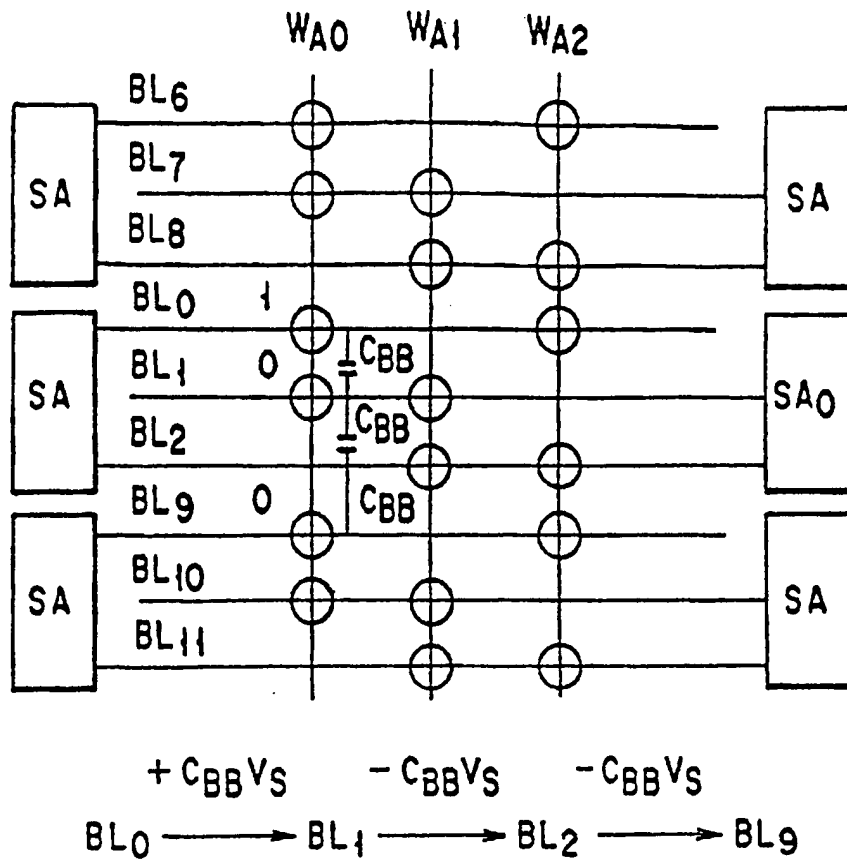


FIG. 7A

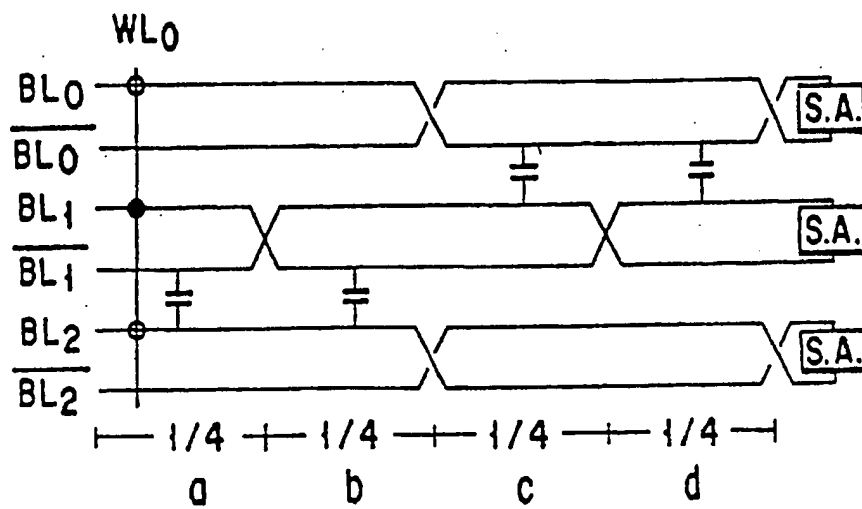


FIG. 7B

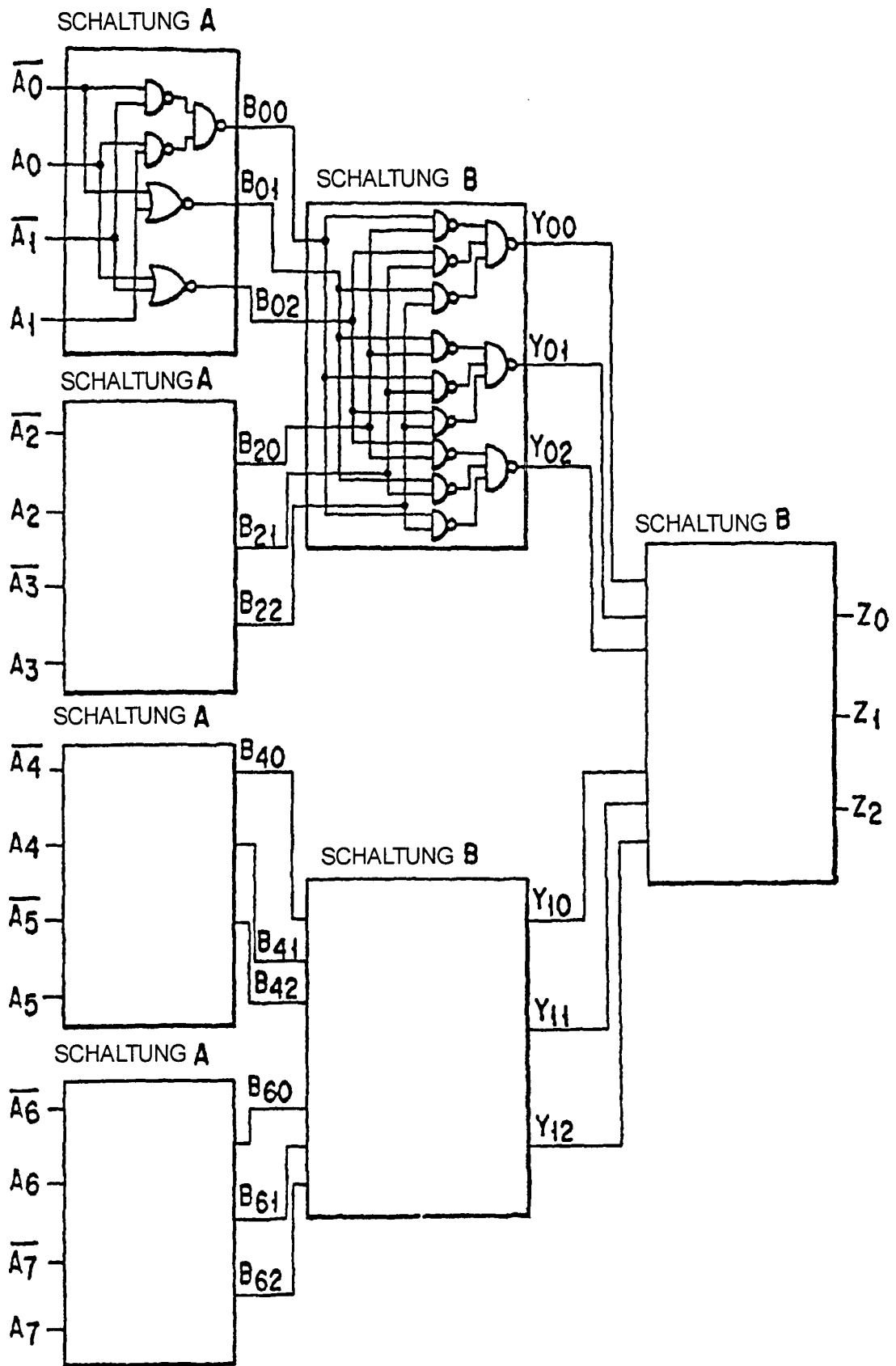


FIG. 10

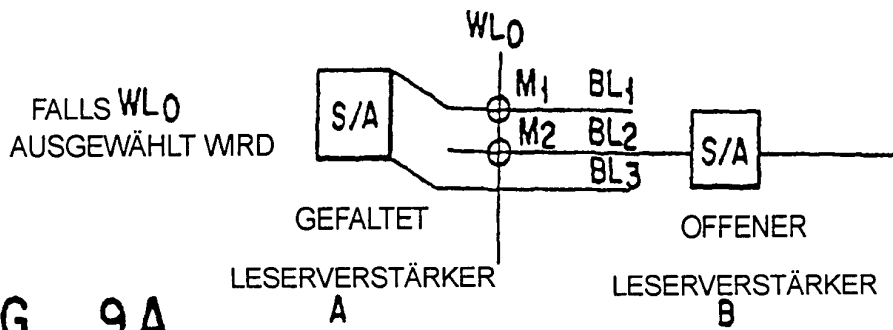


FIG. 9A

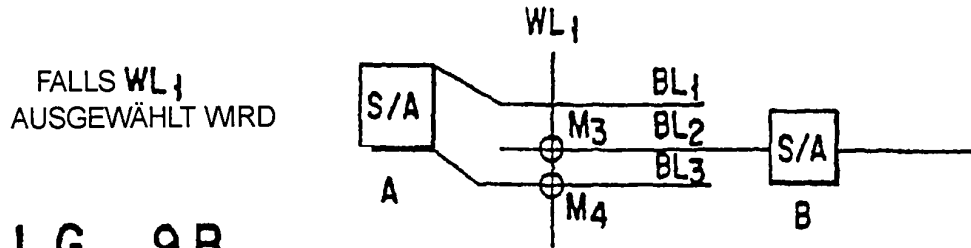


FIG. 9B

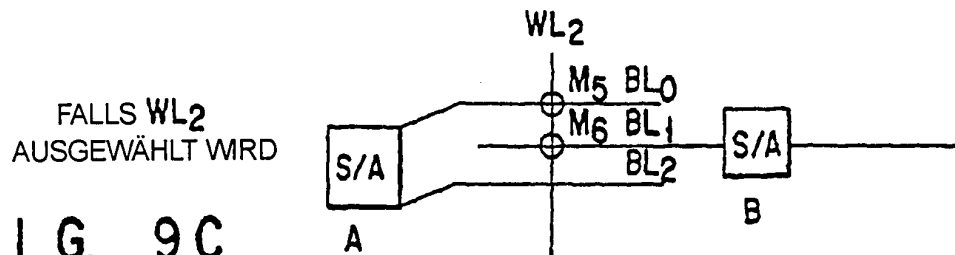


FIG. 9C

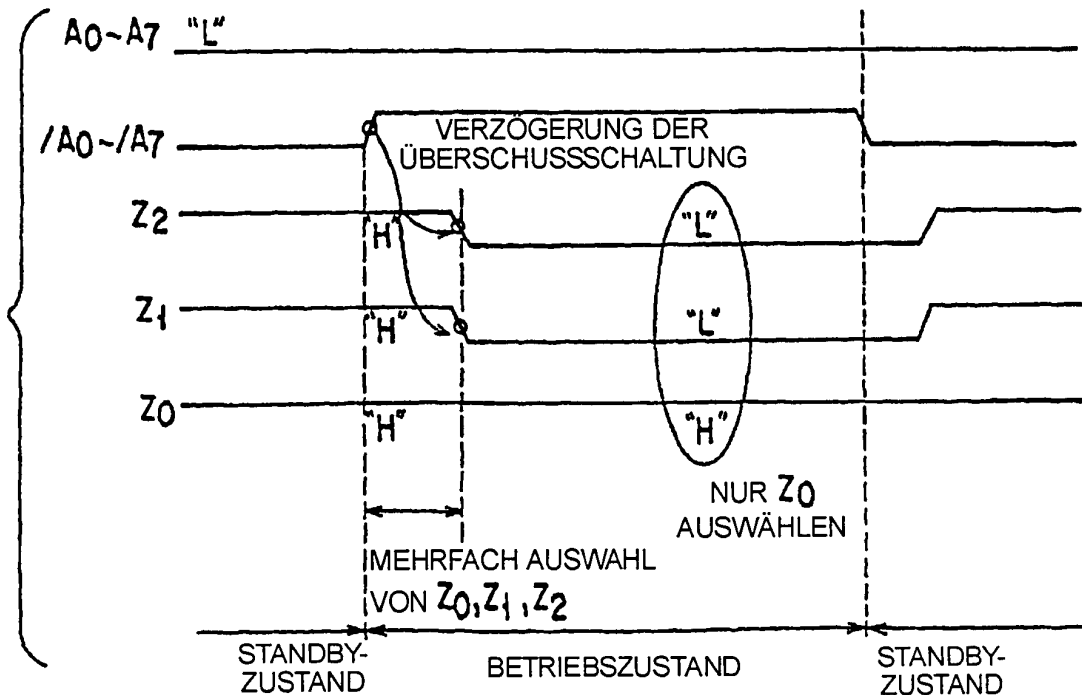


FIG. 11

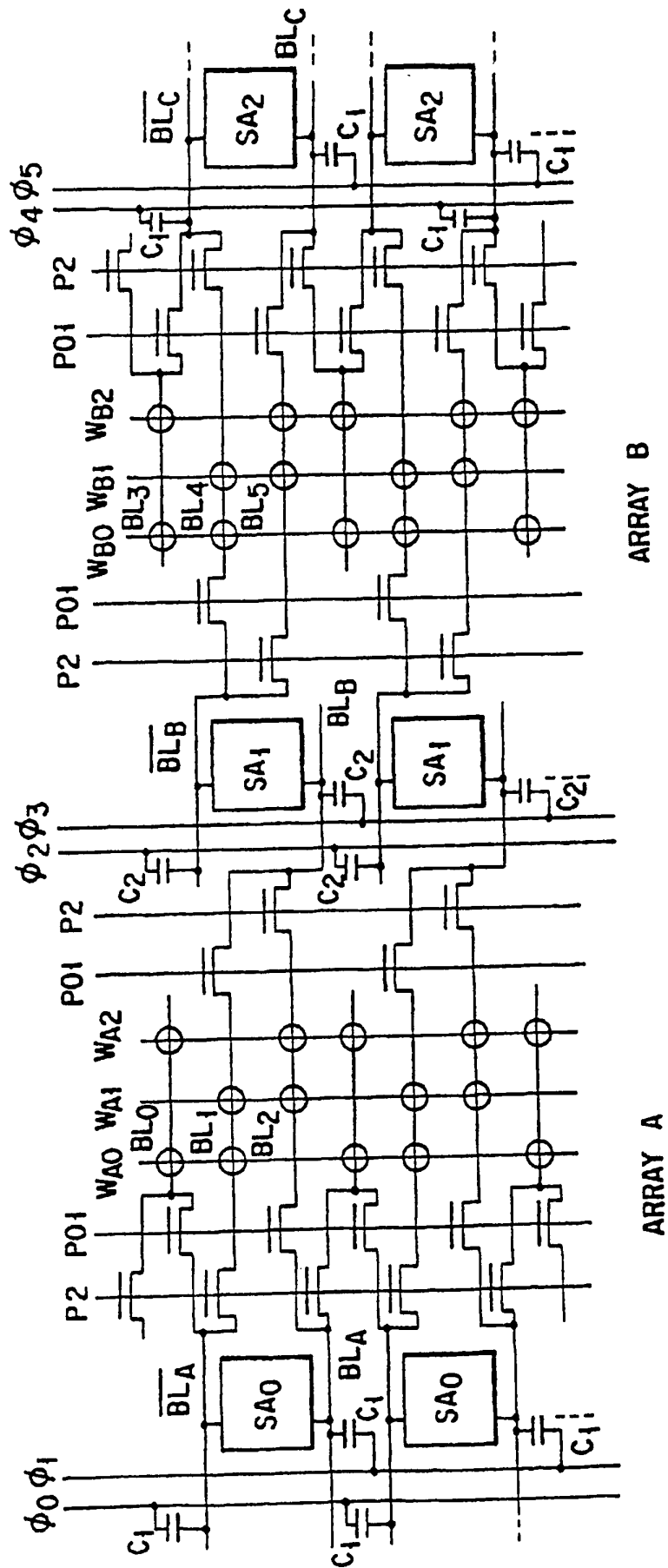


FIG. 12

FIG. 13A

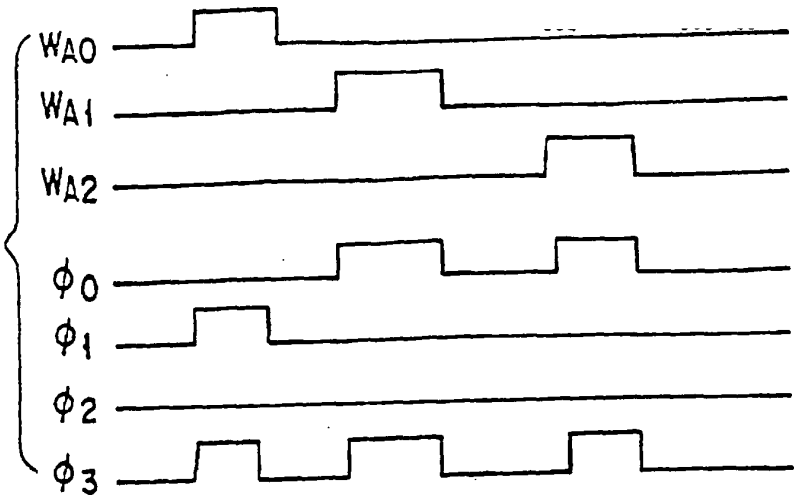


FIG. 13B

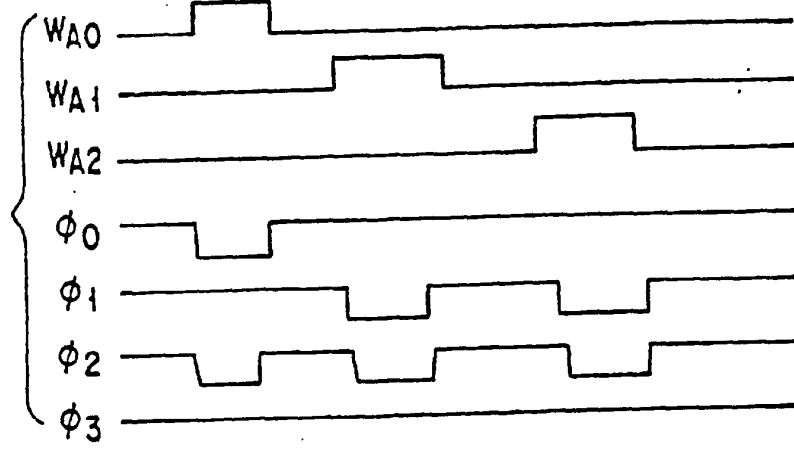


FIG. 16A

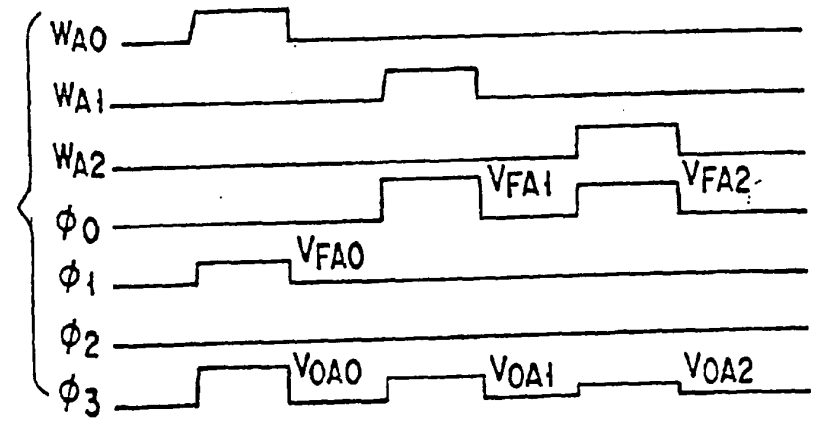
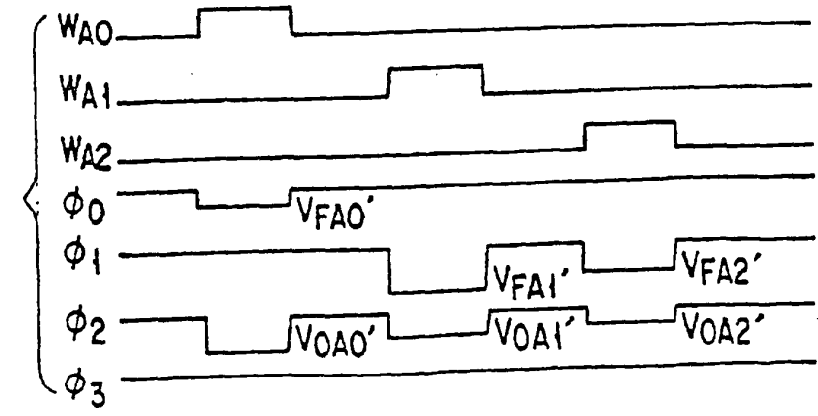


FIG. 16B



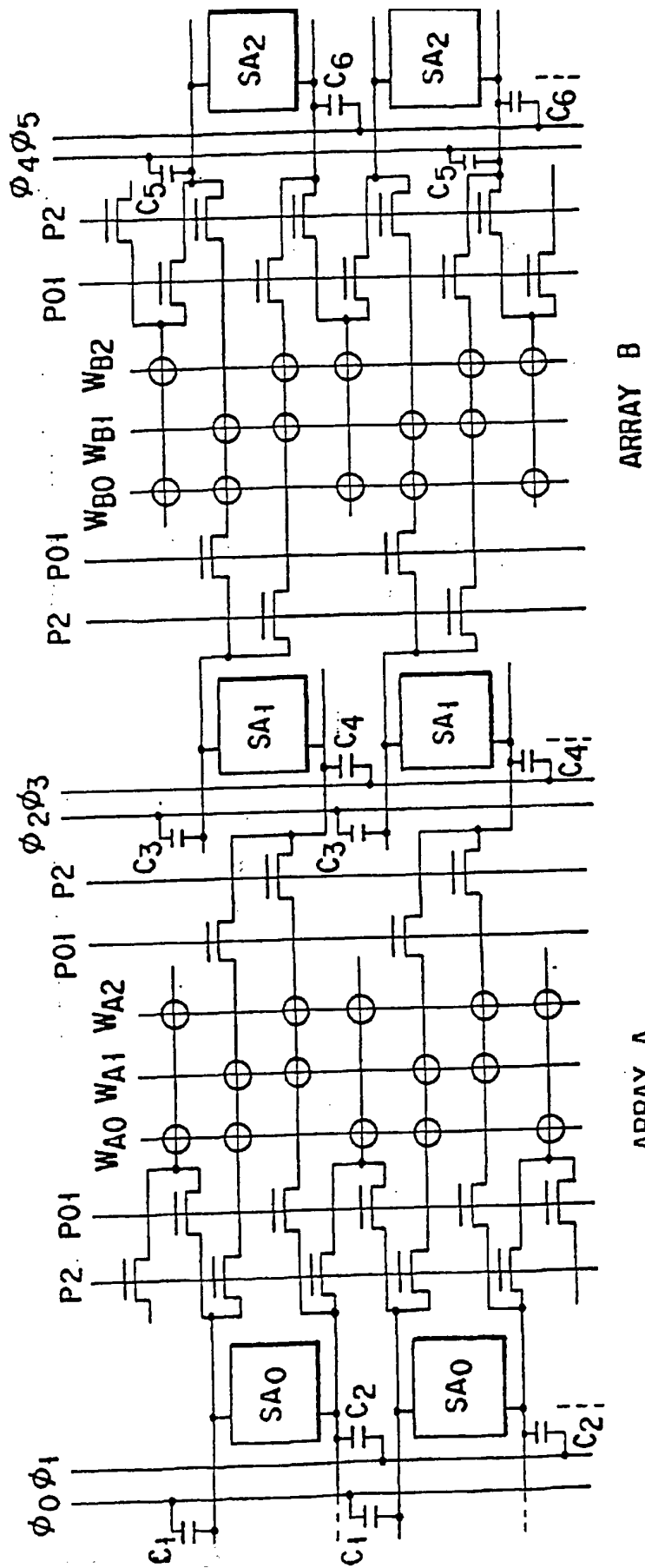


FIG. 14

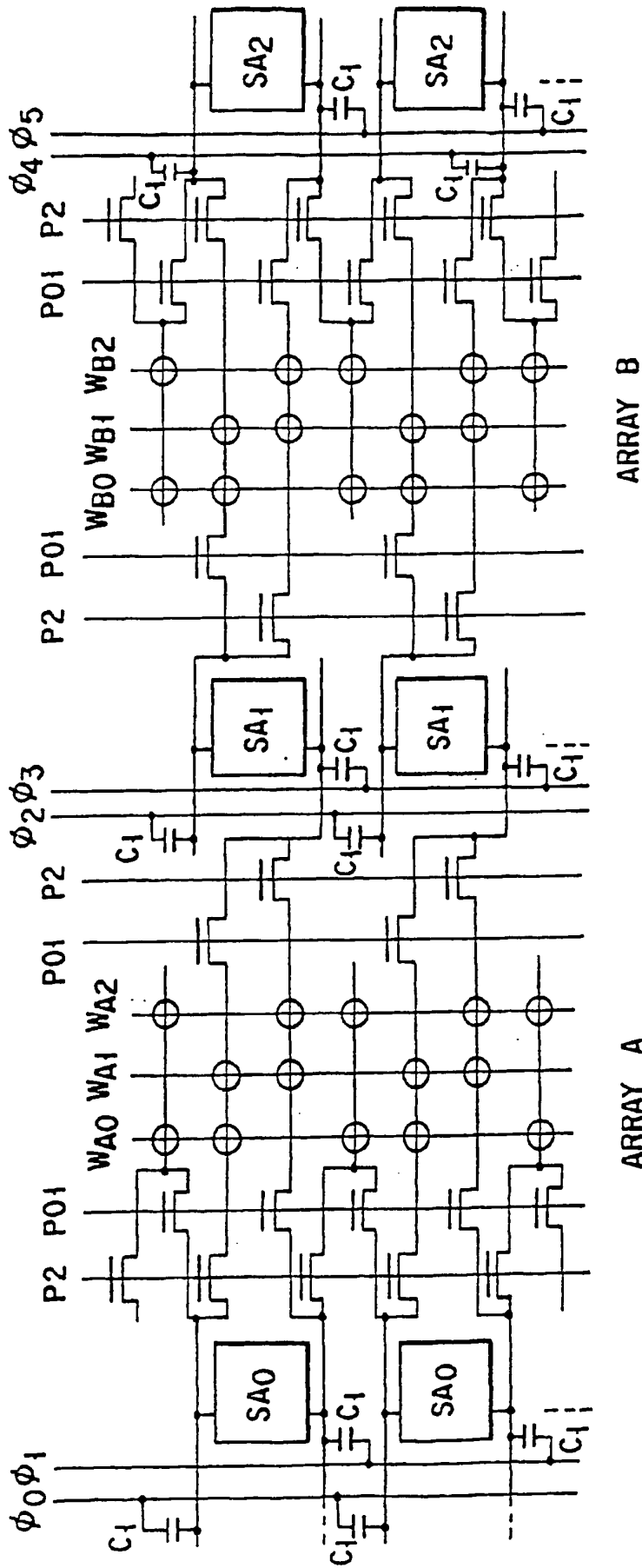


FIG. 15

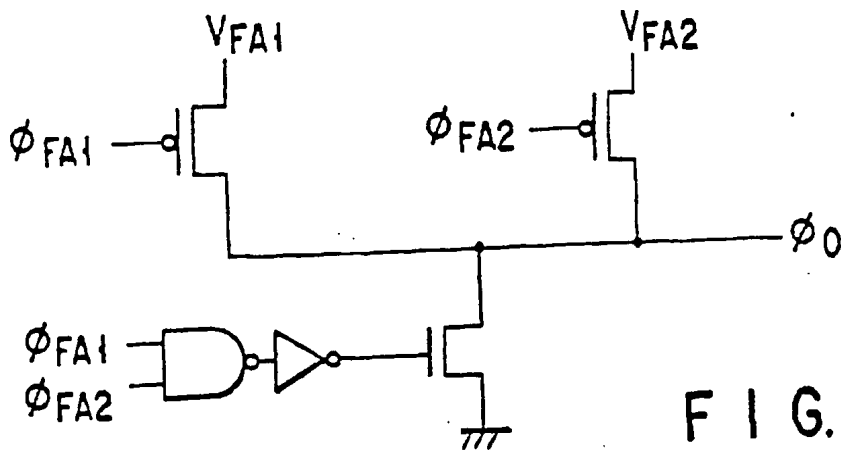


FIG. 17A

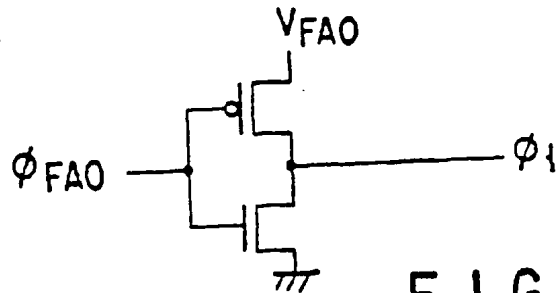


FIG. 17B

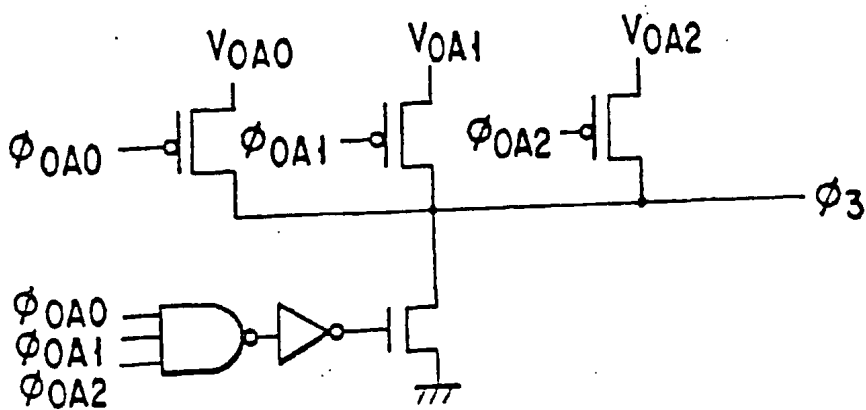
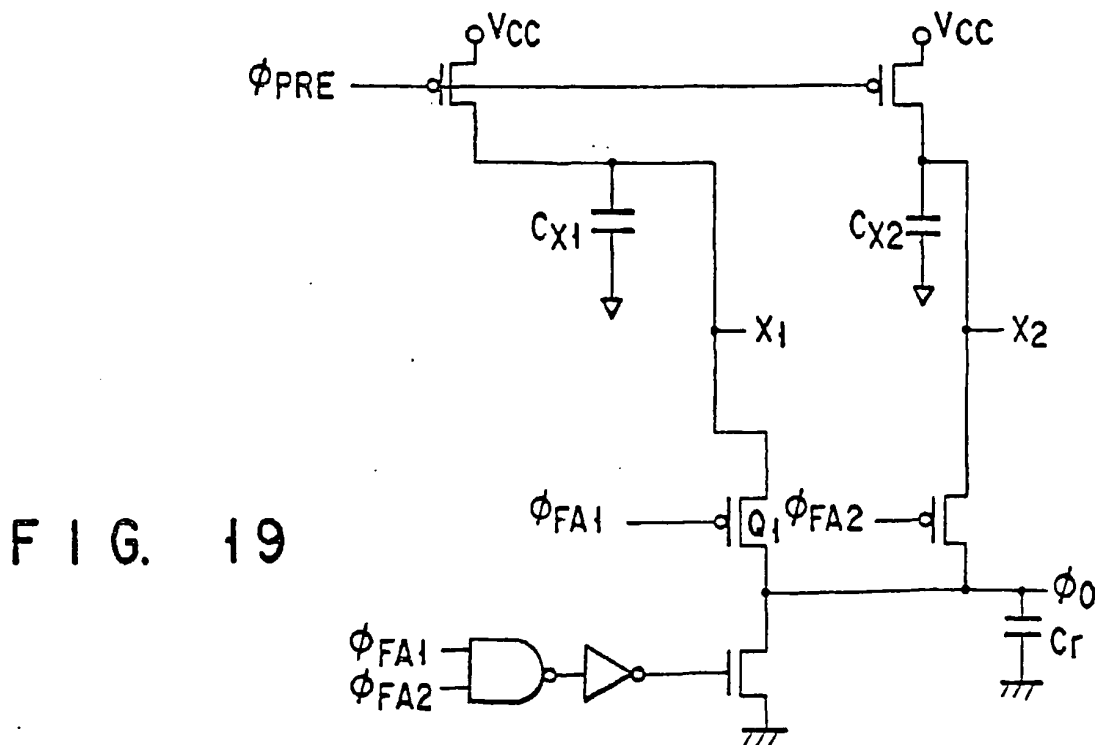
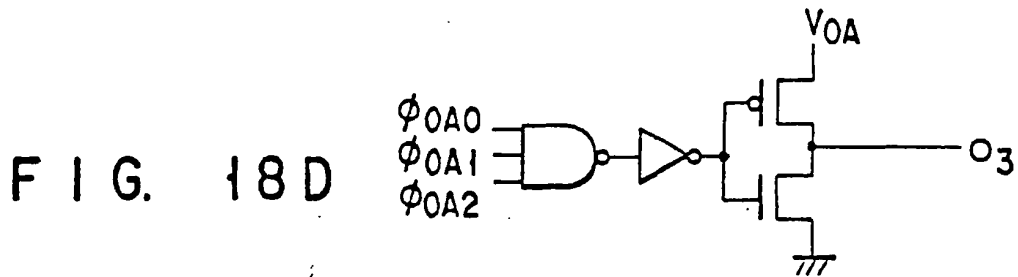
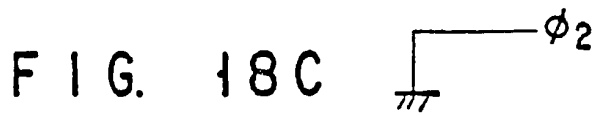
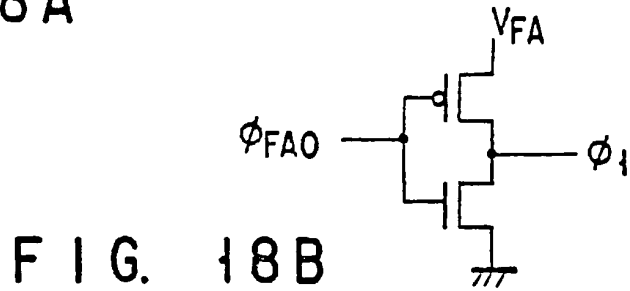
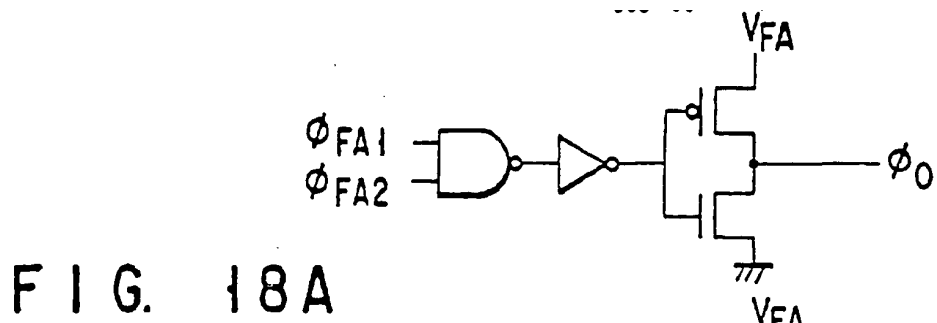
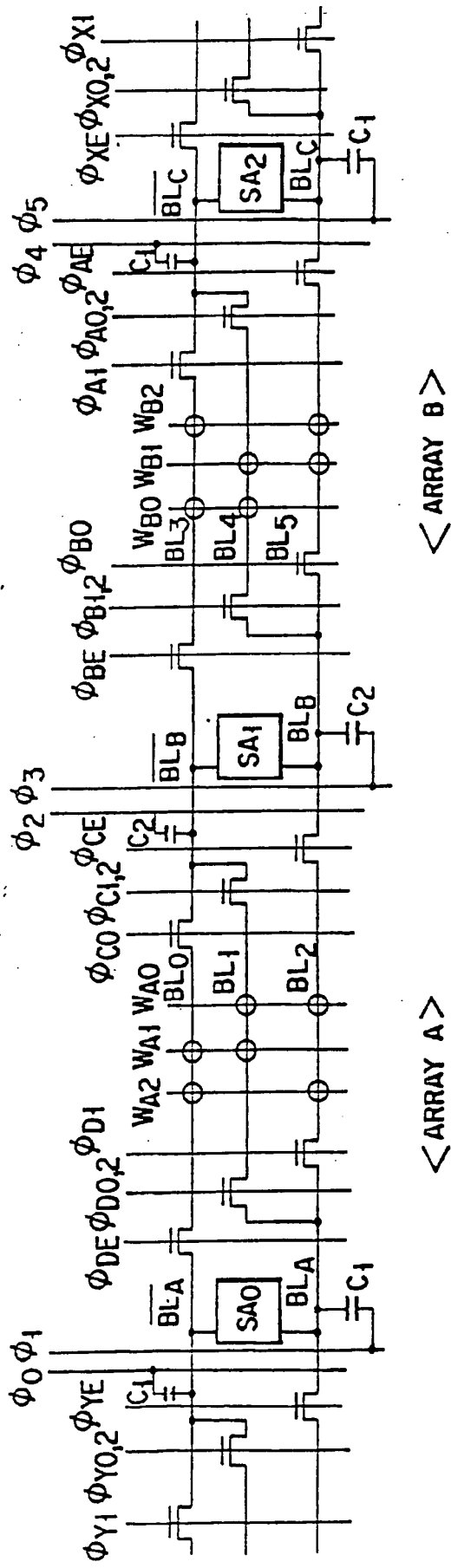


FIG. 17D





< ARRAY B >

< ARRAY A >

FIG. 20

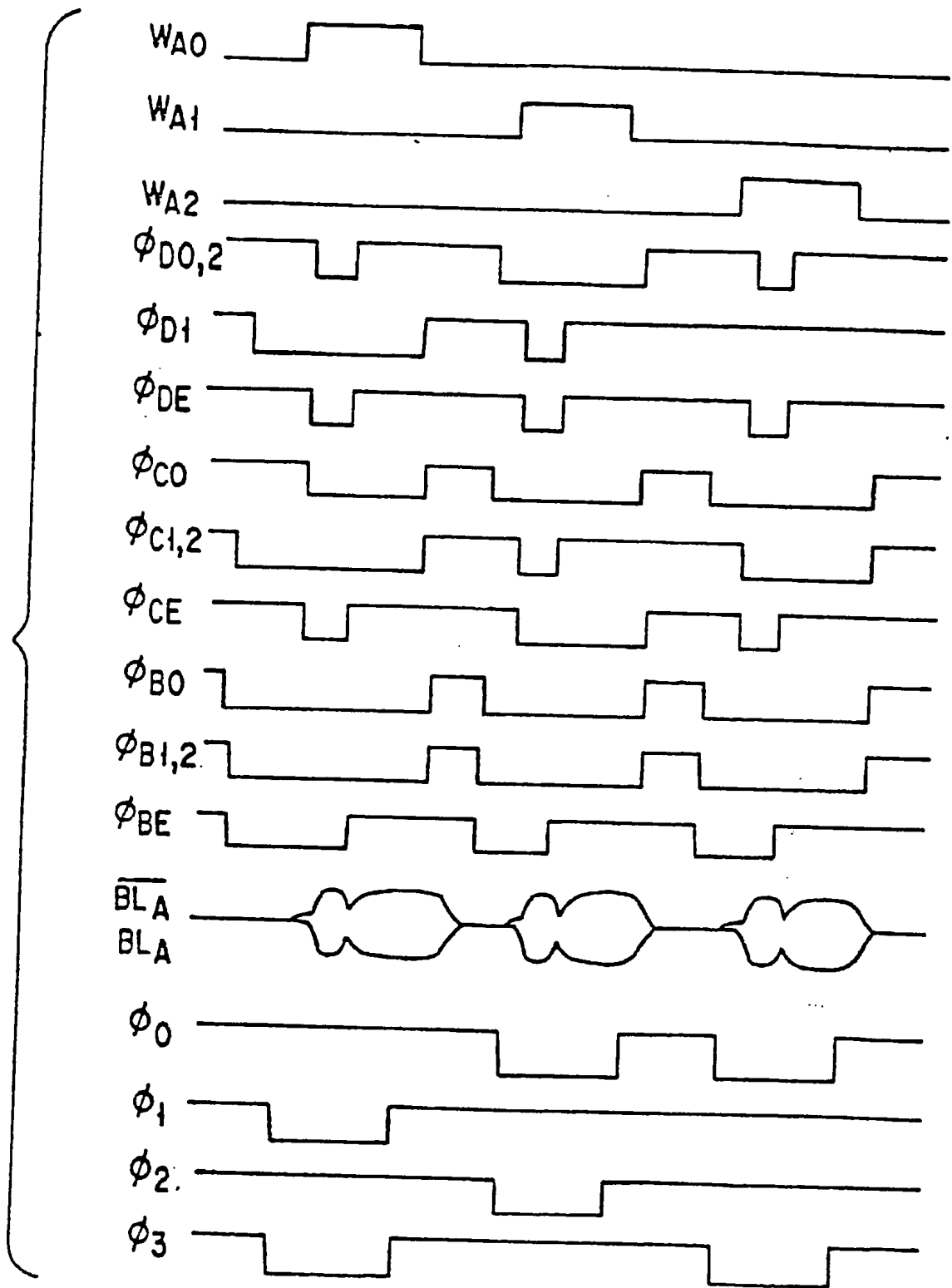


FIG. 21

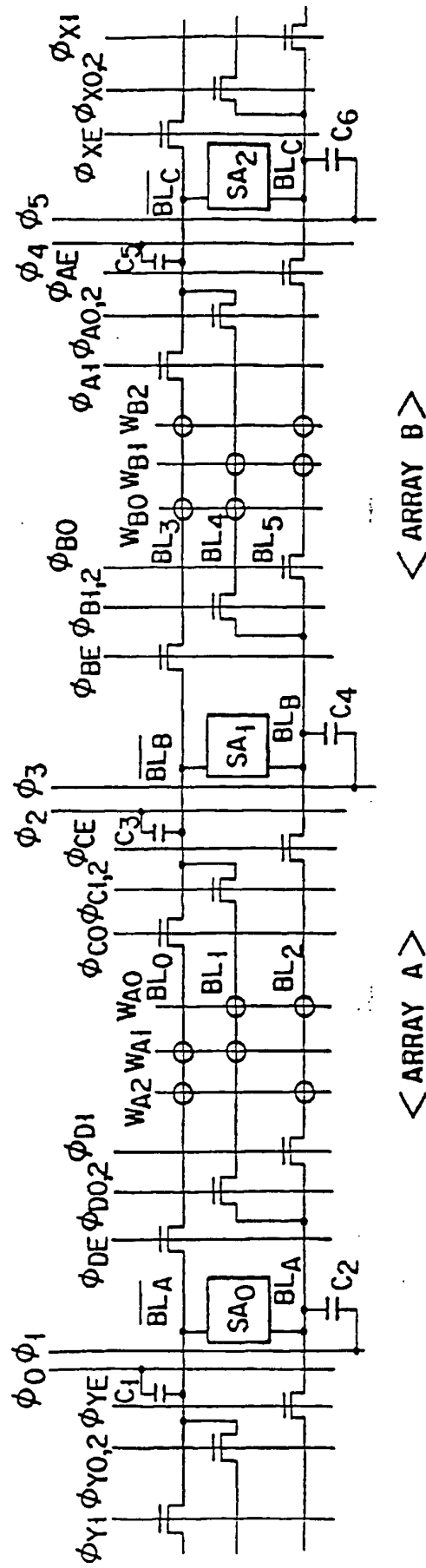


FIG. 22

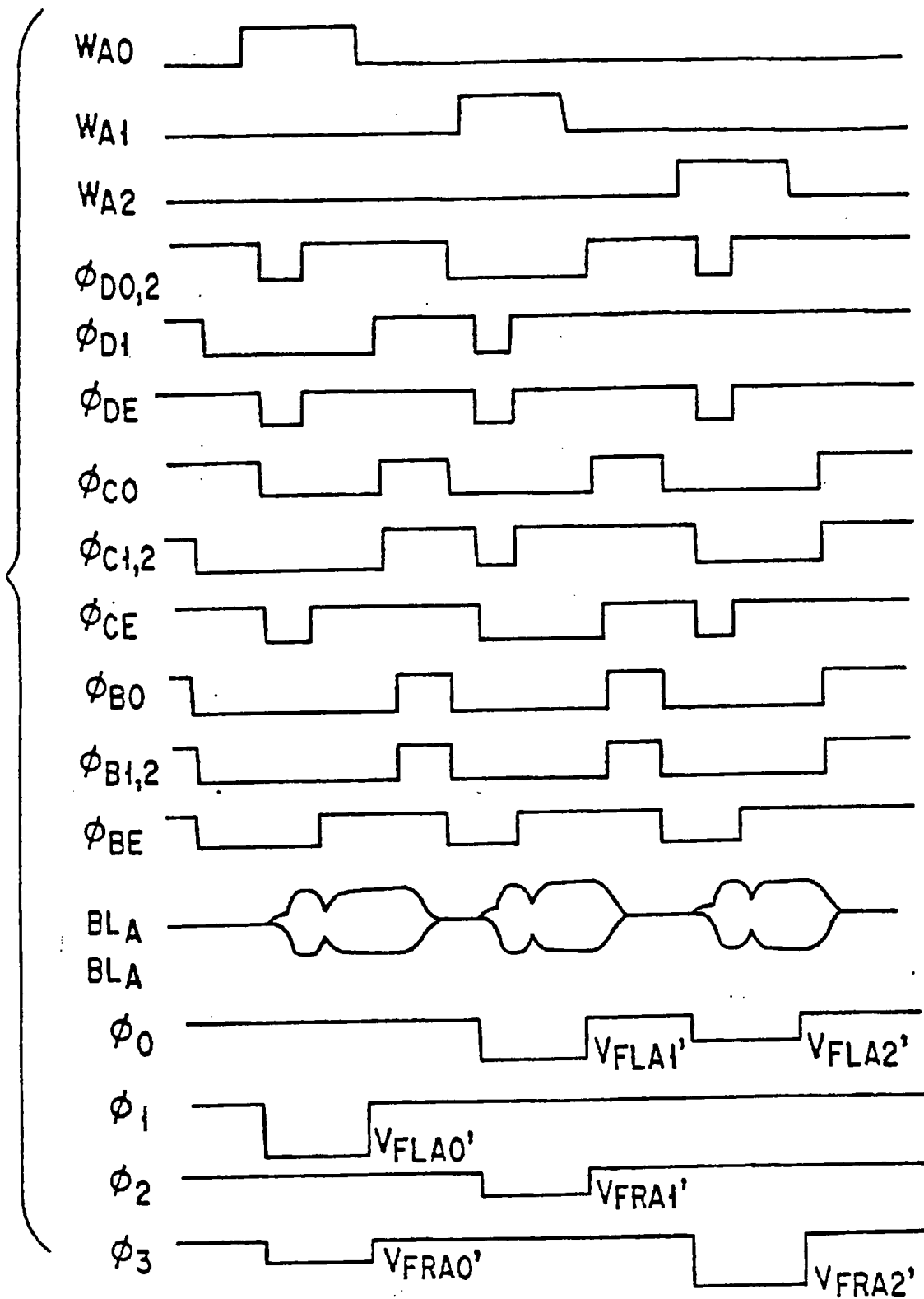


FIG. 24

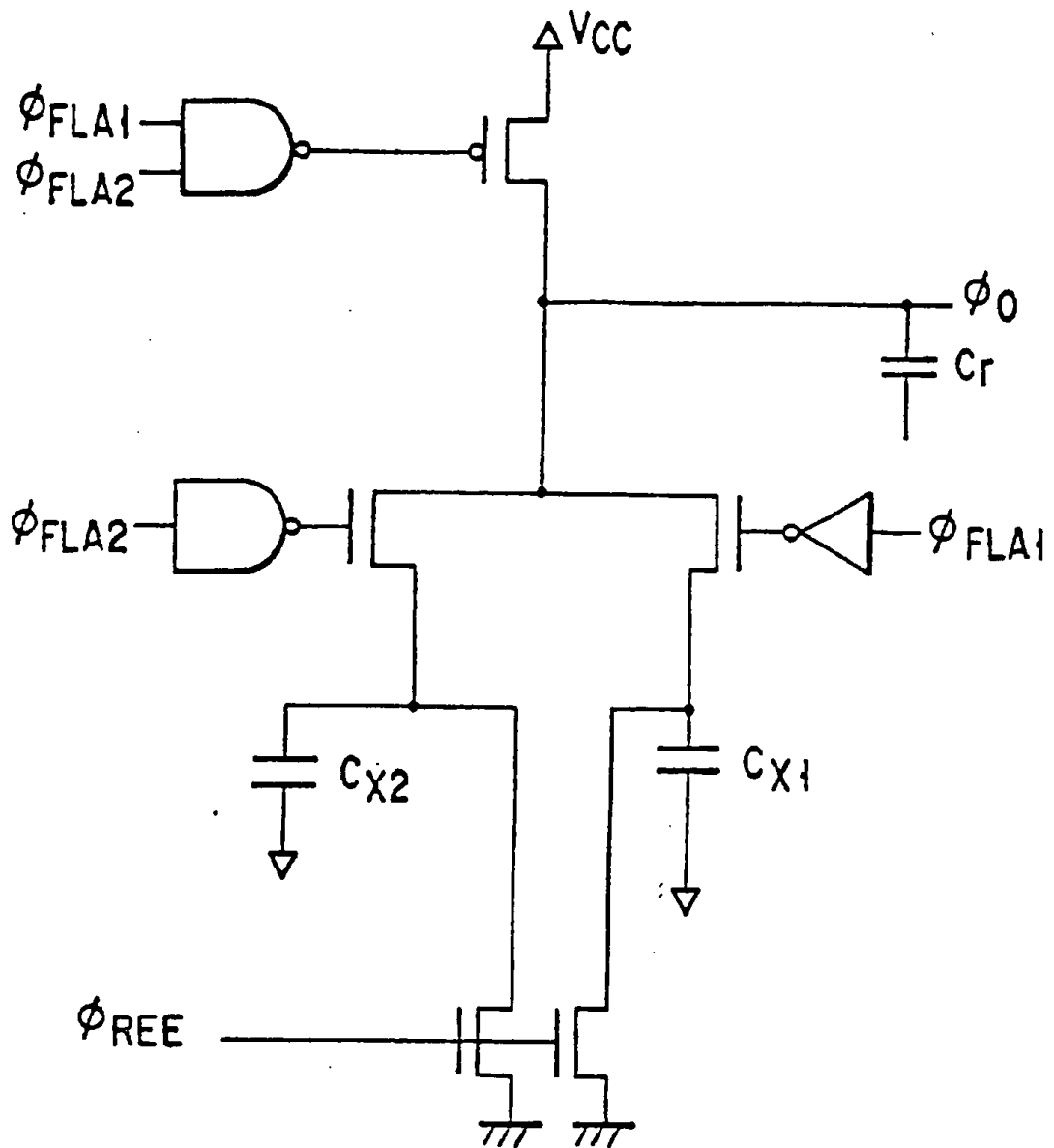


FIG. 25

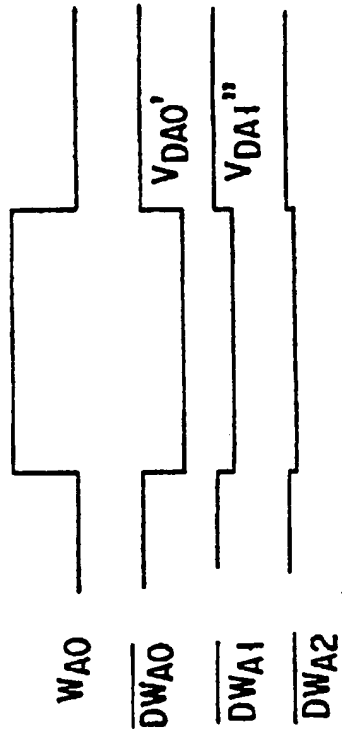
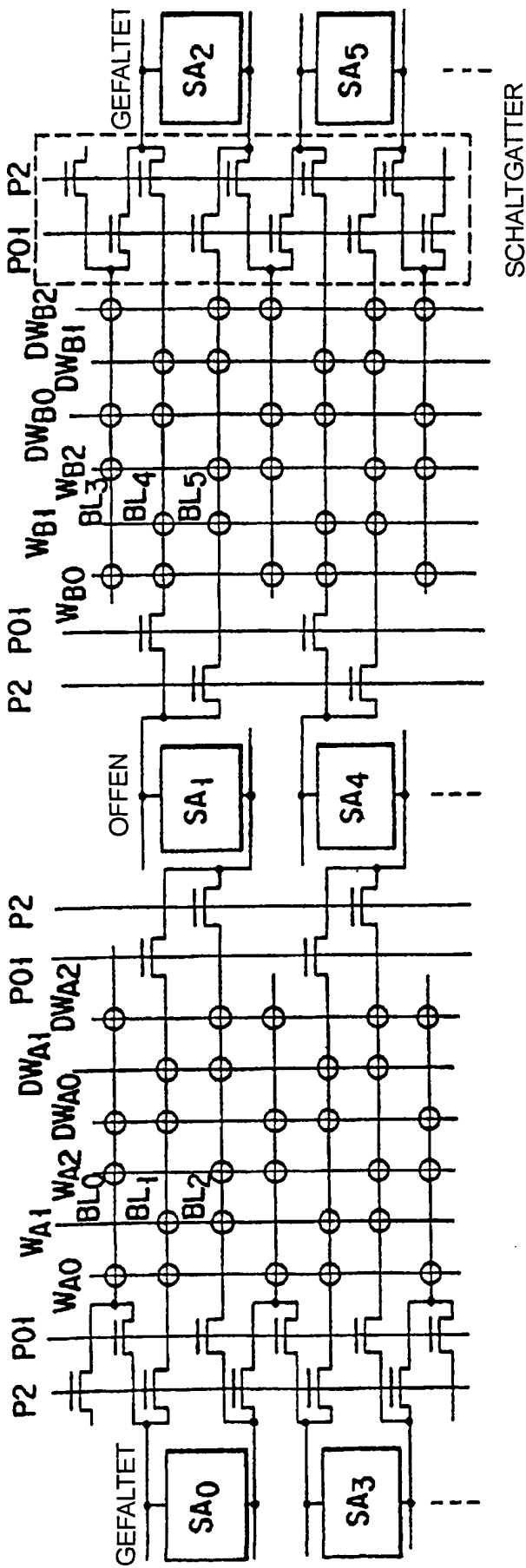


FIG. 26A

FIG. 26B

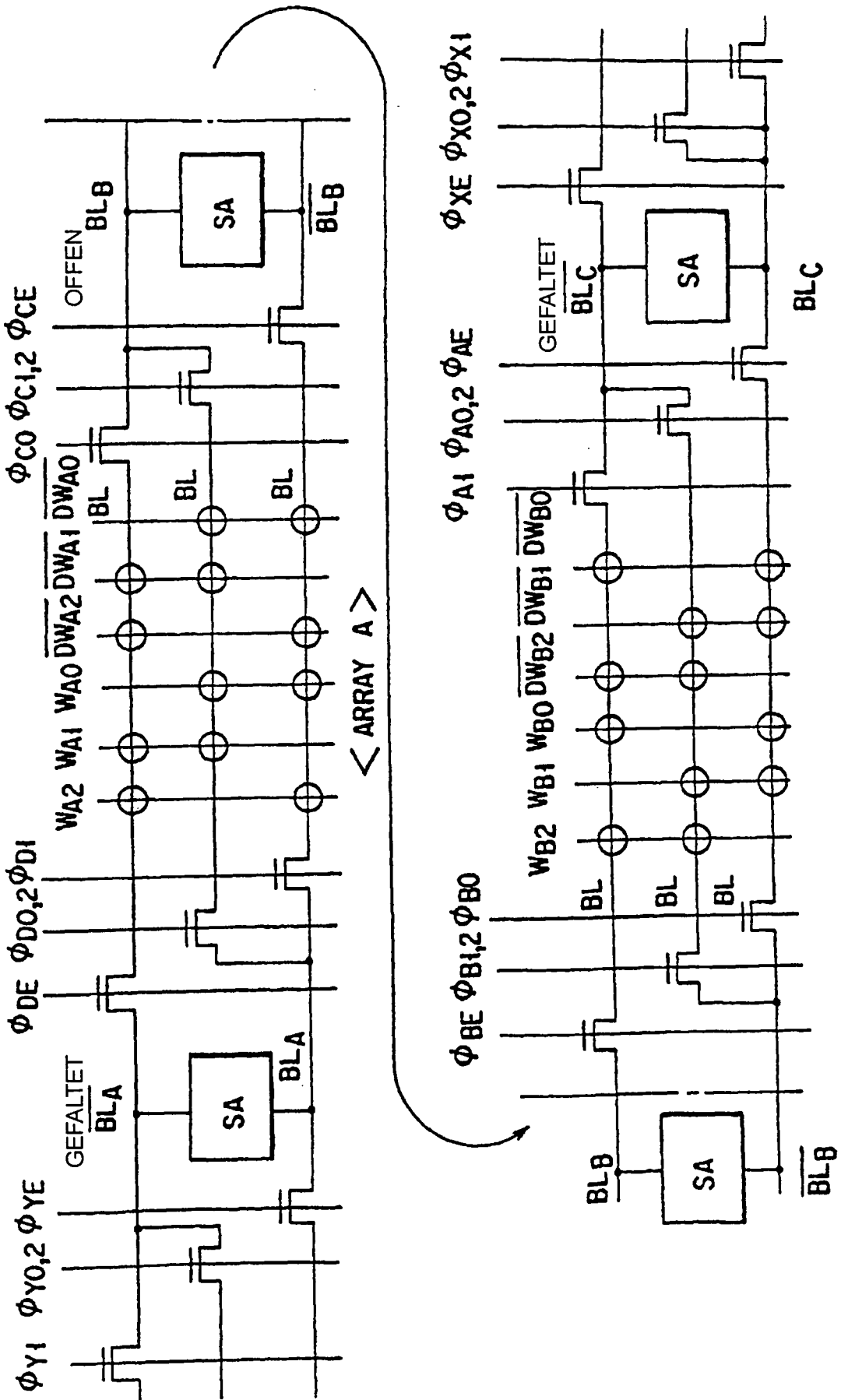


FIG. 27

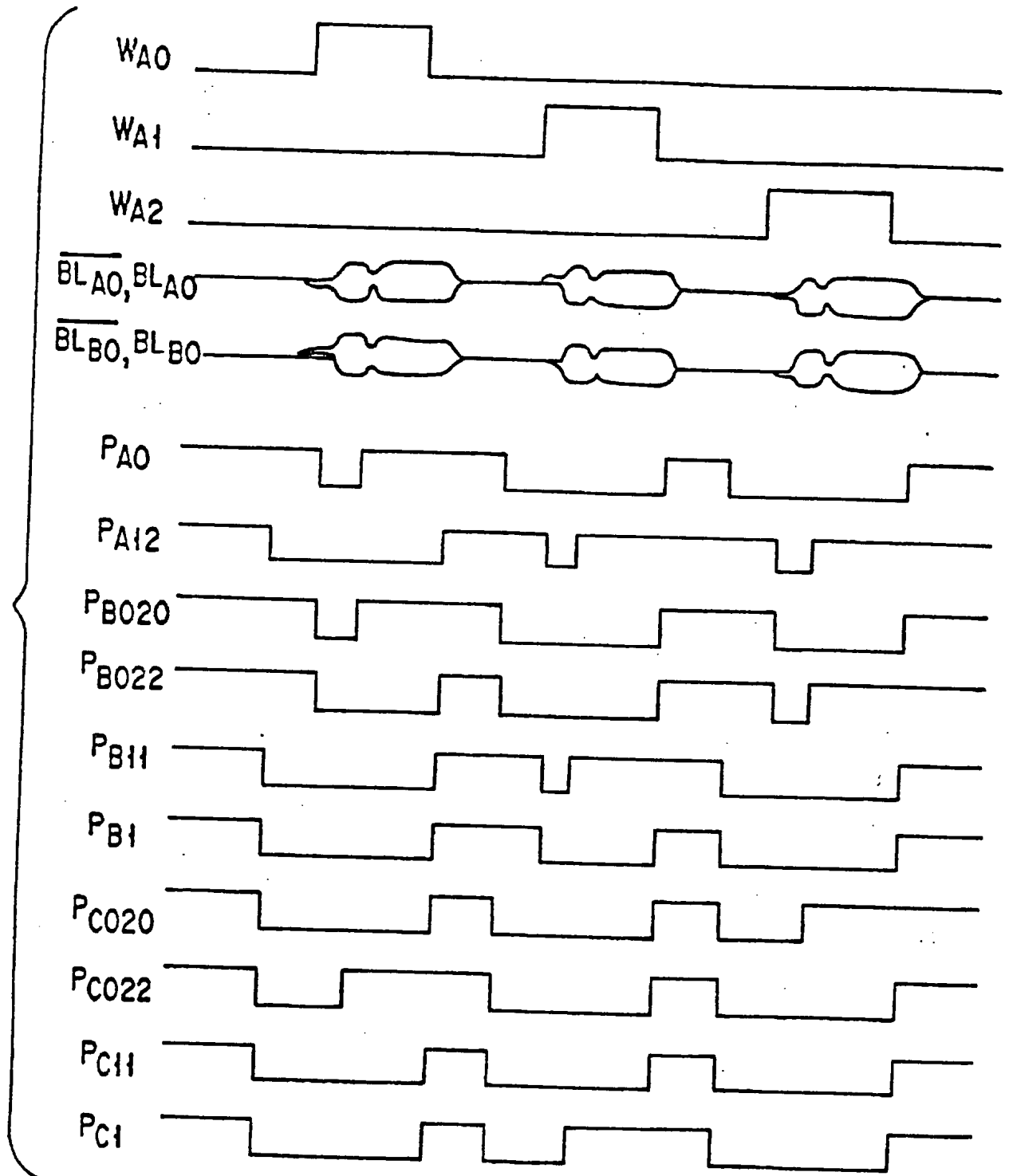


FIG. 31

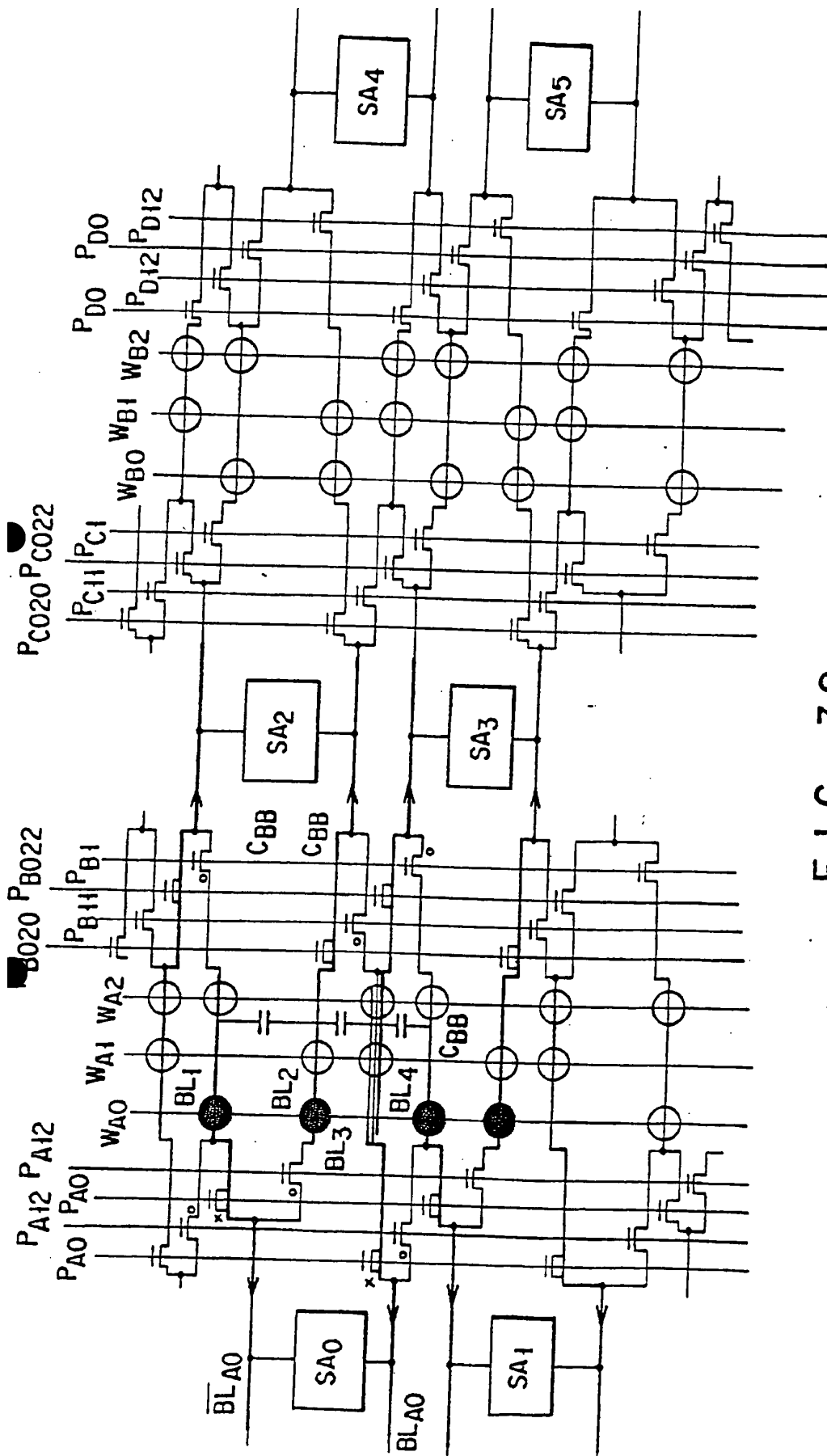


FIG. 32

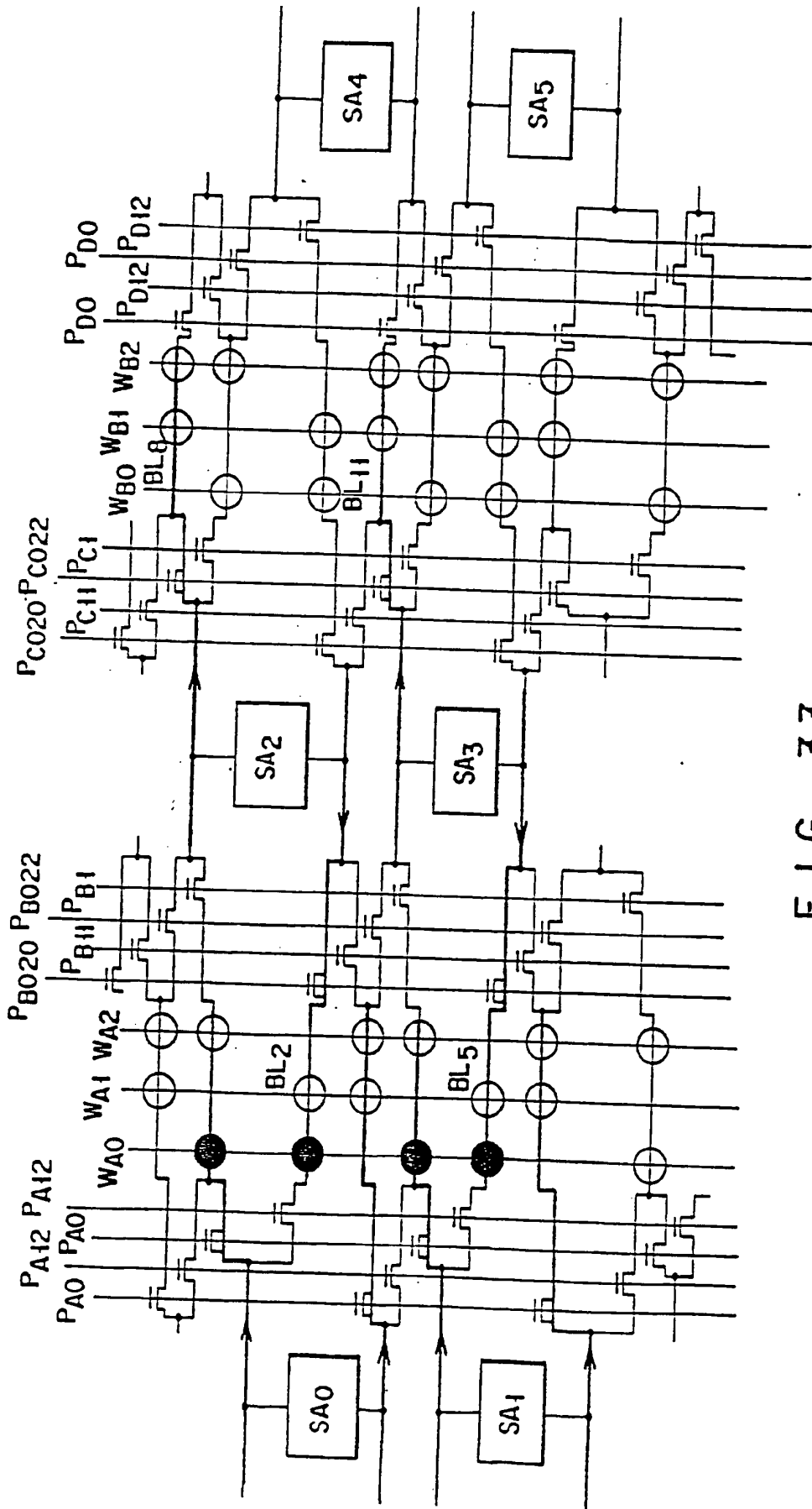


FIG. 33

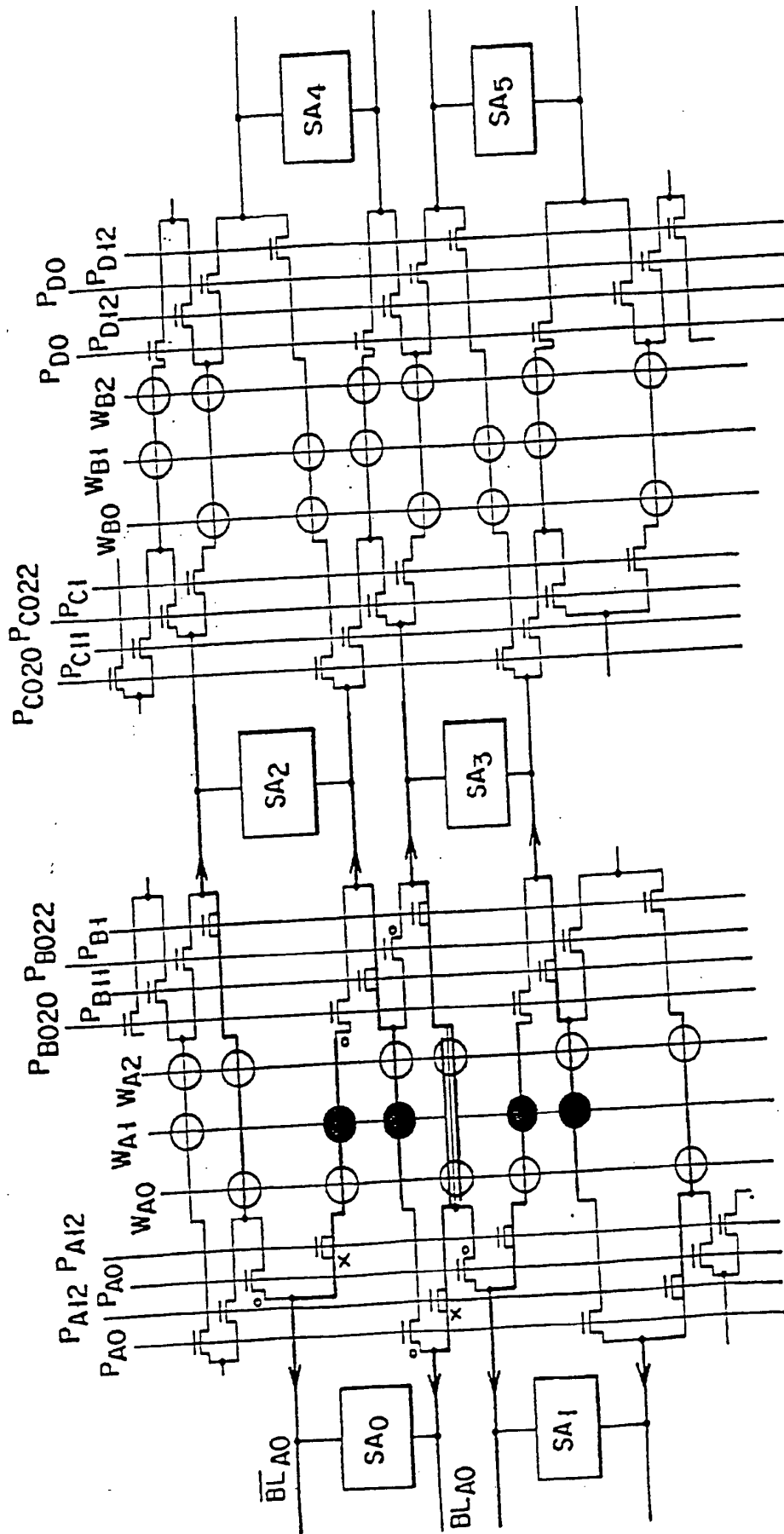


FIG. 34

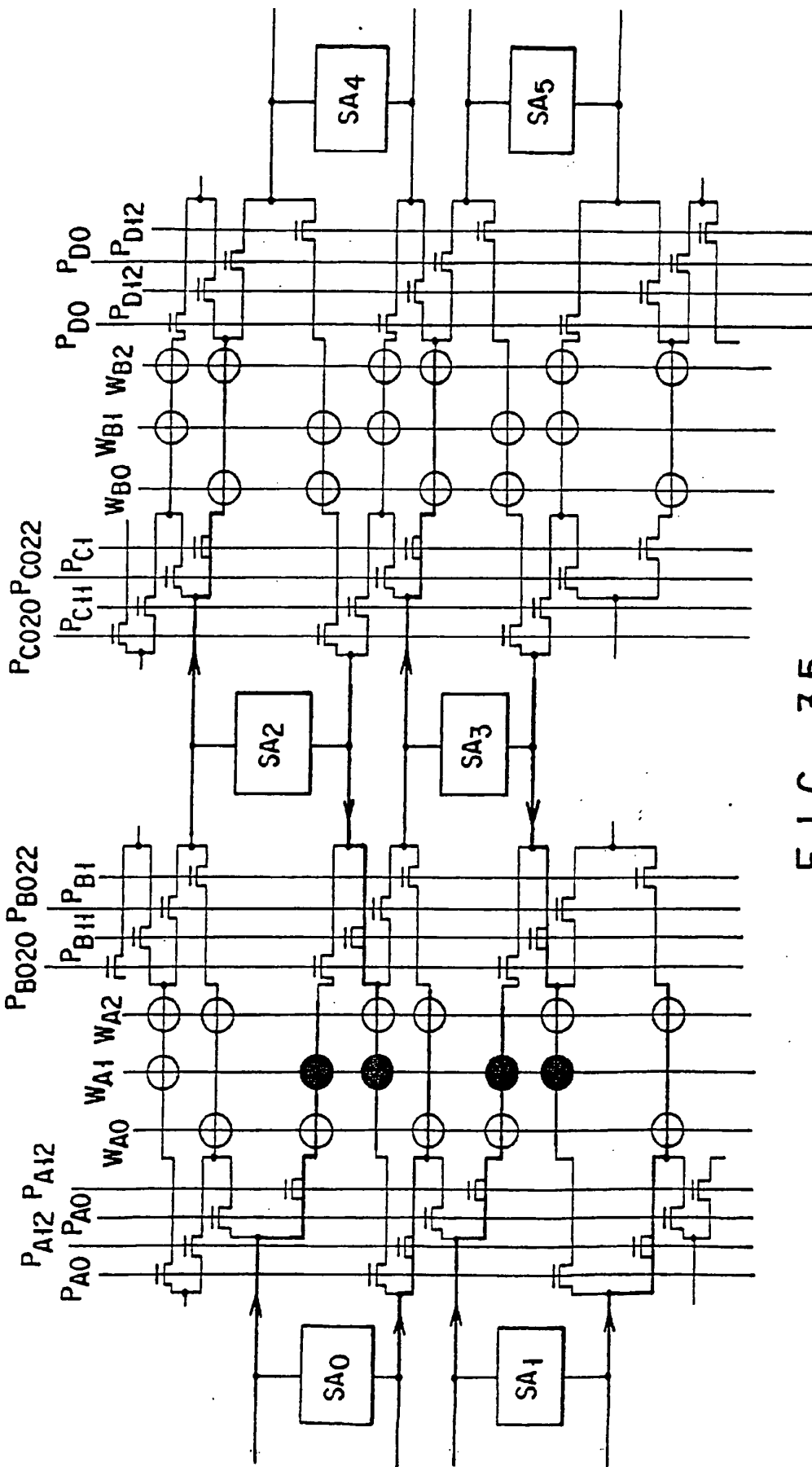


FIG. 35

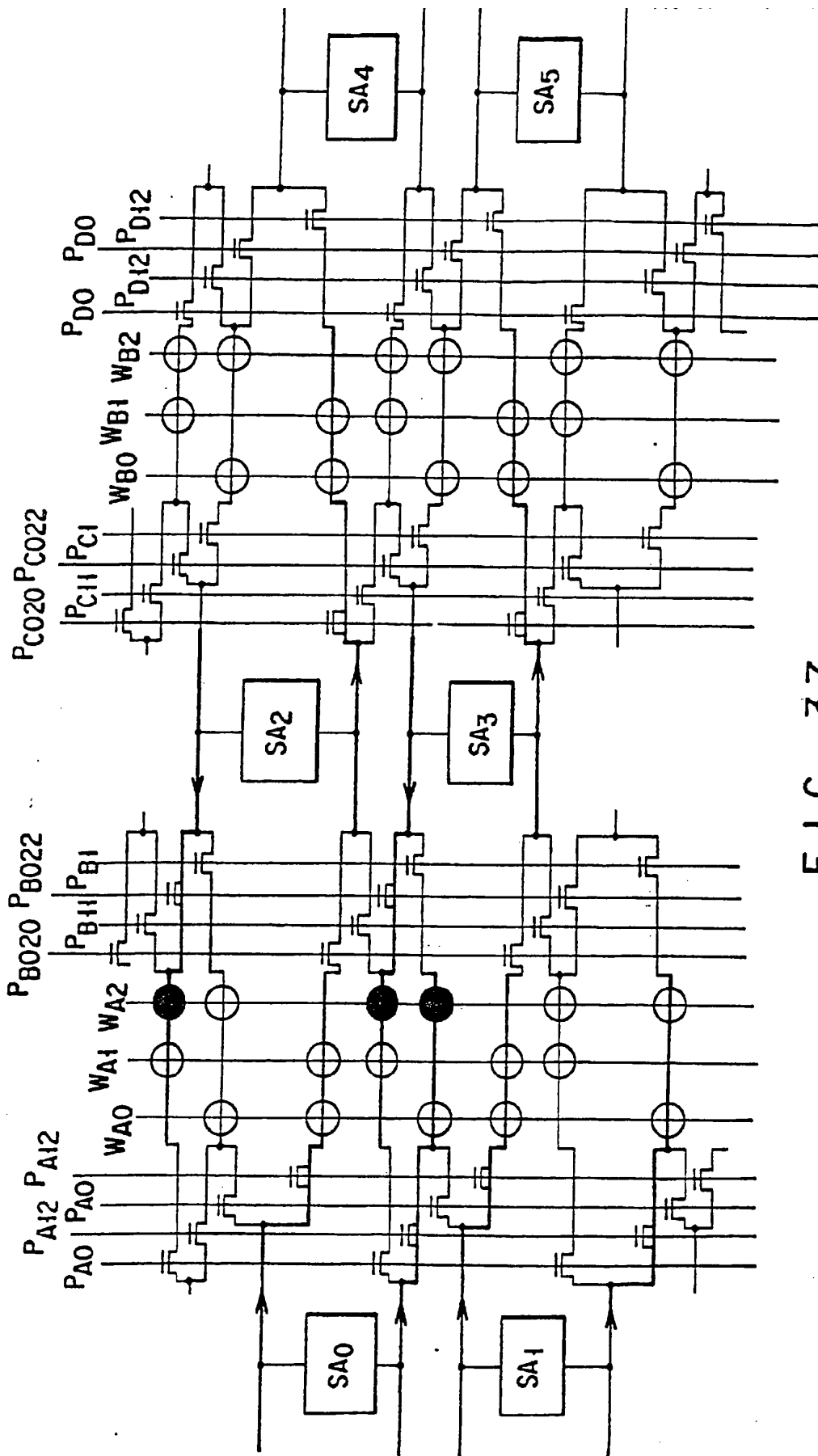
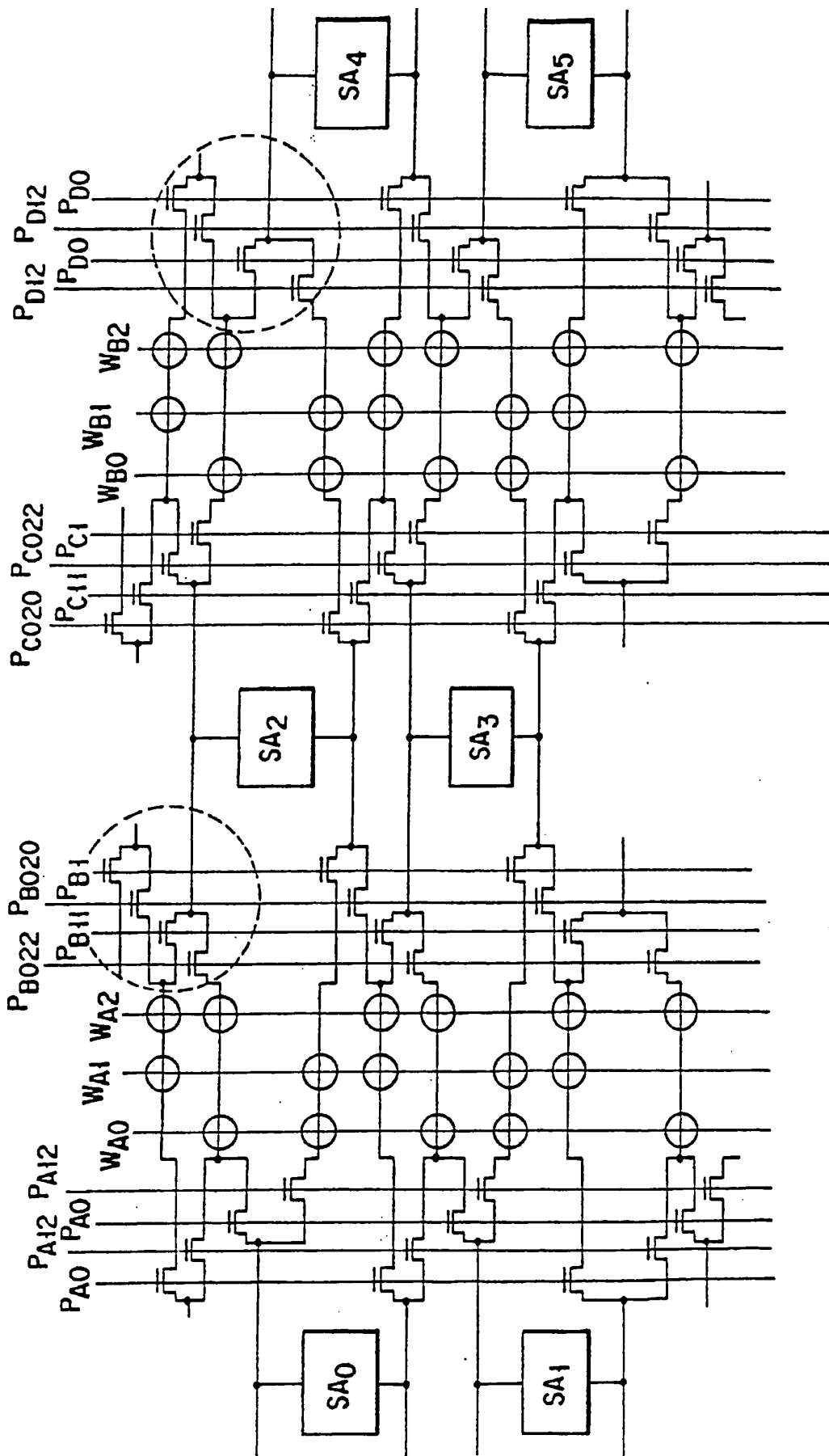


FIG. 37



ARRAY B

FIG. 38

ARRAY A

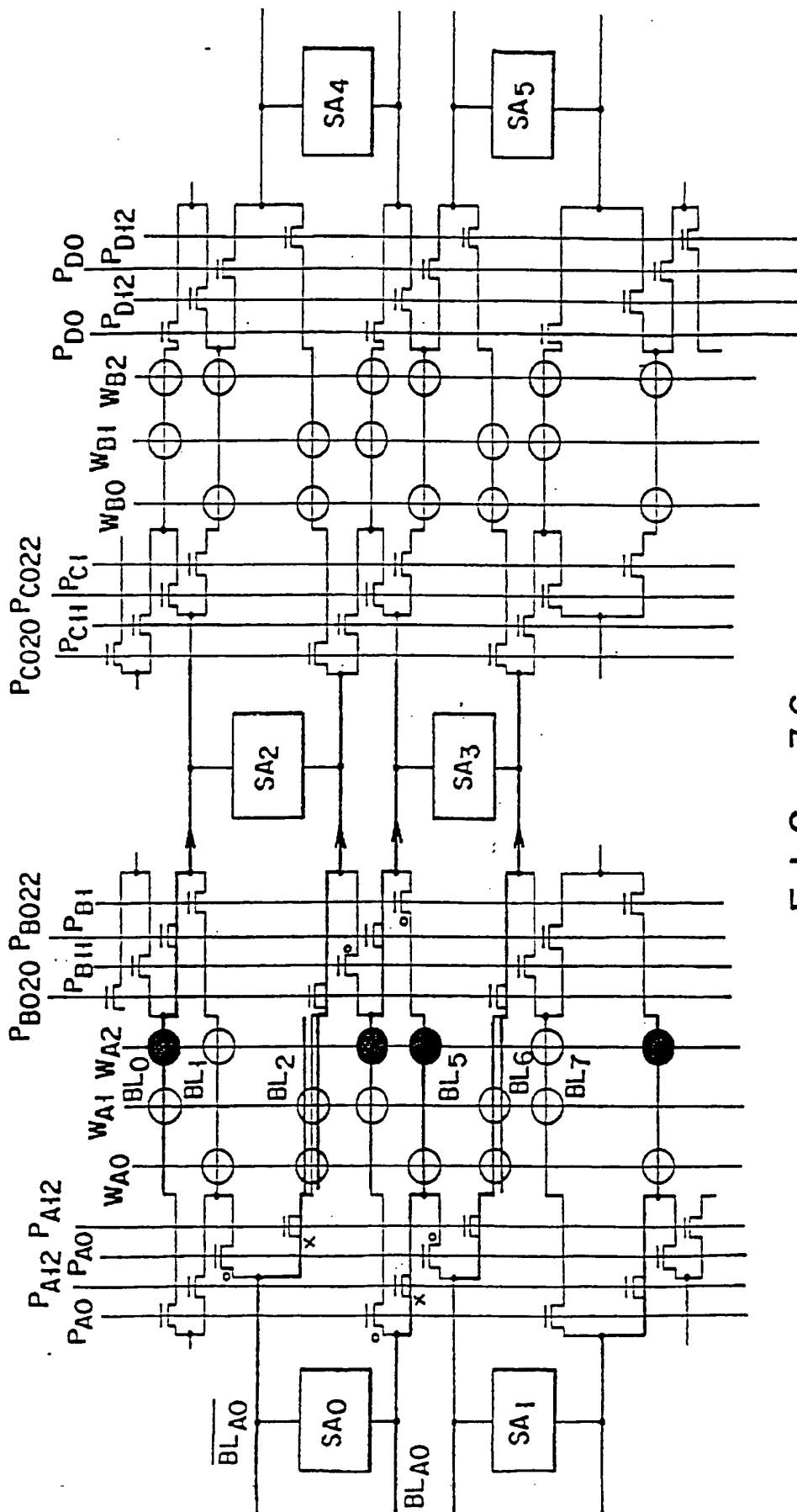


FIG. 36

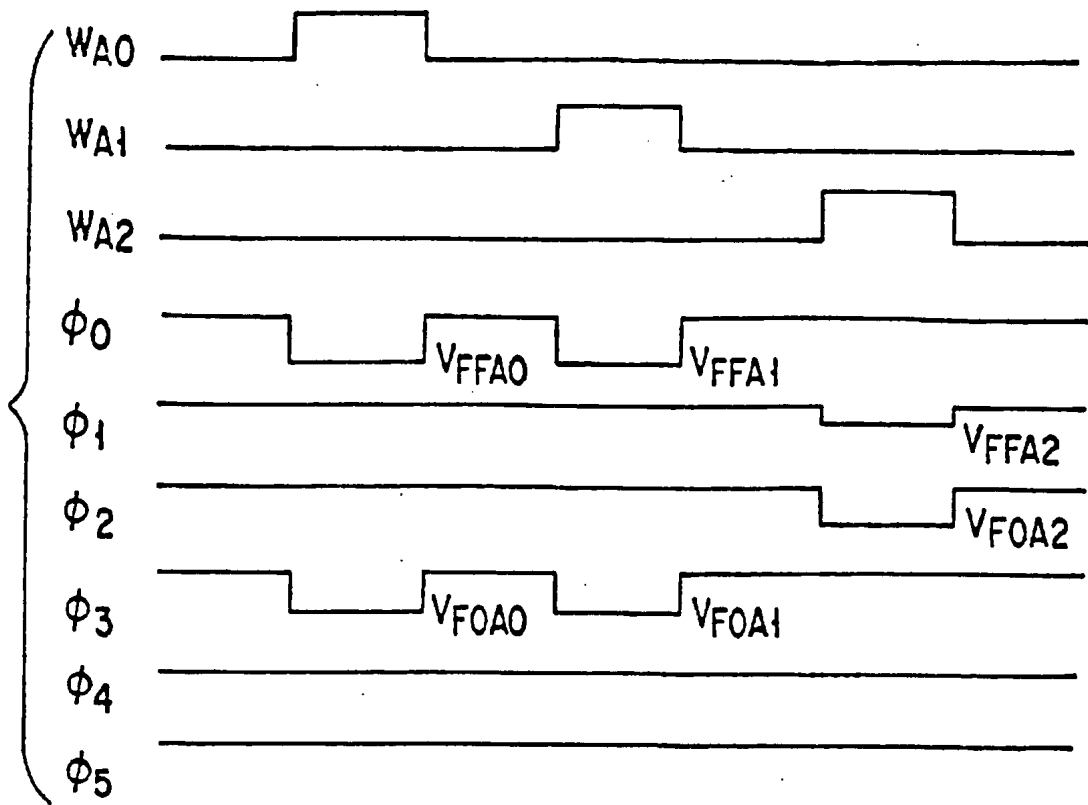


FIG. 40

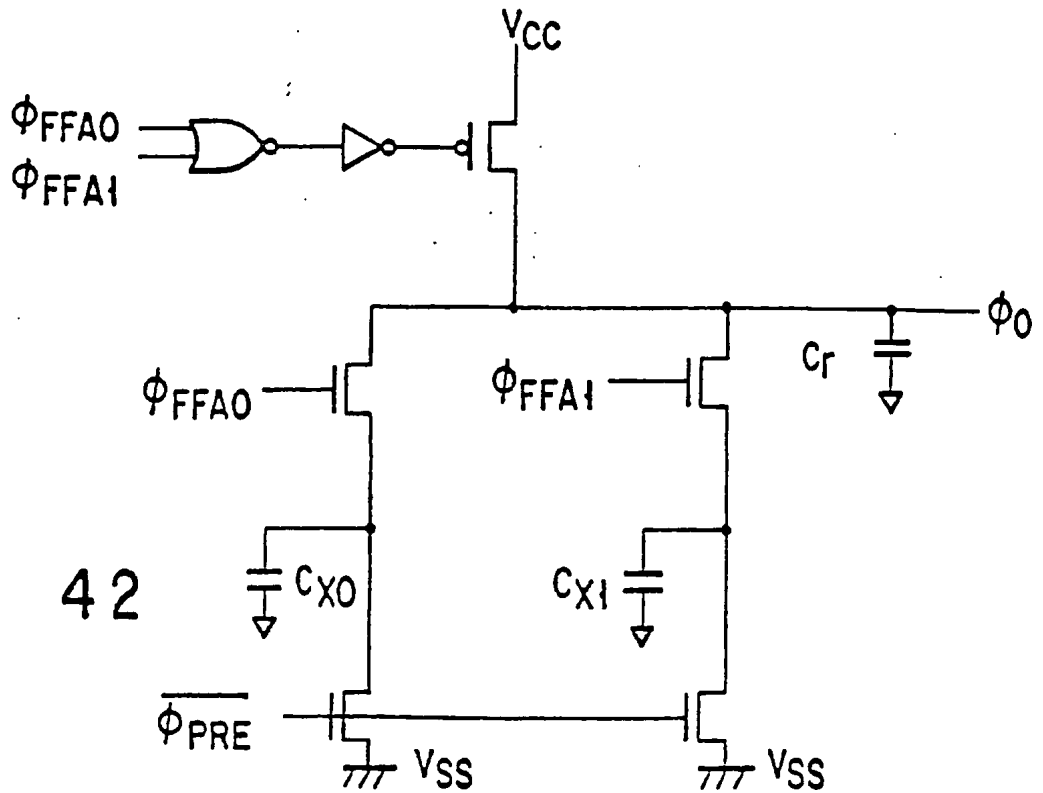


FIG. 42

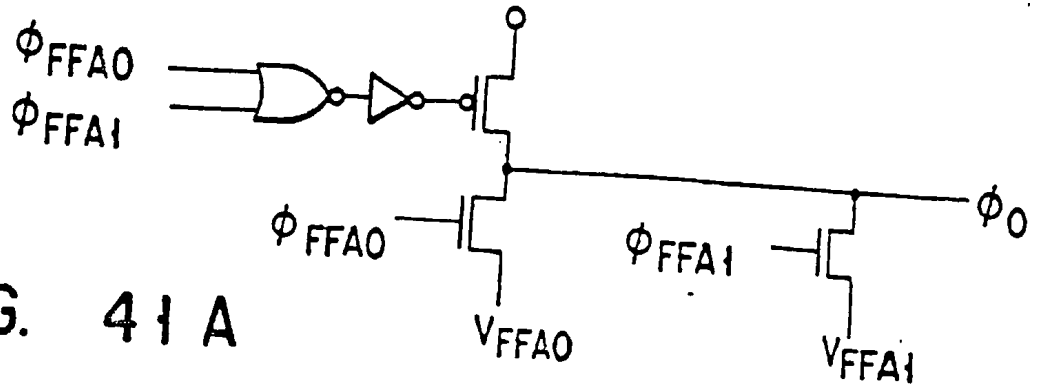


FIG. 41A

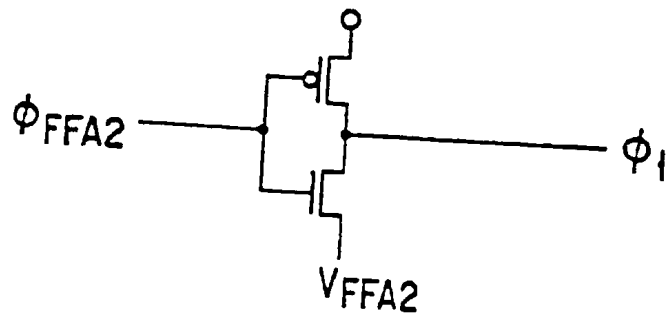


FIG. 41B

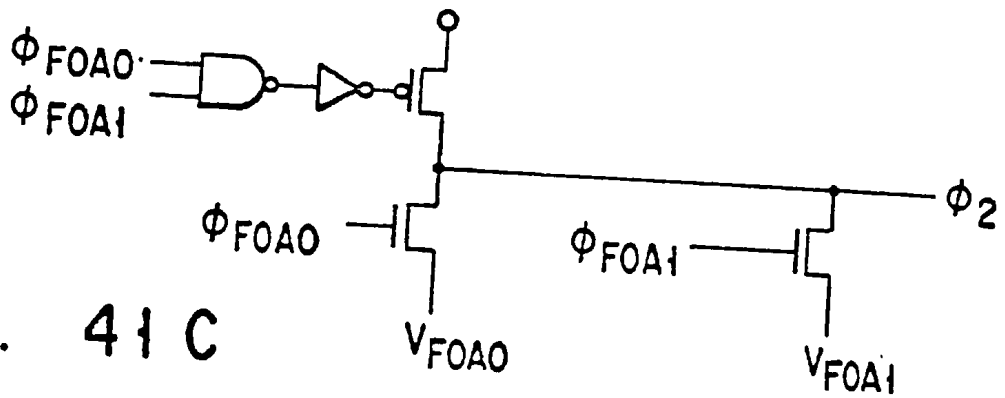


FIG. 41C

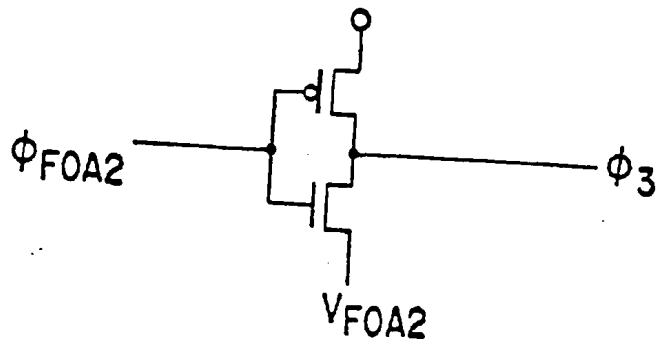


FIG. 41D

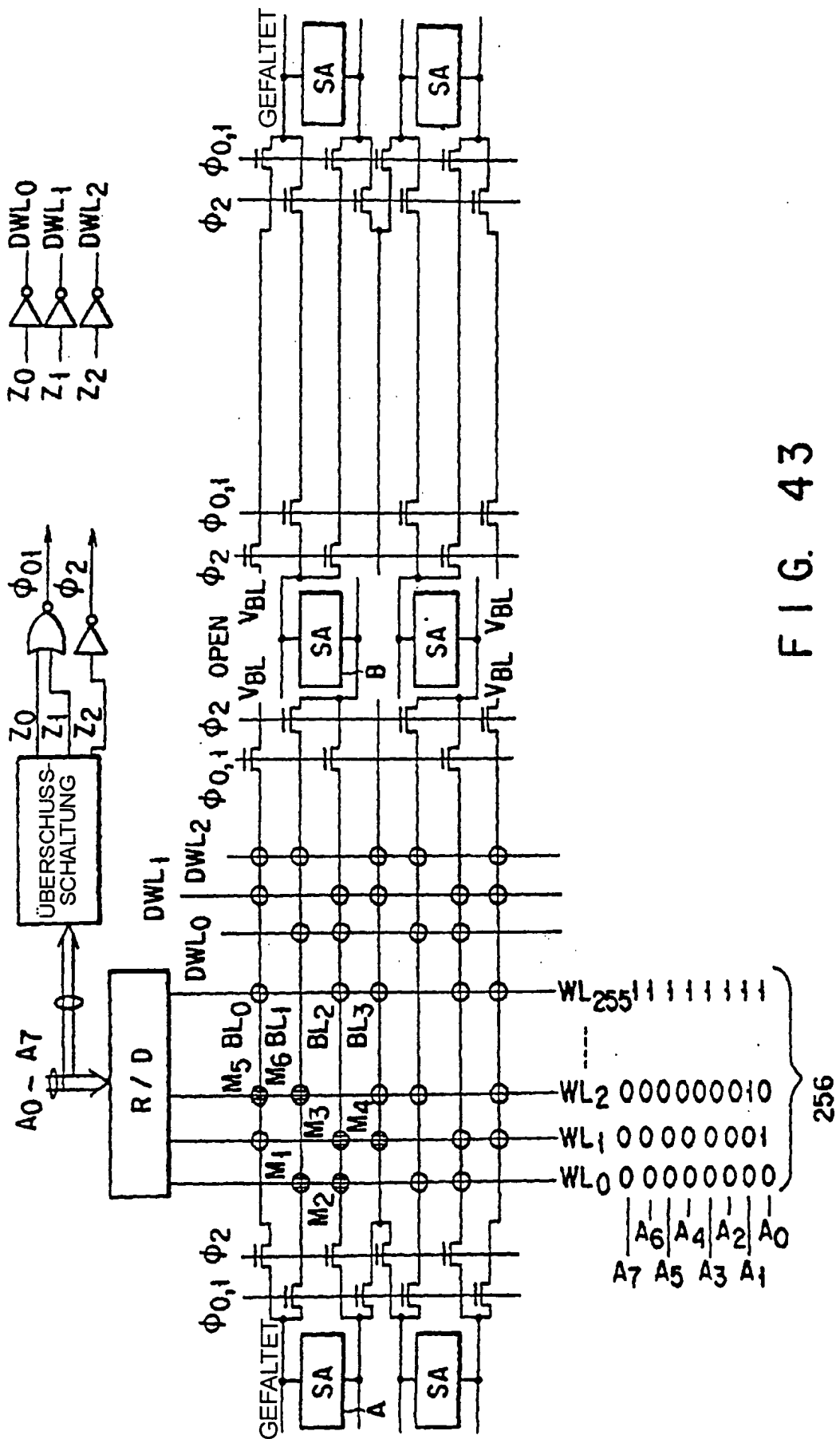


FIG. 43

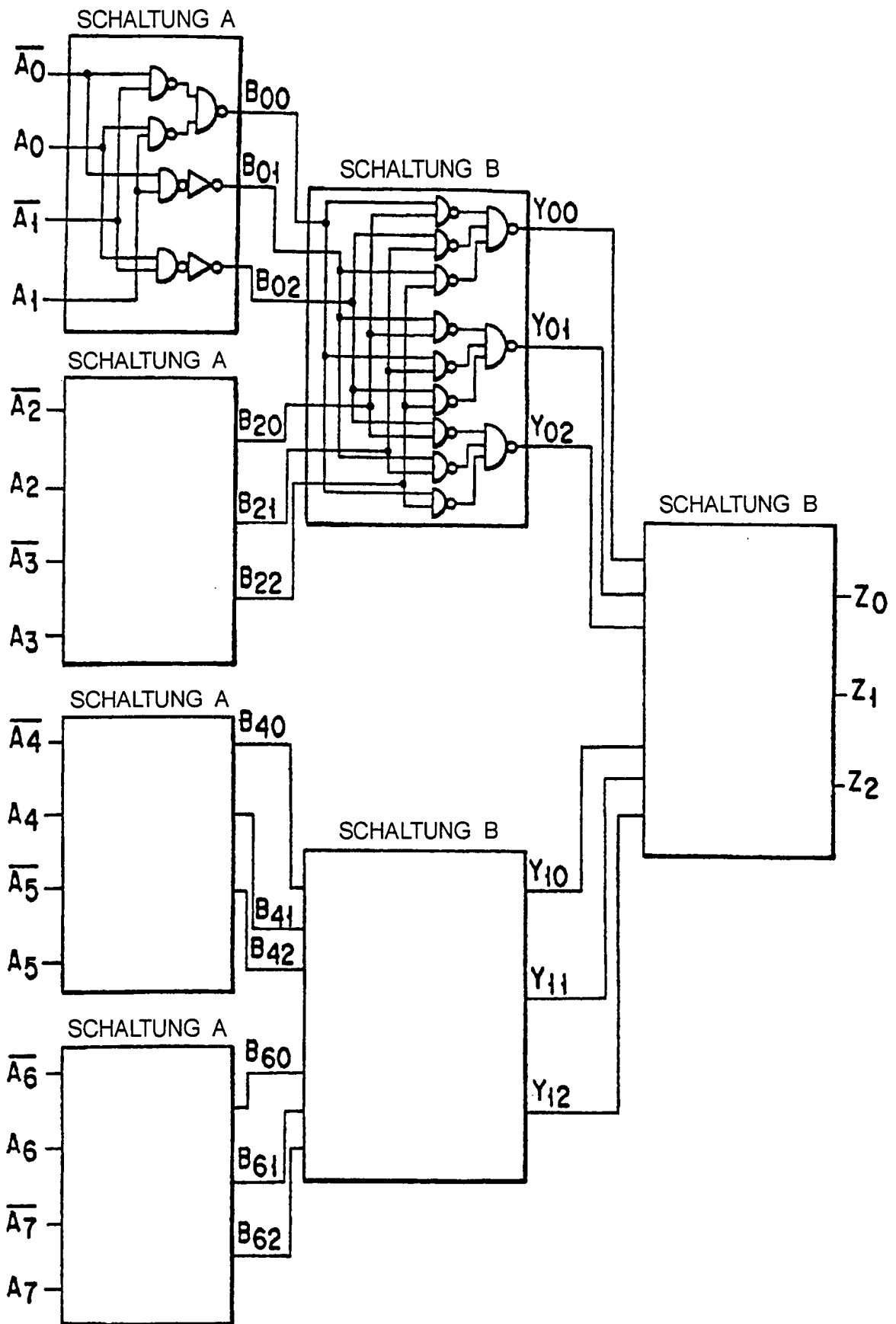


FIG. 44

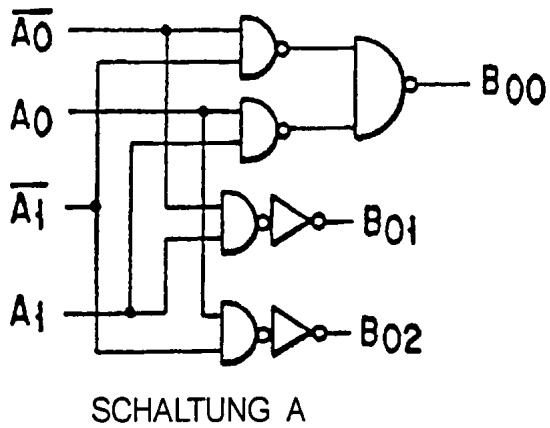


FIG. 45A

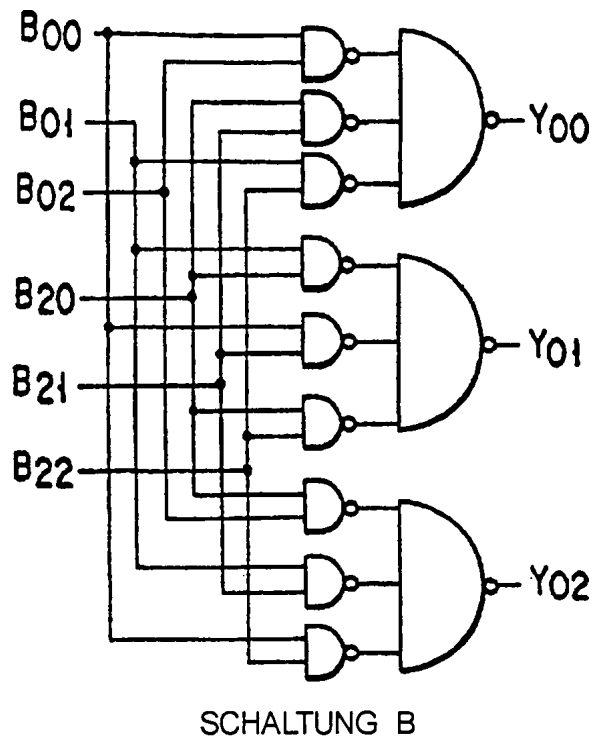


FIG. 45B

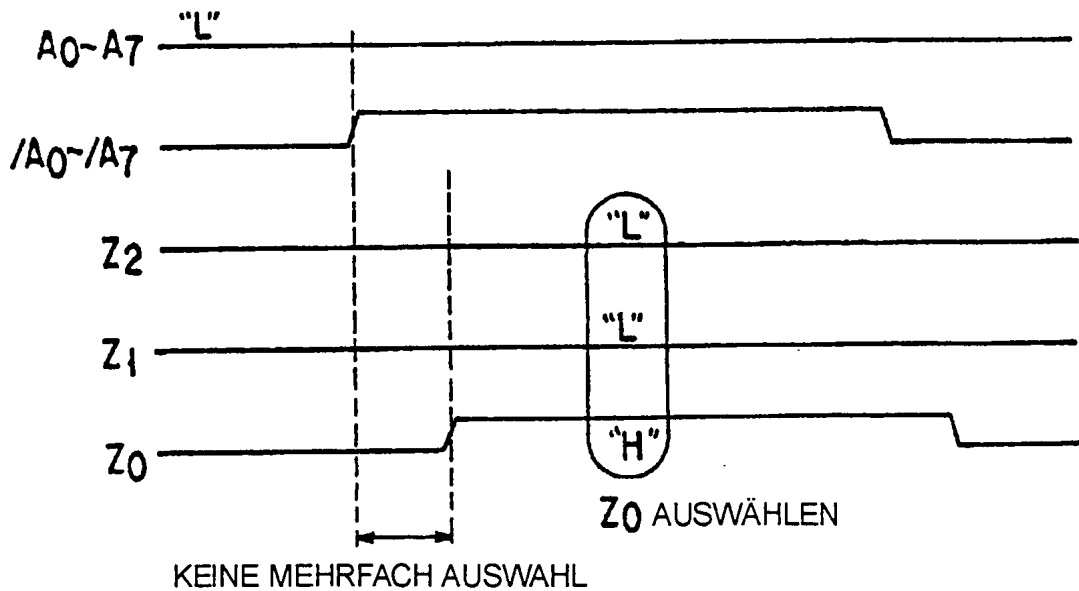


FIG. 46

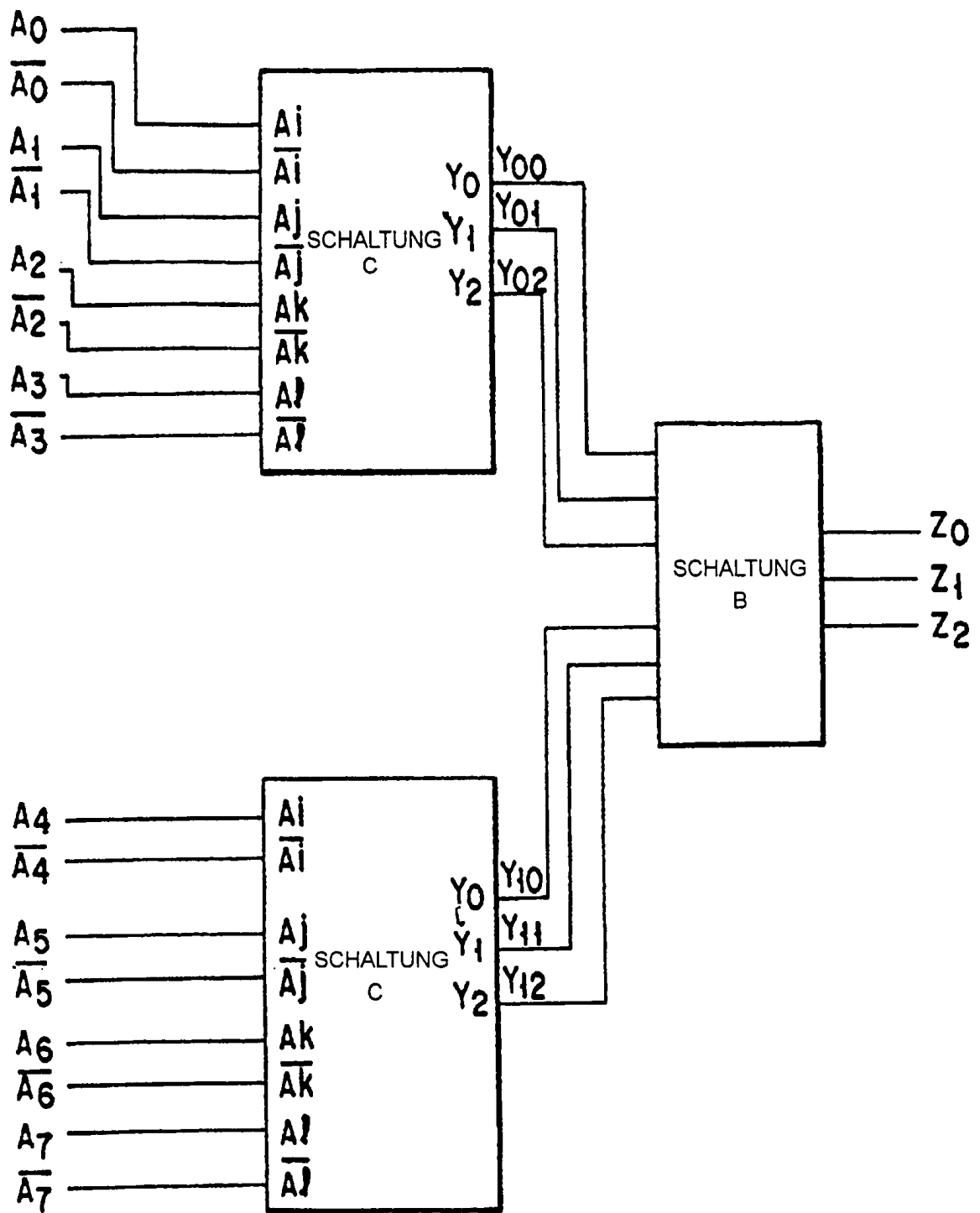


FIG. 47

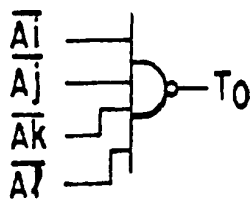


FIG. 48A

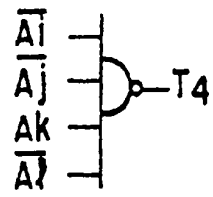


FIG. 48E

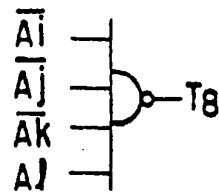


FIG. 48I

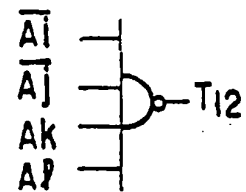


FIG. 48M

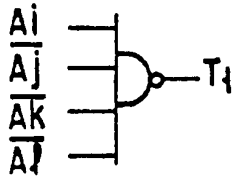


FIG. 48B

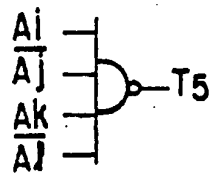


FIG. 48F

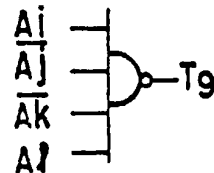


FIG. 48J

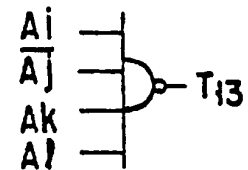


FIG. 48N

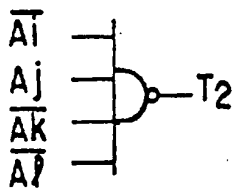


FIG. 48C

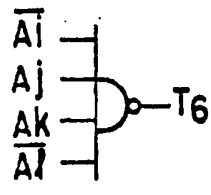


FIG. 48G

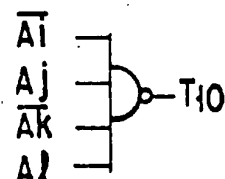


FIG. 48K

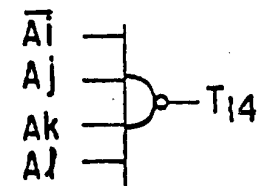


FIG. 48O

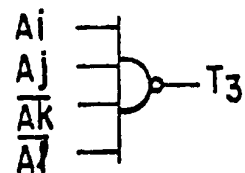


FIG. 48D

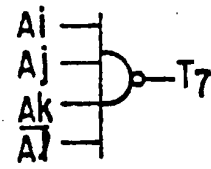


FIG. 48H

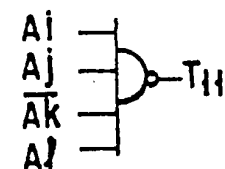


FIG. 48L

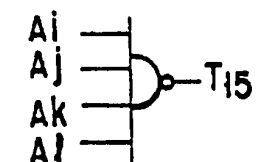


FIG. 48P

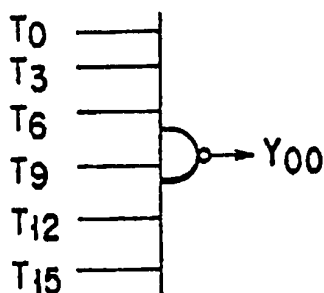


FIG. 48Q

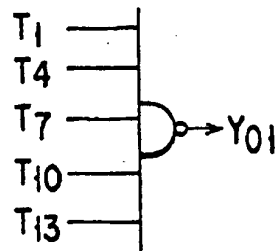


FIG. 48R

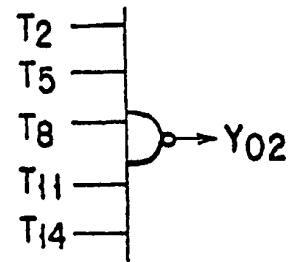


FIG. 48S

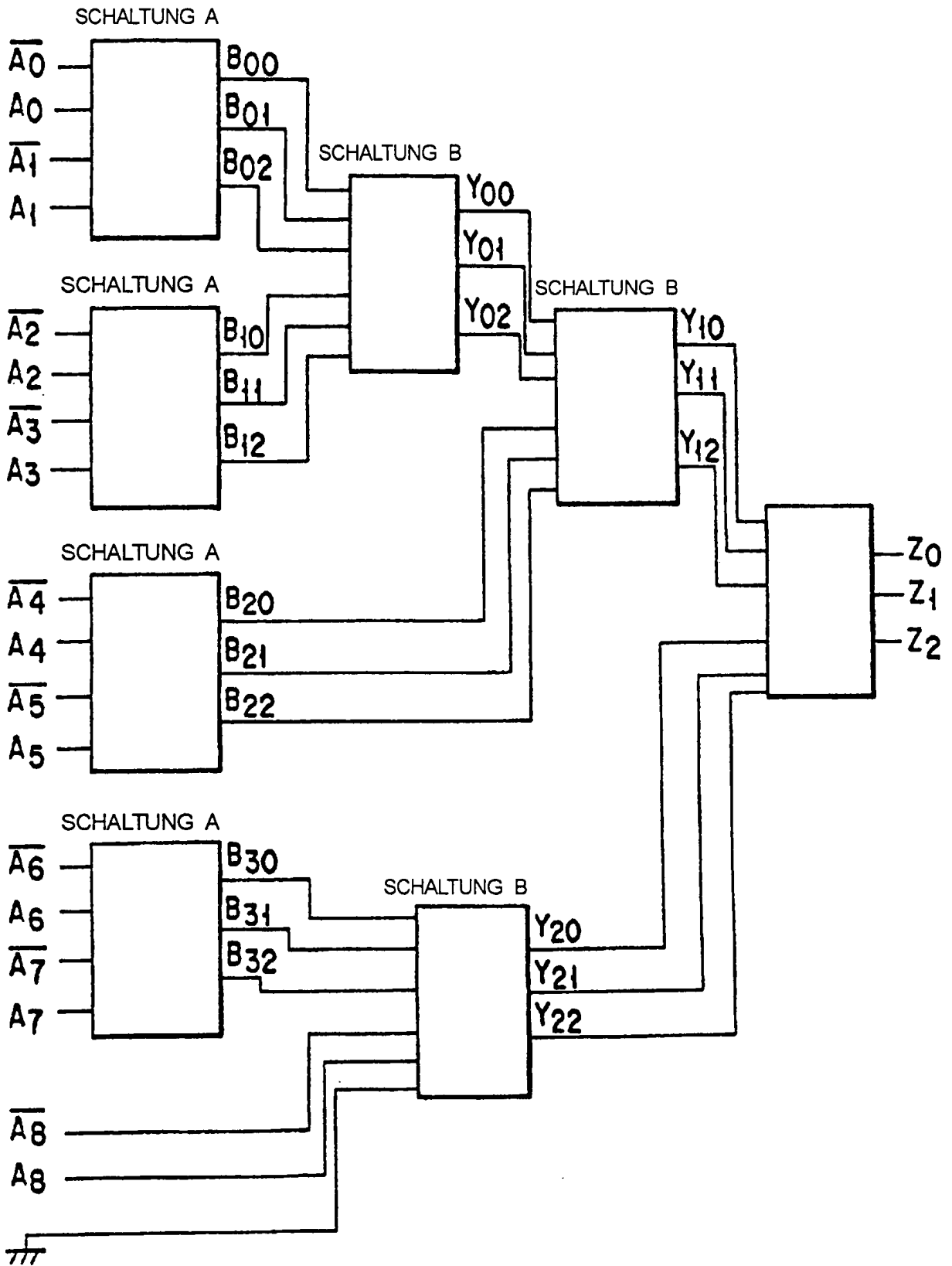


FIG. 50

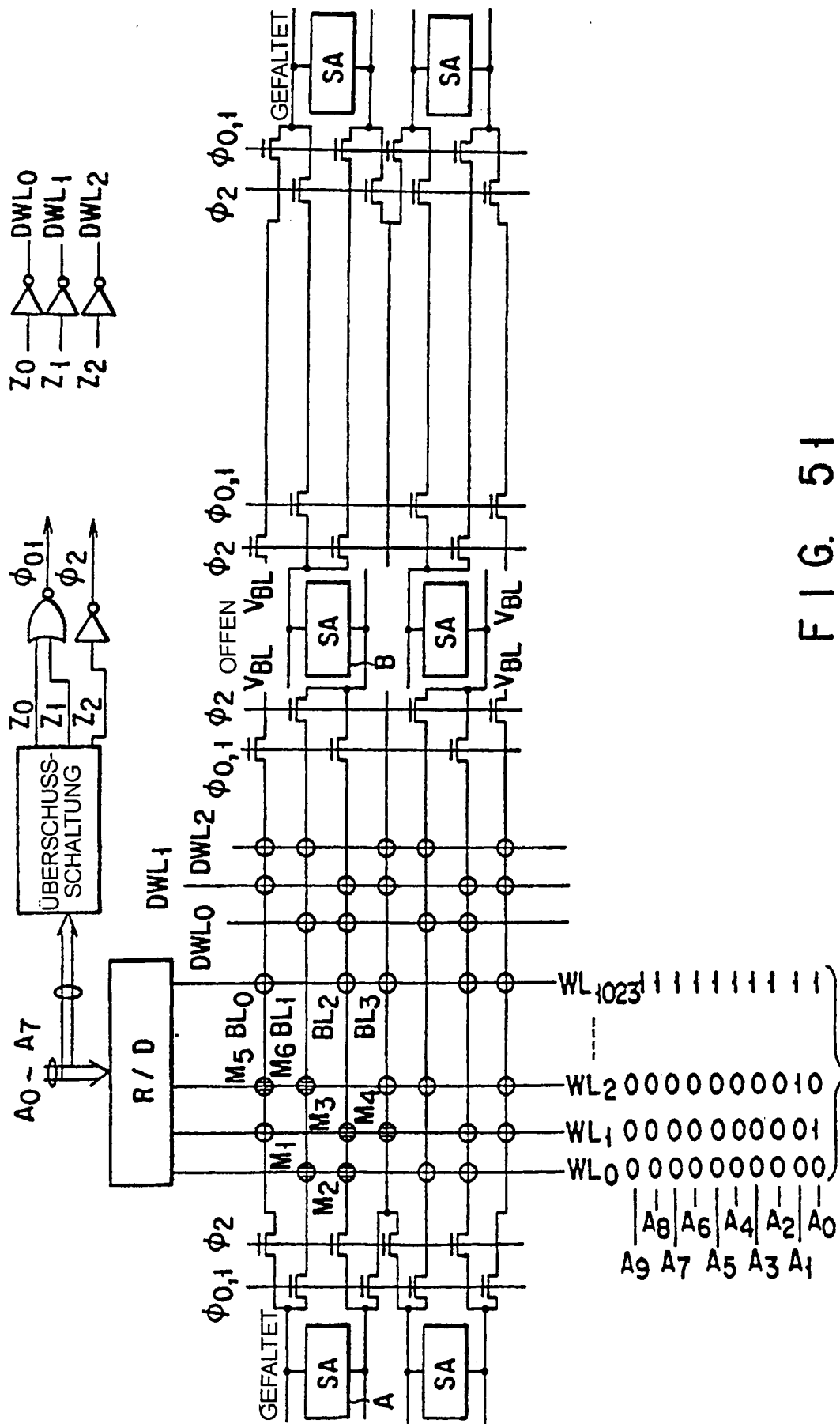


FIG. 51

1024 WORTLEITUNG

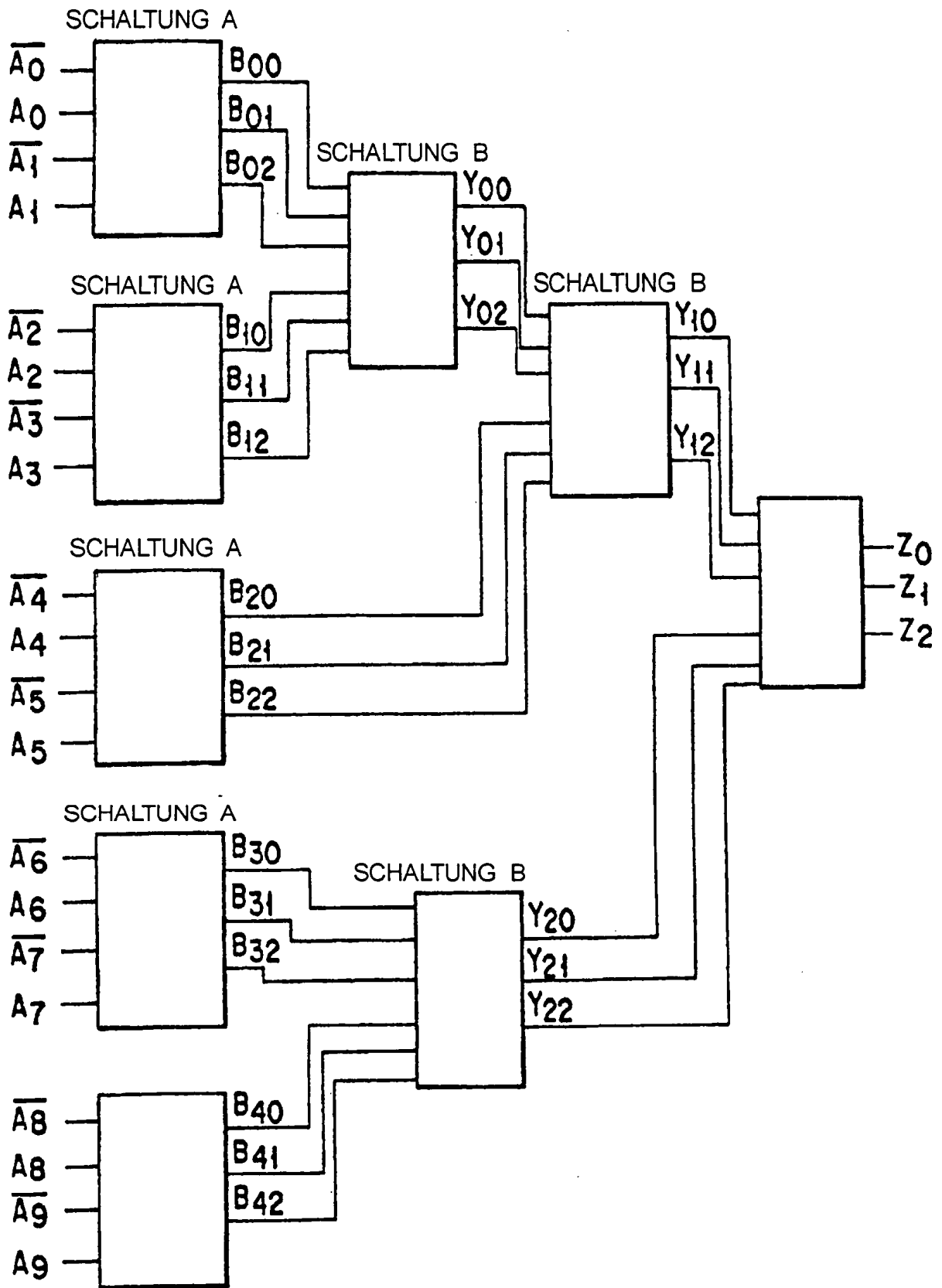


FIG. 52

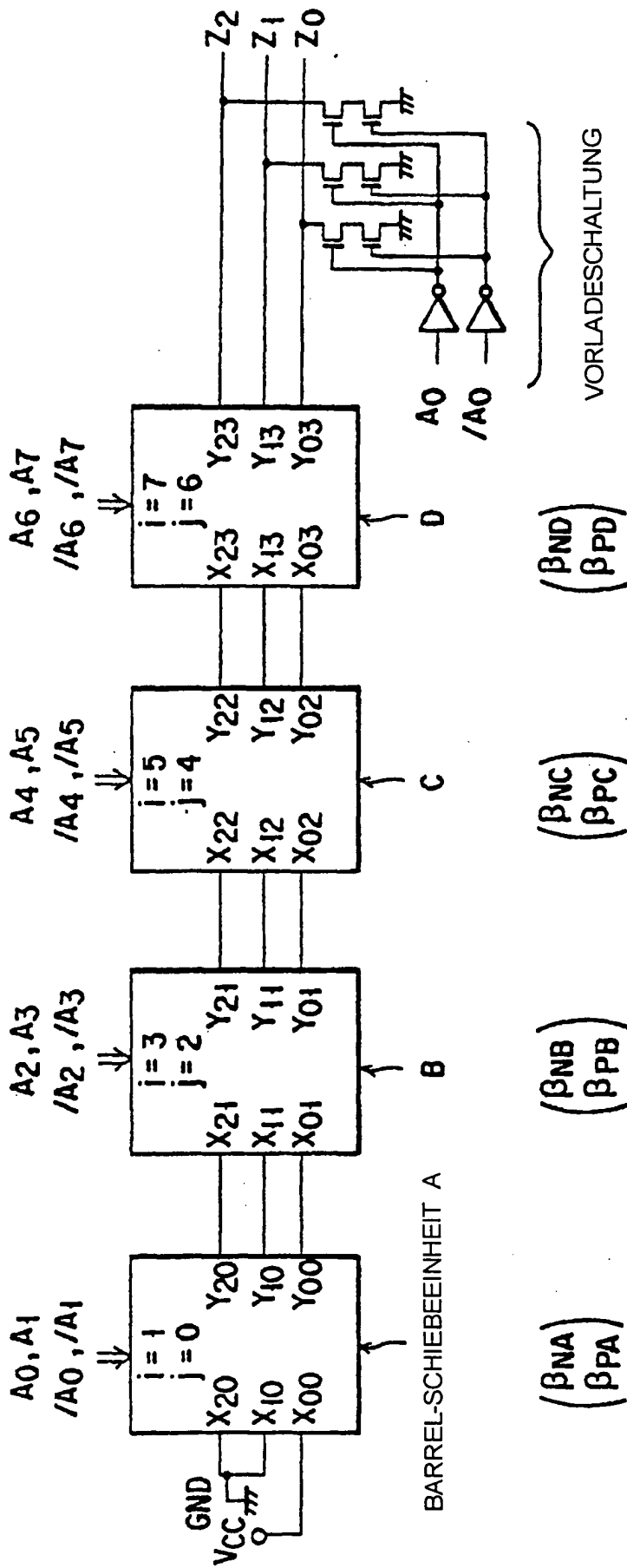
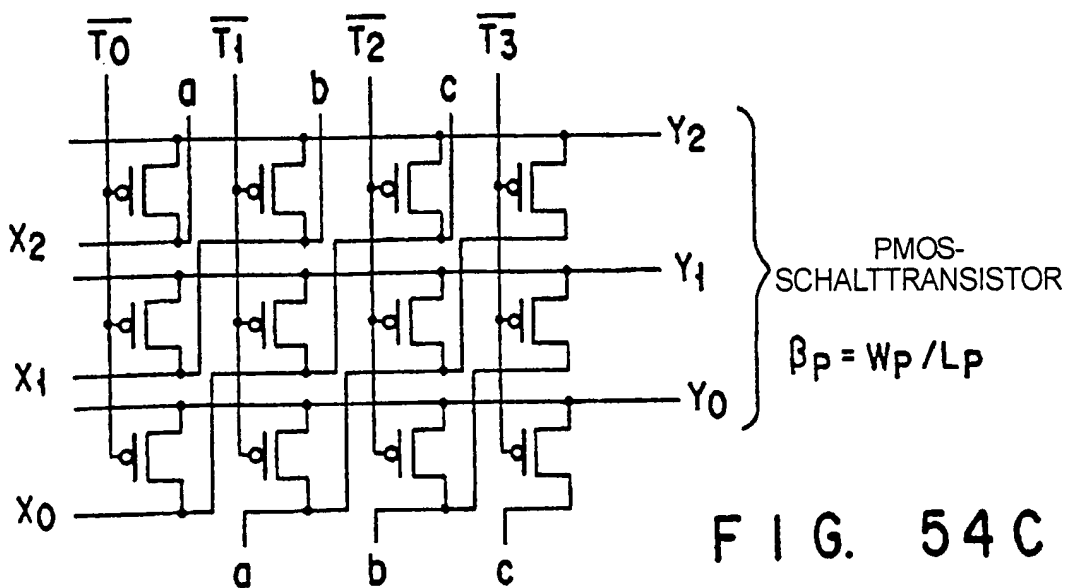
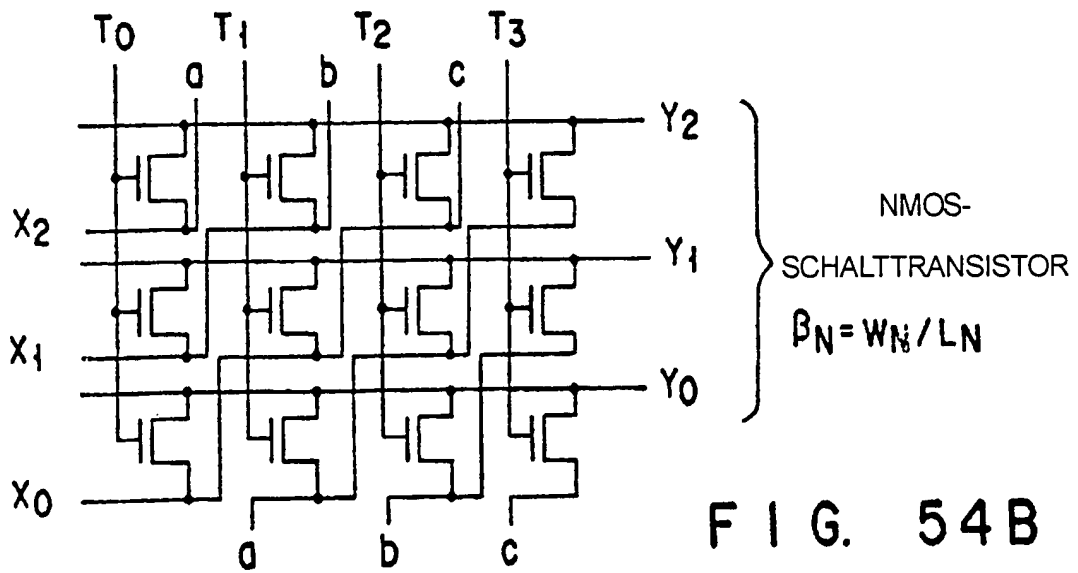
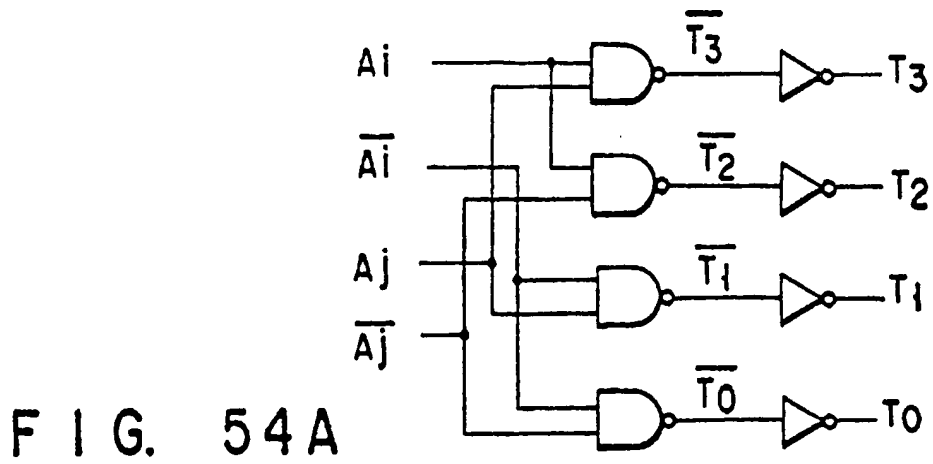


FIG. 53



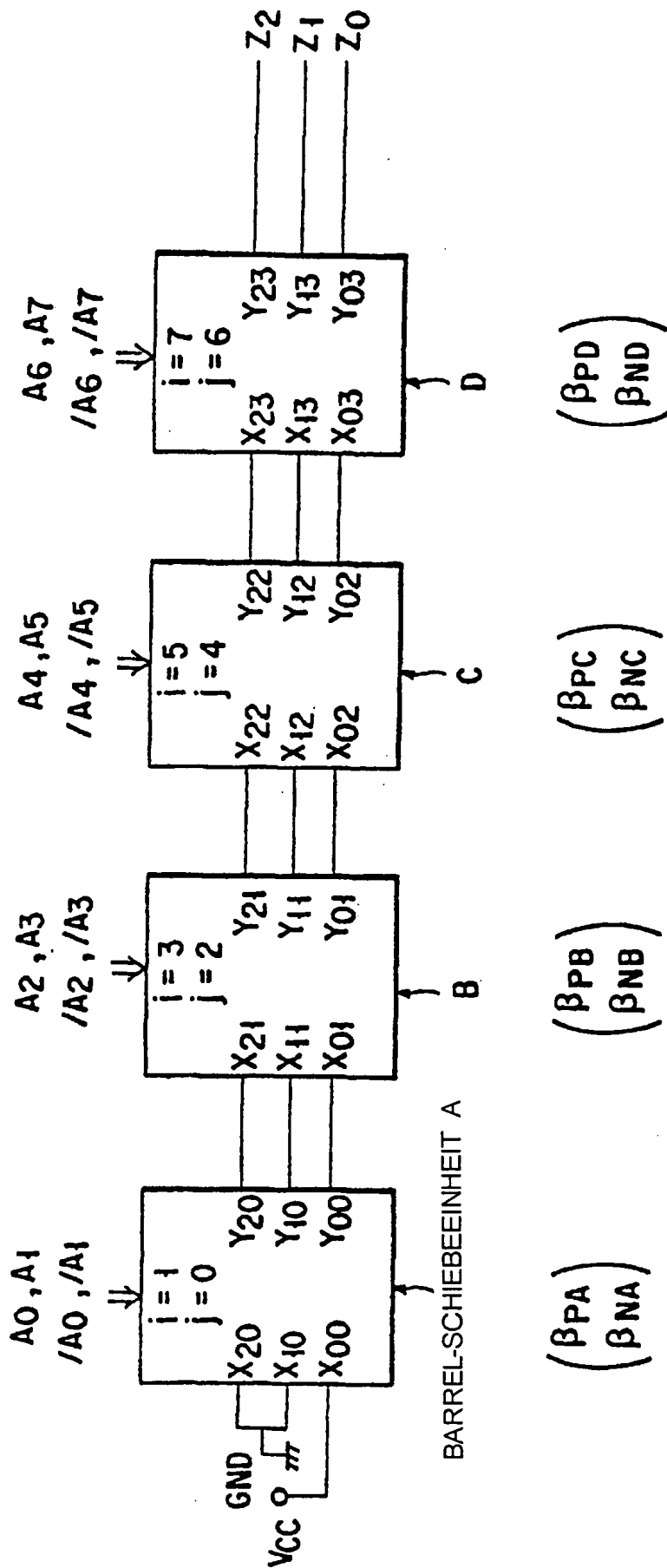
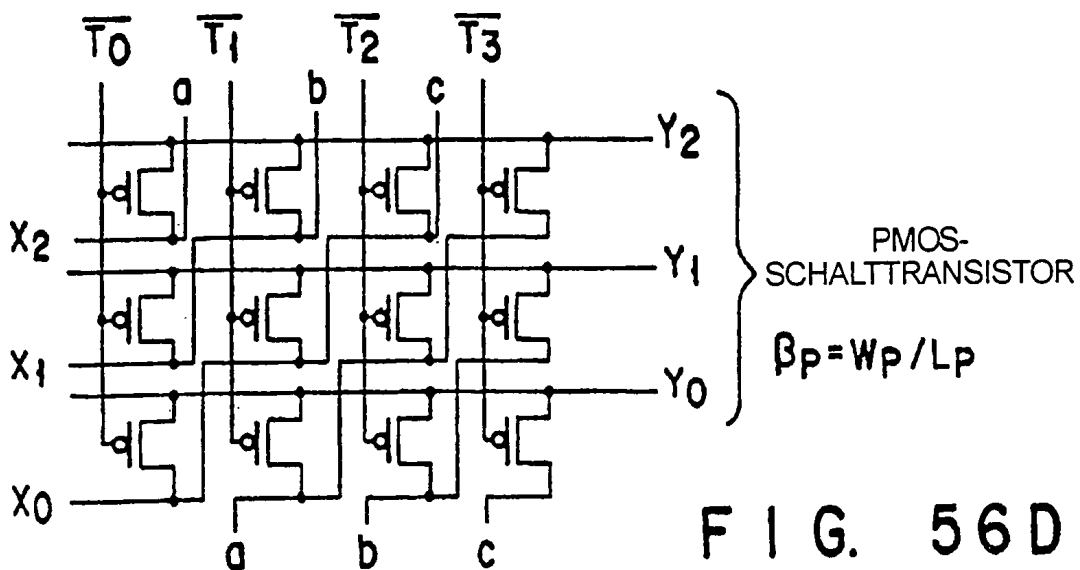
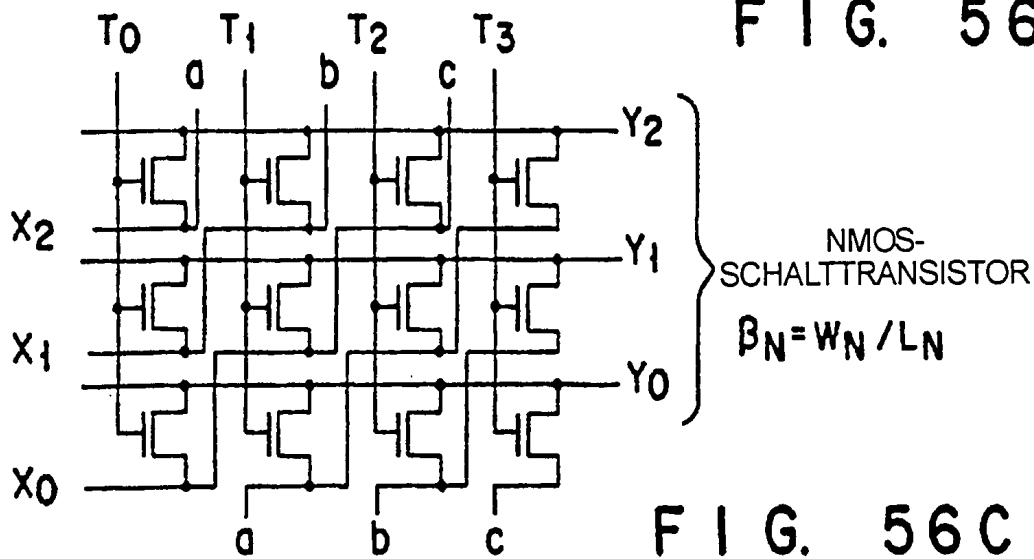
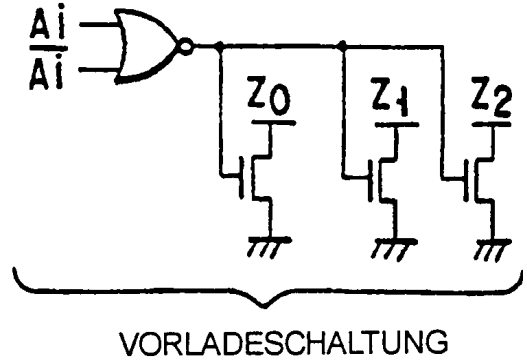
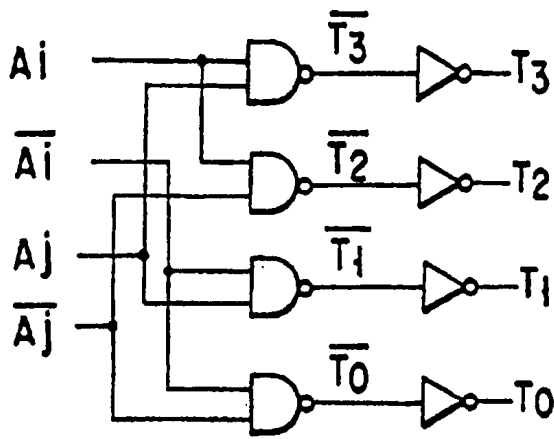


FIG. 55



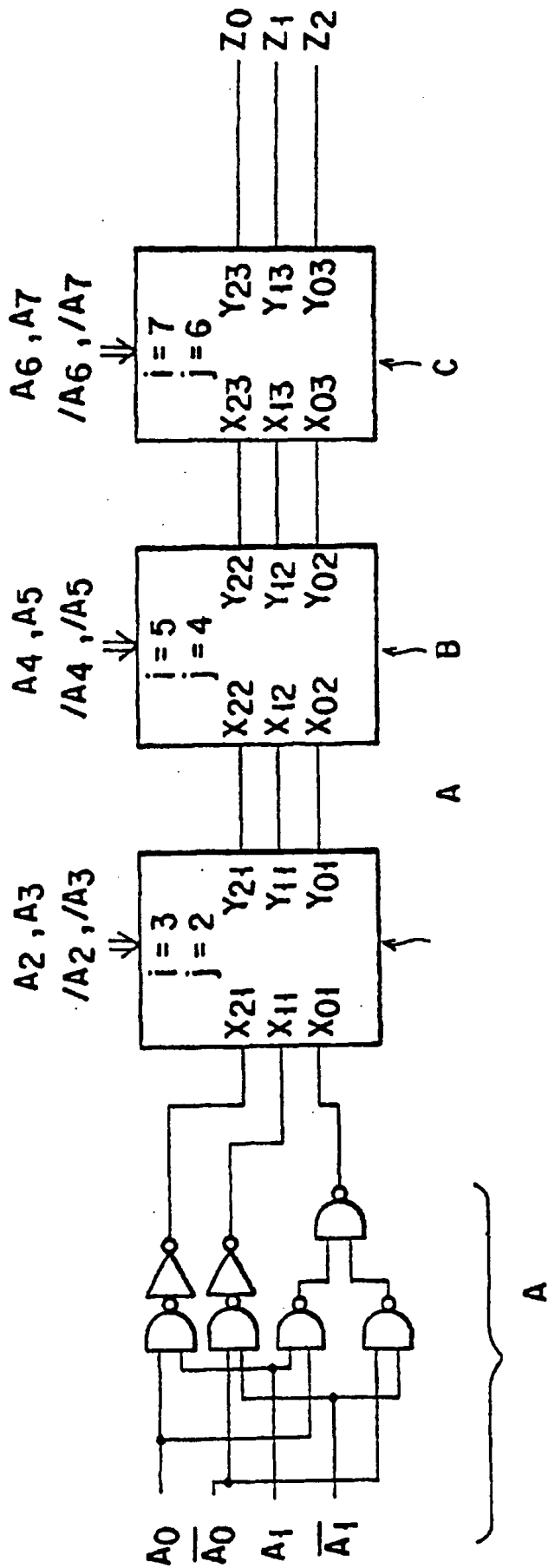


FIG. 57

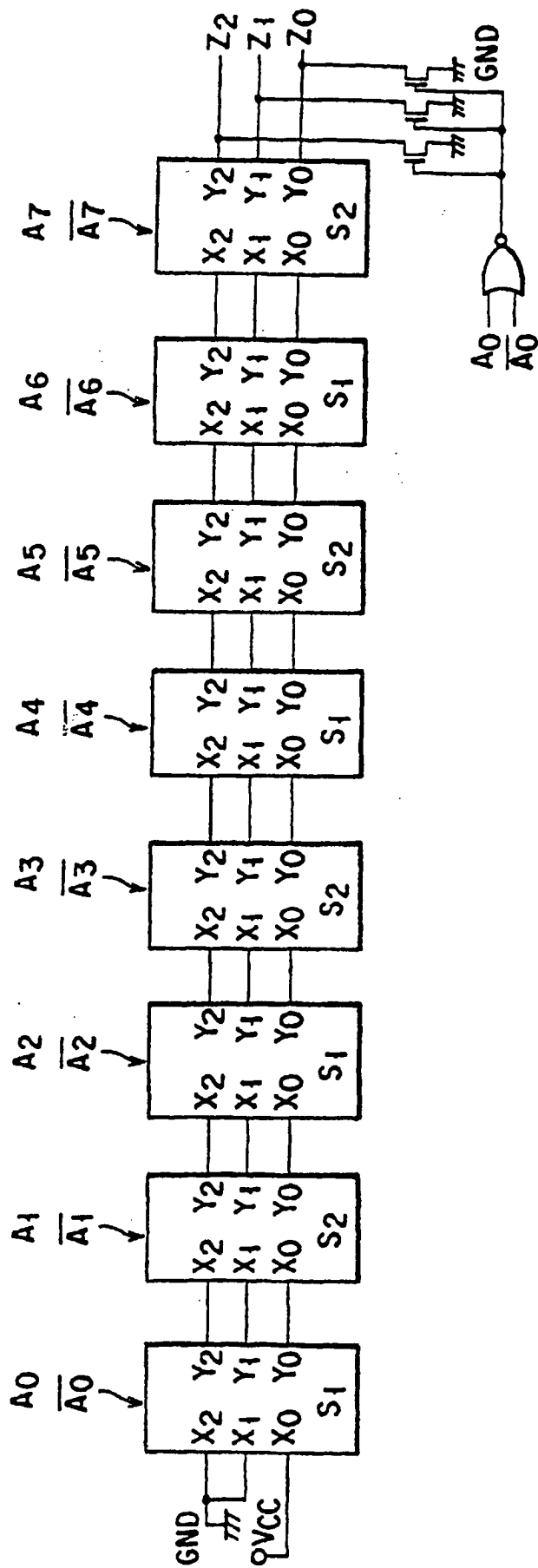
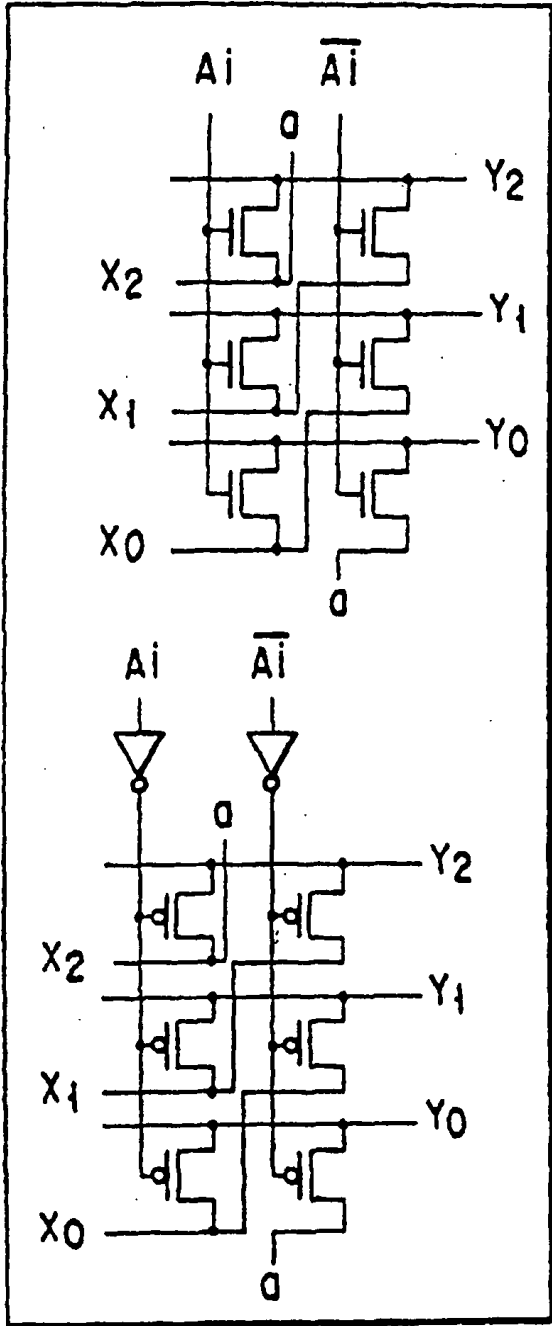
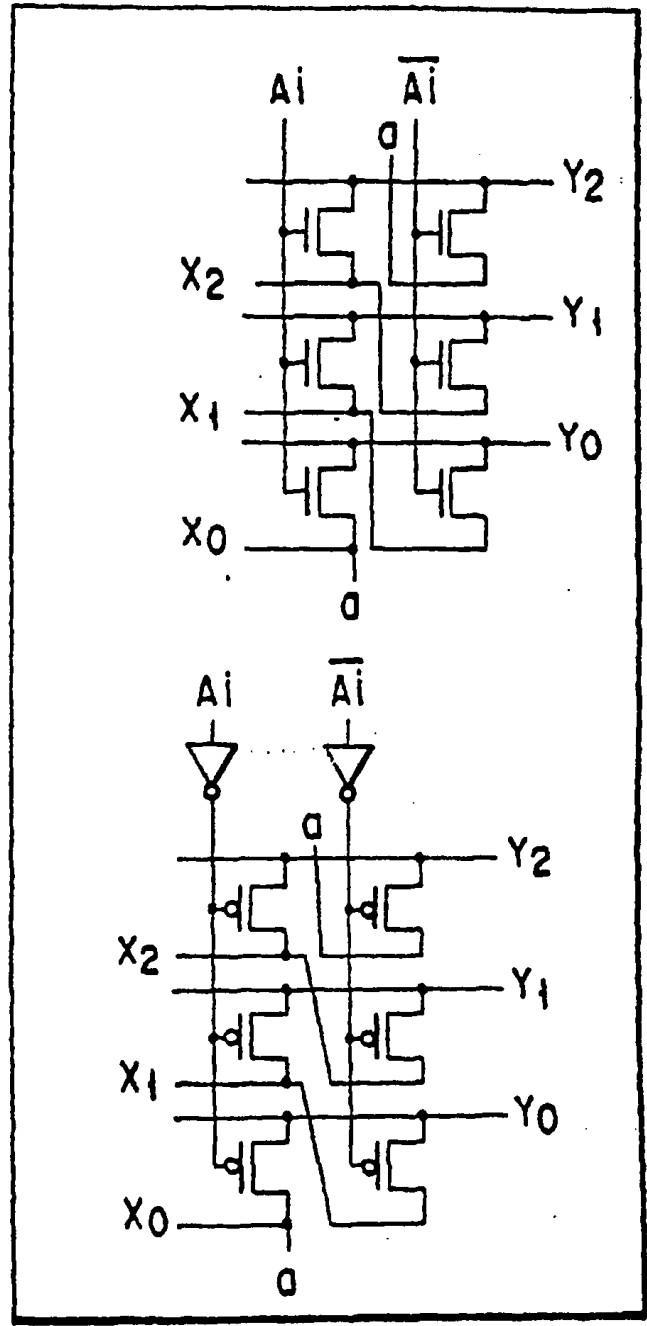


FIG. 58



S1

FIG. 59A



S2

FIG. 59B