

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 10 月 6 日 (06.10.2016)



(10) 国际公布号
WO 2016/155056 A1

(51) 国际专利分类号:

H01L 21/84 (2006.01) H01L 29/04 (2006.01)
H01L 21/336 (2006.01) H01L 29/06 (2006.01)
H01L 27/12 (2006.01) H01L 29/786 (2006.01)

(21) 国际申请号:

PCT/CN2015/077160

(22) 国际申请日:

2015 年 4 月 22 日 (22.04.2015)

(25) 申请语言:

中文

(26) 公布语言:

中文

(30) 优先权:

201510140649.8 2015 年 3 月 27 日 (27.03.2015) CN

(71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 张晓星 (ZHANG, Xiaoxing); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: LOW TEMPERATURE POLYSILICON TFT SUBSTRATE STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 低温多晶硅 TFT 基板结构及其制作方法

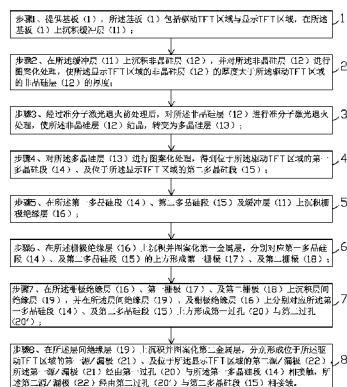


图5

- Step 1, providing a substrate (1), wherein the substrate (1) comprises a driving TFT area and a display TFT area, and depositing a buffer layer (11) on the substrate (1);
- Step 2, depositing an amorphous silicon layer (12) on the buffer layer (11); and performing patterning processing on the amorphous silicon layer (12), so that the thickness of amorphous silicon layer (12) of the driving TFT area is larger than the thickness of the amorphous silicon layer (12) of the display TFT area;
- Step 3, after excimer laser annealing pretreatment, performing an excimer laser annealing treatment on the amorphous silicon layer (12), to make the amorphous silicon layer (12) crystallize and transform into a polysilicon layer (13);
- Step 4, performing patterning processing on the polysilicon layer (13), to obtain a first polysilicon segment (14) which is located in the driving TFT area and a second polysilicon segment (15) which is located in the display TFT area;
- Step 5, depositing a gate insulation layer (16) on the first polysilicon segment (14), the second polysilicon segment (15), and the buffer layer (11);
- Step 6, depositing and patterning a first metal layer on the gate insulation layer (16); and forming a first gate (17) and a second gate (18) respectively correspondingly above the first polysilicon segment (14) and the second polysilicon segment (15);
- Step 7, depositing an interlayer insulation layer (19) on the gate insulation layer (16), the first gate (17) and the second gate (18); and forming a first through hole (20) and a second through hole (20') on the interlayer insulation layer (19) and the gate insulation layer (16) respectively correspondingly above the first polysilicon segment (14) and the second polysilicon segment (15);
- Step 8, depositing and patterning a second metal layer on the interlayer insulation layer (19); and respectively forming a first source/drain electrode (21) which is located in the driving TFT area and a second source/drain electrode (22) which is located in the display TFT area, wherein the first source/drain electrode (21) is in contact with the first polysilicon segment (14) via the first through hole (20), and the second source/drain electrode (22) is in contact with the second polysilicon segment (15) via the second through hole (20').

(57) Abstract: A low temperature polysilicon TFT substrate structure and a manufacturing method therefor. By setting the thickness of an amorphous silicon layer (12) of a driving TFT area and a display TFT area to be different, enabling the thickness of the amorphous silicon layer (12) of the driving TFT area to be smaller, and the thickness of the amorphous silicon layer (12) of the display TFT area to be larger, such that the amorphous silicon layers (12) of the driving TFT area and the display TFT area generate different crystallization effects under the effect of the same energy laser during excimer laser annealing treatment, and the size of crystallizing particles is controlled, so that a larger crystal lattice size of a polysilicon layer (12) in the driving TFT area is formed in the crystallization process, the electron mobility is increased, crystal breakage of a polysilicon layer (12) in the display TFT area is realized in the crystallization process, the crystal boundary uniformity is guaranteed, and the current uniformity is improved; accordingly, electrical requirements of different TFTs are met, and the luminous uniformity of an OLED is improved.

(57) 摘要:

[见续页]

WO 2016/155056 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**

CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

一种低温多晶硅 TFT 基板结构及其制作方法, 通过将驱动 TFT 区域与显示 TFT 区域的非晶硅层(12)设置成不同的厚度, 使驱动 TFT 区域的非晶硅层(12)的厚度较小, 显示 TFT 区域的非晶硅层(12)的厚度较大, 从而在准分子激光退火处理过程中, 驱动 TFT 区域与显示 TFT 区域的非晶硅层(12)在相同能量激光的作用下产生不同的结晶效果, 实现了对结晶颗粒大小的控制, 使得驱动 TFT 区域的多晶硅层(12)在晶化过程中形成较大的晶格尺寸, 提高了电子迁移率, 使得显示 TFT 区域的多晶硅层(12)在晶化过程中实现碎晶, 保证了晶界均一性, 提高了电流的均一性, 从而满足了不同 TFT 的电性要求, 提高了 OLED 发光的均一性。

低温多晶硅 TFT 基板结构及其制作方法

技术领域

5 本发明涉及显示技术领域，尤其涉及一种低温多晶硅 TFT 基板结构及其制作方法。

背景技术

低温多晶硅 (Low Temperature Poly-silicon, LTPS) 技术是新一代 TFT 基板的制造技术，与传统非晶硅 (a-Si) 技术的最大差异在于，低温多晶硅
10 显示器反应速度较快，且有高亮度、高解析度与低耗电量等优点。多晶硅 (Poly-Si) 具有优异的电学性能，对于主动式矩阵有机发光二极管 (Active-Matrix Organic Light Emitting Diode, AMOLED) 具有较好的驱动能力。因此，基于低温多晶硅技术的 AMOLED 显示背板目前被广泛使用。

现有低温多晶硅 TFT 基板结构的制作方法主要包括如下步骤：

15 步骤 1、如图 1 所示，提供基板 100，所述基板 100 包括驱动 TFT 区域与显示 TFT 区域，在所述基板 100 上沉积缓冲层 110；

步骤 2、如图 2 所示，在所述缓冲层 110 上沉积非晶硅层，并经过准分子激光退火前处理后，对所述非晶硅层进行准分子激光退火处理，使所述非晶硅层结晶、转变为多晶硅层 130；

20 步骤 3、对所述多晶硅层 130 进行图案化处理，得到位于所述驱动 TFT 区域的第一多晶硅段 140、及位于所述显示 TFT 区域的第二多晶硅段 150；

步骤 4、在所述第一多晶硅段 140、第二多晶硅段 150 及缓冲层 110 上沉积栅极绝缘层 160；

25 步骤 5、在所述栅极绝缘层 160 上沉积并图案化第一金属层，分别对应第一多晶硅段 140 与第二多晶硅段 150 的上方形成第一栅极 170 与第二栅极 180；

步骤 6、在所述栅极绝缘层 160、第一栅极 170、及第二栅极 180 上沉积层间绝缘层 190，并在所述层间绝缘层 190、及栅极绝缘层 160 上分别对应所述第一多晶硅段 140、及第二多晶硅段 150 上方形成第一过孔 200 与第
30 二过孔 200'；

步骤 7、如图 4 所示，在所述层间绝缘层 190 上沉积并图案化第二金属层，分别形成位于所述驱动 TFT 区域的第一源/漏极 210、及位于所述显示 TFT 区域的第二源/漏极 220，所述第一源/漏极 210 经由第一过孔 200 与所

述第一多晶硅段 140 相接触，所述第二源/漏极 220 经由第二过孔 200' 与第二多晶硅段 150 相接触。

其中，准分子激光退火处理（Excimer Laser Annealing, ELA）技术是利用激光的瞬间脉冲照射到非晶硅表面，使其溶化并重新结晶。因为 AMOLED 驱动需要驱动 TFT 和显示 TFT，驱动 TFT 需要较高的电子迁移率，所以需要比较大的晶格，显示 TFT 需要有足够的电子迁移率和电流均一性，从而可以使 OLED 器件均匀发光。

然而目前的 ELA 结晶技术对于晶格的均一性和晶格结晶方向不能做到有效控制，所以结晶状况在整个基板的分布上很不均匀，造成显示效果的长程不均一。

发明内容

本发明的目的在于提供一种低温多晶硅 TFT 基板结构的制作方法，可对多晶硅的结晶过程进行控制，使驱动 TFT 区域的多晶硅层在晶化过程中形成较大的晶格尺寸，提高电子迁移率，使显示 TFT 区域的多晶硅层在晶化过程中实现碎晶，保证晶界的均一性，提高电流均一性，从而满足不同 TFT 的电性要求，提高 OLED 发光的均一性。

本发明的另一目的在于提供一种低温多晶硅 TFT 基板结构，驱动 TFT 区域的多晶硅层的晶格尺寸较大，具有较高的电子迁移率，显示 TFT 区域的多晶硅层的晶界均一性好，具有较高的电流均一性。

为实现上述目的，本发明提供一种低温多晶硅 TFT 基板结构的制作方法，包括如下步骤：

步骤 1、提供基板，所述基板包括驱动 TFT 区域与显示 TFT 区域，在所述基板上沉积缓冲层；

步骤 2、在所述缓冲层上沉积非晶硅层，并对所述非晶硅层进行图案化处理，使所述显示 TFT 区域的非晶硅层的厚度大于所述驱动 TFT 区域的非晶硅层的厚度；

步骤 3、经过准分子激光退火前处理后，对所述非晶硅层进行准分子激光退火处理，使所述非晶硅层结晶，转变为多晶硅层；

步骤 4、对所述多晶硅层进行图案化处理，得到位于所述驱动 TFT 区域的第一多晶硅段、及位于所述显示 TFT 区域的第二多晶硅段；

步骤 5、在所述第一多晶硅段、第二多晶硅段及缓冲层上沉积栅极绝缘层；

步骤 6、在所述栅极绝缘层上沉积并图案化第一金属层，分别对应第一

多晶硅段、及第二多晶硅段的上方形成第一栅极、及第二栅极；

步骤 7、在所述栅极绝缘层、第一栅极、及第二栅极上沉积层间绝缘层，并在所述层间绝缘层、及栅极绝缘层上分别对应所述第一多晶硅段、及第二多晶硅段上方形成第一过孔与第二过孔；

5 步骤 8、在所述层间绝缘层上沉积并图案化第二金属层，分别形成位于所述驱动 TFT 区域的第一源/漏极、及位于所述显示 TFT 区域的第二源/漏极，所述第一源/漏极经由第一过孔与所述第一多晶硅段相接触，所述第二源/漏极经由第二过孔与第二多晶硅段相接触。

10 所述第二多晶硅段的厚度大于所述第一多晶硅段的厚度；所述第一多晶硅段中的晶格尺寸大于第二多晶硅段中的晶格尺寸；所述第二多晶硅段中的碎晶多于第一多晶硅段中的碎晶。

所述基板为玻璃基板，所述缓冲层的材料为氧化硅、氮化硅、或二者的组合。所述层间绝缘层的材料为氧化硅、氮化硅、或二者的组合。

15 所述驱动 TFT 区域的非晶硅层与所述显示 TFT 区域的非晶硅层的厚度差大于 500Å。

本发明还提供一种低温多晶硅 TFT 基板结构，其包括驱动 TFT 区域与显示 TFT 区域，所述驱动 TFT 区域包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的第一多晶硅段、设于所述缓冲层及第一多晶硅段上的栅极绝缘层、对应所述第一多晶硅段上方设于所述栅极绝缘层上的第一栅极、设于所述栅极绝缘层及第一栅极上的层间绝缘层、及设于所述层间绝缘层上的第一源/漏极；

20 所述显示 TFT 区域包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的第二多晶硅段、设于所述缓冲层及第二多晶硅段上的栅极绝缘层、对应所述第二多晶硅段上方设于所述栅极绝缘层上的第二栅极、设于所述栅极绝缘层及第二栅极上的层间绝缘层、及设于所述层间绝缘层上的第二源/漏极；

其中，所述第二多晶硅段的厚度大于所述第一多晶硅段的厚度。

所述第一多晶硅段中的晶格尺寸大于第二多晶硅段中的晶格尺寸；所述第二多晶硅段中的碎晶多于第一多晶硅段中的碎晶。

30 所述基板为玻璃基板，所述缓冲层的材料为氧化硅、氮化硅、或二者的组合，所述层间绝缘层的材料为氧化硅、氮化硅、或二者的组合。

所述驱动 TFT 区域的层间绝缘层及栅极绝缘层上对应所述第一多晶硅段上方形成有第一过孔，所述第一源/漏极经由所述第一过孔与所述第一多晶硅段相接触；

所述显示 TFT 区域的层间绝缘层及栅极绝缘层上对应所述第二多晶硅段上方形成有第二过孔，所述第二源/漏极经由所述第二过孔与所述第二多晶硅段相接触。

所述第二多晶硅段与所述第一多晶硅段的厚度差大于 500Å。

5 本发明还提供一种低温多晶硅 TFT 基板结构，包括驱动 TFT 区域与显示 TFT 区域，所述驱动 TFT 区域包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的第一多晶硅段、设于所述缓冲层及第一多晶硅段上的栅极绝缘层、对应所述第一多晶硅段上方设于所述栅极绝缘层上的第一栅极、
10 设于所述栅极绝缘层及第一栅极上的层间绝缘层、及设于所述层间绝缘层上的第一源/漏极；

所述显示 TFT 区域包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的第二多晶硅段、设于所述缓冲层及第二多晶硅段上的栅极绝缘层、对应所述第二多晶硅段上方设于所述栅极绝缘层上的第二栅极、设于所述栅极绝缘层及第二栅极上的层间绝缘层、及设于所述层间绝缘层上的第二
15 源/漏极；

其中，所述第二多晶硅段的厚度大于所述第一多晶硅段的厚度；

其中，所述第一多晶硅段中的晶格尺寸大于第二多晶硅段中的晶格尺寸；所述第二多晶硅段中的碎晶多于第一多晶硅段中的碎晶；

其中，所述基板为玻璃基板，所述缓冲层的材料为氧化硅、氮化硅、
20 或二者的组合，所述层间绝缘层的材料为氧化硅、氮化硅、或二者的组合。

本发明的有益效果：本发明提供的一种低温多晶硅 TFT 基板结构及其制作方法，通过将驱动 TFT 区域与显示 TFT 区域的非晶硅层设置成不同的厚度，使驱动 TFT 区域的非晶硅层的厚度较小，显示 TFT 区域的非晶硅层的厚度较大，从而在准分子激光退火处理过程中，驱动 TFT 区域与显示 TFT
25 区域的非晶硅层在相同能量激光的作用下产生不同的结晶效果，实现了对结晶颗粒大小的控制，使得驱动 TFT 区域的多晶硅层在晶化过程中形成较大的晶格尺寸，提高了电子迁移率，使得显示 TFT 区域的多晶硅层在晶化过程中实现碎晶，保证了晶界均一性，提高了电流的均一性，从而满足了不同 TFT 的电性要求，提高了 OLED 发光的均一性。

30 为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其他有益效果显而易见。

附图中，

图 1 为现有低温多晶硅 TFT 基板结构的制作方法的步骤 1 的示意图；

5 图 2 为现有低温多晶硅 TFT 基板结构的制作方法的步骤 2 的示意图；

图 3 为现有低温多晶硅 TFT 基板结构的制作方法的步骤 3 的示意图；

图 4 为现有低温多晶硅 TFT 基板结构的制作方法的步骤 7 的示意图；

图 5 为本发明低温多晶硅 TFT 基板结构的制作方法的流程图；

图 6 为本发明低温多晶硅 TFT 基板结构的制作方法的步骤 1 的示意图；

10 图 7 为本发明低温多晶硅 TFT 基板结构的制作方法的步骤 2 的示意图；

图 8 为本发明低温多晶硅 TFT 基板结构的制作方法的步骤 3 的示意图；

图 9 为本发明低温多晶硅 TFT 基板结构的制作方法的步骤 4 的示意图；

图 10 为本发明低温多晶硅 TFT 基板结构的制作方法的步骤 5 的示意图；

15 图 11 为本发明低温多晶硅 TFT 基板结构的制作方法的步骤 6 的示意图；

图 12 为本发明低温多晶硅 TFT 基板结构的制作方法的步骤 7 的示意图；

20 图 13 为本发明低温多晶硅 TFT 基板结构的制作方法的步骤 8 的示意图
暨本发明低温多晶硅 TFT 基板结构的剖面示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

25 请参阅图 5，本发明首先提供一种低温多晶硅 TFT 基板结构的制作方法，包括如下步骤：

步骤 1、如图 6 所示，提供基板 1，所述基板 1 包括驱动 TFT 区域与显示 TFT 区域，在所述基板 1 上沉积缓冲层 11。

30 具体地，所述基板 1 为玻璃基板，所述缓冲层 11 的材料可以是氧化硅（SiO_x）、氮化硅（SiN_x）、或二者的组合。

步骤 2、如图 7 所示，在所述缓冲层 11 上沉积非晶硅层 12，并对所述非晶硅层 12 进行图案化处理，使所述显示 TFT 区域的非晶硅层 12 的厚度大于所述驱动 TFT 区域的非晶硅层 12 的厚度。

将所述非晶硅层 12 对应不同的区域设置成不同的厚度，可以使后续准

分子激光退火处理过程中产生不同的结晶效果。

优选的，所述驱动 TFT 区域的非晶硅层 12 与所述显示 TFT 区域的非晶硅层 12 的厚度差大于 500Å。

步骤 3、如图 8 所示，经过准分子激光退火前处理后，对所述非晶硅层 12 进行准分子激光退火处理，使所述非晶硅层 12 结晶，转变为多晶硅层 13。

步骤 4、如图 9 所示，对所述多晶硅层 13 进行图案化处理，得到位于所述驱动 TFT 区域的第一多晶硅段 14 及位于所述显示 TFT 区域的第二多晶硅段 15。

10 在所述准分子激光退火处理过程中，由于驱动 TFT 区域的非晶硅层 12 的厚度较小，显示 TFT 区域的非晶硅层 12 的厚度较大，从而使驱动 TFT 区域与显示 TFT 区域的非晶硅层 12 在相同能量激光的作用下产生不同的结晶效果，所述驱动 TFT 区域的多晶硅层 12 在晶化过程中形成较大的晶格尺寸，提高了电子迁移率，所述显示 TFT 区域的多晶硅层 12 在晶化过程中实现碎晶，保证了晶界均一性，提高了电流的均一性。

因此在本实施例中，所述第一多晶硅段 14 的厚度大于所述第二多晶硅段 15 的厚度。所述第一多晶硅段 14 中的晶格尺寸大于第二多晶硅段 15 中的晶格尺寸；所述第二多晶硅段 15 中的碎晶多于第一多晶硅段 14 中的碎晶。

20 步骤 5、如图 10 所示，在所述第一多晶硅段 14、第二多晶硅段 15 及缓冲层 11 上沉积栅极绝缘层 16。

步骤 6、如图 11 所示，在所述栅极绝缘层 16 上沉积并图案化第一金属层，分别对应第一多晶硅段 14、及第二多晶硅段 15 的上方形成第一栅极 17、及第二栅极 18。

25 步骤 7、如图 12 所示，在所述栅极绝缘层 16、第一栅极 17、及第二栅极 18 上沉积层间绝缘层 19，并在所述层间绝缘层 19、及栅极绝缘层 16 上分别对应所述第一多晶硅段 14、及第二多晶硅段 15 上方形成第一过孔 20 与第二过孔 20'。

30 在所述栅极绝缘层 16、第一栅极 17、及第二栅极 18 上沉积层间绝缘层 19，并在所述层间绝缘层 19、及栅极绝缘层 16 上分别对应所述第一多晶硅段 14、及第二多晶硅段 15 上方形成第一过孔 20 与第二过孔 20'。

具体地，所述层间绝缘层 19 的材料可以是氧化硅、氮化硅、或二者的组合。

步骤 8、如图 13 所示，在所述层间绝缘层 19 上沉积并图案化第二金属

层, 分别形成位于所述驱动 TFT 区域的第一源/漏极 21、及位于所述显示 TFT 区域的第二源/漏极 22, 所述第一源/漏极 21 经由第一过孔 20 与所述第一多晶硅段 14 相接触, 所述第二源/漏极 22 经由第二过孔 20' 与第二多晶硅段 15 相接触。

5 上述低温多晶硅 TFT 基板结构的制作方法, 通过将驱动 TFT 区域与显示 TFT 区域的非晶硅层设置成不同的厚度, 使驱动 TFT 区域的非晶硅层的厚度较小, 显示 TFT 区域的非晶硅层的厚度较大, 从而在准分子激光退火处理过程中, 驱动 TFT 区域与显示 TFT 区域的非晶硅层在相同能量激光的作用下产生不同的结晶效果, 实现了对结晶颗粒大小的控制, 使得驱动 TFT
10 区域的多晶硅层在晶化过程中形成较大的晶格尺寸, 提高了电子迁移率, 使得显示 TFT 区域的多晶硅层在晶化过程中实现碎晶, 保证了晶界均一性, 提高了电流的均一性, 从而满足了不同 TFT 的电性要求, 提高了 OLED 发光的均一性。

请参阅图 13, 本发明还提供一种低温多晶硅 TFT 基板结构, 其包括驱动 TFT 区域与显示 TFT 区域, 所述驱动 TFT 区域包括基板 1、设于所述基
15 板 1 上的缓冲层 11、设于所述缓冲层 11 上的第一多晶硅段 14、设于所述缓冲层 11 及第一多晶硅段 14 上的栅极绝缘层 16、对应所述第一多晶硅段 14 上方设于所述栅极绝缘层 16 上的第一栅极 17、设于所述栅极绝缘层 16 及第一栅极 17 上的层间绝缘层 19、及设于所述层间绝缘层 19 上的第一源/漏极 21;
20

所述显示 TFT 区域包括基板 1、设于所述基板 1 上的缓冲层 11、设于所述缓冲层 11 上的第二多晶硅段 15、设于所述缓冲层 11 及第二多晶硅段 15 上的栅极绝缘层 16、对应所述第二多晶硅段 15 上方设于所述栅极绝缘层 16 上的第二栅极 18、设于所述栅极绝缘层 16 及第二栅极 18 上的层间绝
25 缘层 19、及设于所述层间绝缘层 19 上的第二源/漏极 22;

其中, 所述第二多晶硅段 15 的厚度大于所述第一多晶硅段 14 的厚度。

所述第一多晶硅段 14 中的晶格尺寸大于第二多晶硅段 15 中的晶格尺寸; 所述第二多晶硅段 15 中的碎晶多于第一多晶硅段 14 中的碎晶。

具体地, 所述驱动 TFT 区域的层间绝缘层 19 及栅极绝缘层 16 上对应
30 所述第一多晶硅段 14 上方形成有第一过孔 20, 所述第一源/漏极 21 经由所述第一过孔 20 与所述第一多晶硅段 14 相接触。

所述显示 TFT 区域的层间绝缘层 19 及栅极绝缘层 16 上对应所述第二多晶硅段 15 上方形成有第二过孔 20', 所述第二源/漏极 22 经由所述第二过孔 20' 与所述第二多晶硅段 15 相接触。

具体地，所述基板 1 为玻璃基板，所述缓冲层 11 的材料为氧化硅、氮化硅、或二者的组合，所述层间绝缘层 19 的材料为氧化硅、氮化硅、或二者的组合。

5 优选的，所述第二多晶硅段 15 与所述第一多晶硅段 14 的厚度差大于 500A。

上述低温多晶硅 TFT 基板结构，预先将驱动 TFT 区域与显示 TFT 区域的非晶硅层设置成不同的厚度，驱动 TFT 区域的非晶硅层的厚度较小，显示 TFT 区域的非晶硅层的厚度较大，从而在准分子激光退火处理过程中，驱动 TFT 区域与显示 TFT 区域的非晶硅层在相同能量激光的作用下产生不同的结晶效果，驱动 TFT 区域的多晶硅层在晶化过程中形成的晶格尺寸较大，具有较高的电子迁移率，显示 TFT 区域的多晶硅层在晶化过程中晶界均一性较好，具有较高的电流均一性，满足了不同 TFT 的电性要求，提高了 OLED 发光的均一性。

综上所述，本发明的低温多晶硅 TFT 基板结构及其制作方法，通过将驱动 TFT 区域与显示 TFT 区域的非晶硅层设置成不同的厚度，使驱动 TFT 区域的非晶硅层的厚度较小，显示 TFT 区域的非晶硅层的厚度较大，从而在准分子激光退火处理过程中，驱动 TFT 区域与显示 TFT 区域的非晶硅层在相同能量激光的作用下产生不同的结晶效果，实现了对结晶颗粒大小的控制，使得驱动 TFT 区域的多晶硅层在晶化过程中形成较大的晶格尺寸，提高了电子迁移率，使得显示 TFT 区域的多晶硅层在晶化过程中实现碎晶，保证了晶界均一性，提高了电流的均一性，从而满足了不同 TFT 的电性要求，提高了 OLED 发光的均一性。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种低温多晶硅 TFT 基板结构的制作方法，包括如下步骤：

5 步骤 1、提供基板，所述基板包括驱动 TFT 区域与显示 TFT 区域，在所述基板上沉积缓冲层；

步骤 2、在所述缓冲层上沉积非晶硅层，并对所述非晶硅层进行图案化处理，使所述显示 TFT 区域的非晶硅层的厚度大于所述驱动 TFT 区域的非晶硅层的厚度；

10 步骤 3、经过准分子激光退火前处理后，对所述非晶硅层进行准分子激光退火处理，使所述非晶硅层结晶，转变为多晶硅层；

步骤 4、对所述多晶硅层进行图案化处理，得到位于所述驱动 TFT 区域的第一多晶硅段、及位于所述显示 TFT 区域的第二多晶硅段；

步骤 5、在所述第一多晶硅段、第二多晶硅段及缓冲层上沉积栅极绝缘层；

15 步骤 6、在所述栅极绝缘层上沉积并图案化第一金属层，分别对应第一多晶硅段、及第二多晶硅段的上方形成第一栅极、及第二栅极；

步骤 7、在所述栅极绝缘层、第一栅极、及第二栅极上沉积层间绝缘层，并在所述层间绝缘层、及栅极绝缘层上分别对应所述第一多晶硅段、及第二多晶硅段上方形成第一过孔与第二过孔；

20 步骤 8、在所述层间绝缘层上沉积并图案化第二金属层，分别形成位于所述驱动 TFT 区域的第一源/漏极、及位于所述显示 TFT 区域的第二源/漏极，所述第一源/漏极经由第一过孔与所述第一多晶硅段相接触，所述第二源/漏极经由第二过孔与第二多晶硅段相接触。

25 2、如权利要求 1 所述的低温多晶硅 TFT 基板结构的制作方法，其中，所述第一多晶硅段的厚度大于所述第二多晶硅段的厚度；所述第一多晶硅段中的晶格尺寸大于第二多晶硅段中的晶格尺寸；所述第二多晶硅段中的碎晶多于第一多晶硅段中的碎晶。

30 3、如权利要求 1 所述的低温多晶硅 TFT 基板结构的制作方法，其中，所述基板为玻璃基板，所述缓冲层的材料为氧化硅、氮化硅、或二者的组合。

4、如权利要求 1 所述的低温多晶硅 TFT 基板结构的制作方法，其中，所述层间绝缘层的材料为氧化硅、氮化硅、或二者的组合。

5、如权利要求 1 所述的低温多晶硅 TFT 基板结构的制作方法，其中，

所述驱动 TFT 区域的非晶硅层与所述显示 TFT 区域的非晶硅层的厚度差大于 500Å。

6、一种低温多晶硅 TFT 基板结构，包括驱动 TFT 区域与显示 TFT 区域，所述驱动 TFT 区域包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的第一多晶硅段、设于所述缓冲层及第一多晶硅段上的栅极绝缘层、对应所述第一多晶硅段上方设于所述栅极绝缘层上的第一栅极、设于所述栅极绝缘层及第一栅极上的层间绝缘层、及设于所述层间绝缘层上的第一源/漏极；

所述显示 TFT 区域包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的第二多晶硅段、设于所述缓冲层及第二多晶硅段上的栅极绝缘层、对应所述第二多晶硅段上方设于所述栅极绝缘层上的第二栅极、设于所述栅极绝缘层及第二栅极上的层间绝缘层、及设于所述层间绝缘层上的第二源/漏极；

其中，所述第二多晶硅段的厚度大于所述第一多晶硅段的厚度。

7、如权利要求 6 所述的低温多晶硅 TFT 基板结构，其中，所述第一多晶硅段中的晶格尺寸大于第二多晶硅段中的晶格尺寸；所述第二多晶硅段中的碎晶多于第一多晶硅段中的碎晶。

8、如权利要求 6 所述的低温多晶硅 TFT 基板结构，其中，所述基板为玻璃基板，所述缓冲层的材料为氧化硅、氮化硅、或二者的组合，所述层间绝缘层的材料为氧化硅、氮化硅、或二者的组合。

9、如权利要求 6 所述的低温多晶硅 TFT 基板结构，其中，所述驱动 TFT 区域的层间绝缘层及栅极绝缘层上对应所述第一多晶硅段上方形成有第一过孔，所述第一源/漏极经由所述第一过孔与所述第一多晶硅段相接触；

所述显示 TFT 区域的层间绝缘层及栅极绝缘层上对应所述第二多晶硅段上方形成有第二过孔，所述第二源/漏极经由所述第二过孔与所述第二多晶硅段相接触。

10、如权利要求 6 所述的低温多晶硅 TFT 基板结构，其中，所述第二多晶硅段与所述第一多晶硅段的厚度差大于 500Å。

11、一种低温多晶硅 TFT 基板结构，包括驱动 TFT 区域与显示 TFT 区域，所述驱动 TFT 区域包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的第一多晶硅段、设于所述缓冲层及第一多晶硅段上的栅极绝缘层、对应所述第一多晶硅段上方设于所述栅极绝缘层上的第一栅极、设于所述栅极绝缘层及第一栅极上的层间绝缘层、及设于所述层间绝缘层上的第一源/漏极；

所述显示 TFT 区域包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的第二多晶硅段、设于所述缓冲层及第二多晶硅段上的栅极绝缘层、对应所述第二多晶硅段上方设于所述栅极绝缘层上的第二栅极、设于所述栅极绝缘层及第二栅极上的层间绝缘层、及设于所述层间绝缘层上的第二源/漏极；

其中，所述第二多晶硅段的厚度大于所述第一多晶硅段的厚度；

其中，所述第一多晶硅段中的晶格尺寸大于第二多晶硅段中的晶格尺寸；所述第二多晶硅段中的碎晶多于第一多晶硅段中的碎晶；

其中，所述基板为玻璃基板，所述缓冲层的材料为氧化硅、氮化硅、或二者的组合，所述层间绝缘层的材料为氧化硅、氮化硅、或二者的组合。

12、如权利要求 11 所述的低温多晶硅 TFT 基板结构，其中，所述驱动 TFT 区域的层间绝缘层及栅极绝缘层上对应所述第一多晶硅段上方形成有第一过孔，所述第一源/漏极经由所述第一过孔与所述第一多晶硅段相接触；

所述显示 TFT 区域的层间绝缘层及栅极绝缘层上对应所述第二多晶硅段上方形成有第二过孔，所述第二源/漏极经由所述第二过孔与所述第二多晶硅段相接触。

13、如权利要求 11 所述的低温多晶硅 TFT 基板结构，其中，所述第二多晶硅段与所述第一多晶硅段的厚度差大于 500Å。

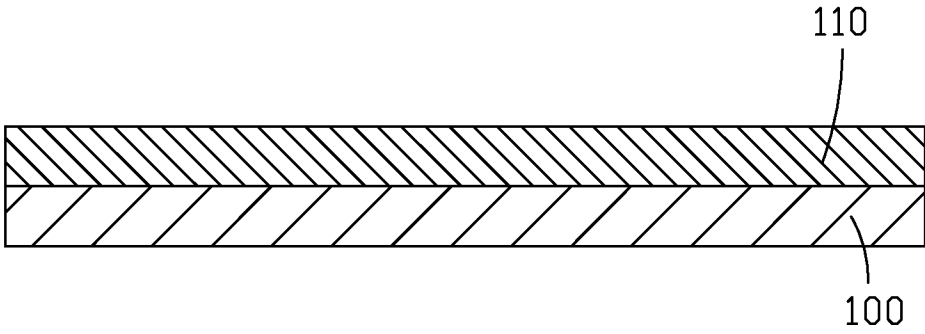


图1

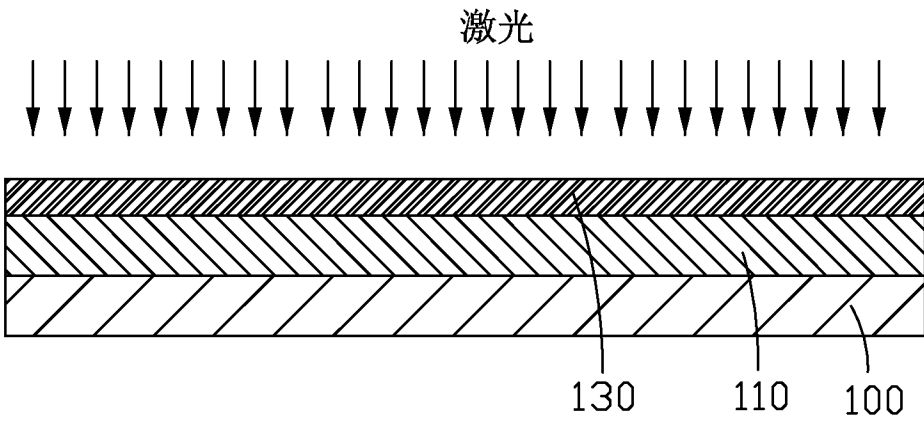


图2

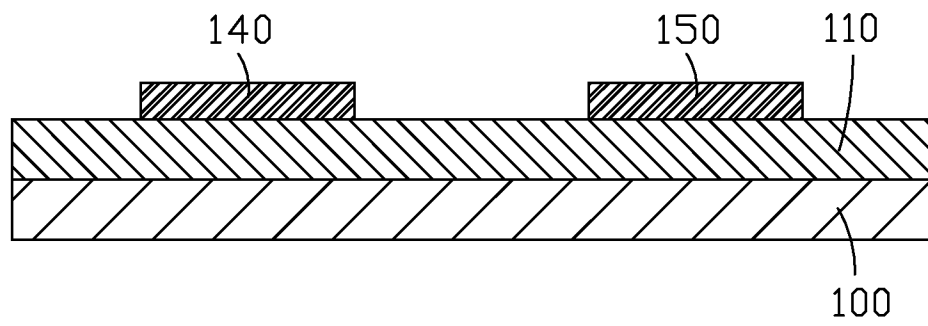


图3

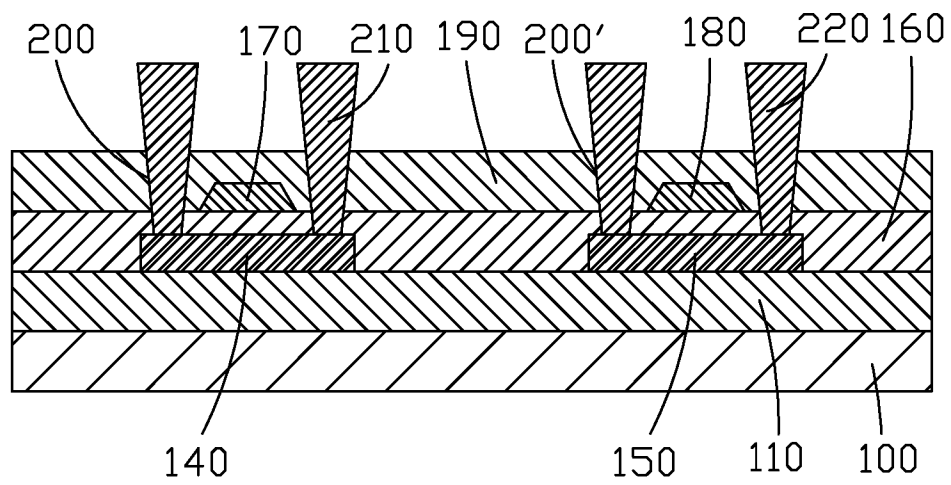


图4

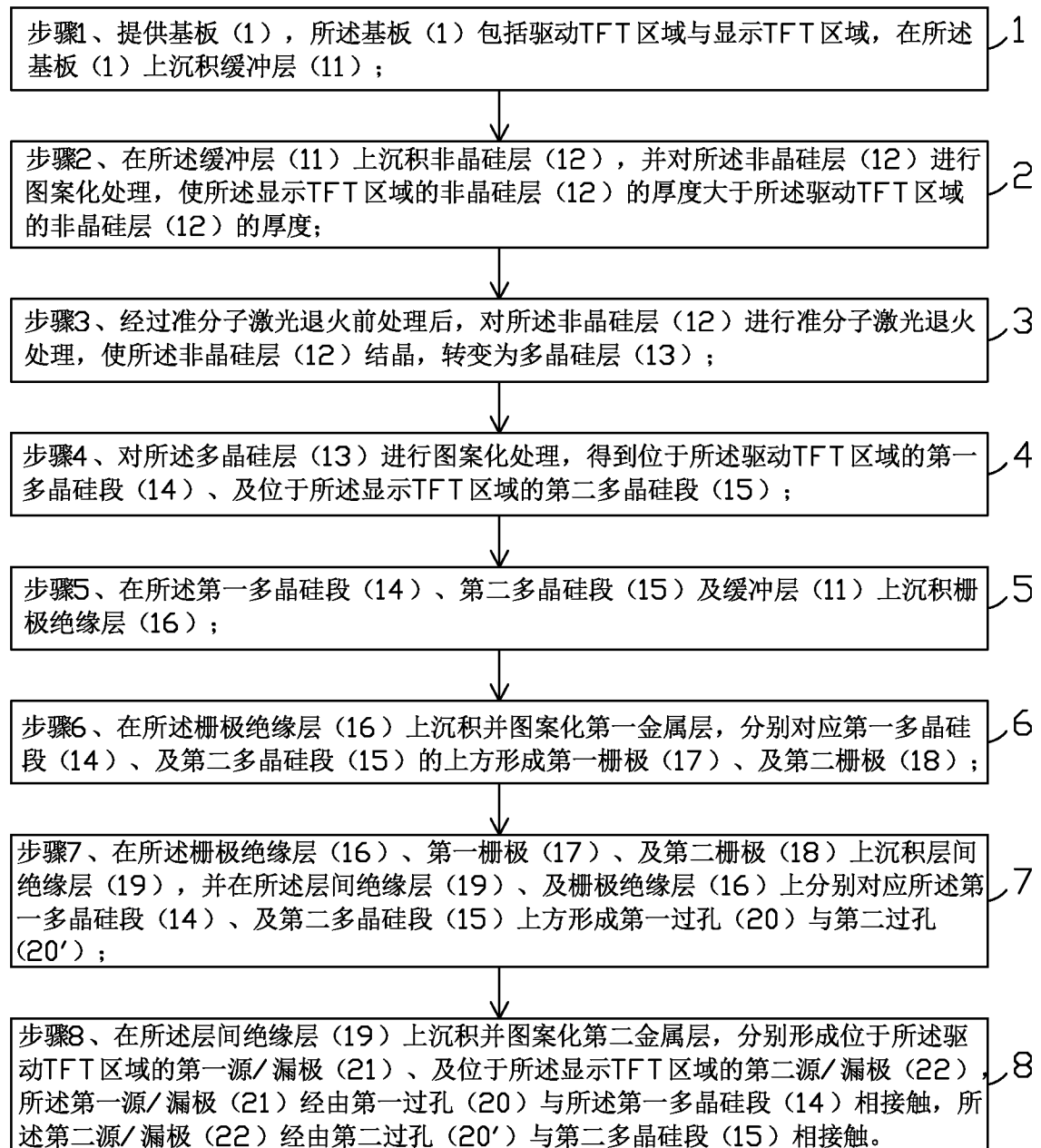


图5

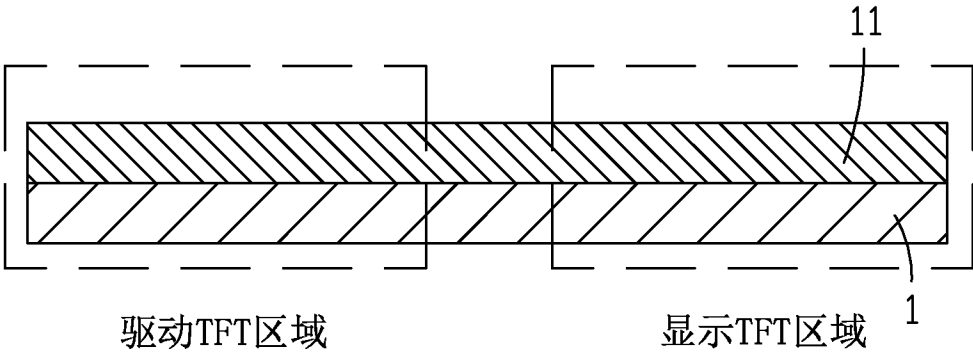


图6

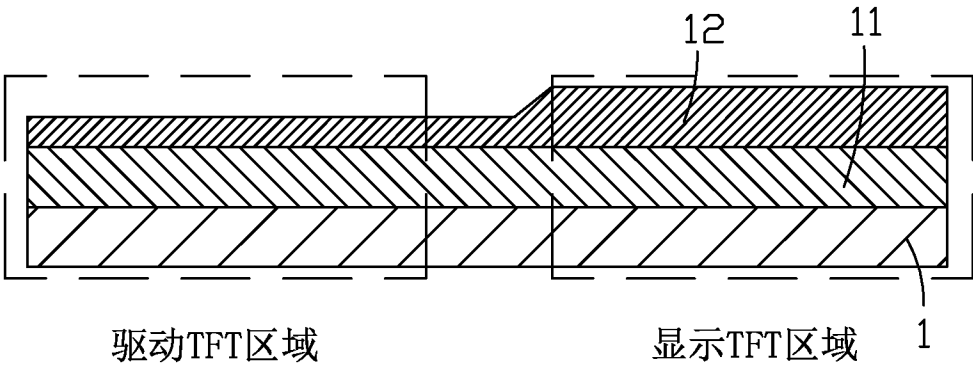


图7

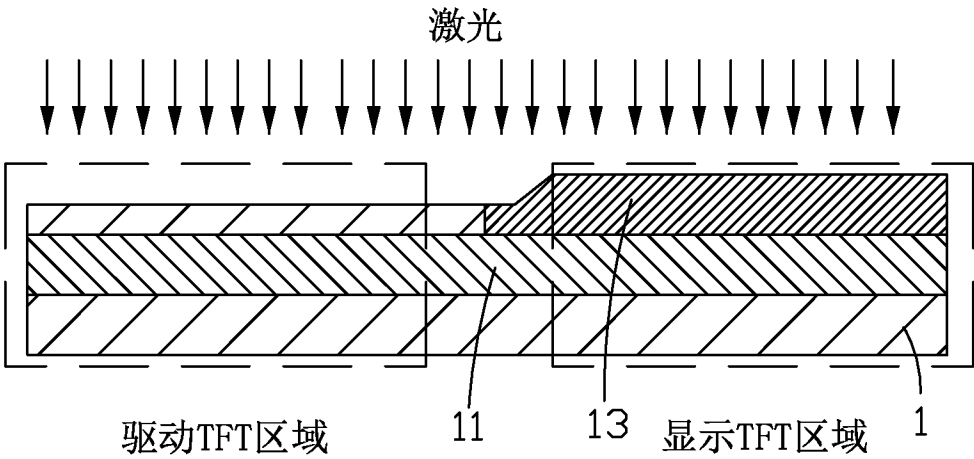


图8

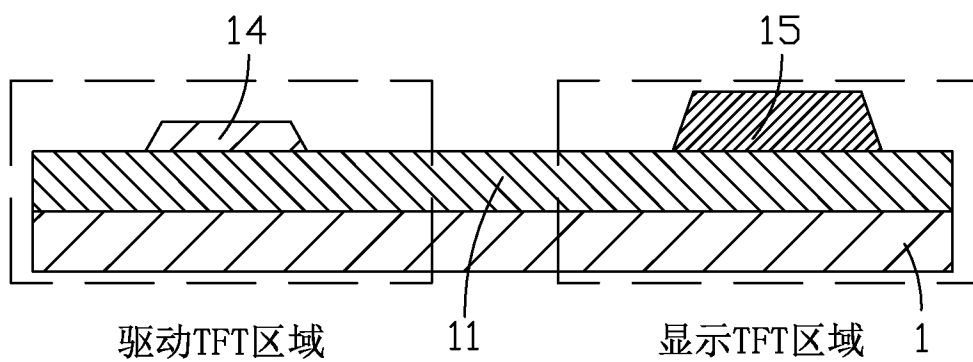


图9

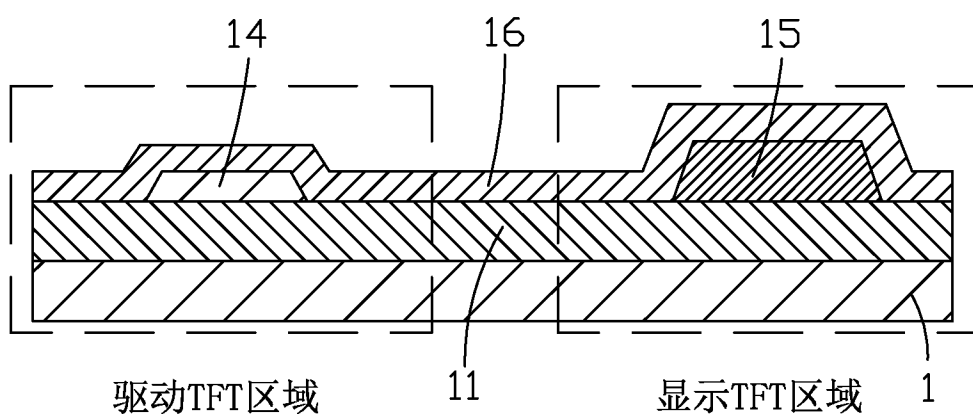


图10

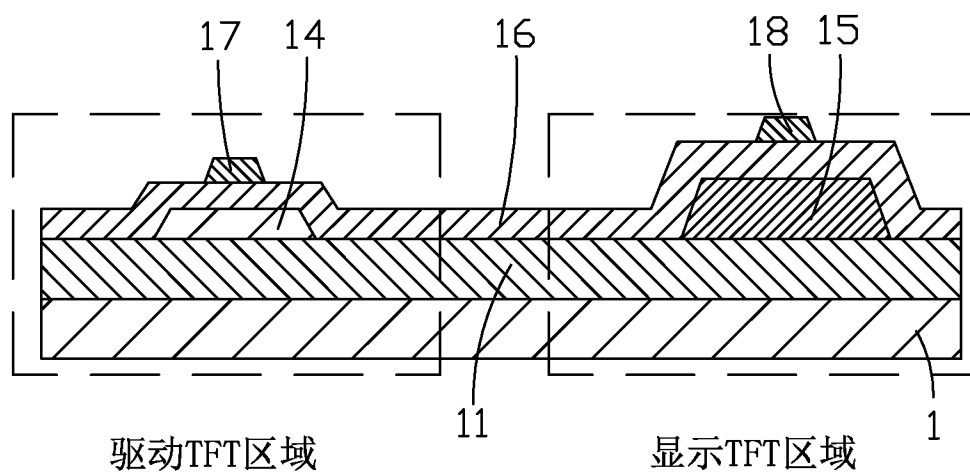


图11

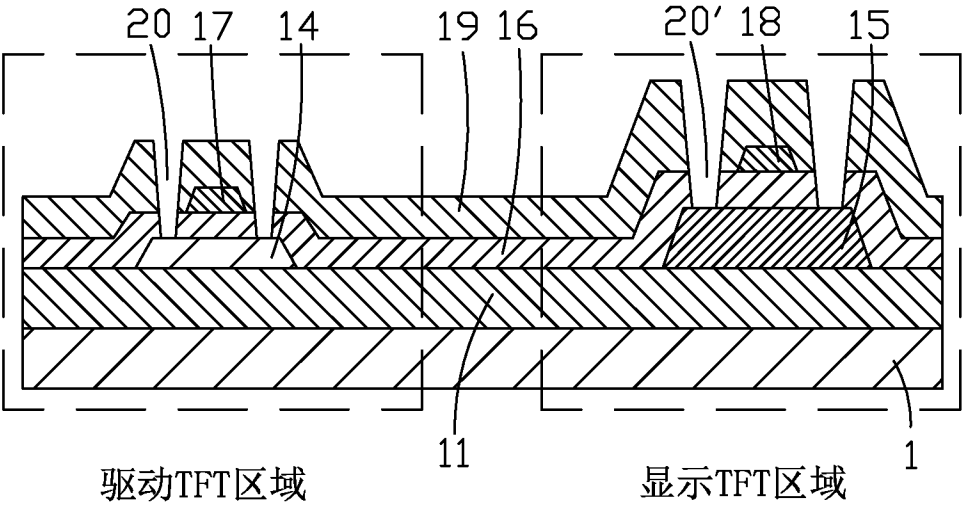


图12

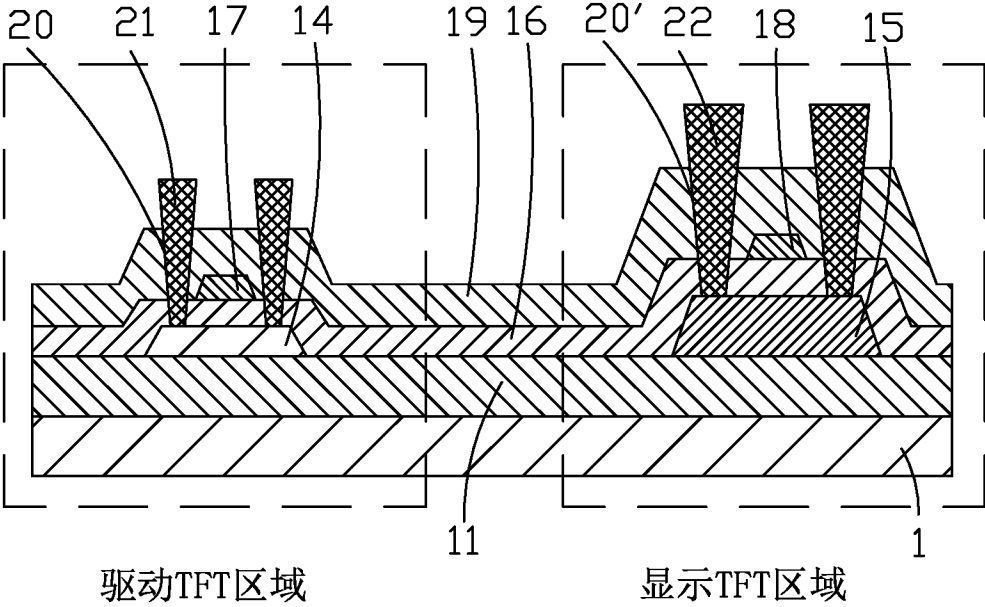


图13

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/077160

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/84 (2006.01) i; H01L 21/336 (2006.01) i; H01L 27/12 (2006.01) i; H01L 29/04 (2006.01) i; H01L 29/06 (2006.01) i; H01L 29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27; H01L 21; H01L 29; H01L 51; H05B 33

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, DWPI, SIPOABS: OLED, EL, LED, light, emit+, organic, TFT, thin, transistor, drive, switch, display, excimer, laser, polycrystal+, noncrystal+, silicon, semiconduct+, active, layer, thickness, crystal, lattice, crystallization

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101075635 A (TONGBAO PHOTOELECTRICITY CO., LTD.) 21 November 2007 (21.11.2007) description, page 4, line 17-page 6, line 28 and figures 1-4h	1-13
X	CN 1691090 A (TONGBAO PHOTOELECTRICITY CO., LTD.) 02 November 2005 (02.11.2005) description, page 4, line 17-page 6, line 6 and figures 1-5c	1-13
A	US 2004188683 A1 (FUJITSU DISPLAY TECHNOLOGIES CORP.) 30 September 2004 (30.09.2004) the whole document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&"document member of the same patent family

Date of the actual completion of the international search 25 November 2015	Date of mailing of the international search report 11 December 2015
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Ying Telephone No. (86-10) 62089296

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/077160

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101075635 A	21 November 2007	US 7557498 B2	07 July 2009
		US 2007284584 A1	13 December 2007
		CN 101075635 B	04 January 2012
CN 1691090 A	02 November 2005	CN 100423043 C	01 October 2008
US 2004188683 A1	30 September 2004	US 2005212047A1	29 September 2005
		US 7015081 B2	21 March 2006
		US 6927418 B2	09 August 2005
		JP 2004303832 A	28 October 2004
		JP 4406540 B2	27 January 2010

国际检索报告

国际申请号

PCT/CN2015/077160

A. 主题的分类		
H01L 21/84(2006.01)i; H01L 21/336(2006.01)i; H01L 27/12(2006.01)i; H01L 29/04(2006.01)i; H01L 29/06(2006.01)i; H01L 29/786(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
H01L27; H01L21; H01L29; H01L51; H05B33		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT, CNKI, DWPI, SIPOABS: 电致发光, 有机发光, 发光二极管, 薄膜晶体管, 驱动, 开关, 显示, 准分子, 激光, 多晶硅, 非晶硅, 半导体, 有源层, 厚度, 晶格, 结晶, OLED, EL, LED, light, emit+, organic, TFT, thin, transistor, drive, switch, display, excimer, laser, polycrystal+, noncrystal+, silicon, semiconduct+, active, thickness, crystal, lattice, crystallization		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101075635 A (统宝光电股份有限公司) 2007年 11月 21日 (2007 - 11 - 21) 说明书第3页第1行-第6页第28行、附图1-4h	1-13
X	CN 1691090 A (统宝光电股份有限公司) 2005年 11月 2日 (2005 - 11 - 02) 说明书第4页第17行-第6页第6行、附图1-5c	1-13
A	US 2004188683 A1 (FUJITSU DISPLAY TECHNOLOGIES CORP) 2004年 9月 30日 (2004 - 09 - 30) 全文	1-13
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2015年 11月 25日		2015年 12月 11日
ISA/CN的名称和邮寄地址		受权官员
中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国		李莹
传真号 (86-10)62019451		电话号码 (86-10)62089296

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/077160

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101075635	A	2007年 11月 21日	US	7557498	B2	2009年 7月 7日
				US	2007284584	A1	2007年 12月 13日
				CN	101075635	B	2012年 1月 4日
CN	1691090	A	2005年 11月 2日	CN	100423043	C	2008年 10月 1日
US	2004188683	A1	2004年 9月 30日	US	2005212047	A1	2005年 9月 29日
				US	7015081	B2	2006年 3月 21日
				US	6927418	B2	2005年 8月 9日
				JP	2004303832	A	2004年 10月 28日
				JP	4406540	B2	2010年 1月 27日

表 PCT/ISA/210 (同族专利附件) (2009年7月)