公告本

A4
C4

425539

申請日期	88 年 2 月 26 日
案號	88102991
類別	G09G 3/36

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	液晶顯示裝置
	英文	Liquid crystal display device
二、發明 ~~創作~~ 人	姓名	(1) 後藤充 (2) 片柳浩 (3) 尾手幸秀
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國千葉縣千葉市緑區椎名崎町四八六 (2) 日本國千葉縣千葉市緑區明日美丘八－三六－九 (3) 日本國千葉縣茂原市上茂原二二〇－二二
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立裝置工程股份有限公司 日立デバイスエンジニアリング株式会社
	國籍	(1) 日本　(2) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國千葉縣茂原市早野三六八一番地
	代表人姓名	(1) 金井務 (2) 梨本柳三

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

425539

申請日期	88 年 2 月 26 日
案號	88102991
類別	

A4
C4

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、~~發明~~ ~~新型~~ 名稱	中文	
	英文	
二、~~發明~~ ~~創作~~ 人	姓名	⑷ 斎藤良幸 ⑸ 小寺浩一
	國籍	⑷ 日本　　⑸ 日本
	住、居所	⑷ 日本國千葉縣市原市八幡石塚二－二－三九 ⑸ 日本國東京都国分寺市東恋ケ窪四－一四－五
三、申請人	姓名（名稱）	⑶ 日立超愛爾・愛斯・愛・系統股份有限公司 株式会社日立超エル・エス・アイ・システムズ
	國籍	⑶ 日本
	住、居所（事務所）	⑶ 日本國東京都小平市上水本町五丁目二二番一號
	代表人姓名	⑶ 鈴木仁一郎

裝 訂 線

經濟部智慧財產局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
IPC分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　1998 年　3 月　3 日　10-50699　　☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

發明背景

本發明關於一種液晶顯示裝置，且尤其關於一種有效地供應至可以執行多灰度顯示的液晶顯示裝置之視訊信號線驅動器電路（汲極驅動器）的技術。

具有一活性元素（例如，薄膜電晶體）給每個像素且轉換該活性元素之活性矩陣型式的一種液晶裝置被廣泛地使用爲筆記型個人電腦等之顯示裝置。

在活性矩陣型式之液晶顯示裝置中，一視訊信號線電壓（相應於顯示資料之一灰度電壓；在下文中被稱爲一灰色刻度電壓）經由一活性元素而被供應至一像素電極，並且因此，於個別像素間無漏話產生，而無需使用特別的驅動方法來預防如單一矩陣型式液晶顯示裝置中之漏話而可實現多灰度顯示。

已知有一種活性矩陣型式之液晶顯示裝置，其爲具有TFT型式之液晶顯示板（TFT－LCD）的一種TFT（薄膜電晶體）型式液晶顯示模組，以其汲極驅動器排列於液晶顯示板之頂邊上而閘極驅動器及介面電路排列於液晶顯示板之側邊上。

在TFT型式之液晶顯示模組中，於其汲極驅動器之中，有提供一多層灰度電壓產生電路，一灰度電壓選擇器以依據來自多數由該多灰度電壓產生電路所產生之灰色刻度電壓中的顯示資料來選擇一灰色刻度電壓，及一放大器電路以接收由該灰度電壓選擇器所選擇之一灰度電壓。

於此狀況下，該灰度電壓選擇器經由一位準移置電路

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（2）

而被供應以顯示資料之個別位元值。

此外，此一技術被描述於，例如，日本專利公開編號Hei 9-281930（H. Isami之美國之待審申請序號08／826973，1997年4月9日申請）。

消除放大器中之補償電壓的觀念被揭露於下列專利申請案或專利中：日本專利公開編號Sho55-1702（申請編號Sho53-72691，公開於1980年1月8日）；Sho59-149408（申請編號Sho59-17278，公開於1984年8月27日）；Hei1-202909（申請編號Sho63-26572，公開於1989年8月15日）；Hei4-38004（申請編號Hei2-145827；公開於1992年2月7日）；美國專利編號4，902，981（申請編號283，149，公佈於1990年2月20日）；美國專利Re.34，428（申請編號846，442，再公佈於1993年11月2日）；以及美國專利5，334，944（申請編號168，399，公佈於1994年8月2日）。

近年來，在TFT型式等之液晶顯示模組的液晶顯示裝置中，其灰度刻度之節距數目被增加自64至256，而由多層灰度刻度電壓產生電路所產生之多數灰度電壓中之每個灰度的電壓節距（介於兩個接續的灰度電壓之間的電壓差）變爲很小。

一補償電壓被產生於放大器電路中，藉由構成放大器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（3）

電路之活性元素的性質之變化，而當補償電壓產生於放大器電路中時，一誤差被引發於來自放大器電路之一輸出電壓中且來自放大器電路之輸出電壓變爲不同於一特定灰度之一電壓。

因此，有出現一問題，其中黑或白色垂直線被產生於液晶顯示板（TFT－LCD）中所顯示之一顯示螢幕上，而且顯示品質顯著地惡化。

TFT型式等之液晶顯示模組的液晶顯示裝置具有朝向較大螢幕尺寸與較高顯示解析度（較多數目像素）之液晶顯示板（TFT－LCD）發展的傾向，也有一種減少邊界區域之需求以致其除了液晶顯示板顯示區域以外之區域被製成儘可能地小來消除無用的區域並達到當作顯示裝置之美觀品質。

此外，安裝於灰度電壓選擇器之第一階上的位準移置電路被建構以具有一高壓擊穿電容介於其源極與汲極之間的電晶體。

然而，當具有高壓額定值之電晶體被使用爲位準移置電路之電晶體時，有出現一問題，其中構成汲極驅動器之半導體積體電路（IC晶片）中的位準移置電路之一區域變得很大，其構成汲極驅動器之半導體積體電路的晶片尺寸變得很大，故其晶片之單位成本無法降低而邊界區域之減少無法達成。

此外，傳統上，在一液晶顯示裝置之中，已被需求一較高解析度之液晶顯示板，其液晶顯示板之解析度已從

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（4）

ＶＧＡ（視訊圖形陣列）顯示模式之６４０×４８０像素被放大至ＳＶＧＡ（超級ＶＧＡ）顯示模式之８００×６００像素。近年來，於一液晶顯示裝置中，依據對於較大螢幕尺寸之液晶顯示板的需求，其液晶顯示板之解析度已被求要爲進一步更高解析度之ＸＧＡ（延伸視訊圖形陣列）顯示模式的１０２４×７６８像素，ＳＸＧＡ（超延伸視訊圖形陣列）顯示模式的１２８０×１０２４像素或ＵＸＧＡ（極延伸視訊圖形陣列）顯示模式的１６００×１２００像素。

依據液晶板之此一較高解析度，則顯示控制電路，汲極驅動器及閘極驅動器被迫使執行高速之操作，而尤其，已經有需求一種用以鎖定從顯示控制電路輸出至汲極驅動器之顯示資料（ＣＬ２）之時鐘及顯示資料之操作頻率的高速操作。

因此，出現一個問題，其中時序邊緣被減少於當顯示資料被鎖定在構成汲極驅動器之半導體積體電路內部時。

發明概要

本發明已被執行以解決上述之傳統科技的問題，並且本發明之一目標是提供一種可以改良液晶顯示元件上所顯示之顯示螢幕的顯示品質，藉由避免因一補償電壓所引發之黑色或白色垂直線產生於液晶顯示裝置中之視訊信號線驅動器電路的一個放大器中之液晶顯示元件的顯示螢幕中。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（5）

本發明之另一目標是提供一種可以減少構成視訊信號線驅動器電路之一半導體積體電路的晶片尺寸之技術，藉由使用液晶顯示裝置中之視訊信號線驅動器電路的位準移置電路中之較低源極－汲極電壓額定值的電晶體。

本發明之另一目標是提供一種可以確認一時序邊緣之技術，在當顯示資料被鎖定於構成視訊信號線驅動器電路之一半導體積體電路內時，即使執行高速時鐘操作於液晶顯示裝置中之鎖定顯示資料以及顯示資料之一操作頻率。

本發明之上述目標及新穎特徵將因說明書中之解釋及附圖而變得明白。

依據本發明之一實施例，有提供一種液晶顯示裝置，其包括具有多數像素之一液晶顯示元素，其每個像素被操用以被供應以依據經由多數視訊信號線的相應之一條線的視訊信號電壓，以及一視訊信號線驅動器電路以供應視訊信號電壓至每個多數視訊信號線，該視訊信號線驅動器電路包含：多數差動放大器，其每個具有一對第一輸入終端與第二輸入終端且放大所輸入之一視訊信號，並供應放大之視訊信號至多數視訊信號線中之對應的一線；多數對之反相輸入終端與非反相輸入終端，其每對相應於多數差動放大器之每個，該多數差動放大器每個均具有一轉換電路以轉換於每一狀態與第二狀態之間，該第一狀態爲其第一輸入終端被耦合至反相輸入終端且第二輸入終端被耦合至非反相輸入終端的一種狀態，而第二狀態爲其第一輸入終端被耦合至非反相輸入終端且第二輸入終端被耦合至反相

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（6）

輸入終端的一種狀態；以及一轉換控制電路以提供一轉換控制信號至轉換電路以致某介於第一狀態與第二狀態之間的轉換被執行於一特定的週期。

圖示簡單說明

於伴隨之圖形中，其中類似之參考數目標出所有圖形中之類似的元件，而其中：

圖1爲顯示依據本發明之實施例1的TFT型液晶顯示模組之圖解結構的一個方塊圖；

圖2爲顯示圖1中所顯示之液晶板的一個範例之相等電路圖；

圖3爲顯示圖1中所顯示之液晶板的另一範例之相等電路圖；

圖4A，4B顯示圖形以解釋從一汲極驅動器輸出至一汲極信號線（D）之一液晶驅動電壓的極性在當一點轉換驅動方法被使用爲一種驅動液晶顯示模組之方法時，其中圖4A顯示奇數框之範例而圖4B顯示偶數框之範例；

圖5爲顯示圖1中所顯示之一汲極驅動器範例的圖解結構之一方塊圖；

圖6爲用以解釋圖5中所顯示之汲極驅動器結構的一個方塊圖，主要爲輸出電路之結構；

圖7爲顯示圖6中所顯示之一轉換電路（2）之電路結構的一個電路圖；

圖8爲顯示使用於圖6中所顯示之一高壓放大器電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（7）

及一低壓放大器電路的電壓追隨器電路之一電路圖；

圖9爲顯示使用於圖6中所顯示之低壓放大器電路而構成一操作放大器之一差動放大器範例的一個電路圖；

圖10爲顯示使用於圖6中所顯示之高壓放大器電路而構成一操作放大器之一差動放大器範例的一個電路圖；

圖11爲顯示考慮一補償電壓（Voff）之操作放大器的一個相等電路之一圖形；

圖12爲一個圖以解釋被供應至一汲極信號線（D）之一液晶驅動電壓，在當有補償電壓（Voff）或當無補償電壓（Voff）時；

圖13A，13B是圖形以解釋其由於補償電壓（Voff）而被引發於液晶顯示板中之垂直線的原因，其中圖13A顯示垂直線被引發於其中之一狀況而圖13B顯示它們未被引發於其中之一狀況；

圖14爲顯示依據實施例1的低壓放大器電路之電路結構的電路圖；

圖15爲顯示依據實施例1之高壓放大器電路的電路結構之一電路圖；

圖16A爲顯示電路結構之一電路圖，當一控制信號（A）是在依據實施例1之低壓放大器電路中的H位準上時，而圖16B爲顯示由操作放大器之一符號所表示的電路之一圖形；

圖17A爲顯示電路結構之一電路圖，當一控制信號（B）是在依據實施例1之低壓放大器電路中的H位準上

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（8 ）

時，而圖１７Ｂ顯示操作放大器之一符號的電路；

圖１８爲顯示依據實施例１之一汲極驅動器的輸出級之結構的圖形；

圖１９爲顯示時序圖以解釋依據實施例１之汲極驅動器的操作；

圖２０爲一圖形以解釋爲何因補償電壓（Ｖｏｆｆ）所引發於一液晶顯示板中的水平線依實施例１而被變得不顯眼；

圖２１爲一圖形以解釋爲何由補償電壓（Ｖｏｆｆ）所引發於一液晶顯示板中的水平線依實施例１而被變得不顯眼；

圖２２爲一圖形以解釋爲何由補償電壓（Ｖｏｆｆ）所引發於一液晶顯示板中的水平線依實施例１而被變得不顯眼；

圖２３爲顯示依據實施例１之汲極驅動器中的控制電路之基本電路結構的一個方塊圖；

圖２４爲顯示圖２３中所顯示之一控制信號產生電路的電路結構之一電路圖；

圖２５顯示時序圖以解釋圖２４中所顯示之控制信號產生電路之操作；

圖２６爲顯示圖２３中所顯示之一畫面識別信號產生電路的電路結構之一電路圖；

圖２７Ａ，２７Ｂ顯示時序圖以解釋圖２６中所顯示之畫面辨識信號產生電路的操作，其中圖２７Ａ解釋由一

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（9）

畫面開始脈衝所輸出之一ＦＬＭＮ的產生而圖２７Ｂ解釋由一進入畫面開始脈衝所輸出之ＦＬＭＮ的產生；

圖２８顯示時序圖以解釋依據實施例１之一控制電路之操作；

圖２９爲顯示圖２８中所顯示之一時鐘產生電路之一範例的電路圖；

圖３０爲顯示用以構成依據實施例１之汲極驅動器之一半導體積體電路中的個別部分排列之基本部分的輪廓圖；

圖３１爲顯示一傳統位準移置電路之電路結構的電路圖；

圖３２爲顯示依據實施例１之一位準移置電路的電路結構之一電路圖；

圖３３爲顯示圖３２中所顯示之個別部分的電壓波形的圖；

圖３４Ａ，３４Ｂ爲圖形以解釋由構成依實施例１之汲極驅動器之一半導體積體電路中之位準移置電路所佔據之一區域，其中圖３４Ａ解釋傳統的位準移置電路而圖３４Ｂ解釋依據實施例１之位準移置電路；

圖３５爲顯示圖３２中所顯示之ＰＭＯＳ（Ｐ通道金氧半導體）電晶體（ＰＳＡ１，ＰＳＡ３）及ＮＭＯＳ（Ｎ通道金氧半導體）電晶體（ＮＳＡ１，ＮＳＡ３）之斷面結構的構本部分之一斷面圖；

圖３６爲顯示依據實施例１之汲極驅動器中之一高壓

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（10）

解碼器電路及一低壓解碼器電路的電路結構之一電路圖；

圖37爲顯示依據實施例2之一汲極驅動器中之一高壓解碼器電路的一個範例電路結構之一電路圖；

圖38A，38B，38C，38D及38E爲圖形以解釋圖37中所顯示之一副屬灰度電壓產生電路的操作，其中圖38B，38C，38D及38E顯示依據顯示資料之較低階兩位元的副屬灰度電壓產生電路之結構；

圖39爲顯示依據實施例2之汲極驅動器的輸出級結構之一圖形；

圖40爲顯示依據實施例2之汲極驅動器中之一高壓解碼器電路的其他範例之一電路結構的電路圖；

圖41爲顯示依據實施例2之汲極驅動器中之一低壓解碼器電路的其他範例之一電路結構的電路圖；

圖42爲顯示使用於圖40中所顯示之高壓解碼器電路或圖41中所顯示之低壓解碼器電路的副屬灰度電壓產生電路範例之一圖形；

圖43爲顯示依據實施例3之汲極驅動器的輸出級結構之一圖形；

圖44爲顯示在圖43中所顯示的高壓或低壓放大器電路之一以及被連接至其一輸入級之一轉換電容的一個圖形；

圖45爲顯示依據實施例4之一汲極驅動器的輸出級結構之一圖形；

圖46爲顯示依據實施例5之一汲極驅動器的輸出級

（請先閱讀背面之注意事項再填寫本頁）裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（11）

結構之一圖形；

圖４７爲一方塊圖以解釋依據實施例５而著重於輸出電路之結構的汲極驅動器結構；

圖４８爲顯示使用於圖４７之一放大器電路中的差動放大器範例之一電路結構的一個電路圖；

圖４９爲一方塊圖以解釋依據實施例６而著重於輸出電路之結構的汲極驅動器１３０之結構；

圖５０爲顯示圖４９中所顯示之一事先鎖定電路１６０的電路結構之一圖形；

圖５１爲一圖形以解釋匯流排線（１６１ａ，１６１ｂ）上之顯示資料以及一時鐘（ＣＬ２）之一操作頻率；

圖５２爲一方塊圖來解釋以輸出電路之結構爲中心之一汲極驅動器結構，當顯示資料被鎖定於時鐘ＣＬ２之正向傳輸及負向傳輸上時，其中只有一匯流排線之一路徑被提供於汲極驅動器中；

圖５３爲一圖形以解釋圖５２中所顯示之匯流排線上的顯示資料以及時鐘ＣＬ２之一操作頻率；

圖５４爲顯示構成由圖５２所顯示之汲極驅動器的半導體積體電路中之匯流排線的輪廓圖；以及

圖５５爲顯示一平面中轉換型式液晶板之一相等電路的圖形。

主要元件對照表

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（12）

１０：液晶顯示板

２０：ｐ型半導體基底

２１：ｎ井區域

２２：ｐ井區域

２４ｂ：ｎ型半導體區域

２５ａ，２５ｂ，２５ｃ：ｐ型半導體區域

２６ａ，２６ｂ，２７ａ，２７ｂ：閘極電極

１００：介面電路

１１０：顯示控制電路

１２０：電力供應電路

１２１：正極電壓產生電路

１２２：負極電壓產生電路

１２３：共同電極電壓產生電路

１２４：閘極電極電壓產生電路

１３０：汲極驅動器

１３１，１３２，１３４，１４１，１４２：信號線

１３３：匯流排線

１４０：閘極驅動器

１５１ａ：正極灰度電壓產生電路

１５１ｂ：負極灰度電壓產生電路

１５２：控制電路

１５３：偏移記錄器電路

１５４：輸入記錄器電路

１５５：儲存記錄器電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（13）

１５６：位準偏移電路

１５７：輸出電路

１５８ａ，１５８ｂ：電壓匯流排線

１６０：事先鎖定電路

１６１ａ，１６１ｂ：匯流排線

２６１：解碼器部分

２６２：開關電路（１）

２６３：放大器對

２６４：開關電路（２）

２６５：資料鎖定電路

２６６：開關電路（３）

２７１：高壓放大器電路

２７２：低壓放大器電路

２７３：單一放大器電路

２７８：高壓解碼器電路

２７９：低壓解碼器電路

３０１：解碼器電路

３０２：多工器

３０３：副灰度電壓產生電路

３１１：第一解碼器

３１２：第二解碼器

４００：控制信號產生電路

４０１：ＰＯＲＮ信號產生電路

４０２：電壓分離電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（14）

４０３：反相器電路

４１０：畫面辨識信號產生電路

４３０：偏移時鐘產生電路

４４０：脈衝產生電路

４５０：時鐘產生電路

較佳實施例之詳細說明

本發明之實施例的說明將參考圖例而被提供。

更明確地，所有用以解釋本發明之實施例的圖形中，具有相同功用之部分被附加以相同之注解且其重複之解釋將被省略。

實施例１

圖１爲顯示依據本發明之實施例１的一種ＴＦＴ型液晶顯示模組之概略構造之一方塊圖。

於一液晶顯示模組中（ＬＣＭ），汲極驅動器１３０被排列於一液晶顯示板（ＴＦＴ－ＬＣＤ）１０之上側上，此外，閘極驅動器１４０及一介面電路１００被排列於液晶顯示板１０之側邊上。

該介面電路１００被安裝至一介面板，此外，汲極驅動器１３０及閘極驅動器１４０也個別被安裝至特別的ＴＣＰｓ（磁帶載體包裝），或直接於液晶顯示板上。

圖２爲顯示液晶顯示板１０之一範例的一個相等電路之圖形。如圖２中所顯示，液晶顯示板１０被提供以多數

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（15）

排列於一矩陣中之像素。

每個像素被排列於一區域中，該區域被與兩條汲極信號線交錯之兩條鄰接汲極信號線（D）及兩條鄰接閘極信號線（G）所圍繞。每個像素被提供以兩個薄膜電晶體（TFT1，TFT2），而每個像素之該薄膜電晶體（TFT1，TFT2）的源電極被連接至一像素電極（ITO1）。一液晶層被提供於像素電極（ITO1）與一共同電極（ITO2）之間，而因此該液晶層之靜電電容（CLL）被相等地連接於像素電極（ITO1）與共同電極（ITO2）之間。

此外，額外的電容（CADD）被連接於薄膜電晶體（TFT1，TFT2）的源電極與先前的一條閘極信號線（G）之間。

圖3爲顯示圖1中所顯示之液晶顯示板10的另一範例之一相等電路的圖形。

雖然，在圖2所顯示之範例中，額外的電容（CADD）被形成介於先前一條閘極信號線（G）與源電極之間，但在圖3所顯示之範例的相等電路中，一保持電容（LSTG）被形成介於一共同信號線（COM）與源電極之間，其爲它們的一項差異。

雖然本發明被應用於圖2及圖3之兩種型式，但於前一型式中，其閘極信號線（G）之先前級之一脈衝被經由額外的電容（CADD）而引入至像素電極（ITO1），於後一系統中，該脈衝未被引入至像素電極，而因此，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

可達成更優異之顯示。

圖２及圖３顯示一垂直場型液晶顯示板之相等電路，其中一電場被施加於其液晶層的厚度方向上，如同於，例如，扭絞向列型液晶顯示板中，而在圖２及圖３中，注解ＡＲ指示一顯示區域。

在圖２及圖３所顯示之液晶顯示板１０中，每個排列於縱列方向上之薄膜電晶體（ＴＦＴ）的汲極電極被個別連接至汲極信號線（Ｄ），而其個別之汲極信號線（Ｄ）被連接至汲極驅動器１３０以供應灰度電壓至縱列方向上之個別像素的液晶。

此外，在排列於一橫排方向上之每個像素之薄膜電晶體（ＴＦＴ）的閘電極被個別連接至閘極信號線（Ｇ），而其個別之閘極信號線（Ｇ）被連接至閘極驅動器１４０以供應掃描驅動電壓（正偏壓電壓或負偏壓電壓）至橫排方向上之每個像素之薄膜電晶體（ＴＦＴ）的閘電極，於一水平掃描時間中。

圖１中所顯示之介面電路１００被構成以一顯示控制電路１１０及一電源供應電路１２０。

顯示控制電路１１０被構成以一片半導體積體電路（ＬＳＩ）來控制並驅動汲極信號線１３０及閘極驅動器１４０，根據一時鐘信號，一顯示時序信號，一水平／垂直掃描同步信號，等等，以及傳送自一主電腦側之顯示的資料（Ｒ，Ｇ，Ｂ）之個別顯示控制信號。

當一顯示時序信號被輸入時，顯示控制電路１１０決

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（17）

定它爲顯示之開始並輸出一開始脈衝（一顯示資料輸入之一開始信號）至第一汲極驅動器１３０，經由一信號線１３５。顯示控制電路１１０輸出一列顯示資料至多數汲極驅動器１３０，經由顯示資料之一匯流排線１３３。

於此情況中，顯示控制電路１１０輸出一顯示資料鎖定時鐘（ＣＬ２）（於下文中只被稱爲一時鐘ＣＬ２），其爲一顯示控制信號以鎖定顯示資料至每個汲極驅動器１３０之一資料鎖定電路，經由一信號線１３１。

由主電腦所供應之6位元顯示資料被傳送於一像素單元，其包含用於紅（Ｒ），綠（Ｇ）及藍（Ｂ）三色副像素之一組三個的顯示資料，個別於每個時間之單元週期。

於第一汲極驅動器１３０上之資料鎖定電路的鎖定操作由輸入至其之開始脈衝所控制。

當第一汲極驅動器１３０上之資料鎖定電路的鎖定操作已被完成時，一開始脈衝從第一汲極驅動器１３０被輸入至第二汲極驅動器１３０，且第二汲極驅動器之資料鎖定電路的鎖定操作被控制。

於下文中，同樣地，每個汲極驅動器１３０中之資料鎖定電路的鎖定操作被成功地寫入至資料鎖定電路。

當顯示時序信號之輸入已完成或一預定之恆定的時間週期已經過，在顯示時序信號之輸入被執行之後時，顯示控制電路１１０便決定其相應於一水平掃描線之資料輸入已被完成。而接著，顯示控制電路１１０經由一信號線１３２來輸出一時鐘（ＣＬ１）至個別的汲極驅動器

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（18）

１３０以控制一輸出時序（於下文中只被稱爲時鐘ＣＬ１），其爲一顯示控制信號以輸出儲存於個別汲極驅動器１３０之資料鎖定電路中的顯示資料至液晶顯示板１０之汲極信號線（Ｄ）。

當第一顯示時序被輸入於接收垂直掃描同步信號之輸入之後時，顯示控制電路１１０便決定其是用於顯示第一線且輸出一畫面開始信號至閘極驅動器１４０，經由一信號線１４２。

接著，顯示控制電路１１０輸出一時鐘（ＣＬ３），其爲具有一水平掃描時間之週期的偏移時鐘，至閘極驅動器１４０，經由一信號線１４１以成功地施加一正偏壓電壓於液晶顯示板１０之個別閘極信號線（Ｇ），以水平掃描時間之一週期。

因此，連接至液晶顯示板１０之個閘極信號線（Ｇ）的多數薄膜電晶體（ＴＦＴ）變爲導通一段時間以執行一水平掃描。

藉由上述之操作，一圖形影像被顯示於液晶顯示板１０上。

圖１中所顯示之電源供應電路１２０被建構以一正極電壓產生電路１２１，一負極電壓產生電路１２２，一共同電極（相反電極）電壓產生電路１２３及一閘電極電壓產生電路１２４。

兩個正極電壓產生電路１２１與負極電壓產生電路１２２被建構以一串連電阻電壓分配器。正極電壓產生電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（19）

路121輸出五個正極灰度產考電壓（V”0直至V”4）而負極電壓產生電路122輸出五個負極灰度參考電壓（V”5直至V”9）。正極灰度參考電壓（V”0至V”4）及負極灰度參考電壓（V”5直至V”9）被供應至每個汲極驅動器130。

此外，個別的汲極驅動器130被供應以來自顯示控制電路110之AC驅動的控制信號（AC驅動時序信號M），經由一信號線134。

共同電極電壓產生電路123產生被供應至共同電極（ITO2）之一驅動電壓，而閘極電極電壓產生電路124產生被供應至薄膜電晶體（TFT）的閘極電極之一驅動電壓（正偏壓電壓及負偏壓電壓）。

通常，當一液晶層被供應以相同電壓（直流電壓）一段長時間時，液晶分子之傾斜被逐漸固定，結果，影像保留被引發而液晶層之生命被縮短。

爲了避免地狀況，在TFT型液晶顯示模組中，施加跨過液晶層之電壓的極性被週期性地反轉，即，供應至像素電極之電壓被交替自正至負，相關於週期性地供應至共同電極電壓之電壓。

作爲用以供應交流電壓至液晶層之驅動方法，已知有兩種方法：一種固定的共同電極電壓方法及一共同電極電壓轉換方法。共同電極電壓轉換方法爲週期地轉換被供應至一共同電極及一像素電極之兩個電壓之電極的一種方法。此外，固定的共同電極電壓方法爲一種方法，其使得被

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（20）

供應至像素電極之電壓週期性地交替變爲正與負。

雖然固定的共同電極電壓方法具有一缺點，其中供應至像素電極（ＩＴＯ１）之電壓的振幅變爲其共同電極電壓轉換方法中的兩倍，而因此低壓額定值驅動器無法被使用，除非發展出一種低臨界電壓液晶材料。也可以使用一種點轉換驅動方法或一種每第Ｎ條線轉換方法，其爲優良的方法，鑑於低能量損耗及顯示品質。

於本實施例之液晶顯示模組中，點轉換驅動方法被使用爲其一種驅動方法。

圖４Ａ及４Ｂ爲圖形以解釋從汲極驅動器１３０輸出及汲極驅動器（Ｄ）之液晶驅動電壓的極性（即，供應至像素電極（ＩＴＯ１）之液晶驅動電壓（參考圖２及圖３），當點轉換驅動方法被使用爲一種驅動液晶顯示模組之方法時。

一解釋將被提供以一實例，其使用點轉換驅動方法爲一種驅動液晶顯示模組之方法。首先，圖４Ａ顯示奇數畫片之範例。於奇數的水平線中，從汲極驅動器１３０，其奇數汲極信號線被供應以液晶驅動電壓，其爲負相關於供應至共同電極ＩＴＯ２之液晶驅動電壓ＶＣＯＭ（被指定以圖４Ａ中之●），而偶數汲極信號線被供應以液晶驅動電壓，其爲正相關於供應至共同電極ＩＴＯ２之液晶驅動電壓ＶＣＯＭ（被指定以圖４Ａ中之○）。於偶數之水平線中，從汲極驅動器１３０，其奇數汲極信號線（Ｄ）被供應以正極液晶驅動電壓而偶數汲極信號線（Ｄ）被供應

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（21）

以負極液晶驅動電壓。

接下來，圖４Ｂ顯示偶數畫面之一範例。每條水平線上之電壓極性被轉換自畫面至畫面，而因此，從汲極驅動器１３０，其奇數汲極信號線（Ｄ）被供應以正極液晶驅動電壓而偶數汲極信號線（Ｄ）被供應以負極液晶驅動電壓。於偶數的水平線中，從汲極驅動器１３０，其奇數信號線被供應以負極液晶驅動電壓而偶數的汲極信號線（Ｄ）被供應以正極液晶驅動電壓。

藉使用點轉換驅動方法，其個別被供應至兩條鄰接汲極信號線（Ｄ）之電壓極性爲彼此相反，而因此，流入薄膜電晶體（ＴＦＴ）之共同電極（ＩＴＯ２）及閘電極的電流被鄰接之汲極信號線所取消且電源損耗可被減少。

此外，流入共同電極（ＩＴＯ２）之電流是不足道的且壓降不會變得很大，而因此，共同電極（ＩＴＯ２）之電壓位準被穩定且顯示品質之惡化可被限制至最小值。

圖５爲一方塊圖以顯示圖１中所顯示之汲極驅動器１３０的實例之一總結構。於圖形中，汲極驅動器１３０被構成以半導體積體電路（ＬＳＩ）之一片。

於圖５中，一正極灰度電壓產生電路１５１ａ根據五個輸入自正電壓產生電路１２１（參考圖１）之正極灰度參考電壓（ｖ”０直至ｖ”４）來產生正極灰度電壓之６４個位準，並經由一電壓匯流排線１５８ａ來輸出它們至一輸出電路１５７。

一負極灰度電壓產生電路１５１ｂ根據五個輸入自負

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（22）

電壓產生電路１２２之負極灰度參考電壓（Ｖ”５直至Ｖ”９）來產生負極灰度電壓之６４個位準，並經由一電壓匯流排線１５８ｂ來輸出它們至輸出電路１５７。

此外，於汲極驅動器１３０之一控制電路１５２中的偏移登記電路１５３，根據輸入自顯示控制電路１１０之時鐘（ＣＬ２）來產生一資料輸入控制信號並將它輸出至一輸入登記電路１５４。

輸入登記電路１５４根據輸出自偏移登記電路１５３之資料輸入控制信號來鎖定每個顏色6位元之顯示資料，該偏移登記電路１５３與輸入自顯示控制電路１１０之時鐘（ＣＬ２）同步。

一儲存登記電路１５５依據輸入自顯示控制電路１１０之時鐘（ＣＬ１）來鎖定輸入登記電路１５４中之顯示資料。

輸入至儲存登記電路１５５之顯示資料接著經由一位準偏移電路１５６而被輸入至輸出電路１５７。

輸出電路１５７依據來自正極灰度電壓之６４個位準或負極灰度電壓之６４個位準中的顯示資料來選擇一個灰度電壓（６４個灰度位準中之一灰度電壓），並將它輸出至每條汲極信號線（Ｄ）。

圖６爲一方塊圖以解釋圖５中所顯示之汲極驅動器１３０之結構而著重於輸出電路１５７之結構。

於圖６中，參考數目153指定圖５中所顯示之控制電路１５２中的偏移登記電路，參考數目１５６指定圖５中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（23）

所顯示之位準偏移電路，一資料鎖定電路265代表圖5中所顯示之輸入登記電路154及儲存登記電路155。而圖5中所顯示之輸出電路157被建構以一解碼器部分（灰度電壓選擇電路）261，放大器對263及一轉換電路（2）264以轉換來自放大器對263之輸出。

於此例中，一轉換電路（1）262與轉換電路（2）264根據用於AC驅動（M）之一控制信號而被控制。

標示Y1，Y2，Y3，Y4，Y5及Y6個別指定第一，第二，第三，第四，第五及第六汲極信號線（D）。

於圖6所顯示之汲極驅動器130中，轉換電路（1）262轉換資料輸入控制信號以致其，用以顯示相同色彩之兩條個個別鄰接汲極線的兩個信號之一被輸入至預定的一對鎖定電路265之一（更明確地，在圖5所顯示之輸入記錄器154中），而兩個信號之另一個被輸入至另一鎖定電路265，且接著兩個信號之一被輸入至另一鎖定電路265而兩個信號之另一個被輸入至鎖定電路265之一。

解碼器部分261被建構以一高壓解碼器電路278來選擇一正極灰度電壓，其依據輸出自每個資料鎖定電路265之顯示資料（更明確地，圖5中所顯示之儲存記錄器），從輸出自灰度電壓產生電路151a之正極灰度電壓的64個位準之中，經由電壓匯流排線158，以及一

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（24）

低壓解碼器電路279來選擇一負極灰度電壓，其依據輸出自每個資料鎖定電路265之顯示資料，從輸出自灰度電壓產生電路151b之負極灰度電壓的64個位準之中，經由電壓匯流排線158b。

高壓解碼器電路278或低壓解碼器電路279被安裝於資料鎖定電路265之一片。

放大器電路對263被建構以一高壓放大器電路271及一低壓放大器電路272。

高壓放大器電路271被供應以由高壓解碼器電路278所產生之一正極灰度電壓，而該高壓放大器電路271輸出一正極灰度電壓。

低壓放大器電路272被供應以由低壓解碼器電路279所產生之一負極灰度電壓，而該低壓放大器電路272輸出一負極灰度電壓。

於點轉換驅動方法中，被供應至兩個臨接汲極信號線（D）（例如，Y1，Y4）以個別顯示相同色彩之灰度電壓的極性是彼此相反的。

此外，放大器對263之高壓放大器電路271與低壓放大器電路272的排列次序爲高壓放大器電路271→低壓放大器電路272→高壓放大器電路271→低壓放大器電路272。因此，藉由轉換電路（1）262來轉換輸入至資料鎖定電路265之資料輸入控制信號，其個別用以顯示相同色彩而被輸入至鄰接汲極線（例如Y1，Y4）的兩個顯示資料之一，例如，汲極線Y1之資料

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（25）

被輸入至其被連接至高壓放大器電路271之資料鎖定電路265。同時，例如，其另一汲極線Y4之資料被輸入至其被連接至低壓放大器電路272之資料鎖定電路265，以容許輸出自資料鎖定電路265之輸出電壓被轉換以轉換電路（2）264且被輸出至汲極信號線（D），依據兩個顯示資料或第一汲極信號線（Y1）與第四汲極信號線（Y4），藉此其一正極或一負極灰度電壓可被輸出至個別的汲極信號線（D）。

圖7爲顯示圖6中之轉換電路（2）264之一轉換電路的電路結構之一電路圖。

如圖7中所顯示，圖6中所顯示之轉換電路（2）264的一個轉換電路包含連接於高壓放大器電路271與一第N汲極信號（Yn）之間的一個PMOS電晶體（PM1），連接於高壓放大器電路271與一第（n+3）汲極信號（Yn+3）之間的一個PMOS電晶體（PM2），連接於低壓放大器電路272與第（n+3）汲極信號（Yn+3）之間的一個NMOS電晶體（NM1）以及連接於低壓放大器電路272與第N汲極信號（Yn）之間的一個NMOS電晶體（NM2）。

PMOS電晶體（PM1）之閘電極被供應以來自由一反相器（INV）所轉換之一NOR電路（NOR1）的一個輸出，而PMOS電晶體（PM2）之閘電極被供應以來自由一反相器所轉換之一NOR電路（NOR2）的一個輸出，在已由位準偏移電路（LS）所個別位準偏

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（26）

移之後。

同樣的，ＮＭＯＳ電晶體（ＮＭ１）之閘電極被供應以來自由一反相器（ＩＮＶ）所轉換之一ＮＡＮＤ電路（ＮＡＮＤ２）的一個輸出，而ＮＭＯＳ電晶體（ＮＭ２）之閘電極被供應以來自由一相反器（ＩＮＶ）所轉換之一ＮＡＮＤ電路（ＮＡＮＤ１）的一個輸出，在已由位準偏移電路（ＬＳ）所個別位準偏移之後。

於此例中，ＮＡＮＤ電路（ＮＡＮＤ１）及ＮＯＲ電路（ＮＯＲ１）被供應以ＡＣ驅動（Ｍ）之控制信號，而ＮＡＮＤ電路（ＮＡＮＤ２）及ＮＯＲ電路（ＮＯＲ２）被供應以ＡＣ驅動之控制信號，該ＡＣ驅動（Ｍ）被反相器（ＩＮＶ）所轉換。此外，ＮＡＮＤ電路（ＮＡＮＤ１，ＮＡＮＤ２）被供應以一輸出致能信號（ＥＮＢ）而ＮＯＲ電路（ＮＯＲ１，ＮＯＲ２）被供應以由反相器（ＩＮＶ）所轉換之輸出致能信號（ＥＮＢ）。

表１顯示ＮＡＮＤ電路（ＮＡＮＤ１，ＮＡＮＤ２）及ＮＯＲ電路（ＮＯＲ１，ＮＯＲ２）之一真值表，以及個別ＭＯＳ電晶體（ＰＭ１，ＰＭ２，ＮＭ１，ＮＭ２）於其狀況下之ＯＮ／ＯＦＦ狀態。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（27）

（表１）

ENB	M	NOR1	PM1	NAND2	NM1	NAND1	PM2	NOR2	NM2
L	*	L	OFF	H	OFF	H	OFF	L	OFF
H	H	L	OFF	H	OFF	L	ON	H	ON
	L	H	ON	L	ON	H	OFF	L	OFF

注意：＊表示其ＡＣ驅動之控制信號（Ｍ）是無關的。

如從表１所得知，當輸出致能信號（ＥＮＢ）於一低位準（在下文中，Ｌ位準）時，其ＮＡＮＤ電路（ＮＡＮＤ１，ＮＡＮＤ２）變爲一高位準（在下文中，Ｈ位準），其ＮＯＲ電路（ＮＯＲ１，ＮＯＲ２）被帶至Ｌ位準，而其個別之ＭＯＳ電晶體（ＰＭ１，ＰＭ２，ＮＭ１，ＮＭ２）被置於ＯＦＦ狀態。

在從一掃描線轉換至其先前掃描線之時刻，兩個高壓放大器電路２７１及低壓放大器電路２７２被帶入至一不穩定狀態。

輸出致能信號（ＥＮＢ）被提供以避免來自個別放大器電路之輸出被輸出至個別的汲極信號線（Ｄ）於從一水平掃描線轉換至其接續線期間。

應注意到其，雖然於此實施例中，時鐘（ＣＬ１）之一反相信號被使用爲輸出致能信號（ＥＮＢ），ＥＮＢ亦可被產生於內部，藉由計數該時鐘（ＣＬ２）等等。

如從表１所得知，當輸出致能信號（ＥＮＢ）於Ｈ位

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（28）

準時，依據ＡＣ驅動（Ｍ）之控制信號的Ｈ位準或Ｌ位準，其個別的ＮＡＮＤ電路（ＮＡＮＤ１，ＮＡＮＤ２）被帶至Ｈ位準或Ｌ位準，而個別的ＮＯＲ電路（ＮＯＲ１）被帶至Ｈ位準或Ｌ位準。

因此，ＰＭＯＳ電晶體（ＰＭ１）及ＮＭＯＳ電晶體（ＮＭ１）變爲ＯＦＦ或ＯＮ，而ＰＭＯＳ電晶體（ＰＭ２）及ＮＭＯＳ電晶體（ＮＭ２）變爲ＯＮ或ＯＦＦ，其來自高壓放大器電路２７１之輸出被輸出至汲極信號線（Ｙｎ＋３），來自低壓放大器電路２７２之輸出被輸出至汲極信號線（Ｙｎ），或者其來自高壓放大器電路２７１之輸出被輸出至汲極信號線（Ｙｎ）而來自低壓放大器電路２７２之輸出被輸出至汲極信號線（Ｙｎ＋３）。

於本實施例之液晶顯示模組（ＬＣＭ）中，其供應至個別像素之液晶層的灰度電壓是在負極之０至５伏特範圍內，而因此，０至５伏特之一負極灰度電壓被輸出自低壓放大器電路２７２，而５至１０伏特之一正極灰度電壓被輸出自高壓放大器電路２７１。

於此例中，例如，當ＰＭＯＳ電晶體（ＰＭ１）被轉爲ＯＦＦ而ＮＭＯＳ電晶體（ＮＭ２）被轉爲ＯＮ時，於最大值之１０Ｖ電壓被供應於ＰＭＯＳ電晶體（ＰＭ１）的源極與汲極之間。

因此，具有介於源極與汲極間之一１０伏特崩潰電壓的高崩潰電壓ＭＯＳ電晶體被使用於個別的ＭＯＳ電晶體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（29）

（ＰＭ１，ＰＭ２，ＮＭ１，ＮＭ２）。

近年來，於一種ＴＦＴ型式等之液晶顯示模組的液晶顯示裝置中，其液晶顯示板１０之一較大螢幕尺寸及一較高顯示解析度正進步中，液晶顯示板１０之顯示螢幕尺寸傾向變大，而同時灰度節距數目之增加也從６４灰度顯示進步至２５６灰度顯示。

依據其上，關於薄膜電晶體（ＴＦＴ）之高速充電性質被需求於汲極驅動器１３０中，而欲藉由一種只是選擇灰度電壓並將它直接輸出至汲極信號（Ｄ）的方法來滿足汲極驅動器１３０之需求變爲很困難。

因此，一種安裝放大器電路於最後級上並經由放大器電路來輸出灰度電壓至汲極信號線（Ｄ）的方法已變爲主流。

圖６中所顯示之高壓放大器電路２７１及低壓放大器電路２７２爲了上述理由而被安裝，而在相關的技術結構中，每個高壓放大器電路２７１及低壓放大器電路２７２被建構以一電壓追隨器電路，其中一操作放大器（ＯＰ）之一反相輸入終端（－）與一輸出終端被直接連接，而其一輸入終端被建構以其一非反相輸入終端，如圖８中所顯示。此外，使用於低壓放大器電路２７２之一操作放大器（ＯＰ）被建構以一差動放大器，其被顯示於，例如，圖９中，而使用於高壓放大器電路２７１之一操作放大器（ＯＰ）被建構以一差動放大器，其被器示於，例如，圖１０中。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（30）

然而，通常，上述之操作放大器（ＯＰ）包含補償電壓（Ｖｏｆｆ）。

當上述操作放大器（ＯＰ）之一基本放大器電路被建構以差動放大器，其被顯示於，例如，圖９或圖１０中，其補償電壓（Ｖｏｆｆ）被產生，由於些微的偏差自完美的對稱於輸入級之一對ＰＭＯＳ電晶體（ＰＭ５１，ＰＭ５２）或一對ＮＭＯＳ電晶體（ＮＭ６１，ＮＭ６２）中，或是於一對ＮＭＯＳ電晶體（ＮＭ６３，ＮＭ６４）或一對ＰＭＯＳ電晶體（ＰＭ５３，ＰＭ５４）中，其構成顯示於圖９或圖１０中之差動放大器的活性負載電路。

該完美對稱之些微偏差的起因是由於ＭＯＳ電晶體之臨界值電壓（Ｖｔｈ），或ＭＯＳ電晶體之（閘寬度Ｗ）（閘長度Ｌ）比率（Ｗ／Ｌ）等等之中的變異，因爲製造步驟中之一離子植入步驟或一照相平版印刷步驟中的變異。然而，即使程序控制執行得更爲嚴謹，仍不可能取消補償電壓（Ｖｏｆｆ）。

假使其操作放大器（ＯＰ）是一種無補償電壓（Ｖｏｆｆ）之理想的操作放大器，則輸入電壓（Ｖｉｎ）變爲等於輸出電壓（Ｖｏｕｔ）（Ｖｉｎ＝Ｖｏｕｔ）。此外，當操作放大器（ＯＰ）無法避免補償電壓（Ｖｏｆｆ）時，則輸入電壓不等於輸出電壓（Ｖｏｕｔ）而輸出電壓（Ｖｏｕｔ）變爲等於輸入電壓（Ｖｉｎ）與補償電壓（Ｖｏｆｆ）之相加（Ｖｏｕｔ＝Ｖｉｎ＋

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（31）

Ｖｏｆｆ）。

圖１１爲顯示顧及補償電壓（Ｖｏｆｆ）之操作放大器之一等效電路的圖，而在圖１１中，參考文字ＲＯＰ指示不引發任何補償電壓（Ｖｏｆｆ）之理想的操作放大器而參考文字ＶＯＳ指示用以產生等於補償電壓（Ｖｏｆｆ）之一電壓值的電壓供應。

因此，在相關技術中，使用圖８中所顯示之電壓追隨器電路爲汲極驅動器之輸出電路（圖５中所顯示之１５７）的高壓放大器電路（圖６中所顯示之２７１）或低壓放大器電路（圖６中所顯示之２７２）之液晶顯示模組，電壓追隨器電路之輸入電壓與輸出電壓彼此不一致，而從電壓追隨器電路輸出至汲極信號線（Ｄ）之液晶驅動電壓變爲輸入至電壓追隨器電路之灰度電壓，其被加入以操作放大器之補償電壓。

因此，出現一問題，於習知技術液晶顯示模組中，黑色或白色虛假信號垂直線出現於一顯示螢幕上，於是顯著地降低顯示於液晶板中之一顯示螢幕的顯示品質。

於下文中，產生黑色或白色垂直線之原因將被提供以詳細的解釋。

圖１２爲一視圖以解釋供應至汲極信號線（Ｄ）（或者像素電極（ＩＴＯ１））之液晶驅動電壓，當補償電壓（Ｖｏｆｆ）出現以及當補償電壓（Ｖｏｆｆ）未出現時。

於圖１２所顯示之狀態Ａ中，其供應至汲極信號線（

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（32）

Ｄ）之一正極與一負極液晶驅動電壓被顯示在當補償電壓（Ｖｏｆｆ）未出現時，而於此例中，像素之亮度變爲依據灰度電壓之一特定的亮度。

此外，於圖１２所顯示之狀態Ｂ中，有顯示一種狀況，其中來自高壓放大器電路之一輸出是在一理想輸出之負側上而來自低壓放大器電路之輸出是在一理想輸出之正側上。於此例中，供應至像素之一驅動電壓被降低以補償電壓（Ｖｏｆｆ）之量，而因此，當液晶顯示板是一普通白色型式液晶顯示板時，其像素之亮度變爲比依據一灰度電壓之特定亮度更亮。此外，於圖１２所顯示之狀態Ｃ中，有顯示一狀況，其中來自高壓放大器電路之輸出是在理想輸出之正側上，而來自低壓放大器電路之輸出是在理想輸出之負側上。於此例中，供應至像素之驅動電壓變爲較高，以補償電壓（Ｖｏｆｆ）之量，而因此，當液晶顯示板是普通白色型式液晶顯示板時，其像素之亮度變爲比依據灰度電壓之特定亮度更暗。

於此狀況下，假設一情形，其中在圖６所顯示之汲極驅動器１３０中，其連接至汲極信號線（Ｄ）Ｙ１及Ｙ４之高壓放大器電路２７１有一正補償電壓（Ｖｏｆｈ），連接至汲極信號線（Ｄ）Ｙ１及Ｙ４之低壓放大器電路２７２具有一負補償電壓（Ｖｏｆ１），而連接至汲極信號線（Ｄ）Ｙ２與Ｙ５之高壓放大器電路２７１及低壓放大器電路２７２以及連接至汲極信號線（Ｄ）Ｙ３與Ｙ６之高壓放大器電路２７１及低壓放大器電路２７２則無補

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（33）

償電壓Ｖｏｆｆ。此外，假設其相同的灰度電壓被供應至Ｙ１直至Ｙ４之汲極信號線（Ｄ），則連接至Ｙ１直至Ｙ４之汲極信號線（Ｄ）的像素亮度變爲如圖１３Ａ中所顯示，而在正常白色型式之液晶顯示板中的狀況中，黑色垂直線出現在液晶顯示板之顯示影像中。

此外，如其所容易了解，於上述之狀況下，當連接至汲極信號線（Ｄ）Ｙ１及Ｙ４之高壓放大器電路２７１具有負（－）補償電壓（Ｖｏｆｈ）而連接至汲極信號線（Ｄ）Ｙ１及Ｙ４之低壓放大器電路２７２具有正（＋）補償電壓（Ｖｏｆ１）時，則白色垂直線出現在液晶顯示板之顯示影像中。

於此狀況下，當連接至汲極信號線（Ｄ）Ｙ１及Ｙ４之高壓放大器電路２７１與低壓放大器電路２７２具有極性相同且值相同的補償電壓（Ｖｏｆｈ，Ｖｏｆ１）時，則如圖１３Ｂ中所顯示，於第一個畫面中，其連接至汲極信號線（Ｄ）Ｙ１及Ｙ４之像素變得比依據灰度電壓之特定亮度更暗，而於第二個畫面中，它們變得比依據灰度電壓之特定亮度更白。因此，連接至汲極信號線（Ｄ）Ｙ１及Ｙ４之像素的特定亮度之偏差被補償於兩個畫面週期之間隙，而因此，白色或黑色垂直線變得不顯眼在液晶顯示板之顯示影像中。

然而，因一操作放大器之補償電壓（Ｖｏｆｆ）被隨機產生於每個操作放大器，故其兩個操作放大器之補償電壓（Ｖｏｆｈ，Ｖｏｆ１）變爲相同的狀況是很少見的，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（34）

而兩個操作放大器之補償電壓（Ｖｏｆｈ，Ｖｏｆ１）通常不會是相同的。

以此方式，於習知技術液晶顯示模組中，已經有提出一問題，其白色或黑色垂直線被產生於液晶顯示板之顯示螢幕中，藉由連接至每條汲極信號線（Ｄ）之一操作放大器電路的補償電壓（Ｖｏｆｆ）。

此外，雖然已知有一種補償取消器電路，但是補償取消器電路使用一種轉換電容電路，而因此，有出現饋通誤差於灰度電壓中之問題，由於電容之形成所導致之晶片尺寸增加以及由於電容充電時間週期增加所導致之高速操作上的限制。

圖１４爲一電路圖以顯示依據本實施例之汲極驅動器１３０中之低壓放大器電路２７２的基本電路結構，而圖１５爲一電路圖以顯示依據本實施例之汲極驅動器１３０中之高壓放大器電路２７１的基本電路結構。

在圖１４中所顯示之實施例的低壓放大器電路２７２中，有加入轉換電晶體（ＮＡ１，ＮＢ１）至圖９中所顯示之差動放大器以連接輸入級上之ＰＭＯＳ電晶體（ＰＭ５１）的閘電極（控制電極）至一正輸入終端（＋）或一負輸入終端，加入轉換電晶體（ＮＡ２，ＮＢ２）以連接輸入級上之ＰＭＯＳ電晶體（ＰＭ５２）的閘電極至正輸入終端（＋）或負輸入終端（－），加入轉換電晶體（ＮＡ３，ＮＢ３）以連接輸出級上之ＮＭＯＳ電晶體的閘電極至輸入級上之ＰＭＯＳ電晶體（ＰＭ５１）的汲極

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（35）

電極或輸入級上之ＰＭＯＳ電晶體（ＰＭ５２）的汲極電極，以及加入轉換電晶體（ＮＡ４，ＮＢ４）以連接構成活性負載電路之ＮＭＯＳ電晶體（ＮＭ６３，ＮＭ６４）的閘電極至輸入級上之ＰＭＯＳ電晶體（ＰＭ５１）的汲極電極或輸入級上之ＰＭＯＳ電晶體（ＰＭ５２）的汲極電極。

在圖１５所顯示之本實施例的高壓放大器電路２７１中，類似其圖１４中所顯示之低壓放大器電路２７２，被加入至圖１０中所顯示之差動放大器者是轉換電晶體（ＰＡ１直至ＰＡ４，ＰＢ１直至ＰＢ４）。

於此例中，轉換電晶體（ＮＡ１直到ＮＡ４，ＰＡ１直到ＰＡ４）之閘電極被供應以一控制信號Ａ，而轉換電晶體（ＮＢ１直到ＮＢ４，ＰＢ１直到ＰＢ４）之閘電極被供應以一控制信號Ｂ。

在圖１４所顯示依據本實施例之低壓放大器電路２７２中，於此例中之一電路結構，其中控制信號（Ａ）爲Ｈ位準而控制信號（Ｂ）爲Ｌ位準被顯示於圖１６Ａ及１６Ｂ中，以及於此例中之一電路結構，其中控制信號（Ａ）爲Ｌ位準而控制信號（Ｂ）爲Ｈ位準被顯示於圖１７Ａ及１７Ｂ中。

此外，圖１６Ｂ及圖１７Ｂ顯示電路構成，當圖１６Ａ及圖１７Ａ中所顯示之放大器電路藉使用一般操作放大器符號而被表示時。

如從圖１６Ａ及１６Ｂ與圖１７Ａ及１７Ｂ中所可以

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（36）

了解，在本實施例之低壓放大器電路２７２中，一輸入電壓Ｖｉｎ及一輸出電壓回饋被個別供應至兩個輸入級ＭＯＳ電晶體之輪流的一個。

因此，在圖１６Ａ及１６Ｂ之電路結構中，如下列方程式（１）所顯示，其輸出電壓（Ｖｏｕｔ）等於加入補償電壓（Ｖｏｆｆ）後之輸入電壓（Ｖｉｎ）。

（方程式１）

$$Vout = Vin + Voff \qquad (1)$$

此外，在圖１７Ａ及１７Ｂ之電路結構中，如下列方程式（２）所顯示，其輸出電壓（Ｖｏｕｔ）等於輸入電壓（Ｖｉｎ）減去補償電壓（Ｖｏｆｆ）。

（方程式２）

$$Vout = Vin - Voff \qquad (2)$$

圖１８爲一圖形以顯示依據本實施例之汲極驅動器１３０的輸出級結構，而圖１９顯示時序圖以解釋依據本實施例之汲極驅動器１３０的操作。

圖１９中所顯示之輸出電壓指示其從高壓放大器電路２７１及低壓放大器電路２７２輸出至汲極信號線（Ｄ）的輸出電壓，該汲極信號線（Ｄ）被連接至具有補償電壓Ｖｏｆｈ之高壓放大器電路２７１及具有補償電壓Ｖｏｆ１之低壓放大器電路２７２，而在輸出電壓中，注釋ＶＨ指示輸出自高壓放大器電路２７１之一特定的灰度電壓，當放大器電路２７１無補償電壓時，且注釋ＶＬ指示輸出自低壓放大器電路２７２之一特定的灰度電壓，當

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（37）

低壓放大器電路272無補償電壓時。

此外，如圖19之時序圖中所顯示，依據輸出自圖18中所顯示之控制電路152的控制信號（A）及控制信號（B），它們的相位被反轉於兩個畫面週期之間隔。

因此，如圖19中所顯示，雖然在第一畫面之第一條線上，一電壓（VH+Vofh）從高壓放大器電路271被輸出至汲極信號線（D），其被連接至具有補償電壓Vofh之高壓放大器電路271也被連接至具有補償電壓Vofl之低壓放大器電路272，在第三畫面之第一條線上，一電壓（VH－Vofh）被輸出自高壓放大器電路271，而因此，在一相應之像素中，由高壓放大器電路271之補償電壓（Vofh）所引發之亮度的增加及減少被相互補償。

此外，雖然在第二畫面之第一條線上，一電壓（VL+Vofl）被輸出自低壓放大器電路272，在第四畫面之第一條線上，一電壓（VL－Vofl）被輸出自低壓放大器電路272。因此，在一相應之像素中，由低壓放大器電路272之補償電壓（Vofl）所引發之亮度的增加及減少被相互抵消。

因此，如圖20所顯示，個別由高壓放大器電路271及低壓放大器電路272之補償電壓所引發的亮度增加與減少被相互補償於第四畫面週期之間隔上，且因而，如圖19中所顯示，被供應以輸出電壓之像素的亮度變爲依據灰度電壓之特定的亮度。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（38）

雖然在圖１９所顯示之時序圖中，控制信號（Ａ）與（Ｂ）之相位被反轉於兩個畫面週期之間隔，但它們控制信號（Ａ）與（Ｂ）之相位可被反轉於每個畫面週期中之兩條水平掃描線的間隔以及於兩個畫面週期之間隔，在同一時刻。於此例中之一像素的亮度被顯示於圖２１及圖２２中。

圖２１顯示一範例，其中當控制信號（Ａ）爲Ｈ位準時，則高壓放大器電路２７１具有正（＋）補償電壓（Ｖｏｆｈ）而低壓放大器電路２７２具有正（＋）補償電壓（Ｖｏｆｌ），而圖２２顯示一範例，其中當控制信號（Ａ）爲Ｈ位準時，則高壓放大器電路２７１具有正（＋）補償電壓（Ｖｏｆｈ）而低壓放大器電路２７２具有負（－）補償電壓（Ｖｏｆｌ）。

於兩個範例中，由高壓放大器電路２７１及低壓放大器電路２７２之補償電壓（Ｖｏｆｈ，Ｖｏｆｌ）所引發之亮度的增加與減少被相互補償於第四畫面週期的間隔，而因此，一像素之亮度變爲依據灰度電壓之一特定亮度。

藉由反轉控制信號（Ａ）與（Ｂ）之相位於每個畫面中之兩條線的間隔，如圖２１及圖２２中所顯示，則於直行方向上之一像素的亮度被改變爲黑色→白色（或白色→黑色）於兩條線之間隔。因此，垂直線被變爲不顯眼於由液晶顯示板１０所顯示之顯示螢幕中。

圖２４爲一電路圖以顯示圖２３中所顯示之控制信號產生電路４００的電路結構，而圖２５顯示時序圖以解釋

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（39）

圖２４中所顯示之控制信號產生電路４００的操作。

控制信號產生電路４００被供應以時鐘（ＣＬ１）。如圖２４中所顯示，其時鐘（ＣＬ１）被一Ｄ交互接續式電路（Ｆ１）分離爲二以構成一時鐘（ＨＣＬ１），此外，時鐘（ＨＣＬ１）被一Ｄ交互接續式電路（Ｆ２）分離爲二以構成由分離時鐘（ＣＬ１）爲四所產生之一時鐘（ＱＣＬ１）。

此外，控制信號產生電路４００被供應以一畫面識別信號（ＦＬＭＮ）來識別每個畫面。附帶地，產生辨識信號（ＦＬＭＮ）之畫面的一種方法之說明將被提供於後。

畫面辨識信號（ＦＬＭＮ）被一反相器（ＩＮＶ）所反轉以構成一信號（ＦＬＭＩＰ）。如圖２４中所顯示，信號（ＦＬＭＩＰ）被一Ｄ交互接續式電路（Ｆ３）分離爲二以構成一信號（ＨＣＬ１），此外，信號（ＨＣＬ１）被一Ｄ交互接續電路（Ｆ４）分離爲二以構成由分離畫面識別信號（ＦＬＭＮ）爲四所產生之一信號（ＱＦＬＭ）。

此外，時鐘（ＱＣＬ１）及信號（ＱＦＬＭ）被輸入至一異一或邏輯電路（ＥＸＯＲ１），一信號（ＣＨＯＰＡ）被輸出自異－或邏輯電路（ＥＸＯＲ１）而一信號（ＣＨＯＰＢ）藉由以一反相器（ＩＮＶ）反轉信號（ＣＨＯＰＡ）而被產生。

信號（ＣＨＯＰＡ，ＣＨＯＰＢ）之位準被移置以一位準移置電路來因而構成控制信號（Ａ）及控制信號（Ｂ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（40）

）。

因此，控制信號（A）及控制信號（B）之相位可被反轉於每個畫面中之兩條線的間隔，以及於兩個畫面週期的間隔。

此外，當控制信號（A）及控制信號（B）之相位被反轉於兩個畫面週期之間隔時，其信號（CHOPA）被構成以由分離畫面辨識信號（FLMN）爲二所產生之信號（QFLM），而信號（CHOPB）可以被構成以藉由反相器（INV）來反轉信號（CHOPA）。

於此例中，在圖24所顯示之控制信號產生電路400中，其D交互接續式電路（F1，F2）及異－或邏輯電路（EXOR1）是不需要的。

此外，在控制信號產生電路400中，其D交互接續式電路（F1，F2）被啓動以畫面辨識信號（FLMN）。

同時，D交互接續式電路（F3，F4）被啓動以來自一PORN信號產生電路401之一信號（PORN）。

該PORN信號產生電路401被建構以一電壓分離電路402以分離一高供應電壓（VDD）及一群反相器電路403，其被供應以來自電壓分離電路402之輸出。

電源供應電壓（VDD）是由圖1所顯示之電源供應電路120之DC／DC變換器（未顯示）所產生之一電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（41）

壓，而電源電壓（ＶＤＤ）在其液晶顯示模組被打開之時刻後一會兒後會升高。

於是，因爲，在打開液晶顯示模組之電源後，ＰＯＲＮ信號產生電路４０１之信號（ＰＯＲＮ）保持於Ｌ位準一會兒，故Ｄ交互接續式電路（Ｆ３，Ｆ４）被穩定地啓動，當電力被輸入至液晶顯示模組時。

接下來，將解釋依據本實施例之產生畫面辨識信號（ＦＬＭＮ）的方法。

用以辨識介於畫面之間的轉換之一信號是需要的，來產生畫面辨識信號（ＦＬＭＮ）。

此外，因一畫面開始指示信號從顯示控制電路１１０被輸出至閘驅動器１４０，當畫面開始指示信號也被輸入至汲極驅動器１３０，故畫面辨識信號（ＦＬＭＮ）可被輕易地產生。

然而，以此方法，其用以構成汲極驅動器１３０之一半導體積體電路（半導體晶片）之輸入針腳數目需被增加，因而一印刷線路板之布線型態需被改變。

此外，依據印刷線路板之布線型態的改變，其由液晶顯示模組所發射之高頻雜訊的特性可能被改變，而且對於電磁干擾之免除性可能被降低。

此外，一半導體積體電路之輸入針腳數目之增加取消了輸入針腳之一致性。

因此，依據本實施例，從顯示控制電路１１０被輸出至汲極驅動器１３０之一開始脈衝的脈衝寬度被形成不同

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（42）

於每個畫面中，以致其在一畫面中之第一開始脈衝（於下文中被稱爲一畫面開始脈衝）不同於其除了第一開始脈衝之外的開始脈衝（在下文中被稱爲畫面中開始脈衝），因而其介於畫面之間的轉換被辨識且畫面辨識信號（ＦＬＭＮ）被產生。

圖２６爲一電路圖以顯示圖２３中所顯示之畫面辨識信號產生電路４１０的電路結構，圖２７Ａ及２７Ｂ顯示時序圖以解釋圖２６中所顯示之畫面辨識信號產生電路４１０的操作，圖２７Ａ解釋由畫面開始脈衝所輸出之ＦＬＭＮ的產生而圖２７Ｂ解釋由畫面中開始脈衝所輸出之ＦＬＭＮ的產生。

依據本實施例，其畫面開始脈衝具有時鐘信號（ＣＬ２）之四個週期的脈衝寬度，而畫面中開始脈衝具有時鐘信號（ＣＬ２）之一個週期的脈衝寬度。

於圖２６中，Ｄ交互接續式電路（Ｆ１１至Ｆ１３）被供應以時鐘（ＣＬ２），在時鐘信號輸入終端上。

因此，開始脈衝藉由與時鐘（ＣＬ２）同步之Ｄ交互接續式電路（Ｆ１１）而被鎖定，以構成一信號（ＳＴＥＩＯ）。

該信號（ＳＴＥＩＯ）藉由與時鐘（ＣＬ２）同步之Ｄ交互接續電路（Ｆ１２）而被鎖定，以構成一信號（Ｑ１），此外，信號（Ｑ１）藉由與時鐘（ＣＬ２）同步之Ｄ交互接續式電路（Ｆ１３）而被鎖定，以構成一信號（Ｑ２）。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（43）

信號（Q2）被輸入至D交互接續式電路（F14）之時鐘信號輸入終端，此外，D交互接續式電路（F14）之一資料輸入終端（D）被供應以信號（STEIO）。

因此，當開始脈衝爲具有四個時鐘信號（CL2）時間週期之脈衝寬度的畫面開始脈衝時，則D交互接續式電路（F14）之Q輸出變爲H位準。

於此例中，因來自D交互接續式電路（F14）之Q輸出變爲一接續汲極驅動器之一開始脈衝選擇信號（FSTENBP），故開始脈衝選擇信號（FSTENBP）變爲H位準。

此外，來自D交互接續式電路（F14）之Q輸出及信號（STEIO）被輸入至一NAND電路（NAND11），而來自NAND電路（NAND11）之輸出變爲畫面辨識信號（FLMN），因此，畫面辨識信號（FLMN）變爲時鐘（CL2）之兩個週期的L位準。

同時，當開始脈衝爲具有時鐘信號（CL2）之一個週期之脈衝寬度的畫面中開始脈衝時，則來自D交互接續電路（F14）之Q輸出變爲L位準。

因此，開始脈衝選擇信號（FSTENBP）變爲L位準，而畫面辨識信號（FLMN）保持H位準。

此外，每個D交互接續式電路（F11至F14）被啓動以一信號（RESETN）。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（44）

依據本實施例，做爲信號（ＲＥＳＥＴＮ），藉由反轉時鐘（ＣＬ１）所產生之一信號被使用。

此外，雖然於此實施例中，一解釋已被提供於一實例，其中畫面開始脈衝具有時鐘信號（ＣＬ２）之四個週期的脈衝寬度，但本發明未被限定於此，而其畫面開始脈衝之脈衝寬度可自由地被設定，以致其構成一預定時間週期之Ｌ位準的畫面辨識信號（ＦＬＭＮ）可被產生，只有當畫面開始脈衝被輸入時。

依據本實施例，汲極驅動器１３０之第一個被供應以來自顯示控制電路１１０之畫面開始脈衝及畫面中開始脈衝，並且上述之操作被執行。

然而，在汲極驅動器１３０之第二個與接續的幾個中，因畫面開始脈衝及畫面中開始脈衝未被輸入自顯示控制電路１１０，故爲了執行上述操作，即使在汲極驅動器１３０之第二個與接續的幾個中，具有與其輸入開始脈衝相同脈衝寬度之一脈衝需被輸出至接續的汲極驅動器１３０作爲一開始脈衝。

因此，依據本實施例，在圖２３所顯示之脈衝產生電路４４０中，其具有時鐘信號（ＣＬ２）之四個週期之脈衝寬度的畫面開始脈衝被產生，而當輸入之開始脈衝爲畫面開始脈衝時，其中脈衝產生電路４４０所產生之畫面開始脈衝被傳輸至接續的汲極驅動器１３０。

將提供一解釋於汲極驅動器１３０中產生畫面開始脈衝及畫面中開始脈衝之方法。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（45）

圖２８顯示時序圖以解釋依據圖２３中所顯示之實施例之汲極驅動器１３０中的控制電路１５２之操作。

如圖２８中所顯示，當開始脈衝被輸入時，其偏移時鐘致能信號產生電路４２０輸出H位準上之致能信號（ＥＥＮＢ）至偏移時鐘產生電路４３０。

因此，偏移時鐘產生電路４３０產生與時鐘（ＣＬ２）同步之偏移時鐘，並將它輸出至偏移登記電路１５３。

偏移登記電路１５３中之每個交互接續式電路接續地輸出資料輸入控制信號（ＳＦＴ１至ＳＦＴｎ＋３），顯示資料藉其而被鎖定至輸入記錄器１５４。

此外，資料輸入控制信號ＳＦＴｎ構成具有時鐘（ＣＬ２）之一個週期之脈衝寬度的汲極驅動器１３０之一接續級的畫面中開始脈衝。

於此例中，雖然ＳＦＴ１至ＳＦＴｎ之資料輸入控制信號被用於鎖定第一個至第Ｎ個顯示資料至輸入記錄器１５４，但ＳＦＴｎ＋１至ＳＦＴｎ＋３之資料輸入控制信號不被用於鎖定顯示資料至輸入記錄器１５４。

ＳＦＴｎ＋１至ＳＦＴｎ＋３之資料輸入控制信號被用於產生汲極驅動器１３０之接續級的畫面開始脈衝。

即，如圖２８中所顯示，其時鐘產生電路４５０根據ＳＦＴｎ至ＳＦＴｎ＋３之資料輸入信號來產生具有時鐘（ＣＬ２）之四個週期之脈衝寬度的畫面開始脈衝。

如以上所述，當開始脈衝爲畫面中開始脈衝時，其開始脈衝產生信號（ＦＳＴＥＮＢＰ）變爲Ｌ位準，而因此

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（46）

，脈衝選擇電路４５０選擇畫面中開始脈衝（即，資料輸入控制信號ＳＦＴｎ）且將它輸出至接續的汲極驅動器１３０。

同時，當開始脈衝爲畫面開始脈衝時，其開始脈衝選擇信號（ＦＳＴＥＮＢＰ）變爲Ｈ位準，而因此，脈衝選擇電路４５０選擇畫面開始脈衝並且將它輸出至接續的汲極驅動器１３０。

於此例中，作爲時鐘產生電路４５０，由，例如，圖２９所顯示之一電路可被使用。

圖２９中所顯示之時鐘產生電路４５０根據資料輸入控制信號ＳＦＴｎ以反轉來自Ｄ交互接續式電路（Ｆ２１）之Ｑ輸出，且根據由一反相器（ＩＮＶ）所反轉之資料輸入信號ＳＦＴｎ＋３以反轉來自一Ｄ交互接續式電路（Ｆ２２）之Ｑ輸出。

此外，來自交互接續式電路Ｆ２１及Ｆ２２之Ｑ輸出被輸入至一異－或電路（ＥＸＯＲ２），而具有時鐘（ＣＬ２）之四個週期之脈衝寬度的畫面開始脈衝被產生自異－或電路（ＥＸＯＲ２）。

以此方式，依據本實施例，於每個汲極驅動器１３０中，畫面開始脈衝及畫面中開始脈衝被產生，因此，構成汲極驅動器１３０之半導體積體電路的輸入針腳數目未被增加，而當保持輸入針腳之一致性時，於個別的汲極驅動器１３０中，介於畫面之間的轉換可被辨識。

圖３０爲顯示構成依據本實施例之汲極驅動器１３０

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（47）

之半導體積體電路中的個別部分之排列的基本部分之一配置圖。

如圖３０中所顯示，構成依據本實施例之汲極驅動器１３０的半導體積體電路，被提供以連接至汲極信號線（Ｄ）之一終端部分於一半導體ＩＣ晶片之長側邊上，且被提供以資料鎖定部分２６５，位準偏移電路１５６，解碼器電路２６１及放大器對２６３於其側邊上。

於位準偏移電路１５６中，傳統上，如圖３１中所顯示之一電路結構已被使用。

於此例中，在位準偏移電路１５６中，０Ｖ至５Ｖ之輸入電壓需被轉換爲０Ｖ至１０Ｖ之電壓且被輸出，因此，在圖３１所顯示之位準偏移電路中，具有１０伏特之汲極崩潰電壓的高壓額定值ＭＯＳ電晶體（ＰＳＢ１，ＰＳＢ２，ＮＳＢ１，ＮＳＢ２）需被使用。

在高壓額定值ＭＯＳ信號線中，與具有５伏特之一源極－汲極崩潰電壓的低壓額定值ＭＯＳ電晶體比較下，其閘極長度是較長的且閘極寬度也被放大，因電流值需被增加。

因此，當使用具有１０伏特源極－汲極崩潰電壓之高壓額定值ＭＯＳ電晶體（ＰＳＢ１，ＰＳＢ２，ＮＳＢ１，ＮＳＢ２）的位準偏移電路被使用爲位準偏移電路１５６時，有出現一個問題，其中構成汲極驅動器１３０之半導體積體電路中的位準偏移電路１５６之一部分的一個區域被放大，同時，構成汲極驅動器１３０之半導體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（48）

ＩＣ晶片之短側邊的晶片尺寸被放大，故其晶片單元成本無法被降低且液晶顯示板之邊緣區域的減少無法被達成。

圖３２爲一電路圖以顯示依據本實施例之位準偏移器１５６中所使用之位準偏移電路的構造。

圖３２中所顯示之位準偏移電路與圖３１中所顯示之位準偏移電路的不同在於其用以產生一壓降之ＰＭＯＳ電晶體（ＰＳＡ３）與ＮＭＯＳ電晶體（ＮＳＡ３）的串聯電路被插入於ＰＭＯＳ電晶體（ＰＳＡ１）與ＮＭＯＳ電晶體（ＮＳＡ１）之間，而用以產生一壓降之ＰＭＯＳ電晶體（ＰＳＡ４）與ＮＭＯＳ電晶體（ＮＳＡ４）的串聯電路於插入於ＰＭＯＳ電晶體（ＰＳＡ４）與ＮＭＯＳ電晶體（ＮＳＡ４）之間。

於此例中，ＰＭＯＳ電晶體（ＰＳＡ３，ＰＳＡ４）與ＮＭＯＳ電晶體（ＮＳＡ３，ＮＳＡ４）之閘電極被供應以一偏壓電位（Ｖｂｉｓ），其爲介於電源供應電壓與一參考電壓（ＧＮＤ）之間的一個中間電壓。

圖３３爲一圖形以顯示圖３２中所顯示之位準偏移電路的個別部分之電壓波形，而圖３３爲一圖形以顯示本例中之個別部分的波形，其中電源供應電位（ＶＤＤ）爲８Ｖ，偏壓電位（Ｖｂｉｓ）爲４Ｖ而一輸入電壓爲０Ｖ至４Ｖ。

參考圖３３之圖３２中所顯示的位準偏移電路之操作將被解釋。

如今，於此例中，其中輸入電壓爲４Ｖ之Ｈ位準，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（49）

４Ｖ被供應至ＮＭＯＳ電晶體（ＮＳＡ１）之閘電極，而０Ｖ（由一反相器所反轉之輸入電壓）被供應至ＮＭＯＳ電晶體（ＮＳＡ２）之閘電極，而因此，ＮＭＯＳ電晶體（ＮＳＡ１）被變爲ＯＮ且ＮＭＯＳ電晶體（ＮＳＡ２）被變爲ＯＦＦ。

因此，圖３２中所顯示之點（ａ）的電位變爲０Ｖ，且因爲ＮＭＯＳ電晶體（ＮＳＡ３）之閘電極被供應以４Ｖ之偏壓電位（Ｖｂｉｓ），所以ＮＭＯＳ電晶體（ＮＳＡ３）被變爲ＯＮ而圖３２中所顯示之點（Ｃ）上之電位也變爲０Ｖ。

此外，當圖３２中所顯示之點（Ｃ）的電位變爲０Ｖ時，因ＰＭＯＳ電晶體（ＰＳＡ３）之閘電極被供應以偏壓電位（Ｖｂｉｓ），故ＰＭＯＳ電晶體（ＰＳＡ３）之一源極電極的源極電位被降低。

ＰＭＯＳ電晶體（ＰＳＡ３）之源極電位被供應至一ＰＭＯＳ電晶體（ＰＳＡ２）之閘電極，ＰＭＯＳ電晶體（ＰＳＡ２）被變爲ＯＮ而圖３２中所顯示之點（ｂ’）的電位變爲８Ｖ。

當圖３２中所顯示之點（ｂ’）的電位變爲８Ｖ時，則以其閘電極被供應以點（ｂ’）之電位的ＰＭＯＳ電晶體（ＰＳＡ１）被變爲ＯＦＦ。

此外，當ＰＭＯＳ電晶體（ＰＳＡ１）被變爲ＯＦＦ時，因無電流流通於包括ＰＭＯＳ電晶體（ＰＳＡ１，ＰＳＡ３）及ＮＭＯＳ電晶體（ＮＳＡ１，ＮＳＡ３）之

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（50）

電晶體的串聯電路中，故ＰＭＯＳ電晶體（ＰＳＡ３）之源極電極的源極電位（ＶＰＳ）被表示以下列方式（３）。

（方程式３）

$$VPGS + VPth = 0$$

$$VPG - VPS + VPth = 0$$

$$VPS = VPG + VPth \qquad (3)$$

其中ＶＰＧＳ指示介於ＰＭＯＳ電晶體（ＰＳＡ３）的閘極與源極之間的電壓，ＶＰＧ指示ＰＭＯＳ電晶體（ＰＳＡ３）之閘極電位而ＶＰｔｈ指示一臨界電壓。

因此，圖３２中所顯示之點（ｂ）上的電位，即，ＰＭＯＳ電晶體（ＰＳＡ３）之源極電位變爲以臨界電壓（ＶＰｔｈ）加入閘極電位（ＶＰＧ）之電壓，而ＰＭＯＳ電晶體（ＰＳＡ３）之源極電位（ＶＰＳ）變爲基本上等於閘極電位（ＶＰＧ）（＝４Ｖ）。

ＰＭＯＳ電晶體（ＰＳＡ３）之源極電壓（ＵＰＳ）等於ＰＭＯＳ電晶體（ＰＳＡ１）之汲極電極的汲極電壓（ＶＰＤ），而因此，作爲ＰＭＯＳ電晶體（ＰＳＡ１）及ＰＭＯＳ電晶體（ＰＳＡ３），其具有５伏特源極－汲極崩潰電壓之低壓額定值ＰＭＯＳ電晶體可被使用。

此外，藉由把ＰＭＯＳ電晶體（ＰＳＡ２）變爲ＯＮ，其ＰＭＯＳ電晶體（ＰＳＡ４）被變爲ＯＮ且圖３２中所顯示之點（Ｃ’）的電位變爲８Ｖ。

此外，ＮＭＯＳ電晶體（ＮＳＡ２）被變爲ＯＦＦ，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（51）

無電流流通於包括ＰＭＯＳ電晶體（ＰＳＡ２，ＰＳＡ４）與ＮＭＯＳ電晶體（ＮＳＡ２，ＮＳＡ４）之電晶體的串聯電路中，而因此，ＮＭＯＳ電晶體（ＮＳＡ４）之源極電極的源極電位（ＶＮＳ）被表示以下列方程式（４）。

$$VNES - VNth = 0$$

$$VNG - VMS - VNth = 0$$

$$VNS = VNG - VNth \qquad (4)$$

其中ＶＮＧＳ指示介於ＮＭＯＳ電晶體（ＮＳＡ４）的閘極與源極之間的電壓，ＶＮＧ指示ＮＭＯＳ電晶體（ＮＳＡ４）之閘極電壓而ＶＮｔｈ指示一臨界電壓。

因此，圖３２中所顯示之點（ａ’）的電位，即，ＮＭＯＳ電晶體（ＮＳＡ４）之源極電位變爲閘極電位（ＶＮＧ）的減掉臨界值電位（ＶＮｔｈ）之電壓，而ＮＭＯＳ電晶體（ＮＳＡ４）之源極電位（ＶＮＳ）變爲基本上等於閘極電位（ＶＮＧ）（＝４Ｖ）。

ＮＭＯＳ電晶體（ＮＳＡ４）之源極電壓等於ＮＭＯＳ電晶體（ＮＳＡ２）之汲極電極的汲極電位（ＶＮＤ），而因此，作爲ＮＭＯＳ電晶體（ＮＳＡ２）及ＮＭＯＳ電晶體（ＮＳＡ４），其具有５伏特源極－汲極崩潰電壓之低壓額定值ＮＭＯＳ電晶體可被使用。

此外，當圖３２中所顯示之一點（ａ）爲０Ｖ而一點（ｂ）爲４Ｖ時，則一反相器電路（ＩＮＶＰ）之ＰＭＯＳ電晶體（ＰＢＰ１）被變爲ＯＮ而一ＮＭＯＳ電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（52）

晶體（ＮＢＰ１）被變爲ＯＦＦ。

此外，一ＰＭＯＳ電晶體（ＰＢＰ２）與一ＮＭＯＳ電晶體（ＮＢＰ２）之一串聯電路被插入於一反相器電路（ＩＮＶＰ）的ＰＭＯＳ電晶體（ＰＢＰ１）與ＮＭＯＳ電晶體（ＮＢＰ１）之間，而ＰＭＯＳ電晶體（ＰＢＰ２，ＮＢＰ２）之閘極電極被供應以４Ｖ之偏壓電位（Ｖｂｉｓ），而因此，一輸出（Ｑ）變爲８Ｖ。

於此例中，如上所述，ＮＭＯＳ電晶體（ＮＢＰ２）之源極電位變爲基本上等於閘極電位，而因此，作爲ＮＭＯＳ電晶體（ＮＢＰ１）及ＮＭＯＳ電晶體（ＮＢＰ２），其具有５Ｖ源極－汲極崩潰電壓之低壓額定值ＮＭＯＳ電晶體可被使用。

類似地，當反相器電路（ＩＮＶＰ）之ＰＭＯＳ電晶體（ＰＢＰ１）被變爲ＯＦＦ而ＮＭＯＳ電晶體（ＮＢＰ１）被變爲ＯＮ時，則ＰＭＯＳ電晶體（ＰＢＰ２）之源極電位變爲基本上等於其閘極電位，而因此，作爲ＰＭＯＳ電晶體（ＰＢＰ１）及ＮＭＯＳ電晶體（ＰＢＰ２），其具有５Ｖ源極－汲極崩潰電壓之低壓額定值ＰＭＯＳ電晶體可被使用。

因此，依據本實施例，由位準偏移電路１５６所佔據之一區域可被減少於包括汲極驅動器１３０之半導體積體電路中，而半導體ＩＣ晶片之短側邊的長度可被變小。

圖３４Ａ解釋傳統的位準偏移電路而圖３４及解釋依據本實施例之位準偏移電路。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（53）

圖３４Ｂ爲一概圖以解釋由包括依據本實施例之汲極驅動器１３０之半導體積體電路中的位準偏移電路１５６所佔據之區域。

於圖３４Ｂ中，注釋Ｄ（０）至Ｄ（５）指示資料鎖定部分２６５中之鎖定電路以鎖定顯示資料之個別位元值，而注釋ＬＳ（０）至ＬＳ（５）指示安裝於個別鎖定電路（Ｄ（０）至Ｄ（５））之位準偏移電路１５６中的位準偏移電路。

如圖３４Ａ中所顯示，當傳統的位準偏移電路被採用時，其具有８Ｖ源極－汲極崩潰電壓之高壓額定值ＭＯＳ電晶體需被使用，位準偏移電路之區域被放大而位準偏移電路之兩個需被安排以被重疊於資料鎖定部分２６５中之每兩個鎖定電路。

然而，於本實施例之位準偏移電路中，具有５伏特源極－汲極崩潰電壓之低壓額定值ＭＯＳ電晶體可被使用，而因此，位準偏移電路之區域可被減少以致其兩個位準偏移電路可被安排於由半導體積體電路中之一傳統位準偏移電路所佔據之一區域中。

因此，如圖３４Ｂ中所顯示，一位位準偏移電路可被安排於依據本實施例之資料鎖定部分２６５中的每個鎖定電路。

因此，依據本實施例，與傳統之範例比較下，其包括汲極驅動器１３０之半導體ＩＣ晶片的短側邊長度可被縮短以圖３４Ａ中所顯示之一長度（Ｌ１），而邊緣區域之

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（54）

減少可被處理。

圖35爲顯示圖32中所顯示之PMOS電晶體（PSA1，PSA3）及NMOS電晶體（NSA1，NSA3）的斷面結構之基本部分的一個斷面圖。

如圖35中所顯示，一n井區域21被形成於一p型半導體基底20中，而PMOS電晶體（PSA1，PSA3）被構成以n井區域21中所形成之個別p型半導體區域（25a，25b，25c）及閘極電極（27a，27b）。

於此例中，p型半導體區域（25b）被當作PMOS電晶體（PSA1）之汲極區域及PMOS電晶體（PSA3）之源極區域。

此外，一p井區域22被形成於p型半導體基底20中，而NMOS電晶體（NSA1，NSA3）被構成以p井區域22中所形成之個別n型半導體區域（24a，24b，24c）及閘極電極（26a，26b）。

於此例中，n型半導體區域（24b）被當作NMOS電晶體（NSA1）之汲極區域及NMOS電晶體（NSA3）之閘極區域。

於此例中，一0V之電壓被供應至p型半導體基底20，一0V之電壓被供應至p井區域22而8V之一電壓被供應至n井區域21。

因此，反轉電壓之8V最大值被供應於n型半導體區域（24c）與p井區域22之間以及於p型半導體區域

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（55）

（２５ｃ）與ｎ井區域２１之間，而因此，當某部分上之一崩潰電壓不夠高時，則該部分之崩潰電壓需被提升以一雙汲極結構（ＤＤＤ）等等。

實施例２

依據本發明之實施例２的一種液晶顯示模組與依據實施例１之液晶顯示模組不同者在於其用以構成汲極驅動器１３０中之高壓解碼器電路２７８或低壓解碼器電路２７９的電晶體數目被減少了。

依據本實施例之汲極驅動器１３０被提供一解釋，而著重於其與實施例１之不同點。

圖３６爲一電路圖以顯示依據實施例１之汲極驅動器１３０中之高壓解碼器電路２７８及低壓解碼器電路２７９的電路結構。

應注意到其圖３６亦顯示正極灰度電壓產生電路１５１ａ及負極灰度電壓產生電路１５１ｂ之一概略電路結構。

高壓解碼器電路２７８被提供以６４列之電晶體（ＴＲＰ２），其每個被構成以串聯六個高壓額定值ＰＭＯＳ電晶體與六個高壓額定值耗盡型ＰＭＯＳ電晶體且被連接至輸出終端，而與電晶體（ＴＲＰ２）之個別列的輸出終端相反之終端被供應以６４位準之正極灰度電壓，其經由匯流排線１５８ａ而被輸出自正極灰度電壓產生電路１５１ａ（參考圖５）。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（56）

此外，構成每列電晶體（ＴＲＰ２）之六個高壓額定值ＰＭＯＳ電晶體及六個高壓額定值耗盡型ＰＭＯＳ電晶體的個別閘極電極，被選擇性地供應以其輸出自位準偏移電路１５６之六位元顯示資料的個別位元值（Ｔ）或反相位元值（Ｂ），根據預定的組合。

低壓解碼器電路２７９被供應以６４列之電晶體（ＴＲＰ３），其每個被構成以串聯六個高壓額定值ＮＭＯＳ電晶體與六個高壓額定值耗盡型ＮＭＯＳ電晶體且被連接至輸出終端，而與電晶體（ＴＲＰ３）之個別列的輸出終端相反之終端被供應以６４位準之負極灰度電壓，其經由匯流排線１５８ｂ而被輸出自灰度電壓產生電路１５１ｂ（參考圖５）。

此外，構成每列電晶體（ＴＲＰ３）之六個高壓額定值ＮＭＯＳ電晶體及六個高壓額定值耗盡型ＮＭＯＳ電晶體的個別閘極電極，被選擇性地供應以其輸出自位準偏移電路１５６之六位元顯示資料的個別位元值（Ｔ）或反相位元值（Ｂ），根據預定的組合。

以此方式，依據實施例１之高壓解碼器電路２７８及低壓解碼器電路２７９，被提供以結構，其中１２個ＭＯＳ電晶體被連續地連接於每個灰度。

因此，每個汲極信號線（Ｄ）之ＭＯＳ電晶體的總數爲７６８（６４×１２）。

近年來，於一種液晶顯示裝置中，灰度間距之數目的增加是從６４灰度顯示進步至２５６灰度顯示。然而，當

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（57）

256灰度顯示藉使用傳統的高壓解碼器電路278及低壓解碼器電路279而被執行時，則每個汲極信號線（D）之MOS電晶體的總數爲4096（256×16）。

因此，有出現一個問題在於其由解碼器部分261所佔據之一區域被增加而構成汲極驅動器130之半導體積體電路（IC晶片）的晶片尺寸被放大。

圖37爲一電路圖以顯示依據實施例2之汲極驅動器130中之高壓解碼器電路278與正極灰度電壓產生電路151a的電路結構。

如圖37中所顯示，正極灰度電壓產生電路151a不會產生如實施例1中之64位準灰度電壓（參考圖36）而是產生主要的17位準正極灰度電壓，根據輸入自正電壓產生電路121之5位準正極參考灰度電壓（V"0－V"4）。

於此例中，電壓分離電阻電路中之每個電阻被加重以反射介於經由液晶層的光傳輸與被供應跨越它的電壓之間的關係。

高壓解碼器電路278包含一解碼器電路301以選擇兩個接續之位準於17位準的主要灰度電壓之中，並且個別將它們輸出爲主要灰度電壓VOUTA及VOUTB，一多工器302以輸出主要灰度電壓VOUTA至終端P1與主要灰度電壓VOUTB至終端P2，或者輸出主要灰度電壓VOUTA至終端P2與主要灰度電壓VOUTB至終端P1，以及一副灰度電壓產生電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（58）

303以分離介於主要灰度電壓VOUTA與VOUTB之間的電壓差△而產生Va，Va+（1／4）△，Va+（2／4）△，Va+（3／4）△及Va+（1／4）△。

解碼器電路301被構成以一第一解碼器311以選擇相應於6位元顯示資料之較高階四位元（D2－D5）的主要灰度電壓於奇數主要灰度電壓之中，及一第二解碼器312以選擇相應於6位元顯示資料之較高階三位元（D3－D5）的主要灰度電壓於奇數主要灰度電壓之中。

第一解碼器311被建構以致其六位元顯示資料之較高階四位元（D2－D5）選擇第一與第十七主要灰度電壓V1與V17一次，並選擇第三至第十五主要灰度電壓3至V15兩次。

第二解碼器312被建構以致其六位元顯示資料之較高階三位元（D3－D5）選擇第二主要灰度電壓（V2）至第十六主要灰度電壓（V16）一次。

應注意到其圖37中，注釋○指示一轉換元件（例如，PMOS電晶體），其被變爲ON以資料位元於L位準時，而注釋●指示一轉換元件（例如，NMOS電晶體），其被變爲ON以資料位元於H位準時。

於此例中，V"0＜V"1＜V"2＜V"3＜V"4而因此，當顯示資料之第三位元（D2）的位元值爲L位準時，作爲灰度電壓VOUTA，則低於其VOUTB之灰度電壓之一電位上的灰度電壓被輸出，此

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（59）

外，當顯示資料之第三位元（Ｄ２）的位元值爲Ｈ位準時，作爲灰度電壓ＶＯＵＴＡ，則高於其ＶＯＵＴＢ之灰度電壓之一電位上的灰度電壓被輸出。

因此，多工器３０２被轉換，依據顯示資料之第三位元的位元值之Ｈ位準與Ｌ位準，當顯示資料之第三位元（Ｄ２）的位元值爲Ｌ位準時，其ＶＯＵＴＡ之灰度電壓被輸出至終端（Ｐ１），其ＶＯＵＴＡ之灰度電壓被輸出至終端（Ｐ２），此外，當顯示資料之第三位元（Ｄ２）的位元值爲Ｈ位準時，其ＶＯＵＴＢ之灰度電壓被輸出至終端（Ｐ１）而其ＶＯＵＴＡ之灰度電壓被輸出至終端（Ｐ２）。

因此，當終端（Ｐ１）之灰度電壓被指示以（Ｖａ）而終端（ｐ２）之灰度電壓被指示以（Ｖｂ）時，則Ｖａ＜Ｖｂ總是可被建立且第二灰度電壓產生電路３０３之設計被簡化。

副灰度電壓產生電路３０３被構成以連接於終端（Ｐ１），與高壓放大器電路２７１的一個輸入終端之間之一開關元件（Ｓ１），一電容器（Ｃ１），其一端被連接至高壓放大器電路２７１之輸入終端而其另一端被連接至終端（Ｐ１），經由一開關元件（Ｓ２），且被連接至終端（Ｐ２），經由一開關電路（Ｓ５），一電容器（Ｃ２），其一端被連接至高壓放大器電路２７１之輸入終端而其另一端被連接至終端（Ｐ１），經由一開關元件（Ｓ３），且被連接至終端（Ｐ２），經由一開關元件（Ｓ４）

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（60）

，以及一電容器（Ｃ３），其被連接於終端（Ｐ２）與高壓放大器電路２７１的輸入終端之間。

於此例中，電容器（Ｃ１）與電容器（Ｃ３）之電容值被設定至相同值而電容器（Ｃ２）之一電容值被設定至一電容值，其爲電容容器（Ｃ１）與電容器（Ｃ３）之電容值的兩倍多。

此外，個別的開關元件（Ｓ１－Ｓ５）依據顯示資料之較低階兩位元（Ｄ０，Ｄ１）的位元值而被變爲ＯＮ及ＯＦＦ，如圖３８Ａ中所顯示。

圖３８Ａ顯示輸出自副灰度電壓產生電路３０３之灰度電壓的值，依據顯示資料之較低階兩位元（Ｄ０，Ｄ１）的位元值，而圖３８Ｂ－３８Ｅ顯示副灰度電壓產生電路３０３之電路結構，依據顯示資料之較低兩位元（Ｄ０，Ｄ１）的位元值。

應注意到其低壓解碼器電路２７９亦可被構成類似於高壓解碼器電路２７８，而於此例中，低壓解碼器電路２７９選擇由負極灰度電壓產生電路１５１ｂ所產生之主要１７位準的負極灰度電壓。

此外，負極灰度電壓產生電路１５１ｂ產生１７位準的負極灰度電壓，根據輸入自負電壓產生電路１２２之５位準的負極參考灰度電壓（Ｖ”５－Ｖ”９），此外，構成負極灰度電壓產生電路１５１ｂ之電壓分離電阻電路之電壓分離電阻器中的每個電阻被加重以反射介於經電液晶層的光傳輸與被供應跨越它的一個電壓之間。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（61）

於低壓解碼器電路279中，V"5＞V"6＞V"7＞V"8＞V"9而因此，當終端（P1）之灰度電壓被指定以（Va）而終端（P2）之灰度電壓被指定以（Vb）時，則Va＞Vb總是被建立。

圖39爲一圖形以顯示依據實施例2之液晶顯示模組中的汲極驅動器130之一輸出級的概略結構，於使用圖37中所顯示之高壓解碼器電路278以及低壓解碼器電路279之狀況中，該低壓解碼器電路279具有類似於其圖37中所顯示之高壓解碼器電路278的電路結構。

於圖39中，具有圖15中所顯示之電路結構的一個放大器電路被使用於高壓放大器電路271中，而具有圖14中所顯示之電路結構的一個放大器電路被使用於低壓放大器電路272中。

以此方式，依據本實施例，關於構成解碼器電路之轉換元件的數目，第一解碼器電路311中之數目爲64（＝（9＋7）×4），第二解碼器電路312中之數目爲24（＝3×8）而因此，每個汲極信號線（D）之中構成解碼器電路的轉換元件（MOS電晶體）之總數目爲88，而該數目可被相當地減少，相較於實施例1中之每個汲極信號線（D）的MOS電晶體總數768。

此外，藉由減少轉換元件之數目，汲極驅動器130之內電流可被減小，而因此，液晶顯示模組（LCM）之總電力損耗可被減少，故其液晶顯示模組（LCM）之可靠性可被提升。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（62）

圖４０爲一電路圖以顯示依據本實施例之汲極驅動器１３０中的高壓解碼器電路２７８之另一範例的電路結構，而於圖４０中，注釋○指示一ＰＭＯＳ電晶體且●指示一ＮＭＯＳ電晶體。

應注意到其圖４０顯示一電路結構之一範例，於產生２５６灰度電壓的狀況下，而因此，（Ｄ０－Ｄ７）之８位元顯示資料的個別位元值以及反相值被供應至個別ＰＭＯＳ電晶體之閘極電極，根據預定的組合。

於圖３７所顯示之高壓解碼器電路２７８中，關於ＭＯＳ電晶體，其閘極電極被供應以相同電壓於每個解碼器列，其顯示資料之位階愈高，則電晶體被排列的更爲連接。

因此，即使當ＭＯＳ電晶體，其閘極電極被供應以相同電壓於每個數元且其爲連續的於每個解碼器列，被取代以一ＭＯＳ電晶體時，仍不會有任何問題於其功能上。

於圖４０中所顯示之高壓解碼器電路２７８中，ＭＯＳ電晶體，其電極被供應以相同電壓於每個數元且其爲連續的於每個解碼器列，被取代以一ＭＯＳ電晶體。

此外，於圖４０所顯示之高壓解碼器電路２７８中，當一最小尺寸ＭＯＳ電晶體之閘極電極的閘寬度被指示以注釋Ｗ時，則最小尺寸ＭＯＳ電晶體之下一個較高階之一第二ＭＯＳ電晶體被設定爲２Ｗ，此外，第二ＭＯＳ電晶體之下一個較高階之一第三ＭＯＳ電晶體的閘極電極之閘寬度爲４Ｗ，而以此方式，相應於顯示資料之一較高階位

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（63）

元的ＭＯＳ電晶體之閘極電極的閘寬度爲最小尺寸ＭＯＳ電晶體之閘極電極的閘寬度乘以２的（ｍ－ｊ）次方，其中注釋ｍ指示顯示資料之位元數目而注釋ｊ指示於由最小尺寸ＭＯＳ電晶體所構成之位元中的最高階位元之位元數目。

於圖４０所顯示之高壓解碼器電路２７８中，當最小尺寸ＭＯＳ電晶體之電阻被指示以注釋Ｒ時，其每個解碼列上之ＭＯＳ電晶體的合成電阻是大約２尺（≒Ｒ＋Ｒ／２＋Ｒ／４＋Ｒ／８＋Ｒ／１６）於解碼器電路３１１中，以及大約２Ｒ（≒Ｒ＋Ｒ／２＋Ｒ／４＋Ｒ／８）於解碼器電路３１２中。

應被注意到其圖４０亦顯示個別數元上之ＭＯＳ電晶體的電阻，當最小尺寸ＭＯＳ電晶體之電阻被指示以注釋Ｒ時。

因此，個別解碼列上之ＭＯＳ電晶體的合成電阻可被減少於圖４０所顯示之高壓解碼器電路２７８中，於重新分配電荷至構成副灰度電壓產生電路３０３之個別電容器中，大電流可被充電及放電，而因此，不知解碼器電路之高速操作可被達成，同時解碼器電路３１１與解碼器電路３１２之合成電阻值可被變爲彼此相等，而因此，可以減小所產生的兩個灰度的速度之間的差異。

此外，通常，於一ＭＯＳ電晶體中，藉由一基底一源極電壓（V_{BS}），其臨界電壓（Ｖｔｈ）被改變於正方向上，故其汲極電流（I_{DS}）被減小。即，ＭＯＳ電晶體之

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（64）

電阻被增加。

因此，於圖４０所顯示之高壓解碼器電路２７８中，電路被分離爲一ＰＭＯＳ電晶體區域與一ＮＭＯＳ電晶體區域，以灰度電壓之一邊界，其中基底－源極電壓（V_{BS}）變爲相等的（於圖４０中，Ｖ１６（或Ｖ１８），Ｖ１５（或Ｖ１７）之灰度電壓）。

因此，於圖４０所顯示之高壓解碼器電路２７８中，由構成解碼器電路之ＭＯＳ電晶體中的基底偏壓效應所引發之電阻增加可被抑制。

圖４１爲一電路圖以顯示依據本實施例之汲極驅動器１３０中之低壓解碼器電路２７９的另一範例之電路結構。

圖４１中所顯示之低壓解碼器電路２７９被提供以一電路結構，其類似於圖４０中所顯示之高壓解碼器電路２７８的電路結構。

然而，於低壓解碼器電路２７９中，於分離一ＰＭＯＳ電晶體區域與一ＮＭＯＳ電晶體區域，以灰度電壓之邊界，其中基底一源極電壓（V_{BS}）爲相等的（於圖４０中，Ｖ１６（或Ｖ１８），Ｖ１５（或Ｖ１７）之灰度電壓），其ＰＭＯＳ電晶體區域與ＮＭＯＳ電晶體區域之位置被反轉至那些於高壓解碼器電路２７８中者。

應被注意到其個別電壓被設定爲Ｖ１＞Ｖ２＞Ｖ３……＞Ｖ３２＞Ｖ３３。

於上述實施例中，構成解碼器電路３０１之每個

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（65）

ＭＯＳ電晶體被構成以一高壓額定值ＭＯＳ電晶體或一ＭＯＳ電晶體，其中只有閘極電極部分被構成以一種高壓額定值結構。

此外，作爲解碼器電路３０１之較低階位元的ＭＯＳ電晶體，可使用較低的源極－汲極電壓額定值ＭＯＳ電晶體，而於此例中，解碼器電路３０１之尺寸可進一步被減小。

圖４２爲一電路圖以顯示使用於圖４。所顯示之高壓解碼器電路２７８中之副灰度電壓產生電路３０３的電路結構之一範例。

於圖４２所顯示之副灰度電壓產生電路３０３中，一電容器（Ｃｏ１）與一電容器（Ｃｏ２）之電容值是相同的，一電容器（Ｃｏ３）之電容值爲電容器（Ｃｏ１）之電容值的兩倍之一電容值，而一電容器（Ｃｏ４）之電容值爲電容器（Ｃｏ１）之電容值的四倍之一電容值。

此外，個別的開關控制電路（ＳＧ１－ＳＧ３）各被提供以一ＮＡＮＤ電路（ＮＡＮＤ），一ＡＮＤ電路（ＡＮＤ）及一ＮＯＲ電路（ＮＯＲ）。表２顯示ＮＡＮＤ電路（ＮＡＮＤ），ＡＮＤ電路（ＡＮＤ）及ＮＯＲ電路（ＮＯＲ）之一真值表。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（66）

表 2

/CR	/TCK	/D	NAND	AND	NOR	Sn1	Sn2
L	H	*	H	L	L	OFF	ON
H	H	*	H	L	H	OFF	OFF
	L	H	L	L	H	ON	OFF
		L	H	H	L	OFF	ON

＊指示其顯示資料是不相關的。

當重置脈衝（／ＣＲ）爲Ｌ位準時，一開關元件（ＳＳ１）被變爲ＯＮ，而來自ＮＯＲ電路（ＮＯＲ）之一輸出變爲Ｌ位準且個別的開關元件（Ｓ０２，Ｓ１２，Ｓ２２）被變爲ＯＮ。

於此例中，一時序脈衝（／ＴＣＫ）爲Ｈ位準，來自ＮＡＮＤ電路（ＮＡＮＤ）之一輸出變爲Ｈ位準，而個別的開關元件（Ｓ０１，Ｓ１１，Ｓ２１）被變爲ＯＦＦ。因此，個別電容器（Ｃ０１－ｃ０４）之兩個終端被連接至終端（Ｐ２），而因此，個別的電容器（Ｃ０１－Ｃ０４）被充電或放電且電位差被帶至０伏特之狀態。

接下來，當重置脈衝（／ＣＲ）變爲Ｈ位準而時序脈衝（／ＴＣＫ）變爲Ｌ位準時，其個別的開關元件（Ｓ０１，Ｓ０２，Ｓ１１，Ｓ１２，Ｓ２１，Ｓ２２）被變爲ＯＮ或ＯＦＦ，依據顯示資料之較低階３位元（Ｄ０－Ｄ２）的個別位元值。

因此，當終端（Ｐ１）之灰度電壓被指定以（Ｖａ）

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（67）

而終端（Ｐ２）之灰度電壓被指定爲（Ｖｂ）時，則Ｖａ＋（１／８）△，Ｖａ＋（２／８）△，……Ｖｂ｛Ｖａ＋（８／８）△｝之灰度電壓被輸出自副灰度產生電路３０２。

此外，雖然電阻可被使用以取代副灰度電壓產生電路３０３中之電容器，於此例中，具有高電阻值之電阻需被使用且介於電阻值之間的比率是與介於電容之間的比率相反的。

例如，當電阻被使用以取代圖３７所顯示之副電壓產生電路中的電容器時，用以取代電容器（Ｃ１）與電容器（Ｃ３）之電阻的電阻值需爲用以取代電容器（Ｃ２）之電阻的電阻值兩倍之一電阻值。

實施例３

依據本發明之實施例３的一種液晶顯示模組再依據實施例２之液晶顯示模組的不同點在於其反相的放大器被使用爲汲極驅動器１３０中之高壓差動放大器２７１及低壓放大器電路２７２。

依據本實施例之汲極驅動器１３０將被提供一解釋，而著重於與實施例２之差異。

圖４３爲一圖形以顯示依據實施例３之液晶顯示模組的汲極驅動器１３０之輸出級的概略結構，當圖３７中所顯示之高壓解碼器電路２７８及低壓解碼器電路２７９被使用時，該低壓解碼器電路２７９具有類似於其圖３７中

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（68）

所顯示之高壓解碼器電路２７８的電路結構。

於圖４３中，其圖１５中所顯示之差動放大器被使用於高壓放大器電路２７１中，而圖１４中所顯示之差動放大器被使用於低壓放大器電路２７２中。

圖４４爲一圖形以顯示高壓放大器電路２７１與低壓放大器電路２７２之一，以及被連接至圖４３中所顯示者之一輸入級的一開關電容３１３。

如圖４４中所顯示，一開關電路（ＳＷＡ０１）與一電容器（ＣＡ１）之一平行電路被連接於一操作放大器（ＯＰ２）的反相輸入終端（－）與輸出終端之間，而操作放大器（ＯＰ２）之反相輸入終端（－）被連接以每個個別電容器（ＣＡ２，ＣＡ３，ＣＡ４）之一終端。

個別電容器（ＣＡ２，ＣＡ３，ＣＡ４）之另一終端被供應以主要灰度電壓之兩個接續位準之一，即，主要灰度電壓（Ｖａ）被輸出至圖３７中所顯示之終端（Ｐ１），經由個別的開關電路（ＳＷＡ１１，ＳＷＡ２１，ＳＷＡ３１）。主要灰度電壓之兩個接續位準的另一個，即，被輸出至圖３７中所顯示之終端（Ｐ２）的主要灰度電壓（Ｖｂ）被供應至操作放大器（ＯＰ２）之一非反相終端（＋）及個別電容器（ＣＡ２，ＣＡ３，ＣＡ４）之另一終端，經由個別的開關電路（ＳＷＡ１２，ＳＷＡ２２，ＳＷＡ３２）。

於此例中，電容器（ＣＡ２）與電容器（ＣＡ４）之電容值是相同的，電容器（ＣＡ３）之一電容值爲電容器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（69）

（ＣＡ２）之電容值的兩倍而電容器（ＣＡ１）之一電容值爲電容器（ＣＡ２）之電容值的四倍。

於反相放大器中，於一重疊操作中，開關電路（ＳＷＡ０１）及開關電路（ＳＷＡ１１，ＳＷＡ２１，ＳＷＡ３１）被置於ＯＮ而開關電路（ＳＷＡ１２，ＳＷＡ２２，ＳＷＡ３２）被置於ＯＦＦ。

於此狀態中，電容器（ＣＡ１）被重置，操作放大器（ＯＰ２）構成一電壓追隨器電路，操作放大器（ＯＰ２）之輸出終端及反相輸入終端（－）變爲主要灰度電壓（Ｖｂ）之一電位，而因此，個別的電容器（ＣＡ２－ＣＡ４）被充電至（Ｖｂ－Ｖａ＝△Ｖ）之一電壓。

此外，於一正常狀態下，開關電路（ＳＷＡ０１）被置於ＯＦＦ，而開關電路（ＳＷＡ１１，ＳＷＡ２１，ＳＷＡ３１）及開關電路（ＳＷＡ１２，ＳＷＡ２２，ＳＷＡ３２）被置於ＯＮ或ＯＦＦ，如所預定的。

因此，Ｖａ之主要灰度電壓被反相且放大以主要灰度電壓（Ｖｂ）當作一參考，而電壓Ｖｂ＋Ｖａ，Ｖｂ＋Ｖａ＋（１／４）△Ｖ，Ｖｂ＋Ｖａ＋（１／２）△Ｖ，Ｖｂ＋Ｖａ＋（３／４）△Ｖ被輸出自操作放大器（ＯＰ２）之輸出終端。

實施例４

依據本發明之實施例４的一種液晶顯示模組與依據實施例１之液晶顯示模組的不同點在其負極灰度參考電壓（

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（70）

V”5－V”9）從電力供應電路120被輸出至汲極驅動器130，而在汲極驅動器130中，32位準之負極灰度電壓被產生自負極灰度參考電壓（V”5－V”9），此外，一反相放大器被使用爲高壓放大器電路271而負極灰度電壓被反相且放大以反相放大器，而正極灰度電壓被供應至汲極信號線（D）。

依據本實施例之汲極驅動器將被提供一解釋，而著重於其與實施例1之差異。

圖45爲一圖形以顯示依據實施例4之液晶顯示模組的汲極驅動器130之輸出級的概略結構。

於圖45中，圖15所顯示之差動放大器被使用爲高壓放大器電路271而圖14所顯示之差動放大器被使用爲低壓放大器電路272。

於依據本實施例之高壓放大器電路271中，一操作放大器（OP3）構成一反相放大器。

因此，操作放大器（OP3）之輸入級被連接以圖6中所顯示之低壓解碼器電路279來取代圖6中所顯示之高壓解碼器電路278。

即，依據此實施例，低壓解碼器電路279被使用於圖6中所顯示之所有解碼器部分261。

結果，依據此實施例，正電壓產生電路121及正極灰度電壓產生電路151a個別於電力供應電路120（未顯示）及汲極驅動器130（未顯示）中是不需要的。

如圖45中所顯示，一開關電路（SWB1）與一電

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（71）

容器（ＣＢ１）之一平行電路被連接於操作放大器（ＯＰ３）的一個反相輸入終端（－）與一個輸出終端之間，而操作放大器（ＯＰ３）之反相輸入終端（－）被連接以一電容器（ＣＢ２）之一終端。

電容器（ＣＢ２）之另一終端被供應以來自低壓解碼器電路２７２之一灰度電壓，經由一開關（ＳＷＢ３）且被供應以一參考電壓（Ｖｒｅｆ），經由一開關（ＳＷＢ２）。

此外，參考電壓（Ｖｒｅｆ）被供應至操作放大器（ＯＰ３）之一非反相輸入終端（＋）。

於此例中，參考電壓（Ｖｒｅｆ）也是被供應至共同電極（ＩＴＯ２）之液晶驅動電壓（Ｖｃｏｍ）的一個電位。

於此反相放大器中，於一重置操作中，開關電路（ＳＷＢ１）及開關電路（ＳＷＢ２）被置於ＯＮ而轉換電路（ＳＷＢ３）被置於ＯＦＦ。

於此狀態下，操作放大器（ＯＰ３）構成一電壓追隨器電路，操作放大器（ＯＰ３）之輸出終端與反相終端變爲參考電壓（Ｖｒｅｆ）之一電位，參考電壓（Ｖｒｅｆ）也被供應至電容器（ＣＢ２）之另一終端，而因此，電容器（ＣＢ１）及電容器（ＣＢ２）被重置。

此外，於一正常狀態下，開關電路（ＳＷＢ１）及開關電路（ＳＷＢ２）被置於ＯＦＦ，開關電路（ＳＷＢ３）被置於ＯＮ，經由電容器（ＣＡ２）而被輸入之一負極

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（72）

灰度電壓被反相且放大以參考電壓（Vref）當作一參考，而正極灰度電壓被輸出自操作放大器（OP3）之輸出終端。

依據此實施例，取代圖6中所顯示之高壓解碼器電路271，其圖6中所顯示低壓解碼器電路272被使用，此外，電源供應電路120中之正電壓產生電路121及汲極驅動器130中之正極灰度電壓產生電路151a是不需要的，而因此，其結構可被簡化。

實施例5

依據本發明之實施例5的一種液晶顯示模組與實施例1之不同點在於其一單一放大器電路273作用爲高壓放大器電路271及低壓放大器電路272。

依據此實施例之汲極驅動器130的解釋將被提供，而著重於其與實施例1之差異。

圖46爲一圖形以顯示依據實施例5之液晶顯示模組的汲極驅動器130之輸出級的概略結構。

於圖46中，參考數字273指示一單一放大器電路以輸出負極與正極灰度電壓，而依據此實施例，負極與正極灰度電壓被輸出自放大器電路273。

因此，放大器電路273需被供應以由高壓解碼器電路278所選擇之一正極灰度電壓或由負極電壓解碼器電路279所選擇之一負極灰度電壓。

如圖47中所顯示，開關部分（2）264需被安裝

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（73）

於解碼器部分２６１與放大器電路２７３之間。

圖４８爲一圖形以顯示使用於圖４６所顯示之放大器電路２７３中的差動放大器之一範例的電路結構。

於圖４８所顯示之放大器電路２７３，注釋●指示轉換電晶體，圖形中標示爲“Ａ”之指示●被一控制信號（Ａ）置於ＯＮ之轉換電晶體，而標示爲“Ｂ”之●指示被一控制信號（Ｂ）置於ＯＮ之轉換電晶體。

於此放大器電路２７３中，輸出級中一推一拉結構所建構以輸出負極與正極灰度電壓，以單一放大器電路。

此外，放大器電路２７３提供一寬的動態範圍，因電流（Ｉ１’，Ｉ２’）可被流通，即使當電流（Ｉ１，Ｉ２）被變爲ＯＦＦ時。

依據此實施例，一單一放大器電路被建構以輸出負極與正極灰度電壓至一相應的汲極信號線（Ｄ），每個像素之亮度被決定以關於被供應至共同電極（ＩＴＯ２）之共同電位（Ｖｃｏｍ）之其電位。

沒有垂虛假線發生於一顯示影像上之問題，假如介於正極灰度電壓（ＶＨ）與共同電極（ＩＴＯ２）的電位（Ｖｃｏｍ）之間的電壓差（｜ＶＨ－Ｖｃｏｍ｜）等於介於負極灰度電壓（ＶＬ）與共同電極（ＩＴＯ２）的電位（Ｖｃｏｍ）之間的電壓差（｜ＶＬ－Ｖｃｏｍ｜）時，但是於許多狀況下，有發生一差異於正極灰度電壓（ＶＨ）與負極灰度電壓（ＶＬ）之間，因爲關於被供應橫越它之一電壓之極性的液晶層之不對稱特性，或閘極驅動器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（74）

１４０中之不想要的耦合，而因此，此實施例是有利的。

實施例6

如上所述，一種較高解析度之液晶板被需求於一液晶顯示裝置中。

對於此種較高解析度的液晶板，其顯示控制電路１１０，汲極驅動器１３０及閘極驅動器１４０必須執行高速操作，尤其，從顯示控制電路１１０輸出至汲極驅動器１３０之時鐘（ＣＬ２）及顯示資料之操作頻率經歷了高速操作之可觀的影響。

例如，於一種ＸＧＡ顯示模式之具有１０２４×７６８像素的液晶顯示板中，時鐘（ＣＬ２）頻率爲６５ＭＨｚ而顯示資料頻率爲３２．５ＭＨｚ（６５ＭＨｚ之一半）。

因此，例如，於ＸＧＡ顯示模式之例中，在本實施例之液晶顯示模組中，介於顯示控制電路１１０與汲極驅動器１３０之間的時鐘（ＣＬ２）頻率爲３２．５ＭＨｚ（６５ＭＨｚ之一半），而顯示資料被鎖定於汲極驅動器１３０中之時鐘ＣＬ２的正向傳輸及負向傳輸上。

圖４９爲一方塊圖以解釋依據實施例6之汲極驅動器１３０的結構，而著重於一輸出電路之結構。

圖４９之結構相應於圖6之結構，但是與圖6有些許不同，且偏移記錄器電路（由圖6中之數字１５６所表示）被省略。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（75）

依據此實施例之驅動器１３０的解釋將被提供，而著重於與實施例１之差異。

如圖４９中所顯示，一事先鎖定電路１６０被安裝於依據本實施例之驅動器１３０中。

圖５０爲一圖形以顯示圖４９中所顯示之事先鎖定電路１６０的一個斷面。

如圖５０中所顯示，其傳送自顯示控制電路１１０之一顯示資料被時鐘ＣＬ２之正向傳輸上之一交互接續式電路（Ｆ３１）鎖定，接著被時鐘ＣＬ２之負向傳輸上之一交互接續式電路（Ｆ３２）鎖定，且被輸出至一開關部分（３）２６６。

此外，另一接續的顯示資料被時鐘ＣＬ２之負向傳輸上之一交互接續式電路（Ｆ３３）鎖定，接著被時鐘ＣＬ２之正向傳輸上之一交互接續式電路（Ｆ３４）鎖定，且被輸出至開關電路（３）２６６。

由事先鎖定電路１６０鎖定之顯示資料被開關部分（３）所選擇，且被交替地輸出至顯示資料之匯流排線１６１ａ與匯流排線１６１ｂ。

匯流排線（１６１ａ，１６１ｂ）之兩條路徑上的顯示資料被輸入至資料鎖定部分２６５，根據來自偏移記錄器１５３之資料輸入的一個控制信號。

於此例中，２像素之資料（六條汲極信號線（Ｄ）之資料）被輸入至資料鎖定部分２６５於同一時刻。

依據顯示資料之一灰度電壓從汲極驅動器１３０之放

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（76）

大器對２６３被輸出至每條汲極信號線（Ｄ），根據鎖定於資料鎖定部分２６５上之顯示資料。

其操作與實施例１相同，而因此其解釋將被省略。

圖５１爲一圖形以解釋圖４９中所顯示之匯流排線（１６１ａ，１６１ｂ）上的顯示資料及時鐘（Ｃ２）之操作頻率。

一解釋將被提供於一範例，其中資料之一片斷之顯示資料的頻率爲６０ＭＨｚ（資料之兩片斷爲３０ＭＨｚ），而圖５１中之時鐘（ＣＬ２）的頻率爲３０ＭＨｚ。

如圖５０及５１中所顯示，於６０ＭＨｚ之頻率傳送且顯示控制電路１１０的顯示資料，被鎖定以一對交互接續式電路（Ｆ３１）與（Ｆ３２）及一對交互接續式電路（Ｆ３３）與（Ｆ３４）且被傳送至匯流排線（１６１ａ，１６１ｂ），而因此，匯流排線（１６１ａ，１６１ｂ）上之顯示資料的頻率爲３０ＭＨｚ於資料之一片斷（１５ＭＨｚ於資料之二片斷）。

圖５２爲一方塊圖以解釋汲極驅動器之結構，而著重於一輸出電路，當顯示資料被鎖定於時鐘ＣＬ２之正向傳輸與負向傳輸上且當只有匯流排線１６１之一條路徑被安裝於汲極驅動器中時。

圖５３爲一圖形以解釋圖５２中所顯示之匯流排線１６１上的顯示資料及時鐘（ＣＬ２）之操作頻率。

如從圖５３所得知，當汲極驅動器中只有匯流排線１６１之一條路徑時，則匯流排線１６１之一條路徑上的

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（77）

顯示資料頻率變爲６０ＭＨｚ，其與傳送自顯示控制電路１１０之顯示資料的頻率是相同的。

圖５４顯示圖５２所顯示之汲極驅動器的半導體積體電路中之匯流排線１６１的佈局圖。

如圖５４中所顯示，匯流排線１６１於長向上被形成至構成汲極驅動器之半導體積體電路的兩端上，而因此，離開事先鎖定電路１６０愈遙遠，則延遲時間愈被增加。

因此，當匯流排線１６１之一條路徑上的顯示資料頻率與傳送自顯示控制電路１１０之顯示資料頻率相同時（例如，６０ＭＨｚ），則鎖定顯示資料之一時序邊限被減少於遠離事先鎖定電路１６０之終端上。

然而，依據此實施例，匯流排線（１６１ａ，１６１ｂ）之兩條路徑被安裝，故匯流排線（１６１ａ，１６１ｂ）之兩條路徑上的顯示資料頻率可被變爲傳送自顯示控制電路１１０之頻率（例如，６０ＭＨｚ）的一半（例如，３０ＭＨｚ），而因此，與圖５２中所顯示之汲極驅動器的範例比較之下，於遠離事先鎖定電路１６０之終端上的鎖定顯示資料範例中之時序邊限可變爲兩倍。

因此，依據此實施例，汲極驅動器１３０之高速作可被達成。

此外，圖５２中所顯示之汲極驅動器需要偏移記錄器１５３之一交互接續式電路於每三條汲極驅動器（Ｄ）（例如，８６當汲極信號線（Ｄ）之總數爲２５８時）。

然而，於此實施例之汲極驅動器１３０中，兩個像素

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（78）

之資料（六條汲極信號線（D）之資料）被一次輸入至資料鎖定部分265，而因此，偏移記錄器153之一交互接續式電路可被安裝於每六條汲極信號線（D）（例如，43當汲極信號線（D）之總數爲258時），而偏移記錄器153之交互接續式電路的數目可被變爲那些圖52中所顯示之汲極驅動器130中之數目的一半。

此外，於此實施例之汲極驅動器130中，來自事先鎖定電路160之顯示資料被交替地輸出至匯流排線（161a，161b）之兩條路徑的每條，藉使用開關部分（3）266，而因此，圖52中所顯示之開關部分（1）262是不需要的。

一開關部分（1）262被需求於每六條汲極信號線（D）（例如，43當汲極信號線（D）之總數爲258時）。

然而，汲極驅動器130之開關部分（3）266的數目是不多於顯示資料之位元數目（於圖49中，18因顯示資料是六位元的）。

以此方式，於本實施例之汲極驅動器130中，與圖52中所顯示之汲極驅動器比較下，其偏移記錄器153與開關部分之交互接續式電路的數目可被相當地減少，而汲極驅動器130之內部結構的組成可被簡化。

雖然，於上述之個別實施例中，已解釋本發明被應用至一種垂直場型液晶顯示板之實施例，但本發明並不限定於此，而本發明亦可被應用至水平場型液晶顯示板，其中

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（79）

一電場被施加在平行於其液晶層之方向上，且其一般被稱爲平面中轉換型液晶顯示板，如圖49中所顯示。

圖55爲一圖形以顯示平面中轉換型液晶顯示板之一等效電路。

於圖2或圖3所顯示之一種垂直場型液晶顯示板中，其共同電極（ITO2）被配置於一色彩過濾器基底上，但於平面中轉換型之液晶顯示板中，一TFT基底被提供以一計數器電極（CT）及計數器電極（CL）之信號線以施加一驅動電壓（VCOM）至計數器電極（CT）。

因此，液晶層之電容（Cpix）被相等地連接於一像素電極（PX）與計數器電極（CT）之間。此外，維持電容（Cstg）亦被形成於像素電極（PX）與計數器電極（CT）之間。

此外，雖然，於上述之實施例中，雖已解釋點轉換驅動方法被使用之實施例，但本發明不被限定於此，而本發明可被應用至一共同電極電壓轉換驅動方法，其反轉被供應至接續線上或接續畫面上之共同電極（ITO2）與像素電極（ITO1）之兩個驅動電壓的特性。

雖然一特定之解釋已被提供於由本發明者根據發明實施例所執行之本發明，但是本發明不被限定於以上所解釋之發明的實施例，而不同的改變及修改可被執行於那些實施例卻不會背離本發明之真正精神與範圍。

由本發明之個別實施例所提供之優點可被概述如下：

（1）藉由避免因視訊信號線驅動器電路之放大器電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（80）

路中之補償電壓而引發黑或白色虛假信號垂直線出現於顯示影像中來改進顯示品質；

（２）減少由視訊信號線驅動器電路之一晶片中的位準偏移電路所佔據之區域，藉使用位準偏移電路中之低源極－汲極電壓額定值電晶體，相較於使用較高源極－汲極電壓額定值電晶體之例；

（３）減小液晶顯示板之邊緣區域，藉由上述視訊信號線驅動器電路之晶片尺寸的減小來減少成本並增進可靠性；以及

（４）於視訊信號線驅動器電路之半導體ＩＣ中之鎖定顯示資料中之足夠的時序邊限，即使當顯示資料之顯示資料鎖定時鐘頻率及操作頻率被增加時。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要（發明之名稱：液晶顯示裝置）

一種液晶顯示裝置包含經由視訊信號線而被供應以視訊信號電壓之多數像素，以及用以供應視訊信號電壓至視訊信號線之一視訊信號線驅動器電路。該視訊信號線驅動器電路包含各具有一對第一輸入終端與第二輸入終端之多數差動放大器，其放大輸入之視訊信號且供應放大之視訊信號至視訊信號線，以及多數對之反相輸入終端與非反相輸入終端，其各對相應於每個差動放大器。該差動放大器各具有一轉換電路來轉換介於第一狀態與第二狀態之間以一特定週期，該第一狀態爲一種狀態，其中第一輸入終端被耦合至反相輸入終端而第二輸入終端被耦合至非反相輸入終端，並且該第二狀態爲一種狀態，其中第一輸入終端被耦合至非反相輸入終端而第二輸入終端被耦合至反相輸入終端。

英文發明摘要（發明之名稱：Liquid crystal display device）

A liquid crystal display device includes plural pixels supplied with video signal voltages via video signal lines, and a video signal line driver circuit for supplying the video signals voltage to the video signal lines. The video signal line driver circuit includes plural differential amplifiers each having a pair of a first input terminal and a second input terminal and amplifying inputted video signals and supplying the amplified video signal to the video signal lines, a plurality of pairs of an inverting input terminal and a noninverting input terminal each pair corresponding to each of the differential amplifiers. The differential amplifiers each have a switching circuit for switching between a first state and a second state with a specified period, the first state being a state where the first input terminal is coupled to the inverting input terminal and the second input terminal is coupled to the noninverting input terminal, and the second state being a state where the first input terminal is coupled to the noninverting input terminal and the second input terminal is coupled to the inverting input terminal.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1．一種液晶顯示裝置，包括具有多數像素之液晶顯示元件，每個被採用而供應以依據一顯示資料之一視訊信號電壓，經由多數視訊信號線之相應的一條，及一視訊信號線驅動器電路以供應該信號線電壓制每條該多數視訊信號線，

該視訊信號線驅動器電路包含：

多數差動放大器，每個具有一第一輸入終端與第二輸入終端並放大其所被輸入至一視訊信號，且供應該放大之視訊信號至該多數視訊信號線之相應的一條；

多數對之反相輸入終端及非反相輸入終端，每對均相應於每個該多數差動放大器，

該多數差動放大器各具有一轉換電路以轉換介於第一狀態與第二狀態之間，

該第一狀態爲一種狀態，其中該第一輸入終端被耦合至該反相輸入終端且該第二輸入終端被耦合至該非反相輸入終端，而該第二狀態爲一種狀態，其中該第一輸入終端被耦合至該非反相輸入終端且該第二輸入終端被耦合至該反相輸入終端；以及

一轉換控制電路以提供一轉換控制信號至該轉換電路以致其介於第一狀態與第二狀態之間的轉換被執行以一特定之周期。

2．如申請專利範圍第1項之一種液晶顯示裝置，其中該第一狀態爲一種狀態，其中該視訊信號被輸入至該第二輸入終端且該放大之視訊信號被回饋至該第一輸入終端

（請先閱讀背面之注意事項再填寫本頁）
訂
長
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

，而該第二狀態爲一種狀態，其中該視訊信號被輸入至該第一輸入終端且該放大之視訊信號被回饋至該第二輸入終端。

3．如申請專利範圍第1項之一種液晶顯示裝置，其中每個該多數差動放大器包括一對輸入級三終端電晶體，一輸出級電晶體，及一對活性負載形成電晶體；

該對輸入級三終端電晶體之第一電極被耦合至一電流源，

該對輸入級三終端電晶體之一的一個控制電極被耦合至該第一輸入終端，

該對輸入級三終端電晶體之另一個的一個控制電極被耦合至該第二輸入終端，

該第一輸入終端經由一第一轉換元件而被耦合至該非反相輸入終端且經由一第二轉換元件而被耦合至該反相輸入終端，

該第二輸入終端經由一第三轉換元件而被耦合至該反相輸入終端且經由一第四轉換元件而被耦合至該非反相輸入終端，

該輸出級電晶體之一控制電極經由一第五轉換元件而被耦合至該對輸入級三終端電晶體之另一個的一個第二電極，且經由一第六轉換元件而被耦合至該對輸入級三終端電晶體之該一個的一個第二電極，

該對活性負載形成電晶體控制電極之經由一第七轉換元件而被耦合至該對輸入級三終端電晶體之該一個的該第

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

二電極，且經由一第八轉換元件而被耦合至該對輸入級三終端電晶體之該另一個的該第二電極；以及

第一群之該第一，第三，第六及第八開關與第二群之該第二，第四，第五及第七開關被交替地打開，根據該轉換控制信號。

4．如申請專利範圍第1項之一種液晶顯示裝置，其中介於該第一狀態與該第二狀態之間的該轉換被執行以該液晶顯示裝置之一畫面週期的倍數。

5．如申請專利範圍第1項之一種液晶顯示裝置，其中介於該第一狀態與該第二狀態之間的該轉換被執行於該液晶顯示裝置之一水平顯示線週期的倍數之間隔。

6．如申請專利範圍第1項之一種液晶顯示裝置，其中介於該第一狀態與該第二狀態之間的該轉換被執行於該液晶顯示裝置之一水平顯示線週期的倍數與一畫面週期的倍數之間隔。

7．如申請專利範圍第2項之一種液晶顯示裝置，其中介於該第一狀態與該第二狀態之間的該轉換被執行以該液晶顯示裝置之一畫面週期的倍數。

8．一種液晶顯示裝置包括多數像素，每個被採用以被供應以一視訊信號，及多數視訊信號驅動器電路以放大其所被輸入至之一資料並供應其一輸出電壓至每個該多數像素爲該視訊信號電壓，

該視訊信號線驅動器電路各包含：

一第一輸入終端及一第二輸入終端，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

一輸出終端，

一第一連接以從該輸出終端饋送一輸出電壓至該第一輸入終端成爲一參考電壓，

一第二連接以饋送該輸出電壓至該第二輸入終端成爲一參考電壓，以及

一轉換電路以轉換於該第一與第二連接之間。

9．如申請專利範圍第8項之一種液晶顯示裝置，其中該一第一連接包含一第一轉換元件以轉換於該第一輸入終端與該輸出終端之間，而該第二連接包含一第二轉換元件以轉換於該第二輸入終端與該輸出終端之間。

10．如申請專利範圍第8項之一種液晶顯示裝置，其中該轉換電路轉換於一第一狀態與一第二狀態之間，該第一狀態爲一種狀態，其中該輸出電壓被饋送至該第一輸入終端成爲一參考電壓且被供應至該多數像素之一個，而該第二狀態爲一種狀態，其中該輸出電壓被饋送至該第二輸入終端成爲一參考電壓且被供應至該多數像素之該一個。

11．一種液晶顯示裝置包括多數像素，每個被採用以被供應以一視訊信號，及多數視訊信號線驅動器電路以放大其所被輸入至之一資料並供應其一輸出電壓至每個該多數像素爲該視訊信號電壓。

該多數視訊信號線驅動器電路各包含一轉換電路以轉換介於一第一狀態與一第二狀態之間，

該第一狀態爲一種狀態，其中被供應至該多數像素之

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

一的該視訊信號含有產生於該視訊信號驅動器電路中之一第一補償電壓，而該第二狀態爲一種狀態，其中被供應至該多數像素之該一個的該視訊信號含有產生於該視訊信號線驅動器電路中之一第二補償電壓。

１２．如申請專利範圍第１１項之一種液晶顯示裝置，其中該多數視訊信號線驅動器電路各進一步包括一輸入終端以接收該轉換中之開始信號。

１３．如申請專利範圍第１１項之一種液晶顯示裝置，其中該多數視訊信號線驅動器電路輸出相應於其所被輸入至之該資料之一灰度電壓，而該第一與第二狀態中之該視訊信號爲該灰度電壓。

１４．一種液晶顯示裝置包括多數像素，每個被採用以被供應以一視訊信號，及多數視訊信號驅動器電路以放大其所被輸入之一資料並供應其一輸出電壓至每個該多數像素爲該視訊信號電壓；

該多數視訊信號線驅動器電路各包含

一對第一放大器電路與第二放大器電路以供應該視訊信號至該多數像素之一，

該第一放大器電路具有一第一輸出終端，一第一輸入終端及一第二輸入終端，

該第二放大器電路具有一第二輸出終端，一第三輸入終端及一第四輸入終端，

一第一連接可以轉換介於用以從該第一輸出終端饋送該輸出電壓至該第一輸入終端成爲一參考電壓的一個連接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

與用以從該第一輸出終端饋送該輸出電壓至該第二輸入終端成爲一參考電壓的一個連接之間，以及

一第二連接可以轉換介於用以從該第二輸出終端饋送該輸出電壓至該第三輸入終端成爲一參考電壓的一個連接與用以從該第二輸出終端饋送該輸出電壓至該第四輸入終端成爲一參考電壓的一個連接之間。

15．如申請專利範圍第14項之一種液晶顯示裝置，其中該液晶顯示裝置進一步包括一第一電壓產生電路以供應其一輸出電壓至該第一放大器電路，及一第二電壓產生電路以供應其一輸出電壓至該第二放大器電路。

16．如申請專利範圍第14項之一種液晶顯示裝置，其中該液晶顯示裝置進一步包括一第一電壓產生電路，一第二電壓產生電路，一第一轉換電路以選擇性地供應該第一電壓產生電路之一輸出電壓至該第一與第二輸入終端之一，及一第二轉換電路以選擇性地供應該第二電壓產生電路之一輸出電壓至該第三與第四輸入終端之一。

17．如申請專利範圍第14項之一種液晶顯示裝置，其中該液晶顯示裝置進一步包括一第一電壓產生電路，一第二電壓產生電路，一第一轉換元件以轉換於該第一電壓產生電路與該第一輸入終端之間及一第二轉換元件以轉換於該第一電壓產生電路與該第二輸入終端之間，以致其來自該第一電壓產生電路之一輸入電壓被選擇性地輸入至該第一與第二輸入終端之一，

一第三轉換元件以轉換於該第二電壓產生電路與該第

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

三輸入終端之間及一第四轉換元件以轉換於該第二電壓產生電路與該第四輸入終端之間，以致其來自該第二電壓產生電路之一輸出電壓被選擇性地輸入至該第三與第四輸入終端之一。

18．如申請專利範圍第14項之一種液晶顯示裝置，其中該第一放大器供應含有一第一補償電壓之該視訊信號電壓至該多數像素之該一個，當來自該第一輸出終端之一輸出電壓被饋送至該第一輸入終端成爲一參考電壓時，該第一放大器供應含有一第二補償電壓之該視訊信號電壓至該多數像素之該一個，當來自該第一輸出終端之一輸出電壓被饋送至該第二輸入終端成爲一參考電壓時，該第二放大器供應含有一第三補償電壓之該視訊信號電壓至該多數像素之該一個，當來自該第二輸出終端之一輸出電壓被饋送至該第三輸入終端成爲一參考電壓時，該第二放大器供應含有一第四補償電壓之該視訊信號電壓至該多數像素之該一個，當來自該第二輸出終端之一輸出電壓被饋送至該第四輸入終端成爲一參考電壓時。

19．如申請專利範圍第14項之一種液晶顯示裝置，其中該液晶顯示裝置進一步包括一輸入終端給介於來自含有一第一補償電壓的該第一放大器電路的該視訊信號電壓與來自含有一第二補償電壓的該第一放大器電路的該視訊信號之間的轉換之一第一控制信號，以及一第二控制信號之一輸入終端以轉換介於來自含有一第三補償電壓的該第二放大器電路的該視訊信號電壓與來自含有一第四補償

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

電壓的該第二放大器電路的該視訊信號之間。

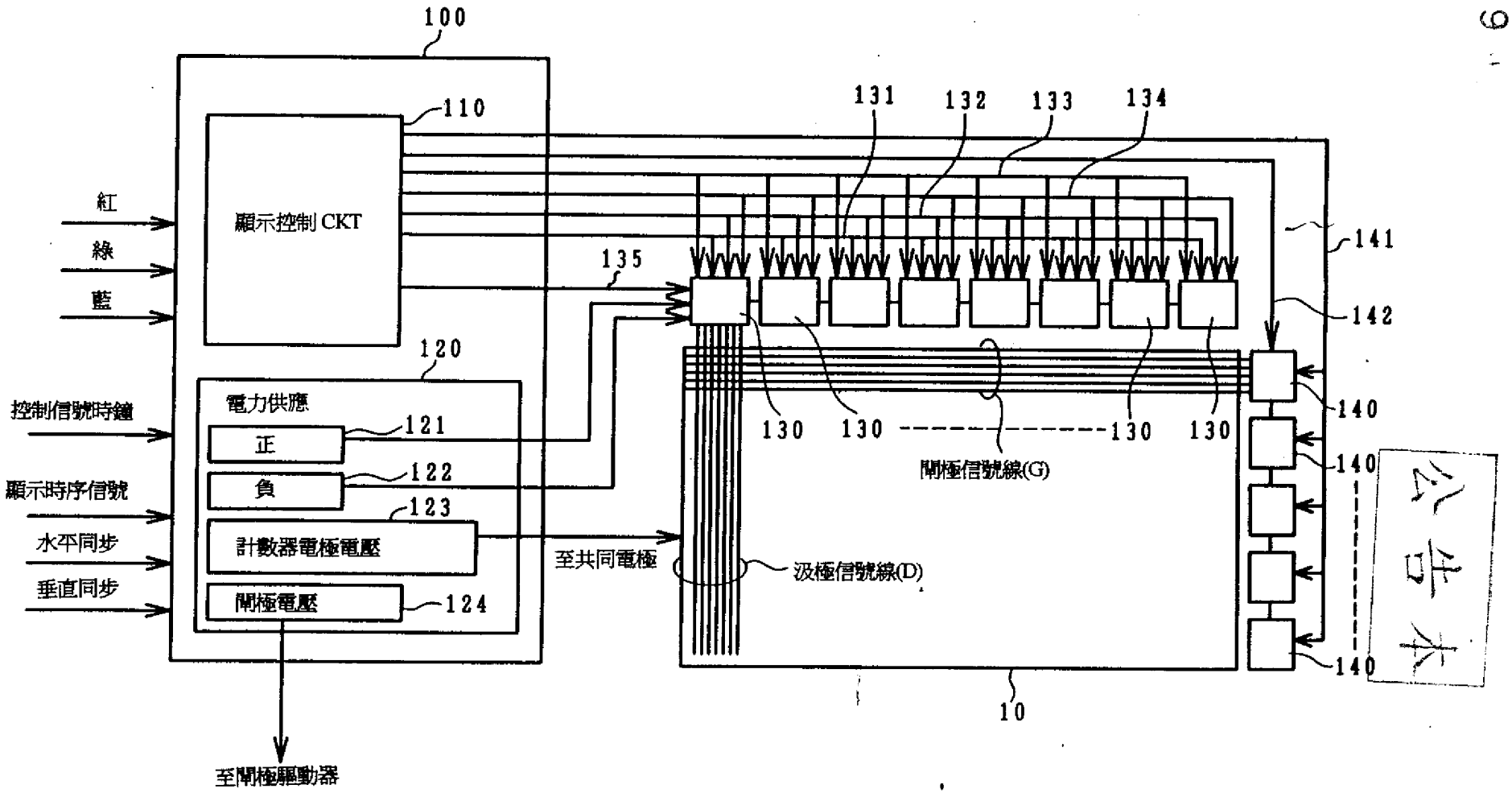
２０．如申請專利範圍第１４項之一種液晶顯示裝置，其中該液晶顯示裝置進一步包括一輸入終端給介於來自含有一第一補償電壓的該第一放大器電路的該視訊信號電壓與來自含有一第二補償電壓的該第一放大器電路的該視訊信號之間的轉換之一第一控制信號，並且用以轉換介於來自含有一第三補償電壓的該第二放大器電路的該視訊信號電壓與來自含有一第四補償電壓的該第二放大器電路的該視訊信號之間。

（請先閱讀背面之注意事項再填寫本頁）

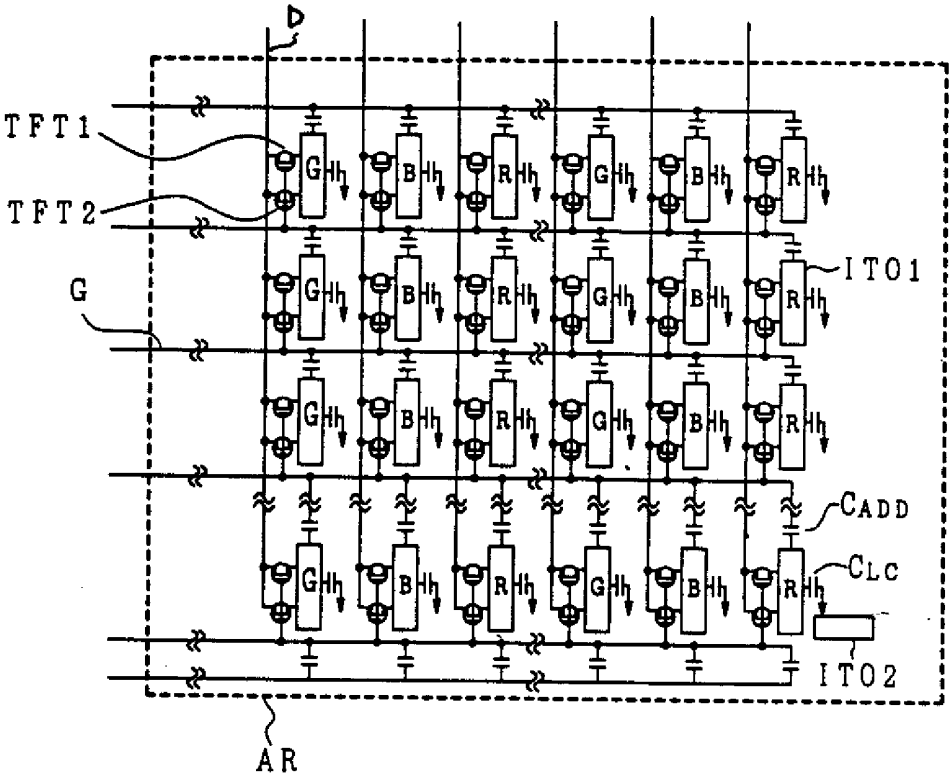
訂

經濟部智慧財產局員工消費合作社印製

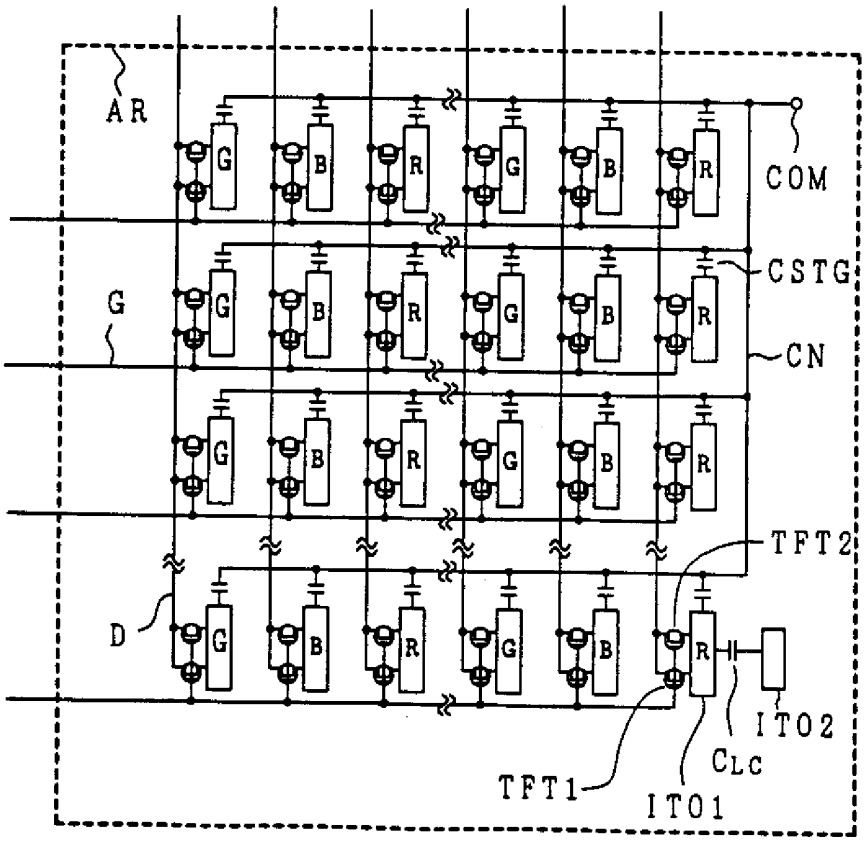
第 1 圖


100
110
顯示控制 CKT
紅
綠
藍
控制信號時鐘
顯示時序信號
水平同步
垂直同步
120
電力供應
121
正
122
負
123
計數器電極電壓
124
閘極電壓
至閘極驅動器
至共同電極
135
131
132
133
134
141
142
140
140
140
130
130
130
130
閘極信號線(G)
汲極信號線(D)
10

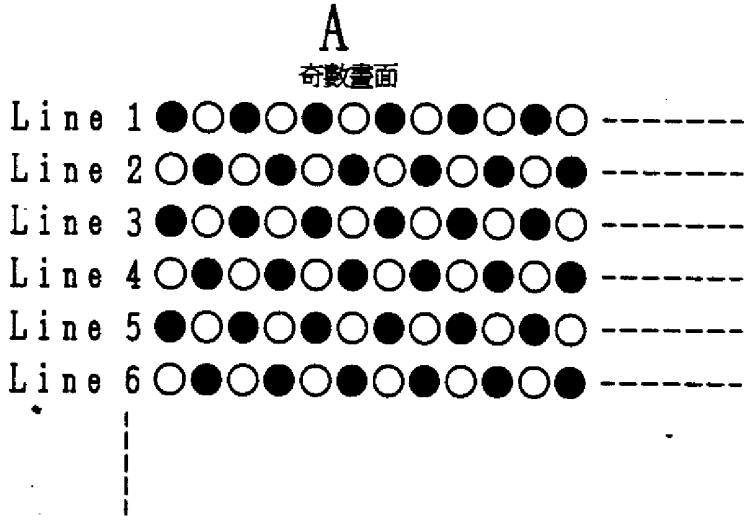
第 2 圖


D
TFT1
TFT2
G
ITO1
CADD
CLC
ITO2
AR

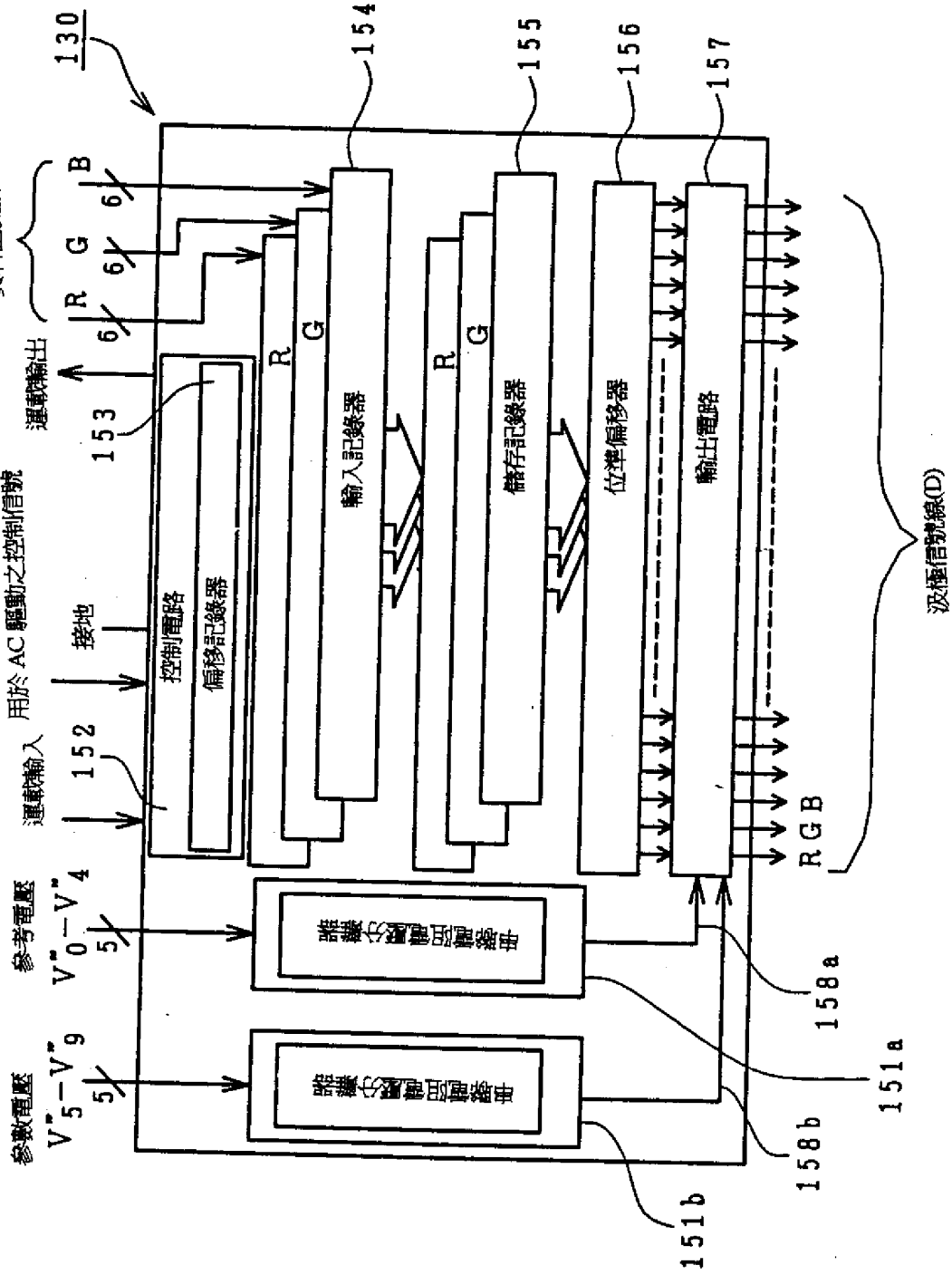
第 3 圖


AR
COM
G
CSTG
CN
TFT2
D
ITO2
CLC
TFT1
ITO1

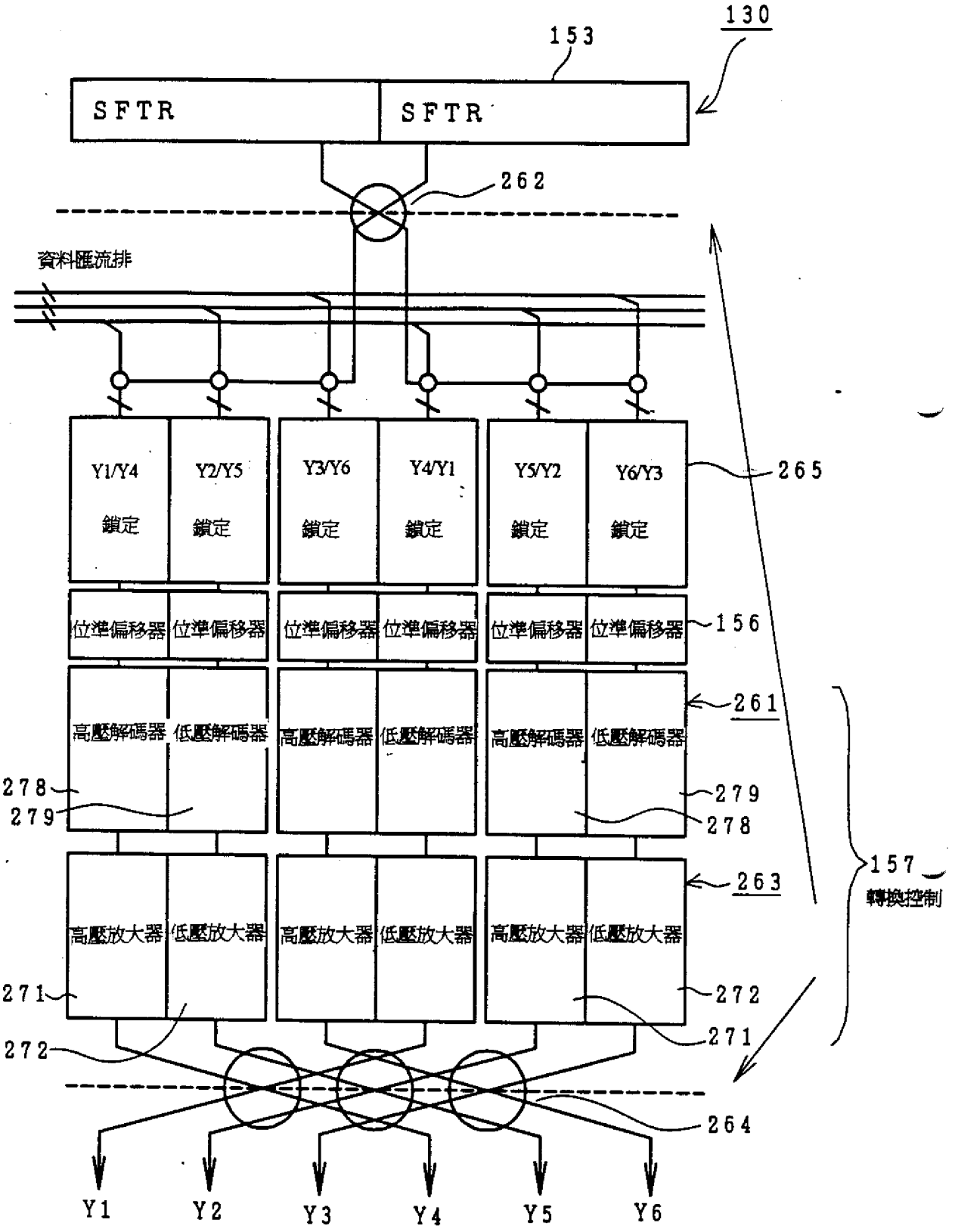
第 4 圖


A
奇數畫面
Line 1
Line 2
Line 3
Line 4
Line 5
Line 6
B
偶數畫面
Line 1
Line 2
Line 3
Line 4
Line 5
Line 6

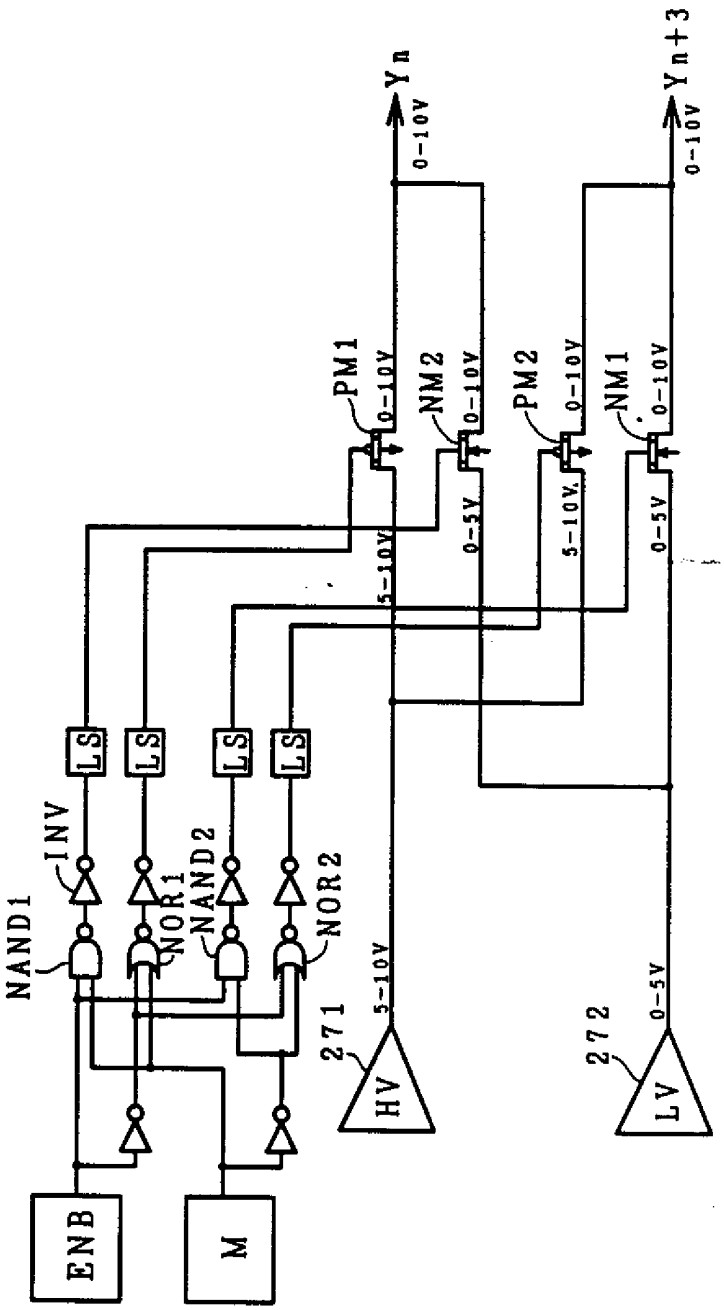
第5圖


130
154
155
156
157
資料匯流排
B
G
R
6
運載輸出
153
R
G
輸入記錄器
R
G
儲存記錄器
位準偏移器
輸出電路
控制電路
偏移記錄器
接地
用於 AC 驅動之控制信號
運載輸入
152
參考電壓
V"0−V"4
5
參數電壓
V"5−V"9
5
串聯電阻電壓分壓器
串聯電阻電壓分壓器
158a
151a
158b
151b
RGB
汲極信號線(D)

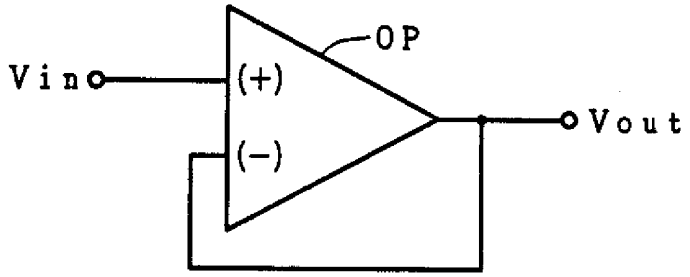
第 6 圖


130
153
SFTR
SFTR
262
資料匯流排
Y1/Y4 鎖定
Y2/Y5 鎖定
Y3/Y6 鎖定
Y4/Y1 鎖定
Y5/Y2 鎖定
Y6/Y3 鎖定
265
位準偏移器
156
高壓解碼器
低壓解碼器
261
278
279
263
高壓放大器
低壓放大器
271
272
157
轉換控制
264
Y1
Y2
Y3
Y4
Y5
Y6

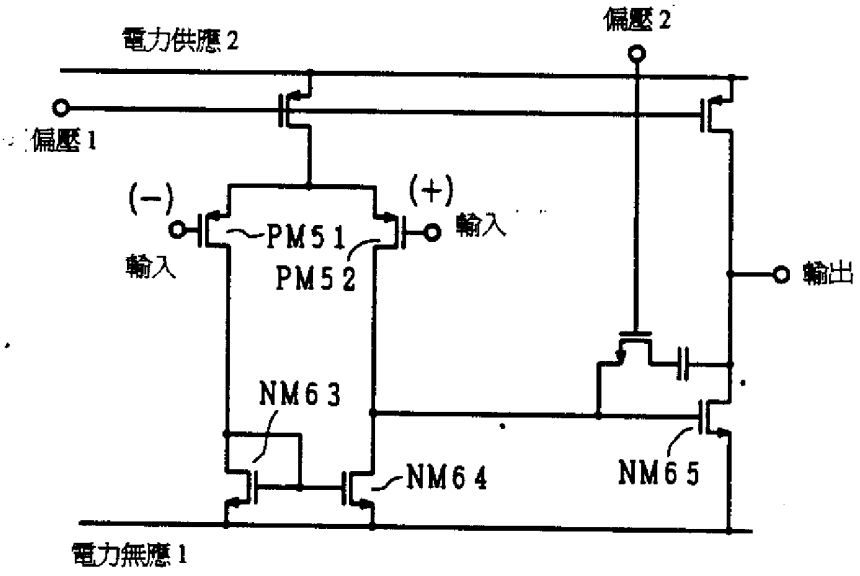
第7圖


ENB
M
NAND1
INV
NOR1
NAND2
NOR2
LS
LS
LS
LS
271
HV
272
LV
5-10V
0-5V
PM1
NM2
PM2
NM1
0-10V
0-5V
5-10V
Yn
Yn+3

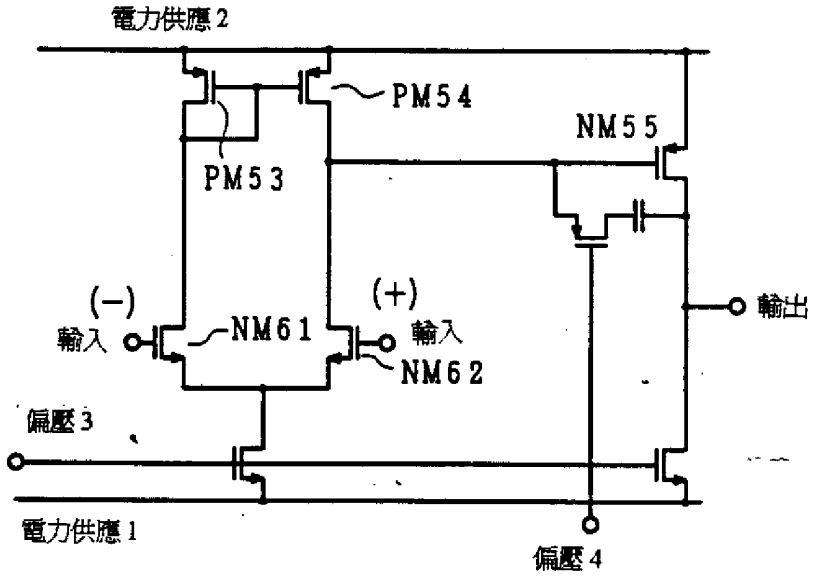
第 8 圖


OP
Vin
(+)
(−)
Vout

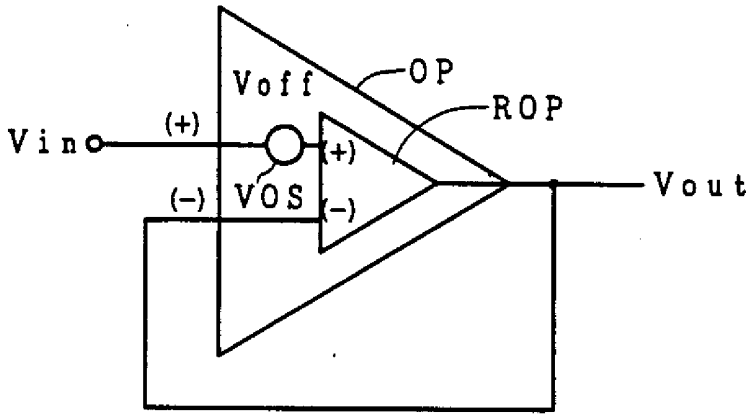
第 9 圖


電力供應 2
偏壓 2
偏壓 1
(−)
(+)
輸入
PM51
PM52
輸入
輸出
NM63
NM64
NM65
電力無應 1

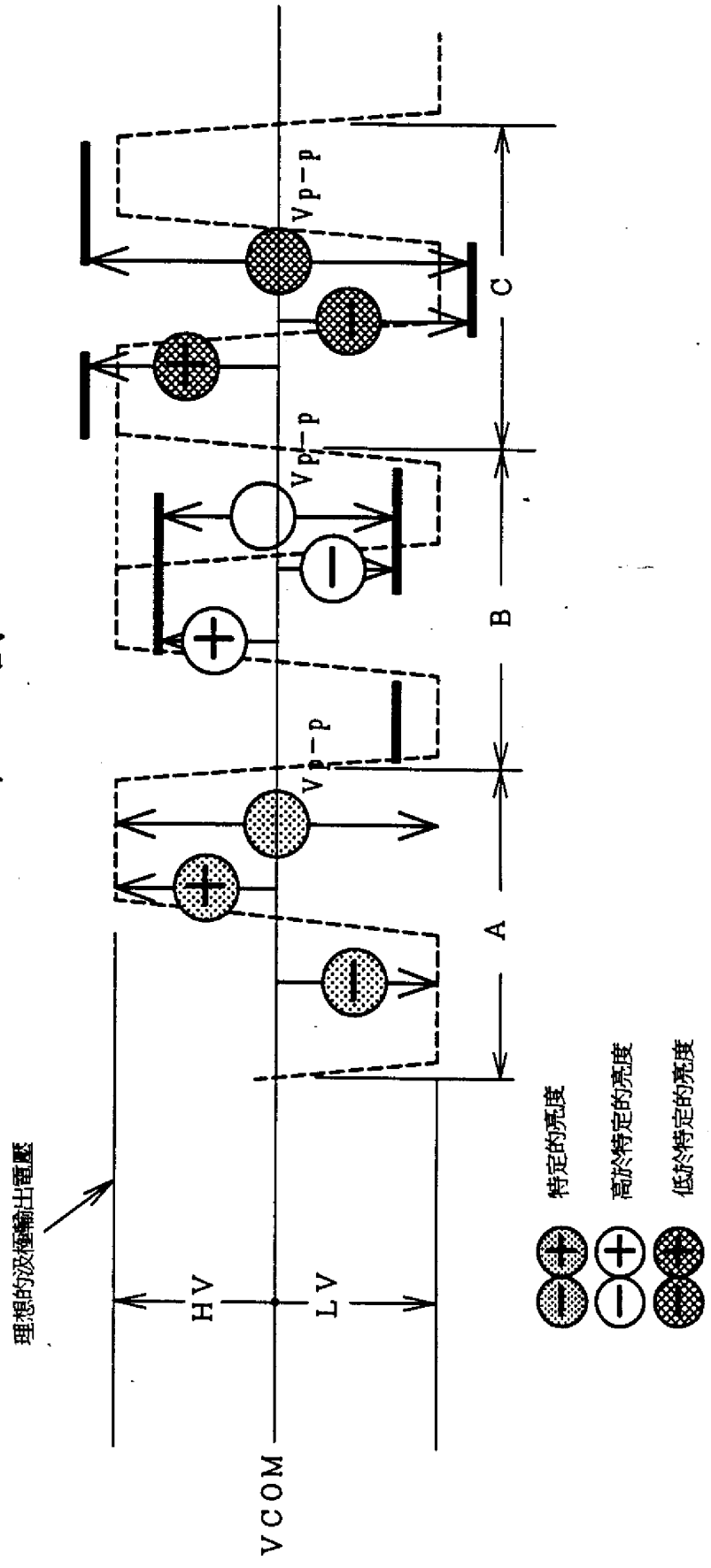
第 10 圖


電力供應 2
PM54
NM55
PM53
(−)
輸入
NM61
(+)
輸入
NM62
輸出
偏壓 3
電力供應 1
偏壓 4

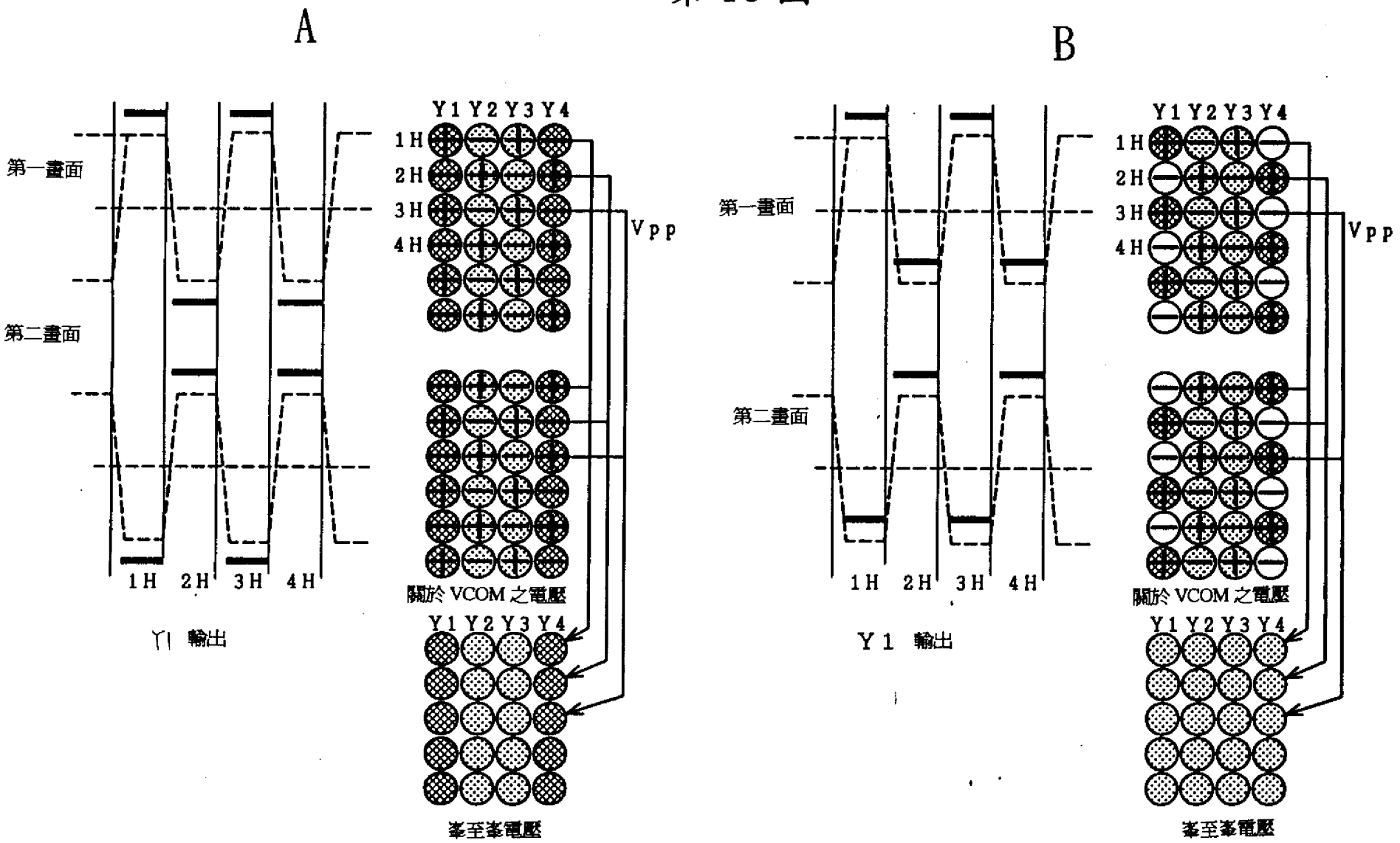
第 11 圖


Voff
OP
ROP
Vin
(+)
(+)
(−)
VOS
(−)
Vout

第 12 圖

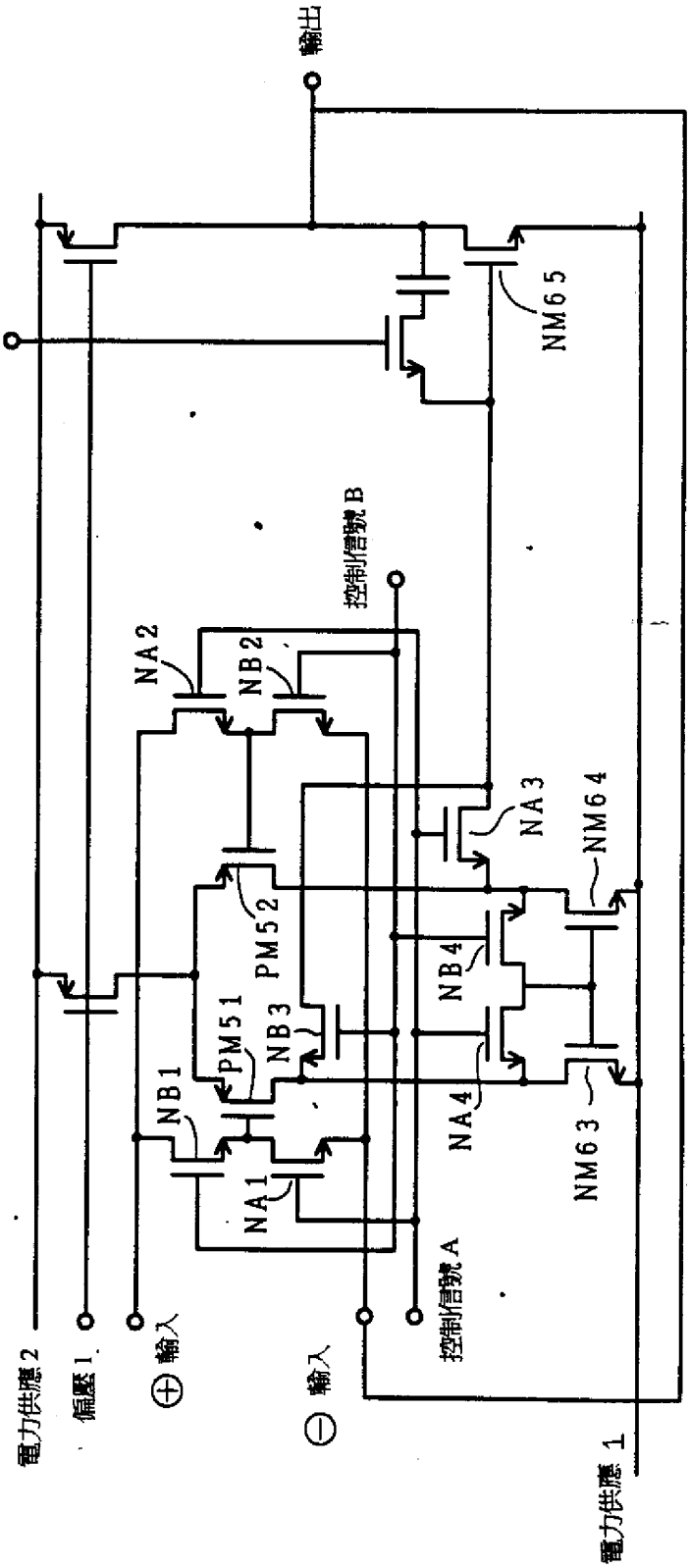


第 13 圖

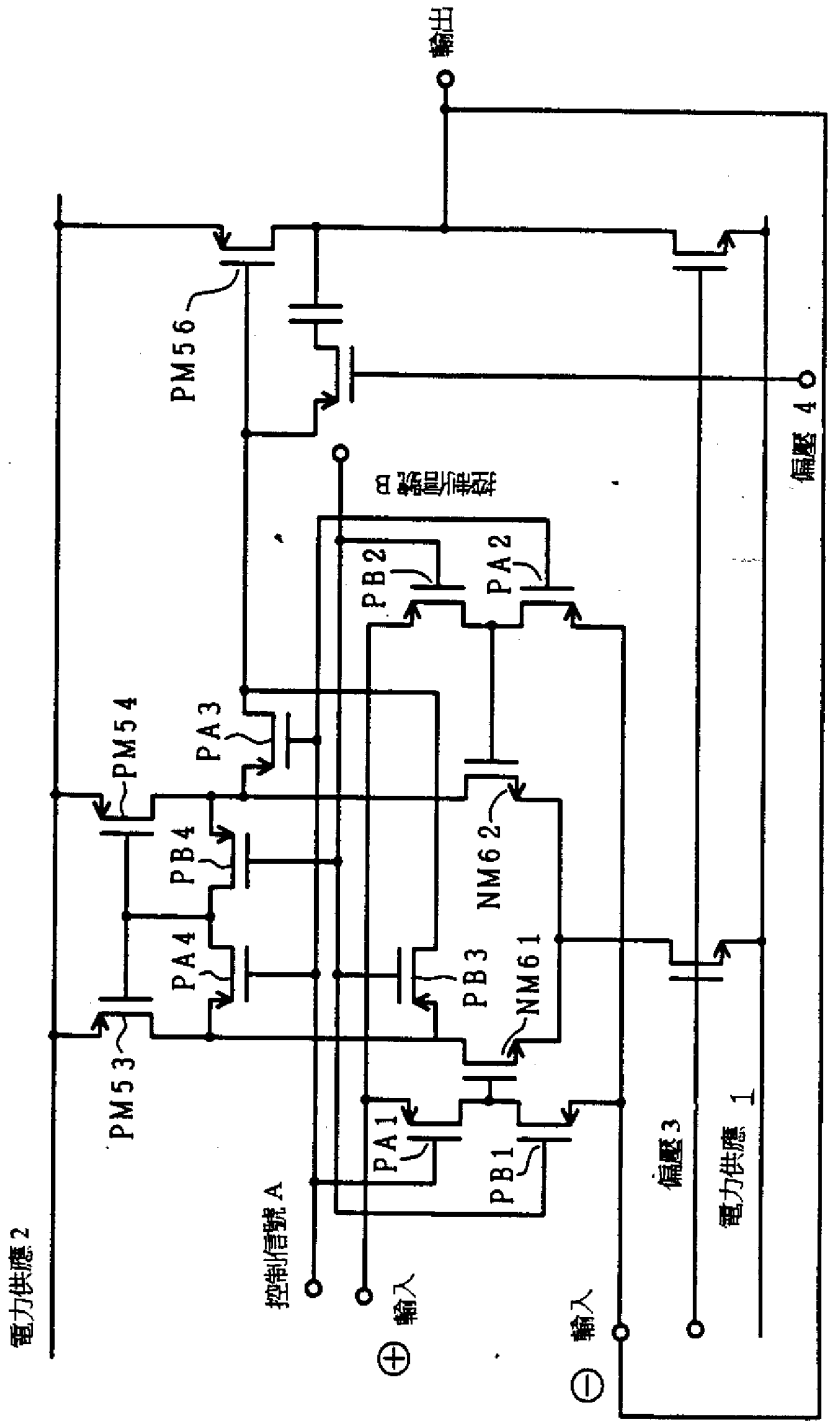

A
第一畫面
第二畫面
1H 2H 3H 4H
Y1 輸出
Y1 Y2 Y3 Y4
1H
2H
3H
4H
Vpp
關於 VCOM 之電壓
Y1 Y2 Y3 Y4
峯至峯電壓
B
第一畫面
第二畫面
1H 2H 3H 4H
Y1 輸出
Y1 Y2 Y3 Y4
1H
2H
3H
4H
Vpp
關於 VCOM 之電壓
Y1 Y2 Y3 Y4
峯至峯電壓

455391

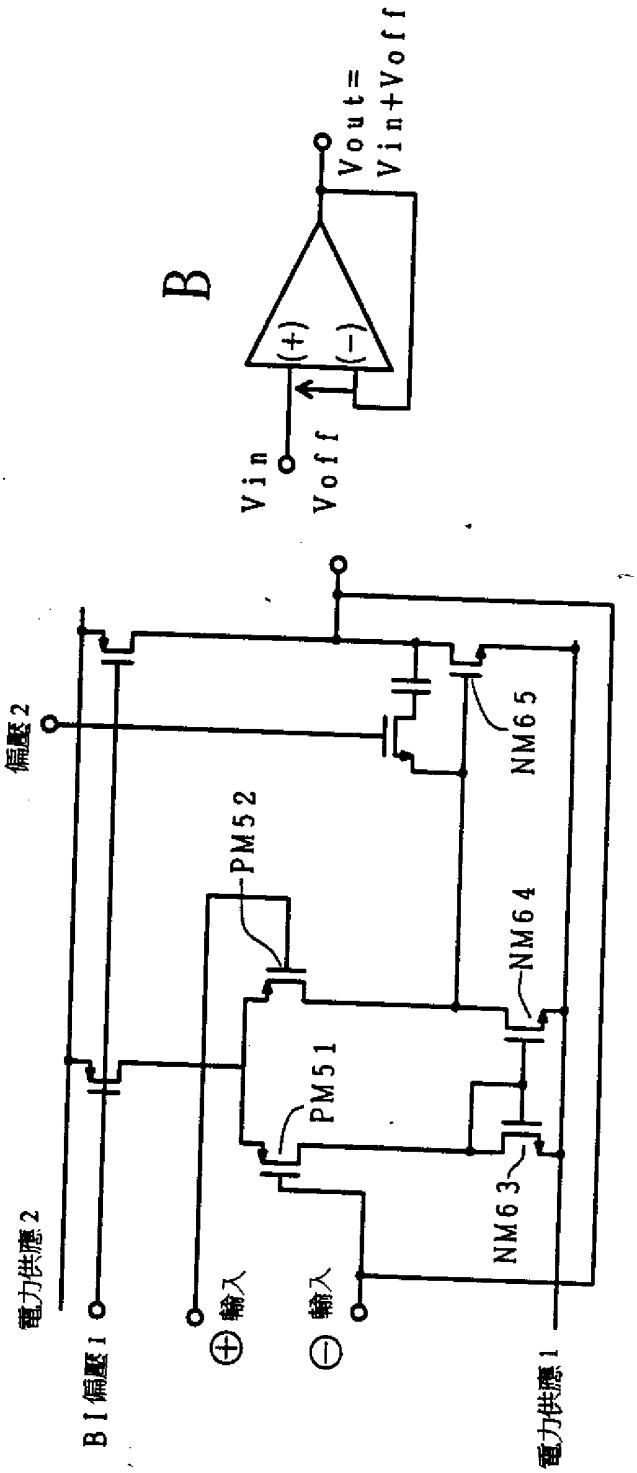
第 14 圖


輸出
偏壓 2
NM65
控制信號 B
NA2
NB2
NA3
NM64
PM52
NB4
PM51
NB3
NB1
NA4
NA1
NM63
電力供應 2
偏壓 1
⊕ 輸入
⊖ 輸入
控制信號 A
電力供應 1

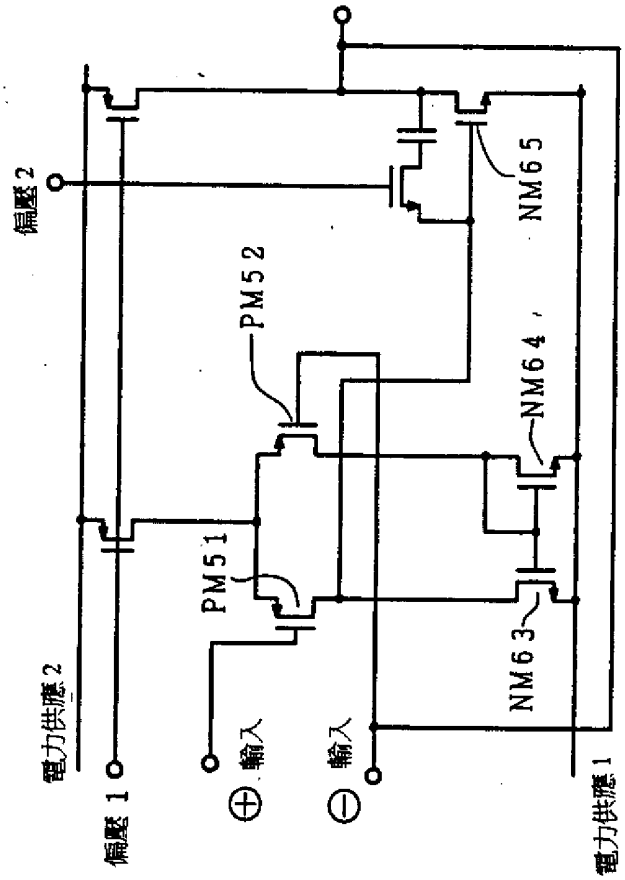
第 15 圖


輸出
PM56
偏壓 4
控制信號 B
PB2
PA2
PM54
PA3
PB4
NM62
PA4
PB3
NM61
PM53
PA1
PB1
偏壓 3
電力供應 1
電力供應 2
控制信號 A
⊕ 輸入
⊖ 輸入

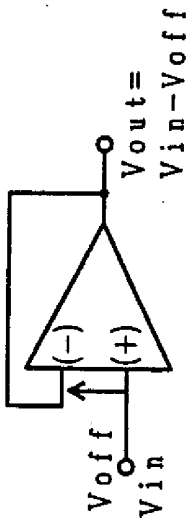
第 16 圖


B
Vout=
Vin+Voff
(+)
(-)
Vin
Voff
偏壓2
PM52
NM65
NM64
PM51
NM63
電力供應2
B I 偏壓1
⊕輸入
⊖輸入
電力供應1

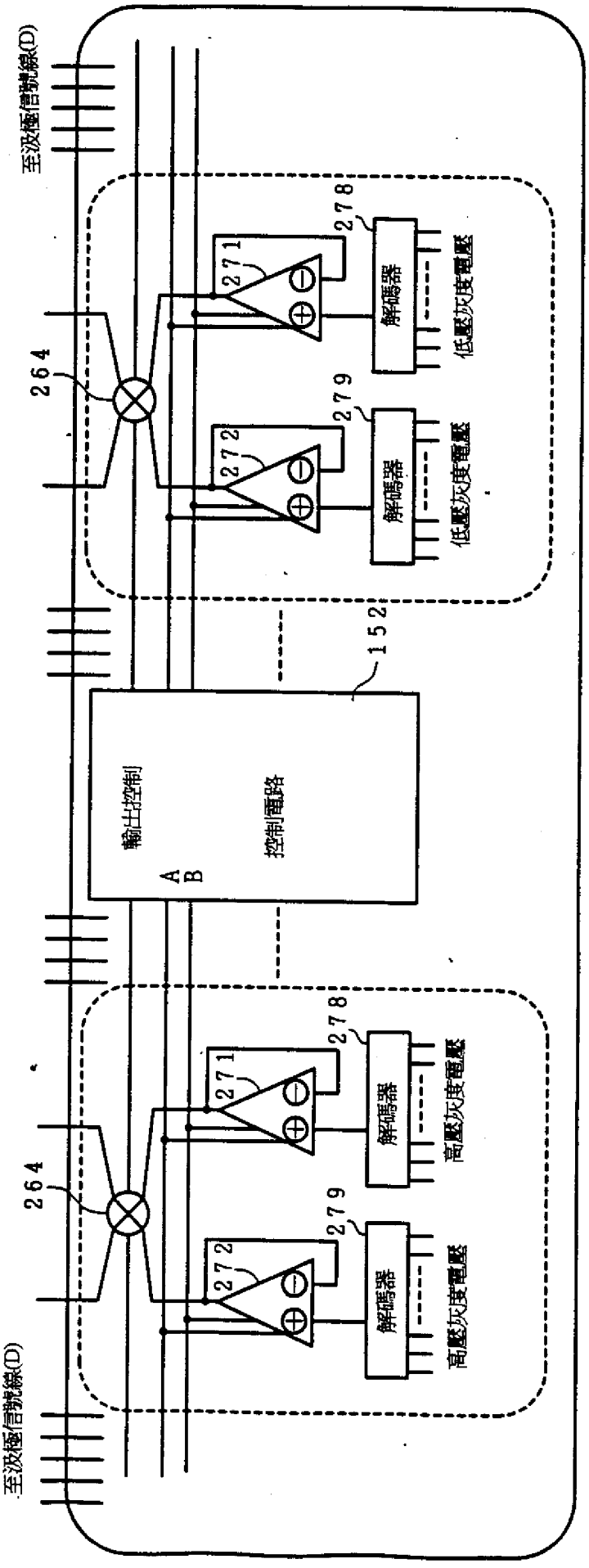
第17圖A


偏壓2
PM52
NM65
NM64
PM51
NM63
電力供應2
偏壓1
⊕ 輸入
⊖ 輸入
電力供應1

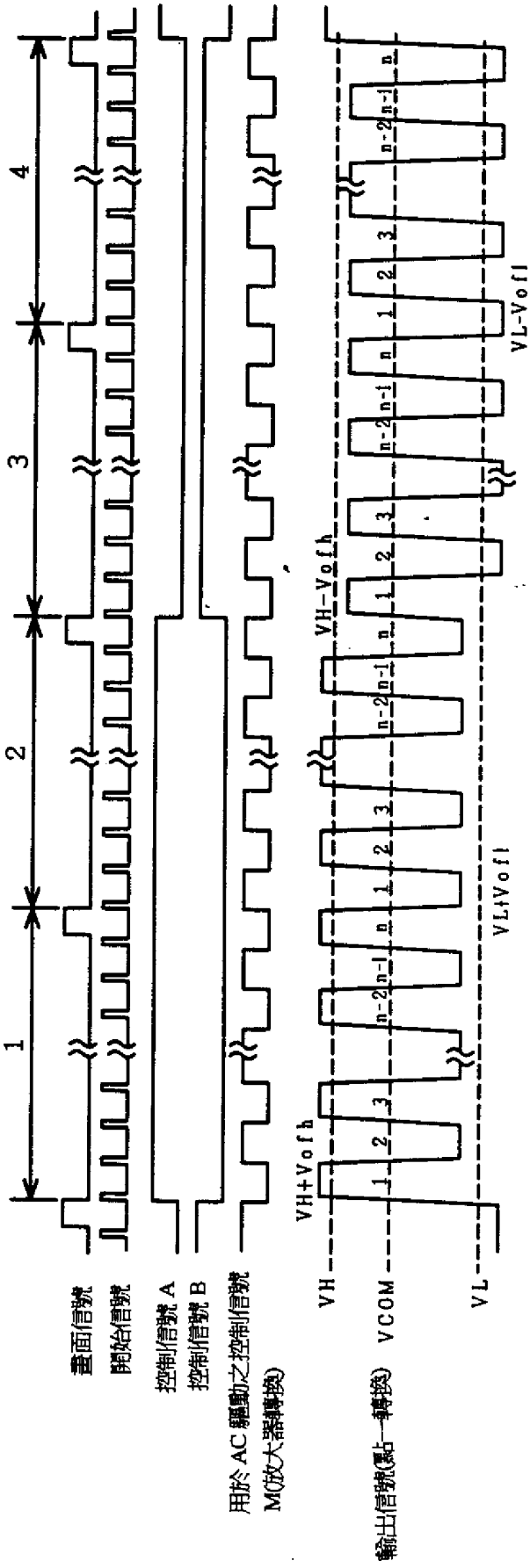
第17圖B


Vout=
Vin-Voff
(-)
(+)
Voff
Vin

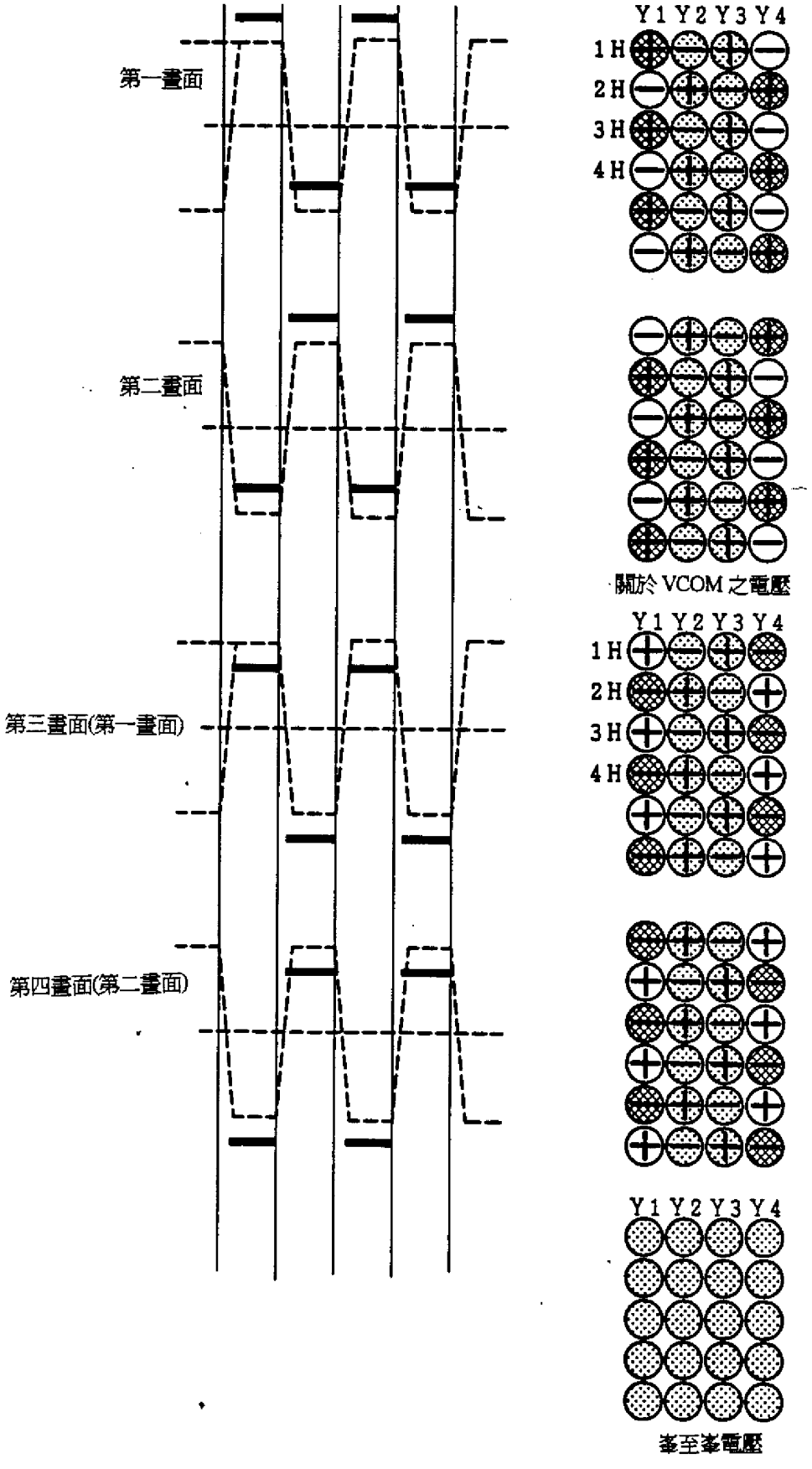
第 18 圖


至汲極信號線(D)
至汲極信號線(D)
264
264
271
272
278
279
解碼器
解碼器
低壓灰度電壓
低壓灰度電壓
高壓灰度電壓
高壓灰度電壓
152
輸出控制
控制電路
A
B

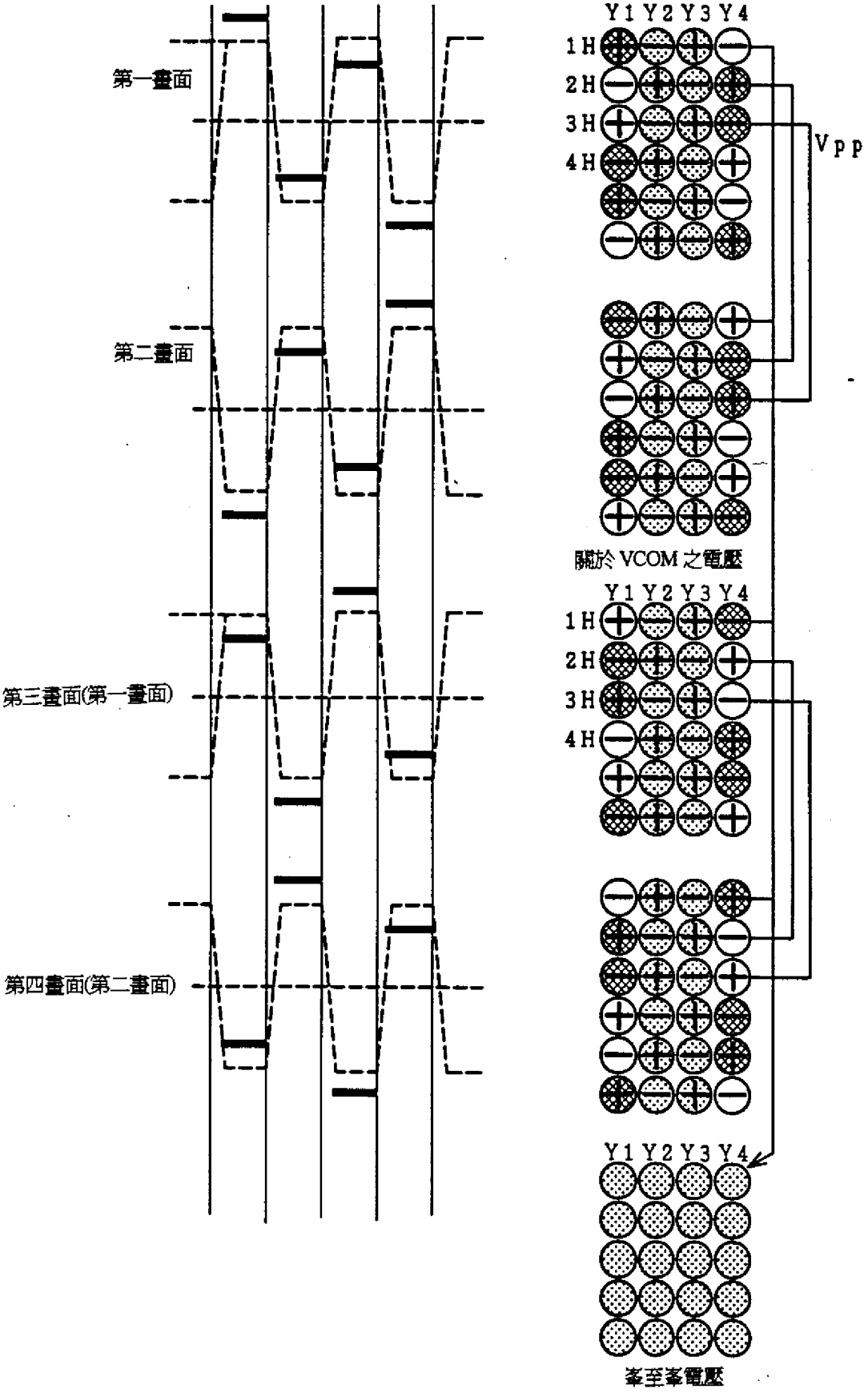
第 19 圖


1
2
3
4
畫面信號
開始信號
控制信號 A
控制信號 B
用於 AC 驅動之控制信號
M(放大器轉換)
VH
VH+Vofh
VH-Vofh
VCOM
VL+Vofl
VL-Vofl
VL
輸出信號(點一轉換)
n-2
n-1
n
1
2
3

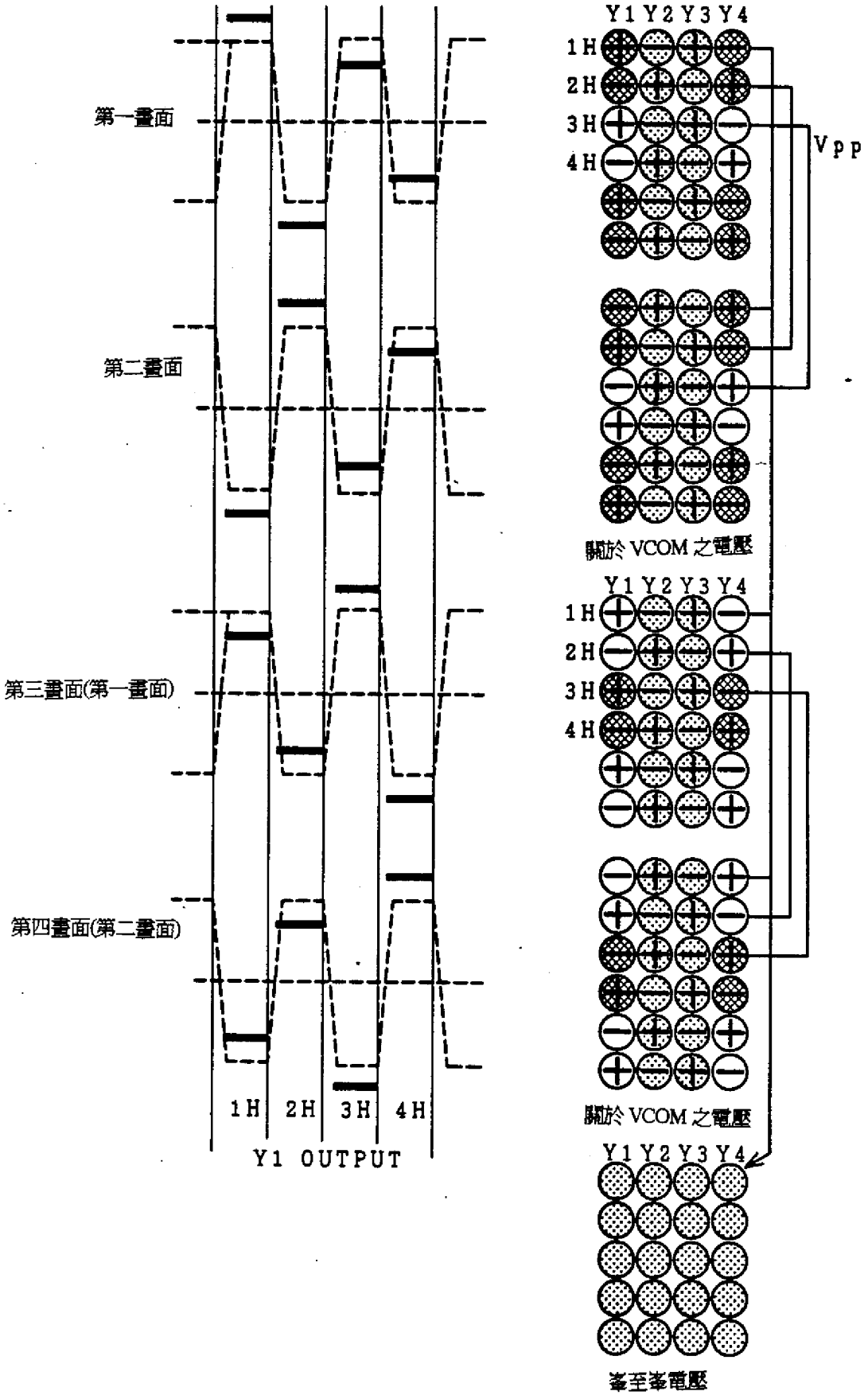
第 20 圖


第一畫面
第二畫面
第三畫面(第一畫面)
第四畫面(第二畫面)
Y1 Y2 Y3 Y4
1H
2H
3H
4H
關於 VCOM 之電壓
Y1 Y2 Y3 Y4
1H
2H
3H
4H
Y1 Y2 Y3 Y4
峯至峯電壓

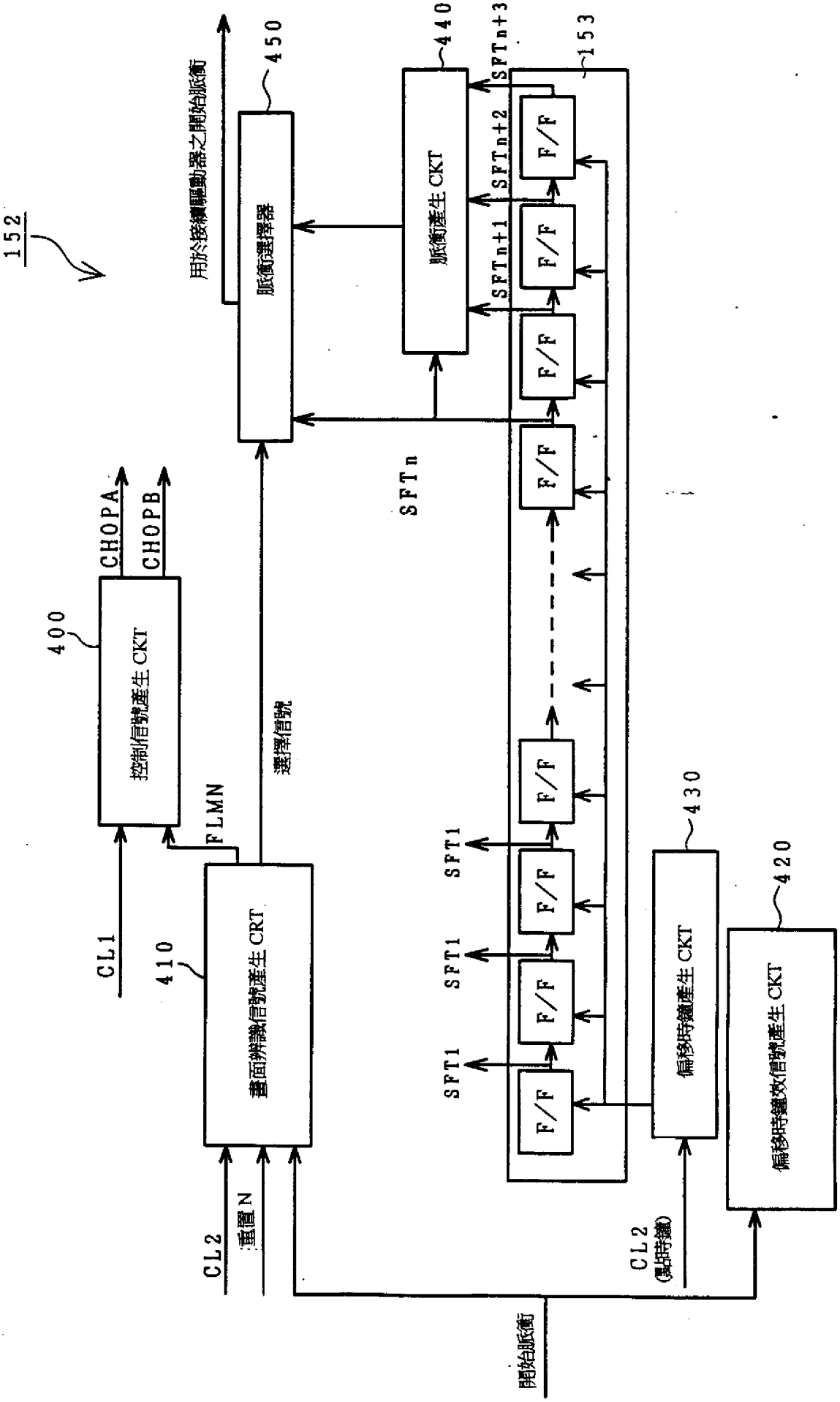
第 21 圖


第一畫面
第二畫面
第三畫面(第一畫面)
第四畫面(第二畫面)
Y1 Y2 Y3 Y4
1H
2H
3H
4H
Vpp
關於 VCOM 之電壓
Y1 Y2 Y3 Y4
1H
2H
3H
4H
Y1 Y2 Y3 Y4
峯至峯電壓

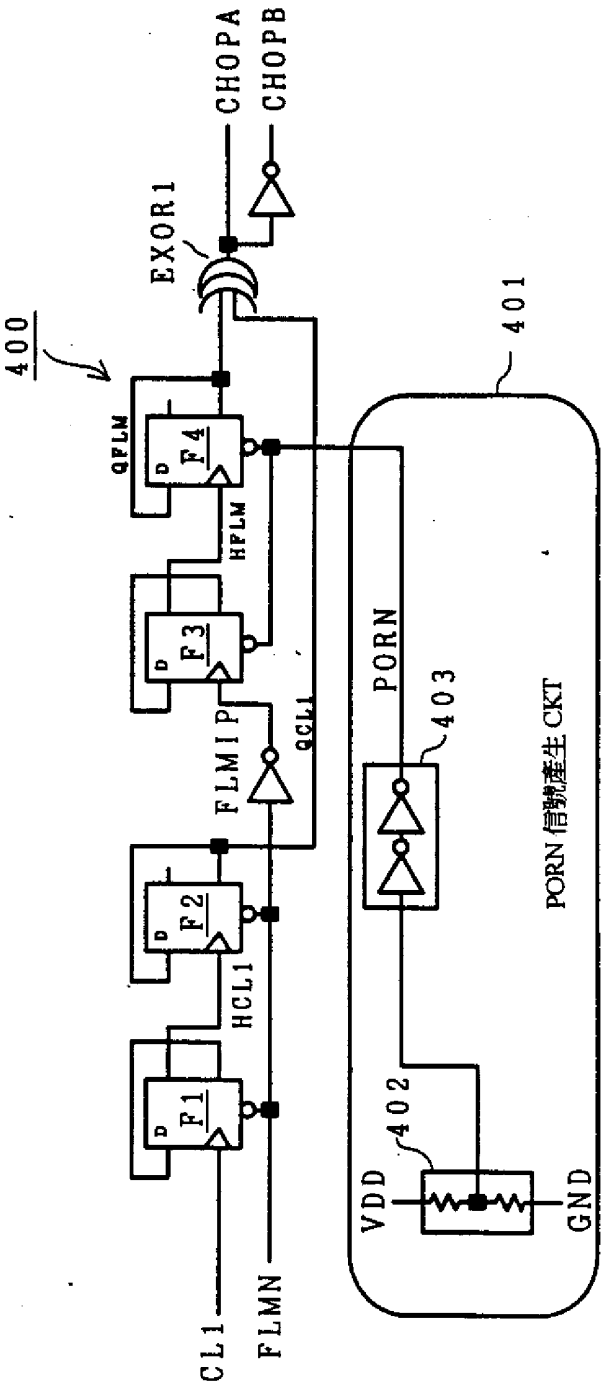
第 22 圖


第一畫面
第二畫面
第三畫面(第一畫面)
第四畫面(第二畫面)
1H
2H
3H
4H
Y1 OUTPUT
Y1 Y2 Y3 Y4
1H
2H
3H
4H
Vpp
關於 VCOM 之電壓
Y1 Y2 Y3 Y4
1H
2H
3H
4H
關於 VCOM 之電壓
Y1 Y2 Y3 Y4
峯至峯電壓

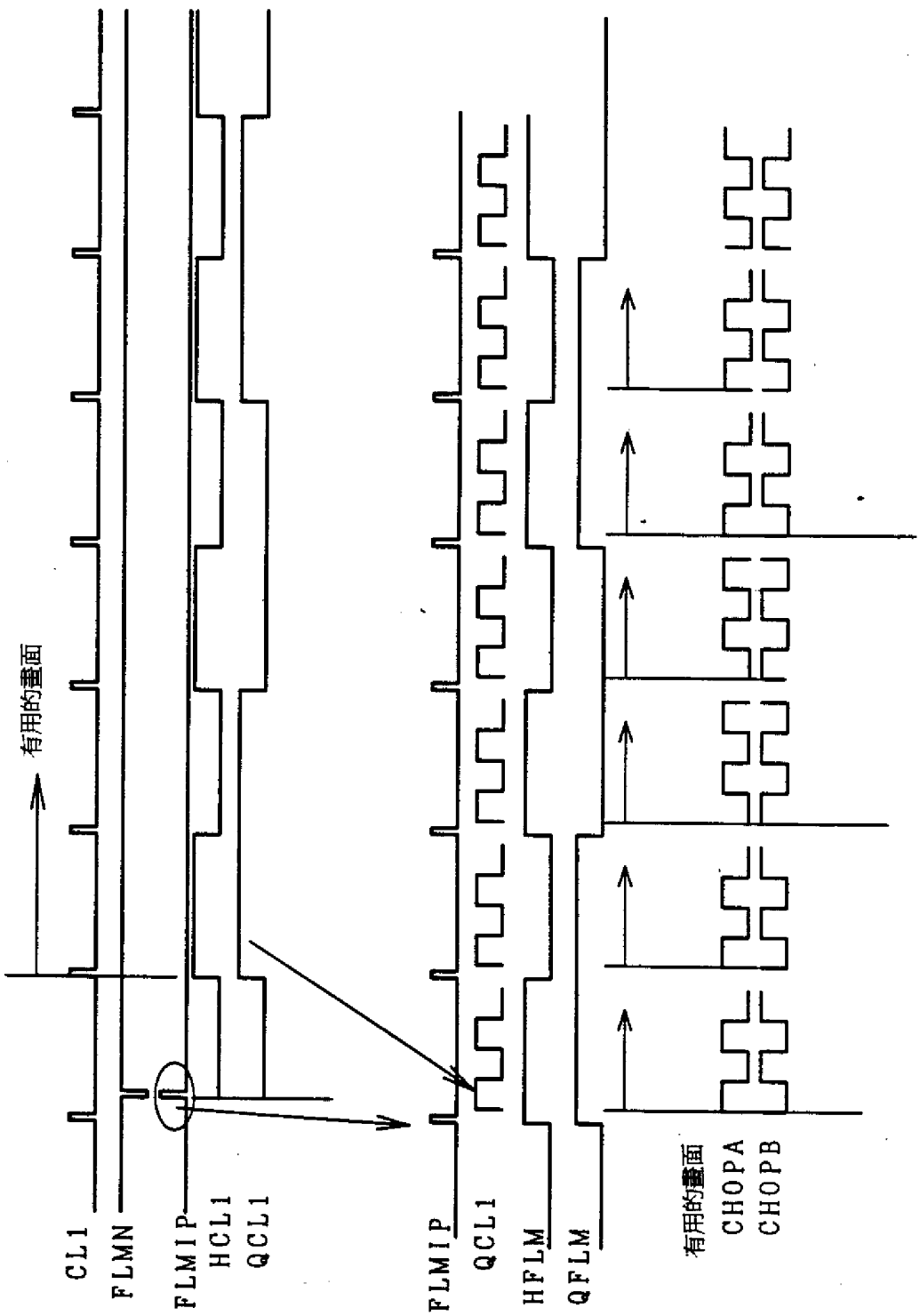
第 23 圖


152
用於接續驅動器之開始脈衝
450
脈衝選擇器
440
脈衝產生 CKT
SFTn+3
SFTn+2
SFTn+1
SFTn
153
F/F
CHOPA
CHOPB
400
控制信號產生 CKT
CL1
410
畫面辨識信號產生 CRT
FLMN
選擇信號
SFT1
430
偏移時鐘產生 CKT
420
偏移時鐘效信號產生 CKT
CL2
重置 N
CL2
(偏移時鐘)
開始脈衝

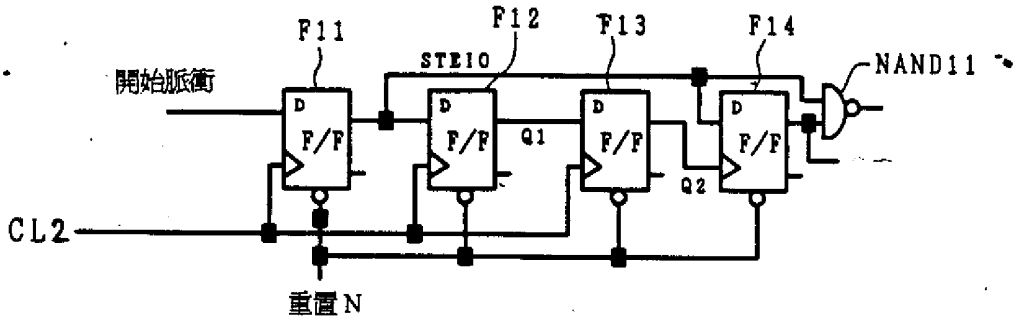
第 24 圖


400
401
EXOR1
CHOPA
CHOPB
QFLM
HFLM
QCL1
FLMIP
HCL1
F1
F2
F3
F4
D
CL1
FLMN
PORN
403
402
VDD
GND
PORN 信號產生 CKT

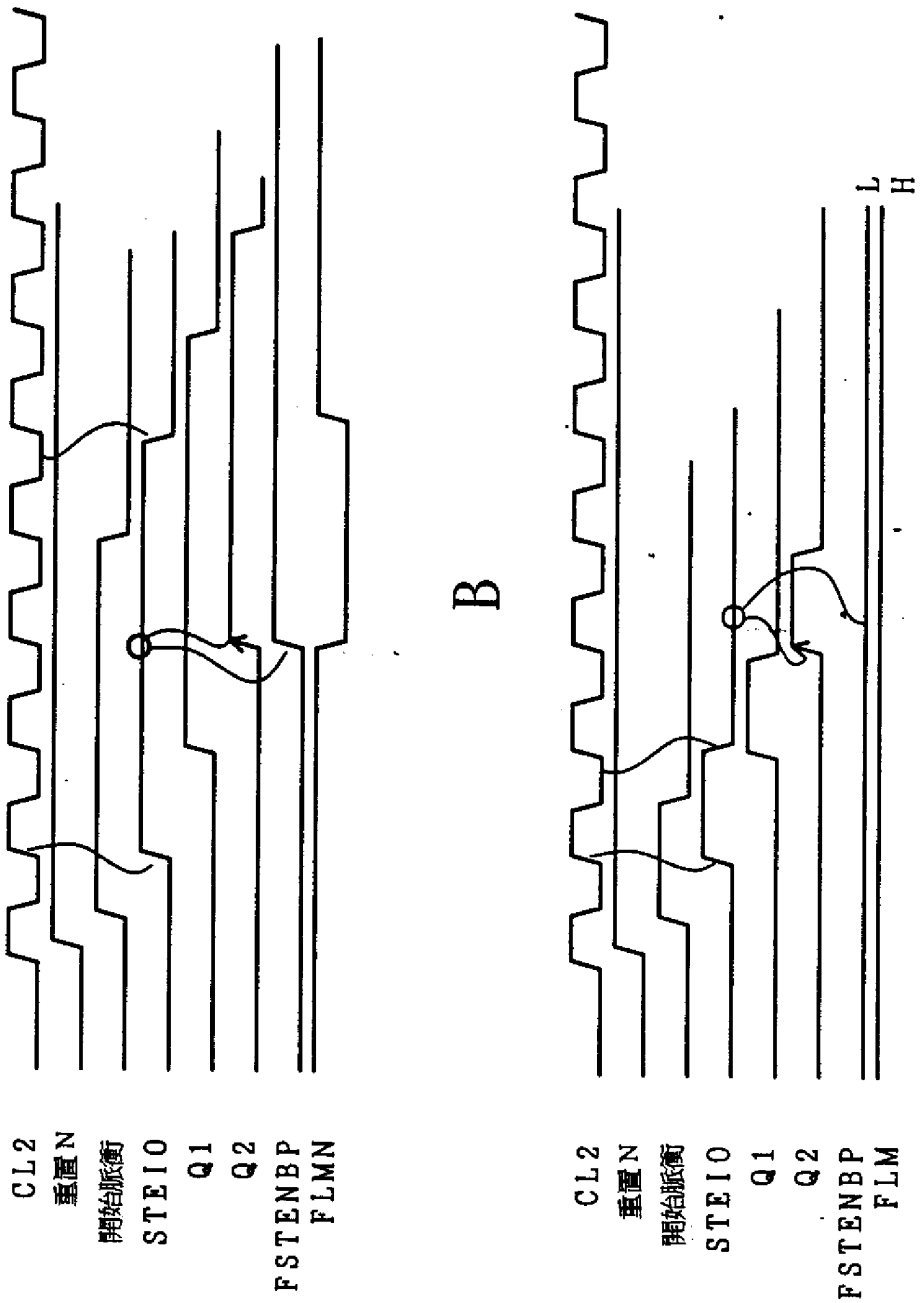
第 25 圖


有用的畫面
CL1
FLMN
FLMIP
HCL1
QCL1
FLMIP
QCL1
HFLM
QFLM
有用的畫面
CHOPA
CHOPB

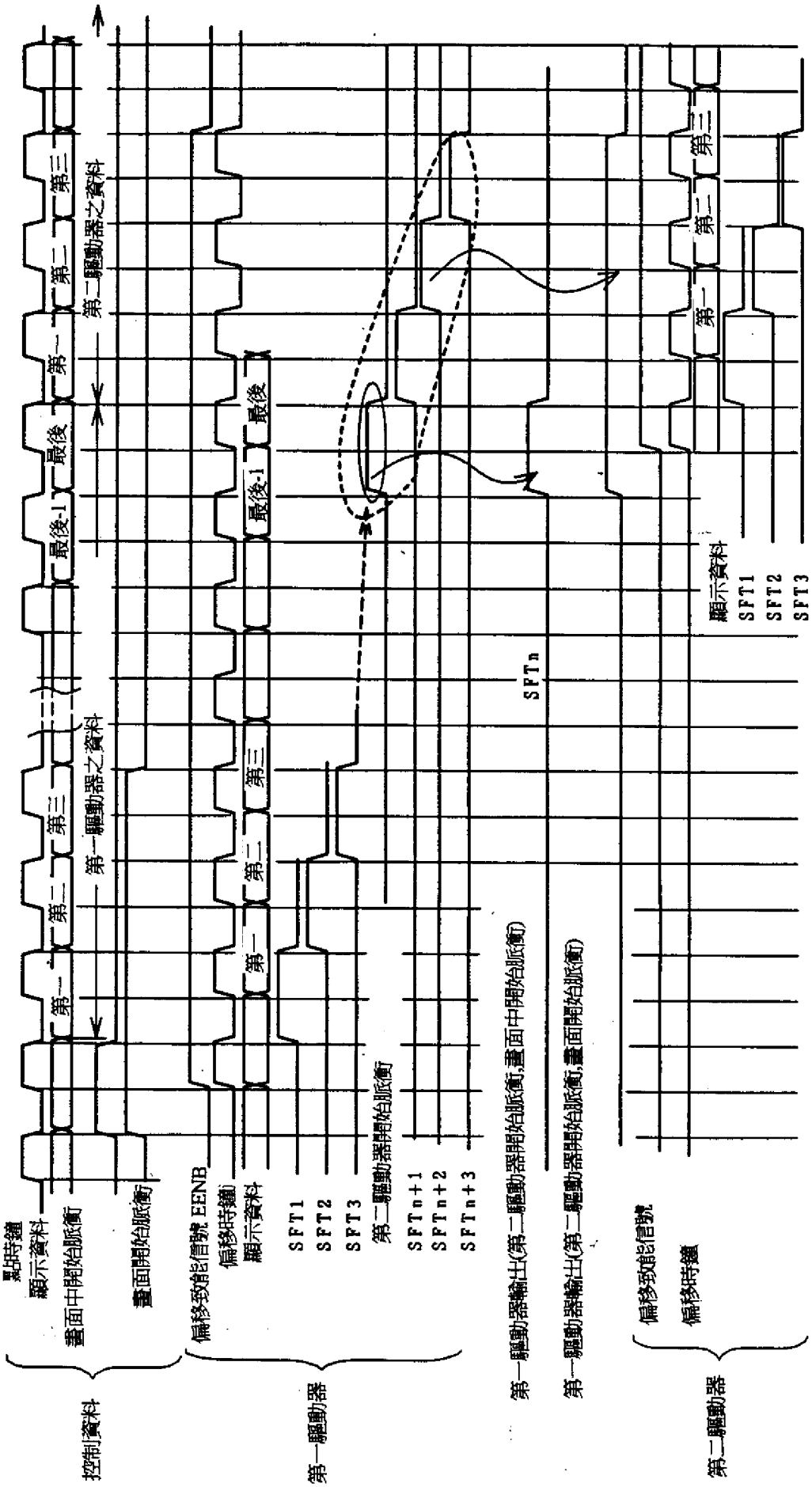
第 26 圖



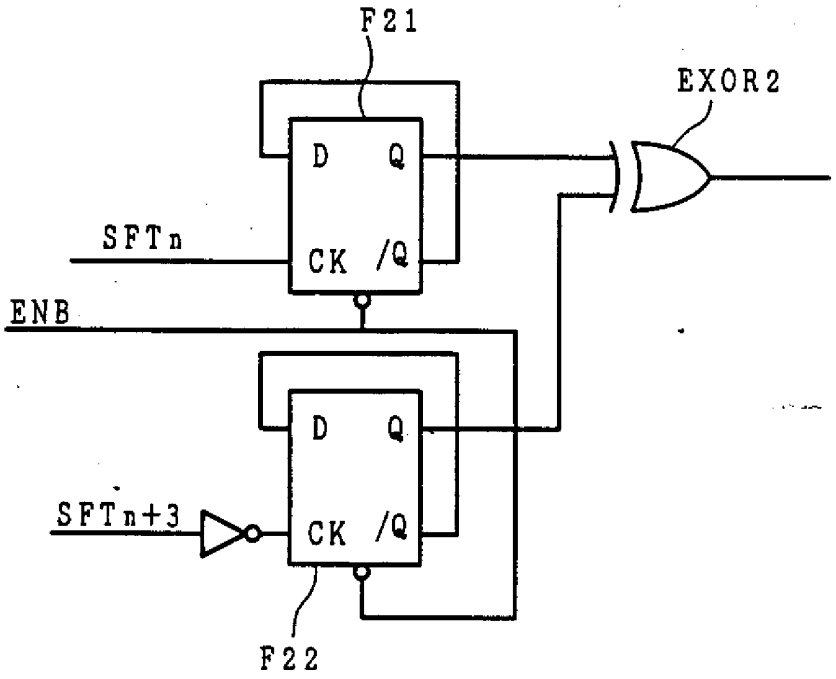
第 27 圖


A
CL2
垂直N
開始脈衝
STEIO
Q1
Q2
FSTENBP
FLMN
B
CL2
垂直N
開始脈衝
STEIO
Q1
Q2
FSTENBP
FLM
L
H

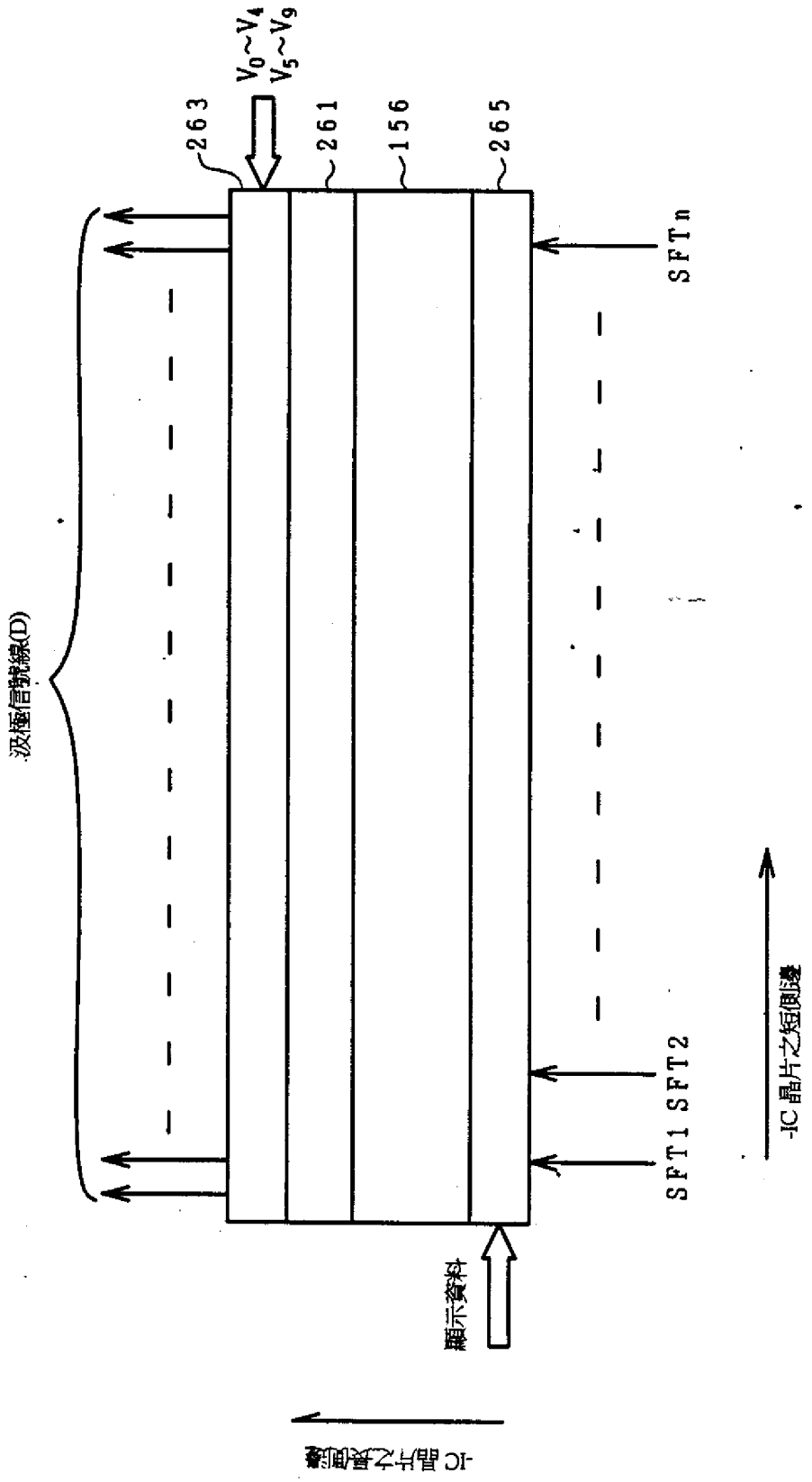
第 28 圖


點時鐘
顯示資料
畫面中開始脈衝
畫面開始脈衝
控制資料
第一驅動器之資料
第二驅動器之資料
第一
第二
第三
最後-1
最後
偏移致能信號 EENB
偏移時鐘
顯示資料
SFT1
SFT2
SFT3
第一驅動器
第二驅動器開始脈衝
SFTn+1
SFTn+2
SFTn+3
第一驅動器輸出(第二驅動器開始脈衝,畫面中開始脈衝)
SFTn
第一驅動器輸出(第二驅動器開始脈衝,畫面開始脈衝)
偏移致能信號
偏移時鐘
第二驅動器
顯示資料
SFT1
SFT2
SFT3

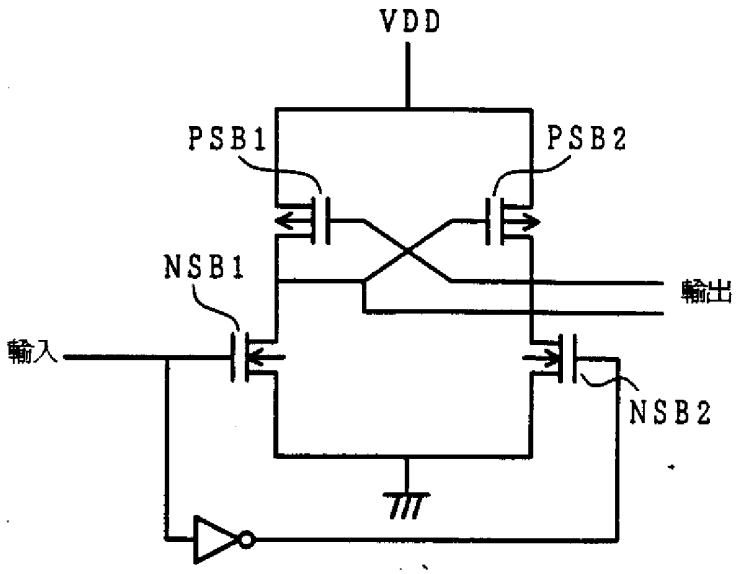
第 29 圖



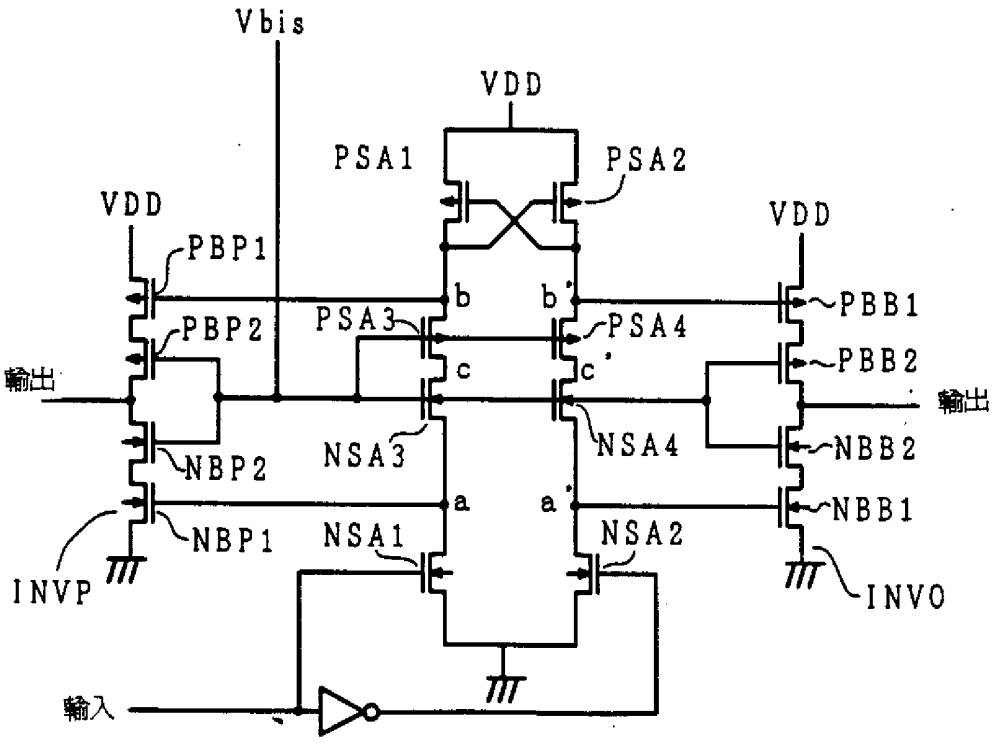
第 30 圖


V_0~V_4
V_5~V_9
263
261
156
265
SFTn
SFT1 SFT2
汲極信號線(D)
顯示資料
-IC 晶片之長側邊
-IC 晶片之短側邊

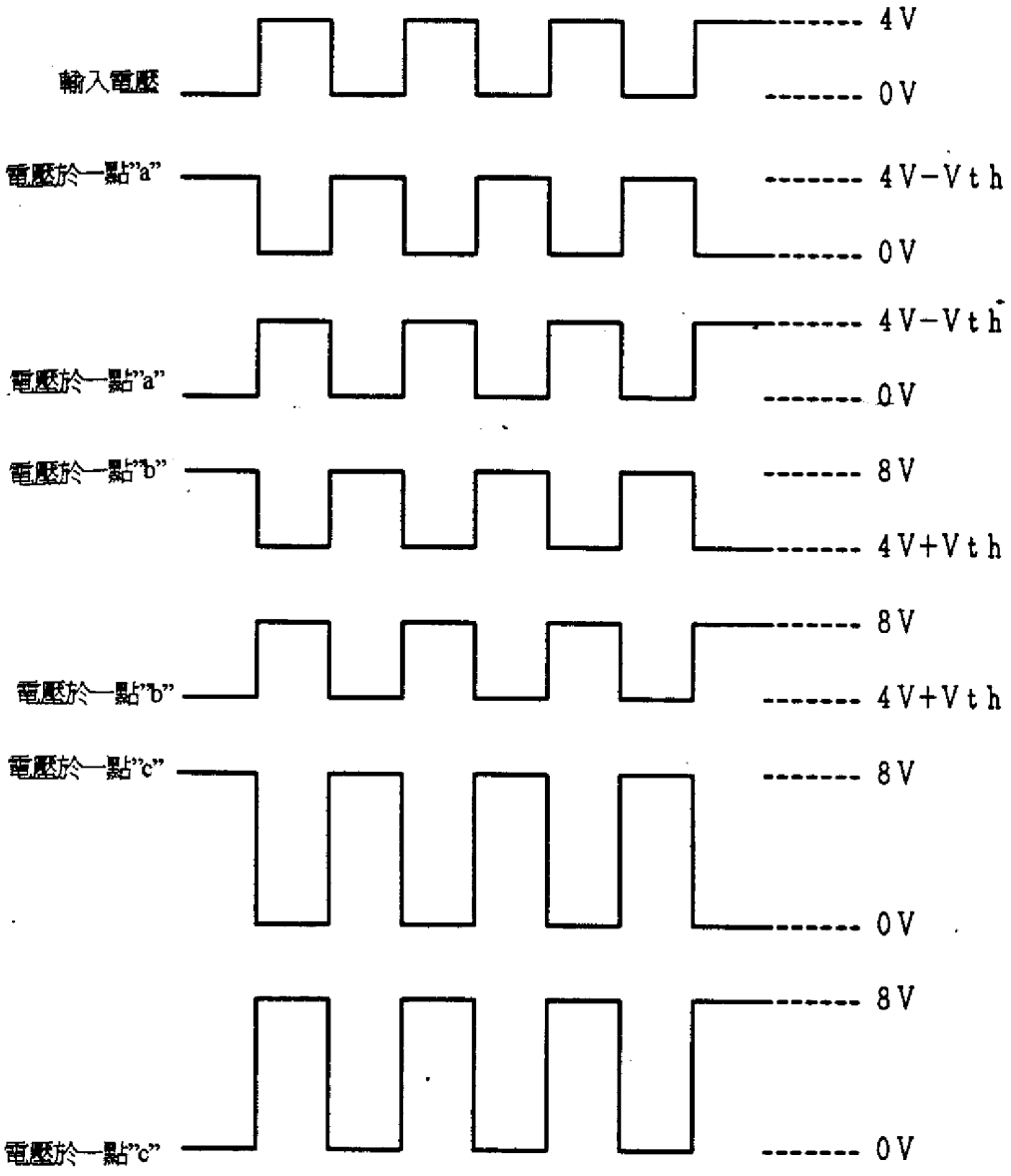
第 31 圖


VDD
PSB1
PSB2
NSB1
輸出
輸入
NSB2

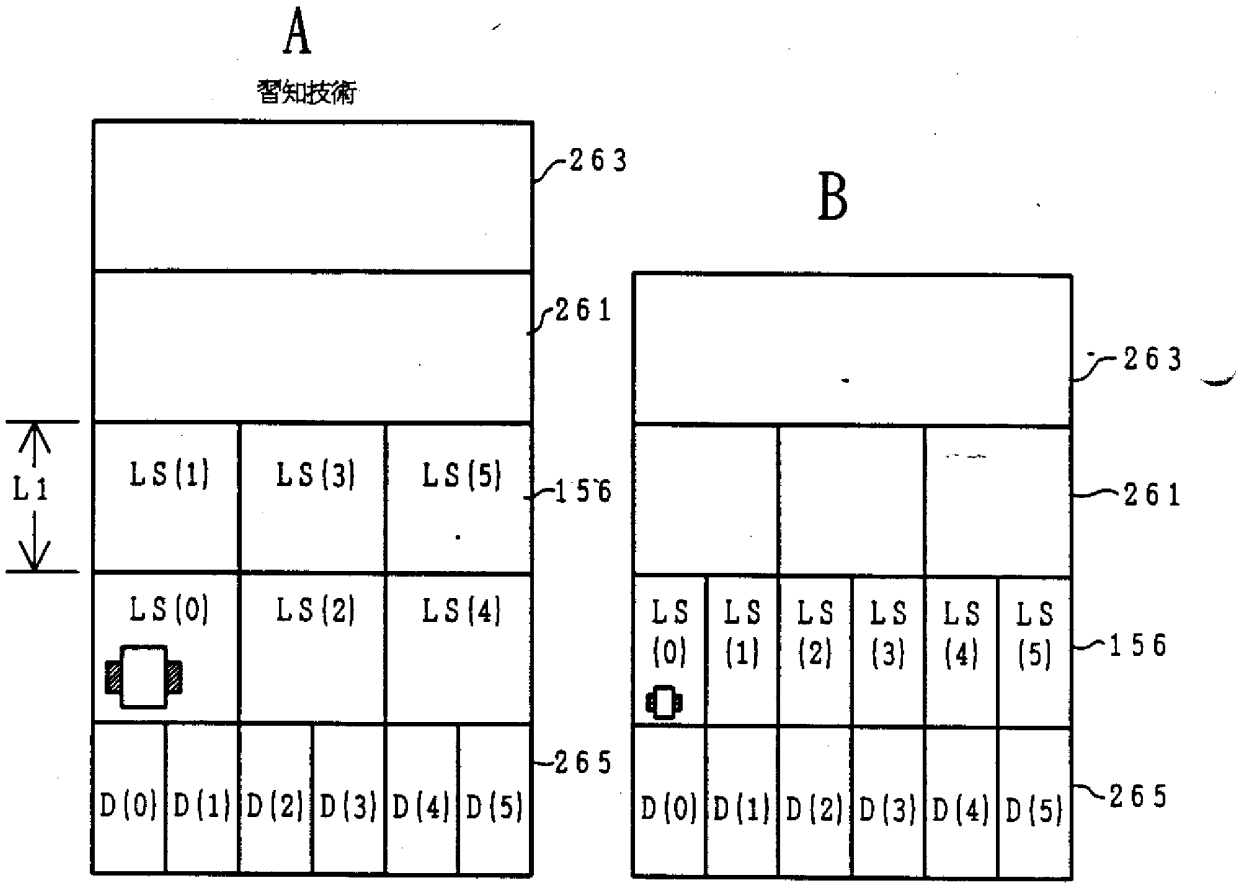
第 32 圖


Vbis
VDD
PSA1
PSA2
VDD
VDD
PBP1
PBB1
PBP2
PSA3
PSA4
PBB2
輸出
輸出
NBP2
NSA3
NSA4
NBB2
NBP1
NSA1
NSA2
NBB1
INVP
INVO
輸入
b
b'
c
c'
a
a'

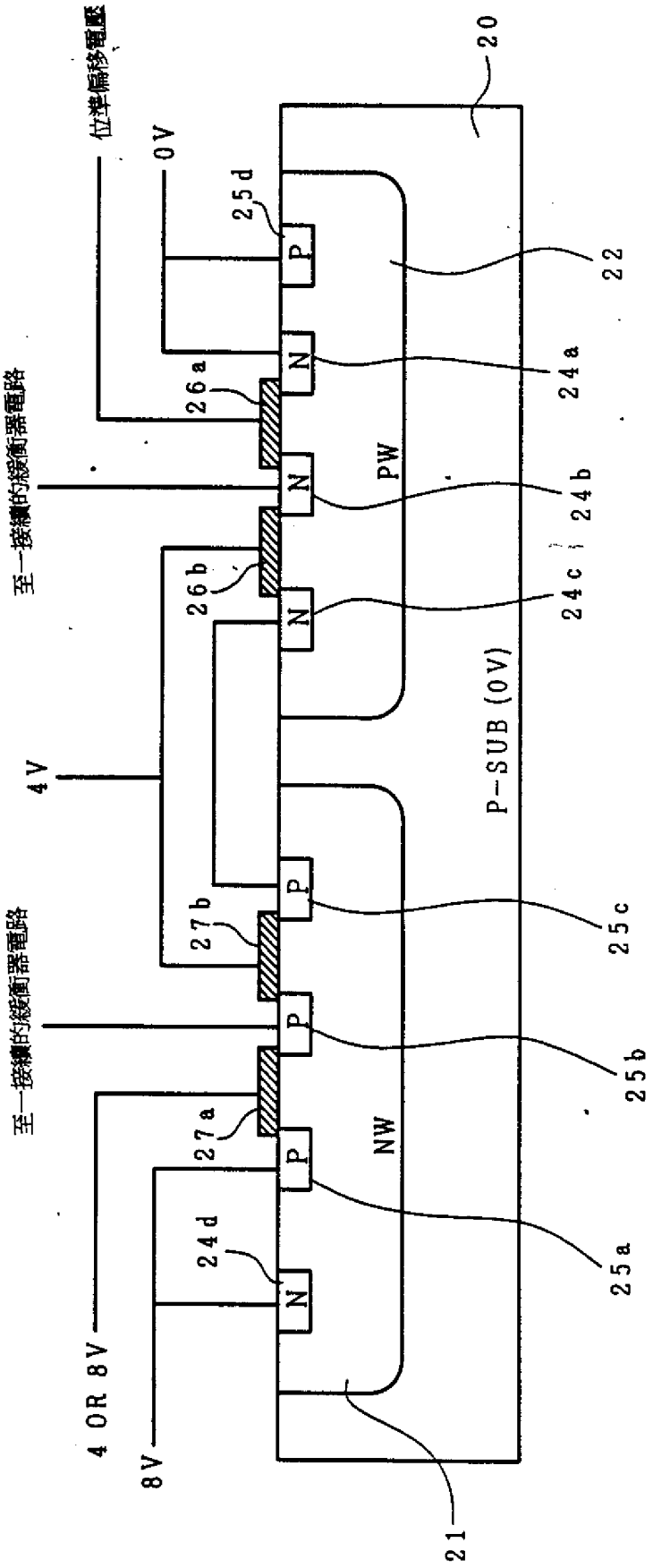
第 33 圖


輸入電壓
4V
0V
電壓於一點"a"
4V-Vth
0V
電壓於一點"a"
4V-Vth
0V
電壓於一點"b"
8V
4V+Vth
電壓於一點"b"
8V
4V+Vth
電壓於一點"c"
8V
0V
電壓於一點"c"
8V
0V

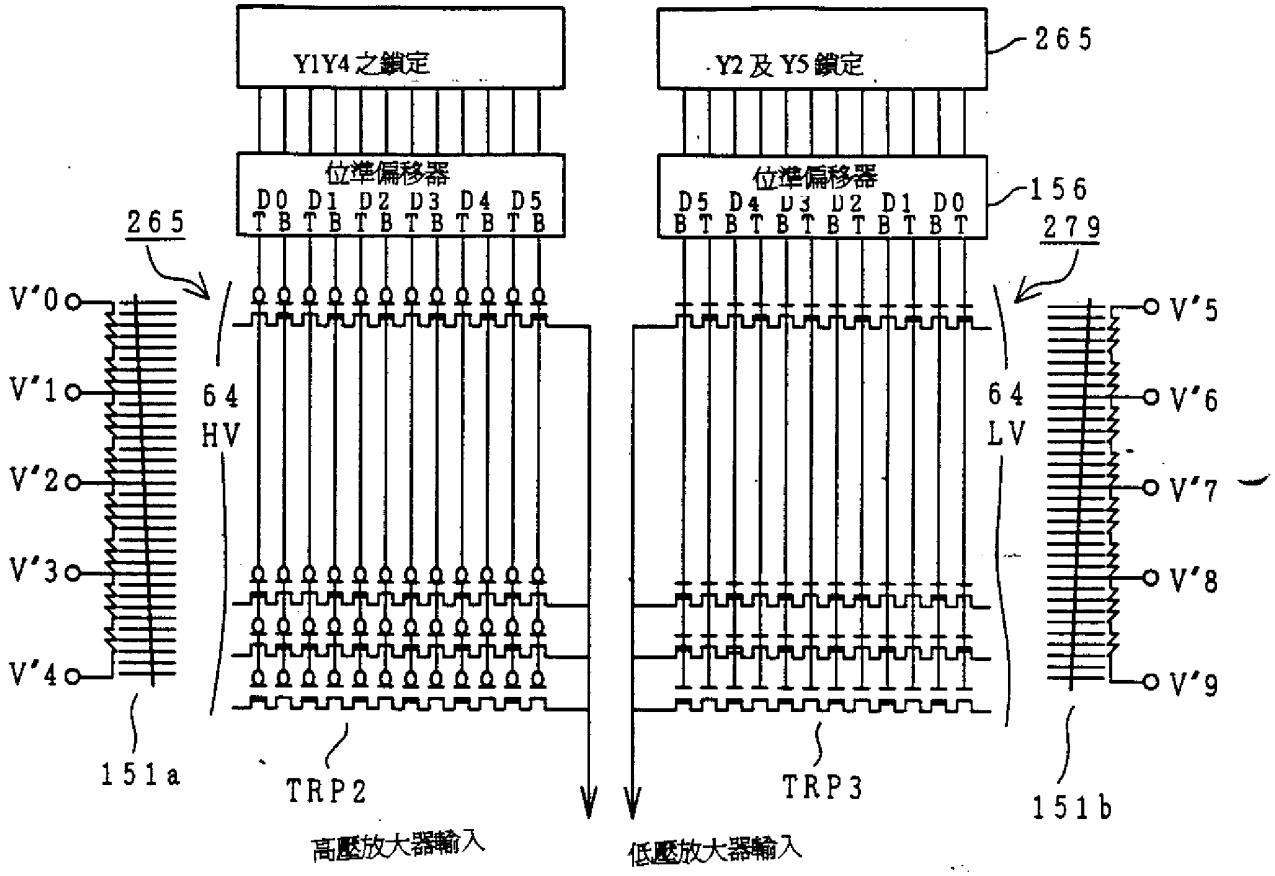
第 34 圖


A
習知技術
263
261
L1
LS(1)
LS(3)
LS(5)
156
LS(0)
LS(2)
LS(4)
265
D(0)
D(1)
D(2)
D(3)
D(4)
D(5)
B
263
261
LS(0)
LS(1)
LS(2)
LS(3)
LS(4)
LS(5)
156
D(0)
D(1)
D(2)
D(3)
D(4)
D(5)
265

第 35 圖


位準偏移電壓
0V
至一接續的緩衝器電路
至一接續的緩衝器電路
4V
4 OR 8V
8V
20
22
24a
24b
24c
24d
25a
25b
25c
25d
26a
26b
27a
27b
21
PW
NW
P-SUB (0V)
N
P

第 36 圖



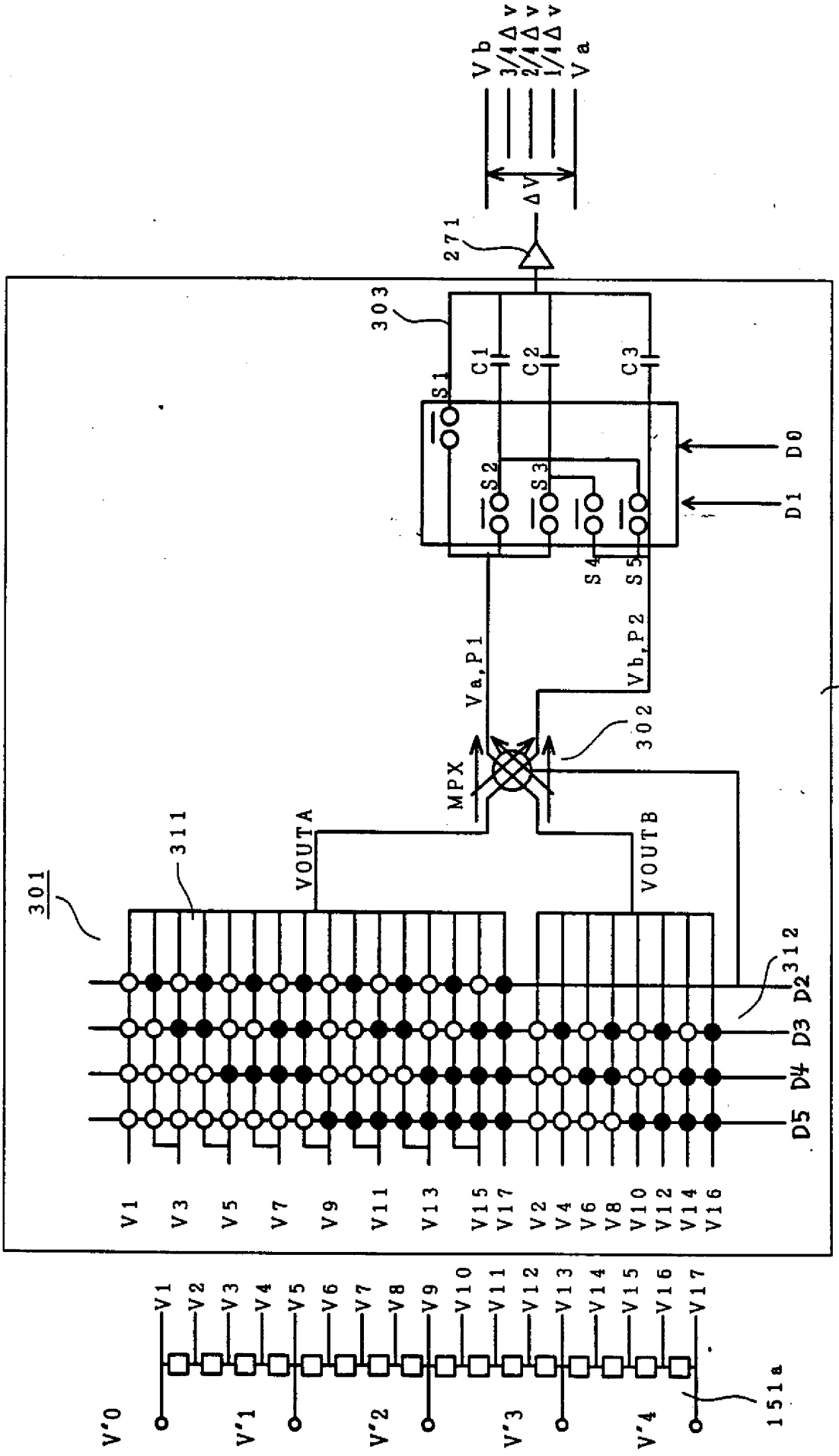
n-通道 MOS

p-通道 MOS

耗盡型 n-通道 MOS

耗盡型 p-通道 MOS

第37圖

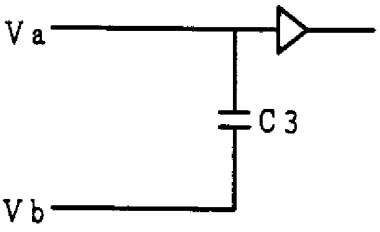

V'0
V'1
V'2
V'3
V'4
151a
V1 V2 V3 V4 V5 V6 V7 V8 V9 V10 V11 V12 V13 V14 V15 V16 V17
278
301
311
VOUTA
VOUTB
MPX
Va,P1
Vb,P2
302
303
271
ΔV
Vb
3/4ΔV
2/4ΔV
1/4ΔV
Va
S1
S2
S3
S4
S5
C1
C2
C3
D0
D1
D2
D3
D4
D5
312

第 38 圖

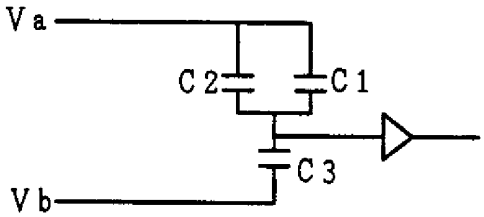
A

D1	D0	關閉的 SW	輸出	
0	0	S1	Va	38B
0	1	S2, S3	Va+1／4ΔV	38C
1	0	S3, S5	Va+2／4ΔV	38D
1	1	S2, S4	Va+3／4ΔV	38E

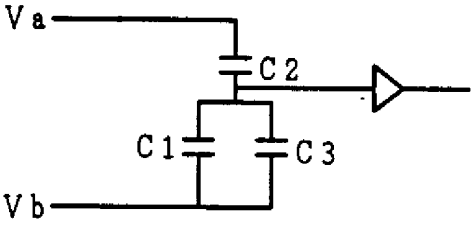
B



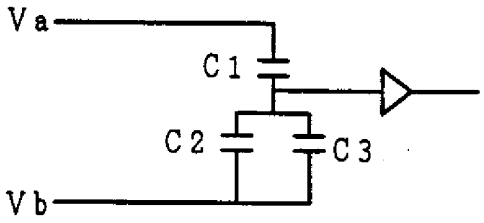
C



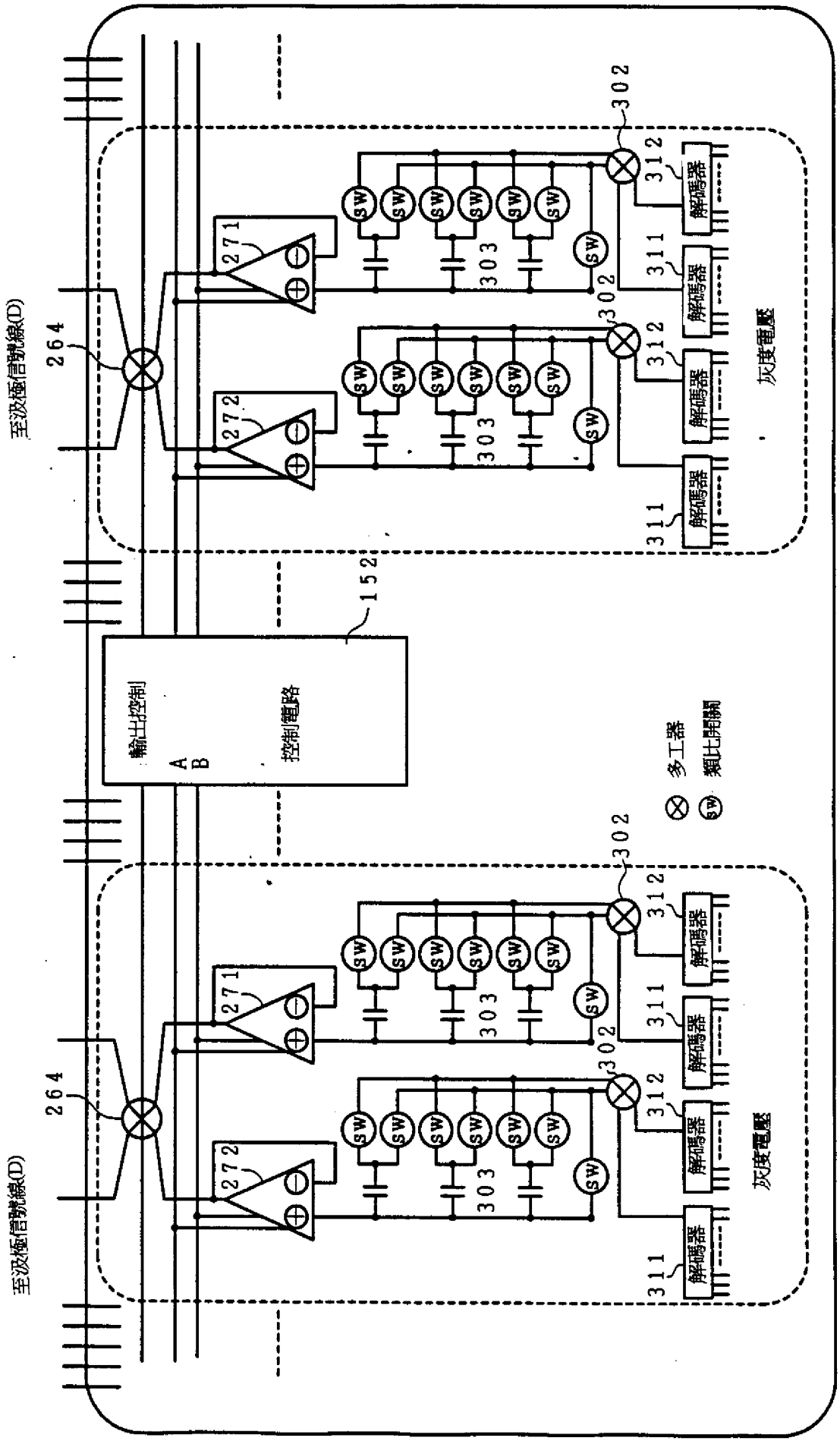
D



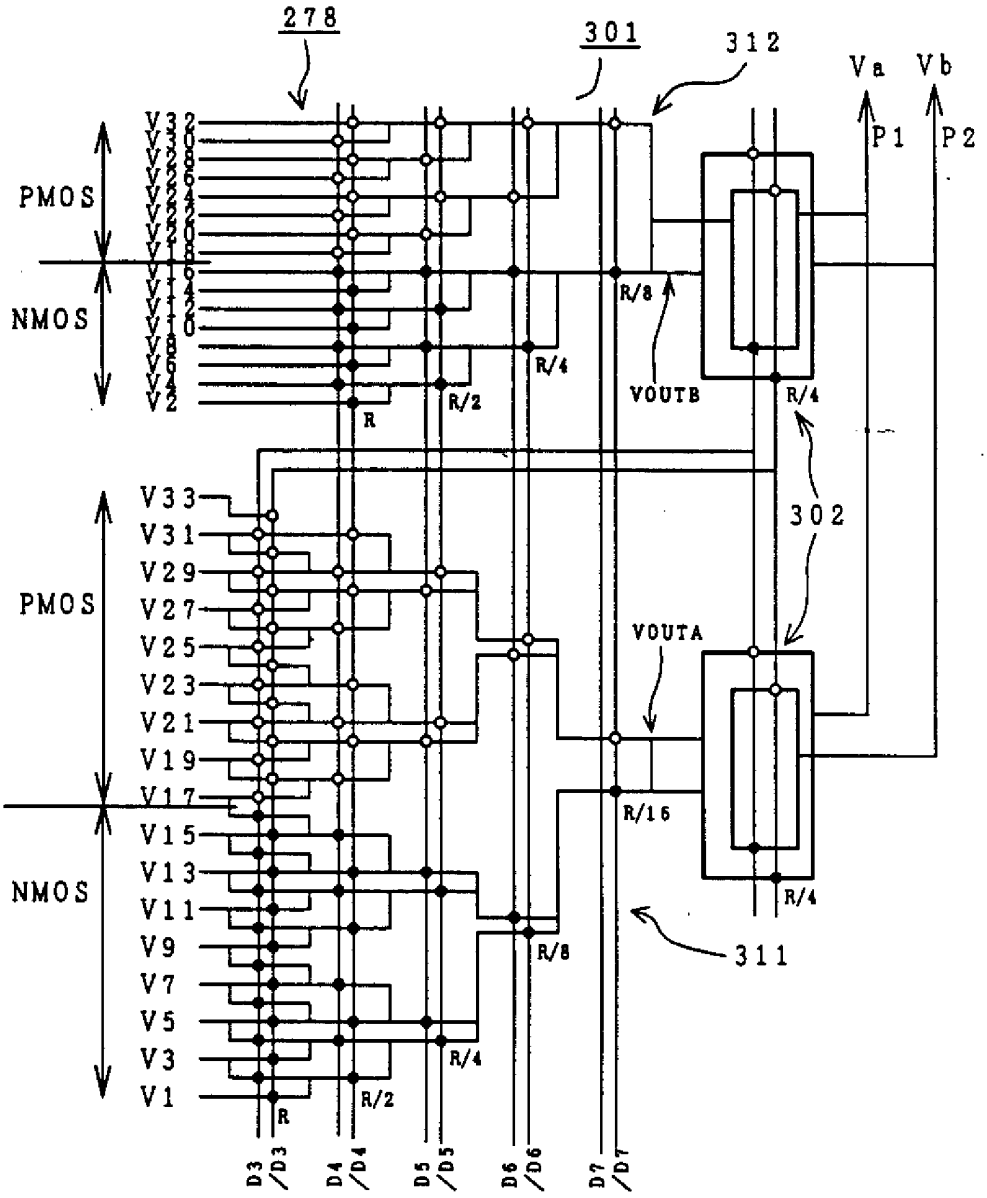
E



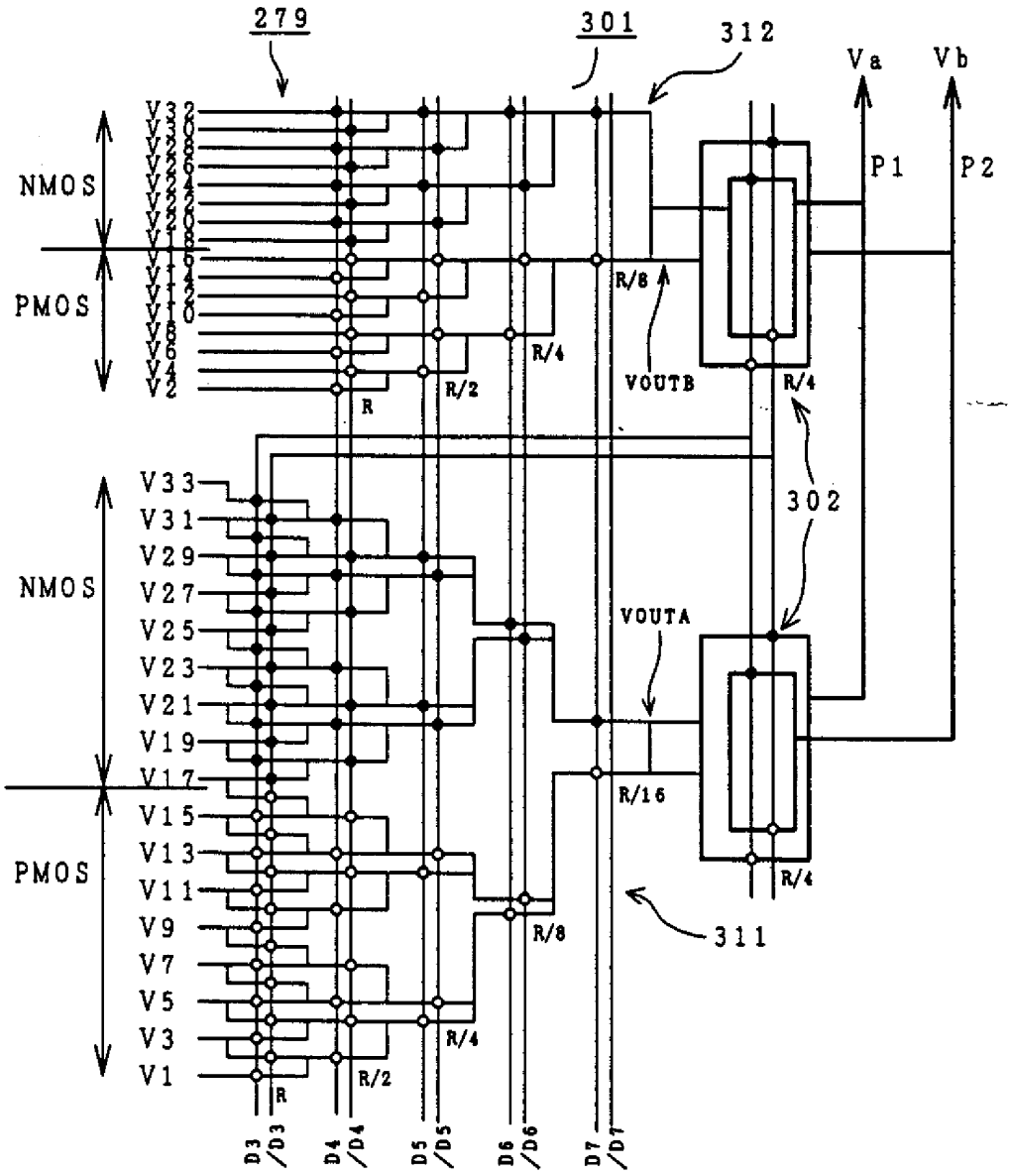
第 39 圖


至汲極信號線(D)
264
271
272
303
302
312
311
解碼器
SW
灰度電壓
152
輸出控制
A
B
控制電路
多工器
類比開關

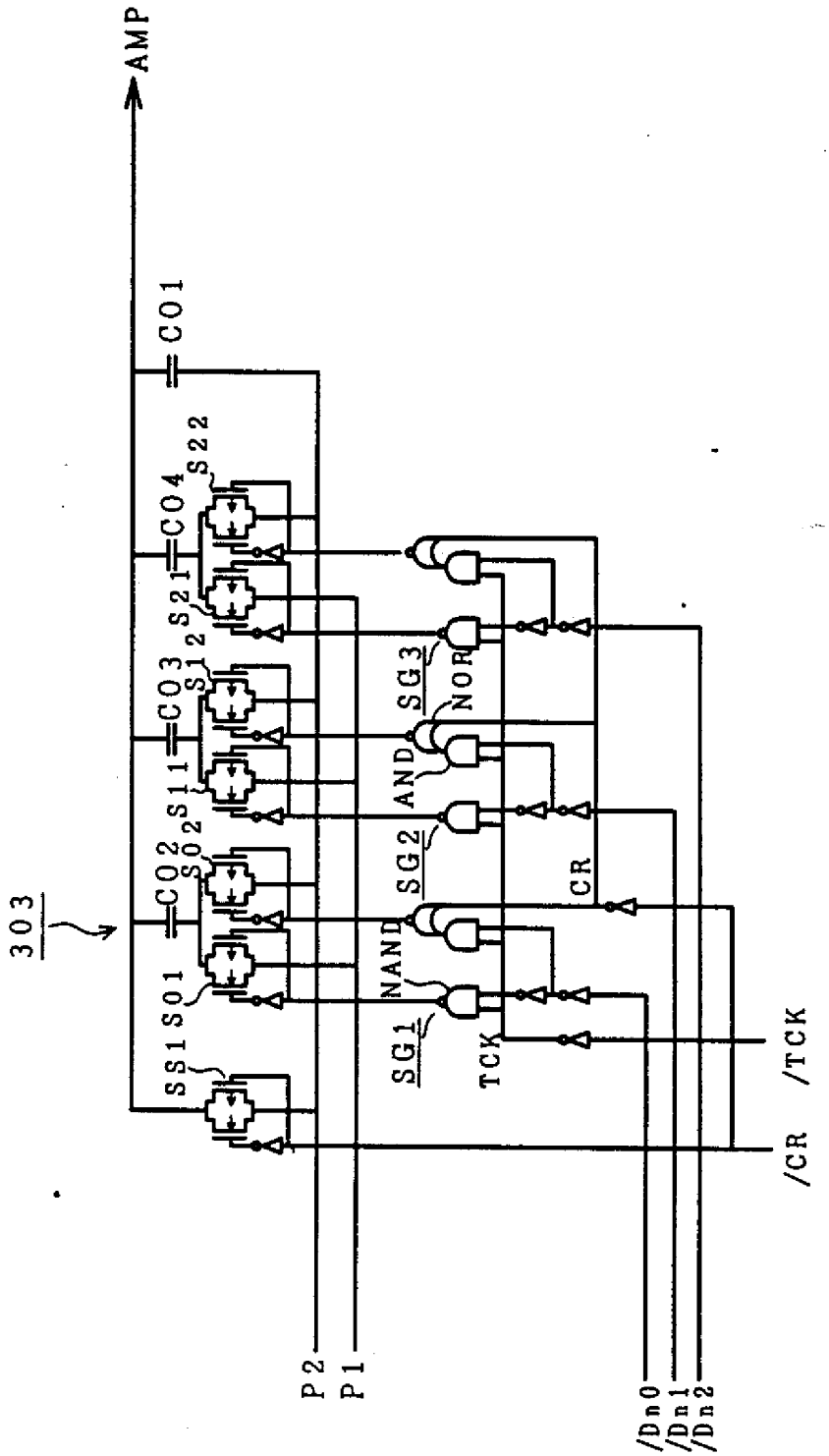
第 40 圖


278
301
312
Va
Vb
P1
P2
PMOS
NMOS
V32
V30
V28
V26
V24
V22
V20
V18
V16
V14
V12
V10
V8
V6
V4
V2
R
R/2
R/4
R/8
VOUTB
R/4
302
V33
V31
V29
V27
V25
V23
V21
V19
V17
V15
V13
V11
V9
V7
V5
V3
V1
VOUTA
R/16
R/4
311
R/8
R/4
R/2
R
D3
/D3
D4
/D4
D5
/D5
D6
/D6
D7
/D7

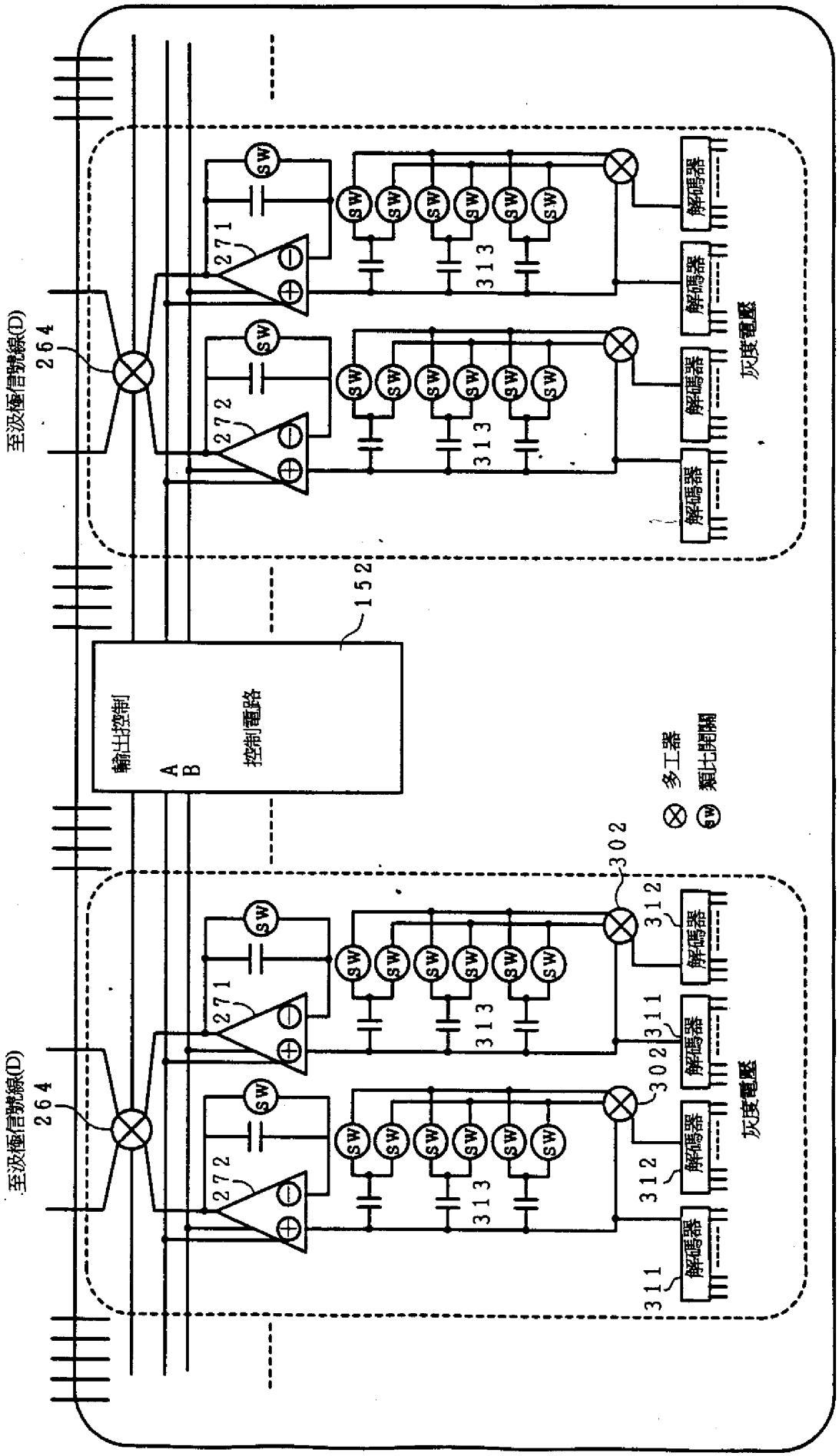
第 41 圖


279
301
312
Va
Vb
P1
P2
NMOS
PMOS
V32
V30
V28
V26
V24
V22
V20
V18
V16
V14
V12
V10
V8
V6
V4
V2
R
R/2
R/4
R/8
VOUTB
R/4
302
V33
V31
V29
V27
V25
V23
V21
V19
V17
V15
V13
V11
V9
V7
V5
V3
V1
VOUTA
R/16
R/4
311
R/8
R/4
R/2
R
D3
/D3
D4
/D4
D5
/D5
D6
/D6
D7
/D7

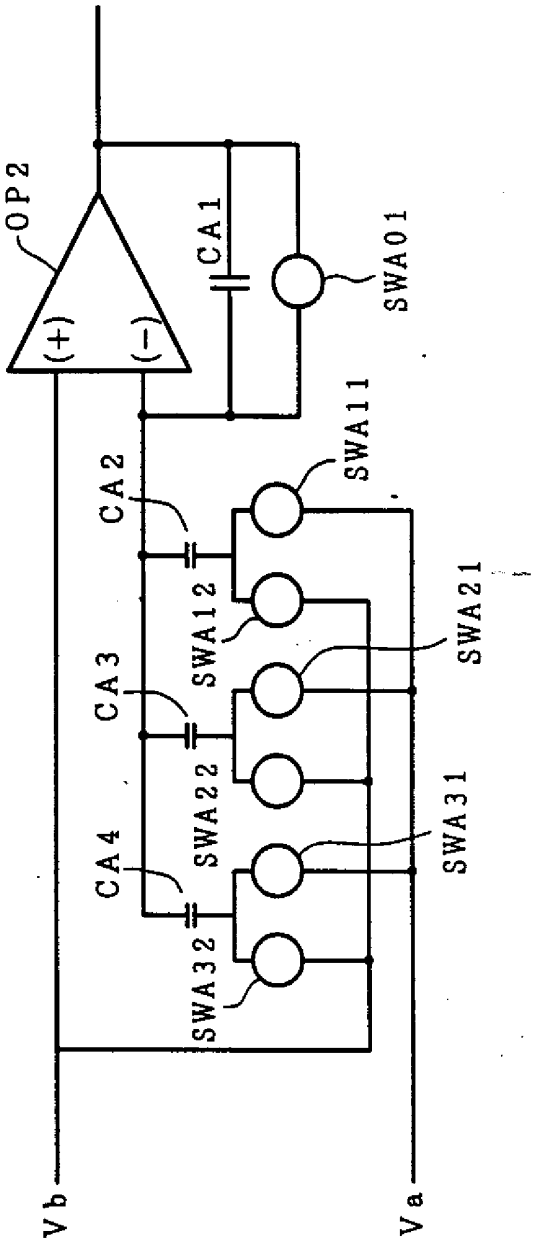
第 42 圖


AMP
C01
C04
S22
S21
C03
S12
S11
C02
S02
S01
S1
303
SG3
NOR
AND
SG2
CR
NAND
SG1
TCK
/TCK
/CR
P2
P1
/Dn0
/Dn1
/Dn2

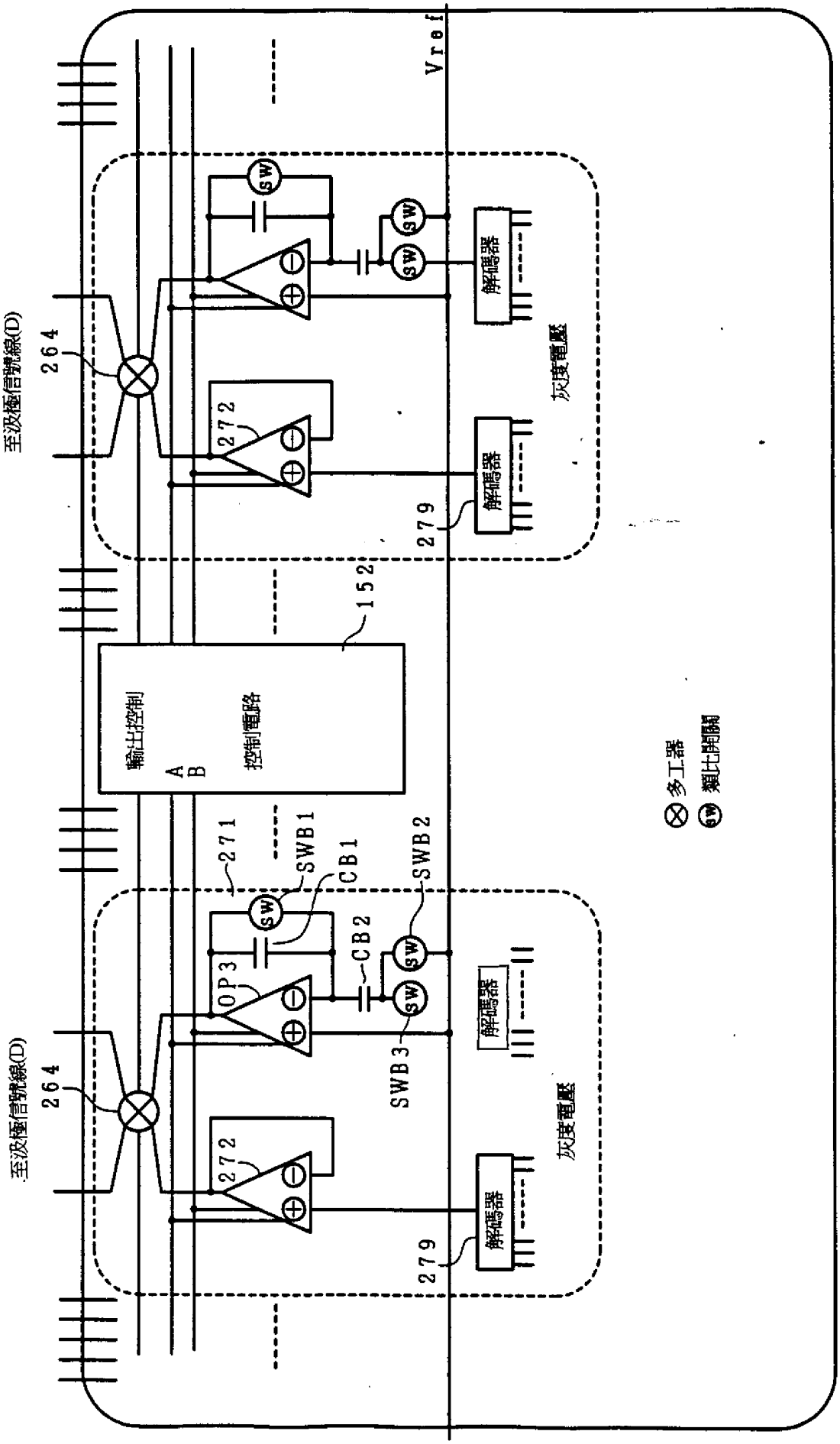
第 43 圖


至汲極信號線(D)
264
至汲極信號線(D)
264
輸出控制
A
B
控制電路
152
271
272
313
SW
解碼器
311
312
302
灰度電壓
多工器
類比開關

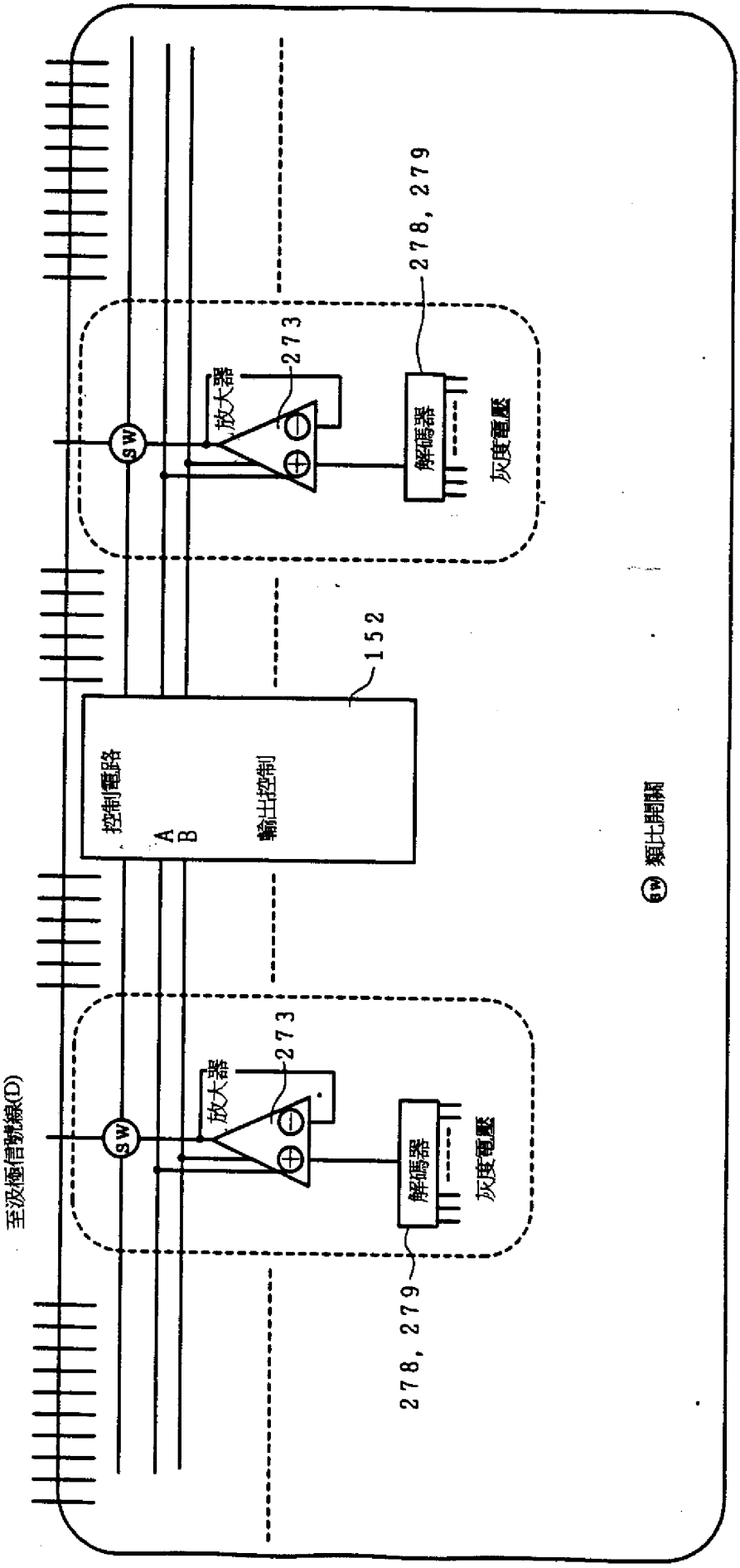
第 44 圖


OP2
(+)
(−)
CA1
SWA01
SWA11
CA2
SWA12
SWA21
CA3
SWA22
SWA31
CA4
SWA32
Vb
Va

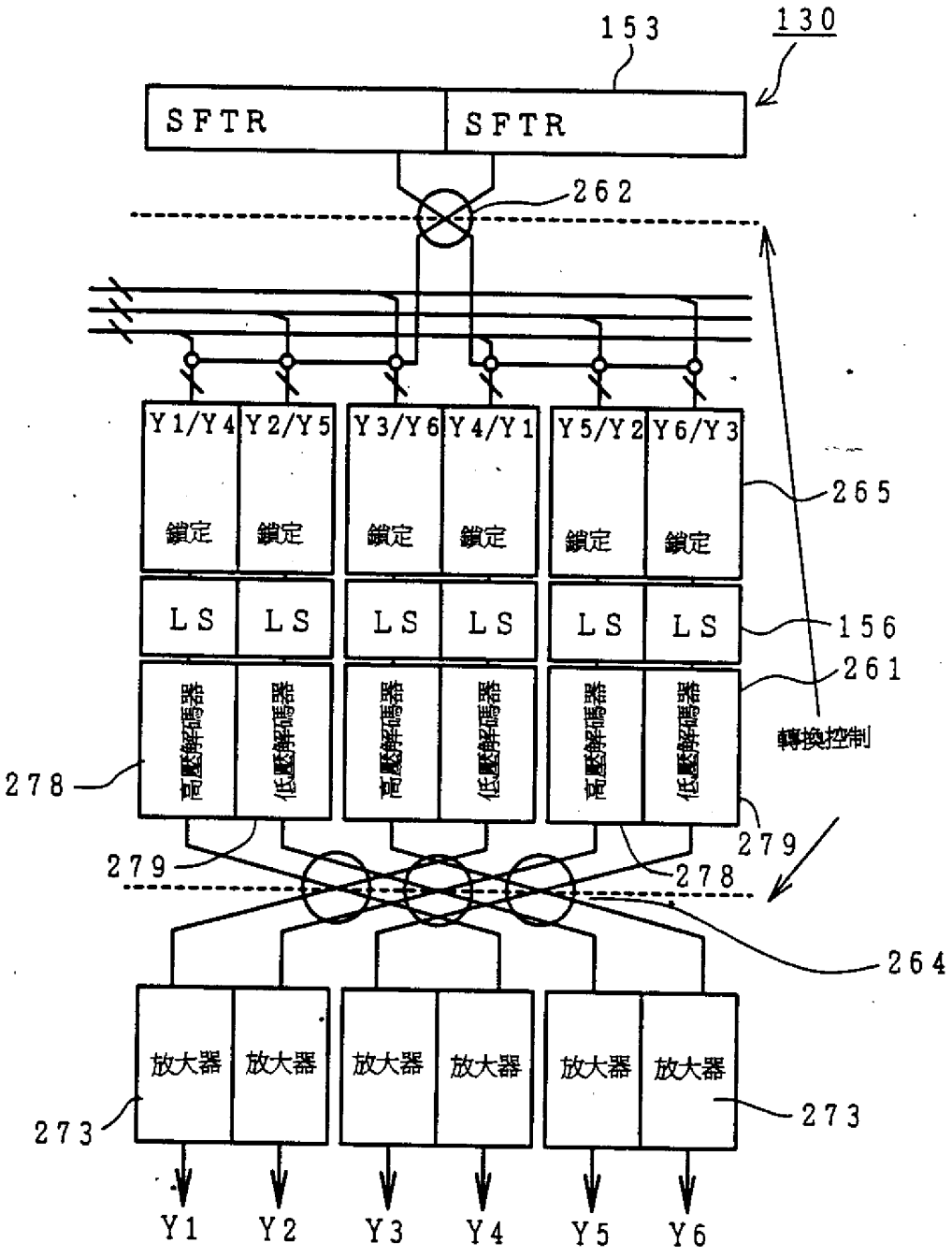
第 45 圖


至汲極信號線(D)
264
272
279
解碼器
灰度電壓
Vref
152
輸出控制
A
B
控制電路
271
SWB1
CB1
SWB2
CB2
OP3
SWB3
SW
多工器
類比開關

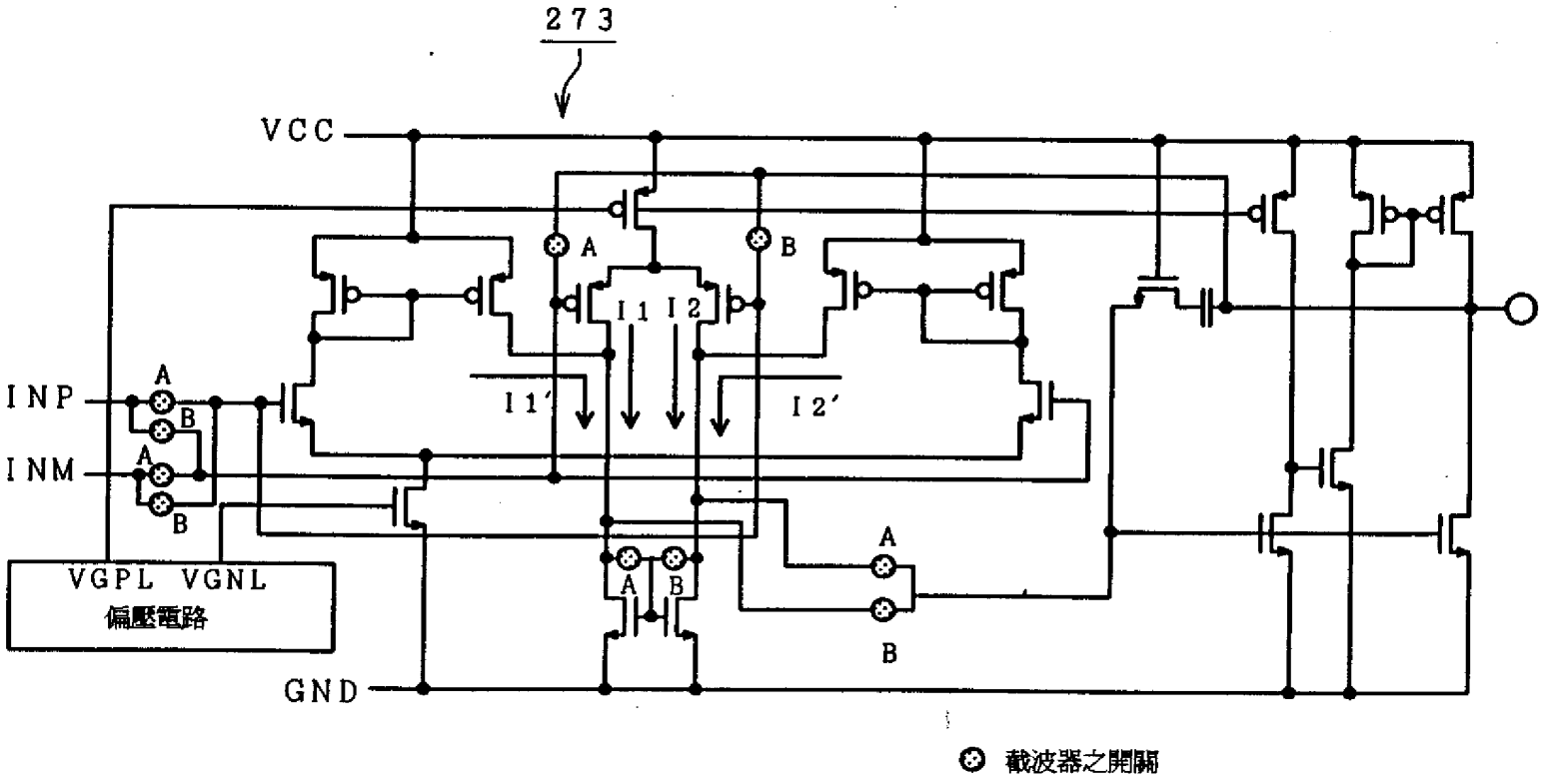
第 46 圖



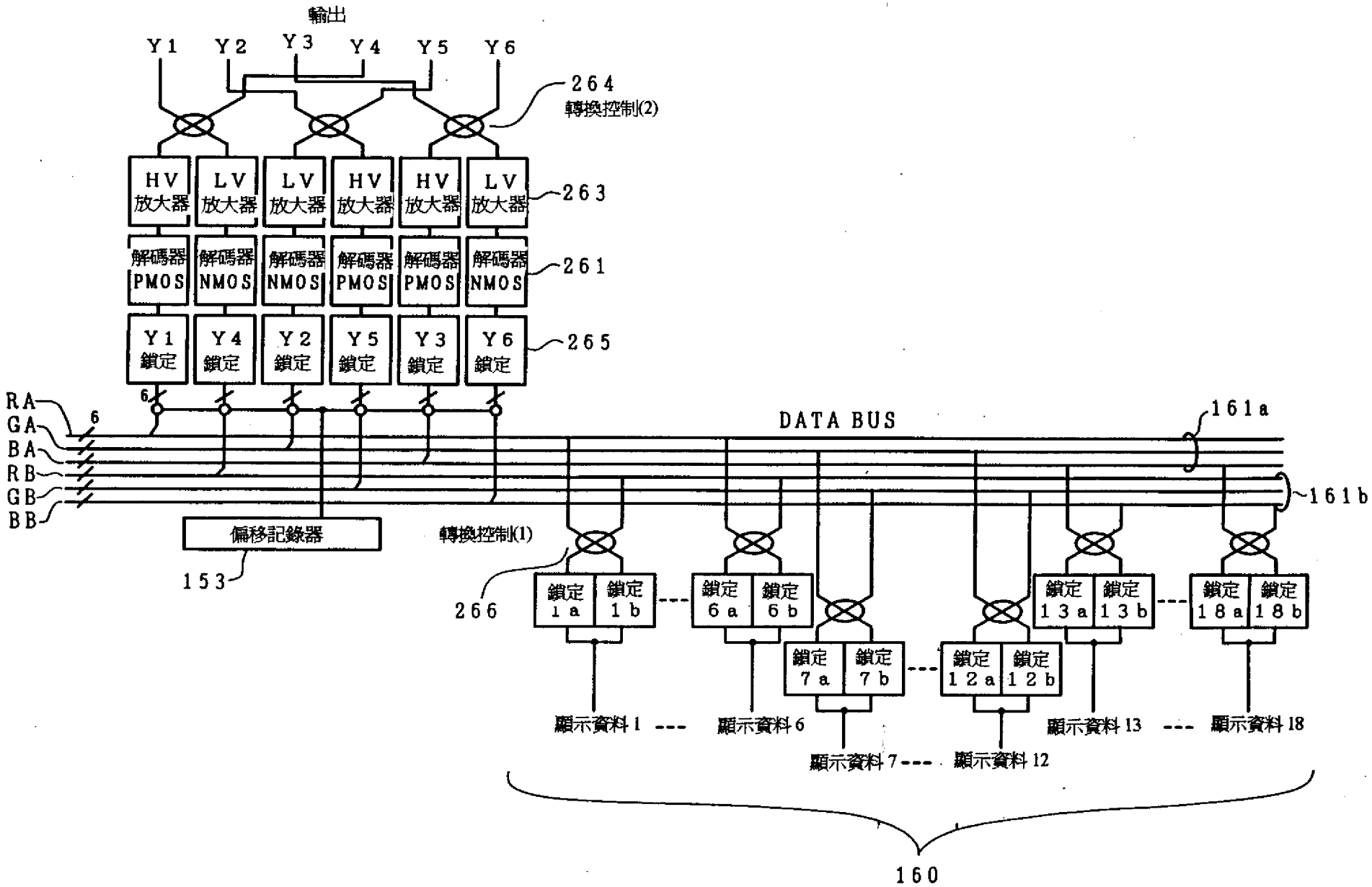
第 47 圖


153
130
SFTR
SFTR
262
Y1/Y4
Y2/Y5
Y3/Y6
Y4/Y1
Y5/Y2
Y6/Y3
鎖定
265
LS
156
261
高壓解碼器
低壓解碼器
轉換控制
278
279
264
放大器
273
Y1
Y2
Y3
Y4
Y5
Y6

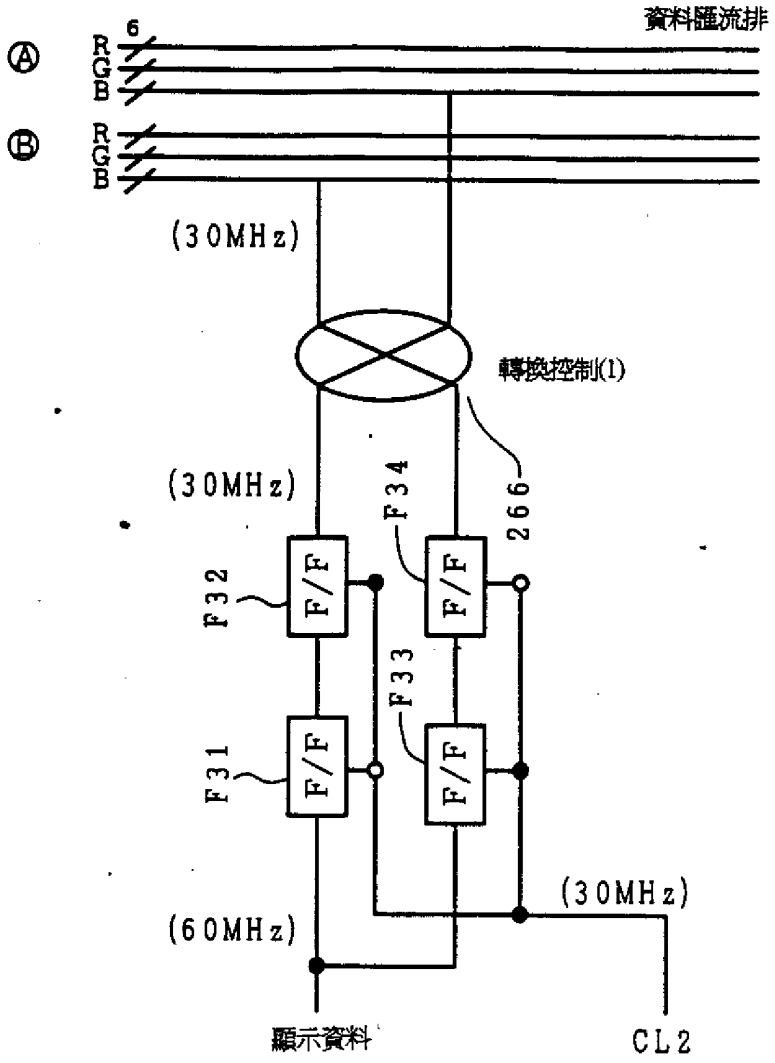
第 48 圖


273
VCC
A
B
I1 I2
I1'
I2'
INP
INM
A
B
A
B
VGPL VGNL
偏壓電路
A
B
A
B
GND
截波器之開關

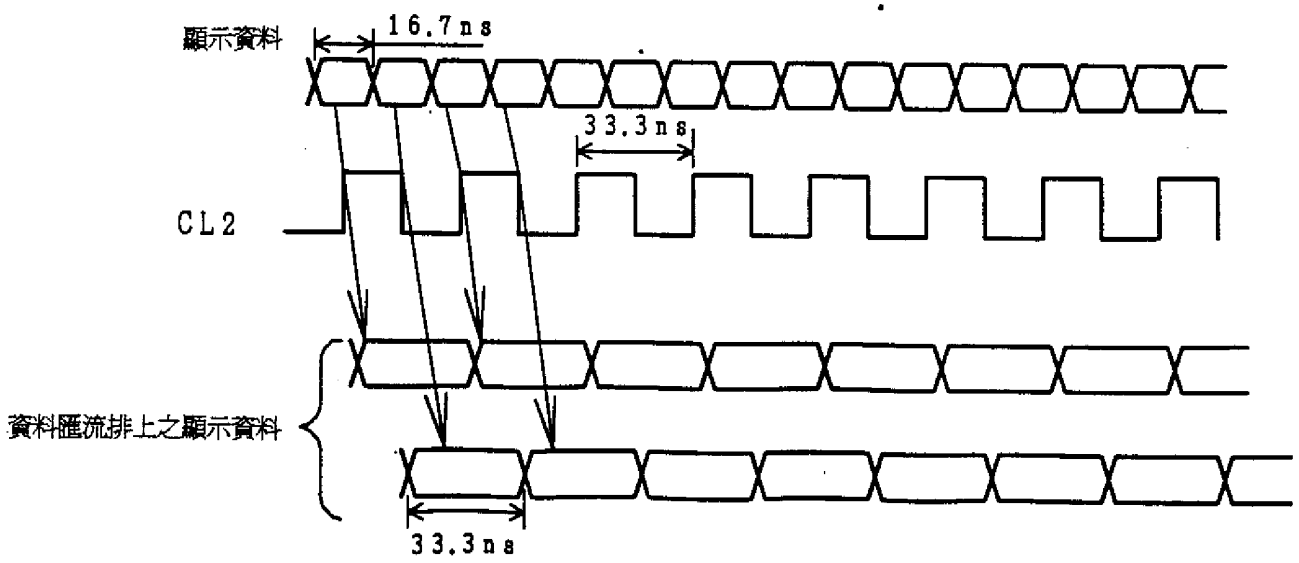
第 49 圖


輸出
Y1
Y2
Y3
Y4
Y5
Y6
264
轉換控制(2)
HV 放大器
LV 放大器
263
解碼器 PMOS
解碼器 NMOS
261
Y1 鎖定
Y4 鎖定
Y2 鎖定
Y5 鎖定
Y3 鎖定
Y6 鎖定
265
RA
GA
BA
RB
GB
BB
6
DATA BUS
161a
161b
偏移記錄器
153
轉換控制(1)
266
鎖定 1a
鎖定 1b
鎖定 6a
鎖定 6b
鎖定 7a
鎖定 7b
鎖定 12a
鎖定 12b
鎖定 13a
鎖定 13b
鎖定 18a
鎖定 18b
顯示資料 1
顯示資料 6
顯示資料 7
顯示資料 12
顯示資料 13
顯示資料 18
160

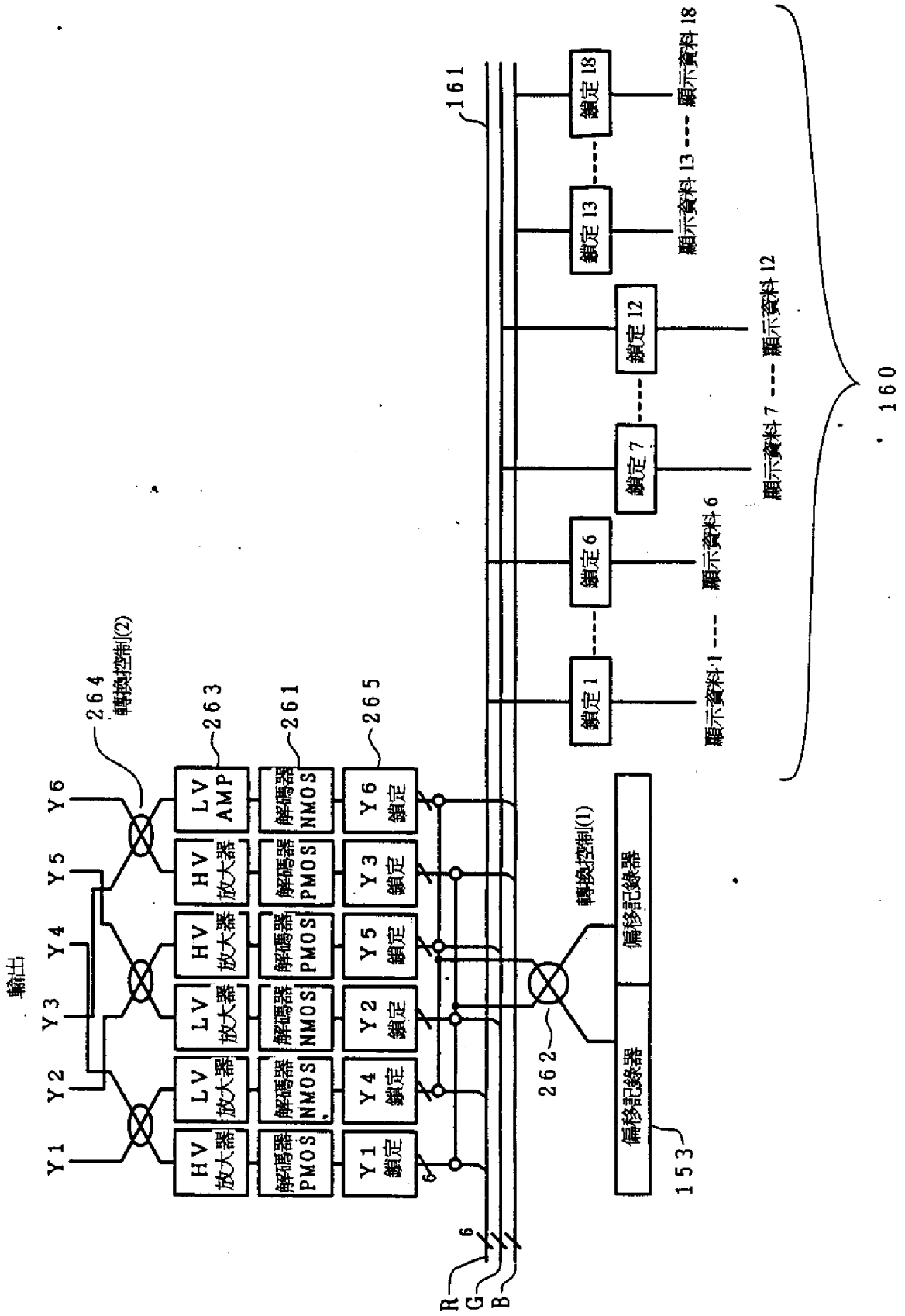
第 50 圖


資料匯流排
6
Ⓐ RGB
Ⓑ RGB
(30MHz)
轉換控制(1)
(30MHz)
F34
266
F32
F/F
F/F
F33
F31
F/F
F/F
(30MHz)
(60MHz)
顯示資料
CL2

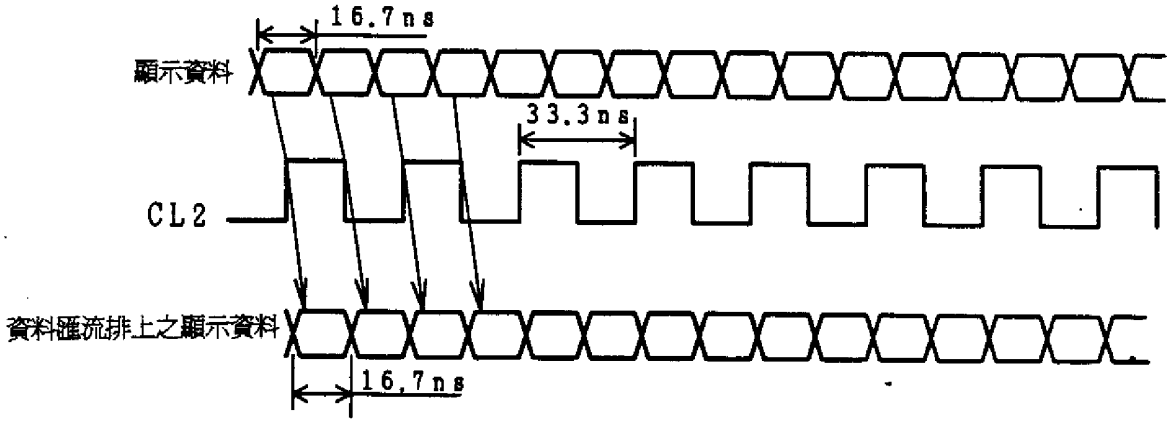
第 51 圖


顯示資料
16.7ns
33.3ns
CL2
資料匯流排上之顯示資料
33.3ns

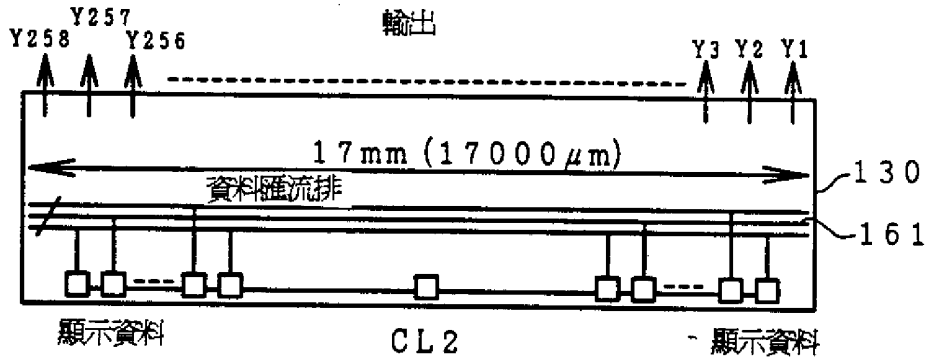
第 52 圖


輸出
Y1
Y2
Y3
Y4
Y5
Y6
264
轉換控制(2)
HV 放大器
LV 放大器
LV AMP
解碼器 PMOS
解碼器 NMOS
261
263
265
Y1 鎖定
Y4 鎖定
Y2 鎖定
Y5 鎖定
Y3 鎖定
Y6 鎖定
6
R
G
B
161
262
轉換控制(1)
偏移記錄器
153
鎖定 1
鎖定 6
鎖定 7
鎖定 12
鎖定 13
鎖定 18
顯示資料 1 --- 顯示資料 6
顯示資料 7 --- 顯示資料 12
顯示資料 13 --- 顯示資料 18
160

第 53 圖


16.7ns
顯示資料
33.3ns
CL2
資料匯流排上之顯示資料
16.7ns

第 54 圖


Y258
Y257
Y256
輸出
Y3 Y2 Y1
17mm (17000μm)
資料匯流排
130
161
顯示資料
CL2
顯示資料

第 55 圖

