

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 29/775 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200580043138.9

[43] 公开日 2009年4月1日

[11] 公开号 CN 101401210A

[22] 申请日 2005.10.14

[21] 申请号 200580043138.9

[30] 优先权

[32] 2004.10.15 [33] US [31] 60/618,762

[86] 国际申请 PCT/US2005/037237 2005.10.14

[87] 国际公布 WO2007/030126 英 2007.3.15

[85] 进入国家阶段日期 2007.6.15

[71] 申请人 纳米系统公司

地址 美国加利福尼亚州

[72] 发明人 沙哈拉·莫斯特拉谢 陈建

弗朗西斯科·莱昂 潘尧令

L·T·罗马诺

[74] 专利代理机构 中科专利商标代理有限责任公
司

代理人 王新华

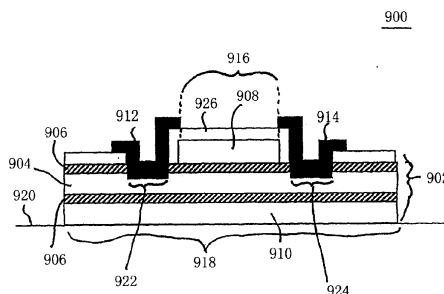
权利要求书4页 说明书18页 附图17页

[54] 发明名称

在以纳米线为基础的电子装置中用于栅极构造和改进触点的方法、系统和设备

[57] 摘要

本发明描述了用于具有改进的栅极结构的电子装置的方法、系统和设备。电子装置包括至少一根纳米线。栅极触点沿所述至少一根纳米线的长度的至少一部分定位。电介质材料层在栅极触点与所述至少一根纳米线之间。源极触点和漏极触点与所述至少一根纳米线接触。源极触点和/或漏极触点的至少一部分沿纳米线长度与栅极触点重叠。在另一方面，电子装置包括具有由绝缘壳层围绕的半导体芯部的纳米线。环形第一栅极区沿纳米线的长度的一部分围绕纳米线。第二栅极区沿纳米线的长度定位在纳米线与衬底之间。源极触点和漏极触点连接到在半导体芯部的各个露出部分处的纳米线的半导体芯部。



1、一种电子装置，包括：

至少一根纳米线；

栅极触点，所述栅极触点沿所述至少一根纳米线的长度的至少一部分被定位；

电介质材料层，所述电介质材料层位于所述栅极触点与所述至少一根纳米线之间；

源极触点，所述源极触点与所述至少一根纳米线接触；

漏极触点，所述漏极触点与所述至少一根纳米线接触；且

其中所述源极触点和所述漏极触点中的至少一个的至少一部分与所述至少一根纳米线的所述长度的所述部分重叠。

2、根据权利要求 1 所述的电子装置，其中所述电介质材料层是围绕所述至少一根纳米线形成的壳层。

3、根据权利要求 1 所述的电子装置，其中所述电子装置形成在衬底上，其中电介质材料沉积在所述衬底上以形成所述电介质材料层。

4、根据权利要求 1 所述的电子装置，其中所述至少一根纳米线包括多根对齐的纳米线。

5、根据权利要求 1 所述的电子装置，其中所述至少一根纳米线包括多根随机定向的纳米线。

6、根据权利要求 1 所述的电子装置，进一步包括：

衬底，

其中所述源极触点和所述漏极触点形成在所述衬底上，所述至少一根纳米线沉积在所述源极触点和所述漏极触点上，且所述栅极触点形成在所述至少一根纳米线上的所述电介质材料层上。

7、根据权利要求 1 所述的电子装置，进一步包括：

衬底；

其中所述栅极触点形成在所述衬底上，所述至少一根纳米线沉积在所述栅极触点上，且所述源极触点和所述漏极触点形成在所述至少一根纳米

线上。

8、根据权利要求 7 所述的电子装置，其中在所述至少一根纳米线沉积在所述栅极触点之前，所述电介质材料层形成在所述栅极触点上。

9、根据权利要求 1 所述的电子装置，其中所述电子装置是晶体管。

10、根据权利要求 1 所述的电子装置，其中所述晶体管是场效应晶体管 (FET)。

11、一种电子装置，包括：

半导体纳米线；

连接到所述纳米线上的漏极触点和源极触点；和

连接到所述纳米线的栅极触点，所述栅极触点沿所述纳米线的长度与所述漏极触点和所述源极触点中的至少一个重叠。

12、根据权利要求 11 所述的电子装置，进一步包括：

电介质材料，所述电介质材料定位于所述栅极触点与所述纳米线之间。

13、一种电子装置，包括：

多根半导体纳米线；

连接到所述多根半导体纳米线上的漏极触点和源极触点；和

连接到所述多根纳米线的栅极触点，所述栅极触点沿所述多根半导体纳米线的长度与所述漏极触点和所述源极触点中的至少一个重叠。

14、根据权利要求 13 所述的电子装置，进一步包括：

电介质材料，所述电介质材料位于所述栅极触点与所述多根半导体纳米线之间。

15、根据权利要求 14 所述的电子装置，其中所述多根半导体纳米线中的每一根纳米线具有半导体芯部和围绕所述半导体芯部的壳层，其中所述壳是所述电介质材料。

16、根据权利要求 13 所述的电子装置，其中所述多根半导体纳米线被对齐。

17、一种用于制造电子装置的方法，包括以下步骤：

(a) 将纳米线定位在衬底上，所述纳米线具有半导体芯部、围绕所述中心部分的绝缘壳层、和围绕所述绝缘壳层的导电层；

(b) 除了在与蚀刻相对的侧面上，沿纳米线的长度的第一位置处围绕纳米线的导体层的环形第一部分、以及沿纳米线的长度的导电层的第二部分之外，蚀刻在衬底上的纳米线，以从纳米线移除导电层；

(c) 将电介质材料定位在衬底上的纳米线上；

(d) 在沿纳米线的长度的第二位置和第三位置处，蚀刻纳米线以从纳米线移除电介质材料、绝缘壳层、和芯部的直径的一部分，其中所述第二位置和第三位置在第一位置的相对侧上；和

(e) 在第二位置形成漏极触点，和在第三位置形成源极触点。

18、根据权利要求 17 所述的方法，其中在步骤 (a) 中沉积的纳米线利用多根纳米线定位，其中步骤 (b) 至 (e) 在多根纳米线上执行以形成电子装置。

19、根据权利要求 17 所述的方法，其中步骤 (b) 包括以下步骤：

将光致抗蚀剂材料涂敷在纳米线上；

除了在第一位置处之外，从纳米线移除光致抗蚀剂材料；和

除了环形第一部分处和第二部分处之外，使用蚀刻以从纳米线移除导电层。

20、根据权利要求 17 所述的方法，其中所述步骤 (d) 包括以下步骤：

将光致抗蚀剂材料涂敷到纳米线上；

在第二和第三位置从纳米线移除光致抗蚀剂材料；

在第二和第三位置处，使用蚀刻以从纳米线移除电介质材料、绝缘壳层、和中心部分的直径的部分。

21、根据权利要求 17 所述的方法，其中步骤 (b) 包括：

使用活性离子蚀刻。

22、根据权利要求 21 所述的方法，其中所述使用步骤包括：

调整等离子体动力、等离子体压力、和衬底偏压中的至少一个以调节离子束。

23、根据权利要求 17 所述的方法，其中步骤 (c) 包括：

使用气相沉积。

24、根据权利要求 23 所述的方法，其中所述使用步骤包括：

使用化学气相沉积。

25、根据权利要求 17 所述的方法，其中步骤 (c) 包括：

使用在玻璃上的旋涂工艺、在聚合物上的旋涂工艺中的至少一种并涂敷 perelyne。

26、根据权利要求 17 所述的方法，其中步骤 (d) 包括：

使用等离子体干蚀刻。

27、根据权利要求 26 所述的方法，其中所述使用步骤包括：

调整气体比和气体压力中的至少一个以控制中心部分与电介质材料之间的蚀刻选择性。

28、根据权利要求 27 所述的方法，其中所述调整步骤包括：

调整气体比和气体压力中的至少一个以大体上平衡中心部分和电介质材料的蚀刻速度，以形成大体上平面表面。

29、根据权利要求 17 所述的方法，其中步骤 (e) 包括：

金属化第二位置和第三位置，以分别形成漏极触点和源极触点。

30、一种衬底上的电子装置，包括：

纳米线，所述纳米线具有由绝缘壳层围绕的半导体芯部；

环形第一栅极区，所述环形第一栅极区沿所述纳米线的长度的一部分围绕所述纳米线；

第二栅极区，所述第二栅极区沿所述纳米线的长度定位在所述纳米线与所述衬底之间；和

源极触点和漏极触点，所述源极触点和漏极触点在所述半导体芯部的各个露出部分处，连接到所述纳米线的所述半导体芯部。

31、一种在衬底上的电子装置，包括：

多根纳米线，所述多根纳米线每一根具有由绝缘壳层围绕的半导体芯部；

第一栅极区，所述第一栅极区沿所述纳米线的长度的一部分环绕所述每一根纳米线；

第二栅极区，所述第二栅极区沿每一根所述纳米线的长度定位在所述纳米线与所述衬底之间；和

源极触点和漏极触点，所述源极触点和漏极触点在所述半导体芯部的各个露出部分处，连接到每一根所述纳米线的所述半导体芯部。

在以纳米线为基础的电子装置中用于栅极构造和改进触点的方法、系统和设备

技术领域

本发明涉及以纳米线为基础的电子装置中的栅极构造（gating configuration）。

背景技术

在研发低成本电子装置中，特别是在研发低成本、大面积电子装置中，在工业上存在着很多关注。这些大面积电子装置的获得（或可行性）可以在从民用到军用的各种技术领域产生根本性的变化。对于这些装置的示范性应用包括用于有源矩阵液晶显示器（LCD）和其它类型的矩阵显示器的驱动电路、智能图书馆、信用卡、用于智能定价的射频识别标签以及存货标签、安全检查/监视或高速公路交通监测系统、大面积传感器阵列，等。

因此，需要的是更高性能的导体材料或半导体材料，以及用于生产低成本、高性能电子装置和构件的方法和系统。

而且，需要的是只需要很低加工温度就可以应用到塑料和其它衬底上的高性能半导体器件，例如薄膜晶体管（TFT）。

发明内容

本发明描述了用于形成高性能电子装置的方法、系统和设备。例如，本发明描述了用于具有改进的栅极结构的半导体器件的方法、系统和设备。

在本发明的一个方面，电子装置包括一根或更多纳米线。栅极触点（gate contact）沿纳米线的长度的至少一部分定位。电解质材料层处于栅极触点和纳米线之间。源极触点和漏极触点形成有纳米线。源极触点和

/或漏极触点的至少一部分沿纳米线的长度与栅极触点重叠。

在本发明的另一方面，描述了具有双栅极结构的电子装置。在一个方面，双栅极结构包括前栅极和后栅极结构。

在再一方面，所述双栅极结构是非对称的。

在再一方面，描述了具有环绕纳米线的栅极结构的电子装置。

在一个方面，电子装置包括纳米线，所述纳米线具有由绝缘壳层围绕的半导体芯部。环形第一栅极区沿纳米线的长度的一部分围绕纳米线。第二栅极区沿纳米线的长度定位在纳米线与支撑衬底之间。源极触点和漏极触点在半导体芯部的各个露出部分处连接到纳米线的半导体芯部。

在本发明的再一方面，描述了用于制造这些电子装置的方法。

根据本发明的诸方面，具有改进的栅极结构的纳米线、纳米杆、纳米微粒、纳米带、和纳米管构造以及薄膜使得可以进行很多新的应用。在诸方面，这些包括：将微型电子装置从单晶体衬底移动到玻璃和塑料衬底；在装置级上集成大电子装置、微型电子装置和纳米电子装置；以及在单个衬底上集成不同的半导体材料。本发明的这些方面影响了现有应用的很宽的范围，从平板显示器到图像传感器阵列，并使得整个新范围的通用的柔性的、耐磨的、可任意处理的用于计算、存储和通信的电子装置、闪速存储器装置、打印装置等得以实现。

通过下面对本发明的详细描述，这些和其它目的、优点和特征将变得更加明显。

附图说明

在此并入并形成说明书的一部分的附图图示说明了本发明，且与描述一起，进一步用于解释本发明的原理和使得本领域普通技术人员做出本发明和使用本发明。

图1显示了在衬底上的以纳米线为基础的示例电子装置；

图2A和2B显示了根据本发明实施例的、具有重叠的栅极结构的以纳米线为基础的示例电子装置；

图3显示了跨越纳米线的长度的一部分的栅极触点；

图4显示了根据本发明实施例的、具有双栅极的电子装置；

图5和6显示了根据本发明实施例的、图2A和2B中的以纳米线为基础的电子装置的示例操作；

图7A显示了根据本发明的示例实施例的、图2B中的以纳米线为基础的电子装置的端视图；

图7B显示了根据本发明实施例的、包括芯部壳纳米线的电子装置；

图7C显示了根据本发明的示例实施例的、图7B中的以纳米线为基础的电子装置的侧横截面图；

图7D和7E显示了根据本发明的示例实施例的、包括多根纳米线的电子装置的端视图；

图8显示了提供用于制造根据本发明的示例实施例的、如图2A和2B中所示的电子装置的示例步骤的流程图；

图9显示了根据本发明示例实施例的、具有示范性非对称双栅极构造的电子装置的横截面图；

图10显示了提供用于制造根据本发明的示例实施例的、如图9中所示的电子装置的示例步骤的流程图；

图11至21显示了根据本发明的实施例的、在示范性制造过程中的、图9中的电子装置的各种视图；

图22显示了根据本发明示例实施例的、具有多根纳米线的电子装置，所述多根纳米线每一根具有非对称双栅极构造；

图23显示了用于根据本发明示例实施例的、具有非对称栅极结构的电子装置的仿真结果的曲线图；和

图24显示了用于根据本发明示例实施例的、具有非对称栅极结构的电子装置的实际操作结果的曲线图。

下面将参照附图描述本发明。在图中，相同的附图标记表示相同或功能相似的元件。另外，附图标记最左边的阿拉伯数字表示该附图标记在其中首先出现的图。

具体实施方式

简介

应该理解的是，在此示出和描述的实施例为本发明的示例，且并不另外

试图以任何方式限制本发明的保护范围。实际上，为简洁起见，本系统（和系统的单独的操作构件）的传统电子装置、制造、半导体器件、和纳米线（NW）技术以及其它功能方面在此没有详细描述。而且，为简洁的目的，本发明在此经常描述为与纳米线相关和与半导体晶体管器件相关。此外，尽管纳米线的数量以及这些纳米线的间隔被提供用于所讨论的具体实施，但是这些实施并不是试图是限制性的，且也可以使用宽范围的纳米线数量和间隔。应该理解的是，尽管纳米线经常提及纳米线，但是在此描述的技术也可应用到纳米杆、纳米管、和纳米带。应该进一步理解的是，在此描述的制造技术可以用于形成任何类型的半导体器件类型，以及其它电子元件类型。此外，这些技术将适合应用在电气系统、光学系统、消费电子产品、工业电子产品、无线系统、空间应用、或任何其它应用。

如在此使用的，术语“纳米线”通常指任何细长导体材料或半导体材料（或其它在此描述的材料），上述材料包括小于500nm优选地小于100nm的至少一个横截面尺寸，和大于10、优选地大于50、并且更优选地大于100的纵横比（长度：宽度）。这些纳米线的示例包括：在公开的国际专利申请No. WO 02/17362、No. WO 02/48701、No. WO 01/03208中描述的半导体纳米线；碳纳米管；和其它相似尺寸的细长导体结构或半导体结构。

如在此使用的，术语“纳米杆”通常指与纳米线相似但是纵横比（长：宽）小于纳米线的纵横比的、任何细长导体材料或半导体材料（或其它在此描述的材料）。要注意的是，两根或更多根纳米杆可以沿它们的纵向轴线连接在一起，从而被连接的纳米杆始终横跨例如触点或电极的任何两个或更多点之间。可选地，两个或更多纳米杆可以沿它们的纵向轴线大体上对齐，但是没有连接在一起，从而在两个或更多纳米杆的端部之间存在小的间隙。在此情况下，通过从一个纳米杆跳越到另一个纳米杆以穿过（traverse）所述小的间隙，电子可以从一个纳米杆流动到另一个纳米杆。两个或更多纳米杆可以大体上对齐，从而它们形成电子通过其可以在电极之间行进的通路。

如在此使用的，术语“纳米微粒”通常指与纳米线/纳米管相似、但是具有小于纳米管的纵横比（长：宽）的纵横比（包括1：1的纵横比）的任何导体或半导体材料（或在此描述的其它材料）。要注意的是，两个或

更多纳米微粒可以连接在一起从而连接的纳米微粒始终横跨例如触点或电极的任何两个或更多点之间。可选地，两个或更多纳米微粒可以大体上对齐，但是没有连接在一起，从而在它们之间存在小的间隙。在此情况下，通过从一个纳米微粒跳越到另一个纳米微粒杆以穿过所述小的间隙，电子可以从一个纳米微粒流动到另一个纳米微粒。两个或更多纳米微粒可以大体上对齐（例如，化学地，通过电荷/电场等），从而它们形成电子通过其可以在电极之间行进的通路。要注意的是，“纳米微粒”可以被称为“量子点（quantum dot）”。

尽管在此描述的示范性实施主要使用CdS和Si，但是也可以使用其它类型的用于纳米线或纳米带的材料，并包括半导体纳米线或纳米带，所述半导体纳米线或纳米带由从例如下面的材料中选择的半导体材料组成：

Si, Ge, Sn, Se, Te, B, C （包括钻石）, P, B-C, B-P（BP6）, B-Si, Si-C, Si-Ge, Si-Sn, Ge-Sn, SiC, BN/BP/BAs, AlN/AlP/AlAs/AlSb, GaN/GaP/GaAs/GaSb, InN/InP/InAs/InSb, BN/BP/BAs, AlN/AlP/AlAs/AlSb, GaN/GaP/GaAs/GaSb, InN/InP/InAs/InSb, ZnO/ZnS/ZnSe/ZnTe, CdS/CdSe/CdTe, HgS/HgSe/HgTe, BeS/BeSe/BeTe/MgS/MgSe, GeS, GeSe, GeTe, SnS, SnSe, SnTe, PbO, PbS, PbSe, PbTe, CuF, CuCl, CuBr, CuI, AgF, AgCl, AgBr, AgI, BeSiN₂, CaCN₂, ZnGeP₂, CdSnAs₂, ZnSnSb₂, CuGeP₃, CuSi₂P₃, (Cu, Ag) (Al, Ga, In, Tl, Fe) (S, Se, Te)₂, Si₃N₄, Ge₂N₄, Al₂O₃, (Al, Ga, In)₂(S, Se, Te)₃, Al₂CO, 和两种或更多这些半导体的适当组合。

在某些方面，半导体可以包括来自以下组成的组中的掺杂剂：来自周期表的组III的p型掺杂剂；来自周期表的组V的n型掺杂剂；从由B、Al和In组成的组中选择的p型掺杂剂；从由P、As和Sb组成的组中选择的n型掺杂剂；来自周期表的组II的p型掺杂剂；从由Mg、Zn、Cd和Hg组成的组中选择的p型掺杂剂；来自周期表的组IV的p型掺杂剂；从由C和Si组成的组中选择的p型掺杂剂；或从由Si、Ge、Sn、S、Se和Te组成的组中选择的n型掺杂剂。

另外，纳米线或纳米带可以包括碳纳米管，或由导体或半导体有机聚合物材料（例如并五苯、和过渡金属氧化物）形成的纳米管。

因此，尽管为说明目的，在此在整个说明书中涉及术语“纳米线”，

但是在此描述也包括使用纳米管（例如，具有形成为轴向穿过其中空管的纳米线状结构）。纳米管如在此对纳米线所描述的，可以共同形成/纳米管薄膜，单独或与纳米线共同地，以便提供在此描述的特性和优点。

而且，要注意的是，本发明的纳米线的薄膜可以是“异质（heterogeneous）”膜，所述“异质”膜包括不同成分和/或结构特征的半导体纳米线和/或纳米管，和/或纳米杆，和/或纳米带，和/或它们的任何组合。例如，“异质膜”可以包括具有不同直径和长度的纳米线/纳米管，和具有不同特征的“异质结构”的纳米管和/或纳米管。

在本发明的上下文中，尽管详细描述的重点涉及在半导体衬底上的纳米线、纳米杆、纳米管、或纳米带薄膜，但是这些纳米结构连接到其上的衬底可以包括任何材料，包括但不限于：均匀衬底，例如固体材料的晶片，所述固体材料例如硅或其它半导体材料、玻璃、石英、聚合体等；固体材料的大刚性板，所述固体材料例如玻璃、石英、诸如聚碳酸酯和聚苯乙烯等的塑料，或可以包括例如结构、成分等上的另外成分。可选地，可以使用柔性衬底，例如一卷诸如聚烯烃、聚酰胺等等的塑料，也可以使用透明衬底，或柔性透明衬底。例如，所述衬底可以包括作为最终想要的器件的一部分的其它线路或结构元件。这些元件的具体示例包括：例如电触点的电路元件、其它电线或导电路径，所述电触点的电路、其它电线或导电路径包括纳米线或其它纳米级导电元件、光学和/或光电元件（例如，激光器、LED等）；和结构元件（例如，微型悬臂、凹陷、穴（well）、柱等）。

通过大体上“对齐”或“定向”表示在纳米线的集合或总体内的大部分纳米线的纵向轴线定向成在单个方向的30度范围内。尽管大部分可以被认为是纳米线的数量大于50%，但是在各种实施例中，60%、70%、80%、90%或其它百分比的纳米线可以被认为是如此对齐的大部分。在某些优选方面，大部分纳米线定向在想要的方向的10度范围内。在另外的实施例中，大部分纳米线可以定向在想要的方向的其它数量或度数范围内。

应该理解的是，在此做出的空间描述（例如，“上面”、“下面”、“上”、“下”、“顶”、“底”等）仅是为了说明目的，且本发明的器件可以任何方位或方式布置。

具有重叠栅极的电子装置实施例

此部分提供了用于具有重叠的栅极构造的电子装置的本发明的实施例。这些实施例是为了说明目的，而不是限制性的。通过在此的描述，本发明的其它操作和结构上的实施例将对于本领域普通技术人员变得明显。这些另外的实施例在本发明的保护范围和实质的范围内。

例如，本发明的实施例应用到例如场效应晶体管（FET），包括金属氧化物半导体FET（MOSFET），的晶体管。FET是三终端器件，其中第一和第二终端之间的电流在第三终端处得到控制。例如，电压可以施加在第三终端处以控制所述电流。在实施例中，第一和第二终端可以是“源极”或“漏极”终端，且第三终端可以是“栅极”终端。在实施例中，三个终端形成在半导体材料上或内。

在MOSFET实施例中，金属栅极电极典型地通过绝缘体材料与半导体材料分开。对应于源极和漏极的半导体材料的区域典型地掺杂有不同于基极半导体材料的材料。例如，源极和漏极区可以是“n”掺杂，而基极半导体材料是“p”掺杂（即，n沟道器件）。可选地，源极和漏极区可以是“p”掺杂，而基极半导体材料是“n”掺杂（即，p沟道器件）。在栅极处施加的电压形成耗尽区，且进一步形成含有活动载流子的薄表面区，称为沟道区。n沟道器件具有用于多数载流子的电子，而p沟道器件作为用于多数载流子的空穴。沟道区的形成允许电流在源极和漏极之间流动。

根据本发明的实施例，栅极触点与纳米线（或多根纳米线）的源极和/或漏极区重叠。此构造允许形成，对本征和低掺杂的半导体纳米线的改进的欧姆（低电阻）触点。

形成金属和半导体之间的欧姆触点的传统方法是，在金属将要与半导体接触的区域内植入掺杂剂（dopant）。这种掺杂例如可以减少触点电阻和/或串联电阻。

对于纳米线，在掺杂期间必须使用非常低的掺杂剂能量，以便具有浅结（例如小于40nm）。否则，较高能量的离子可以穿透纳米线并引起晶体结构破坏，因为纳米线的小尺寸和种子晶体结构的可获得性，所述晶体结构破坏即使是加温退火工艺（thermal annealing processes）也不能修复。

本发明的实施例使用栅极不仅用于调整FET结构的沟道区，而且用于

“打开” FET纳米线的源极区和漏极区。因为所涉及的纳米线的小（例如小于100nm）的尺寸，这是可能的。尽管纳米线在栅极电场的影响下被聚集/反转（inverted：或反相），但是源漏反偏电压也影响载流子浓度。这是因为纳米线的小直径（例如小于100nm）允许载流子在纳米线内通过扩散而四处移动越过这些小距离。纳米线的此固有本质使得在缺少根据本发明的重叠的栅极偏压的情况下，对源极和漏极触点（例如金属）的连接很差，甚至完全切断了电子装置。具有源极和漏极重叠区的单个栅极可以与其在纳米线FET的沟道区内所进行的非常相似的方式调整载流子浓度。结果，对源极区和漏极区的触点不必进行掺杂。这方便通过小的纳米线直径（相较于例如硅中的载流子的扩散长度）、和载流子从纳米线的栅极侧扩散到纳米线的源极侧和/或漏极侧以形成到沟道的延伸的能力。

本发明可应用到很多类型的以纳米线为基础的电子装置，包括以纳米线为基础的晶体管。例如，在使用此构造的FET实施例中，栅极触点使得电荷在源极触点和漏极触点内聚集或反转，同时也调整了沟道电导率（通过纳米线）。

在实施例中，在与源极触点和漏极触点所位于的表面相对的表面上，栅极金属与纳米线的源极区和/或漏极区重叠。然而，根据本发明的实施例，其它栅极以及源极和/或漏极布置也是可以的，如本领域普通技术人员在此从教导中可以理解的。

这些实施例提供了下面的很多优点：

- 1、消除了需要对纳米线的触点区的掺杂植入；和
- 2、因为栅极被调整为“断开”状态（例如，沟道相对不导电）且关闭了源极和漏极触点区，所以基本上减小了阈值下的泄漏（sub-threshold leakage）（“断开”状态的泄漏）。

图1显示了在衬底102上的以纳米线为基础的示例电子装置100。图1中的电子装置100是晶体管。如图1中所示，电子装置100具有漏极触点104、源极触点106、纳米线108、栅极触点110、和电介质材料层112。电子装置100是传统的电子装置因为漏极触点104和源极触点106中没有一个沿纳米线108的长度120与栅极触点110重叠。由此，电子装置100遭受上述缺陷（或具有上述缺陷）。

图2A和2B显示了根据本发明实施例的、在衬底102上的、以纳米线为基础的示例电子装置。图2A显示了电子装置200，所述电子装置200具有漏极电极或触点104、源极电极或触点106、纳米线108、栅极电极或触点210，和电介质材料层112。

如图2A中所示，栅极触点210沿纳米线108的长度212定位。在可选实施例中，栅极触点210可以沿纳米线108的长度212的任何部分形成。例如，图3显示了沿小于纳米线108的整个长度的部分302定位的栅极触点210。

电介质材料层112位于栅极触点210与纳米线108之间。电介质材料层112起栅极电介质的作用，且可以是包括有机或无机的任何类型的电介质材料，且通过任何薄膜沉积方法例如化学气相沉积（CVD）、电子束蒸发、或以在别处描述或引用，或其它已知的任何其它方式，所述电介质材料层112可以被旋涂、溅射、或涂敷（applied）。在一个实施例中，电介质材料可以被凹入沟道区内以在沟道区提供更好的耦合效率。

漏极触点104与纳米线108接触。如图2A中所示，漏极触点104与栅极触点210重叠。换言之，漏极触点104与纳米线108的、栅极触点210沿其定位的部分重叠。源极触点106与纳米线108接触。如图2A中所示，源极触点106与栅极触点210接触。换言之，源极触点106与纳米线108的、栅极触点210沿其定位的部分重叠。

如图2A和2B中所示，漏极触点104和源极触点106的整个长度与纳米线108的长度212重叠。可选地，如图3中所示，源极触点106的一部分306与栅极触点210重叠，且漏极触点104的一部分304与栅极触点210重叠。在一个实施例中，漏极触点104和源极触点106中任一个或两个与栅极触点210接触的重叠量被最小化以降低寄生电容。

因为与栅极触点210重叠，所以纳米线108的邻近漏极触点104和源极触点106的区域不必被掺杂以形成欧姆触点。栅极触点210可以用于调整在这些区中由于重叠导致的载流子浓度，以便“打开”纳米线108的源极区和漏极区。

栅极触点210、漏极触点104、和源极触点106可以是任何适当的导电材料，包括有机（导电聚合物）或无机（例如，金属或金属/合金的组合），并如在别处描述或引用的、或其它已知的方式，可以被涂漆（painted）、

电镀、蒸发、溅射、旋涂、或涂敷。

要注意的是，漏极触点104与源极触点106之间的空间220存在时可以被填充或没有被填充。例如，如本领域普通技术人员已知的，空间220可以包括空气、绝缘材料、将纳米线108粘附到衬底102上的粘合剂、或任何其它合适的材料。

电子装置200可以使用传统工艺形成，并可以任何顺序形成。例如，如图2A中所示，源极触点104和漏极触点106形成在衬底102上。纳米线108沉积和以其它方式定位在源极触点104和漏极触点106上。电介质材料层112形成在纳米线108上。栅极触点210形成在电介质材料层112上。

可选地，栅极触点210可以形成在用于电子装置200的衬底上。例如，如图2B中所示，栅极触点210形成在衬底102上。电介质材料层112形成在栅极触点210上。纳米线108沉积或以其它方式定位在电介质材料层112上。源极触点106和漏极触点104形成在纳米线108上。

在作为FET的电子装置200的操作过程中，纳米线108起在源极触点106与漏极触点104之间的沟道的作用。在实施例中，一个或更多附加的栅极触点，全局的或局部的，可以形成在电子装置200内以提高性能。例如，如图4中所示，根据实施例，第二栅极触点402可以存在于电子装置200中。第二栅极402可以连接到第一栅极触点210或与第一栅极触点210分离。在图4中示出的构造中，第二栅极触点402可以被称为“后”栅极，而第一栅极触点210可以被称为“前”栅极。第二栅极触点402可以提高沟道电导率。如本领域普通技术人员通过这里的教导所理解的，除了图4中示出的之外的多栅极构造也可以应用到本发明的实施例。

图5和6显示了图2A和2B中的电子装置200的示例操作。在图5和6的示例中，纳米线108是p型半导体材料。在可选的实施例中，纳米线108可以是n型。例如，图5示出了连接到栅极触点210的第一负电压信号502，和施加到漏极触点104的第二负电压信号504。源极触点106可以接地，或连接到其它电压或电势。如图5中的示例示出的，负电压施加到栅极触点210上使得正电荷510聚集在栅极触点210附近的纳米线108内，以形成沟道，且另外的正电荷聚集在漏极触点104附近。图6中示出的电子装置200以与图5中示出的电子装置200相似的方式操作。

在一个实施例中，例如图2A和2B中示出的，电介质材料层112被沉积。例如，图7A显示了电子装置200的端视图，其中电介质材料层112形成在衬底102上的栅极触点210上。在另一实施例中，电介质材料层112可以是纳米线108的壳层。例如，图7B显示了根据本发明的实施例的、具有芯部壳（core shell）的纳米线702的电子装置200。纳米线702具有由壳层706围绕的半导体芯部704。壳层706是形成在纳米线702的表面内或涂敷在其上的电介质材料。在图7B的示例实施例中，芯部壳的纳米线702沉积在栅极触点210上，且漏极触点104（以及源极触点106，在图7B中没有示出）形成在纳米线702上。壳层706起用于图7B中的电子装置200的电介质材料层112的作用。可选地，栅极触点210可以形成在纳米线702上，且漏极触点104（以及源极触点106）可以形成在衬底102上。

要注意的是，在图7B中示出的实施例中，壳层706的一部分不存在，从而漏极触点104（和源极触点106）可以与芯部704接触。例如，图7C显示了根据本发明的实施例的、图7B中的电子装置200的横截面侧视图。如图7C中所示，壳层706的在纳米线702的端部708和710处的部分712和716可以被形成图案/移除以露出用于漏极触点104和源极触点106的芯部704。

要注意的是，在实施例中，电子装置可以形成具有任何数量的纳米线（一根或更多根）。例如，多根纳米线可以形成为薄膜，并使用在电子装置中。当使用多根纳米线时，纳米线可以对齐或不对齐（例如，随机定向）。

例如，图7D显示了根据本发明实施例的、具有多根对齐的纳米线108a至108d的电子装置750的横截面端视图。如图7D中的示例所示的，多根纳米线108a至d沉积在电介质材料层112上。此外，多根纳米线108a至d具有形成在其上的共用的漏极触点104（以及共用的源极触点106，没有在图7D中示出）。

可选地，多根纳米线可以是芯部壳的纳米线。例如，图7E显示了根据本发明的示例实施例的、具有多根对齐的芯部壳的纳米线702a至c的电子装置760的横截面端视图。如图7E中的示例所示的，多根纳米线702a至c具有形成在其上的共用的漏极触点104（和共用的源极触点106，没有在图7E中示出）。漏极触点104显示为与纳米线702a至c的芯部704a至c的露出部分接触。而且，多根纳米线108a至d沉积在栅极触点210上。

要注意的是，电子装置750可以可选地具有形成在衬底102上的漏极触点104和源极触点106，并具有形成在多根纳米线上的栅极触点210，或可以其它方式构造。

图8显示了提供用于根据本发明示例实施例的制造电子装置的示例步骤的流程图800。根据下面的讨论，其它结构和操作实施例对于本领域普通技术人员而言是明显的。图8中示出的步骤并不必然以示出的顺序出现。下面详细描述图8中的步骤。

流程图800从步骤802开始。在步骤802中，至少一根纳米线被定位在衬底上。例如，任何数量的一根或更多根纳米线可以被定位或沉积。例如，图7A和7B涉及单根纳米线实施例的示例，而图7D和7E涉及存在多根纳米线的示例。例如图7A中示出的纳米线108和/或例如图7B中示出的纳米线702的纳米线可以被使用。任何类型的衬底可以用于衬底102，包括柔性和刚性衬底，小面积和大面积衬底。

在步骤804中，栅极触点形成。栅极触点沿至少一根纳米线的长度的至少一部分定位，且通过电介质材料层与至少一根纳米线分开。例如栅极触点可以是栅极触点210，所述栅极触点210在定位了纳米线之后形成（例如图2A中所示），或在定位纳米线之前形成（例如图2B中所示）。

在步骤806中，漏极触点和源极触点形成为与至少一根纳米线接触，其中源极触点和漏极触点中的一个或两个的至少一部分与栅极触点重叠。例如，漏极触点和源极触点是图2A或2B中示出的漏极触点和源极触点104和106。如图2A和2B中所示，漏极触点104和源极触点106与栅极触点210整个重叠。可选地，如图3中所示，源极触点106和漏极触点104的部分与栅极触点210重叠。在可选实施例中，漏极触点104和源极触点106中仅有一个沿纳米线的长度与栅极触点210重叠。

非对称双栅极、以纳米线为基础的晶体管实施例

此部分中提出了用于具有非对称栅极构造的电子装置的本发明的实施例。这些实施例是为了说明目的，而不是限制性的。通过在此的描述，本发明的其它操作和结构上的实施例将对于本领域普通技术人员变得明显。这些另外的实施例在本发明的保护范围和实质的范围内。

根据本发明的实施例，非对称双栅极构造形成用于增加用于以纳米线

为电子装置例如晶体管的驱动能力 (drive ability)。为说明目的，在此描述用于形成具有非对称双栅极构造的纳米线FET的实施例。

本发明的非对称栅极构造提供用于高性能电子装置，并通过去除掺杂工艺而简化电子装置的制造过程。这样的掺杂工艺典型地需要离子注入和高温扩散/退火工艺。根据本发明实施例的制造过程，可以使用非常低的温度加工（例如低于100℃）实施。电子装置实施例可以形成在任何类型的衬底上，包括具有任何尺寸和形状（例如，卷对卷塑料电子装置 (roll to roll plastic electronics)）的低温衬底（例如，不能承受高温加工的衬底），包括玻璃、塑料、不锈钢、陶瓷、或其它材料或装置。

通过利用双栅极和在纳米线中的潜在地完全耗尽的沟道，可以很低的成本形成高性能的装置。初始装置建模和实际装置检测显示了非常好的装置性能。例如，相较于非双栅极装置，使用本发明的双栅极，电流驱动能力可以是多于双倍的。

图9显示了根据本发明实施例的、具有示范性非对称双栅极构造的电子装置900的横截面视图。如图9中所示的，电子装置900形成在衬底920上。电子装置900包括纳米线902，所述纳米线902具有由绝缘壳层906（例如保形涂料）围绕的半导体芯部904；环形第一栅极区908；第二栅极区910；源极触点912；和漏极触点914。

如下面进一步描述的，环形第一栅极区908沿纳米线902的长度918的一部分916围绕纳米线902。第二栅极区910沿纳米线902的长度918、在纳米线902与衬底920之间定位。

源极触点912和漏极触点914在半导体芯部904的各个露出的部分922和924处连接到纳米线902的半导体芯部904。在图9的示例中，源极触点912和漏极触点914位于与第二栅极区910的侧面（例如，图9中示出的纳米线902的底侧）相对的、纳米线902的侧面（例如，图9中示出的顶侧）上。

电介质材料926将源极触点912和漏极触点914与环形栅极区908分开。

根据本发明的实施例，电子装置900可以根据各种工艺形成。图10显示了提供用于根据本发明的示例实施例的制造电子装置900的流程图1000。根据下面的讨论，其它结构和操作实施例对于本领域普通技术人员而言是明显的。图10中示出的步骤并不必然以示出的顺序出现。下面参照

图11至21详细描述图10中的步骤。图11至21显示了根据本发明实施例的、在示范性制造过程期间的电子装置900的各种视图。

流程图1000从步骤1002开始。在步骤1002中，纳米线定位（例如沉积）在衬底上。例如，如图13中所示，纳米线是定位（例如，生长、沉积等）在衬底920上。图11显示了纳米线902的示范性横截面视图，图12显示了纳米线902的示范性透视图。在实施例中，例如图11和12中所示的，纳米线902具有半导体芯部904、围绕芯部904的绝缘壳层906、和围绕绝缘壳层906的导电层1102。导电层1102是围绕纳米线902形成的保形（conformal）涂料。例如，多晶硅（poly-Si）或Ge可以用作导电层，也可以使用其它导电材料，例如另外的有机材料（例如，导电聚合物等）或者无机材料（例如掺杂的Si、Ge等）或金属（例如W、Pt、Cu、Al、Ni、Ti等），并包括金属/合金的组合。通过化学气相沉积（CVD）技术，例如等离子增强CVD（PECVD）、低压CVD（LPCVD）、原子层沉积（ALD）、或快速热CVD（RT-CVD）等；通过物理气相沉积（PVD）（例如，溅射、蒸发）；和通过其它薄膜工艺方法例如旋涂、蒸发涂敷、浸渍涂敷等，可以形成导电层1102。绝缘壳层906可以由例如SiO₂、SiN、SiON、SiC、Al₂O₃、AlN等的多种电介质材料中的任何一种，聚合物材料，或其它绝缘材料形成。在被提供用于说明目的的示例实施例中，导电层1102可以具有1000埃（Angstrom）的厚度，壳层906（例如由SiO₂制成）可以具有100埃的厚度，且芯部904（例如，当为硅时）可以具有500埃的直径。要注意的是，对于图9和11至22中示出的芯部904、壳层906、导电层1102等的相对尺寸没有必要在比例上准确，但是相对尺寸被显示为便于说明。

在一个实施例中，流程图1000可以包括壳层906形成在芯部904内/上的步骤。流程图1000也可以包括导电层1102形成在壳层906上的步骤。

在步骤1004中，除了在与蚀刻相对的侧面上沿纳米线的长度的导电层的第一部分、以及在沿纳米线的长度的第一位置处围绕纳米线的导电层的环形第二部分之外，在衬底上的纳米线被蚀刻以从纳米线移除导电层。例如图14显示了根据本发明实施例的蚀刻纳米线902的示例。导电层1102的一部分可以任何方式从纳米线902选择性地蚀刻。如图14的示例所示的，光致抗蚀剂材料1402可以在纳米线902上形成图案，以保护在纳米线902上

导电层1102的不被移除的部分。例如可以使用光刻工艺。如图14中所示，纳米线902可以使用蚀刻源1404（例如，化学蚀刻材料、激光等）被露出或处理，以便移除导电层1102的非保护部分。可以使用任何类型的适当的材料移除工艺。例如，可以使用活性离子蚀刻（RIE）或其它蚀刻技术。例如，在RIE蚀刻工艺中，等离子体动力（plasma power）、压力、蚀刻气体成分、和/或衬底偏压（substrate bias）可以被调整（tuned），从而离子束将更加笔直地朝向表面。并且在导电层1502与在下面的绝缘壳906之间的很高的蚀刻选择性得以使用，从而绝缘层906的蚀刻在导电层1502的蚀刻过程中被最小化。这可以例如通过如上所述的调整蚀刻工艺而实现。

移除导电层1102的一部分形成用于电子装置900的最初的栅极结构。图15显示了示范性横截面视图，且图16显示了具有最初栅极结构的纳米线902的示范性透视图。如图15和16中所示的，最初的栅极结构包括导体层1102的环形第一区或部分1502，和导体层1102的第二区或部分1504。环形第一部分1502形成用于电子装置900的第一的“前”栅极，而第二部分1504形成用于电子装置900的第二的“后”栅极。导体层1102的环形第一部分1502沿纳米线902的长度918围绕纳米线902定位在第一位置1506（？）处。环形第一部分1502由如上所述的光致抗蚀剂材料1402或通过其它手段成形。导体层1102的第二部分1504沿纳米线902的长度918定位。第二部分1504在与蚀刻源（例如光1402）相对的侧面上形成在导体层1102内，因为芯部904和壳层906阻挡了蚀刻源影响纳米线902下面的材料。

在实施例中，如图16中所示，环形第一部分1502整个环绕纳米线902。可选地，第一部分1502可以形成为部分环绕纳米线902。换言之，在实施例中，第一部分1502是部分圆，例如半圆或其它部分，其没有围绕纳米线902的整个圆周延伸。要注意的是，环形第一部分1502在特定应用需要时，可以形成为具有沿纳米线902的任何宽度。

在实施例中，任选的掺杂步骤可以被执行以在需要时向源极区和漏极区掺杂。可以使用任何掺杂工艺。例如，通过在热退火，例如快速热退火（RTA）和激光退火等之后，使用热扩散、离子注入、激光感应掺杂、等离子体离子注入、或等离子体离子簇射，可以执行掺杂。

在步骤1006中，电介质材料沉积在衬底上的纳米线上。例如，电介质材料被沉积以形成电介质材料层1702，如图17和18中所示。图17显示了纳米线902的横截面侧视图，且图18显示了纳米线902的端视图。电介质材料层1702用作最终的栅极与漏极/源极触点之间的绝缘体的基础。可以使用任何类型的电介质材料沉积工艺，包括气相沉积，例如化学气相沉积（CVD），或原子层沉积（ALD）。用于层1702的电介质材料可以是任何类型的电介质材料，包括SiO₂、SiN、Al₂O₃、AlN、或其它在别处描述或引用的电介质材料，或其它已知的材料。可选地，可以使用其它沉积技术和材料，包括在玻璃上旋涂、在聚合物（例如聚酰亚胺、BCB、SU8）上旋涂，以及perelyne。在实施例中，这些材料被保形涂敷在纳米线上，并被平坦化。

在步骤1008中，纳米线被蚀刻以从沿纳米线长度在第二位置和第三位置处，移除电介质材料、绝缘壳层、和芯部的直径的一部分。例如，如图19中所示，光致抗蚀剂材料1902可以在电介质材料层1702上形成图案以控制电介质材料层1702、壳层906、和芯部904的哪部分被移除。例如可以使用光刻工艺。如图19中所示，纳米线902可以使用蚀刻源1904（例如化学蚀刻材料、活性离子蚀刻等）被露出或处理，以便移除电介质材料层1702、壳层906、和芯部904的非保护部分。图19中示出的第一位置1910和第二位置1920没有被光致抗蚀剂材料1902保护。由此，如图20中的横截面侧视图所示的，电介质材料层1702、壳层906、和芯部904在第一和第二位置1910和1920被移除，以露出芯部904的部分922和924。图21显示了端部横截面视图，其显示了在第一位置1910内被移除以露出芯部904的部分922的电介质材料层1702、壳层906、和芯部904。如图20中所示，电介质材料层1702的电介质材料926覆盖环形第一部分1502。

可选地，可以使用其它材料移除/蚀刻技术，例如平坦化工艺，以移除在第二和第二位置1910和1920中的电介质材料层1702、壳层906、和芯部904。例如，例如等离子体干蚀刻的蚀刻可以被执行。所述工艺可以通过改变气体比（gas ratio）和/或气体压力被调整，从而芯部904的材料（例如硅）与电介质材料层102的材料之间的蚀刻选择性大体上相等，以便使得在接触面积（例如第一和第二露出部分922和924）中的表面大体上扁平和平滑，如图21中所示的。在一些实施例中，在硅芯部与电介质材料

之间的很高的蚀刻选择性是理想的，当例如以聚合物为基础的材料用于电介质材料时，这可以实现。

如上所述，在实施例中，芯部904的一些在步骤1008中被移除。例如，芯部904的直径的1/4至1/3或任何其它量被移除。在另一实施例中，在步骤1008中，电介质材料层1702和壳层906被蚀刻以露出芯部904的表面，且没有从芯部904移除任何材料。

在步骤1010中，漏极触点形成在第二位置处，而源极触点形成在第三位置处。例如，如图9中所示的，源极触点912和漏极触点914形成在第一露出部分922和第二露出部分924中。例如，可以执行金属沉积/金属化以形成源极触点912和漏极触点914。光致抗蚀剂可以用于覆盖不被金属化的区域，且例如，光致抗蚀剂可以随后移除。

由此，在实施例中，电子装置900可以通过流程图1000的过程形成。从导电层1102形成的环形第一部分1502是电子装置900的环形第一栅极区908。从导电层1102形成的第二部分1504是第二栅极区910。

在实施例中，在步骤1002中定位的纳米线使用多根纳米线定位。在这种实施例中，步骤1004、1006、1008和1010可以在多根纳米线上执行以形成电子装置。由此，多根与纳米线902相似的纳米线可以被定位、对齐或没有对齐，以形成电子装置。例如，图22显示了电子装置2200的一部分的端部横截面视图，所述电子装置2200包括多个电子装置900a至c。要注意的是，电子装置900a至c中的每一个具有相应的环形第一栅极区908a至c和第二栅极区910a至c。这些栅极可以通过衬底920的图形/电路或其它电连接在一起。此外，共有的源极触点912连接到电子装置900a至c中的每一个。

要注意的是，上述对于电子装置结构以及对于其制造过程的描述，也可以应用到无定形硅(a-Si)以及多晶硅(poly-Si)基的薄膜晶体管。

图23显示了用于本发明的n沟道装置实施例的仿真结果的曲线图2300。曲线图2300显示了当后栅极电压变化时(例如，施加到第二栅极区910的电压， V_{handle})，漏极电流 I_d (Y轴)(例如在图9中的漏极触点914处测量的电流)对栅极电压 V (栅极)(X轴)(例如，施加到环形第一栅极区908的电压)的各种曲线图。在图23中，后栅极电压逐步变化： $-5V$ 、 $0V$ 、 $1V$ 、 $3V$ 和 $5V$ 。

曲线图2300表示当后栅极电压从0V（即， $V_{\text{handle}} \neq 0$ ）向上变化时，漏极电流急剧增加。由此，使用后栅极，例如第二栅极区908，允许增加电流容量。

图24显示了从实际p沟道装置得出的结果的曲线图2400，显示了与图23的模拟相似的结果。在曲线图2400中，使用0V和-100V后栅极电压。如曲线图2400中所示，非零后栅极电压提供了增加的电流容量（即，曲线图2400中示出的大约3x更多电流）。

由此，本发明的实施例提供了很多优点，包括：

- A. 很高的电流驱动能力；
- B. 很低的串联电阻；
- C. 在没有掺杂的情况下的欧姆触点（Ohmic contact）；
- D. 对于纳米线装置，在没有牺牲性能的情况下，十分低的制造/组装环境温度（例如， $T < 200^\circ\text{C}$ ）是可能的。

结论

尽管已经在上面描述了本发明的各种实施例，但是应该理解的是，它们仅以示例的方式示出，且不是限制性的。对于本领域普通技术人员而言，在不偏离本发明的精神和保护范围的情况下，可以对其做出各种形式和细节上的变化。由此，本发明的宽度和范围应该没有被上述示例实施例中的任何一个所限制，而是应该仅根据权利要求及其等同物被限定。

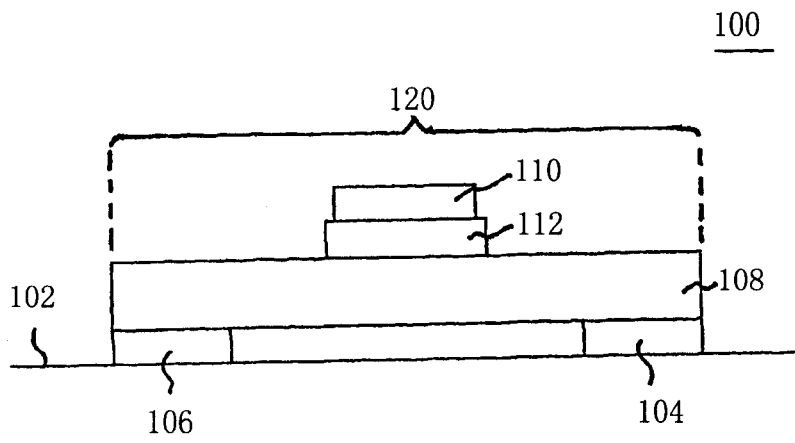


图 1

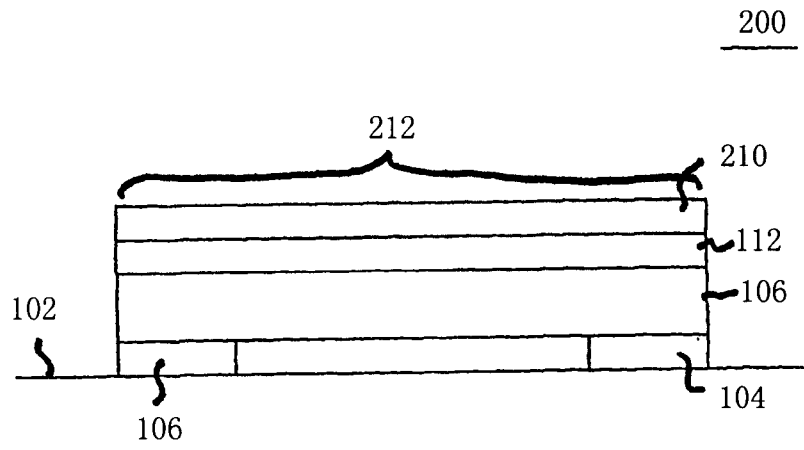


图 2A

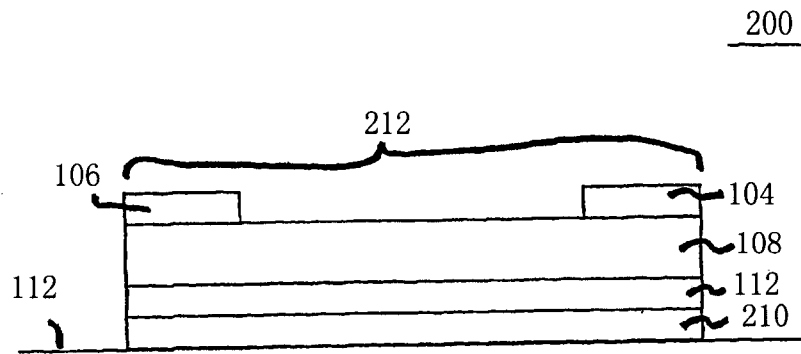


图 2B

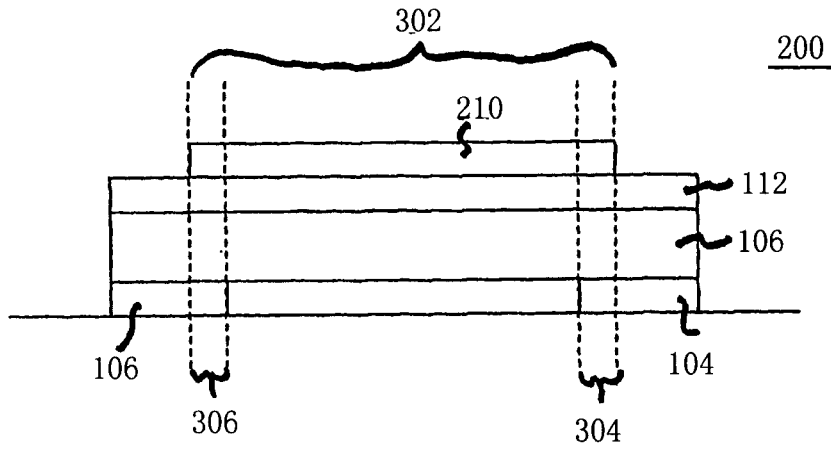


图 3

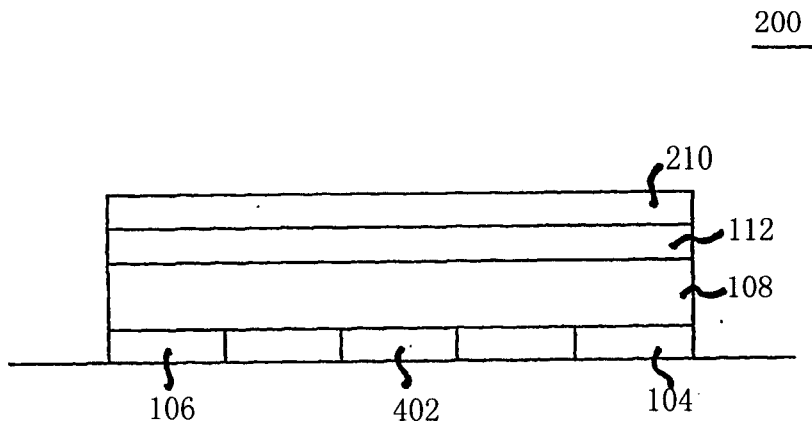


图 4

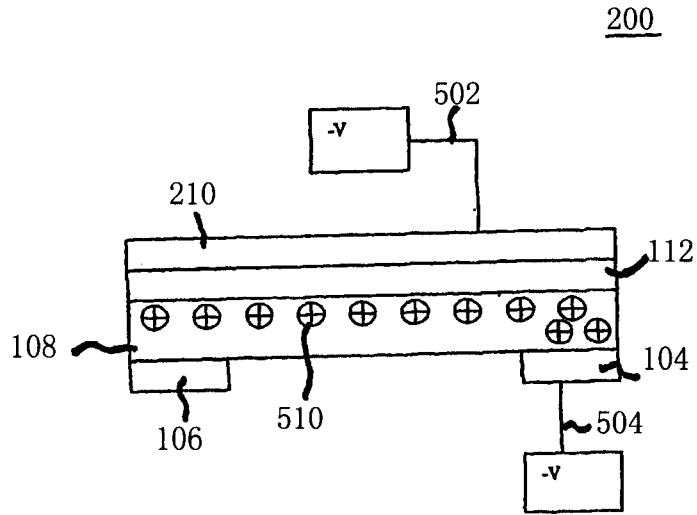


图 5

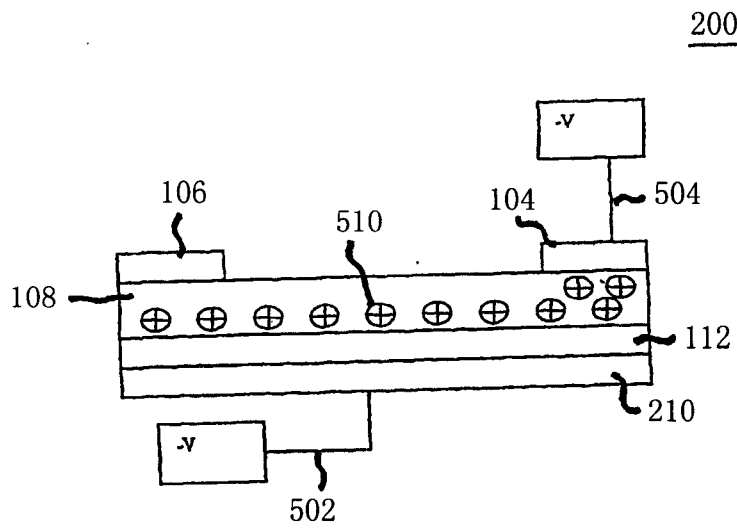


图 6

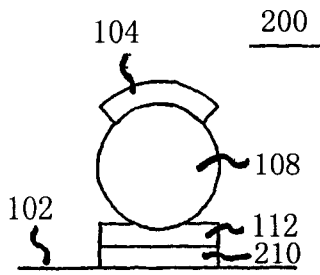


图 7A

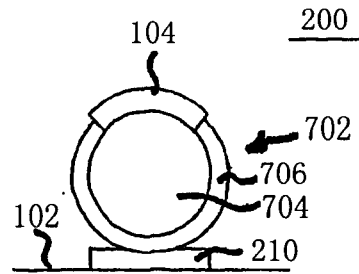


图 7B

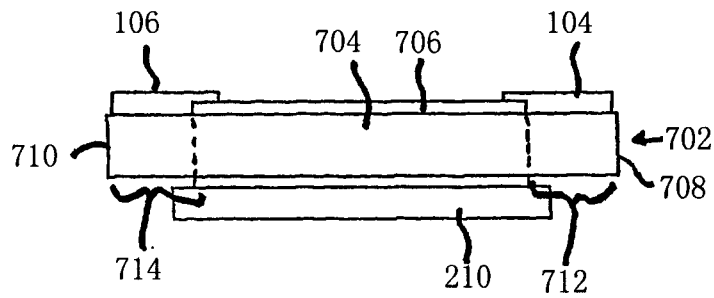


图 7C

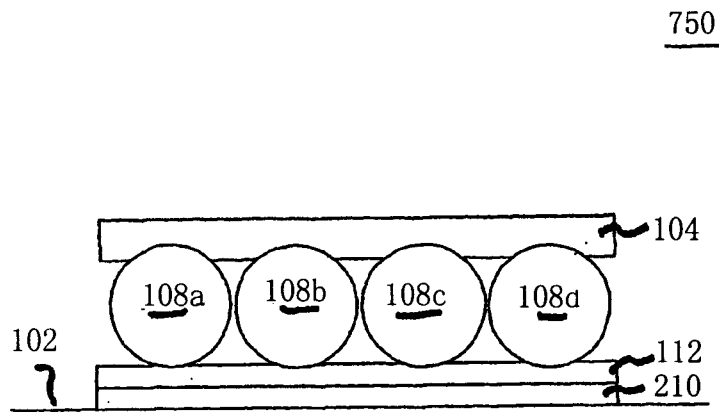


图 7D

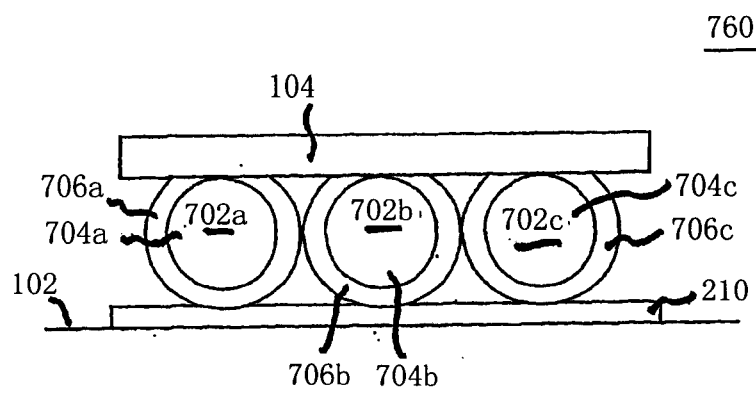


图 7E

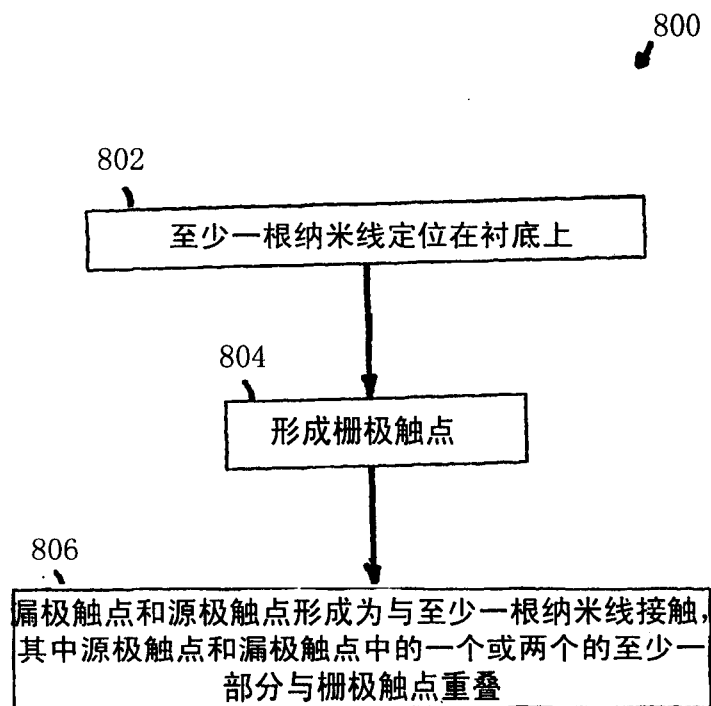


图 8

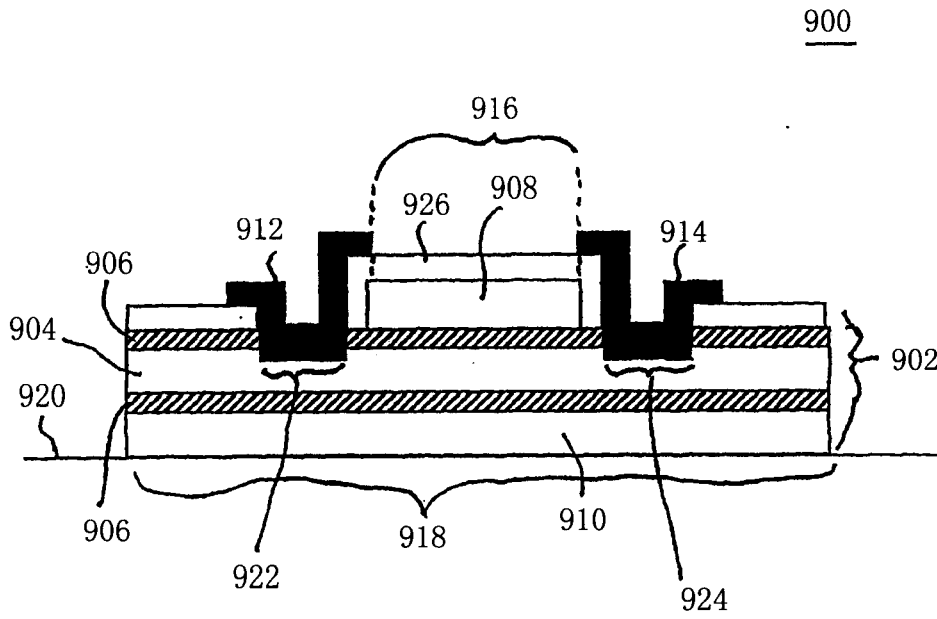


图 9

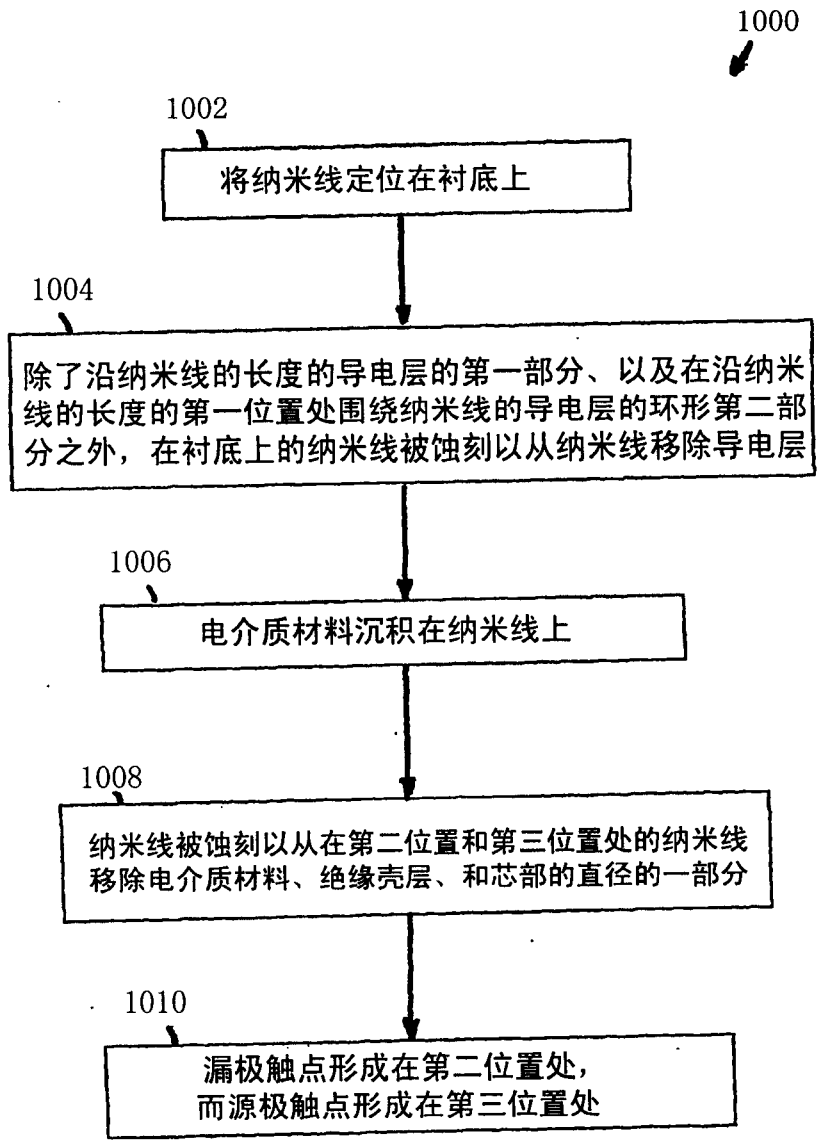


图 10

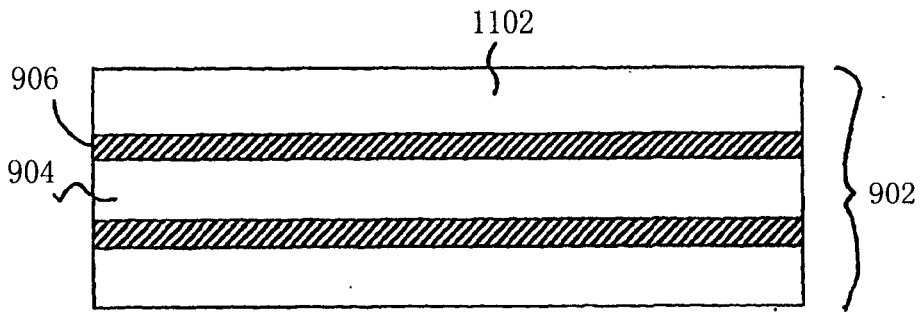


图 11

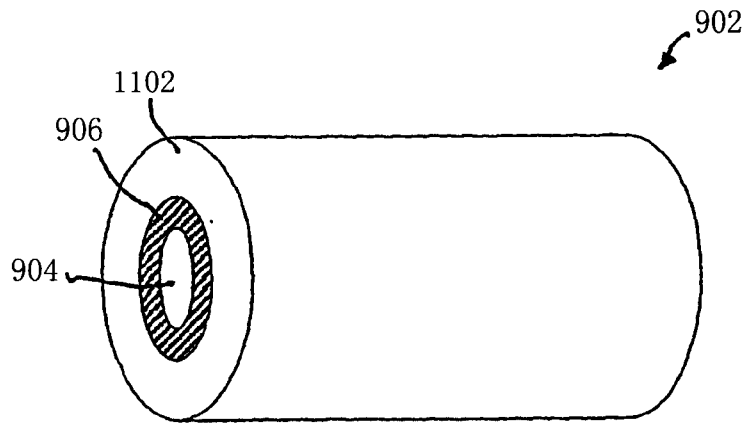


图 12

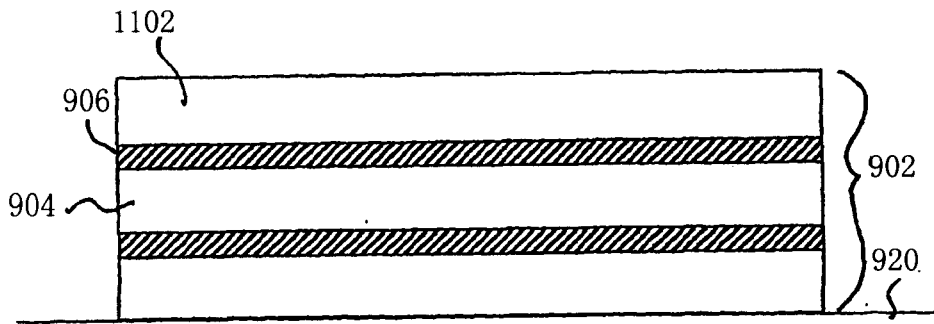


图 13

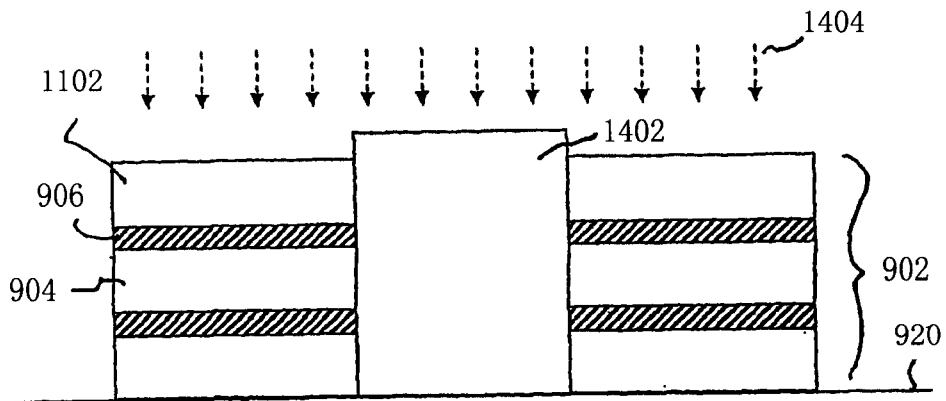


图 14

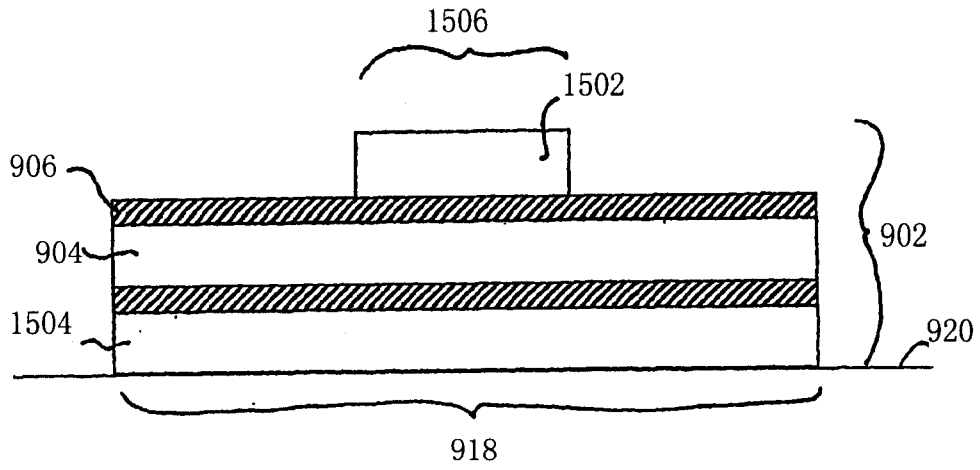


图 15

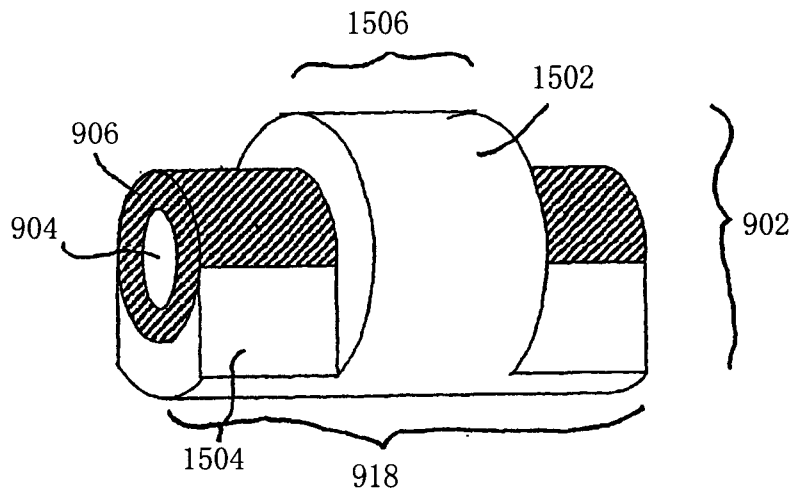


图 16

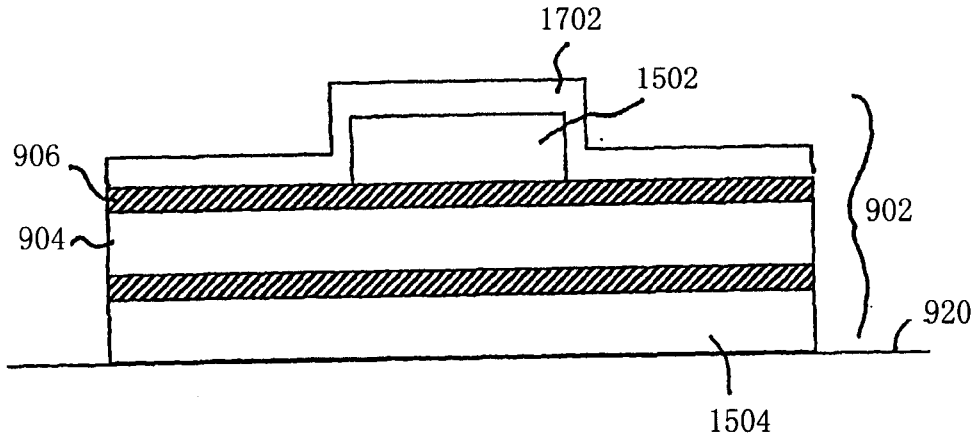


图 17

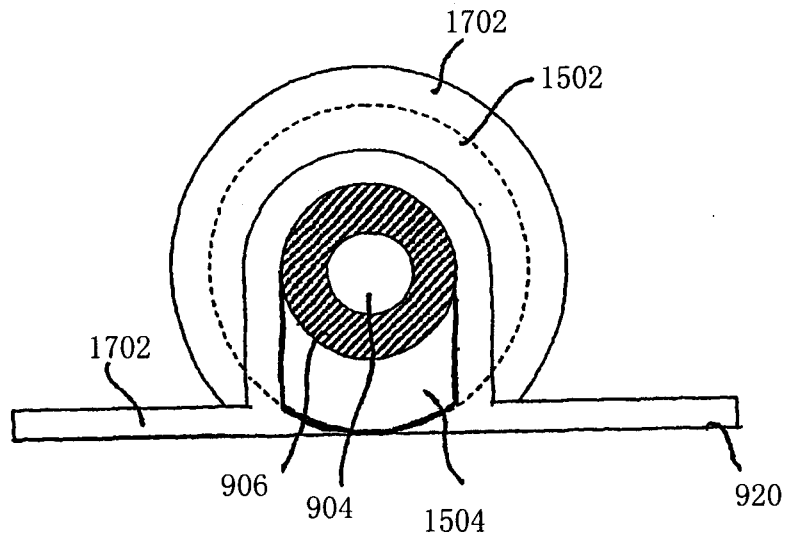


图 18

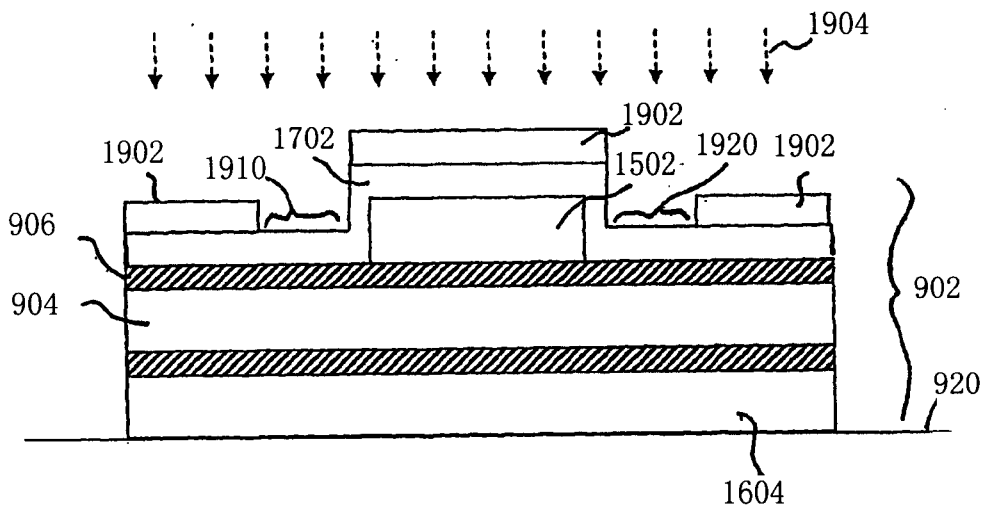


图 19

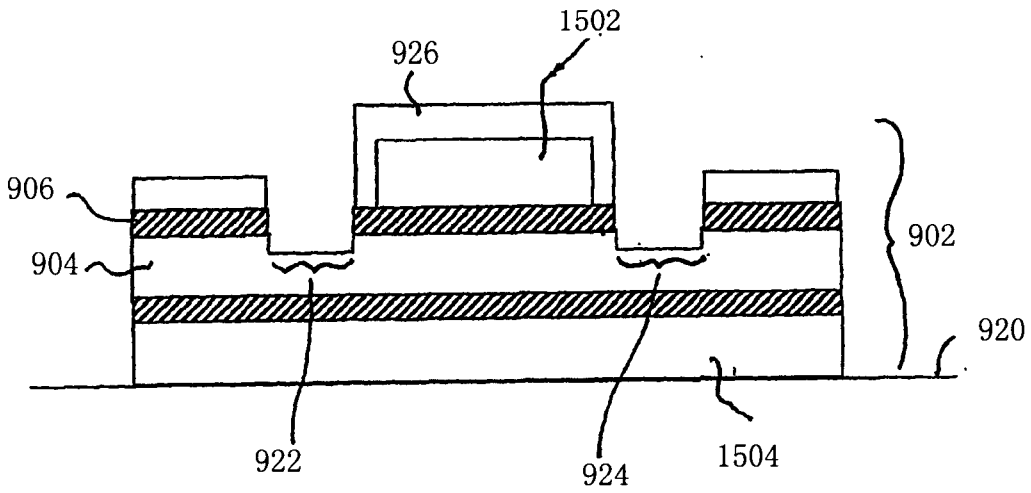


图 20

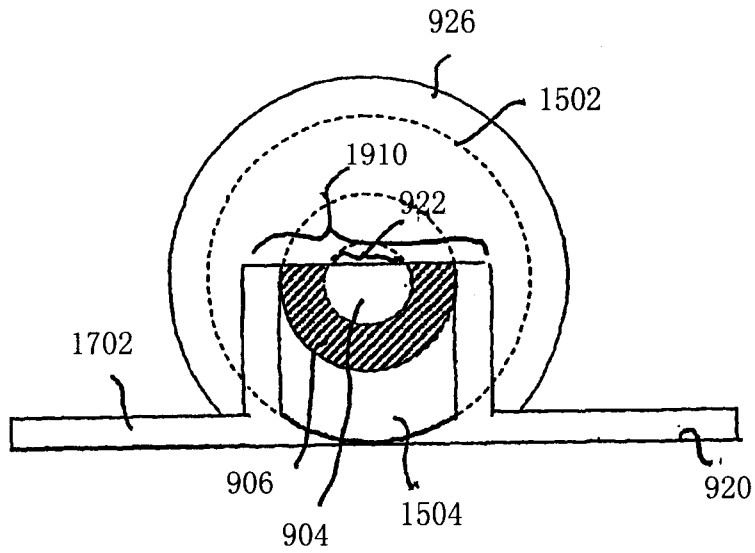


图 21

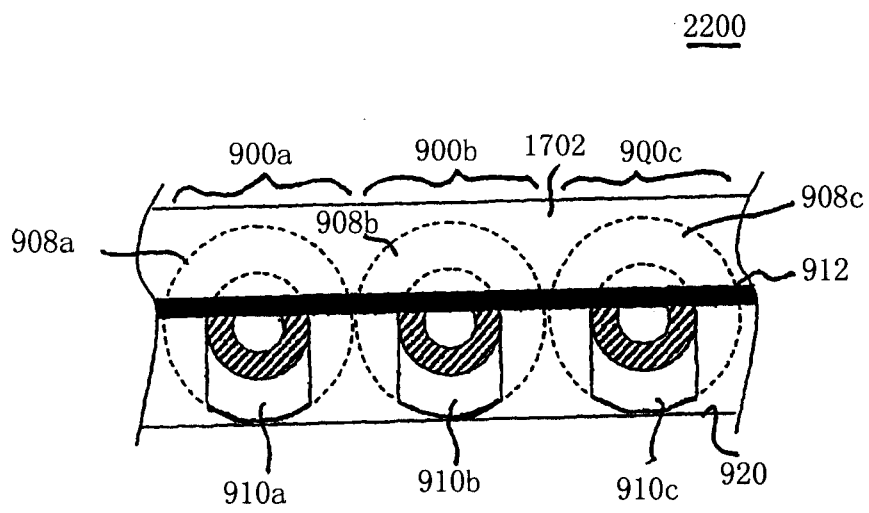


图 22

2300

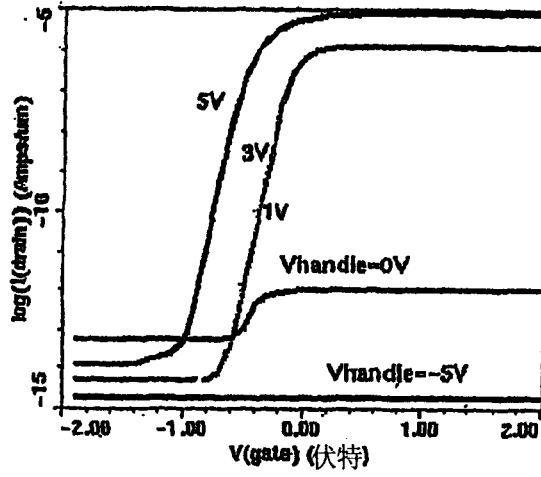


图 23

2400

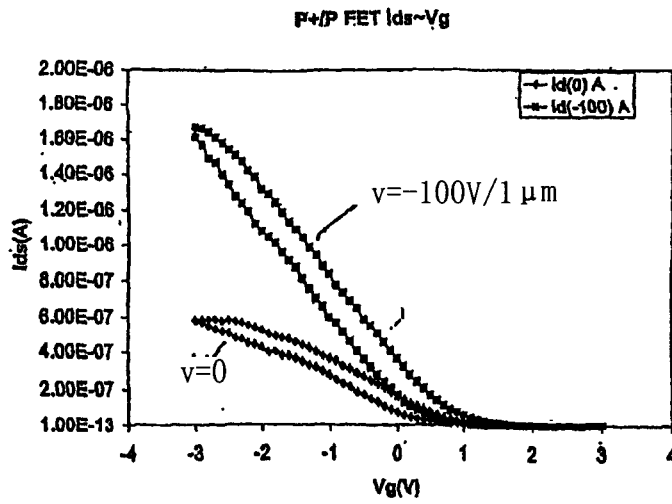


图 24