

(19) 대한민국특허청(KR)
(12) 특허공보(B1)(51) Int. Cl.⁵
G11C 16/02(45) 공고일자 1994년05월25일
(11) 공고번호 특허1994-0004404

| | | | |
|-----------|--|-----------|----------------|
| (21) 출원번호 | 특 1990-0019568 | (65) 공개번호 | 특 1992-0010649 |
| (22) 출원일자 | 1990년11월30일 | (43) 공개일자 | 1992년06월27일 |
| (71) 출원인 | 삼성전자주식회사 김광호 | | |
| (72) 발명자 | 경기도 수원시 권선구 매탄동 416번지 원대식 서울특별시 동작구 사당 1동 1048-8 황보준식 서울특별시 영등포구 영등포동 동아아파트 6동 101호 도재영 경기도 수원시 권선구 고등동 198-22 롯데아파트 2동 305호 | | |
| (74) 대리인 | 이영필, 최덕용 | | |

심사관 : 김희태 (책
자공보 제3632호)

(54) 불휘발성 반도체 메모리장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

불휘발성 반도체 메모리장치

[도면의 간단한 설명]

제1도는 종래의 전기적으로 소거가능한 프로그래머블 리드 온리 메모리(EEPROM)에 있어서 비밀호출 코드의 비교동작을 설명하기 위한 블록도.

제2도는 본 발명에 대한 EEPROM에 있어서 비밀호출코드의 비교동작을 설명하기 위한 블록도.

제3도는 제2도의 I/O레지스터의 일 실시회로도.

제4도는 본 발명에 의한 EEPROM에 있어서 비밀호출코드를 수정하는 명령을 수행하는 프로그램의 흐름도.

* 도면의 주요부분에 대한 부호의 설명

10, 30 : 입력버퍼수단 12, 14, 32 : 입출력레지스터
 16, 36 : 비교기 34 : 입력드라이버/센스증폭기
 18, 40 : 메모리셀 어레이 38 : 페이지버퍼수단
 20 : 별도의 셀 42 : 더미셀행
 CT, ST, BT : 트랜지스터 32a~32n : 레지스터
 B/L : 비트라인 BS/L : 블록선택라인
 DL0~DLn : 데이터라인 W/L : 워드라인
 CE : 불휘발성 반도체 메모리셀 SPB0~SPBn, BPB00~BPBn7 : 개별버퍼

[발명의 상세한 설명]

본 발명은 불휘발성 반도체 메모리장치에 관한 것으로 특히 전기적으로 소거가능한 프로그래머블 리드 온리 메모리(EEPROM)장치의 회로를 간략화함으로써 칩사이즈를 줄일 수 있는 불휘발성 반도체 메모리장치에 관한 것이다.

최근, 반도체 메모리장치의 고밀도 및 다양화 추세에 부응하여 EEPROM을 이용한 IC카드의 활용이 광범위하게 확산되고 있다. EEPROM을 이용한 IC카드의 자기카드에 비해 정보의 기밀성 및 안전성, 정보의 분산 처리 및 관리기능등이 뛰어나 그 응용범위가 급속히 확장되고 있다. 초기의 IC카드의 두 개의 칩, 즉 MICOM칩과 EEPROM칩을 사용하던 기술에서 원칩에 MICOM과 EEPROM을 내장한 제품이 출하되고 있고 또한 응용분야에 필요한 기능만을 부가하여 칩의 제조비용을 절감하는 제품이 개발되고 있다.

통상적으로 IC카드에 이용되는 EEPROM은 기밀성을 유지하기 위하여 특정한 비밀번호출코드를 기억하고 사용자가 비밀번호출코드를 입력하였을 때 기억된 비밀번호출코드와 입력된 비밀번호출코드를 비교하여 일치할 때 정보의 독출 및 기입이 가능하도록 작동된다. 또한, 통상적으로 비밀번호출코드의 입력 및 변경시 입력 에러를 방지하기 위하여 2회의 비밀번호출코드의 입력을 필요로 한다. 따라서, 종래의 EEPROM에서는 제1도에 도시한 바와 같이 입력단자(DIN)에 연결된 데이터입력버퍼(10), 두 개의 레지스터(12,14), 비교기(16), 메모리셀 어레이(18) 및 비밀번호출코드를 저장하기 위한 별도의 메모리셀(20)을 구비한다.

종래의 EEPROM에서는 2회의 비밀번호출코드를 데이터입력버퍼(10)를 거쳐서 직렬로 입력하고 첫 번째 비밀번호출코드를 A레지스터(12)에 입력하고, 두 번째 비밀번호출코드를 B레지스터(14)에 입력한다. 이어서 A 및 B레지스터(12,14)에 입력된 각 비밀번호출코드를 비교기(16)에서 비교하여 불일치할 때에는 에러신호를 발생하고, 일치할 때에는 입력된 비밀번호출코드를 별도의 메모리셀(20)에 기입함으로써 기밀모드를 설정하였다. 기밀모드설정시에는 입력된 비밀번호출코드와 기입된 비밀번호출코드를 비교하여 일치할 때에는 호출자가 정당한 호출자임을 인식하여 다음 명령을 수행하고, 일치하지 않을 때에는 호출자가 정당한 호출자가 아닌 것으로 인식하여 에러를 발생한다. 이상과 같이 종래의 EEPROM에서는 두 개의 비밀번호출코드를 비교하기 위하여 두 개의 레지스터 또는 래치를 필요로 하고 또한, 비밀번호출코드를 기입하기 위해 메모리셀 어레이(18)와는 별도로 비밀번호출코드기입용 메모리셀(20)을 구비하기 때문에 칩사이즈가 증대되고 비밀번호출코드의 기입 및 변경시 신호제어가 복잡한 문제점을 가지고 있었다.

본 발명의 목적은 상기와 같은 종래 기술의 문제점을 해결하기 위하여, EEPROM에 있어서 별도의 메모리셀과 하나의 레지스터를 제거함으로써 칩사이즈를 줄일 수 있는 불휘발성 반도체 메모리장치를 제공하는 데 있다.

상기 목적을 달성하기 위하여 본 발명은 X방향으로 연결된 복수의 워드라인들; 상기 복수의 워드라인들과 교차되게 Y방향으로 연장된 복수의 비트라인들; 상기 비트라인들의 1바이트마다 Y방향으로 연장된 복수의 블록선택라인들; 상기 워드라인들과 비트라인들의 각 교차부분에 배치되고 상기 블록선택라인들에 의해 각 블록으로 구분되는 복수의 불휘발성 반도체 메모리셀들; 상기 비트라인들과 블록선택라인들의 일단에 결합된 복수의 버퍼들이 상기 1바이트의 비트라인들과 상기 하나의 블록선택라인으로 한조를 이루는 페이지버퍼수단; 상기 비트라인들의 상기 일단과 반대편의 일단에 연결되고 바이트단위로 동시에 턴온되는 복수의 컬럼선택 트랜지스터들; 상기 컬럼선택 트랜지스터들을 통하여 각 바이트단위의 동일레벨의 비트라인들이 공통으로 연결되는 복수의 데이터라인들; 상기 데이터라인들에 입력데이터를 병렬로 드라이브하고 상기 데이터라인들에 실린 셀데이터를 센싱증폭하여 병렬로 출력하기 위한 입력드라이버/센스증폭기; 입력단자에 가해지는 직렬입력데이터를 버퍼링하기 위한 입력버퍼수단; 상기 입력버퍼수단에 버퍼링된 직렬입력데이터를 직렬입력하고, 상기 입력드라이버/센스증폭기와는 병렬데이터를 쌍방향으로 주고 받으며, 데이터를 직렬로 출력하는 입출력레지스터; 및 상기 입출력레지스터의 직렬출력데이터와 상기 입력버퍼수단에 버퍼링된 직렬입력데이터를 비교하기 위한 비교기를 구비하고, 제1비밀호출코드를 상기 페이지버퍼수단에 래치하고 래치된 제1비밀호출코드를 상기 입출력레지스터에 1바이트씩 독출하여서 상기 입력버퍼수단을 통하여 입력된 제2비밀호출코드와 상기 비교기에서 비교하고, 비교결과 제1및 제2비밀호출코드가 일치할 때에는 상기 페이지버퍼수단에 래치된 제1비밀호출코드를 상기 복수의 불휘발성 메모리셀들중 미리 지정된 행의 셀들에 기입함으로써 비밀번호출코드를 정의하는 것을 특징으로 한다.

첨부한 도면을 참조하여 본 발명을 보다 상세히 설명하면 다음과 같다.

제2도를 참조하면, 본 발명에 의한 EEPROM은 복수의 워드라인들(W/L), 복수의 비트라인들(B/L), 복수의 블록선택라인들(BS/L), 복수의 EEPROM셀들(CE)로 이루어진 메모리셀 어레이(40), 페이지버퍼수단(38), 컬럼선택 트랜지스터들(CT), 데이터라인들(DL0~DLn), 입력드라이버/센스증폭기(34), 입력버퍼수단(30), 입출력레지스터(32) 및 비교기(36)를 구비한다. 워드라인(W/L)들은 미도시된 행디코더에 의해 선택되고 비트라인(B/L)들은 미도시한 컬럼디코더의 컬럼선택신호(Y0~Yn)에 의해 선택된다. 페이지버퍼수단(38)은 상기 비트라인들(B/L)들과 블록선택라인(BS/L)들의 일단에 각각 결합된 개별버퍼들을 1바이트의 비트라인(B/L)들과 하나의 블록선택라인(BS/L)으로 각 조를 이루어 각 바이트단위로 복수의 조를 이룬다. 비트라인과 결합되는 각 버퍼들은 비트라인선택신호(SBL)에 의해 스위칭되는 각 트랜지스터(BT)들을 통하여 각 비트라인(B/L)과 연결되고 블록선택라인(BS/L)과 결합되는 각 버퍼들은 블록선택신호(SSL)에 의해 스위칭되는 각 트랜지스터(ST)들을 통하여 각 블록선택라인(BS/L)에 연결된다. 상기 각 컬럼선택 트랜지스터(CT)들은 상기 비트라인들의 상기 일단과 반대편의 일단에 연결되고 바이트단위로 동시에 턴온된다.

상기 데이터라인(DL0~DLn)은 상기 컬럼선택 트랜지스터(CT)를 통하여 각 바이트단위의 동일레벨의 비트라인들이 공통으로 연결된다. 입력드라이버/센스증폭기(34)는 상기 데이터라인들에 입력데이터를 병렬로 드라이브하고 상기 데이터라인에 실린 셀데이터를 센싱증폭하여 병렬로 출력한다. 입력버퍼수단(30)은 입력단자(DIN)에 가해지는 직렬입력데이터를 버퍼링한다. 상기 입출력레지스터(32)는 상기 입력버퍼수단(30)에 버퍼링된 직렬입력데이터를 직렬 입력하고, 상기 입력드라이버/센스증폭기(34)와는 병렬데이터를 쌍방향으로 주고 받으며, 직렬데이터를 비교기(36)의 일측 입력단자에 공급한다. 비교기(36)는 상기 입출력레지스터(32)의 직렬출력데이터의 상기 입력버퍼수단(30)에 의해 버퍼링된 직렬입력데이터를 비교한다. 메모리셀 어레이(40)중 하나의 셀행은 비밀번호출코드를 기입하기 위한 전용셀로 사용된다. 이 전용셀은 더미셀을 사용할 수 있다.

상기 입출력레지스터(32)는 제3도에 도시한 바와 같이 각 비트별로 제1레지스터(32a)부터 제n레지스터(32n)가 직렬로 연결되어 있고 각 레지스터는 제1클럭신호(CLOCKS)가 게이트에 가해지는 입력측 트랜지스터(T1)와, 입력측 래치(L1), 제2클럭신호(CLOCK)가 게이트에 가해지는 링크트랜지스터(T3)와, 출력측 래치(L2)를 구비한다. 입력측 래치(L1)는 제2클럭신호(CLOCK)에 의해 스위칭되는 피드백트랜지스터(T2)와 이 피드백트랜지스터(T2)의 소스/드레인 사이에 연결된 노아게이트(NOR1) 및 인버터(INV1)로 이루어진다. 출력측 래치(L2)도 입력측 래치(L1)와 동일한 구성으로 제1클럭신호가 가해지는 피드백트랜지스터(T4), 노아게이트(NOR2) 및 인버터(INV2)로 이루어진다. 입력측 래치(L1)에는 데이터라인(D00)에서 공급된 셀데이터가 입력되고, 입력된 데이터를 공급하기 위해 출력측 래치(L2)를 데이터라인(D10)에 연결된다.

이와 같이 구성된 본 발명의 EEPROM은 종래의 EEPROM에 비하여 비밀호출코드를 기입하기 위한 별도의 메모리셀을 메모리셀 어레이(40)의 더미셀행(42)으로 대신하고 두 개의 입출력레지스터중 하나를 제거하고 제거된 레지스터의 기능을 페이지버퍼수단(38)으로 대체함으로써 칩사이즈를 줄일 수 있다. 즉, 본 발명에서는 제1비밀호출코드를 먼저 상기 페이지버퍼수단에 래치하고 래치된 제1비밀호출코드를 입출력레지스터(32)에 1바이트씩 독출하여서 상기 입력버퍼수단(30)을 통하여 입력된 제2비밀호출코드와 비교기(36)에서 비교하고, 비교결과 제1및 제2비밀호출코드가 일치할 때에는 상기 페이지버퍼수단(38)에 래치된 제1비밀호출코드를 더미셀행(42)에 기입함으로써 비밀호출코드를 정의하고 일치하지 않을 때에는 에러를 발생한다.

제4도를 참조하여 비밀호출코드를 수정하기 위한 프로그램을 설명하면 다음과 같다.

비밀호출코드는 8byte로 구성되며 메모리셀 어레이(40)의 더미셀행(42)에 기록된다.

비인가자에 의한 비밀호출코드의 변경을 방지하기 위해 MACC(modify access code) 명령이 설정되어 있고 MACC 명령은 명령코드, 기존의 호출코드, 새로운 호출코드, 새로운 호출코드로 이루어진 4byte 데이터로 이루어진다. MACC 명령이 입력되면 시스템은 명령코드를 해독하고(100단계), 시스템을 MACC 모드로 전환한다. 이어서 메모리셀 어레이(40)의 더미셀행(42)이 선택되어 첫 번째 바이트의 데이터를 독출하여 입출력레지스터(32)에 입력한다. 입출력레지스터(32)에 독출된 데이터와 입력버퍼수단(30)을 통하여 입력된 데이터가 비교기(36)에 의해 1비트씩 비교된다. 이와 같은 방식으로 n번째 바이트까지 기억된 비밀호출코드와 입력된 비밀호출코드가 비교된다(200단계). 비교결과가 일치하면(300단계) 새로이 정의되는 새로운 호출코드는 일차적으로 페이지버퍼수단(38)에 래치시킨다(400단계). 이어서 확인용 새로운 호출코드가 입력되면 페이지버퍼수단(38)에 래치된 데이터를 입력드라이버/센스증폭기(34)에 의해 센싱증폭하여 입출력레지스터(32)에 인가하고 판독된 호출코드와 입력된 호출코드를 비교기(36)에 의해 상술한 기존의 호출코드 비교와 동일하게 바이트단위로 비교한다(500단계). 비교결과 일치하면 새로운 호출코드를 더미셀행(42)에 기입하여 새로운 호출코드를 정의한다(600단계). 상기 200단계에서 정의된 호출코드가 아니면 400단계로 점핑하여 처리하고, 상기 300단계 및 500단계에서 일치하지 않을 경우에는 비교기(36)는 에러를 발생하고 시스템의 동작을 중지시킨다.

이상과 같이 본 발명에서는 바이트단위로 데이터를 한꺼번에 기입할 수 있는 페이지모드를 수행하는 EEPROM에 있어서 페이지버퍼수단을 이용하여 두 개의 비밀호출코드를 비교하고 더미셀행에 비밀호출코드를 기입함으로써 종래의 EEPROM에 비해 칩사이즈를 줄일 수 있어 보다 경제적인 이점을 얻을 수 있다.

(57) 청구의 범위

청구항 1

X방향으로 연장된 복수의 워드라인들; 상기 복수의 워드라인들과 교차되게 Y방향으로 연장된 복수의 비트라인들; 상기 비트라인들의 1바이트마다 Y방향으로 연장된 복수의 블록선택라인들; 상기 워드라인들과 비트라인들의 각 교차부분에 배치되고 상기 블록선택라인들에 의해 각 블록으로 구분되는 복수의 불휘발성 반도체 메모리셀들; 상기 비트라인들과 블록선택라인들의 일단에 결합된 복수의 버퍼들이 상기 1바이트의 비트라인들과 상기 하나의 블록선택라인으로 한조를 이루는 페이지버퍼수단; 상기 비트라인들의 상기 일단과 반대편의 일단에 연결되고 바이트단위로 동시에 턴온되는 복수의 컬럼선택 트랜지스터들; 상기 컬럼선택 트랜지스터들을 통하여 각 바이트단위의 동일레벨의 비트라인들이 공통으로 연결되는 복수의 데이터라인들; 상기 데이터라인들에 입력데이터를 병렬로 드라이브하고 상기 데이터라인들에 실린 셀 데이터를 센싱증폭하여 병렬로 출력하기 위한 입력드라이버/센스증폭기; 입력단자에 가해지는 직렬입력 데이터를 버퍼링하기 위한 입력버퍼수단; 상기 입력버퍼수단에 버퍼링된 직렬입력데이터를 직렬입력하고, 상기 입력드라이버/센스증폭기와는 병렬데이터를 쌍방향으로 주고 받으며, 데이터를 직렬로 출력하는 입출력레지스터; 및 상기 입출력레지스터의 직렬출력데이터와 상기 입력버퍼수단에 버퍼링된 직렬입력 데이터를 비교하기 위한 비교기를 구비하고, 제1비밀호출코드를 상기 페이지버퍼수단에 래치하고 래치된 제1비밀호출코드를 상기 입출력레지스터에 1바이트씩 독출하여서 상기 입력버퍼수단을 통하여 입력된 제2비밀호출코드와 상기 비교기에서 비교하고, 비교결과 제1및 제2비밀호출코드가 일치할 때에는 상기 페이지버퍼수단에 래치된 제1비밀호출코드를 상기 복수의 불휘발성 메모리셀들중 미리 지정된 행의 셀들에 기입함으로써 비밀호출코드를 정의하는 것을 특징으로 하는 불휘발성 반도체 메모리장치.

청구항 2

제1항에 있어서, 상기 페이지버퍼수단중 비트라인들과 결합되는 각 버퍼들은 비트라인선택신호에 의해 스위칭되는 트랜지스터를 통하여 각 비트라인들과 연결되며, 블록선택라인들과 결합되는 각 버퍼들은 블록선택신호에 의해 스위칭되는 트랜지스터를 통하여 각 블록선택라인들과 연결되는 것을 특징으로 하는 불휘발성 반도체 메모리장치.

청구항 3

제1항에 있어서, 상기 비밀호출코드가 기입되는 행의 셀들은 더미셀인 것을 특징으로 하는 불휘발성 반도체 메모리장치.

청구항 4

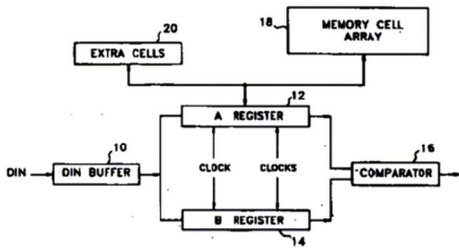
제1항에 있어서, 상기 각 불휘발성 메모리셀은 전기적으로 소거가능한 리드 온리 메모리셀인 것을 특징으로 하는 불휘발성 반도체 메모리장치.

청구항 5

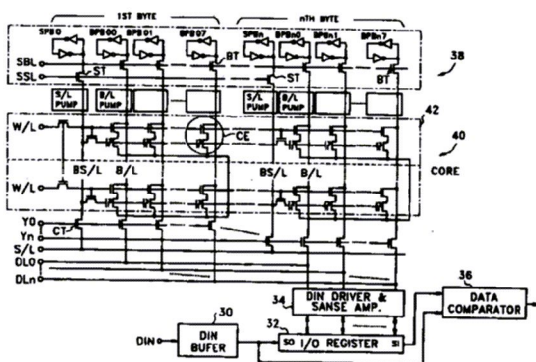
제1항에 있어서, 상기 제2비밀호출코드는 상기 제1비밀호출코드에 대해 콤플리먼트인 것을 특징으로 하는 불휘발성 반도체 메모리장치.

도면

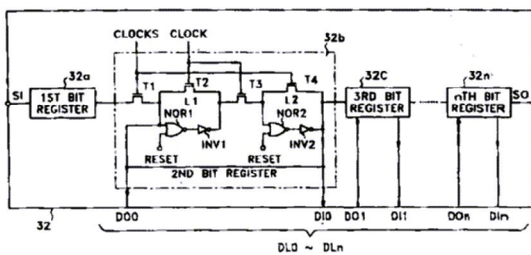
도면1



도면2



도면3



도면4

