

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7525405号
(P7525405)

(45)発行日 令和6年7月30日(2024.7.30)

(24)登録日 令和6年7月22日(2024.7.22)

(51)国際特許分類		F I	
H 1 0 B	43/27 (2023.01)	H 1 0 B	43/27
H 1 0 B	43/50 (2023.01)	H 1 0 B	43/50
H 0 1 L	21/336(2006.01)	H 0 1 L	29/78 3 7 1
H 0 1 L	29/788(2006.01)	H 0 1 L	29/78 6 1 3 B
H 0 1 L	29/792(2006.01)	H 0 1 L	29/78 6 1 8 B
請求項の数 5 (全89頁) 最終頁に続く			
(21)出願番号	特願2020-567658(P2020-567658)	(73)特許権者	000153878
(86)(22)出願日	令和1年11月20日(2019.11.20)		株式会社半導体エネルギー研究所
(86)国際出願番号	PCT/IB2019/059962		神奈川県厚木市長谷398番地
(87)国際公開番号	WO2020/152523	(72)発明者	山崎 舜平
(87)国際公開日	令和2年7月30日(2020.7.30)		神奈川県厚木市長谷398番地 株式会
審査請求日	令和4年11月21日(2022.11.21)		社半導体エネルギー研究所内
(31)優先権主張番号	特願2019-11605(P2019-11605)	(72)発明者	大貫 達也
(32)優先日	平成31年1月25日(2019.1.25)		神奈川県厚木市長谷398番地 株式会
(33)優先権主張国・地域又は機関			社半導体エネルギー研究所内
	日本国(JP)	(72)発明者	松崎 隆徳
(31)優先権主張番号	特願2019-13347(P2019-13347)		神奈川県厚木市長谷398番地 株式会
(32)優先日	平成31年1月29日(2019.1.29)		社半導体エネルギー研究所内
(33)優先権主張国・地域又は機関		(72)発明者	加藤 清
	日本国(JP)		神奈川県厚木市長谷398番地 株式会
特許法第30条第2項適用	【刊行物名】 i n t e r		社半導体エネルギー研究所内
	最終頁に続く		最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】
積層体を有し、
前記積層体は、
第1の絶縁体と、
前記第1の絶縁体上の、第1の導電体と、
前記第1の導電体上の、第2の絶縁体と、
前記第1の絶縁体、前記第1の導電体、及び前記第2の絶縁体に設けられた第1の開口
の内側に位置する酸化物と、
前記第1の開口において、前記酸化物の外側に位置する、第3の絶縁体と、
前記第1の開口において、前記酸化物の内側に位置する、第2の導電体と、
前記第1の開口において、前記酸化物と、前記第2の導電体と、の間に位置する第4の
絶縁体と、を有し、
前記酸化物は、I n と、G a と、Z n と、を有し、
前記酸化物は、
第1の層と、
前記第1の層の内側に接して設けられた第2の層と、
前記第2の層の内側に接して設けられた第3の層と、を有し、
前記第2の層に含まれている、I n と、G a と、Z n との原子数比は、I n : G a : Z n
= 1 0 : 1 : 3、又はその近傍の組成であり、

前記第 3 の絶縁体は、
前記第 1 の開口の側面に位置するゲート絶縁層と、
前記酸化物の外側に位置するトンネル絶縁層と、
前記ゲート絶縁層と前記トンネル絶縁層の間に位置する電荷蓄積層と、を有する、半導体装置。

【請求項 2】

請求項 1 において、
前記積層体は、
前記第 1 の絶縁体の上方に位置する、第 3 の導電体と、
前記第 3 の導電体上の、第 5 の絶縁体と、
前記第 3 の導電体、及び前記第 5 の絶縁体に設けられた第 2 の開口の内側に位置する前記酸化物と、
前記第 2 の開口の側面と前記酸化物との間に位置する前記ゲート絶縁層と、
前記第 2 の開口において、前記酸化物の内側に位置する、前記第 2 の導電体と、
前記第 1 の開口において、前記酸化物と、前記第 2 の導電体と、の間に位置する前記第 4 の絶縁体と、を有し、
前記第 2 の開口は、前記第 1 の開口と重畳する領域に位置する、半導体装置。

10

【請求項 3】

請求項 1 または請求項 2 において、
前記第 2 の層のエネルギーギャップは、前記第 1 の層のエネルギーギャップより狭く、
前記第 2 の層のエネルギーギャップは、前記第 3 の層のエネルギーギャップより狭い、
半導体装置。

20

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、
前記酸化物は A L D 法を用いて形成された、半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、
制御回路を有し、
前記制御回路は、前記積層体の下方に位置する、半導体装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、例えば、半導体装置に関する。または、本発明は、例えば、半導体装置の作製方法に関する。または、本発明は、例えば、半導体装置が有するメモリトランジスタ、および該メモリトランジスタの作製方法に関する。または、本発明は、例えば、半導体装置の動作方法に関する。または、本発明は、例えば、記憶装置、プロセッサ、電子機器に関する。または、記憶装置、プロセッサ、電子機器の作製方法に関する。または、記憶装置、プロセッサ、電子機器の動作方法に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

40

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、発光装置、照明装置、電気光学装置、記憶装置、半導体回路および電子機器は、半導体装置を有する場合がある。

【背景技術】

【0004】

近年、扱われるデータ量の増大に伴って、より大きな記憶容量を有する半導体装置が求

50

められている。単位面積あたりの記憶容量を増加させるためには、メモリセルを積層して形成することが有効である（特許文献1、特許文献2、特許文献3参照）。メモリセルを積層して設けることにより、単位面積あたりの記憶容量をメモリセルの積層数に応じて増加させることができる。

【先行技術文献】

【特許文献】

【0005】

【文献】米国特許出願公開2011／0065270号明細書

【文献】米国特許第9634097号明細書

【文献】米国特許第9177872号明細書

10

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1、および特許文献2においては、記憶素子（メモリセルともいう）が複数積層しており、これらが直列に接続することで、三次元構造のメモリセルアレイ（メモリストリングともいう）を構成している。一方、このような、三次元構造のメモリセルアレイでは、記憶素子の積層数が多くなるほど、メモリセル間の直列抵抗が高くなり、メモリセルアレイの抵抗が高くなる。メモリセルアレイの抵抗が高くなることで、メモリセルアレイを流れる電流のロスや、メモリセルアレイが発熱するといった問題があった。

【0007】

20

また、特許文献1においては、柱状に設けられた半導体パターンが、電荷蓄積層を有する絶縁体と接している。また、特許文献2においては、柱状に設けられた半導体パターンが、トンネル誘電体として機能する絶縁体と接している。半導体と、絶縁体が接する場合、これらの界面には、トラップセンターが形成される場合がある。半導体と、絶縁体との界面に形成されたトラップセンターは、電子を捕獲し、トランジスタのしきい値電圧をプラス方向に変動させるため、トランジスタのオン状態における電流駆動力、つまりオン電流、及び電界効果移動度や、信頼性に悪影響を及ぼす恐れがある。

【0008】

上記の問題に鑑み、本発明の一態様は、良好な電気特性を有し、かつトラップセンターの形成が抑制された半導体装置を提供することを課題の一とする。

30

【0009】

また、本発明の一態様は、単位面積あたりの記憶容量の大きい半導体装置を提供することを課題の一とする。また、本発明の一態様は、メモリセルを積層した新規な構造の半導体装置を提供することを課題の一とする。また、本発明の一態様は、生産性の高い半導体装置を提供することを課題の一とする。

【0010】

また、本発明の一態様は、該半導体装置を有するモジュールを提供することを課題の一とする。また、本発明の一態様は、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。また、本発明の一態様は、新規な半導体装置を提供することを課題の一とする。また、本発明の一態様は、新規なモジュールを提供することを課題の一とする。また、本発明の一態様は、新規な電子機器を提供することを課題の一とする。

40

【0011】

また、本発明の一態様は、回路動作において、消費電力の低減された半導体装置を提供することを課題の一とする。また、本発明の一態様は、回路動作において、消費電力の低減された、該半導体装置を有するモジュールを提供することを課題の一とする。また、本発明の一態様は、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。

【0012】

また、本発明の一態様は、新規な半導体装置の作製方法を提供することを課題の一とす

50

る。また、本発明の一態様は、新規な半導体装置の動作方法を提供することを課題の一とする。

【0013】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0014】

(1)

本発明の一態様は、積層体を有し、積層体は、第1の絶縁体と、第1の絶縁体上の、第1の導電体と、第1の導電体上の、第2の絶縁体と、第1の絶縁体、第1の導電体、及び第2の絶縁体に設けられた第1の開口の内側に位置する酸化物と、第1の開口において、酸化物の外側に位置する第3の絶縁体と、第1の開口において、酸化物の内側に位置する、第2の導電体と、第1の開口において、酸化物と、第2の導電体と、の間に位置する第4の絶縁体と、を有し、第3の絶縁体は、第1の開口の側面に位置するゲート絶縁層と、酸化物の外側に位置するトンネル絶縁層と、ゲート絶縁層とトンネル絶縁層の間に位置する電荷蓄積層と、を有する、半導体装置である。

【0015】

(2)

また、本発明の一態様は、上記(1)の構成において、積層体は、第1の絶縁体の上方に位置する、第3の導電体と、第3の導電体上の、第5の絶縁体と、第3の導電体、及び第5の絶縁体に設けられた第2の開口の内側に位置する酸化物と、第2の開口の側面と酸化物との間に位置するゲート絶縁膜と、第2の開口において、酸化物の内側に位置する、第2の導電体と、第1の開口において、酸化物と、第2の導電体と、の間に位置する第4の絶縁体と、を有し、第2の開口は、第1の開口と重畳する領域に位置する、半導体装置である。

【0016】

(3)

また、本発明の一態様は、上記(1)又は(2)の構成において、酸化物は、第1の層と、第1の層の内側に接して設けられた第2の層と、第2の層の内側に接して設けられた第3の層と、を有し、第2の層のエネルギーギャップは、第1の層のエネルギーギャップより狭く、第2の層のエネルギーギャップは、第3の層のエネルギーギャップより狭い、半導体装置である。

【0017】

(4)

また、本発明の一態様は、上記(3)の構成において、酸化物は、少なくともインジウムを有する、半導体装置である。

【0018】

(5)

また、本発明の一態様は、上記(3)の構成において、酸化物は、Inと、元素M(MはAl、Ga、Y、またはSn)と、Znと、を有する、半導体装置である。

【0019】

(6)

また、本発明の一態様は、上記(5)の構成において、元素MはGaであって、第2の層に含まれている、Inと、Gaと、Znとの原子数比は、In:Ga:Zn=5:1:3、又はその近傍の組成である、半導体装置である。

【0020】

(7)

また、本発明の一態様は、上記(5)の構成において、元素MはGaであって、第2の

10

20

30

40

50

層に含まれている、Inと、Gaと、Znとの原子数比は、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 3$ 、又はその近傍の組成である、半導体装置である。

【0021】

(8)

また、本発明の一態様は、上記(1)乃至(7)のいずれか一の構成において、制御回路を有し、制御回路は、積層体の下方に位置する、半導体装置である。

【0022】

(9)

また、本発明の一態様は、第1の絶縁体を形成し、第1の絶縁体上に、第1の導電体を形成し、第1の導電体上に、第2の絶縁体を形成し、第2の絶縁体、第1の導電体、及び第1の絶縁体を加工し、第1の開口を有する第1の積層体を形成し、第1の開口において、第1の絶縁体、第1の導電体、および第2の絶縁体と接するように第3の絶縁体を形成し、第3の絶縁体と接するように酸化物を形成し、酸化物と接するように第4の絶縁体を形成し、第4の絶縁体に接するように第2の導電体を形成する、半導体装置の作製方法である。

10

【0023】

(10)

また、本発明の一態様は、上記(9)の方法において、第1の絶縁体の上方に、第3の導電体を形成し、第3の導電体上に、第5の絶縁体を形成し、第3の導電体、及び第5の絶縁体を加工し、第1の開口と重畳する領域に第2の開口が位置する第2の積層体を形成し、第2の開口において、第3の導電体、及び第5の絶縁体と接するように第3の絶縁体を形成し、第3の絶縁体に接するように酸化物を形成し、酸化物と接するように第4の絶縁体を形成し、第4の絶縁体に接するように第2の導電体を形成する、半導体装置の作製方法である。

20

【0024】

(11)

また、本発明の一態様は、上記(9)又は(10)の方法において、酸化物の形成は、第3の絶縁体に接するように第1の層を形成し、第1の層の内側に接するように第2の層を形成し、第2の層の内側に接するように第3の層を形成することによって行われ、第2の層のエネルギーギャップは、第1の層のエネルギーギャップより狭く、第2の層のエネルギーギャップは、第3の層のエネルギーギャップより狭い、半導体装置の作製方法である。

30

【0025】

(12)

また、本発明の一態様は、上記(11)の方法において、酸化物は、少なくともインジウムを有する、半導体装置の作製方法である。

【0026】

(13)

また、本発明の一態様は、上記(11)の方法において、酸化物は、Inと、元素M(MはAl、Ga、Y、またはSn)と、Znと、を有する、半導体装置の作製方法である。

40

【0027】

(14)

また、本発明の一態様は、上記(13)において、元素MはGaであって、第2の層に含まれている、Inと、Gaと、Znとの原子数比は、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 3$ 、又はその近傍の組成である、半導体装置の作製方法である。

【0028】

(15)

また、本発明の一態様は、上記(13)において、元素MはGaであって、第2の層に含まれている、Inと、Gaと、Znとの原子数比は、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 3$ 、又はその近傍の組成である、半導体装置の作製方法である。

50

【0029】

(16)

また、本発明の一態様は、バックゲートを有する第1のトランジスタと、バックゲートと、電荷蓄積層と、を有する第2のトランジスタと、バックゲートを有する第3のトランジスタと、を有し、第1乃至第3のトランジスタのそれぞれのチャネル形成領域は、金属酸化物を有し、第1のトランジスタのソース又はドレインの一方は、第2のトランジスタのソース又はドレインの一方に電氣的に接続され、第2のトランジスタのソース又はドレインの他方は、第3のトランジスタのソース又はドレインの一方に電氣的に接続されている、半導体装置の動作方法であって、書き込み動作と、読み出し動作と、を有し、書き込み動作は、第1乃至第3のトランジスタのそれぞれのバックゲートに、第1の電位を印加する動作と、第1のトランジスタのゲートに、第1のトランジスタがオン状態となる高レベル電位を印加する動作と、電荷蓄積層に電子を注入するために、第2のトランジスタのゲートに第3の電位を印加する動作と、第1のトランジスタのソース又はドレインの他方に第4の電位を印加する動作と、を有し、読み出し動作は、第1乃至第3のトランジスタのそれぞれのバックゲートに、第1の電位を印加する動作と、第1のトランジスタのゲートに、第1のトランジスタがオン状態となる高レベルを印加する動作と、第3のトランジスタのゲートに、第3のトランジスタがオン状態となる高レベルを印加する動作と、第2のトランジスタのゲートに、第5の電位を印加する動作と、第1のトランジスタのソース又はドレインの他方に第6の電位を印加する動作と、第3のトランジスタのソース又はドレインの他方に第7の電位を印加する動作と、を有し、第1の電位は負の電位である、半導体装置の動作方法である。

10

20

【0030】

(17)

また、本発明の一態様は、上記(16)の動作方法において、消去動作を有し、消去動作は、第1乃至第3のトランジスタのそれぞれのバックゲートに、第1の電位を印加する動作と、第3のトランジスタのゲートに、第3のトランジスタがオン状態となる高レベル電位を印加する動作と、第3のトランジスタのソース又はドレインの他方に、第2のトランジスタの電荷蓄積層から電子を引き抜くための第8の電位を印加する動作と、を有する、半導体装置の動作方法である。

30

【0031】

(18)

また、本発明の一態様は、上記(16)又は(17)の動作方法において、金属酸化物は、少なくともInを有する、半導体装置の動作方法である。

【0032】

(19)

また、本発明の一態様は、上記(16)又は(17)の動作方法において、金属酸化物は、Inと、Znと、を有する、半導体装置の動作方法である。

【0033】

(20)

また、本発明の一態様は、上記(19)の動作方法において、金属酸化物は、ZnよりもInの割合が多い、半導体装置の動作方法である。

40

【0034】

(21)

また、本発明の一態様は、上記(19)の動作方法において、金属酸化物に含まれている、Inと、Znとの原子数比は、In：Zn＝2：1、又はその近傍の組成である、半導体装置の作製方法である。

【0035】

(22)

また、本発明の一態様は、上記(19)の動作方法において、金属酸化物に含まれている、Inと、Znとの原子数比は、In：Zn＝5：1、又はその近傍の組成である、半

50

導体装置の作製方法である。

【0036】

(23)

また、本発明の一態様は、上記(19)の動作方法において、金属酸化物に含まれている、Inと、Znとの原子数比は、 $In:Zn=10:1$ 、又はその近傍の組成である、半導体装置の作製方法である。

【0037】

(24)

また、本発明の一態様は、上記(16)又は(17)の構成において、金属酸化物は、Inと、元素M(MはAl、Ga、Y、またはSn)と、Znと、を有する、半導体装置の動作方法である。

10

【0038】

(25)

また、本発明の一態様は、上記(24)の構成において、元素MはGaであって、金属酸化物に含まれている、Inと、Gaと、Znとの原子数比は、 $In:Ga:Zn=5:1:3$ 、又はその近傍の組成である、半導体装置の動作方法である。

【0039】

(26)

また、本発明の一態様は、上記(24)の構成において、元素MはGaであって、金属酸化物に含まれている、Inと、Gaと、Znとの原子数比は、 $In:Ga:Zn=10:1:3$ 、又はその近傍の組成である、半導体装置の動作方法である。

20

【発明の効果】

【0040】

本発明の一態様により、良好な電気特性を有し、トラップセンターの形成が抑制された半導体装置を提供することが可能となる。

【0041】

また、本発明の一態様により、単位面積あたりの記憶容量の大きい半導体装置を提供することができる。また、本発明の一態様により、メモリセル(メモリトランジスタ、セルトランジスタなどともいう)を積層した新規な構造の半導体装置を提供することができる。また、本発明の一態様により、生産性の高い半導体装置を提供することができる。

30

【0042】

また、本発明の一態様により、該半導体装置を有するモジュールを提供することができる。また、本発明の一態様により、該半導体装置、または該モジュールを有する電子機器を提供することができる。また、本発明の一態様により、新規な半導体装置を提供することができる。また、本発明の一態様により、新規なモジュールを提供することができる。または、新規な電子機器を提供することができる。

【0043】

また、本発明の一態様により、回路動作において、消費電力の低減された半導体装置を提供することができる。また、本発明の一態様により、回路動作において、消費電力の低減された、該半導体装置を有するモジュールを提供することができる。また、本発明の一態様により、該半導体装置、または該モジュールを有する電子機器を提供することができる。

40

【0044】

また、本発明の一態様により、新規な半導体装置の作製方法を提供することができる。また、本発明の一態様により、新規な半導体装置の動作方法を提供することができる。

【0045】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

50

【図面の簡単な説明】

【0046】

図1は半導体装置の例を説明する断面図である。

図2Aは半導体装置の例を説明する上面図、図2Bは半導体装置の例を説明する断面図である。

図3A、図3Bは半導体装置の例を説明する断面図である。

図4は半導体装置の例を説明する上面図である。

図5は半導体装置の例を説明する断面図である。

図6は半導体装置の例を説明する断面図である。

図7AはIGZOの結晶構造の分類を示す表、図7Bは石英ガラスのXRDスペクトルを説明する図、図7Cは結晶性IGZOのXRDスペクトルを説明する図である。

図8A、図8Bは半導体装置の作製工程の例を説明する断面図である。

図9A、図9B、図9Cは半導体装置の作製工程の例を説明する断面図である。

図10A、図10Bは半導体装置の作製工程の例を説明する断面図である。

図11A、図11Bは半導体装置の作製工程の例を説明する断面図である。

図12は半導体装置の作製工程の例を説明する図である。

図13Aは半導体装置の作製工程の例を説明する上面図、図13B、図13Cは半導体装置の作製工程の例を説明する断面図である。

図14Aは半導体装置の作製工程の例を説明する上面図、図14B、図14Cは半導体装置の作製工程の例を説明する断面図である。

図15Aは半導体装置の作製工程の例を説明する上面図、図15B、図15Cは半導体装置の作製工程の例を説明する断面図である。

図16Aは半導体装置の作製工程の例を説明する上面図、図16B、図16Cは半導体装置の作製工程の例を説明する断面図である。

図17Aは半導体装置の作製工程の例を説明する上面図、図17B、図17Cは半導体装置の作製工程の例を説明する断面図である。

図18Aは半導体装置の作製工程の例を説明する上面図、図18B、図18Cは半導体装置の作製工程の例を説明する断面図である。

図19Aは半導体装置の作製工程の例を説明する上面図、図19B、図19Cは半導体装置の作製工程の例を説明する断面図である。

図20Aは半導体装置の作製工程の例を説明する上面図、図20B、図20Cは半導体装置の作製工程の例を説明する断面図である。

図21Aは半導体装置の作製工程の例を説明する上面図、図21B、図21Cは半導体装置の作製工程の例を説明する断面図である。

図22Aは半導体装置の作製工程の例を説明する上面図、図22B、図22C、図22Dは半導体装置の作製工程の例を説明する断面図である。

図23Aは半導体装置の作製工程の例を説明する上面図、図23B、図23Cは半導体装置の作製工程の例を説明する断面図である。

図24Aは半導体装置の作製工程の例を説明する上面図、図24B、図24Cは半導体装置の作製工程の例を説明する断面図である。

図25Aは半導体装置の作製工程の例を説明する上面図、図25B、図25Cは半導体装置の作製工程の例を説明する断面図である。

図26Aは半導体装置の作製工程の例を説明する上面図、図26B、図26Cは半導体装置の作製工程の例を説明する断面図である。

図27Aは半導体装置の作製工程の例を説明する上面図、図27B、図27Cは半導体装置の作製工程の例を説明する断面図である。

図28Aは半導体装置の作製工程の例を説明する上面図、図28B、図28Cは半導体装置の作製工程の例を説明する断面図である。

図29Aは半導体装置の作製工程の例を説明する上面図、図29B、図29Cは半導体装置の作製工程の例を説明する断面図である。

10

20

30

40

50

図 3 0 A は記憶装置の構成例を示す機能ブロック図、図 3 0 B はメモリストリングの構成例を示す回路図である。

図 3 1 は記憶装置の構成例を示す機能ブロック図である。

図 3 2 はメモリセルアレイの 3 次元構造構成例を示す図である。

図 3 3 はメモリセルアレイの 3 次元構造構成例を示す図である。

図 3 4 はメモリセルアレイの 3 次元構造構成例を示す図である。

図 3 5 A、図 3 5 B、図 3 5 C は記憶装置の動作例を説明するための回路図である。

図 3 6 A、図 3 6 B、図 3 6 C は記憶装置の動作例を説明するためのタイミングチャートである。

図 3 7 A は半導体ウェハの一例を示す斜視図、図 3 7 B はチップの一例を示す斜視図、図 3 7 C、図 3 7 D は電子部品の一例を示す斜視図である。

図 3 8 A、図 3 8 B、図 3 8 C、図 3 8 D、図 3 8 E は記憶装置の例の模式図である。

図 3 9 は A I システムの構成例を示すブロック図である。

図 4 0 A、図 4 0 B は A I システムの応用例を説明するブロック図である。

図 4 1 A は電子機器の例を示す図、図 4 1 B は電子機器の構成例を示すブロック図である。

図 4 2 A、図 4 2 B、図 4 2 C、図 4 2 D、図 4 2 E、図 4 2 F は電子機器の例を示す斜視図である。

【発明を実施するための形態】

【0047】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0048】

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。また、図面において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0049】

また、本明細書などにおいて、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0050】

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0051】

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0052】

なお、本明細書等において、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物を

10

20

30

40

50

いう。また、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいう。なお、各元素の含有量は、例えば、ラザフォード後方散乱法（RBS：Rutherford Backscattering Spectrometry）等を用いて測定することができる。

【0053】

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0054】

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0055】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0056】

なお、本明細書において、バリア膜とは、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、該バリア膜が導電性を有する場合は、導電性バリア膜と呼ぶことがある。

【0057】

本明細書等において、金属酸化物（metal oxide）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Oxide Semiconductorまたは単にOSともいう）などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。

【0058】

また、本明細書等について、 $In:Ga:Zn=4:2:3$ またはその近傍とは、原子数の総和に対して、 In が4の場合、 Ga が1以上3以下（ $1 \leq Ga \leq 3$ ）であり、 Zn が2以上4.1以下（ $2 \leq Zn \leq 4.1$ ）とする。また、 $In:Ga:Zn=5:1:6$ またはその近傍とは、原子数の総和に対して、 In が5の場合、 Ga が0.1より大きく2以下（ $0.1 < Ga \leq 2$ ）であり、 Zn が5以上7以下（ $5 \leq Zn \leq 7$ ）とする。また、 $In:Ga:Zn=1:1:1$ またはその近傍とは、原子数の総和に対して、 In が1の場合、 Ga が0.1より大きく2以下（ $0.1 < Ga \leq 2$ ）であり、 Zn が0.1より大きく2以下（ $0.1 < Zn \leq 2$ ）とする。また、 $In:Ga:Zn=5:1:3$ またはその近傍とは、原子数の総和に対して、 In が5の場合、 Ga が0.5以上1.5以下（ $0.5 \leq Ga \leq 1.5$ ）であり、 Zn が2以上4.1以下（ $2 \leq Zn \leq 4.1$ ）とする。また、 $In:Ga:Zn=10:1:3$ またはその近傍とは、原子数の総和に対して、 In が10の場合、 Ga が0.5以上1.5以下（ $0.5 \leq Ga \leq 1.5$ ）であり、 Zn が2以上4.1以下（ $2 \leq Zn \leq 4.1$ ）とする。また、 $In:Zn=2:1$ またはその近傍とは、原子数の総和に対して、 Zn が1の場合、 In は1より大きく3以下（ $1 < In \leq 3$ ）とする。また、 $In:Zn=5:1$ またはその近傍とは、原子数の総和に対して、 Zn が1の場合、 In は3より大きく7以下（ $3 < In \leq 7$ ）とする。また、 $In:Zn=10:1$ またはその近傍とは、原子数の総和に対して、 Zn が1の場合、 In は7より大きく13以下（ $7 < In \leq 13$ ）とする。

【0059】

（実施の形態1）

10

20

30

40

50

本実施の形態では、開示する発明の一態様の半導体装置である記憶装置の構成例、作製方法の例、回路構成例、および動作例について、図1乃至図35を参照して説明する。

【0060】

＜メモリトランジスタMT、メモリセルアレイ700＞

はじめに、半導体装置のメモリトランジスタMT、およびメモリセルアレイの構成について、図1、図2A、図2B、図3A、及び図3Bを参照して説明する。図1は、メモリセルアレイ700の断面図である。図2Aは、メモリセルアレイ700の上面図である。なお、図2Aは、図1にA5-A6の一点鎖線で示した面における上面図であり、一部の構成要素を省略している。また、図1は、図2AにA1-A2の一点鎖線で示す部位の断面図である。また、図2Bは、図2AにA3-A4の一点鎖線で示す部位の断面図であり、メモリストリングの一例を説明する断面図である。また、図3Aは、図1において、一点鎖線791で囲まれた部分を拡大した断面図であり、メモリセルとして機能するメモリトランジスタMTの一例を説明する図である。また、図3Bは、図1において、一点鎖線792で囲まれた部分を拡大した断面図であり、選択トランジスタとして機能するトランジスタの一例を説明する図である。なお、以下においては、図1などに示すように、x軸、y軸、z軸からなる直交座標系を便宜上設定して説明する。ここで、x軸およびy軸は、メモリセルアレイ700を設ける基体720の上面に平行にとり、z軸は基体720の上面に垂直にとる。

【0061】

メモリセルアレイ700は、基体720上に、絶縁体721を有し、絶縁体721上に、導電体701（導電体701__1乃至導電体701__m：mは、2以上の自然数）及び絶縁体722（絶縁体722__1乃至絶縁体722__m）、が交互に積層された積層体を有し、該積層体上に導電体702を有し、導電体702及び該積層体上に絶縁体724を有し、絶縁体724と導電体702と該積層体と絶縁体721とを貫通するように形成された開口部の内側に、絶縁体703（絶縁体703__1乃至絶縁体703__4）を有し、絶縁体703の内側に酸化物704（酸化物704__1乃至酸化物704__4）を有し、酸化物704の内側に絶縁体711（絶縁体711__1乃至絶縁体711__4）を有し、絶縁体711の内側に導電体712（導電体712__1乃至導電体712__4）を有し、酸化物704__1乃至酸化物704__4の上端部にそれぞれ電氣的に接続する導電体705（導電体705__1乃至導電体705__4）を有し、酸化物704__1乃至酸化物704__4の下端部にそれぞれ電氣的に接続する導電体706（導電体706__1乃至導電体706__4）を有し、導電体701__1乃至導電体701__mにそれぞれ電氣的に接続する導電体707（導電体707__1乃至導電体707__m）を有し、導電体707__1乃至導電体707__mにそれぞれ電氣的に接続する導電体708（導電体708__1乃至導電体708__m）を有し、導電体702と電氣的に接続する導電体709を有し、導電体709と電氣的に接続する導電体710を有し、絶縁体724と導電体705と導電体708と導電体710との上に、絶縁体717及び絶縁体713を有し、導電体712__1乃至導電体712__4にそれぞれ電氣的に接続する導電体714（図2Bでは導電体714__1と図示している）及び導電体715（図2Bでは導電体715__1と図示している）を有する。なお、図1、図2A、及び図2Bでは、複数の導電体701を表すために、導電体701を4段以上表示しているが、本実施の形態は図1に限られることなく、少なくとも導電体701を2段以上有していればよい。

【0062】

ここで、図1及び図2Aに示すように、導電体701はx軸方向に延伸して設けられる。また、図1及び図2Bに示すように、絶縁体703及び酸化物704はz軸方向に延伸して設けられる。つまり、導電体701と、絶縁体703及び酸化物704と、は互いに垂直に交差して設けられることが好ましい。また、図1に示すように、導電体707はz軸方向に延伸して設けられる。また、導電体708をy軸方向に延伸して設けてもよい。また、導電体705に接続される配線BLとして機能する導電体をy軸方向に延伸して設けてもよい。なお、導電体705の一部を配線BLとして機能させ、当該導電体をy軸方

10

20

30

40

50

向に延伸して設けてもよい。

【0063】

導電体712は、柱状に形成されており、z軸方向に延伸して設けられる。また、導電体712を囲うように絶縁体711が設けられ、さらに絶縁体711を囲うように酸化物704が設けられ、それぞれz軸方向に延伸して設けられる。別言すると、z軸方向に延伸して設けられた柱状の酸化物704の内部に、導電体712が芯のように設けられ、酸化物704と導電体712の間に、絶縁体711が設けられる。また、絶縁体703は、柱状の酸化物704の側周辺を囲うように設けられている。また、導電体707は、柱状に形成されており、z軸方向に延伸して設けられる。

【0064】

柱状の酸化物704は、z軸方向の下端において、導電体706と電氣的に接続し、上端において、導電体705と電氣的に接続する。また、図2Bに示すように、導電体706は、隣り合う2つの柱状の酸化物704の下端と電氣に接続し、該2つの柱状の酸化物704の上端は、それぞれ、電氣的に分離した導電体705と、電氣的に接続する。本実施の形態では、2つの柱状の酸化物704を導電体706で電氣的に接続したU字型のメモリストリングについて説明するが、本発明は、これに限らない。例えば、導電体706を、ビット線BLおよびソース線SLの一方とし、導電体705を、ビット線BLおよびソース線SLの他方としてもよい。この場合、導電体706は、複数の柱状の酸化物704と電氣的に接続してもよいし、一つの柱状の酸化物704と電氣的に接続してもよい。また、導電体705は、複数の柱状の酸化物704と電氣的に接続してもよいし、一つの柱状の酸化物704と電氣的に接続してもよい。

【0065】

柱状の酸化物704の下端をビット線BLおよびソース線SLの一方と電氣的に接続し、上端を他方と電氣的に接続する場合、柱状の酸化物704の下端付近と、上端付近に選択トランジスタを設けることが好ましい。例えば、導電体706をビット線BLの一部、導電体705をソース線SLの一部とした場合、導電体706とメモリトランジスタMTの間に、選択トランジスタSST、導電体705とメモリトランジスタMTの間に、選択トランジスタSDTを設ける。

【0066】

ここで、導電体701と、絶縁体703および酸化物704と、が交差する領域およびその近傍がメモリトランジスタMTとして機能する。また、導電体702と、絶縁体703および酸化物704と、が交差する領域およびその近傍が選択トランジスタとして機能する。これらのメモリトランジスタMTおよび選択トランジスタのチャネル長方向はz軸に平行になる。メモリトランジスタMTおよび選択トランジスタが電氣的に直列に接続されており、これらがメモリストリングを構成している。

【0067】

図3Aは、図1において、一点鎖線791で囲まれた部分を拡大した断面図であり、一例として、k段目(kは、2以上m-1以下の整数)のメモリトランジスタMTの断面を示す図である。メモリトランジスタMTは、導電体701__kと、絶縁体703(絶縁体703a、絶縁体703b、および絶縁体703c)と、酸化物704(酸化物704a、酸化物704b、および酸化物704c)と、を有する。また、メモリトランジスタMTは、導電体712、および絶縁体711を有していてもよい。

【0068】

導電体701__kは、メモリトランジスタMTのゲートとして機能し、絶縁体703aは、ゲート絶縁層として機能し、絶縁体703bは、電荷蓄積層として機能し、絶縁体703cは、トンネル絶縁層として機能する。

【0069】

詳細は後述するが、酸化物704は、酸化物704a、酸化物704b、および酸化物704cを有しており、酸化物704aは、酸化物704bに対して、相対的にエネルギーギャップが広く、酸化物704cは、酸化物704bに対して、相対的にエネルギーギ

10

20

30

40

50

ギャップが広い。別言すると、酸化物704bは、酸化物704aおよび酸化物704cに対して、相対的にエネルギーギャップが狭い。

【0070】

k段目のメモリトランジスタMTに含まれている酸化物704は、チャネル形成領域として機能する。また、k段目のメモリトランジスタMTとk-1段目のメモリトランジスタMTとの間の酸化物704、k段目のメモリトランジスタMTとk+1段目のメモリトランジスタMTとの間の酸化物704は、低抵抗領域として機能するのが好ましい。酸化物704は、チャネル形成領域と、低抵抗領域が交互に形成された構造を有することによって、メモリセルが積層されたメモリストリング、またはメモリセルアレイにおいて、メモリセル間の直列抵抗を低減することができる。

10

【0071】

導電体712を設ける場合、導電体701-kは、第1のゲートとして機能し、導電体712は、第2のゲートとして機能する。なお、第1のゲートを、単にゲート、またはコントロールゲートと呼び、第2のゲートをバックゲートと呼ぶことがある。また、酸化物704と、導電体712の間には、絶縁体711が設けられ、第2のゲート絶縁層として機能する。このとき、絶縁体703aは、第1のゲート絶縁層として機能する。メモリトランジスタMTの回路動作において、第2のゲートとして機能する導電体712の電位を制御することで、メモリトランジスタMTの消費電力を低減することができる。

【0072】

図3Bは、図1において、一点鎖線792で囲まれた部分を拡大した断面図であり、選択トランジスタ（ビット線側トランジスタ：SDT、およびソース線側トランジスタ：SST）の断面を示す図である。選択トランジスタは、導電体702と、絶縁体703と、酸化物704（酸化物704a、酸化物704b、および酸化物704c）と、を有する。また、導電体712、および絶縁体711を有していてもよい。

20

【0073】

導電体702は、選択トランジスタのゲートとして機能し、絶縁体703aは、ゲート絶縁層として機能する。ゲート絶縁層は、少なくとも絶縁体703aを有していればよく、絶縁体703b、および絶縁体703cは、設けなくてもよい。あるいは、絶縁体703a、絶縁体703b、および絶縁体703cを設けた後、部分的に絶縁体703b、および絶縁体703cを除去してもよい。

30

【0074】

酸化物704は、酸化物704a、酸化物704b、および酸化物704c有しており、酸化物704aは、酸化物704bに対して、相対的にエネルギーギャップが広く、酸化物704cは、酸化物704bに対して、相対的にエネルギーギャップが広い。別言すると、酸化物704bは、酸化物704aおよび酸化物704cに対して、相対的にエネルギーギャップが狭い。

【0075】

導電体712を設ける場合、導電体702は、第1のゲートとして機能し、導電体712は、第2のゲートとして機能する。なお、第1のゲートを、単にゲート、またはトップゲートと呼び、第2のゲートをバックゲートと呼ぶことがある。また、酸化物704と、導電体712の間には、絶縁体711が設けられ、第2のゲート絶縁層として機能する。このとき、絶縁体703aは、第1のゲート絶縁層として機能する。第2のゲートとして機能する導電体712により、選択トランジスタのしきい値を制御することができる。

40

【0076】

なお、本実施の形態に示す半導体装置の構成は一例であり、本発明は、本実施の形態に係る図面等に示す、回路素子および配線等の、個数および配置等に限定されるものではない。本実施の形態に係る半導体装置が有する、回路素子および配線等の、個数および配置等は、回路構成や駆動方法に合わせて適宜設定することができる。

【0077】

メモリセルアレイ700を設ける基体720は絶縁表面を有していることが好ましい。

50

絶縁表面を有する基板としては、表面に絶縁体が形成された半導体基板、絶縁体基板、表面に絶縁体が形成された導電体基板などを用いればよい。半導体基板としては、例えば、シリコン、ゲルマニウムなどのいずれかを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどのいずれかを材料とした半導体基板などを用いればよい。また、絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などを用いればよい。また、前述の半導体基板において内部に絶縁体領域を有する基板として、例えばSOI（Silicon On Insulator）基板などを用いてもよい。また、導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などを用いればよい。

10

【0078】

導電体701は、メモリトランジスタMTのゲートとして機能し、ワード線と電氣的に接続する。すなわち、導電体701、導電体707、および導電体708は、ワード線の一部としても機能する。ここで、導電体701は、図1に示すように、下層の導電体701が上層の導電体701よりA2側に延伸した、階段状に設けられることが好ましい。このように、導電体701を設けることにより、下層の導電体701の上面の一部の領域が、より上層の導電体701と重ならないので、導電体701各層の当該領域と各導電体707を接続させることができる。

【0079】

導電体701として、不純物が添加されたシリコンや、金属など、導電性を有する材料を用いることができる。導電体701として、シリコンを用いる場合、アモルファスシリコンや微結晶シリコン、多結晶シリコン、単結晶シリコンなどを用いることができる。また、シリコンに導電性を持たせるため、p型不純物やn型不純物を添加してもよい。また、シリコンを含む導電性材料として、チタン、コバルト、またはニッケルを含むシリサイドを導電体701として用いることができる。また、金属材料を導電体701に用いる場合、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。

20

【0080】

導電体702は、導電体701の上に設けられる。導電体702は、選択トランジスタ（ビット線側選択トランジスタ：SDT、およびソース線側選択トランジスタ：SST）のゲートとして機能し、配線DGL、または配線SGLと電氣的に接続する。すなわち、導電体702、導電体709、および導電体710は、配線DGL、または配線SGLの一部としても機能する。また、導電体702は、導電体701と同様の材料を用いることができる。また、導電体702は、導電体701と同じ材料を用いてもよいし、異なる材料を用いてもよい。導電体701、および導電体702は、用途に応じて、仕事関数などを考慮し、決定すればよい。

30

【0081】

導電体701、および導電体702の上層、および下層に設けられる絶縁膜として、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などを用いることができる。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂は、比誘電率が低いため、該絶縁膜に用いることは好適である。

40

【0082】

一方、該絶縁膜として、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などを用いる

50

ことも可能だが、これらは比誘電率が高いため、導電体 701 間、または導電体 701 および導電体 702 の間に寄生容量が生じる場合がある。デバイスの設計、用途に応じて該絶縁膜に用いる材料を決めることができる。

【0083】

絶縁体 703 は、絶縁体 703 a、絶縁体 703 b、および絶縁体 703 c を有する。絶縁体 703 a は、導電体 701 側に設けられ、絶縁体 703 c は、酸化物 704 側に設けられ、絶縁体 703 b は、絶縁体 703 a と絶縁体 703 c の間に設けられる。絶縁体 703 a は、ゲート絶縁層として機能し、絶縁体 703 b は、電荷蓄積層として機能し、絶縁体 703 c は、トンネル絶縁層として機能する。

【0084】

なお、選択トランジスタは、メモリトランジスタ MT と同じ構造でもよい。一方、図 3 B に示すように、選択トランジスタには、電荷蓄積層およびトンネル絶縁層を設けなくてもよい。ビット線側トランジスタ SDT、およびソース線側トランジスタ SST において、絶縁体 703 b および絶縁体 703 c を除去し、絶縁体 703 として絶縁体 703 a のみを設ける構成にしてもよい。または、ビット線側トランジスタ SDT、およびソース線側トランジスタ SST において、絶縁体 703 b および絶縁体 703 c を設けず、絶縁体 703 a のみを絶縁体 703 として設ける構成にしてもよい。また、図 3 B において、第 2 のゲート電極として、導電体 712 を設けてもよい。この場合、導電体 702 は、第 1 のゲート電極として機能し、絶縁体 703 a は、第 1 のゲート絶縁膜として機能し、絶縁体 711 は第 2 のゲート絶縁膜として機能する。導電体 712 により、選択トランジスタのしきい値を制御することができる。

【0085】

絶縁体 703 a として、酸化シリコンや、酸化窒化シリコンなどを用いることが好ましい。また、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、またはアルミニウム、ハフニウム、ジルコニウムから選ばれた 2 つ以上を含む酸化物を用いてもよい。また、これらを積層して絶縁体 703 a としてもよい。

【0086】

絶縁体 703 b は、電荷蓄積層として機能する材料を用いることが好ましく、窒化シリコンや、窒化酸化シリコンを用いることが好ましい。また、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、またはアルミニウム、ハフニウム、ジルコニウムから選ばれた 2 つ以上を含む酸化物を有してもよい。

【0087】

絶縁体 703 c として、酸化シリコンや、酸化窒化シリコンを用いることが好ましい。また、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、またはアルミニウム、ハフニウム、ジルコニウムから選ばれた 2 つ以上を含む酸化物を用いてもよい。また、これらを積層して絶縁体 703 c としてもよい。

【0088】

特に、絶縁体 703 a、絶縁体 703 b、絶縁体 703 c の少なくとも一には、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO_3) または (Ba, Sr) TiO_3 (BST) などのいわゆる high-k 材料を含む絶縁体を単層または積層で用いてもよい。例えば、絶縁体 703 a、絶縁体 703 b、絶縁体 703 c のいずれか一を積層構造とする場合、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、が順に形成された 3 層積層や、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、が順に形成された 4 層積層などを用いれば良い。また、絶縁体 703 a、絶縁体 703 b、絶縁体 703 c の少なくとも一には、ハフニウムと、ジルコニウムとが含まれる化合物などを用いても良い。

【0089】

また、詳細は後述するが、絶縁体 703 c がトンネル絶縁層として機能することで、メモリトランジスタ MT へのデータの書き込み動作、または消去動作において、絶縁体 70

10

20

30

40

50

3 c を通って、酸化物 704 と絶縁体 702 b の間で、電荷の移動が行われる。このように、絶縁体 703 c がトンネル絶縁層として機能するためには、絶縁体 703 c の膜厚は、絶縁体 703 a より薄いことが好ましい。

【0090】

なお、導電体 701、導電体 702、及び絶縁膜を有する積層体に設けられた開口に絶縁体 703 を形成する場合、開口の底部に形成された絶縁体 703 は、ドライエッチングなどを用いた異方性エッチングにより除去する必要がある。異方性エッチングの際、絶縁体 703 c は、側面においても、プラズマ、ラジカル、ガス、薬液などに曝される。これらによって絶縁体 703 c の側面がダメージを受けると、絶縁体 703 c にトラップセンターが生じ、トランジスタの電気特性に影響を与える場合がある。トラップセンターの生成を抑制するためには、絶縁体 703 c の側面は、エッチングによるダメージに対して高い耐性を有していることが求められる。この場合、絶縁体 703 c として、酸化アルミニウム、酸化シリコンと酸化アルミニウムの積層、または酸化窒化シリコンと酸化アルミニウムの積層を用いることが好ましい。

【0091】

絶縁体 703 a、絶縁体 703 b、および絶縁体 703 c は、ALD 法や CVD 法を用いて形成することができる。また、絶縁体 703 a、絶縁体 703 b、および絶縁体 703 c の界面の汚染を防ぐためには、同一チャンバー内で、または複数のチャンバーを有するマルチチャンバー方式の成膜装置を用いて、大気雰囲気曝露することなく、連続で成膜することが好ましい。

【0092】

酸化物 704 は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。

【0093】

例えば、酸化物 704 として、 $In-M-Zn$ 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物 704 として、 $In-Ga$ 酸化物、 $In-Zn$ 酸化物、 In 酸化物などを用いてもよい。

【0094】

酸化物 704 は、絶縁体 703 c 側に設けられる酸化物 704 a と酸化物 704 a の内側に設けられる酸化物 704 b と、酸化物 704 b の内側に設けられる酸化物 704 c と、を有することが好ましい。このとき、酸化物 704 a は、酸化物 704 b に対して、相対的にエネルギーギャップの広い酸化物を用いることが好ましい。また、酸化物 704 c は、酸化物 704 b に対して、相対的にエネルギーギャップの広い酸化物を用いることが好ましい。ここで、エネルギーギャップの広い酸化物を、ワイドギャップである酸化物、エネルギーギャップの狭い酸化物をナローギャップである酸化物と呼ぶことがある。なお、図 3 A、および図 3 B において、酸化物 704 は、酸化物 704 a、酸化物 704 b、および酸化物 704 c の 3 層構造としているが、これに限らない。酸化物 704 は、酸化物 704 a、および酸化物 704 b の 2 層構造を有していてもよいし、4 層以上の積層構造でもよい。

【0095】

酸化物 704 a、および酸化物 704 c をワイドギャップとし、酸化物 704 b をナローギャップとする場合、酸化物 704 a、および酸化物 704 c の伝導帯下端のエネルギーが、酸化物 704 b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物 704 a、および酸化物 704 c の電子親和力が、酸化物 704 b の電子親和力より小さいことが好ましい。

【0096】

また、酸化物 704 a、酸化物 704 b、および酸化物 704 c は、各金属原子の原子

数比が異なる組み合わせにすることが好ましい。具体的には、酸化物704a、および酸化物704cに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物704bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物704a、および酸化物704cに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物704bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物704bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物704a、および酸化物704cに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

【0097】

酸化物704a、および酸化物704cには、例えばIn:Ga:Zn=1:3:4の組成、In:Ga:Zn=1:3:2の組成、In:Ga:Zn=1:1:1の組成、これらのいずれか一の近傍の組成などを有する金属酸化物を用いることができる。また、酸化物704bには、例えばIn:Ga:Zn=4:2:3から4.1の組成、In:Ga:Zn=1:1:1の組成、In:Ga:Zn=5:1:6の組成、これらのいずれか一の近傍の組成などを有する金属酸化物を用いることができる。また、上述した以外の組成としては、酸化物704bには、例えば、In:Ga:Zn=5:1:3の組成、In:Ga:Zn=10:1:3の組成、In:Zn=2:1の組成、In:Zn=5:1の組成、In:Zn=10:1の組成、これらのいずれか一の近傍の組成などを有する金属酸化物を用いることができる。これらの酸化物704aおよび酸化物704bを上記の原子数比の関係を満たして組み合わせることが好ましい。例えば、酸化物704a、および酸化物704cを、In:Ga:Zn=1:3:4の組成およびその近傍の組成を有する金属酸化物、酸化物704bを、In:Ga:Zn=4:2:3から4.1の組成およびその近傍の組成を有する金属酸化物とするのが好ましい。なお、上記組成は、基体上に形成された酸化物中の原子数比、またはスパッタターゲットにおける原子数比を示す。また、酸化物704bの組成として、Inの比率を高めることは、トランジスタのオン電流、または電界効果移動度などを高めることが出来るため好適である。また、酸化物704bのIn比率を高めることで、ノーマリーオンのトランジスタ特性となる場合が多い。ただし、本発明の一態様では、ノーマリーオンのトランジスタ特性であっても良好な半導体装置の動作方法を提供することができる。なお、本発明の一態様の半導体装置の動作方法の詳細については、後述する。

【0098】

なお、本明細書等において、ノーマリーオンとは、ゲートに電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れてしまう状態のことをいう。また、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅1 μm あたりの電流が、室温において $1 \times 10^{-20} \text{ A}$ 以下、85 $^{\circ}\text{C}$ において $1 \times 10^{-18} \text{ A}$ 以下、または125 $^{\circ}\text{C}$ において $1 \times 10^{-16} \text{ A}$ 以下であることをいう。

【0099】

また、酸化物704a、および酸化物704cとして、後述する、CAAC-Osを用い、酸化物704bとして、CAC-Osを用いることが好ましい。酸化物704a、および酸化物704cとして、CAAC-Osを用いる場合、c軸は、図1、図2などに示すx-y平面に平行、すなわちz軸に垂直で、かつ開口の側面から中心に向かうように配向することが好ましい。

【0100】

ここで、酸化物704aと酸化物704bの接合部、および酸化物704cと酸化物704bの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物704aと酸化物704bの接合部、および酸化物704cと酸化物704bの接合部における伝導帯下端は、連続的に変化または連続接合する。このようにするためには、酸化物704aと酸化物704bとの界面、および酸化物704cと酸化物704bとの界面におい

て形成される混合層の欠陥準位密度を低くするとよい。

【0101】

具体的には、酸化物704a、酸化物704b、および酸化物704cが、酸素以外に共通の元素を有する（主成分とする。）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物704bがIn-Ga-Zn酸化物の場合、酸化物704a、および酸化物704cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。これにより、酸化物704aと酸化物704bとの界面、および酸化物704cと酸化物704bとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、メモリトランジスタMTは高いオン電流を得られる。

10

【0102】

なお、酸化物704として用いることができる金属酸化物のより詳細な説明については、後述する。

【0103】

図3Aは、図1において一点鎖線791で囲まれたメモリトランジスタMTの拡大図である。図3Aに示すように、酸化物704bは、酸化物704aと酸化物704cに挟まれるように設けられている。このような構成において、酸化物704に、導電体705から導電体706へ方向、あるいは導電体706から導電体705へ方向にキャリアを流す際、ナローギャップを有する成分において、主にキャリアが流れる。このため、上記構成を用いる場合、ナローギャップである酸化物704bをワイドギャップである酸化物704a、および酸化物704cで挟むことにより、酸化物704を流れるキャリアを酸化物704bに閉じ込めることができ、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

20

【0104】

また、酸化物704bと、絶縁体703cと、の間に酸化物704aを設けることで、キャリアパスとなる酸化物704bと、絶縁体703cが直接接することがなく、トラップセンターの形成を抑制することができる。半導体（酸化物半導体）と、絶縁体との界面に形成されたトラップセンターは、電子を捕獲し、トランジスタのしきい値電圧をプラス方向に変動させるため、トランジスタの信頼性や、オン、オフ特性に悪影響を及ぼす恐れがある。よって、当該酸化物を用いるトランジスタは、トラップセンターによる電気特性の影響を受けることがないため、オン状態においてより高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。また、当該トランジスタ、および当該トランジスタを用いた半導体装置は、高い信頼性を得ることができる。

30

【0105】

また、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜が、水素を吸収する特性を有する場合、酸化物704に当該膜を接することで、酸化物704中の水素は、当該膜へと吸収される。従って、酸化物704中の不純物である水素を低減することができる。また、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜は、後の工程で、酸化物704から吸収した水素とともに除去してもよい。これによって、酸化物704は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する。

40

【0106】

なお、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜は、必ずしも除去しなくともよい。例えば、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜が、酸化物704から吸収した酸素により、酸化し、絶縁体となり、高抵抗化している場合は、残存させてもよい。その場合、絶縁体711と同様に、第2のゲート絶縁層として機能する場合がある。

【0107】

また、例えば、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜に、導電性を有する領域が残存している場合、熱処理を行うことにより、導電性を有する領域を酸化させることで、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜

50

は絶縁体となり、高抵抗化する。当該熱処理は、例えば、酸化性雰囲気下で行うことが好ましい。また、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜の近傍に酸素を有する構造体がある場合、熱処理を行うことで、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜は、当該構造体が有する酸素と反応し、酸化する場合がある。

【0108】

金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜を、絶縁体として残存させることで、絶縁体711と同様に、第2のゲート絶縁層として機能させることができる。

【0109】

例えば、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜は、0.5 nm以上5 nm以下、好ましくは1 nm以上2 nm以下の膜厚で設けることが好ましい。例えば、0.5 nm以上5 nm以下のアルミニウムを、加熱処理により酸化させると0.7 nm以上8 nm以下の酸化アルミニウムとなる場合がある。なお、酸化性雰囲気下で熱処理を行う場合には、酸化物704と、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜とが、接した状態で、窒素を含む雰囲気下において一度熱処理を行ったあとに行うと好適である。窒素を含む雰囲気下において、一度熱処理を行うことで、酸化物704中の酸素が金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜に拡散しやすくなる。

【0110】

ここで、酸化物半導体を用いたメモリトランジスタや、選択トランジスタは、酸化物半導体中のチャンネルが形成される領域に不純物及び酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体中のチャンネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。従って、チャンネルが形成される領域中の酸素欠損はできる限り低減されていることが好ましい。なお、半導体装置の仕様によっては、メモリトランジスタはノーマリーオン特性で動作させてもよい。

【0111】

導電体712を設ける場合、導電体712として、導電体701と同様な材料を用いることができる。導電体712は、アスペクト比の大きい開口内部（別言すると、酸化物704、および絶縁体711の凹部）に形成する必要があるため、CVD法、ALD法、または、メッキ法にて形成されることが好ましい。この時、絶縁体711は、絶縁体703と同様の材料を用いることができる。

【0112】

また、酸化物704cの内側に絶縁体711を設ける場合、絶縁体711は、酸化物704に酸素を供給できる材料であることが好ましい。絶縁体711として、水素や窒素を極力含まない酸化物を用いることで、酸化物704に酸素を供給できる場合がある。酸化物704に酸素を供給することで、酸化物704は高純度化する。高純度化された酸化物を酸化物704として用いることで、メモリトランジスタMT、および当該メモリトランジスタMTを用いた半導体装置は、高い信頼性を得ることができる。

【0113】

また、絶縁体711は、水素や窒素などの不純物を供給できる材料としてもよい。絶縁体711として、例えば、水素や窒素を含む酸化物を用いることで、酸化物704に水素や窒素を供給できる場合がある。酸化物704に水素や窒素を供給することで、酸化物704の抵抗値が下がる場合がある。酸化物704の抵抗値を、回路動作の弊害にならない程度に下げることによって、より低い駆動電圧で、メモリトランジスタMTを動作させることができる。また、メモリトランジスタMTのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

【0114】

なお、メモリトランジスタMTが設けられる積層体に形成された開口は、図2A等にお

10

20

30

40

50

いて、上面を円形状としているがこれに限られるものではなく、例えば上面を楕円形状としてもよいし、三角形、四角形などの多角形状にしてもよい。また、多角形状とする場合、角部が丸みを帯びている形状としてもよい。また、当該開口の上面形状に合わせて、絶縁体 703、及び酸化物 704 の上面形状も変化することがある。また、当該開口は、上方（導電体 705 側）の開口の断面積に比較して下方（導電体 706 側）の開口の断面積が狭くなる形状としてもよい。

【0115】

酸化物 704、絶縁体 703、及び導電体 701（導電体 701₁乃至導電体 701_mのいずれか）により、メモリトランジスタ MT が構成される。図 1、および図 2 には、メモリトランジスタ MT が m 段（m は 2 以上の自然数）積層している例を示している。なお、図 1、及び図 2 では、複数の導電体 701 を表すために、導電体 701 を 4 段以上表示しているが、本実施の形態は図 1 に限られることなく、少なくとも導電体 701 を 2 段以上有していればよい。

10

【0116】

導電体 705 は、酸化物 704 と電氣的に接続し、ソース線 SL、またはビット線 BL の一部として機能する。導電体 705 として、金属元素を含む導電性材料を用いることが好ましい。あるいは、導電体 705 として、上述した金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜に用いることができる材料の内、導電性を有する材料を用いることができる。この場合、酸化物 704 の一部は、低抵抗化する。また、導電体 705 と酸化物 704 の界面には、導電体 705 が有する金属元素と、酸化物 704 の成分とを含む金属化合物層が形成されていることが好ましい。該金属化合物層が形成されることで、導電体 705 と、酸化物 704 とのコンタクト抵抗が低減するため好ましい。または、酸化物 704 に含まれる酸素を、導電体 705 が吸収し、酸化物 704 の、導電体 705 と酸化物 704 の界面近傍の抵抗を低減することで、導電体 705 と、酸化物 704 とのコンタクト抵抗を低減することができる。

20

【0117】

導電体 705 として、アルミニウム、ルテニウム、チタン、タンタル、クロム、タングステン、および銅から選ばれた一、または複数の金属元素を含む導電性材料を用いることが好ましい。

【0118】

導電体 706 は、図 2 B に示すように、ビット線 BL の一部として機能する導電体 706 と電氣的に接続する酸化物 704 と、ソース線 SL の一部として機能する導電体 705 と電氣的に接続する酸化物 704 と、を電氣的に接続することで、メモリストリングを構成する。図 2 A の点線で囲まれた領域は、メモリストリングを表している。すなわち、図 2 A では、4 つのメモリストリングを有するメモリセルアレイ 700 を示している。

30

【0119】

導電体 706 は、導電体 705 と同様の材料を用いることができる。あるいは、導電体 706 として、上述した金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜に用いることができる材料の内、導電性を有する材料を用いることができる。この場合、上述した通り、酸化物 704 の一部は、低抵抗化する。また、導電体 706 は、導電体 705 と同じ材料を用いてもよいし、異なる材料を用いてもよい。

40

【0120】

また、導電体 706 と酸化物 704 の界面には、導電体 706 が有する金属元素と、酸化物 704 の成分とを含む金属化合物層が形成されていることが好ましい。該金属化合物層が形成されることで、導電体 706 と、酸化物 704 とのコンタクト抵抗が低減するため好ましい。または、酸化物 704 に含まれる酸素を、導電体 706 が吸収し、酸化物 704 の、導電体 706 と酸化物 704 の界面近傍の抵抗を低減することで、導電体 706 と、酸化物 704 とのコンタクト抵抗を低減することができる。

【0121】

導電体 707、導電体 708、導電体 709、導電体 710、導電体 714、及び導電

50

体 7 1 5 は、導電体 7 0 1、導電体 7 0 2、または導電体 7 1 2 に用いることができる材料を、同様に用いることができる。各導電体は、同じ材料を用いてもよいし、異なる材料を用いてもよい。

【 0 1 2 2 】

<メモリセルアレイ 7 0 0 A>

図 4 は、メモリトランジスタ M T を 6 段有するメモリセルアレイ 7 0 0 を複数組み合わせたメモリセルアレイ 7 0 0 A を説明する上面図である。なお、図 4 では、説明を容易にするため、一部の構成要素を省略している。例えば、導電体 7 0 1 上に設けられる選択トランジスタ（ビット線側トランジスタ S D T、およびソース線側トランジスタ S S T）や、それらの構成要素である導電体 7 0 2 は、省略している。また、ビット線 B L やソース線 S L の一部として機能する導電体 7 0 5、ワード線 W L（ワード線 W L a __ 1 乃至ワード線 W L a __ 6、ワード線 W L b __ 1 乃至ワード線 W L b __ 6）の一部として機能する導電体 7 0 8、第 2 のゲートとして機能する導電体 7 1 2 と電氣的に接続する配線 B G の一部として機能する導電体 7 1 5 は、実線にて示している。

【 0 1 2 3 】

メモリセルアレイ 7 0 0 A において、各メモリセルアレイ 7 0 0 は、6 段のメモリトランジスタ M T を有するメモリストリングを 4 つ有する。

【 0 1 2 4 】

メモリストリングのビット線側の端は、それぞれ異なるビット線 B L（ビット線 B L __ 1 乃至ビット線 B L __ 4）と電氣的に接続されている。一方、メモリストリングのソース線側の端は、ソース線 S L と電氣的に接続されており、共通の電位が与えられている。ソース線 S L は、接地されていてもよいし、一定の電位が与えられていてもよい。また、回路の動作に合わせて、電位を変動させてもよい。

【 0 1 2 5 】

導電体 7 0 1 __ 1 乃至導電体 7 0 1 __ 6 は、それぞれ異なるワード線 W L と電氣的に接続されている。ビット線側の導電体 7 0 1 __ 1 乃至導電体 7 0 1 __ 6 は、それぞれワード線 W L a __ 1 乃至ワード線 W L a __ 6 と電氣的に接続され、ソース線側の導電体 7 0 1 __ 1 乃至導電体 7 0 1 __ 6 は、それぞれワード線 W L b __ 1 乃至ワード線 W L b __ 6 と電氣的に接続されている。

【 0 1 2 6 】

各メモリストリングが有する導電体 7 1 2 は、配線 B G と電氣的に接続されている。図 4 では、列方向に配列された導電体 7 1 2 が共通の配線 B G と電氣的に接続されている例を示しているが、本発明は、これに限らない。行方向に配列された導電体 7 1 2 が共通の配線 B G と電氣的に接続されていてもよい。また、配線 B G 毎に異なる電位を印加してもよいし、複数の配線 B G に同じ電位が印加されてもよい。複数の配線 B G に同じ電位を印加する場合、複数の配線 B G は、お互いに電氣的に接続されていることが好ましい。複数の配線 B G とは、メモリセルアレイ 7 0 0 A が有する全ての配線 B G を指す場合がある。

【 0 1 2 7 】

また、配線 B G に、任意の電位を印加するためには、配線 B G は、配線 B G の電位を制御する回路（例えば B G ドライバ、または B G ドライバ回路と呼ぶ場合がある。また、単にドライバ、またはドライバ回路と呼ぶ場合がある。）と電氣的に接続されていることが好ましい。B G ドライバ回路は、配線 B G 毎に設けてもよいし、一つの B G ドライバ回路に複数の配線 B G が電氣的に接続されていてもよい。例えば、メモリセルアレイ 7 0 0 A は、一つの B G ドライバ回路を有し、メモリセルアレイ 7 0 0 A が有する全ての配線 B G が該 B G ドライバ回路と電氣的に接続されていてもよい。

【 0 1 2 8 】

ビット線 B L（ビット線 B L __ 1 乃至ビット線 B L __ 4）、およびワード線（ワード線 W L a __ 1 乃至ワード線 W L a __ 6、及びワード線 W L b __ 1 乃至ワード線 W L b __ 6）を適宜選択することで、メモリセルアレイ 7 0 0 内の任意のメモリトランジスタ M T を選択することができる。また、選択されたメモリトランジスタ M T に対して、書き込み、読

10

20

30

40

50

み出し、消去などを行うことができる。

【0129】

また、各メモリストリングには、選択トランジスタ（図示しない）が設けられているため、メモリセルアレイ700A内の任意のメモリセルアレイ700を選択し、選択されたメモリセルアレイ700内の任意のメモリトランジスタMTに対して、書き込み、読み出し、消去などを行うことができる。

【0130】

<記憶装置750の構成例>

図5に、メモリセルアレイ700Aを、回路300の上に積層して設けた記憶装置750の構成例を示す。図5に示すように、メモリセルアレイ700Aは、トランジスタ301、トランジスタ302、およびトランジスタ303を有する回路300が形成されている領域に積層して設けられている。なお、トランジスタ301、及びトランジスタ302により、センスアンプ304を構成し、トランジスタ303は、列選択スイッチとして機能する。具体的には、メモリセルアレイ700Aのビット線BLは、トランジスタ301のソースおよびドレインの一方と電氣的に接続し、トランジスタ301のゲートは、トランジスタ302のソースおよびドレインの一方と電氣的に接続し、トランジスタ302のゲートは、トランジスタ301のソースおよびドレインの他方と電氣的に接続する。また、トランジスタ301のソースおよびドレインの一方と、トランジスタ302のソースおよびドレインの他方は、列選択スイッチとして機能する、トランジスタ303のソースおよびドレインの一方と電氣的に接続する。これにより記憶装置750のレイアウト面積を縮小することができる。なお、図5には、10段のメモリトランジスタMTが設けられ、1つのメモリストリングあたり、20個のメモリトランジスタMTを設けた例を示している。ただし、メモリトランジスタMTを積層する段数は、これに限らない。例えば、32段、64段、128段積層してもよいし、200段以上積層してもよい。

【0131】

メモリセルアレイ700Aのビット線BLは、絶縁体726、絶縁体722などに、埋め込まれるように形成された導電体752を介して、センスアンプ304や、列選択スイッチとして機能するトランジスタ303と電氣的に接続している。なお、回路300が有する回路やトランジスタは、一例であり、本発明の一態様はその回路構成や、トランジスタ構造に限定されない。上記以外にも、制御回路、行デコーダ、行ドライバ、ソース線ドライバ、入出力回路など、記憶装置750の構成や、その駆動方法に応じて適切な回路やトランジスタを設けることができる。

【0132】

トランジスタ301、トランジスタ302、及びトランジスタ303は、基板311に設けられ、それぞれ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。なお、図5に示すように、一つの低抵抗領域を、トランジスタ301およびトランジスタ302の、一方のソース領域またはドレイン領域、かつ他方のソース領域またはドレイン領域として共有する場合がある。

【0133】

トランジスタ301、トランジスタ302、及びトランジスタ303は、チャネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ301、トランジスタ302、及びトランジスタ303は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

【0134】

トランジスタ 301、トランジスタ 302、及びトランジスタ 303 は、それぞれ p チャンネル型、あるいは n チャンネル型のいずれでもよいが、トランジスタ 301 とトランジスタ 302 は、それぞれ異なる極性を有するトランジスタであることが好ましい。

【0135】

半導体領域 313 のチャンネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域 314 a、及び低抵抗領域 314 b などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又は GaAs と GaAlAs 等を用いることで、トランジスタ 301、トランジスタ 302、及びトランジスタ 303 を HEMT（High Electron Mobility Transistor）としてもよい。

10

【0136】

低抵抗領域 314 a、及び低抵抗領域 314 b は、半導体領域 313 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

【0137】

絶縁体 315 は、トランジスタ 301、トランジスタ 302、及びトランジスタ 303 のゲート絶縁膜として機能する。

20

【0138】

ゲート電極として機能する導電体 316 は、ヒ素、リンなどの n 型の導電性を付与する元素、もしくはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

【0139】

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

30

【0140】

また、導電体 316 の上方には、エッチストッパーとして機能する絶縁体 317 が設けられていることが好ましい。また、絶縁体 315 の側面には、スペーサーとして機能する絶縁体 318 が設けられていることが好ましい。絶縁体 317 および絶縁体 318 を設けることで、低抵抗領域 314 a、及び低抵抗領域 314 b と導電体 328 が電氣的に接続する領域を自己整合的に定めることができる。よって、低抵抗領域 314 a、および低抵抗領域 314 b の一部を露出するための開口を形成する際に、アライメントずれが生じたとしても、意図した領域を露出するための開口を形成することができる。このようにして形成された開口に、導電体 328 を形成することで、低抵抗領域 314 a、および低抵抗領域 314 b と導電体 328 の間で、コンタクト抵抗が低減した良好なコンタクトが得られる。このようにして形成された低抵抗領域 314 a、および低抵抗領域 314 b と導電体 328 とのコンタクトを、セルフアラインコンタクトと呼ぶ場合がある。

40

【0141】

トランジスタ 301、トランジスタ 302、およびトランジスタ 303 を覆って、絶縁体 320、絶縁体 322、絶縁体 324、絶縁体 326、および絶縁体 327 が順に積層して設けられている。

【0142】

絶縁体 320、絶縁体 322、絶縁体 324、絶縁体 326、および絶縁体 327 として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを

50

用いればよい。

【0143】

絶縁体322は、その下方に設けられるトランジスタ301などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化处理により平坦化されていてもよい。

【0144】

また、絶縁体324には、基板311、またはトランジスタ301などから、メモリセルアレイ700Aが設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【0145】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、メモリトランジスタMT等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、メモリトランジスタMTと、トランジスタ301などとの間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0146】

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

【0147】

なお、絶縁体326、および絶縁体327は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326、及び絶縁体327の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326、及び絶縁体327の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0148】

また、絶縁体317、絶縁体320、絶縁体322、絶縁体324、絶縁体326、及び絶縁体327にはメモリセルアレイ700Aと電気的に接続する導電体328、導電体329、導電体330等が埋め込まれている。なお、導電体328、導電体329、及び導電体330はプラグ、または配線としての機能を有する。導電体329は、一例として、絶縁体317及び絶縁体322の開口に埋め込まれており、かつ導電体329は、導電体316に電気的に接続されている。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【0149】

各プラグ、および配線（導電体328、導電体329、導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特に、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0150】

絶縁体327、及び導電体330上に、配線層を設けてもよい。例えば、図5において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また

10

20

30

40

50

、絶縁体３５０、絶縁体３５２、及び絶縁体３５４には、導電体３５６が形成されている。導電体３５６は、プラグ、または配線としての機能を有する。なお導電体３５６は、導電体３２８、導電体３２９、および導電体３３０と同様の材料を用いて設けることができる。

【０１５１】

なお、例えば、絶縁体３５０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３５６は、水素に対するバリア性を有する導電体を含むことが好ましい。つまり、水素に対するバリア性を有する絶縁体３５０が有する開口部に、水素に対するバリア性を有する導電体３５６が形成されることが好ましい。当該構成により、トランジスタ３０１などと、メモリトランジスタＭＴとは、バリア層により分離することができ、トランジスタ３０１などからメモリトランジスタＭＴへの水素の拡散を抑制することができる。

10

【０１５２】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ３０１などからの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体３５０と接する構造であることが好ましい。

【０１５３】

絶縁体３５４、および導電体３５６上に、配線層を設けてもよい。例えば、図５において、絶縁体３６０、絶縁体３６２、及び絶縁体３６４が順に積層して設けられている。また、絶縁体３６０、絶縁体３６２、及び絶縁体３６４には、導電体３６６が形成されている。導電体３６６は、プラグ、または配線としての機能を有する。なお導電体３６６は、導電体３２８、導電体３２９、および導電体３３０と同様の材料を用いて設けることができる。

20

【０１５４】

なお、例えば、絶縁体３６０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３６６は、水素に対するバリア性を有する導電体を含むことが好ましい。つまり、水素に対するバリア性を有する絶縁体３６０が有する開口部に、水素に対するバリア性を有する導電体３６６が形成されることが好ましい。当該構成により、トランジスタ３０１などと、メモリトランジスタＭＴとは、バリア層により分離することができ、トランジスタ３０１などからメモリトランジスタＭＴへの水素の拡散を抑制することができる。

30

【０１５５】

絶縁体３６４、および導電体３６６上には絶縁体７２２が設けられ、さらに絶縁体７２２の上方には、メモリセルアレイ７００Ａが設けられている。絶縁体３６４と絶縁体７２２の間に、絶縁体３２４と同様の材料を用いたバリア膜を設けてもよい。

【０１５６】

図５では、２つの柱状の酸化物７０４を導電体７０６で電氣的に接続したＵ字型のメモリストリングを有するメモリセルアレイ７００Ａの例を示したが、本発明はこれに限らない。図６は、８段のメモリトランジスタＭＴと、２つの選択トランジスタ（ＳＤＴ、ＳＳＴ）を有する柱状の酸化物７０４において、１つの柱状の酸化物７０４の下端が、ビット線ＢＬとして機能する導電体７０５Ｂと電氣的に接続し、上端が、ソース線ＳＬとして機能する導電体７０５Ｓと電氣的に接続する例を示している。すなわち、１つの柱状の酸化物７０４にて１つのメモリストリングが構成されている。図６において、導電体７０５Ｂは、４つの柱状酸化物の下端と電氣的に接続しているが、本発明はこれに限らない。１つの柱状の酸化物７０４に１つの導電体７０５Ｂが電氣的に接続していてもよいし、２以上の柱状の酸化物７０４に１つの導電体７０５Ｂが電氣的に接続していてもよい。また、導電体７０５Ｓは、２つの柱状酸化物の上端と電氣的に接続しているが、本発明はこれに限らない。１つの柱状の酸化物７０４に１つの導電体７０５Ｓが電氣的に接続していてもよ

40

50

いし、2以上の柱状の酸化物704に1つの導電体705Sが電氣的に接続していてもよい。

【0157】

導電体705BとメモリトランジスタMTの間には、選択トランジスタSDTが設けられ、導電体705SとメモリトランジスタMTの間には、選択トランジスタSSTが設けられている。ビット線BLとして機能する導電体705Bが、下方に設けられた回路300と電氣的に接続しているため、メモリセルアレイ700Aと回路300を電氣的に接続するための配線（引き回し配線）やプラグの数を削減することができ、記憶装置750のレイアウト面積をより縮小することができるため、好ましい。なお、図6においては、積層するメモリトランジスタMTを8段としたが、本発明はこれに限らない。2段以上7段以下としてもよいし、9段以上としてもよい。例えば、32段、64段、128段積層してもよいし、200段以上積層してもよい。

【0158】

<<金属酸化物>>

以下では、本発明に係る酸化物704に適用可能な金属酸化物について説明する。

【0159】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0160】

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

【0161】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

【0162】

[金属酸化物の構成]

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC（Cloud-Aligned Composite）-OSの構成について説明する。

【0163】

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（または正孔）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（On/Offさせる機能）をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

【0164】

また、CAC-OSまたはCAC-metal oxideは、導電性領域、および絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶

10

20

30

40

50

縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

【0165】

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5 nm以上10 nm以下、好ましくは0.5 nm以上3 nm以下のサイズで材料中に分散している場合がある。

【0166】

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、および高い電界効果移動度を得ることができる。

【0167】

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

【0168】

[金属酸化物の構造]

酸化物半導体(金属酸化物)は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)および非晶質酸化物半導体などがある。

【0169】

また、酸化物半導体は、結晶構造に着目した場合、上記とは異なる分類となる場合がある。ここで、酸化物半導体における、結晶構造の分類について、図7Aを用いて説明を行う。図7Aは、酸化物半導体、代表的にはIGZO(Inと、Gaと、Znと、を含む金属酸化物)の結晶構造の分類を説明する図である。

【0170】

図7Aに示すように、IGZOは、大きく分けてAmorphousと、Crystallineと、Crystalと、に分類される。また、Amorphousの中には、completely amorphousが含まれる。また、Crystallineの中には、CAAC(c-axis aligned crystalline)、nc(nanocrystalline)、及びCAC(Cloud-Aligned Composite)が含まれる。また、Crystalの中には、single crystal、及びpoly crystalが含まれる。

【0171】

なお、図7Aに示す太枠内の構造は、New crystalline phaseに属する構造である。当該構造は、Amorphousと、Crystalとの間の境界領域にある。すなわち、エネルギー的に不安定なAmorphousと、Crystallineとは全く異なる構造と言い換えることができる。

【0172】

なお、膜または基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）像を用いて評価することができる。ここで、石英ガラス、及びCrystallineに分類される結晶構造を有するIGZO（結晶性IGZOともいう。）のXRDスペクトルを図7B、図7Cに示す。また、図7Bが石英ガラス、図7Cが結晶性IGZOのXRDスペクトルである。なお、図7Cに示す結晶性IGZOとしては、In：Ga：Zn＝4：2：3〔原子数比〕の組成である。また、図7Cに示す結晶性IGZOとしては、厚さ500nmである。

【0173】

図7Bの矢印に示すように、石英ガラスは、XRDスペクトルのピークがほぼ対称である。一方で、図7Cの矢印に示すように、結晶性IGZOは、XRDスペクトルのピークが非対称である。XRDスペクトルのピークが非対称であることは、結晶の存在を明示している。別言すると、XRDスペクトルのピークで左右対称でないと、Amorphousであるとは言えない。

【0174】

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

【0175】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう。）を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

【0176】

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、（M，Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、（M，Zn）層の元素Mがインジウムと置換した場合、（In，M，Zn）層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、（In，M）層と表すこともできる。

【0177】

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損（V_O：oxygen vacancyともいう）など）の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

【0178】

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

【0179】

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸

10

20

30

40

50

化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

【0180】

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

【0181】

〔金属酸化物を有するトランジスタ〕

続いて、上記金属酸化物をトランジスタのチャネル形成領域に用いる場合について説明する。

【0182】

なお、上記金属酸化物をトランジスタのチャネル形成領域に用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0183】

ここで、金属酸化物の電気伝導の仮説の一例について説明する。

【0184】

固体中の電気伝導は、散乱中心と呼ばれる散乱源によって阻害される。例えば、単結晶シリコンの場合、格子散乱とイオン化不純物散乱が、主な散乱中心であることが知られている。換言すると、格子欠陥や不純物の少ない本質的な状態のとき、固体中の電気伝導の阻害要因がなく、キャリアの移動度は高い。

【0185】

上記のことは、金属酸化物に対しても、あてはまると推測される。例えば、化学量論的組成を満たす酸素よりも少ない酸素を含む金属酸化物では、酸素欠損 V_O が多く存在すると考えられる。この酸素欠損周りに存在する原子は、本質的な状態よりも、歪んだ場所に位置する。この酸素欠損による歪みが散乱中心となっている可能性がある。

【0186】

また、例えば、化学量論的組成を満たす酸素よりも多くの酸素を含む金属化合物では、過剰酸素が存在する。金属化合物中で遊離した状態で存在する過剰酸素は、電子を受け取ることで、 O^- や O^{2-} になる。 O^- や O^{2-} となった過剰酸素が散乱中心になる可能性がある。

【0187】

以上のことから、金属酸化物が、化学量論的組成を満たす酸素を含む本質的な状態を有する場合、キャリアの移動度は高いと考えられる。

【0188】

インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、インジウム－ガリウム－亜鉛酸化物（以下、IGZO）は、とくに、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。これは、大きな結晶を形成するよりも、小さな結晶同士が連結する方が、歪みエネルギーが緩和されるためと考えられる。

【0189】

なお、小さな結晶同士が連結する領域においては、該領域の歪みエネルギーを緩和するために、欠陥が形成される場合がある。したがって、該領域に欠陥を形成することなく、歪みエネルギーを緩和させることで、キャリアの移動度を高くすることができる。

【0190】

また、トランジスタには、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物膜のキャリア濃度を低くする場合においては、金属酸化物膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。例えば、金属酸化物は

10

20

30

40

50

、キャリア濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 未満であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

【0191】

また、高純度真性または実質的に高純度真性である金属酸化物膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0192】

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

【0193】

したがって、トランジスタの電気特性を安定にするためには、金属酸化物中の不純物濃度を低減することが有効である。また、金属酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0194】

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

【0195】

金属酸化物において、第14族元素の一つであるシリコンや炭素が含まれると、金属酸化物において欠陥準位が形成される。このため、金属酸化物におけるシリコンや炭素の濃度と、金属酸化物との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0196】

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0197】

また、金属酸化物において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。したがって、当該金属酸化物において、チャネル形成領域の窒素はできる限り低減されていることが好ましい。例えば、金属酸化物中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0198】

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている金属酸化物を用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中の水素はでき

10

20

30

40

50

る限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

【0199】

不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、トランジスタのオフ電流を低減し、安定した電気特性を付与することができる。

【0200】

<メモリセルの作製方法>

次に、本発明のメモリセルとして機能するメモリトランジスタMTの作成方法の一態様を図8乃至図12を参照して説明する。なお、図8乃至図12は、メモリトランジスタMTの作製工程の断面を示す図である。

【0201】

まず、図8Aに示すように、導電体701、および絶縁体722を交互に積層する。

【0202】

次に、図8Bに示すように、導電体701、および絶縁体722を加工し、導電体701、および絶縁体722にφ1の径を有する開口を形成する。

【0203】

次に図9Aに示すようにφ1の径を有する開口の内部に絶縁体703、および酸化物704を形成する。なお、図9Aには図示しないが、絶縁体703は、絶縁体703a、絶縁体703b、および絶縁体703cを順に積層して形成される。また、酸化物704は、酸化物704a、酸化物704b、および酸化物704cを順に積層して形成される。また、酸化物704の形成前に、開口底部の絶縁体703を除去しておくことが好ましい。絶縁体703aは、導電体701の側面、及び絶縁体722の側面に対して接するように、高い被膜性で形成される。

【0204】

ところで、酸化物704をφ1の径を有する開口の内部に形成する場合、酸化物704は、図9Bに示すように、開口底部の導電体706上に、開口側面よりも厚く形成される場合がある。この場合、酸化物704の形成後に逆スパッタ処理を用いてもよい。本明細書等において、逆スパッタ処理とは、RF (Radio Frequency) 電源を用いて、基板側に電圧を印加し、基板近傍にプラズマを形成して表面を改質する処理のことを指す。図9Bに示す積層体に対して、例えば、Arガスなどを導入した逆スパッタ処理を用いて開口底部に対してAr照射を行うことによって、開口底部に形成された酸化物704の金属成分704mcを叩き出して、金属成分704mcを開口側面に形成することができる(図9C)。

【0205】

なお、酸化物704を高抵抗化または低抵抗化するには、図10Aに示す通り、膜718を酸化物704に接するように形成すればよい。酸化物704を高抵抗化する場合、膜718として水素を吸収する特性を有する膜を用いればよい。酸化物704を低抵抗化する場合、膜718として水素や窒素などの不純物を供給する特性を有する膜(例えば、金属膜、金属元素を有する酸化膜、金属元素を有する窒化膜など)を用いればよい。また、このとき、必要に応じて熱処理を行ってもよい。酸化物704を高抵抗化、又は低抵抗化した後は、図10Bに示すように、膜718は除去してもよい。

【0206】

なお、上記熱処理としては、例えば、絶縁体721、絶縁体726を形成したのち、絶縁体717を形成する前に行うことができる当該熱処理を行うことで、酸化物704に含まれる不純物(代表的には、水または水素)を除去することができる。また、上記熱処理は、例えば、絶縁体721、絶縁体726、絶縁体717を形成したのちに行ってもよいし、絶縁体717の形成前と形成後の両方で行ってもよい。また、上記熱処理を行う場合、絶縁体721、絶縁体726、絶縁体717は、酸化アルミニウムと、窒化シリコン

10

20

30

40

50

とを組み合わせる構成が好ましい。

【0207】

なお、酸化アルミニウムは、水素を捕獲、または水素を固着する機能を有する。また、窒化シリコンは、水素に対するブロッキング性が高い機能を有する。絶縁体721、絶縁体726、絶縁体717に上記2つの機能を有する積層体を用いることで、効率的に水素を除去することが可能となる。具体的には、例えば、絶縁体703が有する絶縁体703bとして、水素に対するブロッキング性が高い窒化シリコンが用いられる場合、酸化物704に含まれる水素は、絶縁体703c、及び絶縁体711に拡散し、絶縁体717に到達する。このとき、絶縁体717が上記の2つの機能を有する積層体である場合、絶縁体717によって、酸化物704から絶縁体703c、及び絶縁体711に拡散された水素を捕獲、または固着することができる。また、例えば、絶縁体703が水素に対するブロッキング性を持たない場合、絶縁体721、絶縁体726を、酸化アルミニウムと、窒化シリコンとを組み合わせる構成とすることによって、酸化物704から水素を効率よく引き抜くことができる。更に、絶縁体721は過剰酸素を有すると好ましい。

10

【0208】

なお、酸化物704中に存在する水素は、酸化物704に接する絶縁体703cと絶縁体711と、絶縁体717と、を介して、他の構造体へと拡散する。具体的には、絶縁体703c中、及び絶縁体711中の過剰酸素が酸化物704の水素と反応しOH結合をなし、当該水素原子が絶縁体703c中、及び絶縁体711中を拡散する。OH結合を有した水素原子は、水素を捕獲、または固着する機能を有する材料（例えば、酸化アルミニウム）に到達した際に、酸化アルミニウム中の金属原子と結合した酸素原子と反応し、絶縁体717中に捕獲される、または固着する場合がある。また、絶縁体717中に捕獲されない、または固着しなかったOH結合を有した水素原子は、絶縁体703を介して、絶縁体722、絶縁体724などに拡散する場合がある。この場合、水素は、絶縁体722、絶縁体724を透過して、絶縁体726に捕獲される、または固着する。一方、OH結合を有していた過剰酸素の酸素原子は、過剰酸素として絶縁体703c中、及び絶縁体711中に残ると推測される。つまり、当該水素の拡散において、絶縁体703c中、及び絶縁体711中の過剰酸素が、橋渡しの役割を担う蓋然性が高い。

20

【0209】

なお、上記の熱処理は、例えば、酸素を含む雰囲気、窒素を含む雰囲気、または酸素と窒素の混合雰囲気にて、350℃以上、好ましくは400℃以上の温度で行うと好適である。また、熱処理の時間は、1時間以上、好ましくは4時間以上、さらに好ましくは8時間以上である。

30

【0210】

なお、膜718は、必ずしも除去しなくともよい。例えば、膜718が、絶縁体である場合、または酸化物704から吸収した酸素により、酸化して絶縁体となっている場合は、残存させてもよい。その場合、絶縁体711と同様に、第2のゲート絶縁層として機能する場合がある。

【0211】

酸化物704を低抵抗化する場合、膜718は、酸化物704に水素を供給する機能、酸化物704に窒素を供給する機能、および酸化物704から酸素を引き抜く機能、の少なくとも一を有することが好ましい。このような機能を有する膜718が、酸化物704と接することで、酸化物704内にキャリアが生成される。

40

【0212】

具体的には、酸化物704から酸素が引き抜かれることにより、酸化物704には、酸素欠損が生じる。この酸素欠損に水素がトラップされることにより、キャリアが生成される。または、生じた酸素欠損に窒素がトラップされる場合、2つのインジウムと結合していた酸素と窒素が置換されることになる。これら二つのインジウムに窒素が結合するとき、窒素は、不対電子を持ち、キャリアとして機能することが考えられる。

【0213】

50

酸化物 704 に水素を供給する機能を有する材料として、水素を含む窒化シリコンを用いることができる。また、形成時に水素を含むガスを用いて形成される材料を用いることができ、モノシラン、ジシラン、アンモニアなどを用いて形成される、シリコン、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンなどを用いることができる。酸化物 704 に窒素を供給する機能を有する材料として、シリコンや金属元素を含む窒化物を用いることができる。このような材料として、窒化シリコン、窒化酸化シリコン、酸化窒化シリコンなどを用いることができる。また、アルミニウム、タンタル、チタンの一、または複数を含む窒化物を用いることができる。具体的には、窒化アルミニウム、窒化タンタル、窒化チタン、アルミニウムとタンタルを含む窒化物、アルミニウムとチタンを含む窒化物などを用いることができる。

10

【0214】

例えば、膜 718 は、0.5 nm 以上 5 nm 以下、好ましくは 1 nm 以上 2 nm 以下の膜厚で設けることが好ましい。例えば、0.5 nm 以上 5 nm 以下のアルミニウムを、加熱処理により酸化させると 0.7 nm 以上 8 nm 以下の酸化アルミニウムとなる場合がある。なお、酸性雰囲気下で熱処理を行う場合には、酸化物 704 と、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜とが、接した状態で、窒素を含む雰囲気下において一度熱処理を行ったあとに行うと好適である。窒素を含む雰囲気下において、一度熱処理を行うことで、酸化物 704 中の酸素が金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜に拡散しやすくなる。

【0215】

20

酸化物 704 と、金属元素、水素、および窒素のいずれか一を含む膜 718 を接するように設けた後、熱処理を行うことが好ましい。熱処理を行うことで、酸素の引き抜き、水素の供給、あるいは、窒素の供給が促進され、効率的に酸化物 704 を低抵抗化することができる。

【0216】

上記のように、酸化物 704 を低抵抗化することで、メモリセルが積層されたメモリストリング、またはメモリセルアレイにおいて、メモリセル間の直列抵抗を低減することができる。

【0217】

次に、酸化物 704 の内側に、絶縁体 711 を形成し、絶縁体 711 の内側に、導電体 712 を形成する（図 11A 参照。）。なお、前の工程で膜 718 を除去していない場合は、膜 718 を絶縁体 711 として扱ってもよく、また、膜 718 の内側に絶縁体 711 を形成してもよい。また、図 11B は、図 11A において、一点鎖線で囲んだ部分の拡大図であり、 $k-1$ 段目の導電体 701_{k-1} 、および絶縁体 722_{k-1} 、 k 段目の導電体 701_k 、および絶縁体 722_k 、および $k+1$ 段目の導電体 701_{k+1} (k は、2 以上 $m-1$ 以下の整数)の断面を示す。

30

【0218】

酸化物 704 の領域 734 は、 k 段目に位置するメモリトランジスタ MT のチャネル形成領域として機能する。また、領域 731a は、 k 段目に位置するメモリトランジスタ MT のソースおよびドレインの一方として機能し、領域 731b は、 k 段目に位置するメモリトランジスタ MT のソースおよびドレインの他方として機能する。導電体 701_k は、 k 段目に位置するメモリトランジスタ MT の第 1 のゲートとして機能し、導電体 712 は、第 2 のゲートとして機能し、絶縁体 703a は、第 1 のゲート絶縁層として機能し、絶縁体 703b は、電荷蓄積層として機能し、絶縁体 703c は、トンネル絶縁層として機能し、絶縁体 711 は、第 2 のゲート絶縁層として機能する。なお、導電体 701_k をゲートとするメモリトランジスタ MT のソース、またはドレインは、上下に位置するトランジスタにおいて、ドレイン、またはソースとして機能する場合がある。例えば、領域 731b が、導電体 701_k をゲートとするトランジスタのソースとして機能する場合、該領域 731b は、導電体 701_{k+1} をゲートとするトランジスタのドレインとして機能する場合がある。また、領域 732a、領域 732b は、領域 734 と同様にチャ

40

50

ネル形成領域として機能してもよいし、領域 731a、領域 731b と同様にソース又はドレインとして機能してもよい。

【0219】

以上の工程により、メモリセルとして機能するメモリトランジスタMTを形成することができる。上記の方法により、各層ごとにメモリトランジスタMTを作製するためのパターン形成を行うことなく、複数の層のメモリトランジスタMTを一括で作製することができる。さらに、上記の方法でメモリセルアレイを作製する場合、メモリトランジスタMTの層数を増やしても、メモリトランジスタMTのパターン形成およびエッチング処理の工程数が増えない。このように、メモリセルアレイ作製の工程を短縮することができるので、生産性の高い半導体装置を提供することができる。

10

【0220】

図12は、導電体701の異なる例を示す図である。図12において、導電体701は、導電体701a、導電体701b、および導電体701cの3層構造を有している。このような形状とすることで、領域734だけでなく、領域732に対しても導電体701からの電界を加えることができ、メモリトランジスタMTのオン特性が向上し好ましい。

【0221】

<メモリセルアレイの作製方法>

次に、本発明のメモリセルアレイの作製方法の一態様を図13乃至図29を参照して説明する。なお、図13乃至図29において、各図のAは、z軸方向から見た上面図であり、各図のBは、対応するAの図においてA1-A2の一点鎖線で示す部位の断面図である。また、各図のCは、対応するAの図においてA3-A4の一点鎖線で示す部位の断面図である。また、図22Dは、図22Bにおいて、一点鎖線で囲まれた部分を拡大した断面図である。

20

【0222】

まず、絶縁表面を有する基体720上に導電体706を形成し、導電体706を覆うように、絶縁体721を形成する(図13A乃至図13C参照)。

【0223】

まず、導電膜を形成し、リソグラフィ法を用いて該導電膜を加工し、導電体706を形成する。ただし、導電体706、および絶縁体721の形成方法はこれに限らない。基体720上に絶縁体721を形成し、絶縁体721の不要な部分を除去することで、溝や開口を形成し、該溝や該開口部に導電体706を埋め込むように形成してもよい。このような導電体の形成方法をダマシン法(シングルダマシン法、デュアルダマシン法)と呼ぶ場合がある。ダマシン法で形成された導電体706、および絶縁体721上にさらに絶縁膜を形成することで、図13A乃至図13Cに示す構造を得ることができる。

30

【0224】

導電体706や、絶縁体721の形成は、スパッタリング法、化学気相成長(CVD: Chemical Vapor Deposition)法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、パルスレーザ堆積(PLD: Pulsed Laser Deposition)法またはALD(Atomic Layer Deposition)法などを用いて行うことができる。

40

【0225】

なお、CVD法は、プラズマを利用するプラズマCVD(PECVD: Plasma Enhanced CVD)法、熱を利用する熱CVD(TCVD: Thermal CVD)法、光を利用する光CVD(Photo CVD)法などに分類できる。さらに用いる原料ガスによって金属CVD(MCVD: Metal CVD)法、有機金属CVD(MOCVD: Metal Organic CVD)法に分けることができる。

【0226】

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子(トランジスタ、容量素子など

50

）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0227】

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。ALD法も、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0228】

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

【0229】

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

【0230】

なお、リソグラフィー法では、まず、フォトリソマスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことができる。

【0231】

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。

【0232】

該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

【0233】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型

10

20

30

40

50

電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）エッチング装置などを用いることができる。

【0234】

導電膜のエッチングにハードマスクを用いる場合、当該エッチング処理は、ハードマスクの形成に用いたレジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。上記導電膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

10

【0235】

導電体706となる導電膜は、スパッタリング法を用いて、金属元素を含む導電膜を形成することが好ましい。また、CVD法を用いて形成することもできる。

【0236】

絶縁体721の表面は、必要に応じて、平坦化処理が行われていることが好ましい。平坦化処理には、化学機械研磨（CMP）法やリフロー法を用いることができる。

20

【0237】

導電体706、および絶縁体721上に導電膜701A、および絶縁膜722Aを交互に積層する（図14A乃至図14C参照）。本実施の形態では、絶縁体721上に導電膜701Aを形成し、導電膜701A上に絶縁膜722Aを形成する例を示しているが、形成の順序はこれに限らない。絶縁体721上に絶縁膜722Aを形成し、絶縁膜722A上に導電膜701Aを形成してもよい。導電膜701A、および絶縁膜722Aの形成には、CVD法を用いることができる。また、スパッタリング法を用いてもよい。

【0238】

また、本実施の形態では、導電膜701A、および絶縁膜722Aをそれぞれ4層形成する例を示したが、積層数は、これに限らない。求められる半導体装置の性能に応じて、それぞれ5層以上形成してもよい。例えば、導電膜701A、および絶縁膜722Aは、それぞれ32層、64層、128層形成してもよいし、200層以上形成してもよい。

30

【0239】

最上層の絶縁膜722Aの上に導電膜702Aを形成する。導電膜702Aの上にマスク723を形成する（図14A乃至図14C参照）。導電膜702Aは、導電膜701Aと同様な方法を用い、同様な材料を用いて形成することができる。なお、導電膜702Aは、導電膜701Aと同じ方法で形成してもよいし、異なる方法で形成してもよい。また、導電膜702Aは、導電膜701Aと同じ材料でもよいし、異なる材料でもよい。

【0240】

次に、導電膜702A、導電膜701A、および絶縁膜722Aを加工し、図15Bに示すような階段状の導電膜701B、導電膜702B、及び絶縁膜722Bを形成する。導電膜702A、導電膜701A、及び絶縁膜722Aの加工において、導電膜702A、導電膜701A、及び絶縁膜722Aのエッチングと、マスク723のスリミングを交互に行うことで、階段状の導電膜701B、導電膜702B、および絶縁膜722Bを形成することができる。導電膜702A、導電膜701A、および絶縁膜722Aの加工により、マスク723は、幅、厚さ共に縮小し、マスク723Aとなる（図15A乃至図15C参照）。

40

【0241】

次に、マスク723Aを除去し、絶縁体724を形成する。絶縁体724は、CVD法を用いて形成することができる。絶縁体724は、CMP法や、リフロー法を用いて、平

50

平坦化処理されていることが好ましい。絶縁体724上にマスク725を形成する。平坦化された絶縁体724上にマスク725を形成することで、リソグラフィーの精度が向上する（図16A乃至図16C参照）。

【0242】

次に、マスク725を用いて、絶縁体724、導電膜702B、導電膜701B、絶縁膜722B、および絶縁体721を加工する。該加工により、メモリトランジスタMTのゲートとして機能し、ワード線と電氣的に接続する導電体701と、選択トランジスタのゲートとして機能する導電体702が形成される。また、絶縁膜722Bは、該加工により絶縁体722となる（図17A乃至図17C参照）。

【0243】

次に、マスク725を除去する。その後、絶縁体724、導電膜702B、導電膜701B、絶縁膜722B、および絶縁体721の、上記加工により除去された部分を埋め込むように絶縁体726を形成する。絶縁体726は、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで絶縁体726を形成してもよい。絶縁体726は、CMP法や、リフロー法を用いて、平坦化処理されていることが好ましい。CMP法を用いて平坦化処理を行う場合、絶縁体724の表面が露出するまで絶縁体726を研磨してもよい。また、絶縁体724と絶縁体726と一緒に研磨してもよい。この場合、絶縁体724の膜厚は、薄くなる。

【0244】

次に、絶縁体724を、リソグラフィー法を用いて加工し、導電体701、及び導電体702を露出するように第1の開口を形成する。第1の開口は、階段状に形成された導電体701それぞれに対して形成する（図18A乃至図18C参照）。

【0245】

次に、第1の開口に埋め込むように、導電体701と電氣的に接続する導電体707、および導電体702と電氣的に接続する導電体709を形成する（図19A乃至図19C参照）。導電体707、および導電体709は、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで導電体707、及び導電体709を形成してもよい。また、導電体707、及び導電体709は、複数の層からなる積層構造を有していてもよい。導電体707、及び導電体709は、絶縁体724上、及び第1の開口内部に導電体707、及び導電体709となる導電膜を形成し、CMPなどを用いて不要な導電膜を除去することで、形成することができる。

【0246】

次に、絶縁体724、および絶縁体726上にマスク729を形成し、絶縁体724、導電体702、導電体701、絶縁体722、および絶縁体721を、リソグラフィー法を用いて加工し、導電体706を露出するように第2の開口を形成する（図20A乃至図20C参照）。

【0247】

次に、絶縁体724、絶縁体726、およびマスク729を覆って、第2の開口内部に、絶縁体703となる絶縁膜703Aを形成する（図21A乃至図21C参照）。なお、図21A乃至図21Cには図示しないが、絶縁膜703Aは、絶縁体703aとなる絶縁膜と、絶縁体703bとなる絶縁膜と、絶縁体703cとなる絶縁膜を順次積層して形成すればよい。絶縁膜703Aは、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで絶縁膜703Aを形成してもよい。絶縁体703aとなる絶縁膜、絶縁体703bとなる絶縁膜、および絶縁体703cとなる絶縁膜は、同じ成膜装置で形成されてもよいし

10

20

30

40

50

、異なる成膜装置で形成されてもよい。なお、絶縁体 703c が、絶縁体 703a より薄くなるように、絶縁体 703c となる絶縁膜は、絶縁体 703a となる絶縁膜よりも薄く形成することが好ましい。

【0248】

上記の方法で形成された絶縁膜 703A は、被覆性が良く、導電体 701、および導電体 702 のそれぞれの側面に接するように絶縁膜 703A を形成することができる。

【0249】

次に、第 2 の開口底部に形成された絶縁膜 703A を除去し、絶縁体 703 を得る。絶縁膜 703A の除去には、異方性エッチングを用いることが好ましい。このとき、マスク 729 上の絶縁膜 703A も除去されるため、絶縁体 703 は、第 2 の開口の側壁のみに設けられる（図 22A 乃至図 22D 参照）。第 2 の開口底部の絶縁膜 703A を除去することで、再び導電体 706 が露出する。

【0250】

ここで、図 22D に示すように、第 2 の開口上部に位置する絶縁体 703 の絶縁体 703b、および絶縁体 703c を除去してもよい。図 22D は、図 22B において、一点鎖線で囲まれた部分の拡大図である。まず第 2 の開口内部に後工程にて容易に除去可能な材料 727（犠牲層とも呼ぶ）を埋め込むように形成し、第 2 の開口内部の所望の深さまで、エッチングなどにより除去する。該エッチングにより、露出した絶縁体 703c、および絶縁体 703b を順次除去することで、導電体 702 の水平方向（x-y 方向）に位置する絶縁体 703 を、絶縁体 703a のみとすることができる。この場合、選択トランジスタ SST、及び選択トランジスタ SDT のゲート絶縁膜は、絶縁体 703a により構成される。絶縁体 703c、および絶縁体 703b の除去後、材料 727 を除去する。

【0251】

次に、第 2 の開口内部に、酸化物 704 となる酸化膜 704A を形成する（図 23A 乃至図 23C 参照）。酸化膜 704A は、マスク 729 上、および第 2 の開口内部に、酸化物 704a となる酸化膜と、酸化物 704b となる酸化膜と、酸化物 704c となる酸化膜を順次成膜することで形成することができる。また、酸化膜 704A は、絶縁体 703 を介して、導電体 701、および導電体 702 の側面に沿って形成される。酸化膜 704A の一部は、導電体 706 と接するように形成する。

【0252】

酸化物 704a となる酸化膜、酸化物 704b となる酸化膜、酸化物 704c となる酸化膜は、CVD 法や ALD 法、スパッタリング法などを用いて形成することができる。特に、ALD 法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD 法と、CVD 法を組み合わせることで酸化膜を形成してもよい。また、酸化膜ごとに、異なる成膜方法や成膜装置を用いてもよい。

【0253】

ところで、酸化物 704 を低抵抗化する場合、酸化膜 704A に、アルゴン、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、ヘリウム、ネオン、クリプトン、キセノンなどの元素や、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロム、インジウムなどの、酸化物 704 の導電性を高める金属元素を添加すればよい。上記元素の添加方法として、プラズマ処理、イオンインプランテーション処理、イオンドーピング処理、逆スパッタ処理などを用いることができる。プラズマ処理は、エッチング装置や、CVD 装置を用いて行うことができる。また、逆スパッタ処理は、スパッタリング装置を用いて行うことができる（図示しない。）。

【0254】

一方、酸化物 704 を高抵抗化する場合、酸化膜 704A に、水素を吸収する特性を有する膜 718（例えば、金属膜、金属元素を有する酸化膜、金属元素を有する窒化膜など）を形成すればよい（図 24A 乃至図 24C 参照）。その後、膜 718 を、吸収した水素と共に除去してもよいし、また、水素を吸収した膜 718 が高抵抗となる場合は絶縁体と

して残してもよい。

【0255】

なお、本作製方法では、酸化物704には、低抵抗化処理も高抵抗化処理も施さないものとして説明する。

【0256】

次に、酸化膜704Aの内側に、絶縁膜711Aを形成し、絶縁膜711Aの内側に、導電膜712Aを形成する。絶縁膜711Aや導電膜712Aは、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせ形成してもよい（図25A乃至図25C参照）。

【0257】

絶縁体711は、メモリトランジスタMTや、該メモリトランジスタMTを有する半導体装置に必要な特性に合わせて、酸化物704に酸素を供給する材料や、水素を供給する材料を用いることができる。

【0258】

次に、加熱処理を行う。加熱処理は、窒素を含む雰囲気中で、好ましくは200℃以上500℃以下、より好ましくは300℃以上400℃以下で行う。加熱処理を行う雰囲気は、上記に限らず、窒素、酸素、およびアルゴンの少なくとも一を含む雰囲気で行えばよい。また、加熱処理は、減圧雰囲気で行われてもよいし、大気圧雰囲気で行われてもよい。

【0259】

酸化膜704Aと、導電体706が接している状態で加熱処理をおこなうことで、酸化膜704Aは低抵抗化する場合がある。酸化膜704Aと、導電体706が接することで、導電体706と酸化膜704Aの界面には、導電体706が有する金属元素と、酸化膜704Aの成分とを含む金属化合物層が形成される場合がある。該金属化合物が形成されることで、導電体706と、酸化膜704Aとのコンタクト抵抗が低減するため好ましい。また、酸化膜704Aに含まれる酸素を、導電体706が吸収する場合がある。このとき、酸化膜704Aの、導電体706と酸化膜704Aの界面近傍の抵抗が低減し、導電体706と、酸化膜704Aとのコンタクト抵抗が低減するため、好ましい。酸化膜704Aと、導電体706が接する状態で、加熱処理を行うことで、酸化膜704Aは、より低抵抗化し、導電体706と、酸化膜704Aとのコンタクト抵抗は、より低減する。

【0260】

次に、マスク729、および図25B、及び図25Cに点線で示した部分から上部の、不要な導電膜712A、絶縁膜711A、酸化膜704A、絶縁体703などを、CMP法等を用いて除去し、酸化物704、絶縁体711、導電体712を得る（図26A乃至図26C参照）。なお、前述した加熱処理は、不要な導電膜712A、絶縁膜711A、酸化膜704Aを除去した後に行ってもよい。また、第1の開口形成後から絶縁膜703Aを形成する前にマスク729を除去している場合は、本工程にてマスク729を除去する必要はない。

【0261】

次に、図27A乃至図27Cに示すように、導電体705、導電体708、導電体710を形成する。特に、導電体705は、酸化物704と電氣的に接続するように設ける。また、導電体708は、導電体707と電氣的に接続するように設ける。また、酸化物704の内側に、導電体712が設けられている場合、導電体705には、少なくとも導電体712を露出する開口を設け、導電体705と導電体712を電氣的に分離することが好ましい。このとき、該開口は、絶縁体711が露出するように設けられていてもよい。また、酸化物704の一部が露出していてもよい。また、導電体705は、ビット線BL、またはソース線SLの一部として機能し、導電体708は、ワード線WLの一部として機能し、導電体710は、選択ゲート線の一部として機能する。

【0262】

次に、図28A乃至図28Cに示すように、導電体705を覆うように、絶縁体717

を形成する。絶縁体 717 には、導電体 705 の一部（ビット線側の酸化物 704 と電氣的に接続する導電体 705）、および導電体 712 を露出する開口が設けられる。導電体 712 を露出する開口を形成する際、該開口が有する径は、導電体 705 に設けられた開口の径より大きくてもよい。導電体 705 に開口が設けられているため、導電体 712 を露出する開口は、自己整合的に形成され、開口の底部の径が意図しない大きさに形成される不具合や、該開口が導電体 712 からずれるといった不具合を抑制することができ好ましい。

【0263】

次に、図 29A 乃至図 29C に示すように、絶縁体 717 に設けられた、導電体 712 を露出する開口の側面に位置する絶縁体 713 を形成する。絶縁体 717 上に CVD 法や ALD 法を用いて絶縁体 713 となる絶縁膜を形成し、異方性エッチングを行うことにより、開口底部に形成された該絶縁膜を除去する。このとき、絶縁体 717 上の該絶縁膜も除去され、絶縁体 713 が形成される。また、該絶縁膜は、リソグラフィ法を用いて加工してもよい。このとき、形成される絶縁体 713 は、絶縁体 717 上にも存在する場合がある。

【0264】

次に、ビット線 BL、及び配線 BG として機能する導電体 714、及び導電体 715 を形成する。図 29A 乃至図 29C において、導電体 714、および導電体 715 は、異なる層として図示しているが、本発明はこれに限らない。導電体 714、および導電体 715 は、一つの導電体として一括で形成してもよい。導電体 714 と、導電体 715 を別々に形成する場合、絶縁体 717 上に、また絶縁体 717 に形成された開口を埋め込むように導電体 714 となる導電膜を形成し、不要な該導電膜を、CMP 法等を用いて除去することで導電体 714 を形成することができる。その後、導電体 715 を形成すればよい。導電体 715 の形成には、リソグラフィ法を用いてもよいし、ダマシン法を用いてもよい。このとき、絶縁体 717、および導電体 705 に形成された開口の側面には、絶縁体 713 が設けられているため、導電体 712 と電氣的に接続する導電体 715 が、導電体 705 と電氣的に接続することは無い。導電体 714 と、導電体 715 を一括で形成する場合、絶縁体 717 上に、また絶縁体 717 に形成された開口を埋め込むように導電膜を形成し、リソグラフィ法を用いて加工し、導電体 714、および導電体 715 となる導電体を形成することができる。

【0265】

以上の工程により、メモリセルアレイを作製することができる。本作製工程の説明において、メモリセルアレイは、4 層のメモリトランジスタ MT と、4 つのメモリストリングを含むが、これに限らない。5 層以上のメモリトランジスタ MT を含んでいてもよいし、5 つ以上のメモリストリングを含んでいてもよい。例えば、メモリトランジスタ MT を、32 層、64 層、128 層有するメモリセルアレイを作製することができる。また、200 層以上のメモリトランジスタ MT を有するメモリセルアレイを作製することができる。

【0266】

以上のようにメモリセルアレイを作製することにより、各層ごとにメモリトランジスタ MT を作製するためのパターン形成を行うことなく、複数の層のメモリトランジスタ MT を一括で作製することができる。さらに、上記の方法でメモリセルアレイを作製する場合、メモリトランジスタ MT の層数を増やしても、メモリトランジスタ MT のパターン形成およびエッチング処理の工程数が増えない。このように、メモリセルアレイ作製の工程を短縮することができるので、生産性の高い半導体装置を提供することができる。

【0267】

<3D NAND の構成例>

図 30A に、3 次元構造の NAND 型不揮発性記憶装置（3D NAND）の構成例を示す。図 30A に示す記憶装置 100 は、制御回路 105、メモリセルアレイ 110、周辺回路を有する。

【0268】

制御回路105は記憶装置100全体を統括的に制御し、データの書き込み、データの読み出しを行う。制御回路105は、外部からのコマンド信号を処理して、周辺回路の制御信号を生成する。周辺回路として、行デコーダ121、行ドライバ122、センスアンプ123、ソース線ドライバ124、入出力回路125が設けられている。

【0269】

メモリセルアレイ110は、複数のメモリストリング112を有する。図30Bにメモリストリング112の回路構成例を示す。メモリストリング112において、ビット線BLとソース線SL間に、選択トランジスタSST、メモリトランジスタMT1乃至メモリトランジスタMT2k（kは1以上の整数）、選択トランジスタSDTが電氣的に直列接続されている。

10

【0270】

なお、メモリトランジスタMT1乃至メモリトランジスタMT2kを区別しない場合、メモリトランジスタMTと呼ぶ。その他の要素についても同様である。

【0271】

選択トランジスタSST、選択トランジスタSDT、メモリトランジスタMT1乃至メモリトランジスタMT2kは、それぞれ、前述した通り、チャネルが金属酸化物で形成されているトランジスタである。メモリトランジスタMTは電荷蓄積層を備えており、不揮発性メモリセルを構成する。

【0272】

選択トランジスタSST、選択トランジスタSDTのゲートは、それぞれ、選択ゲート線SGL、選択ゲート線DGLに電氣的に接続されている。メモリトランジスタMT1乃至メモリトランジスタMT2kのゲートは、それぞれ、ワード線WL1乃至ワード線WL2kに電氣的に接続されている。ビット線BLは列方向に延在し、選択ゲート線SGL、選択ゲート線DGL、ワード線WL（ワード線WL1乃至ワード線WL2k）は行方向に延在する。

20

【0273】

また、選択トランジスタSST、選択トランジスタSDT、およびメモリトランジスタMTは、図30Bに示すように、それぞれ第2のゲートを有していてもよい。第2のゲートは、配線BGと電氣的に接続する。図30Bでは、選択トランジスタSST、メモリトランジスタMT1乃至メモリトランジスタMTkが有する第2のゲートと電氣的に接続する配線BGと、選択トランジスタSDT、メモリトランジスタMTk+1乃至メモリトランジスタMT2kが有する第2のゲートと電氣的に接続する配線BGを示している。配線BGには、それぞれ異なる電位が印加されてもよいし、等電位としてもよい。また、配線BGはお互いに電氣的に接続されていてもよい。

30

【0274】

配線BGは、ビット線BLと平行に、列方向に延在することが好ましいが、行方向に延在するように配置してもよい。

【0275】

配線BGにより、選択トランジスタSST、選択トランジスタSDTのしきい値を制御することができる。また、メモリセルアレイの回路動作に合わせて、配線BGの電位を制御してもよい。

40

【0276】

入出力回路125は、メモリセルアレイ110への書き込みデータの一時的な保持や、メモリセルアレイ110から読み出されたデータの一時的な保持等を行う。

【0277】

ソース線ドライバ124は、ソース線SLを駆動する。

【0278】

ビット線BLはセンスアンプ123に電氣的に接続される。センスアンプ123は、データの読み出し時において、メモリストリング112からビット線BLに読みだされた電圧を検知し、増幅する。また、データの書き込み時において、書き込みデータに応じた電

50

圧をビット線BLに入力する。

【0279】

行デコーダ121は、外部から入力されるアドレスデータをデコードし、アクセスされる行を選択する。行ドライバ122は、行デコーダ121のデコード結果に応じて、データの書込み、読出し、および消去に必要な電圧を、選択信号線DGL、選択信号線SGL、ワード線WLに入力する。

【0280】

また、メモリセルアレイ110は、制御回路105や、センスアンプ123などの周辺回路と異なる層に設けてもよい。特に、メモリセルアレイ110が、センスアンプ123と重なるように積層して設けることで、各メモリセルアレイ110からセンスアンプ123へ引き回す配線を簡素化でき、好ましい。図31は、図30Aで示した記憶装置100において、制御回路105、行デコーダ121、行ドライバ122、センスアンプ123、ソース線ドライバ124、入出力回路125の上に、メモリセルアレイ110がセンスアンプ123と重なるように設けられた、三次元構造の記憶装置100をブロック図で示している。

【0281】

図32乃至図34に、メモリセルアレイ110の三次元積層構造例を示す。図32は、メモリセルアレイ110の三次元構造例を回路図で模式的に表した図である。説明しやすいように、一部の回路（メモリストリング）を省略している。図33は、メモリセルアレイ110の三次元構造例を示す斜視図である。図34は、ワード線WLと、導電体701の接続部の三次元構造例を示す斜視図である。図32に示すように、メモリセルアレイ110はセンスアンプ123が形成されている領域に積層して設けられている。これにより記憶装置100のレイアウト面積を縮小することができる。図33および図34に示すように、同じ段の導電体701でも、ビット線BL側の導電体701aはワード線WL aに接続され、ソース線SL側の導電体701bはワード線WL bに接続される。導電体712と電氣的に接続する配線BGは、ビット線BLと同じレイヤに設けられ、かつビット線BLと同様に列方向に延在する例を示しているが、本発明はこれに限らない。ビット線BL上に絶縁体を設け、該絶縁体上に配線BGを設けてもよい。また、配線BGは、列方向に限らず、行方向に延在するように設けられてもよい。なお、図32乃至図34には、1のメモリストリング112あたり、8個のメモリトランジスタMT1乃至メモリトランジスタMT8を設けた例を示している。

【0282】

<記憶装置の回路動作の説明1>

次に、メモリストリング112へのデータの書き込みと読み出し動作について、図35A乃至図35Cを用いて説明する。なお、以降において、ワード線WL1乃至ワード線WL2kを共有するメモリトランジスタMTのまとまりをページと呼ぶ。

【0283】

図35A乃至図35Cでは、一例として、メモリストリング112がメモリトランジスタMT1乃至メモリトランジスタMT8を有する例を示しているが、メモリトランジスタMTの数はこれに限定されない。

【0284】

<<消去動作>>

メモリトランジスタMTにデータを書き込む場合は、書き込み動作の前にデータを消去しておくことが好ましい。なお、データを消去する動作をリセット動作ともいう場合がある。消去動作は、メモリストリング112（ブロックともいう）ごとに行う。例えば、データを消去したいブロックを選択し、図35Aに示すように、ワード線WL1乃至ワード線WL8には低電位（メモリトランジスタMT1乃至メモリトランジスタMT8が非導通となる電位、例えば0V）を印加し、ソース線SLおよびビット線BLに消去電位VEを印加し、選択トランジスタSDTおよび選択トランジスタSSTを導通させることで行うことができる。リセット動作により、メモリトランジスタMT1乃至メモリトランジスタ

10

20

30

40

50

MT 8のそれぞれの電荷蓄積層に蓄積された電子を引き抜くことができる。これにより、メモリトランジスタMT 1乃至メモリトランジスタMT 8は、データ“1”を保持している状態となる。

【0285】

また、消去動作は、配線BGに消去電位を印加することで実行できる。配線BGに例えば15Vの消去電位を印加し、ワード線WL 1乃至ワード線WL 8には低電位（メモリトランジスタMT 1乃至メモリトランジスタMT 8が非導通となる電位、例えば0V）を印加し、選択トランジスタSDT及び選択トランジスタSSTを導通させることで行うことができる。

【0286】

または、選択トランジスタSDT及び選択トランジスタSSTを非導通状態とし、メモリトランジスタMTのチャンネル形成領域を含む酸化物をフローティングとし、配線BGに消去電位として正の電荷（例えば15V）を印加することにより、メモリトランジスタMTのデータを消去することができる。このとき、選択トランジスタSDTおよび選択トランジスタSSTは、非導通状態であるため、ビット線BL、およびソース線SLの電位は任意でよい。ワード線WL 1乃至ワード線WL 8には、例えば、低電位（メモリトランジスタMT 1乃至メモリトランジスタMT 8が非導通となる電位、例えば0V）を印加しておく。その結果、チャンネル形成領域を含む酸化物がフローティングであるため、配線BGの電位の上昇とともに、酸化物の電位も上昇し、電荷蓄積層に蓄積された電子を酸化物側に引き抜くことができる。

【0287】

さらに異なる消去動作として、ワード線WL 1乃至ワード線WL 8には、例えば、低電位（メモリトランジスタMT 1乃至メモリトランジスタMT 8が非導通となる電位、例えば0V）を印加しておく。そして、選択トランジスタSDTおよび選択トランジスタSSTを導通状態にし、ビット線BL、およびソース線SLの電位を上昇させる。このとき、ビット線BL、およびソース線SLの電位は、配線BGの電位より低くする。例えば、ビット線BL、およびソース線SLの電位を10Vとし、配線BGの電位を12Vとする。このとき、配線BGの電位によりメモリトランジスタMTがONとなり、メモリトランジスタMTが有する酸化物も10Vとなる。この結果、電荷蓄積層に蓄積された電子を酸化物側に引き抜くことができる。

【0288】

なお、データの書き換えを行わないメモリトランジスタMTのデータは、ブロックの消去動作の前に別のメモリ領域に格納しておくことが好ましい。

【0289】

<<書き込み動作>>

次に、データの書き込み動作について図35Bを用いて説明する。

【0290】

初めに、配線BGに正の電位、例えば、2Vを印加する。これにより、領域731a、領域731b、領域732a、領域732b、領域734（図11B参照。）において、キャリアが誘起されるため、酸化物704が低抵抗化する。特に、メモリトランジスタMTでは、しきい値電圧が下がるため、メモリトランジスタMTはノーマリーオン特性となる。

【0291】

データの書き込み動作は、上述したページごとに行うことができる。まず、書き込みを行うページのワード線に書き込み電位（例えば15V）を印加し、書き込みを行わないページのワード線に正電位（トランジスタが導通する電位、例えば3V）を印加する。ここでは、図35Bに示すように、まずワード線WL 1に書き込み電位を印加し、ワード線WL 2乃至WL 8に正電位を印加する。そして、選択トランジスタSSTを非導通状態とし、選択トランジスタSDTを導通状態とする。そうすることで、ビット線BLの電位に応じたデータがメモリトランジスタMT 1に書き込まれる。具体的には、ビット線BLの電

10

20

30

40

50

位が低い電位（例えば 0 V）である場合、ワード線 W L 1 に印加された書き込み電位との電位差が大きくなることによってメモリトランジスタ M T 1 の電荷蓄積層に電子が注入される。また、例えば、ビット線 B L の電位が正電位である場合、ワード線 W L 1 に印加された書き込み電位との電位差が小さくなることによって、メモリトランジスタ M T 1 の電荷蓄積層には電子が注入されない。即ち、ビット線 B L に低い電位が印加された場合には、メモリトランジスタ M T 1 にデータ“ 0 ”が書き込まれ、正電位が印加された場合にはメモリトランジスタ M T 1 が保持するデータは“ 1 ”のままとなる。

【 0 2 9 2 】

ここで、ビット線 B L にメモリストリング 1 1 2 ごとに異なる電位を印加することで、ページごとのデータの書き込みを行うことができる。

10

【 0 2 9 3 】

なお、メモリトランジスタ M T に多値のデータを書き込むこともできる。例えば、ビット線 B L などの電位や、電位を印加する時間によってメモリトランジスタ M T の電荷蓄積層に注入される電荷量を制御すればよい。

【 0 2 9 4 】

<読み出し動作>>

次に、データの読み出し動作について図 3 5 C を用いて説明する。

【 0 2 9 5 】

データの読み出し動作においても、配線 B G に正の電位を印加することが好ましい。書き込み動作と同様に、例えば、配線 B G に正の電位として 2 V 印加することによって、酸化物 7 0 4 が低抵抗化となる。そのため、データの読み出し速度が速くなる場合がある。また、ワード線 W L に印加する電位を低減でき、記憶装置の消費電力を低減することができる場合がある。また、メモリトランジスタ M T のしきい値電圧 (V t h) がマイナスシフトするため、書き込みが行われていないメモリトランジスタ M T は、ノーマリーオンとなるように調整される。これによって、データの読み出し動作において、誤った読み出しを防止することができる。

20

【 0 2 9 6 】

データの読み出し動作も、ページごとに行うことができる。まず、読み出しを行うページのワード線に低い電位（例えば 0 V）を印加し、読み出しを行わないページのワード線に正電位（トランジスタが導通する電位、例えば 3 V）を印加する。ここでは、図 3 5 C に示すように、まずワード線 W L 1 に低い電位を印加し、ワード線 W L 2 乃至 W L 8 に正電位を印加する。そして、選択トランジスタ S S T および選択トランジスタ S S T を導通状態とする。また、ビット線 B L に読み出し電位（例えば 1 V）を印加し、ソース線 S L に低い電位（例えば 0 V）を印加する。このとき、メモリトランジスタ M T がデータ“ 1 ”であればメモリストリング 1 1 2 に電流が流れ、ビット線 B L の電位が降下する。メモリトランジスタ M T 1 が記憶するデータが“ 0 ”であれば、メモリストリング 1 1 2 に電流は流れず、ビット線 B L の電位は変化しない。センスアンプ 1 2 3 は、ビット線 B L の電位を検知し、増幅する。以上により、メモリストリング 1 1 2 のデータを読み出すことができる。

30

【 0 2 9 7 】

ここで、各メモリストリング 1 1 2 のデータをビット線 B L に読み出すことで、ページ単位でデータを読み出すことができる。

40

【 0 2 9 8 】

<記憶装置の回路動作の説明 2>

次に、上記とは異なる記憶装置の回路の動作方法の例について説明する。具体的には、上記では、選択トランジスタ S D T、選択トランジスタ S S T、メモリトランジスタ M T 1 乃至メモリトランジスタ M T 8 をノーマリーオンの特性とした動作例としたが、本動作例では、選択トランジスタ S D T、選択トランジスタ S S T、メモリトランジスタ M T 1 乃至メモリトランジスタ M T 8 をノーマリーオフの特性とした場合について説明する。

【 0 2 9 9 】

50

図36A乃至図36Cのそれぞれは、メモリストリング112に対して行われる消去動作、書き込み動作、読み出し動作の例を示すタイミングチャートであって、当該タイミングチャートには、配線BG、ビット線BL、ソース線SL、選択ゲート線DGL、選択ゲート線SGL、ワード線WL1乃至ワード線WL8のそれぞれの電位の変化を示している。なお、図36A乃至図36Cに記載しているhighは、高レベル電位を示し、lowは低レベル電位を示している。また、図36Aでは、ワード線WL1乃至ワード線WL8については、いずれの配線に対してほぼ等しい電位を与えるため、まとめて図示している。また、図36Bでは、メモリトランジスタMT1に対してデータを書き込むため、ワード線WL1と、ワード線WL2乃至ワード線WL8と、を分けて図示している。また、図36Cでは、メモリトランジスタMT1からデータを読み出すため、ワード線WL1と、ワード線WL2乃至ワード線WL8と、を分けて図示している。

10

【0300】

<<消去動作>>

上述と同様に、メモリトランジスタMTにデータを書き込む場合は、書き込み動作の前にデータを消去しておくことが好ましい。図36Aは、時刻ET1から時刻ET4までの間、及びその近傍の時刻において行われる、データの消去動作の例を示している。

【0301】

時刻ET1より前において、配線BGには、例えば、接地電位が与えられている。なお、図36では、接地電位をV_{GND}として図示している。また、配線BGに与えられる電位は、正の電位、又は負の電位としてもよい。

20

【0302】

また、時刻ET1より前において、ワード線WL1乃至ワード線WL8には、メモリトランジスタMT1乃至メモリトランジスタMT8のそれぞれがオフ状態となるような低レベル電位VL（例えば、0V）が印加されている。

【0303】

時刻ET1から時刻ET2までの間において、配線BGには、時刻ET1の時点での電位よりも低い電位として、負の電位である電圧V_{MS}（例えば、-2V）が印加される。これにより、選択トランジスタSDT、選択トランジスタSST、メモリトランジスタMT1乃至メモリトランジスタMT8のそれぞれがノーマリーオフの特性となる。

【0304】

また、時刻ET1から時刻ET2までの間において、選択ゲート線DGL、選択ゲート線SGLのそれぞれには、低レベル電位（例えば、0V）が与えられている。そのため、選択トランジスタSDT、選択トランジスタSSTは、オフ状態となる。

30

【0305】

また、選択トランジスタSDT、選択トランジスタSSTは、オフ状態となっているため、時刻ET1から時刻ET2までの間では、ビット線BL、及びソース線SLの電位は、任意の電位としてもよい。なお、図36Aでは、ソース線SLの電位をV_S、ビット線BLの電位をV_B、と図示している。また、電位V_S、及び電位V_Bは、互いに等しくてもよく、又は互いに異なってもよい。

【0306】

また、時刻ET1から時刻ET2までの間において、ワード線WL1乃至ワード線WL8には、メモリトランジスタMT1乃至メモリトランジスタMT8がオフ状態になるような電位VL（例えば、0V）が与えられている。

40

【0307】

時刻ET2から時刻ET3までの間において、選択ゲート線SGLには高レベル電位が印加され、配線SLには消去電位V_E（例えば、10V以上）が印加される。このとき、選択ゲート線SGLに与えられる高レベル電位は、選択トランジスタSSTがオン状態となるような電位（例えば、4V以上）であることが好ましい。

【0308】

時刻ET1から時刻ET3までの間の動作を行うことによって、直列に電氣的に接続さ

50

れたメモリトランジスタM1乃至メモリトランジスタMT8のソース端子又はドレイン端子に消去電位VEを与えることができる。これにより、それぞれの電荷蓄積層に蓄積された電子を引き抜くことができる。これにより、メモリトランジスタMT1乃至メモリトランジスタMT8は、データ“1”を保持している状態となる。

【0309】

時刻ET3から時刻ET4までの間において、選択ゲート線SGLには低レベル電位が印加され、ソース線SLには電位VSが印加される。これにより、選択トランジスタSSTは、オフ状態となる。

【0310】

時刻ET4以降において、配線BGにはVMSよりも高い電位、例えば、接地電位VGDが与えられる。

【0311】

時刻ET1から時刻ET4までの間、及びその近傍の時刻の動作によって、記憶回路、又は半導体装置に含まれているメモリストリング112に対して、データの消去動作を行うことができる。

【0312】

なお、本動作例では、選択トランジスタSDTを常にオフ状態としたが、本発明の一態様の半導体装置の動作方法は、これに限定されない。例えば、選択トランジスタSSTと同様に、時刻ET2から時刻ET3までの間に、選択トランジスタSDTをオン状態にし、時刻ET2から時刻ET3までの間に、選択トランジスタSDTをオフ状態にし、かつ、選択トランジスタSDTをオン状態のときに、配線BLの電位をVEとしてもよい。これにより、上記の動作よりも速くデータの消去動作をおこなうことができる。

【0313】

なお、本動作例の消去動作では、配線BGに電位VMSを印加した後に、選択ゲート線SGLに高レベル電位を印加しているが、本発明の一態様の半導体装置の動作方法は、これに限定されない。例えば、配線BGへの電位VMSの印加は、選択ゲート線SGLへの高レベル電位の印加とほぼ同じタイミングで行ってもよい。また、例えば、消去動作を速く行いたい場合、配線BGへの電位VMSの印加は、常に行うことが好ましい。

【0314】

<<書き込み動作>>

次に、データの書き込み動作について説明する。図36Bは、時刻WT1から時刻WT6までの間、及びその近傍の時刻において行われる、データの書き込み動作の例を示している。

【0315】

時刻WT1より前の時刻、及び時刻WT1から時刻WT2までの間の動作は、消去動作の時刻ET1より前の時刻、及び時刻ET1から時刻ET2までの動作と、同様とすることができる。そのため、時刻WT1より前の時刻、及び時刻WT1から時刻WT2までの間の動作に関しては、消去動作の時刻ET1より前の時刻、及び時刻ET1から時刻ET2までの動作の記載を参酌する。

【0316】

時刻WT2から時刻WT3までの間において、選択ゲート線DGLには高レベル電位が印加され、配線BLには書き込み用のデータに応じた電位VBDが印加される。電位VBDとしては、例えば、後述するVpgm、Vpassよりも低い電位、接地電位などとすることができる。なお、電位VBが電位Vpgm、Vpassよりも十分に低い場合は、電位VBのまま変化しなくてもよい。このとき、選択ゲート線DGLに与えられる高レベル電位は、選択トランジスタSDTがオン状態となるような電位（例えば、4V以上）であることが好ましい。

【0317】

時刻WT3から時刻WT4までの間に、メモリトランジスタMT1にデータの書き込みが開始される。具体的には、書き込みが行われるページのワード線WL1には書き込むた

10

20

30

40

50

めの選択電位として V_{pgm} （例えば、15V以上）が印加され、書き込みが行われないページのワード線 WL_2 乃至 WL_8 には正電位 V_{pass} が印加される。このとき、ワード線 WL_2 乃至 WL_8 に与えられる V_{pass} は、メモリトランジスタ MT_2 乃至メモリトランジスタ MT_8 がオン状態となるような電位（例えば、5V以上7V以下）であることが好ましい。

【0318】

これにより、ビット線 BL の電位に応じたデータがメモリトランジスタ MT_1 に書き込まれる。具体的には、ビット線 BL の電位が低い電位（例えば0V）である場合、ワード線 WL_1 に印加された書き込み電位との電位差が大きくなることによってメモリトランジスタ MT_1 の電荷蓄積層に電子が注入される。また、例えば、ビット線 BL の電位が正電位である場合、ワード線 WL_1 に印加された書き込み電位との電位差が小さく、メモリトランジスタ MT_1 の電荷蓄積層には電子が注入されない。即ち、ビット線 BL に低い電位が印加された場合にはメモリトランジスタ MT_1 にデータ“0”が書き込まれ、正電位が印加された場合にはメモリトランジスタ MT_1 が保持するデータは“1”のままとなる。

10

【0319】

時刻 WT_4 から時刻 WT_5 までの間において、ワード線 WL_1 乃至 WL_8 には電位 V_L が印加される。これにより、メモリトランジスタ MT_1 乃至メモリトランジスタ MT_8 のそれぞれは、オフ状態となる。

【0320】

時刻 WT_5 から時刻 WT_6 までの間において、選択ゲート線 DGL には低レベル電位が印加され、ビット線 BL には電位 V_B が印加される。これにより、選択トランジスタ SDT は、オフ状態となる。

20

【0321】

時刻 WT_6 以降において、配線 BG には V_{MS} よりも高い電位、例えば、接地電位 V_{GND} が与えられる。

【0322】

時刻 WT_1 から時刻 WT_6 までの間、及びその近傍の時刻の動作によって、記憶回路、又は半導体装置に含まれているメモリストリング112に対して、データの書き込み動作を行うことができる。

【0323】

なお、本動作例の書き込み動作では、選択ゲート線 DGL に高レベル電位を印加した後、ワード線 WL_1 乃至 WL_8 のそれぞれに所定の電位を印加しているが、本発明の一態様の半導体装置の動作方法は、これに限定されない。例えば、選択ゲート線 DGL への高レベル電位の印加は、ワード線 WL_1 乃至 WL_8 のそれぞれに所定の電位を印加するのとはほぼ同じタイミングで行ってもよい。また、例えば、ワード線 WL_1 乃至 WL_8 のそれぞれに所定の電位を印加した後に、選択ゲート線 DGL に高レベル電位を印加してもよい。また、例えば、配線 BG への電位 V_{MS} の印加は、選択ゲート線 DGL への高レベル電位の印加とはほぼ同じタイミングで行ってもよい。また、例えば、書き込み動作を速く行いたい場合、配線 BG への電位 V_{MS} の印加は、常に行うことが好ましい。

30

【0324】

<<読み出し動作>>

次に、データの読み出し動作について説明する。図36Cは、時刻 RT_1 から時刻 RT_6 までの間、及びその近傍の時刻において行われる、データの読み出し動作の例を示している。

40

【0325】

時刻 RT_1 より前の時刻、及び時刻 RT_1 から時刻 RT_2 までの間の動作は、消去動作の時刻 ET_1 より前の時刻、及び時刻 ET_1 から時刻 ET_2 までの動作と、同様とすることができる。そのため、時刻 RT_1 より前の時刻、及び時刻 RT_1 から時刻 RT_2 までの間の動作に関しては、消去動作の時刻 ET_1 より前の時刻、及び時刻 ET_1 から時刻 ET_2 までの動作の記載を参酌する。

50

【0326】

時刻RT2から時刻RT3までの間において、選択ゲート線DGLには高レベル電位が印加され、選択ゲート線SGLには高レベル電位が印加され、配線BLには読み出し動作の電位としてVBR（例えば、1V）がプリチャージされ、配線SLにはVBRよりも低い電位としてVSR（例えば、接地電位、0Vなど）が印加される。このとき、選択ゲート線DGLに与えられる高レベル電位は、選択トランジスタSDTがオン状態となるような電位（例えば、4V以上）であることが好ましく、かつ選択ゲート線SGLに与えられる高レベル電位は、選択トランジスタSSTがオン状態となるような電位（例えば、4V以上）であることが好ましい。

【0327】

時刻RT3から時刻RT4までの間に、メモリトランジスタMT1からデータの読み出しが開始される。具体的には、読み出しが行われるページのワード線WL1には読み出すための選択電位としてVr（例えば、3V）が印加され、読み出しが行われないページのワード線WL2乃至ワード線WL8にはVreadが印加される。このとき、ワード線WL2乃至ワード線WL8に与えられるVreadは、Vrよりも高く、かつメモリトランジスタMT2乃至トランジスタMT8がオン状態となるような電位（例えば、5V以上7V以下）であることが好ましい。

【0328】

これによって、メモリトランジスタMT1に保持されているデータを読み出すことができる。具体的には、例えば、ビット線BLにVBRとして1Vが印加され、ソース線SLにVSRとして0Vが印加されたとき、メモリトランジスタMTがデータ“1”であればメモリストリング112（ビット線BLとソース線SLとの間）に電流が流れ、ビット線BLの電位が降下する。メモリトランジスタMT1が記憶するデータが“0”であれば、メモリストリング112に電流は流れず、ビット線BLの電位は変化しない。センスアンプ123は、ビット線BLの電位を検知し、増幅する。なお、図36Cでは、ビット線BLにおいて、読み出し動作によって電位が変化することがある期間をハッチングで示している。

【0329】

時刻RT4から時刻RT5までの間において、ワード線WL1乃至ワード線WL8には電位VLが印加される。これにより、メモリトランジスタMT1乃至メモリトランジスタMT8のそれぞれは、オフ状態となる。

【0330】

時刻RT5から時刻RT6までの間において、選択ゲート線DGLには低レベル電位が印加され、選択ゲート線SGLには低レベル電位が印加され、ビット線BLには電位VBが印加され、ソース線SLには電位VSが印加される。これにより、選択トランジスタSDT及び選択トランジスタSSTは、オフ状態となる。

【0331】

時刻RT6以降において、配線BGにはVMSよりも高い電位、例えば、接地電位VGN_Dが与えられる。

【0332】

時刻RT1から時刻RT6までの間、及びその近傍の時刻の動作によって、記憶回路、又は半導体装置に含まれているメモリストリング112に対して、データの読み出し動作を行うことができる。

【0333】

なお、本動作例の読み出し動作では、選択ゲート線DGL、及び選択ゲート線SGLのそれぞれに高レベル電位を印加した後に、ワード線WL1乃至ワード線WL8のそれぞれに所定の電位を印加しているが、本発明の一態様の半導体装置の動作方法は、これに限定されない。例えば、選択ゲート線DGL、及び選択ゲート線SGLのそれぞれへの高レベル電位の印加は、ワード線WL1乃至ワード線WL8のそれぞれに所定の電位を印加するのと同様タイミングで行ってもよい。また、例えば、ワード線WL1乃至ワード線WL8のそれぞれに所定の電位を印加した後に、選択ゲート線DGL、及び選択ゲート線S

10

20

30

40

50

G Lのそれぞれに高レベル電位を印加してもよい。また、例えば、配線B Gへの電位 V_{MS} の印加は、選択ゲート線D G L、及び選択ゲート線S G Lのそれぞれへの高レベル電位の印加とほぼ同じタイミングで行ってもよい。また、例えば、読み出し動作を速く行いたい場合、配線B Gへの電位 V_{MS} の印加は、常に行うことが好ましい。

【0334】

なお、本動作例では、メモリトランジスタM T 1乃至メモリトランジスタM T 8のそれぞれの電荷蓄積層に電子が注入された状態をデータ“0”、電荷蓄積層から電子が引き抜かれた状態をデータ“1”とする2値についてのデータの書き込み、読み出し、消去を説明したが、本発明の一態様はこれに限定されない。例えば、メモリストリング112のメモリトランジスタM T 1乃至メモリトランジスタM T 8のそれぞれの電荷蓄積層に保持されるデータは多値、又はアナログ値としてもよい。

10

【0335】

なお、本明細書等において、記憶装置又は半導体装置の動作で、メモリトランジスタM T 1乃至メモリトランジスタM T 8のそれぞれの電荷蓄積層に電子が注入された状態をデータ“0”、電荷蓄積層から電子が引き抜かれた状態をデータ“1”としたが、本発明の一態様はこれに限定されない。例えば、メモリトランジスタM T 1乃至メモリトランジスタM T 8のそれぞれの電荷蓄積層に電子が注入された状態をデータ“1”、電荷蓄積層から電子が引き抜かれた状態をデータ“0”としてもよい。

【0336】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

20

【0337】

(実施の形態2)

本実施の形態は、上記実施の形態に示す半導体装置などが形成された半導体ウェハ、及び当該半導体装置が組み込まれた電子部品の一例を示す。

【0338】

<半導体ウェハ>

初めに、半導体装置などが形成された半導体ウェハの例を、図37Aを用いて説明する。

【0339】

図37Aに示す半導体ウェハ4800は、ウェハ4801と、ウェハ4801の上面に設けられた複数の回路部4802と、を有する。なお、ウェハ4801の上面において、回路部4802の無い部分は、スペーシング4803であり、ダイシング用の領域である。

30

【0340】

半導体ウェハ4800は、ウェハ4801の表面に、前工程によって複数の回路部4802を形成することで作製することができる。また、その後、ウェハ4801の複数の回路部4802が形成された反対側の面を研削して、ウェハ4801を薄膜化してもよい。この工程により、ウェハ4801の反りなどを低減し、部品としての小型化を図ることができる。

【0341】

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインS C L 1及びスクライブラインS C L 2（ダイシングライン、又は切断ラインと呼ぶ場合がある）に沿って行われる。なお、スペーシング4803には、ダイシング工程を容易に行うために、複数のスクライブラインS C L 1を平行になるように設け、複数のスクライブラインS C L 2を平行になるように設け、スクライブラインS C L 1とスクライブラインS C L 2が垂直になるように設けるのが好ましい。

40

【0342】

ダイシング工程を行うことにより、図37Bに示すようなチップ4800aを、半導体ウェハ4800から切り出すことができる。チップ4800aは、ウェハ4801aと、回路部4802と、スペーシング4803aと、を有する。なお、スペーシング4803aは、極力小さくなるようにするのが好ましい。これを達成するには、隣り合う回路部4

50

８０２の間のスペーシング４８０３の幅が、スクライブラインＳＣＬ１の切りしろと、又はスクライブラインＳＣＬ２の切りしろとほぼ同等の長さであればよい。

【０３４３】

なお、本発明の一態様の素子基板の形状は、図３７Ａに図示した半導体ウェハ４８００の形状に限定されない。例えば、矩形の形状の半導体ウェハであってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

【０３４４】

<電子部品>

図３７Ｃに電子部品４７００および電子部品４７００が実装された基板（実装基板４７０４）の斜視図を示す。図３７Ｃに示す電子部品４７００は、モールド４７１１内にチップ４８００ａを有している。なお、図３７Ｃに示すチップ４８００ａには、回路部４８０２が積層された構成を示している。回路部４８０２として、上記の実施の形態で説明した半導体装置を適用することができる。図３７Ｃは、電子部品４７００の内部を示すために、一部の部品を省略している。電子部品４７００は、モールド４７１１の外側にランド４７１２を有する。ランド４７１２は電極パッド４７１３と電氣的に接続され、電極パッド４７１３はチップ４８００ａとワイヤ４７１４によって電氣的に接続されている。電子部品４７００は、例えばプリント基板４７０２に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板４７０２上で電氣的に接続されることで実装基板４７０４が完成する。

【０３４５】

図３７Ｄに電子部品４７３０の斜視図を示す。電子部品４７３０は、ＳｉＰ（System in package）またはＭＣＭ（Multi Chip Module）の一例である。電子部品４７３０は、パッケージ基板４７３２（プリント基板）上にインターポーザ４７３１が設けられ、インターポーザ４７３１上に半導体装置４７３５、および複数の半導体装置４７１０が設けられている。

【０３４６】

電子部品４７３０は、半導体装置４７１０を有する。半導体装置４７１０としては、例えば、上記実施の形態で説明した半導体装置、広帯域メモリ（ＨＢＭ：High Bandwidth Memory）などを用いることができる。また、半導体装置４７３５には、ＣＰＵ、ＧＰＵ、ＦＰＧＡ、記憶装置などの集積回路（半導体装置）を用いることができる。

【０３４７】

パッケージ基板４７３２は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ４７３１は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

【０３４８】

インターポーザ４７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ４７３１は、インターポーザ４７３１上に設けられた集積回路をパッケージ基板４７３２に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ４７３１に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板４７３２を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、ＴＳＶ（Through Silicon Via）を用いることも出来る。

【０３４９】

インターポーザ４７３１としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。また、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

【0350】

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

【0351】

また、シリコンインターポーザを用いたSiPやMCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ（2.5次元実装）では、シリコンインターポーザを用いることが好ましい。

10

【0352】

また、電子部品4730と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ4731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品4730では、半導体装置4710と半導体装置4735の高さを揃えることが好ましい。

【0353】

電子部品4730を他の基板に実装するため、パッケージ基板4732の底部に電極4733を設けてもよい。図37Dでは、電極4733を半田ボールで形成する例を示している。パッケージ基板4732の底部に半田ボールをマトリクス状に設けることで、BGA（Ball Grid Array）実装を実現できる。また、電極4733を導電性のピンで形成してもよい。パッケージ基板4732の底部に導電性のピンをマトリクス状に設けることで、PGA（Pin Grid Array）実装を実現できる。

20

【0354】

電子部品4730は、BGAおよびPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA（Staggered Pin Grid Array）、LGA（Land Grid Array）、QFP（Quad Flat Package）、QFJ（Quad Flat J-leaded package）、またはQFN（Quad Flat Non-leaded package）などの実装方法を用いることができる。

30

【0355】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0356】

（実施の形態3）

本実施の形態では、先の実施の形態に示す半導体装置、又は電子部品を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータや、ノート型のコンピュータや、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図38A乃至図38Eにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

40

【0357】

図38AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キ

50

チップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。基板1104のメモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

【0358】

図38BはSDカードの外観の模式図であり、図38Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。基板1113のメモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

【0359】

図38DはSSDの外観の模式図であり、図38Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。基板1153のメモリチップ1154などに先の実施の形態に示す半導体装置を組み込むことができる。

【0360】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

【0361】

(実施の形態4)

本実施の形態では、図39を用いて、上記実施の形態に示す半導体装置、又は電子部品を適用した、AIシステムについて説明を行う。

【0362】

図39はAIシステム4041の構成例を示すブロック図である。AIシステム4041は、演算部4010と、制御部4020と、入出力部4030を有する。

【0363】

演算部4010は、アナログ演算回路4011と、DOSRAM4012と、NOSRAM4013と、FPGA4014と、3D-NAND4015を有する。

【0364】

ここで、DOSRAM（登録商標）とは、「Dynamic Oxide Semiconductor RAM」の略称であり、1T（トランジスタ）1C（容量）型のメモリセルを有するRAMを指す。

【0365】

また、NOSRAM（登録商標）とは「Nonvolatile Oxide Semiconductor RAM」の略称であり、ゲインセル型（2T型、3T型）のメモリセルを有するRAMを指す。DOSRAM、及びNOSRAMは、酸化物を半導体に用いたトランジスタ（以下、OSTランジスタと呼ぶ。）のオフ電流が低いことを利用したメモリである。なお、以下において、NOSRAMのようにOSTランジスタを用いたメモリ装置を、OSメモリと呼ぶ場合がある。

【0366】

制御部4020は、CPU（Central Processing Unit）4021と、GPU（Graphics Processing Unit）4022と、PLL

(Phase Locked Loop) 4023と、SRAM (Static Random Access Memory) 4024と、PROM (Programmable Read Only Memory) 4025と、メモリコントローラ4026と、電源回路4027と、PMU (Power Management Unit) 4028と、を有する。

【0367】

入出力部4030は、外部記憶制御回路4031と、音声コーデック4032と、映像コーデック4033と、汎用入出力モジュール4034と、通信モジュール4035と、を有する。

【0368】

演算部4010は、ニューラルネットワークによる学習または推論を実行することができる。

【0369】

アナログ演算回路4011はA/D (アナログ/デジタル) 変換回路、D/A (デジタル/アナログ) 変換回路、および積和演算回路を有する。

【0370】

アナログ演算回路4011はOSトランジスタを用いて形成することが好ましい。OSトランジスタを用いたアナログ演算回路4011は、アナログメモリを有し、学習または推論に必要な積和演算を、低消費電力で実行することが可能になる。

【0371】

DOSRAM 4012は、OSトランジスタを用いて形成されたDRAMであり、DOSRAM 4012は、CPU 4021から送られてくるデジタルデータを一時的に格納するメモリである。DOSRAM 4012は、OSトランジスタを含むメモリセルと、シトランジスタを含む読み出し回路部を有する。上記メモリセルと読み出し回路部は、積層された異なる層に設けることができるため、DOSRAM 4012は、全体の回路面積を小さくすることができる。

【0372】

ニューラルネットワークを用いた計算は、入力データが1000を超えることがある。上記入力データをSRAMに格納する場合、SRAMは回路面積に制限があり、記憶容量が小さいため、上記入力データを小分けにして格納せざるを得ない。DOSRAM 4012は、限られた回路面積でも、メモリセルを高集積に配置することが可能であり、SRAMに比べて記憶容量が大きい。そのため、DOSRAM 4012は、上記入力データを効率よく格納することができる。

【0373】

NOSRAM 4013はOSトランジスタを用いた不揮発性メモリである。NOSRAM 4013は、フラッシュメモリや、ReRAM (Resistive Random Access Memory)、MRAM (Magnetoresistive Random Access Memory) などの他の不揮発性メモリと比べて、データを書き込む際の消費電力が小さい。また、フラッシュメモリやReRAMのように、データを書き込む際に素子が劣化することなく、データの書き込み可能回数に制限が無い。

【0374】

また、NOSRAM 4013は、1ビットの2値データの他に、2ビット以上の多値データを記憶することができる。NOSRAM 4013は多値データを記憶することで、1ビット当たりのメモリセル面積を小さくすることができる。

【0375】

また、NOSRAM 4013は、デジタルデータの他にアナログデータを記憶することができる。そのため、アナログ演算回路4011は、NOSRAM 4013をアナログメモリとして用いることもできる。NOSRAM 4013は、アナログデータのまま記憶することができるため、D/A変換回路やA/D変換回路が不要である。そのため、NOSRAM 4013は周辺回路の面積を小さくすることができる。なお、本明細書においてア

10

20

30

40

50

ナログデータとは、3ビット（8値）以上の分解能を有するデータのことを指す。上述した多値データがアナログデータに含まれる場合もある。

【0376】

ニューラルネットワークの計算に用いられるデータやパラメータは、一旦、NOSRAM4013に格納することができる。上記データやパラメータは、CPU4021を介して、AIシステム4041の外部に設けられたメモリに格納してもよいが、内部に設けられたNOSRAM4013の方が、より高速に且つ低消費電力で上記データやパラメータを格納することができる。また、NOSRAM4013は、DOSRAM4012よりもビット線を長くすることができるので、記憶容量を大きくすることができる。

【0377】

FPGA4014は、OSTランジスタを用いたFPGAである。AIシステム4041は、FPGA4014を用いることによって、ハードウェアで後述する、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの、ニューラルネットワークの接続を構成することができる。上記のニューラルネットワークの接続をハードウェアで構成することで、より高速に実行することができる。

【0378】

FPGA4014はOSTランジスタを有するFPGAである（OS-FPGA）。OS-FPGAは、SRAMで構成されるFPGAよりもメモリの面積を小さくすることができる。そのため、コンテキスト切り替え機能を追加しても面積増加が少ない。また、OS-FPGAはブースティングによりデータやパラメータを高速に伝えることができる。

【0379】

3D-NAND4015は酸化物半導体を用いた不揮発性メモリである。3D-NAND4015は、高集積化されたメモリであり、単位面積あたりの記憶容量が大きい。

【0380】

また、3D-NAND4015は、1ビットの2値データの他に、2ビット以上の多値データを記憶することができる。3D-NAND4015は多値データを記憶することで、1ビット当たりのメモリセル面積を、さらに小さくすることができる。

【0381】

また、3D-NAND4015として、例えば、上記実施の形態に示す半導体装置を用いることができる。これにより、メモリセルにおける占有面積を低減することができるので、3D-NAND4015をさらに高集積化させることができる。よって、3D-NAND4015の単位面積あたりの記憶容量を増加させることができる。

【0382】

AIシステム4041は、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014を1つのダイ（チップ）の上に設けることができる。そのため、AIシステム4041は、高速に且つ低消費電力で、ニューラルネットワークの計算を実行することができる。また、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014は、同じ製造プロセスで作製することができる。そのため、AIシステム4041は、低コストで作製することができる。

【0383】

なお、演算部4010は、DOSRAM4012、NOSRAM4013、およびFPGA4014を、全て有する必要はない。AIシステム4041が解決したい課題に応じて、DOSRAM4012、NOSRAM4013、およびFPGA4014の一または複数を、選択して設ければよい。

【0384】

AIシステム4041は、解決したい課題に応じて、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワー

10

20

30

40

50

ク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができる。PROM4025は、これらの手法の少なくとも1つを実行するためのプログラムを保存することができる。また、当該プログラムの一部または全てを、NOSRAM4013または3D-NAND4015に保存してもよい。3D-NAND4015は、高集積化されたメモリであり、単位面積あたりの記憶容量が大きいので、大容量のプログラムを保存することができる。

【0385】

ライブラリとして存在する既存のプログラムは、GPUの処理を前提としているものが多い。そのため、AIシステム4041はGPU4022を有することが好ましい。AIシステム4041は、学習と推論で用いられる積和演算のうち、律速となる積和演算を演算部4010で実行し、それ以外の積和演算をGPU4022で実行することができる。そうすることで、学習と推論を高速に実行することができる。

10

【0386】

電源回路4027は、論理回路用の低電源電位を生成するだけでなく、アナログ演算のための電位生成も行う。電源回路4027はOSメモリを用いてもよい。電源回路4027は、基準電位をOSメモリに保存することで、消費電力を下げることができる。

【0387】

PMU4028は、AIシステム4041の電力供給を一時的にオフにする機能を有する。

【0388】

CPU4021およびGPU4022は、レジスタとしてOSメモリを有することが好ましい。CPU4021およびGPU4022はOSメモリを有することで、電力供給がオフになっても、OSメモリ中にデータ（論理値）を保持し続けることができる。その結果、AIシステム4041は、電力を節約することができる。

20

【0389】

PLL4023は、クロックを生成する機能を有する。AIシステム4041は、PLL4023が生成したクロックを基準に動作を行う。PLL4023はOSメモリを有することが好ましい。PLL4023はOSメモリを有することで、クロックの発振周期を制御するアナログ電位を保持することができる。

【0390】

AIシステム4041は、DRAMなどの外部メモリにデータを保存してもよい。そのため、AIシステム4041は、外部のDRAMとのインターフェースとして機能するメモリコントローラ4026を有することが好ましい。また、メモリコントローラ4026は、CPU4021またはGPU4022の近くに配置することが好ましい。そうすることで、データのやり取りを高速に行うことができる。

30

【0391】

制御部4020に示す回路の一部または全ては、演算部4010と同じダイの上に形成することができる。そうすることで、AIシステム4041は、高速に且つ低消費電力で、ニューラルネットワークの計算を実行することができる。

【0392】

ニューラルネットワークの計算に用いられるデータは外部記憶装置（HDD（Hard Disk Drive）、SSD（Solid State Drive）など）に保存される場合が多い。そのため、AIシステム4041は、外部記憶装置とのインターフェースとして機能する外部記憶制御回路4031を有することが好ましい。

40

【0393】

ニューラルネットワークを用いた学習と推論は、音声や映像を扱うことが多いので、AIシステム4041は音声コーデック4032および映像コーデック4033を有する。音声コーデック4032は、音声データのエンコード（符号化）およびデコード（復号）を行い、映像コーデック4033は、映像データのエンコードおよびデコードを行う。

【0394】

50

A Iシステム4041は、外部センサから得られたデータを用いて学習または推論を行うことができる。そのため、A Iシステム4041は汎用入出力モジュール4034を有する。汎用入出力モジュール4034は、例えば、USB (Universal Serial Bus) やI2C (Inter-Integrated Circuit) などを含む。

【0395】

A Iシステム4041は、インターネットを経由して得られたデータを用いて学習または推論を行うことができる。そのため、A Iシステム4041は、通信モジュール4035を有することが好ましい。

【0396】

アナログ演算回路4011は、多値のフラッシュメモリをアナログメモリとして用いてもよい。しかし、フラッシュメモリは書き換え可能回数に制限がある。また、多値のフラッシュメモリは、エンベディッドで形成する（演算回路とメモリを同じダイの上に形成する）ことが非常に難しい。

【0397】

また、アナログ演算回路4011は、ReRAMをアナログメモリとして用いてもよい。しかし、ReRAMは書き換え可能回数に制限があり、記憶精度の点でも問題がある。さらに、2端子でなる素子であるため、データの書き込みと読み出しを分ける回路設計が複雑になる。

【0398】

また、アナログ演算回路4011は、MRAMをアナログメモリとして用いてもよい。しかし、MRAMは抵抗変化率が低く、記憶精度の点で問題がある。

【0399】

以上を鑑み、アナログ演算回路4011は、OSメモリをアナログメモリとして用いることが好ましい。

【0400】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0401】

（実施の形態5）

＜A Iシステムの応用例＞

本実施の形態では、上記実施の形態に示すA Iシステムの応用例について図40A及び図40Bを用いて説明を行う。

【0402】

図40Aは、図39で説明したA Iシステム4041を並列に配置し、バス線を介してシステム間での信号の送受信を可能にした、A Iシステム4041Aである。

【0403】

図40Aに図示するA Iシステム4041Aは、複数のA Iシステム4041__1乃至A Iシステム4041__n（nは自然数）を有する。A Iシステム4041__1乃至A Iシステム4041__nは、バス線4098を介して互いに接続されている。なお、図40Aには、A Iシステム4041__1、A Iシステム4041__2、A Iシステム4041__nを図示しており、それ以外のA Iシステムについては図示を省略している。

【0404】

また図40Bは、図39で説明したA Iシステム4041を図40Aと同様に並列に配置し、ネットワークを介してシステム間での信号の送受信を可能にした、A Iシステム4041Bである。

【0405】

図40Bに図示するA Iシステム4041Bは、複数のA Iシステム4041__1乃至A Iシステム4041__nを有する。A Iシステム4041__1乃至A Iシステム4041__nは、ネットワーク4099を介して互いに接続されている。なお、図40Bには、

10

20

30

40

50

A Iシステム4041__1、A Iシステム4041__2、A Iシステム4041__nを図示しており、それ以外のA Iシステムについては図示を省略している。

【0406】

ネットワーク4099は、A Iシステム4041__1乃至A Iシステム4041__nのそれぞれに通信モジュールを設け、無線または有線による通信を行う構成とすればよい。通信モジュールは、アンテナを介して通信を行うことができる。例えばWorld Wide Web (WWW) の基盤であるインターネット、イントラネット、エクストラネット、PAN (Personal Area Network)、LAN (Local Area Network)、CAN (Campus Area Network)、MAN (Metropolitan Area Network)、WAN (Wide Area Network)、GAN (Global Area Network) 等のコンピュータネットワークに各電子装置を接続させ、通信を行うことができる。無線通信を行う場合、通信プロトコル又は通信技術として、LTE (Long Term Evolution)、GSM (Global System for Mobile Communication: 登録商標)、EDGE (Enhanced Data Rates for GSM Evolution)、CDMA2000 (Code Division Multiple Access 2000)、W-CDMA (登録商標) などの通信規格、またはWi-Fi (登録商標)、Bluetooth (登録商標)、ZigBee (登録商標) 等のIEEEにより通信規格化された仕様を用いることができる。

【0407】

図40A、及び図40Bの構成とすることで、外部のセンサ等で得られたアナログ信号を別々のA Iシステムで処理することができる。例えば、生体情報のように、脳波、脈拍、血圧、体温等といった情報を脳波センサ、脈波センサ、血圧センサ、温度センサといった各種センサで取得し、別々のA Iシステムでアナログ信号を処理することができる。別々のA Iシステムのそれぞれで信号の処理、または学習を行うことで一つのA Iシステムあたりの情報処理量を少なくできる。そのため、より少ない演算量で信号の処理、または学習を行うことができる。その結果、認識精度を高めることができる。それぞれのA Iシステムで得られた情報から、複雑に変化する生体情報の変化を瞬時に統合的に把握することができるといったことが期待できる。

【0408】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

【0409】

(実施の形態6)

<電子機器>

本発明の一態様に係る半導体装置は、様々な電子機器に用いることができる。図41A、図41B、図42A乃至図42Fに、本発明の一態様に係る半導体装置を用いた電子機器の具体例を示す。

【0410】

図41Aに示すロボット2000は、演算装置2001、センサ2002、ライト2003、リフト2004、駆動部2005、移動機構2011を備えており、移動しながら静止画や動画を撮影することができる。このようなロボットは、警備システムや、監視システムとして用いることができる。

【0411】

ロボット2000は、さらに、通信手段2006、スピーカ2007、マイクロフォン2008、表示部2009、発光部2010などを備えていてもよい。

【0412】

演算装置2001には、本発明の一態様に係る半導体装置を用いることができる。また、演算装置2001には、本発明の一態様に係るA Iシステムが組み込まれたICを用いることができる。センサ2002は、ロボット2000の周囲を撮影する、カメラとして

10

20

30

40

50

の機能を有する。ライト２００３は、センサ２００２でロボット２０００の周囲を撮影する際のライトとして用いることができる。なお、センサ２００２で、静止画を撮影する際には、ライト２００３は、フラッシュライトとして機能することが好ましい。センサ２００２は、リフト２００４を介して、ロボット本体と接続されている。センサ２００２の高さは、リフト２００４により調整することができる。リフト２００４は、伸縮式であることが好ましい。また、リフト２００４は、複数のブームにより構成された折り畳み式のものでもよい。また、ロボット２０００には、駆動部２００５と、駆動部２００５に接続された移動機構２０１１が設けられているため、センサ２００２による撮像範囲、すなわち監視範囲が広がり、好ましい。

【０４１３】

通信手段２００６は、センサ２００２により撮像された情報を管理者や、管理者が所有するサーバへ送信することができる。また、センサ２００２により撮像された情報を演算装置２００１にて解析し、犯罪、事故、火災などの非常事態と判断された場合は、警備会社、警察、消防、医療機関、土地や建物のオーナーへ連絡することができる。スピーカ２００７は、犯罪者への警告、怪我人や急病人への問いかけ、避難の誘導など、ロボット周囲に情報の発信を行うことができる。マイクロフォン２００８は、ロボット２０００周囲の音声の取得に用いることができる。また、通信手段２００６、およびスピーカ２００７と合わせて用いることで、ロボット２０００は電話としての機能を有することができる。ロボット２０００周囲にいる人は、管理者や任意の人と会話することができる。表示部２００９は、任意の情報を表示することができる。非常時の場合は、災害情報や避難経路を表示することができる。また、通信手段２００６、スピーカ２００７、およびマイクロフォン２００８と合わせて用いることで、ロボット２０００はテレビ電話としての機能を有することができる。ロボット２０００周囲にいる人は、管理者や任意の人と表示部２００９を見ながら会話することができる。

【０４１４】

発光部２０１０は、ロボット２０００の進行方向や停止状態を文字や光で示すことができる。また、非常事態を示してもよい。

【０４１５】

図４１Ｂは、ロボット２０００の構成を示すブロック図である。演算装置２００１は、センサ２００２により得られた映像などの情報から、ライト２００３の点灯や消灯、明るさの調整を行う。また、リフト２００４の高さの調整、あるいは、駆動部２００５の制御を行い、ロボット２０００や、センサ２００２の位置合わせを行う。また、駆動部２００５の動作状況を、発光部２０１０を用いて示すことができる。また、通信手段２００６を用いて、センサ２００２やマイクロフォン２００８から得られたロボット２０００の周囲の情報を管理者、または管理者が所有するサーバに送信することができる。また、演算装置２００１や、管理者の判断により、スピーカ２００７や表示部２００９を用いて、ロボット２０００の周囲に情報を発信することができる。

【０４１６】

センサ２００２として、周囲が暗くても撮像が可能なセンサを用いる場合は、ライト２００３は設けなくてもよい。このようなセンサとして、受光部にセレン（Ｓｅ）を用いたイメージセンサを用いることができる。

【０４１７】

このようなロボット２０００は、商業施設や、オフィスの警備に用いることができる。センサ２００２やマイクロフォン２００８から得られた情報は、演算装置２００１やサーバに保存される。保存された情報は、ＡＩシステムにより解析され、物品の紛失や破損、不審者の侵入、火災などの災害などの異常の有無を判断する。情報の解析には、ディープラーニングを用いてもよい。異常が発生したと判断した場合、ロボット２０００は、管理者への連絡および周囲への情報発信を行い、周囲の状況を記録する。

【０４１８】

また、ロボット２０００は、農作物の生育状況の監視に用いてもよい。田んぼや畑に設

10

20

30

40

50

置されたロボット2000は、センサ2002により、農作物の葉、あるいは実の形、大きさ、色を監視し、病気になっていないか、害虫の付着が無いかを判断する。ロボット2000には、移動機構2011が設けられているため、広範囲の農作物の生育状況を監視することができる。また、ロボット2000には、リフト2004が設けられているため、農作物の種類や、生育状況によらず、任意の高さの葉や実を監視することができる。監視結果は、通信手段2006を用いて生産者に送られ、生産者は、農作物に必要な肥料や農薬の種類、量、散布時期を判断することができる。また、演算装置2001を用いて、監視結果を、AIシステムにより解析し、農作物に必要な、肥料や農薬の種類、量、散布時期を判断して、生産者に通知してもよい。監視結果の解析には、ディープラーニングを用いてもよい。

10

【0419】

図42Aは、ロボット3001を用いた、仕分けシステム3000を示す。ロボット3001は、演算装置3002、ブーム3003、およびアーム3004を備えている。また、ロボット3001は有線、または無線の通信手段3011を備えていてもよい。また、仕分けシステム3000は、センサ3009を有する筐体3008を備えている。筐体3008は、通信手段3010を有している。筐体3008は、仕分けシステム3000、または仕分け作業エリアの天井、壁、梁（いずれも図示せず）に設けられる。また、筐体3008は、ロボット3001に設けられていてもよい。例えば、ブーム3003、またはアーム3004に設けられていてもよい。筐体3008がロボット3001に設けられている場合は、センサ3009により得られた情報は、通信手段3010、および通信手段3011を介さず、演算装置3002に送られ、処理されてもよい。

20

【0420】

ブーム3003は、可動式となっており、アーム3004を所望の位置に配置することができる。また、アーム3004は伸縮式としてもよい。所望の物品3007上に配置されたアーム3004を伸ばし、所望の物品3007を掴み、アーム3004を縮めた後、ブーム3003によりアーム3004を移動してもよい。

【0421】

仕分けシステム3000は、容器3005内の物品3007を容器3006に移動させることができる。容器3005と容器3006は、同一形状でも良いし、異なる形状でもよい。また、一つの容器3005に入れられた複数の物品3007を複数の容器3006に振り分けて移動してもよい。

30

【0422】

容器3005、および容器3006として、コンテナ、段ボール箱、商品を梱包する箱、ケース、フィルム、または袋、食品保管用のバット、弁当箱などが用いられる。また、容器3005、および容器3006の少なくとも一方は、鍋やフライパンなどの調理器具でもよい。

【0423】

演算装置3002には、本発明の一態様に係る半導体装置を用いることができる。また、演算装置3002には、本発明の一態様に係るAIシステムが組み込まれたICを用いることができる。

40

【0424】

センサ3009は、容器3005の位置や個数、容器3006の位置や個数、容器3005内、および容器3005内の物品3007の状態を読み取り、通信手段3010を用いて演算装置3002に情報を送信する。情報の送信は無線または、有線で行う。また、通信手段3010を用いずに、有線にて情報を送信してもよい。演算装置3002は、送信された情報の解析を行う。ここで、物品3007の状態とは、形、数、物品3007同士の重なりなどのことを指す。演算装置3002は、センサ3009からの情報をもとに解析を行い、物品3007の詳細情報を導出する。演算装置3002、またはロボット3001と通信可能なサーバに保存されたデータと比較し、物品3007の三次元形状や、硬さ（柔らかさ）を導出する。また、物品3007の三次元形状や硬さ（柔らかさ）から

50

、アーム３００４の形状を変えることができる。また、物品３００７の形状や大きさに応じて容器３００６内の配置場所を変え、仕分けを行ってもよいし、複数の異なる容器３００６に配置し、仕分けを行ってもよい。

【０４２５】

物品３００７の詳細情報を導出するには、ＡＩシステムを用いた解析を利用することができる。情報の解析には、ディープラーニングを用いてもよい。

【０４２６】

図４２Ｂは、一対の板３０２１が水平方向に移動し、物品３００７を挟むことができるアームである。一対の板３０２１が中心に向かって水平方向に移動することで、物品３００７を挟むことができる。このようなアームは、物品３００７を面で捉えることができ、立方体や直方体など、柱状の形を有する物品３００７を掴むのに適している。図４２Ｃは、複数のバー３０２２が水平方向に移動し、物品３００７を挟むことができるアームである。複数のバー３０２２が中心に向かって水平方向に移動することで、物品３００７を挟むことができる。このようなアームは、物品３００７を点で捉えることができ、球状の形を有する物品３００７、または物品３００７の形が一定でない場合、すなわち不定型な物品３００７を掴むに適している。なお、図４２Ｃでは、バー３０２２の数を４本としたが、本実施の形態はこれに限らない。バー３０２２は３本でもよいし、５本以上でも良い。図４２Ｄは、一対の板３０２３が、共通の軸を中心に、お互いが近づくように回転することで物品３００７を挟むことができるアームである。このようなアームは、物品３００７を面で捉えることができ、紙やフィルムなど、薄膜状の形を有する物品３００７を掴むのに適している。図４２Ｅは、一対のかぎ状の板３０２４が、共通の軸を中心に、お互いの先端が近づくように回転することで物品３００７を挟むことができるアームである。このようなアームは、物品３００７を点、または線で捉えることができ、紙やフィルムなど、薄膜状の形を有する物品３００７や、より小さい粒状の形を有する物品３００７を掴むのに適している。また、図４２Ｆに示すように、アームの先端にヘラ３０２５を取り付け、より小さい粒状の形を有する物品３００７をすくってもよい。

【０４２７】

図４２Ａ乃至図４２Ｆに示すアームは、一例であり、本発明の一態様はこれらの形状に限らない。また、各アームの用途の説明も一例であり、本発明の一態様はこれらの記載に限らない。

【０４２８】

ロボット３００１は、演算装置３００２からの信号に基づき、ブーム３００３を動かし、アーム３００４を、容器３００５内の所望の物品３００７上に移動する。伸縮式のアーム３００４の場合、アーム３００４を伸ばし、アーム３００４の先端を物品３００７の高さまで降ろす。アームの先端を動かし、所望の物品３００７を掴む。物品３００７を掴んだまま、アームを縮める。再びブーム３００３を動かし、アーム３００４を、容器３００６の所望の位置に移動する。このとき、容器３００６に対する物品３００７の角度を調整する為、アーム３００４を回転してもよい。アーム３００４を伸ばし、物品３００７を容器３００６に配置し、アーム３００４は、物品３００７を放す。以上の操作を繰り返し行い、ロボット３００１は、物品３００７を容器３００５から容器３００６に移動させることができる。

【０４２９】

容器３００５、および容器３００６の位置情報、および物品３００７の状態を、ＡＩシステムを用いて解析しているため、物品３００７の形状や硬さによらず、確実に物品３００７を移動することができる。物品３００７の例としては、立方体、または直方体の箱、または任意の形状の箱やケースに詰められた物品だけでなく、卵、ハンバーグやコロケなど、成形された加工食品、ジャガイモやトマトなど、不定形な野菜などの食品、ネジやナットなどの機械部品、紙やフィルムなどの薄膜などが挙げられる。本実施の形態に示した仕分けシステム３０００は、物品３００７の形状や硬さを考慮してアームの形状を変えることができるため、上記に例示した物品３００７を、形状や硬さによらず、容器３００

5 から容器 3 0 0 6 に移動させることができる。

【0 4 3 0】

例えば、本発明の一態様の半導体装置を用いた記憶装置は、上述した電子機器の制御情報や、制御プログラムなどを長期間保持することができる。本発明の一態様に係る半導体装置を用いることで、信頼性の高い電子機器を実現することができる。

【0 4 3 1】

また、例えば、上述した電子機器の演算装置などに、上記 A I システムが組み込まれた I C を用いることができる。これにより、本実施の形態に示す電子機器は、A I システムによって、状況に応じた的確な動作を、低消費電力で行うことができる。

【0 4 3 2】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【符号の説明】

【0 4 3 3】

1 0 0 : 記憶装置、1 0 5 : 制御回路、1 1 0 : メモリセルアレイ、1 1 2 : メモリストリング、1 2 1 : 行デコーダ、1 2 2 : 行ドライバ、1 2 3 : センスアンプ、1 2 4 : ソース線ドライバ、1 2 5 : 入出力回路、3 0 0 : 回路、3 0 1 : トランジスタ、3 0 2 : トランジスタ、3 0 3 : トランジスタ、3 0 4 : センスアンプ、3 1 1 : 基板、3 1 3 : 半導体領域、3 1 4 a : 低抵抗領域、3 1 4 b : 低抵抗領域、3 1 5 : 絶縁体、3 1 6 : 導電体、3 1 7 : 絶縁体、3 1 8 : 絶縁体、3 2 0 : 絶縁体、3 2 2 : 絶縁体、3 2 4 : 絶縁体、3 2 6 : 絶縁体、3 2 7 : 絶縁体、3 2 8 : 導電体、3 2 9 : 導電体、3 3 0 : 導電体、3 5 0 : 絶縁体、3 5 2 : 絶縁体、3 5 4 : 絶縁体、3 5 6 : 導電体、3 6 0 : 絶縁体、3 6 2 : 絶縁体、3 6 4 : 絶縁体、3 6 6 : 導電体、7 0 0 : メモリセルアレイ、7 0 0 A : メモリセルアレイ、7 0 1 : 導電体、7 0 1 a : 導電体、7 0 1 A : 導電膜、7 0 1 b : 導電体、7 0 1 B : 導電膜、7 0 1 c : 導電体、7 0 2 : 導電体、7 0 2 A : 導電膜、7 0 2 b : 絶縁体、7 0 2 B : 導電膜、7 0 3 : 絶縁体、7 0 3 a : 絶縁体、7 0 3 A : 絶縁膜、7 0 3 b : 絶縁体、7 0 3 c : 絶縁体、7 0 4 : 酸化物、7 0 4 a : 酸化物、7 0 4 A : 酸化膜、7 0 4 b : 酸化物、7 0 4 c : 酸化物、7 0 5 : 導電体、7 0 5 B : 導電体、7 0 5 S : 導電体、7 0 6 : 導電体、7 0 7 : 導電体、7 0 8 : 導電体、7 0 9 : 導電体、7 1 0 : 導電体、7 1 1 : 絶縁体、7 1 1 A : 絶縁膜、7 1 2 : 導電体、7 1 2 A : 導電膜、7 1 3 : 絶縁体、7 1 4 : 導電体、7 1 5 : 導電体、7 1 7 : 絶縁体、7 1 8 : 膜、7 2 0 : 基体、7 2 1 : 絶縁体、7 2 2 : 絶縁体、7 2 2 A : 絶縁膜、7 2 2 B : 絶縁膜、7 2 3 : マスク、7 2 3 A : マスク、7 2 4 : 絶縁体、7 2 5 : マスク、7 2 6 : 絶縁体、7 2 7 : 材料、7 2 9 : マスク、7 3 1 a : 領域、7 3 1 b : 領域、7 3 2 : 領域、7 3 2 a : 領域、7 3 2 b : 領域、7 3 4 : 領域、7 5 0 : 記憶装置、7 5 2 : 導電体、1 1 0 0 : U S B メモリ、1 1 0 1 : 筐体、1 1 0 2 : キャップ、1 1 0 3 : U S B コネクタ、1 1 0 4 : 基板、1 1 0 5 : メモリチップ、1 1 0 6 : コントローラチップ、1 1 1 0 : S D カード、1 1 1 1 : 筐体、1 1 1 2 : コネクタ、1 1 1 3 : 基板、1 1 1 4 : メモリチップ、1 1 1 5 : コントローラチップ、1 1 5 0 : S S D、1 1 5 1 : 筐体、1 1 5 2 : コネクタ、1 1 5 3 : 基板、1 1 5 4 : メモリチップ、1 1 5 5 : メモリチップ、1 1 5 6 : コントローラチップ、2 0 0 0 : ロボット、2 0 0 1 : 演算装置、2 0 0 2 : センサ、2 0 0 3 : ライト、2 0 0 4 : リフト、2 0 0 5 : 駆動部、2 0 0 6 : 通信手段、2 0 0 7 : スピーカ、2 0 0 8 : マイクロフォン、2 0 0 9 : 表示部、2 0 1 0 : 発光部、2 0 1 1 : 移動機構、3 0 0 0 : システム、3 0 0 1 : ロボット、3 0 0 2 : 演算装置、3 0 0 3 : ブーム、3 0 0 4 : アーム、3 0 0 5 : 容器、3 0 0 6 : 容器、3 0 0 7 : 物品、3 0 0 8 : 筐体、3 0 0 9 : センサ、3 0 1 0 : 通信手段、3 0 1 1 : 通信手段、3 0 2 1 : 板、3 0 2 2 : バー、3 0 2 3 : 板、3 0 2 4 : 板、3 0 2 5 : ヘラ、4 0 1 0 : 演算部、4 0 1 1 : アナログ演算回路、4 0 1 2 : D O S R A M、4 0 1 3 : N O S R A M、4 0 1 4 : F P G A、4 0 2 0 : 制御部、4 0 2 1 : C P U、4 0 2 2 : G P U、4 0 2 3 : P L L、4 0 2 5 : P R O M、4 0 2 6 : メモリコ

10

20

30

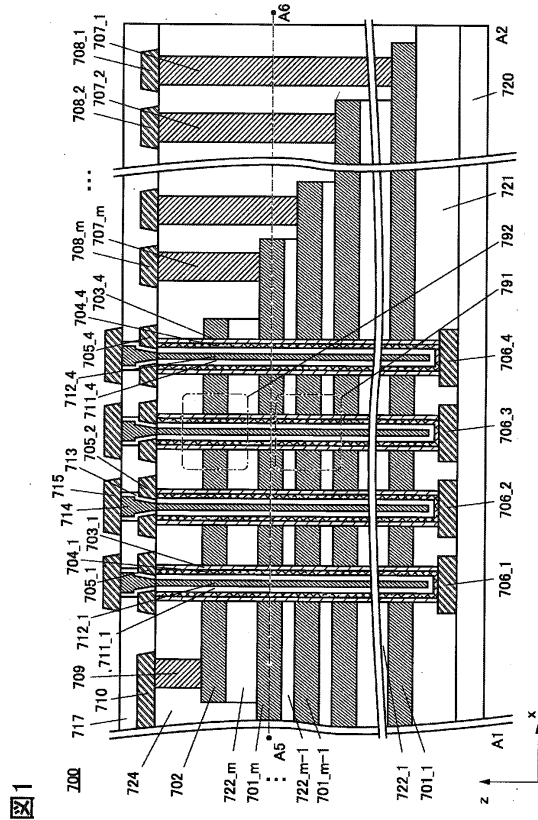
40

50

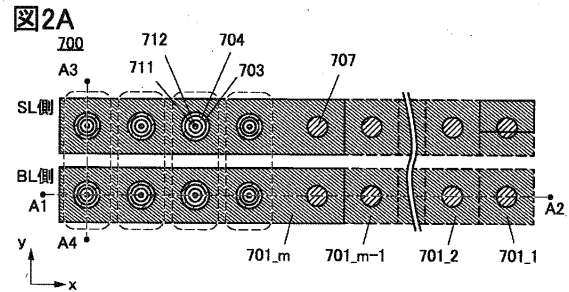
ントローラ、4027：電源回路、4028：PMU、4030：入出力部、4031：外部記憶制御回路、4032：音声コーデック、4033：映像コーデック、4034：汎用入出力モジュール、4035：通信モジュール、4041：AIシステム、4041A：AIシステム、4041B：AIシステム、4098：バス線、4099：ネットワーク、4700：電子部品、4702：プリント基板、4704：実装基板、4710：半導体装置、4730：電子部品、4731：インターポーザ、4732：パッケージ基板、4733：電極、4735：半導体装置、4800：半導体ウェハ、4800a：チップ、4801：ウェハ、4801a：ウェハ、4802：回路部、4803：スペーシング、4803a：スペーシング

【図面】

【図1】



【図2A】



10

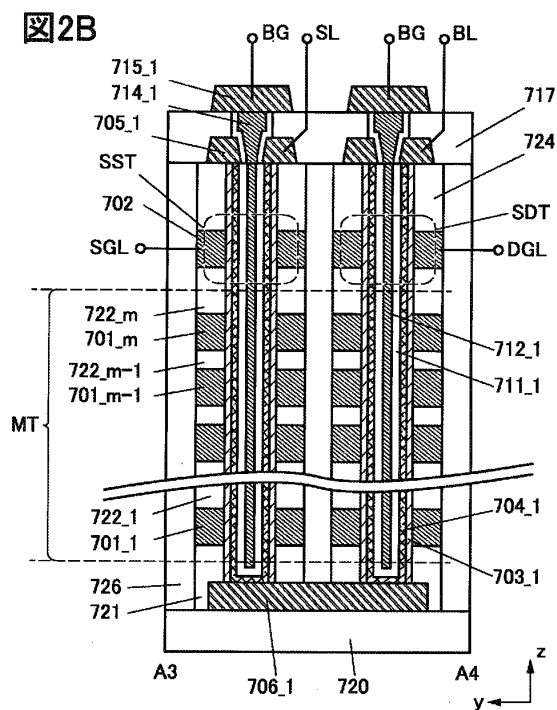
20

30

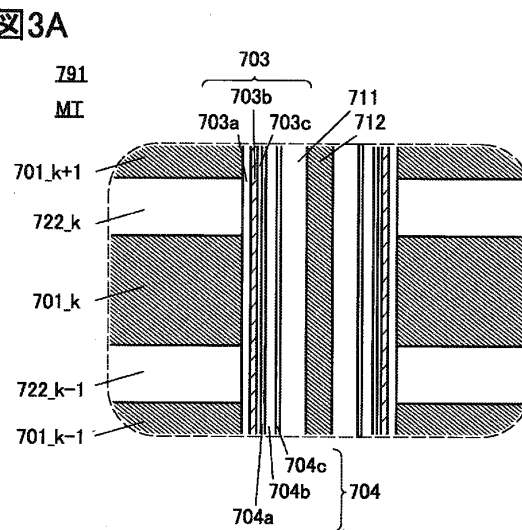
40

50

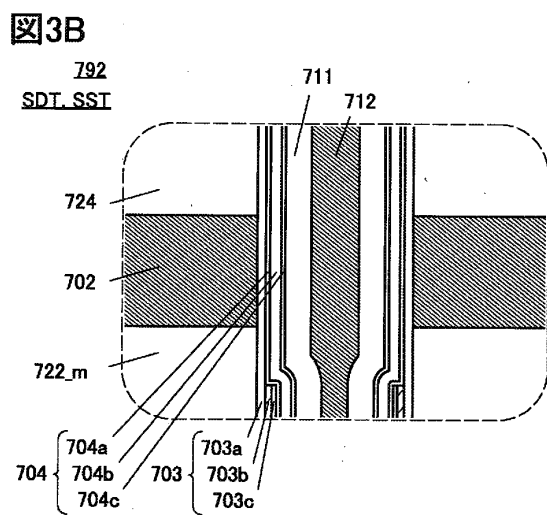
【図 2 B】



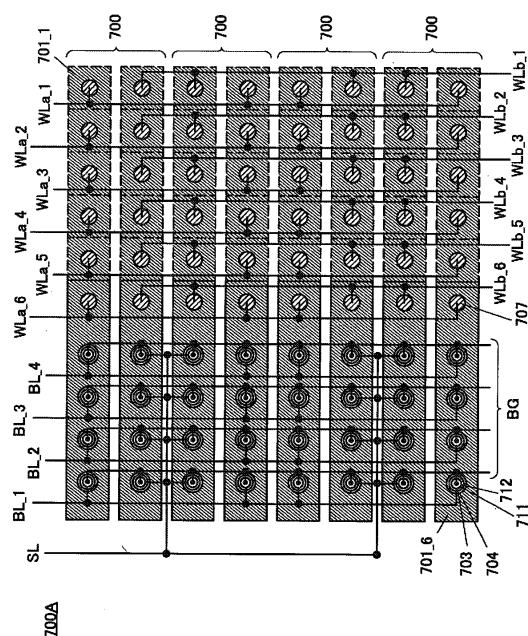
【図 3 A】



【図 3 B】



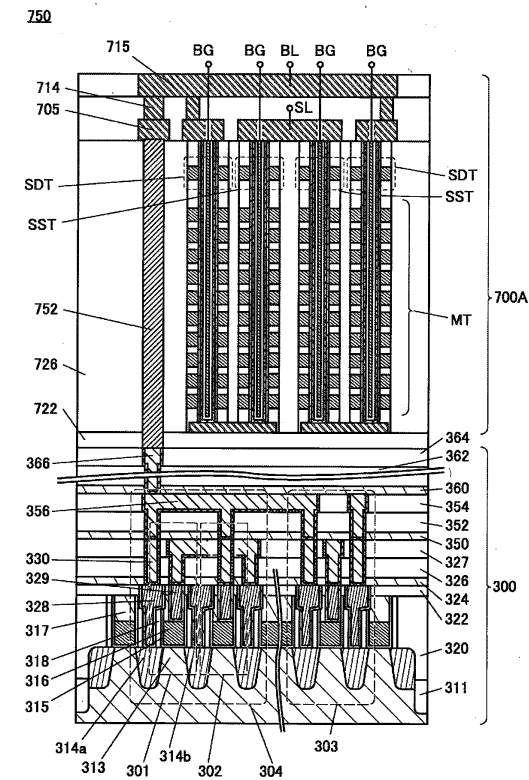
【図 4】



4.

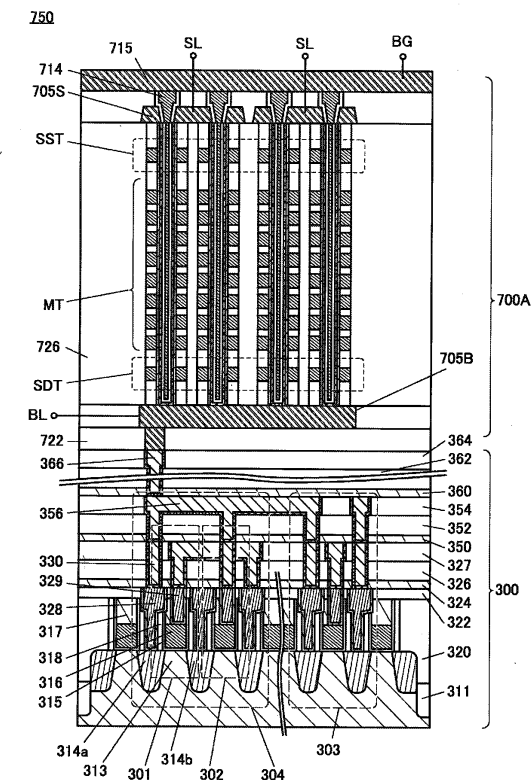
【図 5】

図5



【図 6】

図6



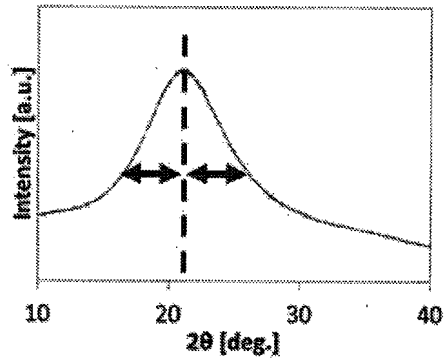
【図 7 A】

図7A

Amorphous	Crystalline	Crystal
completely amorphous	•CAAC •nc •CAC	•single crystal •poly crystal

【図 7 B】

図7B



10

20

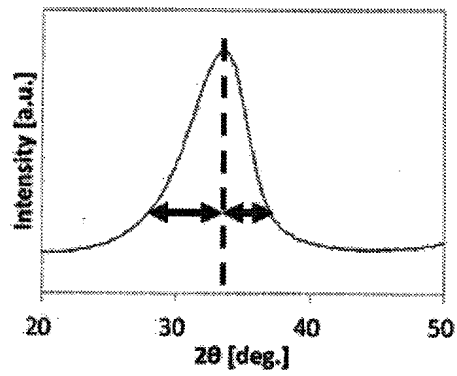
30

40

50

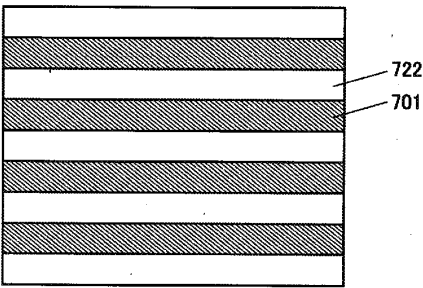
【図 7 C】

図7C



【図 8 A】

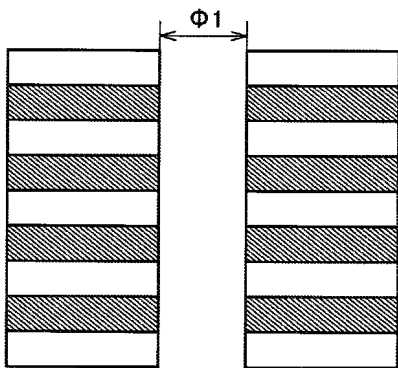
図8A



10

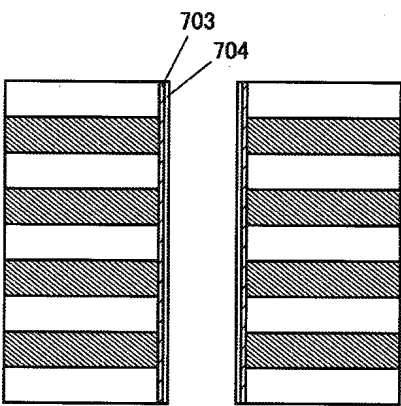
【図 8 B】

図8B



【図 9 A】

図9A



20

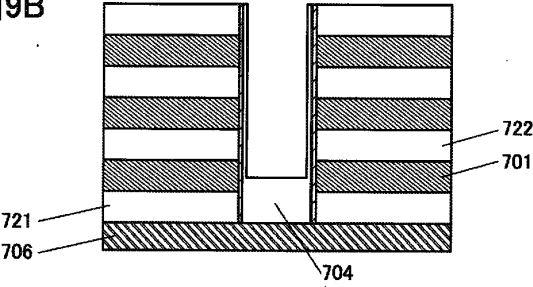
30

40

50

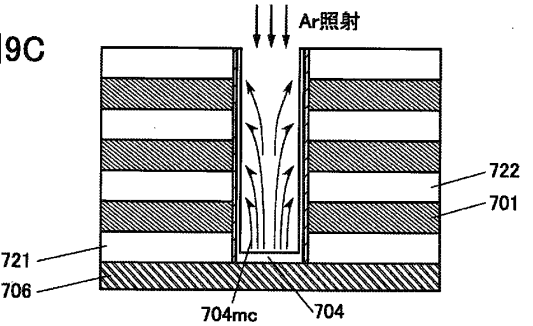
【図 9 B】

図9B



【図 9 C】

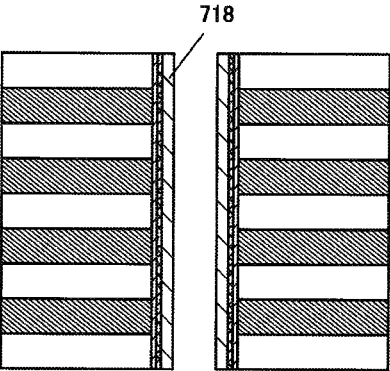
図9C



10

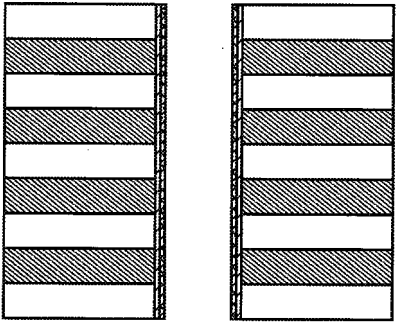
【図 1 0 A】

図10A



【図 1 0 B】

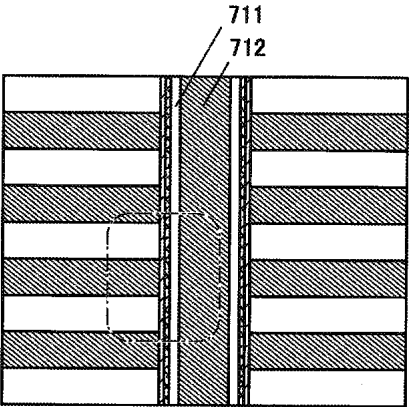
図10B



20

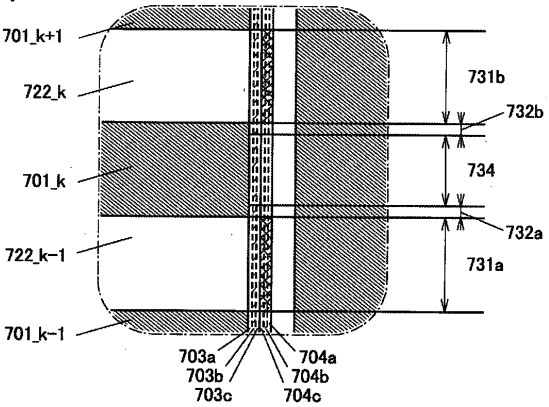
【図 1 1 A】

図11A



【図 1 1 B】

図11B



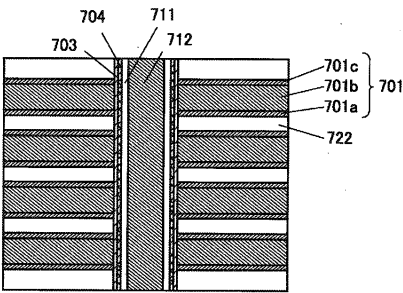
30

40

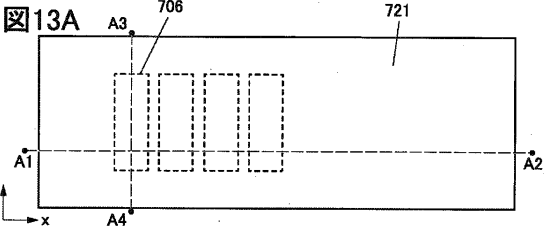
50

【図 1 2】

図12



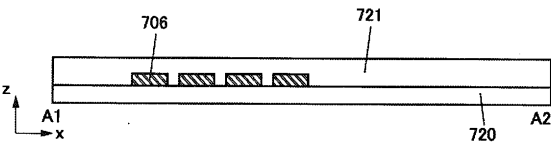
【図 1 3 A】



10

【図 1 3 B】

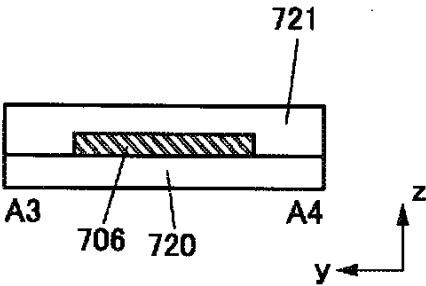
図13B



20

【図 1 3 C】

図13C

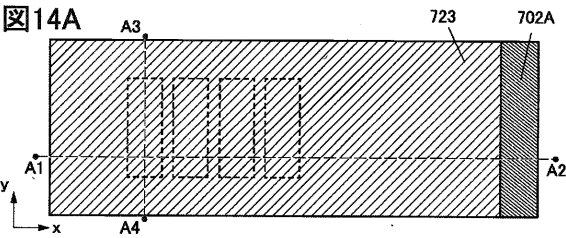


30

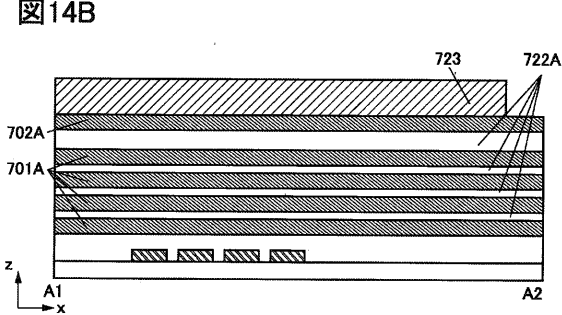
40

50

【図 1 4 A】

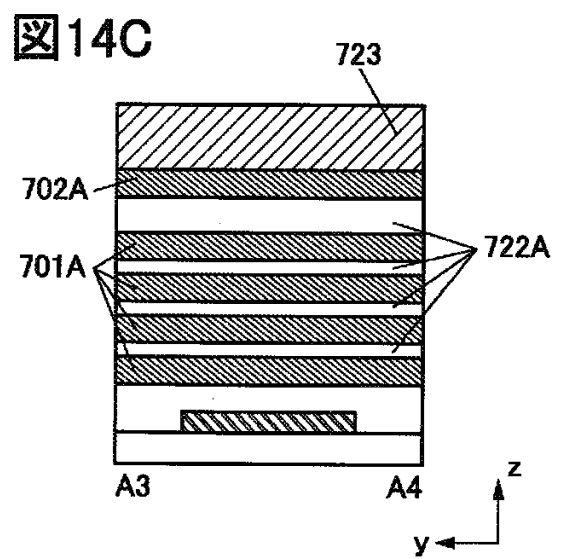


【図 1 4 B】

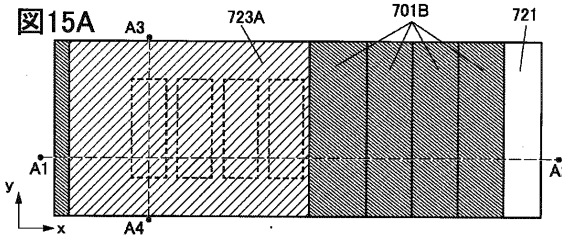


10

【図 1 4 C】



【図 1 5 A】



20

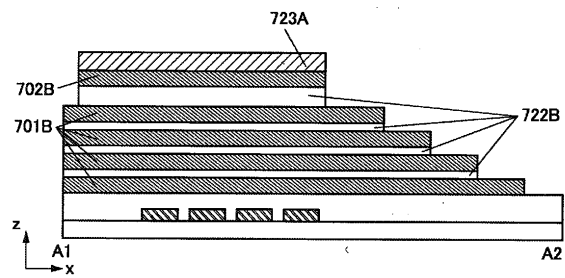
30

40

50

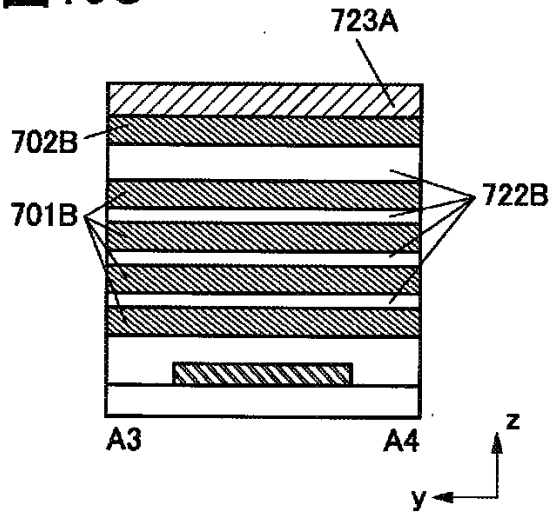
【図 1 5 B】

図15B



【図 1 5 C】

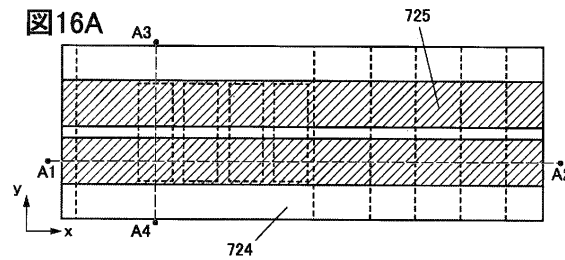
図15C



10

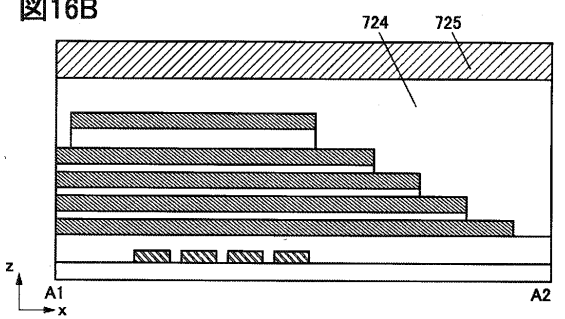
【図 1 6 A】

図16A



【図 1 6 B】

図16B



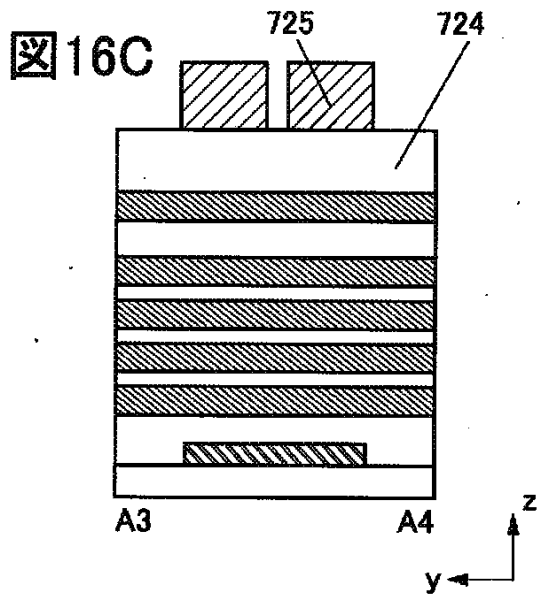
20

30

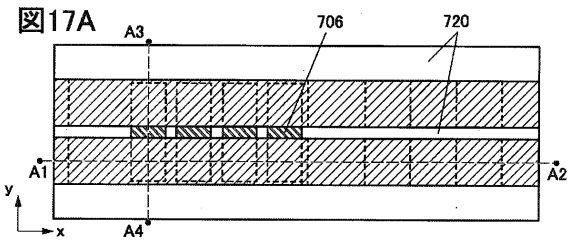
40

50

【図 16 C】

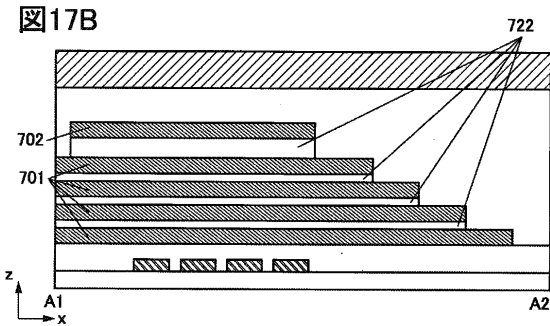


【図 17 A】

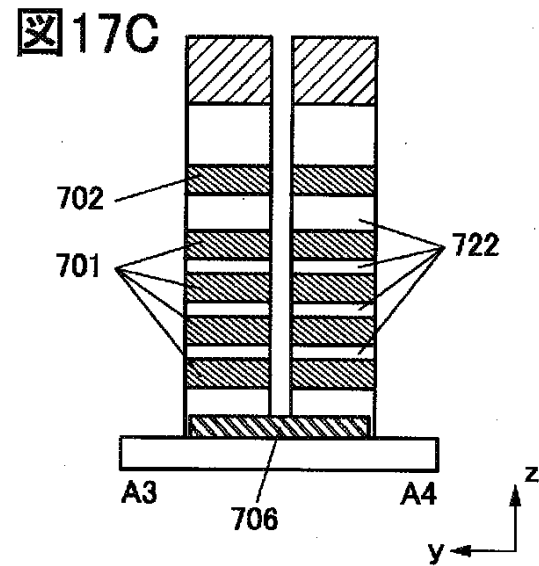


10

【図 17 B】



【図 17 C】



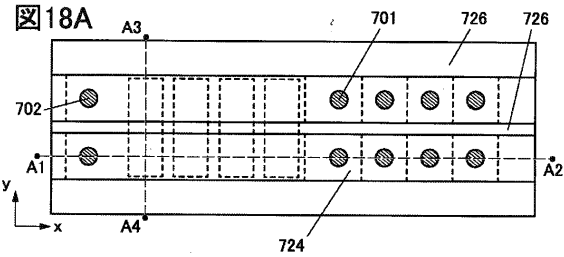
20

30

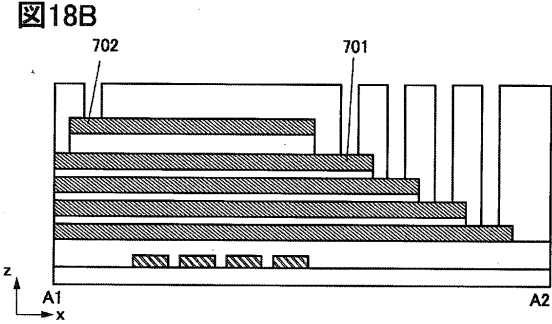
40

50

【図 18 A】

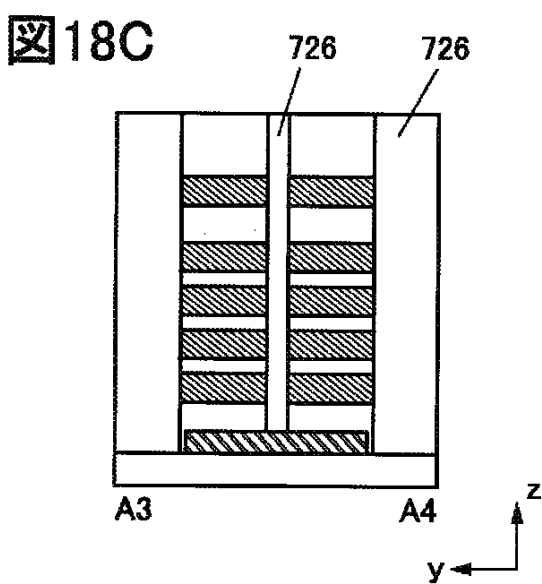


【図 18 B】

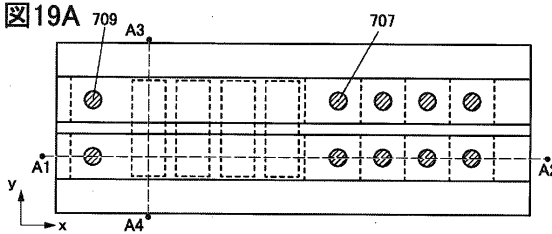


10

【図 18 C】



【図 19 A】



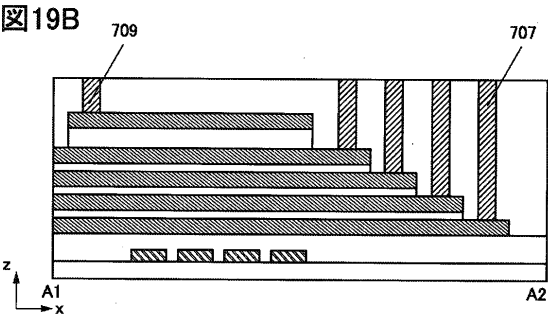
20

30

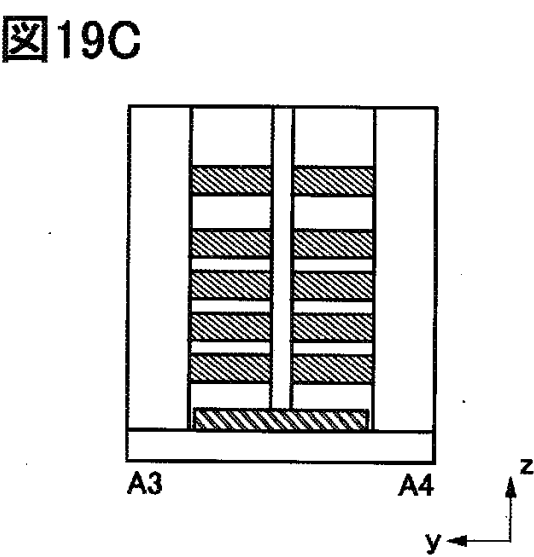
40

50

【図 19 B】

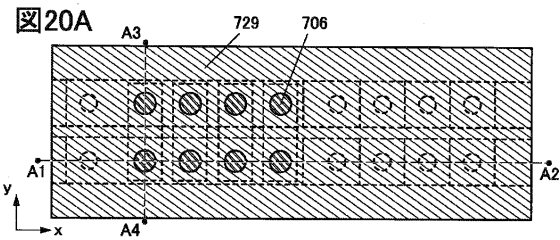


【図 19 C】

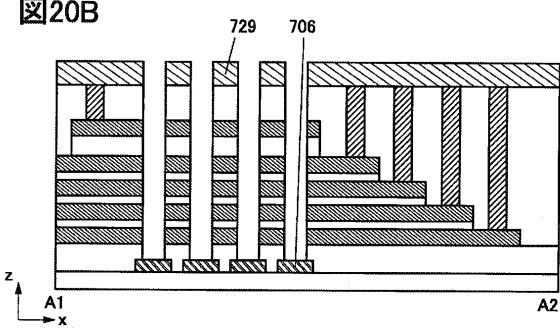


10

【図 20 A】



【図 20 B】



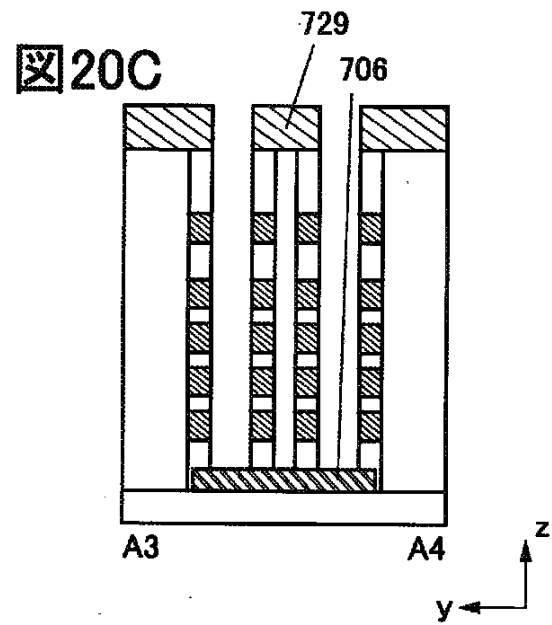
20

30

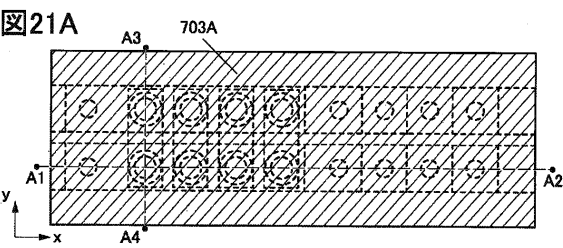
40

50

【図 2 0 C】



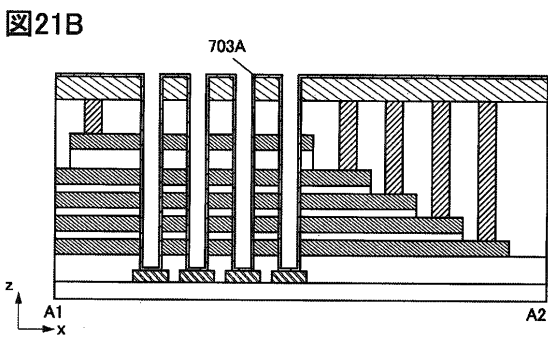
【図 2 1 A】



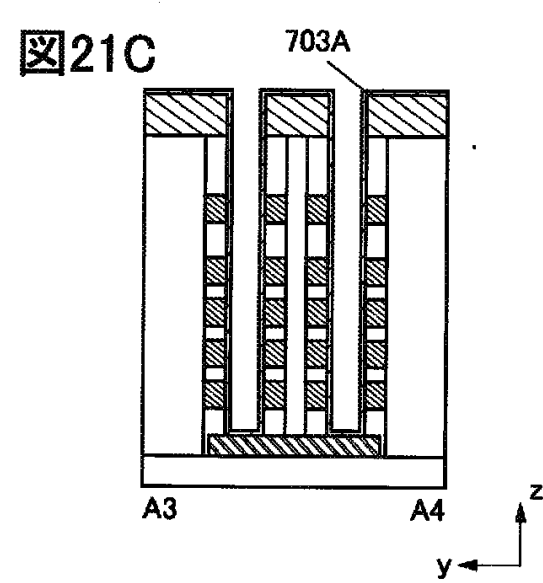
10

20

【図 2 1 B】



【図 2 1 C】

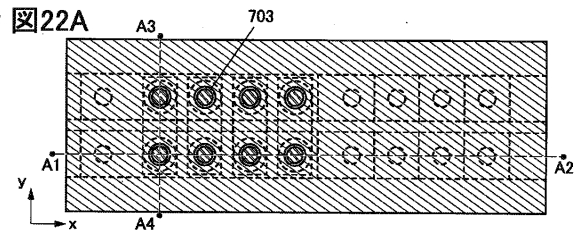


30

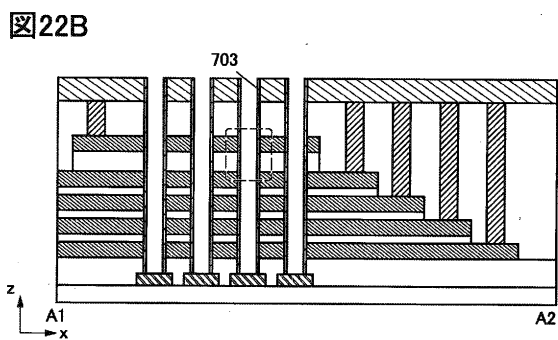
40

50

【図 2 2 A】

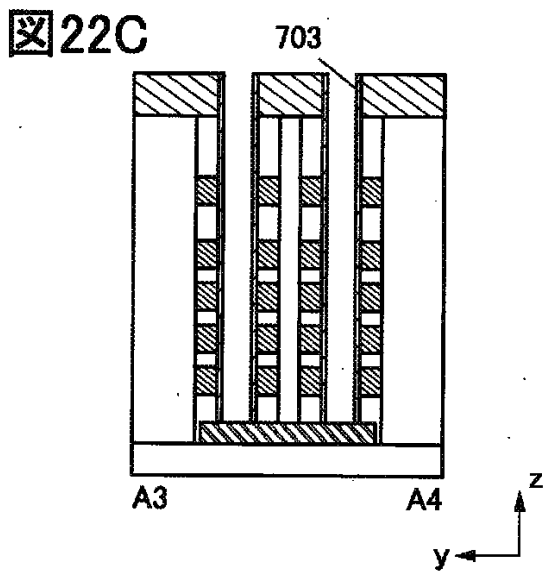


【図 2 2 B】

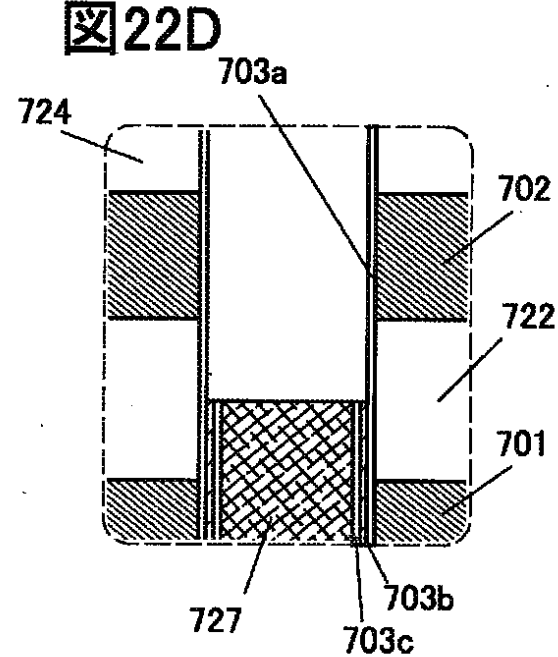


10

【図 2 2 C】



【図 2 2 D】



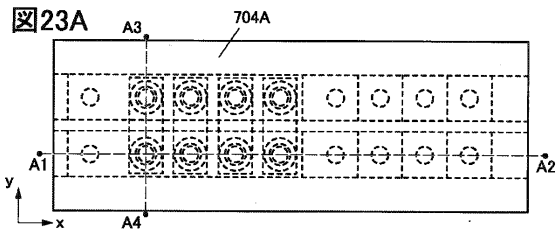
20

30

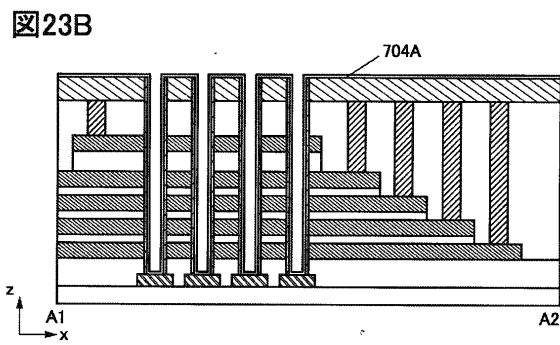
40

50

【図 2 3 A】

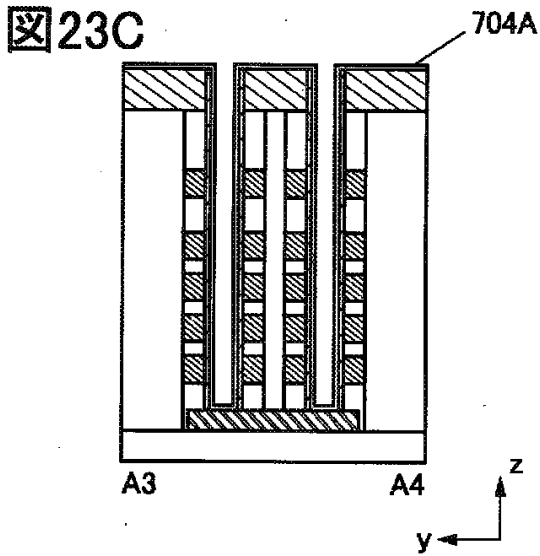


【図 2 3 B】

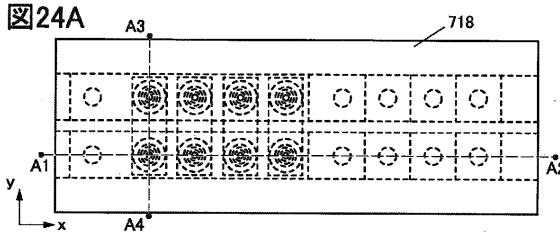


10

【図 2 3 C】



【図 2 4 A】



20

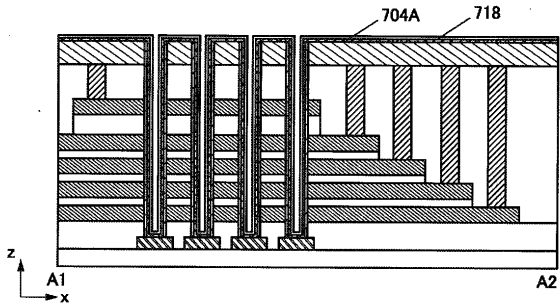
30

40

50

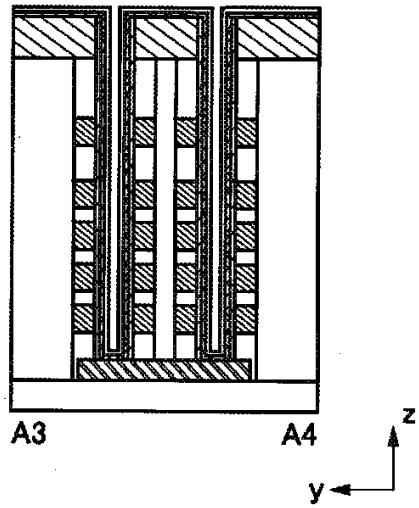
【図 2 4 B】

図24B



【図 2 4 C】

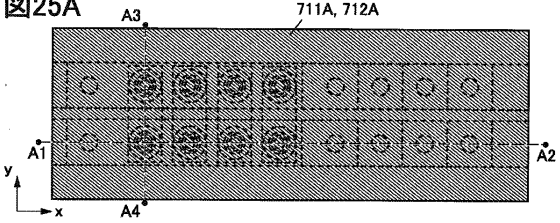
図24C



10

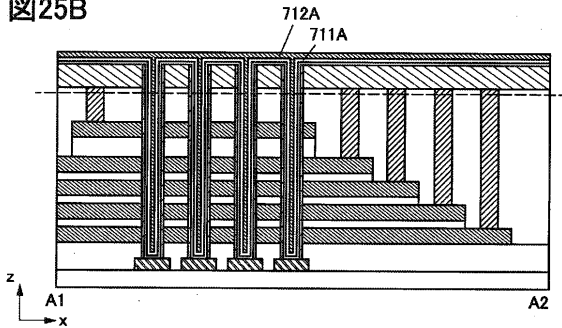
【図 2 5 A】

図25A



【図 2 5 B】

図25B

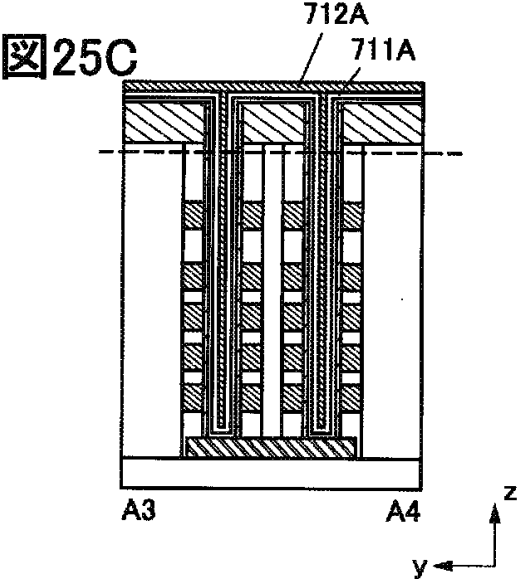


30

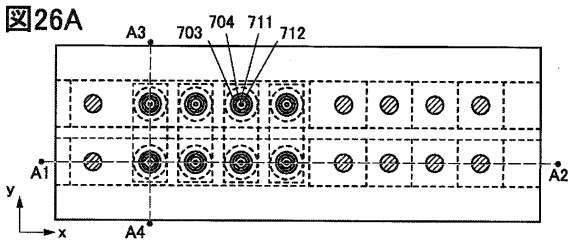
40

50

【図 2 5 C】

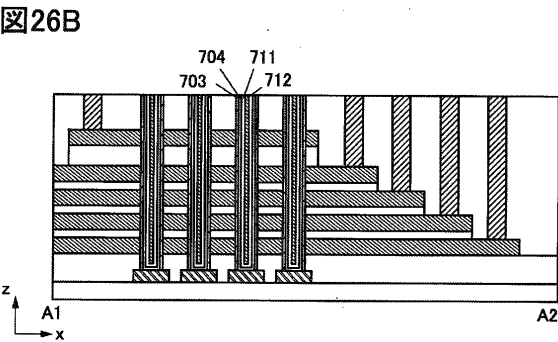


【図 2 6 A】



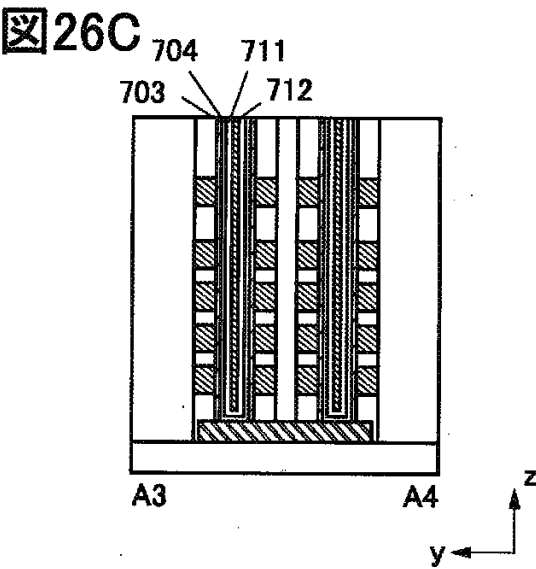
10

【図 2 6 B】



20

【図 2 6 C】

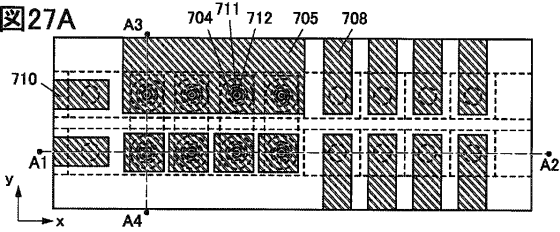


30

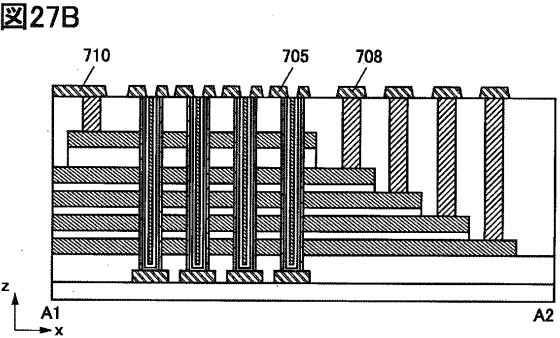
40

50

【図 2 7 A】

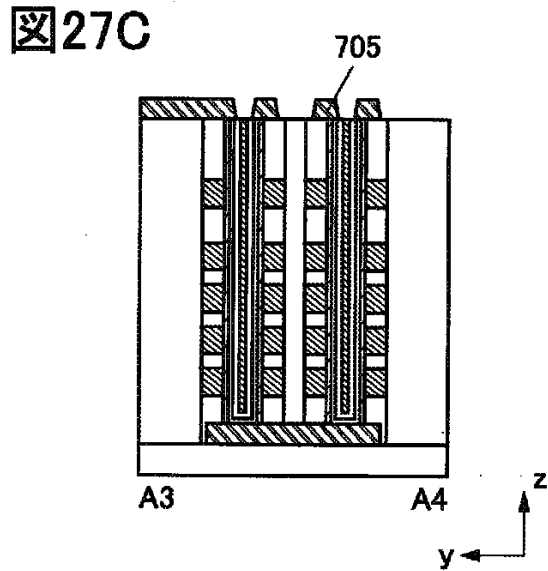


【図 2 7 B】

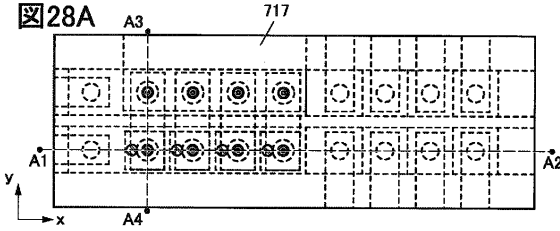


10

【図 2 7 C】



【図 2 8 A】



20

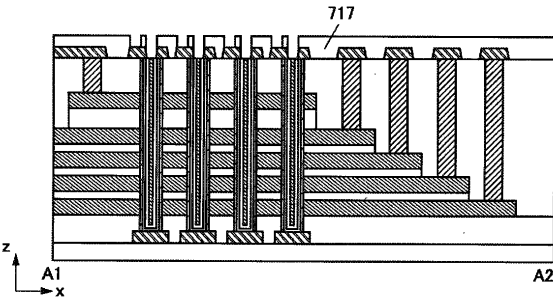
30

40

50

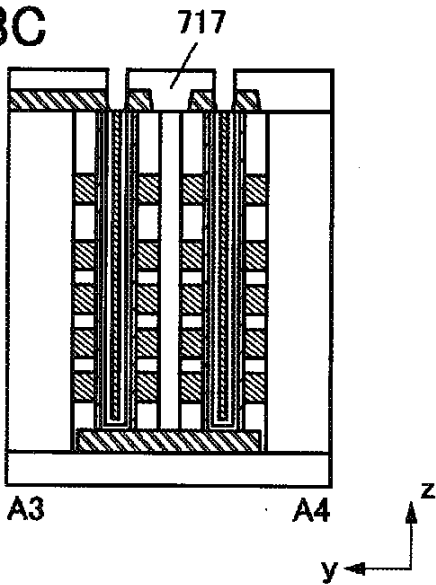
【図 28 B】

図28B



【図 28 C】

図28C

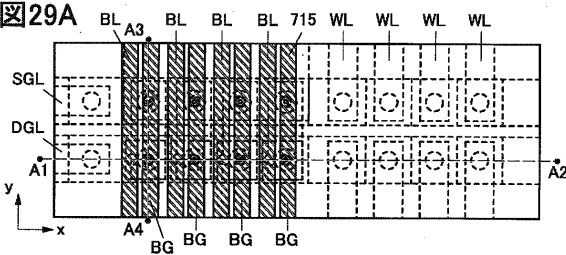


10

20

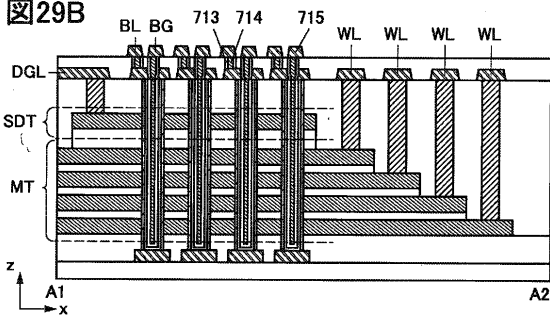
【図 29 A】

図29A



【図 29 B】

図29B



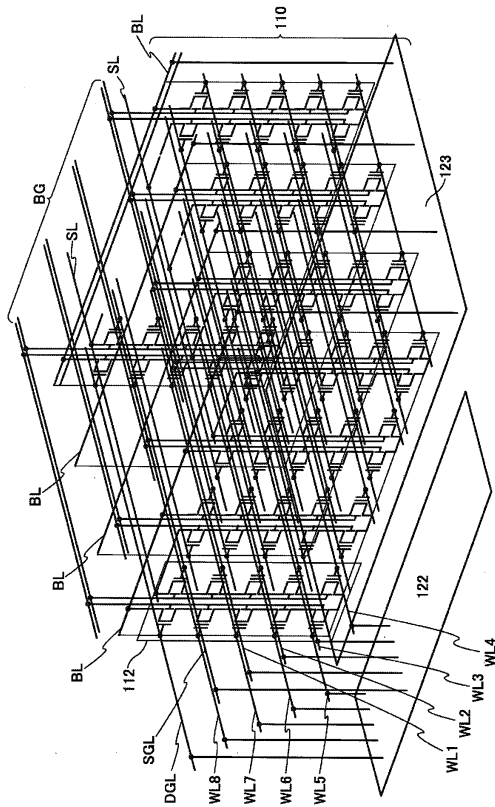
30

40

50

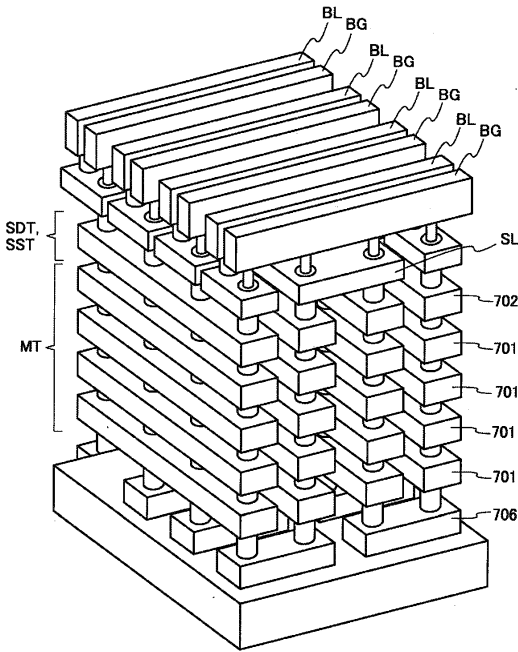
【図 3 2】

図32



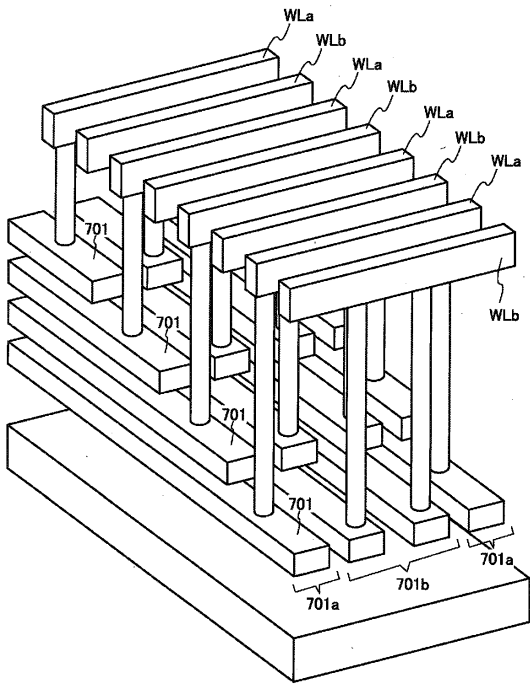
【図 3 3】

図33

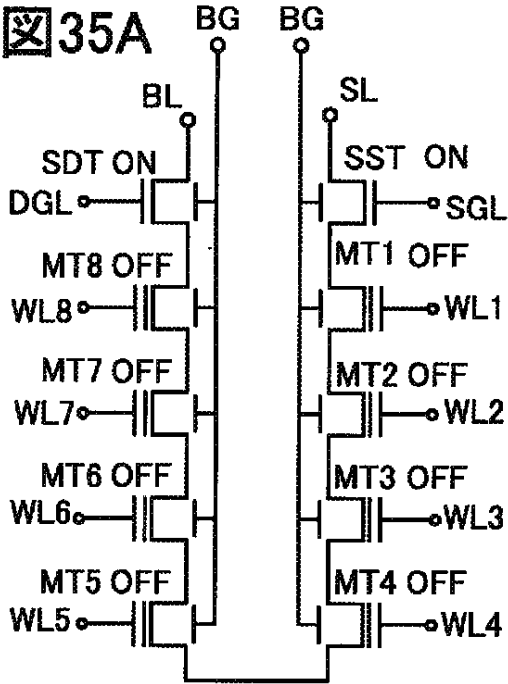


【図 3 4】

図34



【図 3 5 A】



10

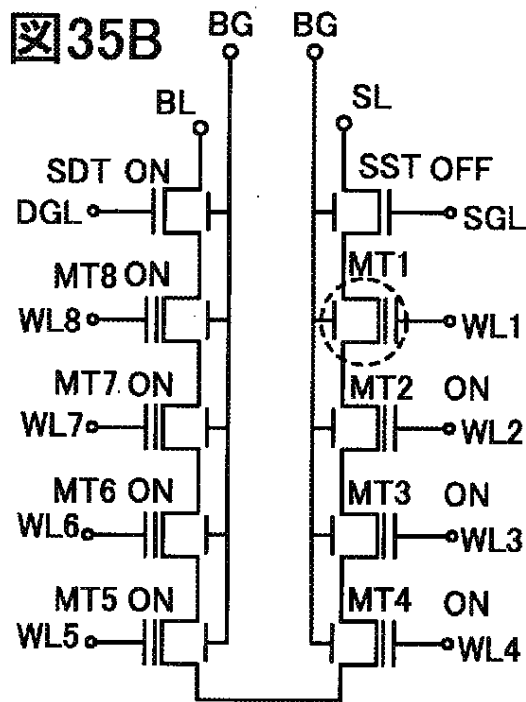
20

30

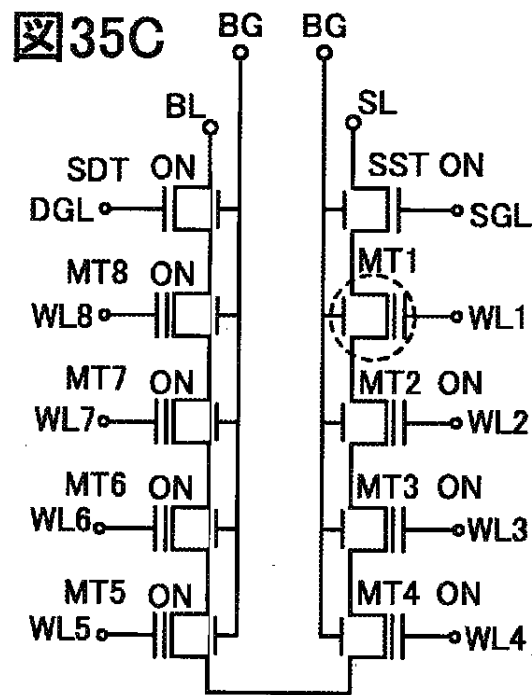
40

50

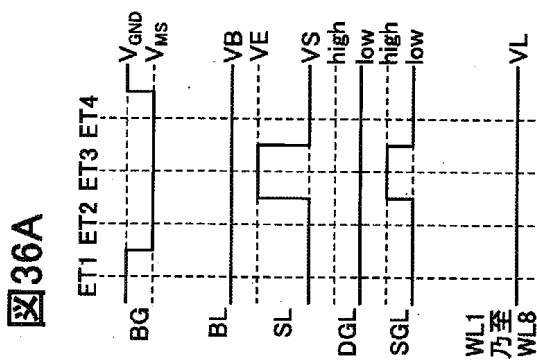
【図 3 5 B】



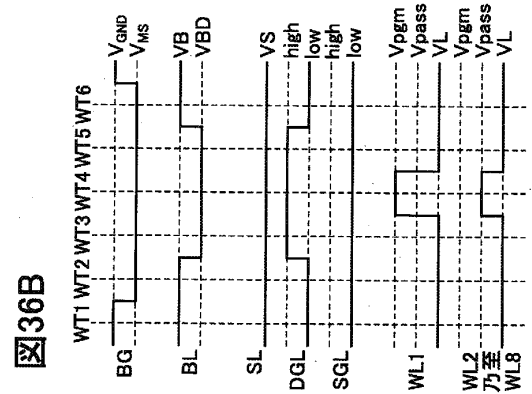
【図 3 5 C】



【図 3 6 A】



【図 3 6 B】



10

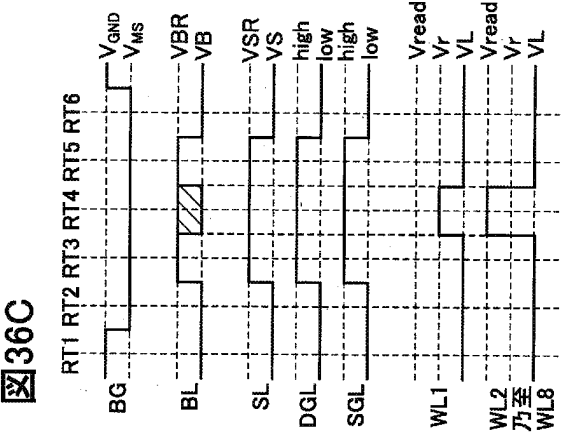
20

30

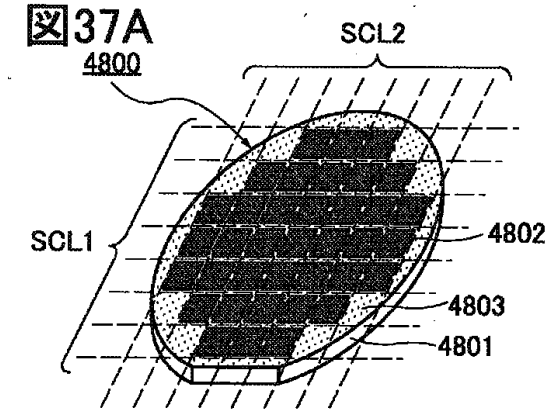
40

50

【図 3 6 C】



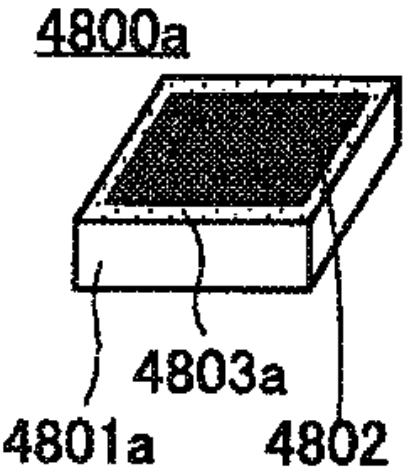
【図 3 7 A】



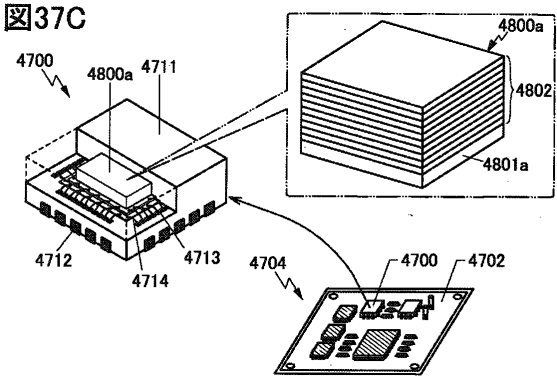
10

【図 3 7 B】

図 37B



【図 3 7 C】



20

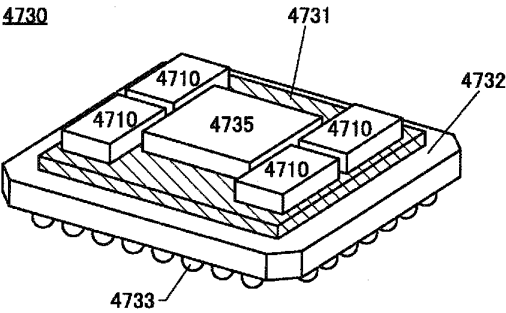
30

40

50

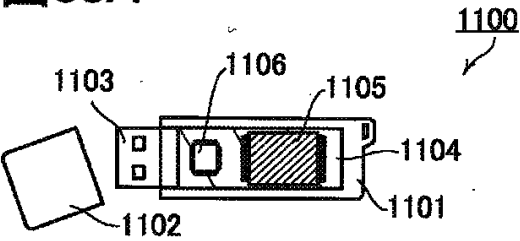
【図 3 7 D】

図37D
4730



【図 3 8 A】

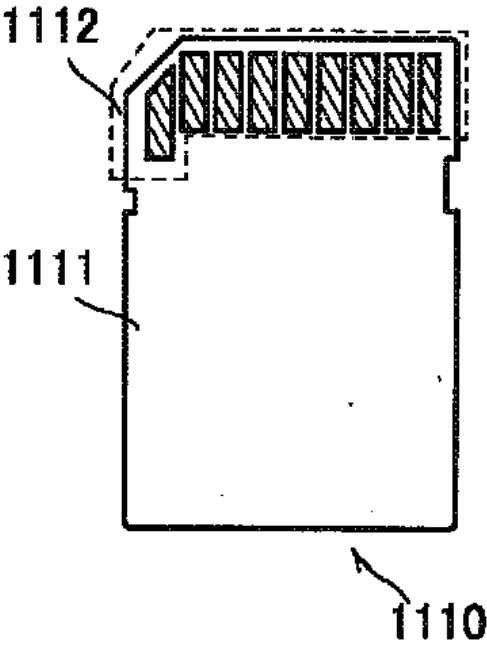
図38A



10

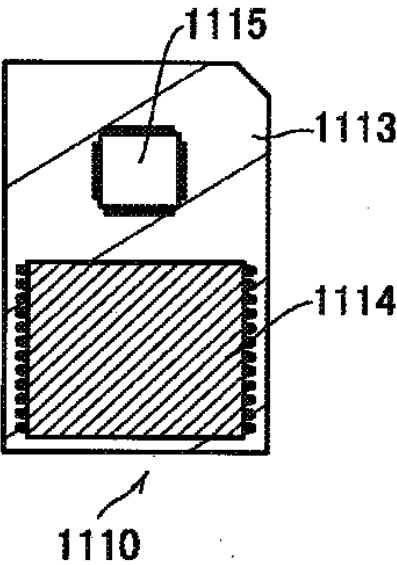
【図 3 8 B】

図38B



【図 3 8 C】

図38C



20

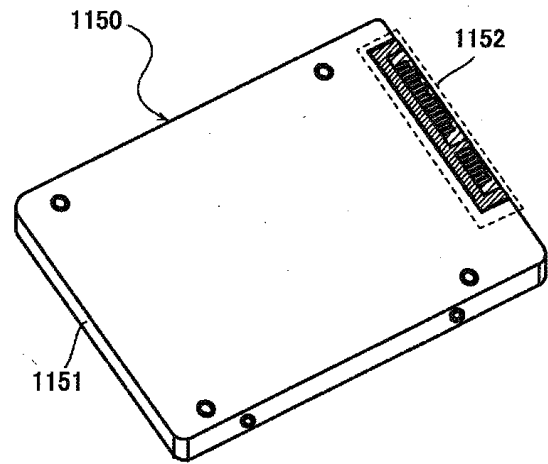
30

40

50

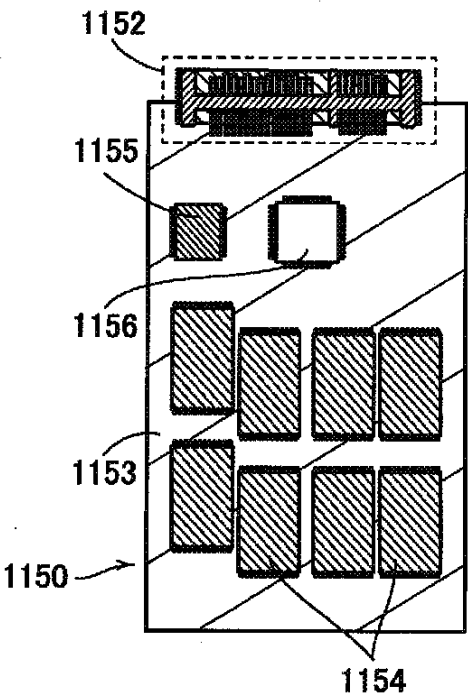
【図 3 8 D】

図38D



【図 3 8 E】

図38E

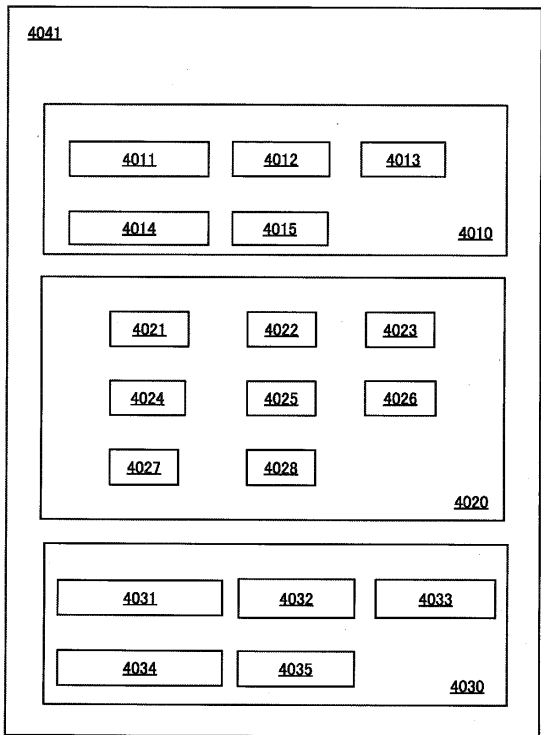


10

20

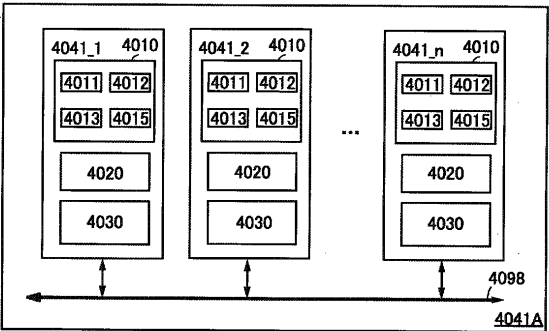
【図 3 9】

図39



【図 4 0 A】

図40A



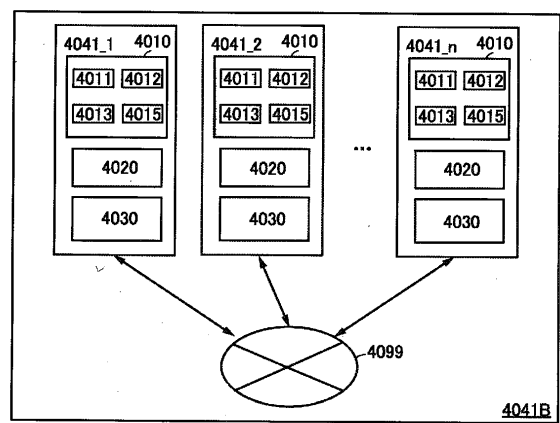
30

40

50

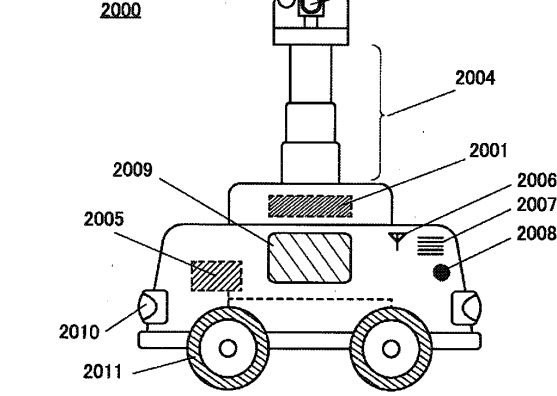
【図 4 0 B】

図40B



【図 4 1 A】

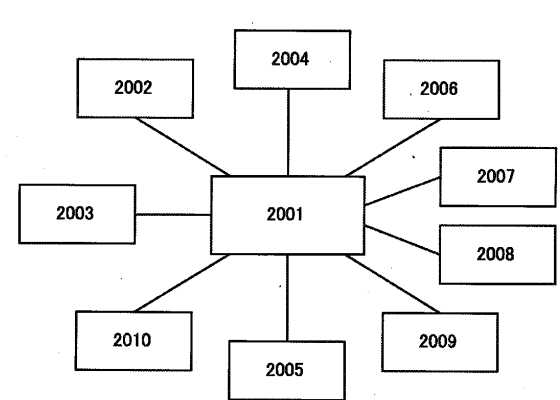
図41A



10

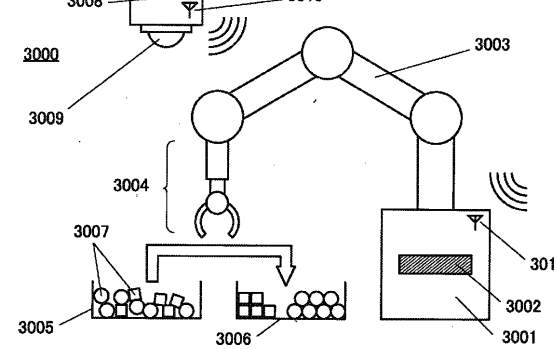
【図 4 1 B】

図41B



【図 4 2 A】

図42A



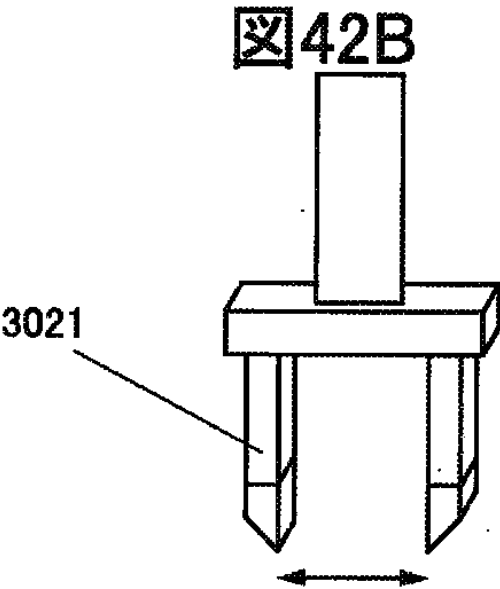
20

30

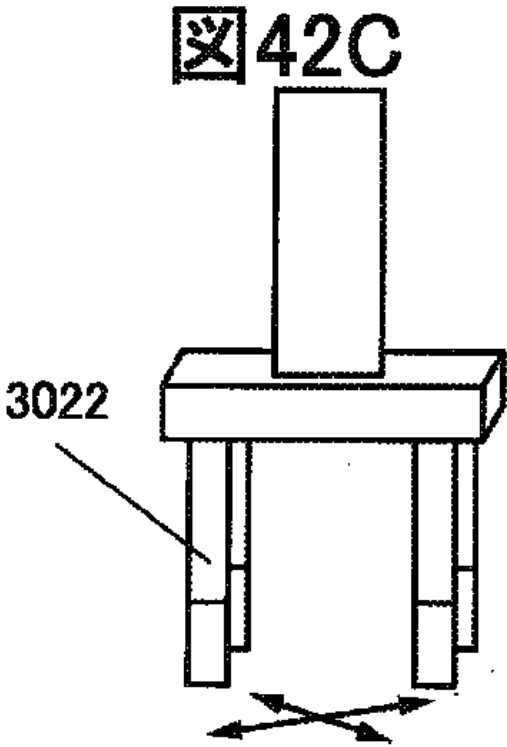
40

50

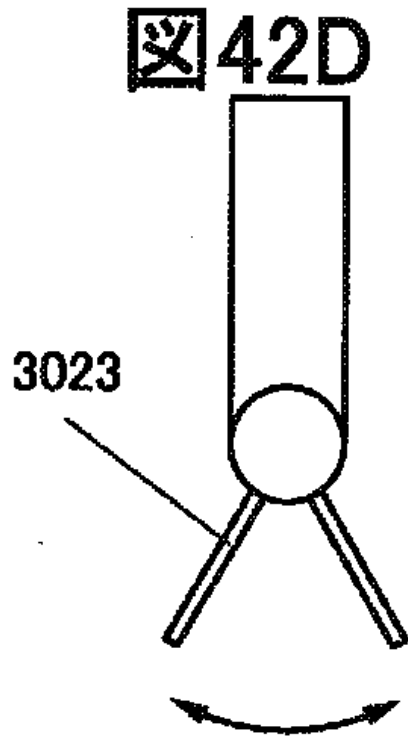
【図 4 2 B】



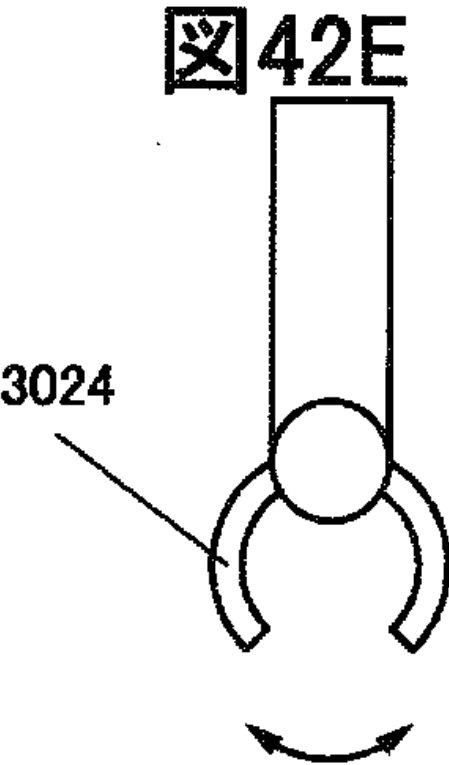
【図 4 2 C】



【図 4 2 D】



【図 4 2 E】



10

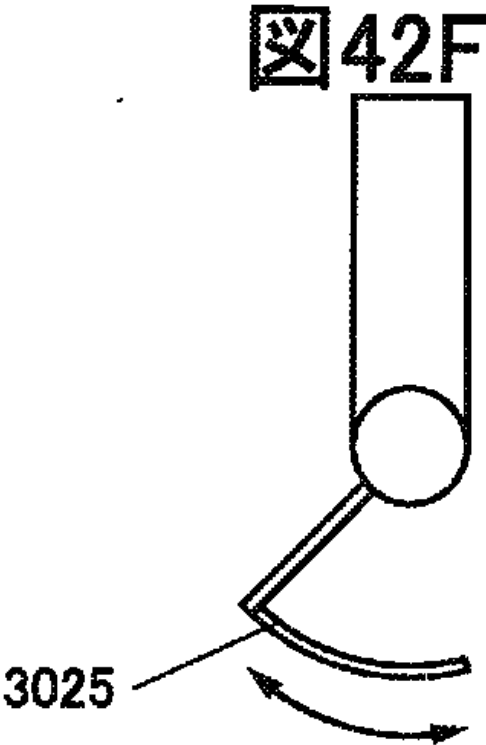
20

30

40

50

【図 4 2 F】



10

20

30

40

50

フロントページの続き

(51)国際特許分類 F I
H 0 1 L 29/786 (2006.01) H 0 1 L 29/78 6 2 6 A

n a t i o n a l E L E C T R O N D E V I C E S m e e t i n g 2 0 1 8 T E C H N I C A L D I G E
S T, 3 1 2 - 3 1 5 発行年月日 平成30年12月1日 [集会名] 2 0 1 8 I E E E I n t e r n a t
i o n a l E l e c t r o n D e v i c e s M e e t i n g 開催日 平成30年12月1日-5日

審査官 加藤 俊哉

(56)参考文献 特開2019-012822 (JP, A)
特開2014-017477 (JP, A)
特開2016-225614 (JP, A)
特開2012-069932 (JP, A)

(58)調査した分野 (Int.Cl., DB名)
H 1 0 B 4 3 / 2 7
H 1 0 B 4 3 / 5 0
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 8
H 0 1 L 2 9 / 7 9 2
H 0 1 L 2 9 / 7 8 6