

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 6 月 13 日 (13.06.2024)



(10) 国际公布号
WO 2024/119503 A1

- (51) 国际专利分类号:
G09G 3/3225 (2016.01) **H01L 27/12** (2006.01)
- (21) 国际申请号: PCT/CN2022/138079
- (22) 国际申请日: 2022 年 12 月 9 日 (09.12.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 京东方科技集团股份有限公司(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司(**CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号, Sichuan 611731 (CN)。
- (72) 发明人: 王铸(**WANG, Zhu**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。尚延阳(**SHANG, Yanyang**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。闫政龙(**YAN, Zhenglong**); 中国北京市北京经济技术

术开发区地泽路 9 号, Beijing 100176 (CN)。石领(**SHI, Ling**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

- (74) 代理人: 北京中博世达专利商标代理有限公司(**BEIJING ZBSD PATENT & TRADEMARK AGENT LTD.**); 中国北京市海淀区交大东路 31 号 11 号楼 8 层, Beijing 100044 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚

(54) **Title:** PIXEL CIRCUIT AND DRIVING METHOD THEREFOR, AND ARRAY SUBSTRATE AND DISPLAY APPARATUS

(54) 发明名称: 像素电路及其驱动方法、阵列基板、显示装置

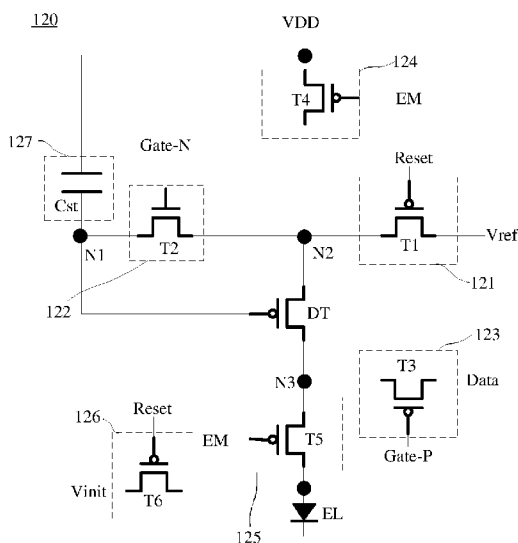


图 7A

(57) **Abstract:** A pixel circuit, comprising a driving transistor, a reset sub-circuit, an anti-electric-leakage sub-circuit and a data writing sub-circuit. The reset sub-circuit is electrically connected to a first scanning signal end, a reference voltage signal end, and a first electrode of the driving transistor, and is configured to transmit a reference voltage signal to the first electrode of the driving transistor under the control of a first scanning signal. The anti-electric-leakage sub-circuit is electrically connected to a second scanning signal end, and the first electrode and a control electrode of the driving transistor, and is configured to connect the first electrode of the driving transistor to the control electrode thereof under the control of a second scanning signal. The data writing sub-circuit is electrically connected to a third scanning signal end, a data signal end, and a second electrode of the driving transistor, and is configured to transmit a data signal to the second electrode of the driving transistor under the control of a third scanning signal. When the anti-electric-leakage sub-circuit is turned on, the reset sub-circuit and the data writing sub-circuit are turned on in sequence. When the anti-electric-leakage sub-circuit is turned off, the reset sub-circuit is turned on at least once.

(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：
— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种像素电路，包括驱动晶体管、重置子电路、防漏电子电路和数据写入子电路。重置子电路与第一扫描信号端、基准电压信号端和驱动晶体管的第一极电连接，被配置为在第一扫描信号的控制下，将基准电压信号传输至驱动晶体管的第一极。防漏电子电路与第二扫描信号端、驱动晶体管的第一极和控制极电连接，被配置为在第二扫描信号的控制下，将驱动晶体管的第一极与控制极连通。数据写入子电路与第三扫描信号端、数据信号端和驱动晶体管的第二极电连接，被配置为在第三扫描信号的控制下，将数据信号传输至驱动晶体管的第二极。其中，在防漏电子电路开启时，重置子电路和数据写入子电路依次开启。在防漏电子电路关闭时，重置子电路开启至少一次。

像素电路及其驱动方法、阵列基板、显示装置

技术领域

本公开涉及显示技术领域，尤其涉及一种像素电路及其驱动方法、阵列基板、显示装置。

背景技术

有机发光二极管（英文全称：Organic Light-Emitting Diode；简称：OLED）显示面板具有主动发光、广视角、对比度高、响应速度快、耗电低等优点，广泛应用于手机、平板电脑、数码相机等显示产品，因此受到广泛关注。

发明内容

一方面，提供一种像素电路。所述像素电路包括驱动晶体管、重置子电路、防漏电子电路和数据写入子电路。所述驱动晶体管包括控制极、第一极和第二极。所述重置子电路与第一扫描信号端、基准电压信号端和所述驱动晶体管的第一极电连接，被配置为在来自所述第一扫描信号端的第一扫描信号的控制下，将来自所述基准电压信号端的基准电压信号传输至所述驱动晶体管的第一极。所述防漏电子电路与第二扫描信号端、所述驱动晶体管的第一极和所述驱动晶体的控制极电连接，被配置为在来自所述第二扫描信号端的第二扫描信号的控制下，将所述驱动晶体管的第一极与控制极连通。所述数据写入子电路与第三扫描信号端、数据信号端和所述驱动晶体的第二极电连接，被配置为在来自所述第三扫描信号端的第三扫描信号的控制下，将来自所述数据信号端的数据信号传输至所述驱动晶体的第二极。其中，在所述防漏电子电路开启时，所述重置子电路和所述数据写入子电路依次开启。在所述防漏电子电路关闭时，所述重置子电路开启至少一次。

在一些实施例中，所述重置子电路包括第一晶体管，所述防漏电子电路包括第二晶体管，所述数据写入子电路包括第三晶体管。所述第一晶体管的控制极与所述第一扫描信号端电连接，第一极与所述基准电压信号端电连接，第二极与所述驱动晶体管的第一极电连接。所述第二晶体管的控制极与所述第二扫描信号端电连接，第一极与所述驱动晶体管的第一极电连接，第二极与所述驱动晶体的控制极电连接。所述第三晶体管的控制极与所述第三扫描信号端电连接，第一极与所述数据信号端电连接，第二极与所述驱动晶体的第二极电连接。

在一些实施例中，所述第二晶体管为金属氧化物薄膜晶体管。所述第一晶体管、所述第三晶体管和所述驱动晶体管为低温多晶硅薄膜晶体管。

在一些实施例中，在所述防漏电子电路关闭时，所述重置子电路开启一次或两次。

在一些实施例中，在所述防漏电子电路关闭时，所述数据写入子电路开启至少一次，且所述数据信号端输出第一复位电压信号。

在一些实施例中，所述像素电路还包括第一控制子电路、第二控制子电路、复位子电路和储能子电路。所述第一控制子电路与发光控制信号端、第一电压信号端和所述驱动晶体管的第一极电连接，被配置为在来自所述发光控制信号端的发光控制信号的控制下，将来自所述第一电压信号端的第一电压信号传输至所述驱动晶体管的第一极。所述第二控制子电路与所述发光控制信号端、所述驱动晶体管的第二极和发光器件电连接，被配置为在所述发光控制信号的控制下，将来自所述驱动晶体管的驱动电流传输至所述发光器件。所述复位子电路与所述第一扫描信号端、初始化信号端和所述发光器件电连接，被配置为在所述第一扫描信号的控制下，将来自所述初始化信号端的初始化信号传输至所述发光器件。所述储能子电路与所述驱动晶体管的控制极和所述第一电压信号端电连接，被配置为维持所述驱动晶体管的控制极的电压。

在一些实施例中，所述第一控制子电路包括第四晶体管，所述第二控制子电路包括第五晶体管，所述复位子电路包括第六晶体管，所述储能子电路包括存储电容器。所述第四晶体管的控制极与所述发光控制信号端电连接，第一极与所述第一电压信号端电连接，第二极与所述驱动晶体管的第一极电连接。所述第五晶体管的控制极与所述发光控制信号端电连接，第一极与所述驱动晶体管的第二极电连接，第二极与所述发光器件电连接。所述第六晶体管的控制极与所述第一扫描信号端电连接，第一极与所述初始化信号端电连接，第二极与所述发光器件电连接。所述存储电容器的第一极板与所述驱动晶体管的控制极电连接，第二极板与所述第一电压信号端电连接。

另一方面，还提供一种像素电路的驱动方法，所述驱动方法用于驱动上述任一实施例中所述的像素电路。一个显示帧包括复位阶段、数据写入阶段和第一重置阶段。所述驱动方法包括：在所述复位阶段，第一扫描信号端和第二扫描信号端输出工作电平，第三扫描信号端输出非工作电平；来自基准电压信号端的基准电压信号经重置子电路和防漏电子电路传输至驱动晶体管的控制极。在所述数据写入阶段，所述第一扫描信号端输出非工作电平，所述第二扫描信号端和所述第三扫描信号端输出工作电平，所述数据信号端输出数据信号。所述数据信号经数据写入子电路传输至所述驱动晶体管的第二

极，且所述驱动晶体管的控制极写入所述数据信号和阈值电压。在所述第一重置阶段，所述第一扫描信号端输出至少一次工作电平，所述第二扫描信号端输出非工作电平。所述基准电压信号经所述重置子电路传输至所述驱动晶体管的第一极。

在一些实施例中，所述像素电路包括第一刷新频率和第二刷新频率，所述第一刷新频率小于所述第二刷新频率。在所述第一刷新频率下，所述像素电路在一个显示帧还包括在所述第一重置阶段之后的发光阶段和第二重置阶段。所述驱动方法还包括：在所述发光阶段，所述第一扫描信号端、所述第二扫描信号端和所述第三扫描信号端输出非工作电平，发光控制信号端输出工作电平；来自所述驱动晶体管的驱动电流传输至发光器件。在所述第二重置阶段，所述第一扫描信号端输出工作电平，所述第二扫描信号端、所述第三扫描信号端和所述发光控制信号端输出非工作电平；来自基准电压信号端的基准电压信号经所述重置子电路传输至所述驱动晶体管的第一极。

在一些实施例中，来自基准电压信号端的基准电压信号在所述第一重置阶段的电压值为第一基准电压信号值，在所述第二重置阶段的电压值为第二基准电压信号值。所述第一基准电压信号值等于所述第二基准电压信号值，且所述第一基准电压信号值和所述第二基准电压信号值为负值。或者，所述第一基准电压信号值小于所述第二基准电压信号值，所述第一基准电压信号值为负值，所述第二基准电压信号值大于来自第一电压信号端的第一电压信号的电压值。

又一方面，还提供了一种阵列基板。所述阵列基板包括衬底和设置于衬底上且阵列式布置的多个像素电路。像素电路为上述任一实施例中所述的像素电路。

在一些实施例中，像素电路包括驱动晶体管、第一晶体管、第三晶体管和存储电容器。所述阵列基板还包括设置于衬底上的第一半导体层、第一栅导电层和第二栅导电层。所述第一半导体层包括所述第一晶体管的第一半导体图案、所述第三晶体管的第三半导体图案和所述驱动晶体管的第七半导体图案，其中，第三半导体图案和所述第七半导体图案相连，且与所述第一半导体图案具有间隔。所述第一栅导电层位于所述第一半导体层远离所述衬底的一侧，包括第一扫描信号线、第三扫描信号线和所述存储电容器的第一极板。所述第二栅导电层位于所述第一栅导电层远离所述衬底的一侧，包括所述存储电容器的第二极板。

在一些实施例中，所述像素电路还包括第二晶体管。所述阵列基板还包

括第二半导体层、第三栅导电层、第一源漏导电层和第二源漏导电层。所述第二半导体层位于所述第二栅导电层远离所述衬底的一侧，包括所述第二晶体管的第二半导体图案。所述第三栅导电层位于所述第二半导体层远离所述衬底的一侧，包括第二扫描信号线和基准电压信号线。所述第一源漏导电层位于所述第三栅导电层远离所述衬底的一侧，包括第一连接图案、第二连接图案和第三连接图案。所述第一连接图案与所述基准电压信号线和所述第一半导体图案的第一极连接。所述第二连接图案与所述第一半导体图案的第二极、所述第二半导体图案的第一极和所述第七半导体图案的第一极连接。所述第三连接图案与所述第二半导体图案的第二极和所述存储电容器的第一极板连接。所述第二源漏导电层位于所述第一源漏导电层远离所述衬底的一侧，包括数据线。所述数据线与所述第三半导体图案的第一极连接。所述第三半导体图案的第二极与所述第七半导体图案的第二极连接。

在一些实施例中，在向所述衬底的正投影中，所述第二半导体图案与所述第三扫描信号线部分交叠。

在一些实施例中，所述第二半导体图案包括第一部分和第二部分。在向所述衬底的正投影中，所述第一部分位于所述第二扫描信号线靠近所述存储电容器的一侧，且与所述第三扫描信号线交叠。所述第二部分与所述第一部分相连，且沿第二方向延伸。在向所述衬底的正投影中，所述第二部分与所述第二扫描信号线交叉。其中，沿所述第二方向，所述第一部分的尺寸大于所述第三扫描信号线的尺寸，且在向所述衬底的正投影中，所述第一部分的一端分别位于第三扫描信号线的两侧。所述第二方向与第一方向交叉。

在一些实施例中，所述第二连接图案沿所述第二方向延伸，在向所述衬底的正投影中，所述第二部分与所述第二连接图案交叠。

在一些实施例中，所述第二半导体图案沿第二方向延伸，在向所述衬底上的正投影中，所述第二半导体图案与所述第二连接图案相互分离。

在一些实施例中，在向所述衬底的正投影中，所述第三连接图案与所述第三扫描信号线部分交叠。

在一些实施例中，在向所述衬底上的正投影中，所述第三连接图案位于所述第三扫描信号线靠近所述存储电容器的一侧。所述第三连接图案与所述第二半导体图案部分交叠，且交叠部分位于所述第三扫描信号线靠近所述存储电容器的一侧。

在一些实施例中，所述第三扫描信号线的部分向远离所述存储电容器的一侧弯折形成凹部。所述第三连接图案与所述第二半导体图案在所述衬底上

相互交叠的部分位于所述凹部内。

在一些实施例中，所述第三半导体图案为 L 型结构。所述第三半导体图案包括第一延伸段和第二延伸段。所述第一延伸段沿第一方向延伸。所述第二延伸段沿第二方向延伸，且与所述第一延伸段相连。所述第一方向为所述多个子像素排列的行方向，所述第二方向与所述第一方向交叉。所述第三扫描信号线包括主体部和凸出部。所述主体部沿所述第一方向延伸，且所述主体部在所述衬底上的正投影，与所述第二延伸段部分交叠。所述凸出部沿所述第二方向延伸，且所述凸出部在所述衬底上的正投影，与所述第一延伸段部分交叠。

在一些实施例中，所述第二栅导电层还包括辅助第二扫描信号线。所述辅助第二扫描信号线被配置为传输第二扫描信号，在向所述衬底上的正投影中，所述辅助第二扫描信号线与所述第二扫描信号线在所述衬底上的正投影交叠。

再一方面，提供一种显示装置。所述显示装置包括发光器件和上述任一实施例中所述的阵列基板。所述发光器件设置于所述阵列基板上，所述发光器件与所述阵列基板的像素电路电连接，被配置为在所述像素电路的控制下发光。

附图说明

为了更清楚地说明本公开中的技术方案，下面将对本公开一些实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例的附图，对于本领域普通技术人员来讲，还可以根据这些附图获得其他的附图。此外，以下描述中的附图可以视作示意图，并非对本公开实施例所涉及的产品的实际尺寸、方法的实际流程、信号的实际时序等的限制。

图 1 为根据一些实施例的显示面板的一种结构图；

图 2 为根据一些实施例的显示面板的另一种结构图；

图 3 为根据一些实施例的显示面板的截面结构图；

图 4 为根据一些实施例的像素电路的一种结构框图；

图 5 为根据一些实施例的像素电路的一种结构图；

图 6 为根据一些实施例的像素电路的另一种结构框图；

图 7A 为根据一些实施例的像素电路的另一种结构图；

图 7B 为根据一些实施例的像素电路的又一种结构图；

图 8 为根据一些实施例的栅极驱动电路与像素电路的连接关系图；

图 9 为根据一些实施例的像素电路的一种驱动时序图；
图 10 为根据一些实施例的像素电路的另一种驱动时序图；
图 11 为根据一些实施例的像素电路的又一种驱动时序图；
图 12 为根据一些实施例的像素电路的又一种驱动时序图；
图 13A 为根据一些实施例的像素电路的又一种驱动时序图；
图 13B 为根据一些实施例的像素电路的又一种驱动时序图；
图 14~图 22 为根据一些实施例的阵列基板的结构图。

具体实施方式

下面将结合附图，对本公开一些实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开所提供的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本公开保护的范围。

除非上下文另有要求，否则，在整个说明书和权利要求书中，术语“包括 (comprise)”及其其他形式例如第三人称单数形式“包括 (comprises)”和现在分词形式“包括 (comprising)”被解释为开放、包含的意思，即为“包含，但不限于”。在说明书的描述中，术语“一个实施例 (one embodiment)”、“一些实施例 (some embodiments)”、“示例性实施例 (exemplary embodiments)”、“示例 (example)”、“特定示例 (specific example)”或“一些示例 (some examples)”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本公开的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本公开实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

在描述一些实施例时，可能使用了“耦接”和“连接”及其衍伸的表达。例如，描述一些实施例时可能使用了术语“连接”以表明两个或两个以上部件彼此间有直接物理接触或电接触。又如，描述一些实施例时可能使用了术语“耦接”以表明两个或两个以上部件有直接物理接触或电接触。然而，术语“耦接”或“通信耦合 (communicatively coupled)”也可能指两个或两个以上部件彼此间并无直接接触，但仍彼此协作或相互作用。这里所公开的实施例并不必然限制于本文内容。

“A、B 和 C 中的至少一个”与“A、B 或 C 中的至少一个”具有相同含义，均包括以下 A、B 和 C 的组合：仅 A，仅 B，仅 C，A 和 B 的组合，A 和 C 的组合，B 和 C 的组合，及 A、B 和 C 的组合。

“A 和/或 B”，包括以下三种组合：仅 A，仅 B，及 A 和 B 的组合。

本文中“适用于”或“被配置为”的使用意味着开放和包容性的语言，其不排除适用于或被配置为执行额外任务或步骤的设备。

另外，“基于”的使用意味着开放和包容性，因为“基于”一个或多个所述条件或值的过程、步骤、计算或其他动作在实践中可以基于额外条件或超出所述的值。

如本文所使用的那样，“约”、“大致”或“近似”包括所阐述的值以及处于特定值的可接受偏差范围内的平均值，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。

如本文所使用的那样，“平行”、“垂直”、“相等”包括所阐述的情况以及与所阐述的情况相近似的情况，该相近似的情况的范围处于可接受偏差范围内，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。例如，“平行”包括绝对平行和近似平行，其中近似平行的可接受偏差范围例如可以是 5° 以内偏差；“垂直”包括绝对垂直和近似垂直，其中近似垂直的可接受偏差范围例如也可以是 5° 以内偏差。“相等”包括绝对相等和近似相等，其中近似相等的可接受偏差范围内例如可以是相等的两者之间的差值小于或等于其中任一者的 5%。

应当理解的是，当层或元件被称为在另一层或基板上时，可以是该层或元件直接在另一层或基板上，或者也可以是该层或元件与另一层或基板之间存在中间层。

本文参照作为理想化示例性附图的剖视图和/或平面图描述了示例性实施方式。在附图中，为了清楚，放大了层和区域的厚度。因此，可设想到由于例如制造技术和/或公差引起的相对于附图的形状的变动。因此，示例性实施方式不应解释为局限于本文示出的区域的形状，而是包括因例如制造而引起的形状偏差。例如，示为矩形的蚀刻区域通常将具有弯曲的特征。因此，附图中所示的区域本质上是示意性的，且它们的形状并非旨在示出设备的区域的实际形状，并且并非旨在限制示例性实施方式的范围。

本公开的实施例中，晶体管的控制极为晶体管的栅极，第一极为晶体管

的源极和漏极中一者，第二极为晶体管的源极和漏极中另一者。由于晶体管的源极、漏极在结构上可以是对称的，所以其源极、漏极在结构上可以是没有区别的，也就是说，本公开的实施例中的晶体管的第一极和第二极在结构上可以是没有区别的。示例性的，在本公开的实施例中，驱动晶体管的第一极（或第二极）在一个显示帧的不同阶段可以为源极或者漏极，也就是说，在一个显示帧的不同阶段，驱动晶体管的源极和漏极可以互换（驱动晶体管的源极和漏极反转）。其他的晶体管（除驱动晶体管之外的所有晶体管）的第一极为源极，第二极为漏极。

本公开的实施例提供了一种显示装置 1000，参阅图 1，显示装置 1000 可以是显示不论运动(例如，视频)还是固定(例如，静止图像)的，且不论是文字的还是图像的任何装置。示例性地，该显示装置 1000 可以为电视机、笔记本电脑、平板电脑、手机、电子相片、电子广告牌或指示牌、个人数字助理（英文全称：Personal Digital Assistant；简称：PDA）、导航仪、可穿戴设备、增强现实（英文全称：Augmented Reality；简称：AR）设备、虚拟现实（英文全称：Virtual Reality；简称：VR）设备等任何具有显示功能的产品或者部件。

上述显示装置 1000 可以为电致发光显示装置或光致发光显示装置。在该显示装置 1000 为电致发光显示装置的情况下，电致发光显示装置可以是有机电致发光二极管（英文全称：Organic Light-Emitting Diode；简称：OLED）显示装置或者量子点电致发光二极管（英文全称：Quantum Dot Light Emitting Diodes；简称：QLED）显示装置。

在一些实施例中，参阅图 2，显示装置 1000 包括显示面板 1100 和驱动电路板（英文全称：Source Printed Circuit Board；简称：SPCB）1200。

如图 2 所示，显示面板 1100 可以包括显示区 AA 和周边区 BB（也可以叫非显示区）。周边区 BB 至少位于显示区 AA 一侧，本公开的实施例中，如图 2 所示，以周边区 BB 围绕显示区 AA 为例进行描述。

显示区 AA 可以包括多个子像素（英文全称：Sub Pixel）P、多条数据线 DL 和多条扫描信号线（第一扫描信号线 RL、第二扫描信号线 GNL、第三扫描信号线 GPL 和第四扫描信号线 EML）。其中，子像素 P 包括像素电路 120 和发光器件 EL。多个子像素 P 排列成多行和多列，每行包括沿第一方向 X 排列的多个子像素 P，即第一方向 X 为一行子像素 P 的排列方向，多行子像素 P 沿第二方向 Y 排列。每列包括沿第二方向 Y 排列的多个子像素 P，即第二方向 Y 为一列子像素 P 的排列方向；多列子像素 P 沿第一方向 X 排列。其中，第一方向 X 和第二方向 Y 交叉，比如，第一方向 X 与第二方向 Y 垂直。

参阅图 3，显示面板 1100 可以包括阵列基板 100、设置于阵列基板 100 上的发光器件 EL 和设置于发光器件 EL 上的封装层 200。

阵列基板 100 包括衬底 110 和设置于衬底 110 上的多个像素电路 120。像素电路 120 可以包括多个薄膜晶体管（英文全称：Thin Film Transistor；简称：TFT）和一个存储电容器 Cst，其中图 3 中仅示例性地展示了两个薄膜晶体管（第五晶体管 T5 和第二晶体管 T2）。

如图 2 所示，多个像素电路的排列方式可以与多个子像素 P 排列方式相似的，即多个像素电路排列成多行和多列。多个像素电路排列的行方向，与多个子像素 P 排列的行方向平行，也就是说，第一方向 X 也可以认为是多个像素电路排列的行方向。

如图 2 所示，周边区 BB 可以至少包括栅极驱动电路 130 和源极驱动器 140。栅极驱动电路 130 可以包括多个移位寄存器（英文全称：Gate Driver On Array；简称：GOA），每个移位寄存器通过一条栅线与至少一行像素电路 120 电连接（参阅下文）。源极驱动器 140 比如可以是源极驱动芯片（英文全称：Source Driver IC）。

驱动电路板 1200 可以包括时序控制器（英文全称：Timing Controller；简称：TCON），电源管理芯片 DC/DC 和可调电阻分压电路（用于生成 Vcom）等驱动电路。驱动电路板 1200 与源极驱动器 140 电连接，以控制源极驱动器 140 输出数据信号。以及，驱动电路板 1200 与栅极驱动电路 130 电连接，以将控制信号传输至移位寄存器中，使得相应的移位寄存器对多行像素电路 120 进行逐行扫描。显示面板 1100 在驱动电路板 1200、源极驱动器 140、栅极驱动电路 130、像素电路 120 以及发光器件 EL 等电子元件和电路的共同作用下实现图像显示。

像素电路 120 包括驱动晶体管 DT，驱动晶体管的沟道本身因为缺陷态多而显现出明显的磁滞效应。驱动晶体管的磁滞效应指的是在一定的偏压下，驱动晶体管的电特性所表现出来的一种不确定性，即驱动晶体管的电流的大小不仅与当前的偏压有关，还与前一时段的偏压状态相关。比如上一时刻（前一个帧周期）的图像往往会保留在下一时刻的图像显示中，从而导致上述画面闪烁的显示问题。

相关技术中，为了改善上述驱动晶体管的磁滞效应，通常在像素电路中增加一个重置晶体管，重置晶体管比如可以用于对驱动晶体管的源极进行电压重置（也可以称为电压复位或电压初始化），进而调节驱动晶体管的偏置状态，改善驱动晶体管的磁滞效应。但是，相关技术中提供的像素电路，会

增加像素电路所包含的晶体管的数量，进而增加像素电路所占用的空间，不利于提升显示面板的像素密度（英文全称：Pixels Per Inch；简称：PPI）。

为了解决上述技术问题，本公开的一些实施例还提供了一种像素电路 120。参阅图 4，像素电路 120 包括驱动晶体管 DT，重置子电路 121、防漏电子电路 122 和数据写入子电路 123。驱动晶体管 DT 包括控制极 N1、第一极 N2 和第二极 N3。

重置子电路 121 与第一扫描信号端 Reset、基准电压信号端 Vref 和驱动晶体管 DT 的第一极 N2 电连接。重置子电路 121 被配置为在来自第一扫描信号端 Reset 的第一扫描信号的控制下，将来自基准电压信号端 Vref 的基准电压信号传输至驱动晶体管 DT 的第一极 N2。

防漏电子电路 122 与第二扫描信号端 Gate-N、驱动晶体管 DT 的第一极 N2 和驱动晶体管 DT 的控制极 N1 电连接。防漏电子电路 122 被配置为在来自第二扫描信号端 Gate-N 的第二扫描信号的控制下，将驱动晶体管 DT 的第一极 N2 与控制极 N1 连通。

数据写入子电路 123 与第三扫描信号端 Gate-P、数据信号端 Data 和驱动晶体管 DT 的第二极 N3 电连接。数据写入子电路 123 被配置为在来自第三扫描信号端 Gate-P 的第三扫描信号的控制下，将来自数据信号端 Data 的数据信号传输至驱动晶体管 DT 的第二极 N3。

在防漏电子电路 122 开启时，重置子电路 121 和数据写入子电路 123 依次开启。

防漏电子电路 122 开启是指：防漏电子电路 122 在第二扫描信号的控制下，将驱动晶体管 DT 的第一极 N2 与控制极 N1 连通。重置子电路 121 开启是指：重置子电路 121 在第一扫描信号的控制下，将来自基准电压信号端 Vref 的基准电压信号传输至驱动晶体管 DT 的第一极 N2。数据写入子电路 123 开启是指：数据写入子电路 123 在来自第三扫描信号端 Gate-P 的第三扫描信号的控制下，将数据信号传输至驱动晶体管 DT 的第二极 N3。

如图 9 所示，一个显示帧可以包括刷新帧 T10 和位于刷新帧 T10 之后的保持帧 T20，且刷新帧 T10 可以包括依次设置的复位阶段 T11、数据写入阶段 T12 和第一重置阶段 T13。

示例性地，防漏电子电路 122 在复位阶段 T11 和数据写入阶段 T12 开启，且重置子电路 121 在复位阶段 T11 开启，数据写入子电路 123 在数据写入阶段 T12 开启。

基于上述示例，在复位阶段 T11，防漏电子电路 122 在第二扫描信号的控制

制下，将驱动晶体管 DT 的第一极 N2 与控制极 N1 连通。重置子电路 121 在第一扫描信号的控制下，将基准电压信号传输至驱动晶体管 DT 的第一极 N2，进一步的，基准电压信号从驱动晶体管 DT 的第一极 N2 传输至驱动晶体管 DT 的控制极 N1。基于此，在防漏电子电路 122 和重置子电路 121 同时开启的时候，来自基准电压信号端 Vref 的基准电压信号可以传输至驱动晶体管 DT 的控制极 N1，实现对驱动晶体管 DT 的控制极 N1 的电压重置（也可以称为：电压初始化或者电压复位）。

在数据写入阶段 T12，防漏电子电路 122 在第二扫描信号的控制下，将驱动晶体管 DT 的第一极 N2 与控制极 N1 连通。数据写入阶段 T12 在第三扫描信号的控制下，将数据信号传输至驱动晶体管 DT 的第二极 N3，并由驱动晶体管 DT 的第二极 N3 经补偿后传输至驱动晶体管 DT 的第一极 N2，然后经防漏电子电路 122 传输至驱动晶体管 DT 的控制极 N1，实现对驱动晶体管 DT 的阈值电压补偿和数据信号的写入。

在防漏电子电路 122 关闭时，重置子电路 121 开启至少一次。防漏电子电路 122 关闭是指，第二扫描信号端不输出第二扫描信号（输出非工作电平），重置子电路 121 不能将驱动晶体管 DT 的第一极 N2 与控制极 N1 导通，也就是说，驱动晶体管 DT 的第一极 N2 与控制极 N1 之间不能通过防漏电子电路 122 传输电信号。

示例性地，在第一重置阶段 T13，防漏电子电路 122 关闭，重置子电路 121 在第一扫描信号的控制下，将基准电压信号传输至驱动晶体管 DT 的第一极 N2，且基准电压信号没有进一步传输至电路的其他节点处。这样，重置子电路 121 可以实现对驱动晶体管 DT 的第一极 N2 的电压重置，进而调节驱动晶体管 DT 的偏置状态（调节驱动晶体管 DT 的栅极与源极之间的电压差 V_{gs} ），改善驱动晶体管的磁滞效应。

本公开的实施例中，重置子电路 121 既可以用于对驱动晶体管 DT 的控制极 N1 的电压重置，还可以用于对驱动晶体管 DT 的第一极 N2 的电压重置。也就是说，重置子电路 121 能够实现两种功能（分别对驱动晶体管 DT 的控制极 N1 和第一极 N2 进行电压重置），这样，可以减少设置一个（用于对驱动晶体管 DT 的控制极 N1 进行电压重置）复位晶体管，进而减少像素电路 120 包含的晶体管的数量，有利于降低像素电路 120 占用的空间，提升显示面板 1100 的像素密度。

而且，相较于相关技术中提供的像素电路，重置子电路和数据写入子电路通常均与驱动晶体管的第一极（源极）电连接，这样，数据信号和基准电

压信号在不同时段（数据写入阶段和第一重置阶段）写入同一节点（驱动晶体管的第一极）。本公开的实施例提供的像素电路 120，重置子电路 121 与驱动晶体管 DT 的第一极 N2，数据写入子电路 123 与驱动晶体管 DT 的第二极 N3 电连接。基于此，在数据写入阶段 T12，数据写入子电路 123 的将数据信号传输至驱动晶体管 DT 的第二极 N3，此时驱动晶体管 DT 的第二极 N3 作为源极，数据信号由驱动晶体管 DT 的第二极 N3 向第一极 N2 传输。在第一重置阶段 T13，重置子电路 121 将基准电压信号传输至驱动晶体管 DT 的第一极 N2，此时驱动晶体管 DT 的第一极 N2 作为源极。也就是说，在数据写入阶段 T12 和第一重置阶段 T13，驱动晶体管 DT 的源极和漏极发生反转，驱动晶体管 DT 的偏置状态不同，这样有利于改善驱动晶体管 DT 的磁滞效应，降低显示面板 1100 发生画面闪烁的风险。

在一些实施例中，参阅图 5，重置子电路 121 包括第一晶体管 T1，防漏电子电路 122 包括第二晶体管 T2，数据写入子电路 123 包括第三晶体管 T3。

第一晶体管 T1 的控制极与第一扫描信号端 Reset 电连接，第一极与基准电压信号端 Vref 电连接，第二极与驱动晶体管 DT 的第一极 N2 电连接。第二晶体管 T2 的控制极与第二扫描信号端 Gate-N 电连接，第一极与驱动晶体管 DT 的第一极 N2 电连接，第二极与驱动晶体管 DT 的控制极 N1 电连接。第三晶体管 T3 的控制极与第三扫描信号端 Gate-P 电连接，第一极与数据信号端 Data 电连接，第二极与驱动晶体管 DT 的第二极 N3 电连接。

示例性地，第一晶体管 T1 和第三晶体管 T3 均为 P 型晶体管，P 型晶体管在控制极的电压为低电压的时候导通，在控制极的电压为高电压的情况下截止。以重置子电路 121 为例，在重置子电路 121 开启时，第一扫描信号端 Reset 可以向第一晶体管 T1 的控制极输出低电压的第一扫描信号，第一晶体管 T1 在低电压的第一扫描信号的控制下打开，反之，在重置子电路 121 关闭时，第一晶体管 T1 在高电压的控制下截止。

第二晶体管 T2 可以为 N 型晶体管，N 型晶体管在控制极的电压为高电压的时候导通，在控制极的电压为低电压的情况下截止。基于此，防漏电子电路 122 开启时，第二扫描信号端 Gate-P 向第二晶体管 T2 的控制极输出高电压的第二扫描信号，第二晶体管 T2 在高电压的第二扫描信号的控制下导通，反之，在防漏电子电路 122 关闭时，第二晶体管 T2 在低电压的控制下截止。

在一些实施例中，第二晶体管 T2 可以为金属氧化物薄膜晶体管(英文全称：Thin Film Transistor；简称：TFT)，金属氧化物比如可以是铟镓锌氧化物(英文全称：Indium Gallium Zinc Oxide；简称：IGZO)。金属氧化物薄膜晶体

管具有电流小的优势，有利于降低第二晶体管 T2 的漏电流，进而提升驱动晶体管 DT 的控制极 N1 的电压保持能力。

第一晶体管 T1、第三晶体管 T3 和驱动晶体管 DT 为低温多晶硅（英文全称：Low Temperature Poly Silicon；简称：LTPS）薄膜晶体管。低温多晶硅薄膜晶体管具有较高的电子迁移率，有利于降低各个晶体管的负载，降低像素电路 120 的能耗。

在一些实施例中，在防漏电子电路 122 关闭时，重置子电路 121 可以开启一次或两次。也就是说，在第一重置阶段 T13，第一扫描信号端 Reset 输出一次或者两次第一扫描信号（工作电平），重置子电路 121 在第一扫描信号的控制下，将基准电压信号传输至驱动晶体管 DT 的第一极 N2 一次或两次。

示例性地，如图 9 所示，在第一重置阶段 T13，第一扫描信号端 Reset 输出一次工作电平，重置子电路 121 开启一次。这样，在实现对驱动晶体管 DT 的第一极 N2 的电压重置的前提下，有利于减少第一重置阶段 T13 的时长，有利于显示面板 1100 实现高的刷新频率（比如 120Hz）。或者，示例性地，如图 10 所示，在第一重置阶段 T13，第一扫描信号端 Reset 输出两次工作电平，重置子电路 121 开启两次。这样，有利于基准电压信号更充分的传输至驱动晶体管 DT 的第一极 N2，对驱动晶体管 DT 的第一极 N2 的电压重置更充分。

可以理解的是，在第一重置阶段 T13，第一扫描信号端 Reset 还可以输出超过两次第一扫描信号，比如，第一扫描信号端 Rese 可以输出三次、四次或者五次第一扫描信号，本公开的实施例不再一一列举。

在一些实施例中，如图 11 和图 12 所示，在防漏电子电路 122 关闭时，数据写入子电路 123 开启至少一次，且数据信号端 Data 输出第一复位电压信号。在数据写入阶段 T12，数据写入子电路 123 会将数据信号传输至驱动晶体管 DT 的第二极 N3，驱动晶体管 DT 的第二极 N3 与第一极 N2 之间发生偏置，且数据写入阶段 T12 结束后，驱动晶体管 DT 的第二极 N3 可能存在残余电压。基于此，在防漏电子电路 122 关闭时，数据写入子电路 123 开启至少一次，可以在数据写入阶段 T12 之后，通过数据写入子电路 123 向驱动晶体管 DT 的第二极 N3 传输第一复位电压信号，对驱动晶体管 DT 的第二极 N3 进行电压重置。降低数据信号对驱动晶体管 DT 的第二极 N3 的电压的影响，进而降低因为数据信号变化导致显示面板 1100 产生显示亮度差异的风险，并降低显示面板 1100 发生闪烁的风险。

可以理解的是，在刷新帧 T10，显示面板 1100 所包括的多行像素电路 120 中，数据写入子电路 123 逐行开启（逐行写入数据信号），且逐行进入第一

重置阶段。这样，在目标行像素电路（任一行像素电路）处于第一重置阶段 T13，且数据写入子电路 123 开启时，目标行像素电路之后的某一行像素电路（下文称为后续行像素电路）的数据写入子电路开启，进行数据信号写入。基于此，后续行像素电路的数据信号经目标行像素电路的数据写入子电路写入目标行像素电路的驱动晶体管 DT 的第二极 N3，对目标行像素电路的驱动晶体管 DT 的第二极 N3 进行电压重置。也就是说，在第一重置阶段，（目标行像素电路的）第一复位电压信号是后续行像素电路的数据信号。数据信号通常为电压，能够提升目标行像素电路的驱动晶体管 DT 的第二极 N3 的电压，起到在发光阶段之前，对驱动晶体管 DT 的第二极 N3 进行预充电的作用，有利于降低显示面板 1100 在低刷新频率和高刷新频率切换时或者切屏显示时的闪烁现象。

示例性地，参阅图 11，在第一重置阶段 T13，在防漏电子电路 122 关闭时，数据写入子电路 123 在第三扫描信号的控制下开启，进而将来自数据信号端 Data 的第一复位电压信号传输至驱动晶体管 DT 的第二极 N3。示例性地，第三扫描信号端 Gate-P 输出工作电平（电压电平信号），第三晶体管 T3 开启，数据信号端 Data 的第一复位电压信号通过第三晶体管 T3 传输至驱动晶体管 DT 的第二极 N3。

示例性地，在防漏电子电路 122 关闭时，重置子电路 121 和数据写入子电路 123 的开启次数相同。比如，在第一重置阶段 T13，重置子电路 121 和数据写入子电路 123 均开启一次，参阅图 11，第一扫描信号端 Reset 和第三扫描信号端 Gate-P 均输出依次工作电平。或者，在第一重置阶段 T13，重置子电路 121 和数据写入子电路 123 均开启两次，参阅图 12，第一扫描信号端 Reset 和第三扫描信号端 Gate-P 均输出依次工作电平。

示例性地，第一扫描信号和第三扫描信号均为脉冲信号，且第一扫描信号和第三扫描信号的脉冲宽度相同。如图 11 和图 12 所示，比如，重置子电路 121 和数据写入子电路 123 可以同时开启和同时关闭，也就是说，第一扫描信号端 Reset 和第三扫描信号端 Gate-P 分别在相同时间段输出第一扫描信号和第三扫描信号。

在一些实施例中，参阅图 6，像素电路 120 还包括第一控制子电路 124、第二控制子电路 125、复位子电路 126 和储能子电路 127。

第一控制子电路 124 与发光控制信号端 EM（也可以称为使能信号端）、第一电压信号端 VDD 和驱动晶体管 DT 的第一极 N2 电连接。第一控制子电路 124 被配置为在来自发光控制信号端 EM 的发光控制信号的控制下，将来

自第一电压信号端 VDD 的第一电压信号传输至驱动晶体管 DT 的第一极 N2。

第二控制子电路 125 与发光控制信号端 EM、驱动晶体管 DT 的第二极 N3 和发光器件 EL 电连接。第二控制子电路 125 被配置为在发光控制信号的控制下，将来自驱动晶体管 DT 的驱动电流传输至发光器件 EL。

复位子电路 126 与第一扫描信号端 Reset、初始化信号端 Vinit 和发光器件 EL（具体为发光器件 EL 的阳极）电连接。复位子电路 126 被配置为在（来自第一扫描信号端 Reset 的）第一扫描信号的控制下，将来自初始化信号端 Vinit 的初始化信号传输至发光器件 EL。

储能子电路 127 与驱动晶体管 DT 的控制极 N1 和第一电压信号端 VDD 电连接。储能子电路 127 被配置为维持驱动晶体管 DT 的控制极 N1 的电压。

示例性地，如图 13A 所示，保持帧 T20 包括发光阶段 T21。在发光阶段 T21，第一控制子电路 124 在发光控制信号的控制下开启，来自第一电压信号端 VDD 的第一电压信号经过第一控制子电路 124 传输至驱动晶体管 DT 的第一极 N2。驱动晶体管 DT 在控制极 N1 与第一极 N2 之间的电压差的控制下，产生驱动电流。第二控制子电路 125 也在发光控制信号的控制下开启，驱动晶体管 DT 产生的驱动电流经第二控制子电路 125 传输至发光器件 EL，发光器件 EL 在驱动电流的作用下开始发光（被点亮）。

复位子电路 126 和重置子电路 121 均与第一扫描信号端 Reset 电连接，且均在来自第一扫描信号端 Reset 的扫描信号的控制下开启，基于此，在上述任一实施例中的重置子电路 121 开启的时候，复位子电路 126 与重置子电路 121 同步开启，并对发光器件 EL（发光器件 EL 的阳极）进行一次电压重置。

储能子电路 127 例如可以在数据写入阶段 T12，补偿后的数据信号传输至驱动晶体管 DT 的控制极 N1 之后，维持驱动晶体管 DT 的控制极 N1 节点的电压，降低驱动晶体管 DT 的控制极 N1 的漏电流，使驱动晶体管 DT 可以在发光阶段 T21 可以产生稳定的驱动电流，驱动发光器件 EL 发光，并使发光器件 EL 显示预设灰阶。

在一些实施例中，参阅图 7A，第一控制子电路 124 包括第四晶体管 T4，第二控制子电路 125 包括第五晶体管 T5，复位子电路 126 包括第六晶体管 T6，储能子电路 127 包括存储电容器 Cst。

如图 7A 所示，第四晶体管 T4 的控制极与发光控制信号端 EM 电连接，第一极与第一电压信号端 VDD 电连接，第二极与驱动晶体管 DT 的第一极 N2 电连接。第五晶体管 T5 的控制极与发光控制信号端 EM 电连接，第一极与驱动晶体管 DT 的第二极 N3 电连接，第二极与发光器件 EL 电连接。第六

晶体管 T6 的控制极与第一扫描信号端 Reset 电连接, 第一极与初始化信号端 Vinit 电连接, 第二极与发光器件 EL 电连接。存储电容器 Cst 的第一极板与驱动晶体管 DT 的控制极电连接, 第二极板与第一电压信号端 VDD 电连接。

在一些实施例中, 第四晶体管 T4、第五晶体管 T5、第六晶体管 T6 为低温多晶硅薄膜晶体管。存储电容器 Cst 可以通过工艺制程单独制作的电容器件, 示例性地, 可以通过制作专门的电容极板(存储电容器 Cst 的第一极板和第二极板)来实现电容器件, 比如该存储电容器的各个电容极板可以通过金属层实现。

在一些实施例中, 如图 7B 所示, 第三晶体管 T3 可以为双栅晶体管, 这样, 可以降低第三晶体管 T3 的漏电流。

在一些实施例中, 如图 8 所示, 本公开的实施例提供的阵列基板 100, 还包括第一移位寄存器 Reset-GOA、第二移位寄存器 GN-GOA、第三移位寄存器 GP-GOA 和第四移位寄存器 EM-GOA。

第一移位寄存器 Reset-GOA 与至少一行像素电路 120 对应连接, 被配置为向至少一行像素电路 120 传输第一扫描信号。示例性地, 第一移位寄存器 Reset-GOA 通过第一扫描信号线 RL 与两行像素电路 120 电连接。第一扫描信号线 RL 作为第一扫描信号端 Reset, 第一晶体管 T1 的控制极和第六晶体管 T6 的控制均与第一扫描信号线 RL (第一扫描信号端 Reset) 电连接。第一移位寄存器 Reset-GOA 设置于显示区 AA 沿第一方向 X 相对的两侧, 也就是说, 第一移位寄存器 Reset-GOA 采用双边驱动。

第二移位寄存器 GN-GOA 与至少一行像素电路 120 对应连接, 被配置为向至少一行像素电路 120 传输第一扫描信号。示例性地, 第二移位寄存器 GN-GOA 通过第二扫描信号线 GNL 与两行像素电路 120 电连接。第二扫描信号线 GNL 作为第二扫描信号端 GN, 第二晶体管 T2 的控制极与第二扫描信号线 GNL (第二扫描信号端 GN) 电连接。第二移位寄存器 GN-GOA 设置于显示区 AA 沿第一方向 X 的其中一侧, 也就是说, 第二移位寄存器 GN-GOA 采用单边驱动。

第三移位寄存器 GP-GOA 与一行像素电路 120 对应连接, 被配置为向一行像素电路 120 传输第三扫描信号。示例性地, 第三移位寄存器 GP-GOA 通过第三扫描信号线 GPL 与两行像素电路 120 电连接。第三扫描信号线 GPL 作为第三扫描信号端 GP, 第三晶体管 T3 的控制极与第三扫描信号线 GPL (第三扫描信号端 GP) 电连接。第三移位寄存器 GP-GOA 设置于显示区 AA 沿第一方向 X 相对的两侧, 也就是说, 第三移位寄存器 GP-GOA 采用双边驱动。

第四移位寄存器 EM-GOA 与至少一行像素电路 120 对应连接,被配置为向至少一行像素电路 120 传输第四扫描信号。示例性地,第四移位寄存器 EM-GOA 通过第四扫描信号线 EML 与两行像素电路 120 电连接。第四扫描信号线 EML 作为发光控制信号端 EM,第四晶体管 T4 的控制极和第五晶体管 T5 的控制极均与第四扫描信号线 EML (第四扫描信号端 EM) 电连接。第四移位寄存器 EM-GOA 设置于显示区 AA 沿第一方向 X 相对的一侧,也就是说,第四移位寄存器 EM-GOA 采用单边驱动。

本公开实施例提供的显示面板 1100,重置子电路 121 所包含的第一晶体管 T1 和复位子电路 126 所包含的第六晶体管 T6 共用第一移位寄存器 Reset-GOA,基于此,可以减少一个移位寄存器,有利于降低周边区 BB 的宽度,实现显示面板 1100 的窄边框。

本公开的另一些实施例,还提供了一种像素电路 120 的驱动方法,驱动方法用于驱动上述任一实施例中所述的像素电路 120。如图 9 所示,驱动方法包括:

在复位阶段 T11,第一扫描信号端 Reset 和第二扫描信号端 Gate-N 输出工作电平,第三扫描信号端 Gate-P 输出非工作电平。来自基准电压信号端 Vref 的基准电压信号经重置子电路 121 和防漏电子电路 122 传输至驱动晶体管 DT 的控制极 N1。

其中,本公开的实施例中,工作电平是指能够将与对应扫描信号端电连接的晶体管打开的电平信号,也就是说,在工作电平的驱动下,对应晶体管的第一极和第二极之间导通。非工作电平是指将与对应扫描信号端电连接的晶体管截止(关闭)的电平信号,也就是说,在非工作电平的驱动下,对应晶体管的第一极与第二极之间截止。

示例性地,以如图 7A 所示的像素电路 120 为例,在第一晶体管 T1、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 和第六晶体管 T6 均为 P 型晶体管(P 型晶体管在控制极为低电压的时候导通,在控制极为高电压的时候截止)的情况下,与上述第一晶体管 T1、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 和第六晶体管 T6 的控制极相连的第一扫描信号端 Reset、第三扫描信号端 Gate-P 和发光控制信号端 EM,输出的工作电平是指对应信号端输出电压值为低的电压信号,输出的非工作电平是指输出电压值为高的电压信号。比如,与第三晶体管 T3 电连接的第三扫描信号端 Gate-P 输出工作电平,是指第三扫描信号端 Gate-P 输出电压值为低的电压信号,第三扫描信号端 Gate-P 输出非工作电平,是指第三扫描信号端 Gate-P 输出电压值为高的电压

信号。

在第二晶体管 T2 为 N 型晶体管(N 型晶体管在控制极为高电压的时候导通, 在控制极为低电压的时候截止)的情况下, 第二扫描信号端 Gate-N 输出工作电平是指输出电压值为高的电压信号, 第二扫描信号端 Gate-N 输出非工作电平是指输出电压值为低的电压信号。本公开的实施例对工作电平和非工作电平的具体电压值不做限定, 其中, 工作电平的电压值能够完全打开对应的晶体管即可。

在复位阶段 T11, 第一扫描信号端 Reset 输出工作电平, 与第一扫描信号端 Reset 电连接的重置子电路 121 开启, 在重置子电路 121 包括第一晶体管 T1 的情况下, 第一晶体管 T1 导通。第一晶体管 T1 将来自基准电压信号端 Vref 的基准电压信号传输至驱动晶体管 DT 的第一极 N2。

在像素电路 120 包括复位子电路 126, 且复位子电路 126 包括第六晶体管 T6 的情况下, 在复位阶段 T11, 第六晶体管 T6 和第一晶体管 T1 同步导通, 第六晶体管 T6 将来自初始化信号端 Vinit 的初始化信号传输至发光器件 EL 的阳极, 对发光器件 EL 的阳极进行电压重置。第一晶体管 T1 与第二晶体管 T2 一起对驱动晶体管 DT 的控制极 N1 进行电压重置(参阅上文, 此处不再赘述)。

第二扫描信号端 Gate-N 输出工作电平, 与第二扫描信号端 Gate-N 电连接的防漏电子电路 122 开启, 在防漏电子电路 122 包括第二晶体管 T2, 且第二晶体管 T2 为 N 型晶体管的情况下, 第二扫描信号端 Gate-N 向第二晶体管 T2 的控制极输出高电压的工作电平, 第二晶体管 T2 导通, 第二晶体管 T2 将经第一晶体管 T1 传输至驱动晶体管 DT 的第一极 N2 的基准电压信号, 传输至驱动晶体管 DT 的控制极 N1, 实现对驱动晶体管 DT 的控制极 N1 的电压重置。

在数据写入阶段 T12, 第一扫描信号端 Reset 输出非工作电平, 第二扫描信号端 Gate-N 和第三扫描信号端 Gate-P 输出工作电平, 数据信号端 Data 输出数据信号。数据信号经数据写入子电路 123 传输至驱动晶体管 DT 的第二极 N3, 且驱动晶体管 DT 的控制极 N1 写入数据信号和阈值电压。

第一扫描信号端 Reset 输出非工作电平, 与第一扫描信号端 Reset 电连接的重置子电路 121 和复位子电路 126 关闭, 即第一晶体管 T1 和第六晶体管 T6 截止。

第二扫描信号端 Gate-N 输出工作电平, 与第二扫描信号端 Gate-N 电连接的防漏电子电路 122 保持开启。即第二晶体管 T2 保持导通状态。

第三扫描信号端 Gate-P 输出工作电平, 与第三扫描信号端 Gate-P 电连接

的数据写入子电路 123 开启,在数据写入子电路 123 包括第三晶体管 T3 的情况下,第三晶体管 T3 打开,第三晶体管 T3 将来自数据信号端 Data 的数据信号传输至驱动晶体管 DT 的第二极 N3。数据信号由驱动晶体管 DT 的第二极 N3 经驱动晶体管 DT 补偿后传输至驱动晶体管 DT 的第一极 N2,然后数据信号和阈值电压由驱动晶体管 DT 的第一极 N2 经第二晶体管 T2 传输至驱动晶体管 DT 的控制极 N1。

在第一重置阶段 T13,第一扫描信号端 Reset 输出至少一次工作电平,第二扫描信号端 Gate-N 输出非工作电平,基准电压信号经重置子电路 121 传输至驱动晶体管 DT 的第一极 N2。实现对驱动晶体管 DT 的第一极 N2 的电压重置。

第一扫描信号端 Reset 输出工作电平,与第一扫描信号端 Reset 电连接的重置子电路 121 开启,即第一晶体管 T1 打开。第一晶体管 T1 将来自基准电压信号端 Vref 的基准电压信号传输至驱动晶体管 DT 的第一极 N2。第二扫描信号端 Gate-N 输出非工作电平,与第二扫描信号端 Gate-N 电连接的防漏电子电路 122 关闭,即第二晶体管 T2 截止,基准电压信号不能经防漏电子电路 122 写入驱动晶体管 DT 的控制下,进而只对驱动晶体管 DT 的第一极 N2 进行电压重置。

本公开实施例提供的像素电路 120 的驱动方法,如上文所述,能够在复位阶段 T11 通过重置子电路 121 (第一晶体管 T1) 和防漏电子电路 122 (第二晶体管 T2) 对驱动晶体管 DT 的控制极 N1 进行电压重置,并在第一重置阶段 T13,通过重置子电路 121 对驱动晶体管 DT 的第一极 N2 进行电压重置。基于此,与上述任一实施例中的像素电路类似的,通过本申请提供的像素电路的驱动方法,可以使像素电路 120 减少一个复位晶体管,有利于降低像素电路 120 占用的空间,提升显示面板 1100 的像素密度。

在一些实施例中,如图 9 所示,在第一重置阶段 T13,第一扫描信号端 Reset 可以输出一次工作电平。这样,重置子电路 121 对驱动晶体管 DT 的第一极 N2 进行一次电压重置,有利于缩短第一重置阶段 T13 的时长,进而提升显示面板 1100 的刷新频率。

或者,在另一些实施例中,如图 10 所示,在第一重置阶段 T13,第一扫描信号端 Reset 可以输出两次工作电平。这样,重置子电路 121 对驱动晶体管 DT 的第一极 N2 进行两次电压重置,有利于基准电压信号更充分的传输至驱动晶体管 DT 的第一极 N2。

当然,在其他一些实施例中,在第一重置阶段 T13,第一扫描信号端 Reset

可以输出更多次数的工作电平；比如三次、四次或者更多，本公开的实施例对此不做具体限定。

在一些实施例中，如图 9 和图 10 所示，像素电路的驱动方法还包括：在第一重置阶段 T13，第三扫描信号端 Gate-P 输出非工作电平信号。也就是说，在第一重置阶段 T13，数据写入子电路关闭，这样，有利于简化像素电路的驱动方法。

在另一些实施例中，如图 11 和图 12 所示，像素电路的驱动方法还包括：在第一重置阶段 T13，第三扫描信号端 Gate-P 输出至少一次工作电平信号，且所述数据信号端输出第一复位电压信号。

也就是说，在第一重置阶段 T13，数据写入子电路 123 开启，且数据信号端 Data 输出第一复位电压信号。基于此，可以将第一复位电压信号传输至驱动晶体管 DT 的第二极 N3，对驱动晶体管 DT 的第二极 N3 进行电压重置。降低数据信号对驱动晶体管 DT 的第二极 N3 的电压的影响，进而降低因为数据信号变化导致显示面板 1100 产生显示亮度差异的风险，以及降低显示面板 1100 发生闪烁的风险。

示例性地，参阅图 11，在第一重置阶段 T13，第三扫描信号端 Gate-P 输出一次工作电平，这样，有利于缩短第一重置阶段 T13 的时长，进而提升显示面板 1100 的刷新频率。

或者，如图 12 所示，在第一重置阶段 T13，第三扫描信号端 Gate-P 输出两次工作电平。这样，数据写入子电路 123 对驱动晶体管 DT 的第二极 N3 进行两次电压重置，有利于第一复位电压信号更充分的传输至驱动晶体管 DT 的第二极 N3。

在一些实施例中，像素电路 120 可以包括第一刷新频率和第二刷新频率，第一刷新频率小于第二刷新频率，也就是说，显示面板采用了可变刷新频率（英文全称：(Variable Refresh Rate；简称：VRR) 显示技术，显示面板可以根据使用场景的变化，选择合适的刷新频率，显示面板的刷新频率的具体数值本公开的实施例不做具体限定。示例性地，第一刷新频率比如可以是 1Hz 或者 30Hz；第二刷新频率比如可以是 60Hz 或者 120Hz。

在第一刷新频率下，像素电路 120 在一个显示帧还包括在第一重置阶段 T13 之后的发光阶段 T21 和第二重置阶段 T22。如图 13A 和图 13B 所示，像素电路 120 的驱动方法还包括：

在发光阶段 T21，第一扫描信号端 Reset、第二扫描信号端 Gate-N 和第三扫描信号端 Gate-P 输出非工作电平，发光控制信号端 EM 输出工作电平，来

自驱动晶体管 DT 的驱动电流传输至发光器件 EL。

第一扫描信号端 Reset 输出非工作电平，与第一扫描信号端 Reset 电连接的第一晶体管 T1 和第六晶体管 T6 截止。第二扫描信号端 Gate-N 输出非工作电平，与第二扫描信号端 Gate-N 电连接的第二晶体管 T2 截止。第三扫描信号端 Gate-P 输出非工作电平，与第三扫描信号端 Gate-P 电连接的第三晶体管 T3 截止。发光控制信号端 EM 输出工作电平，与发光控制信号端 EM 电连接的第四晶体管 T4 和第五晶体管 T5 导通。驱动晶体管 DT 在控制极 N1 的电压（数据信号和阈值电压）控制下导通。

第四晶体管 T4 将来自第一电压信号端 VDD 的第一电压信号传输至驱动晶体管 DT 的第一极 N2，驱动晶体管 DT 在控制极 N1 和第一极 N2 的电压差的控制下产生驱动电流。驱动电流经第五晶体管 T5 传输至发光器件 EL，发光器件 EL 在驱动电流的驱动下发光。

在第二重置阶段 T22，第一扫描信号端 Reset 输出工作电平，第二扫描信号端 Gate-N 和发光控制信号端 EM 输出非工作电平，来自基准电压信号端 Vref 的基准电压信号经重置子电路 121 传输至驱动晶体管 DT 的第一极 N2。

第一扫描信号端 Reset 输出工作电平，与第一扫描信号端 Reset 连接的第一晶体管 T1 和第六晶体管 T6 导通，第一晶体管 T1 将来自基准电压信号端 Vref 的基准电压信号传输至驱动晶体管 DT 的第一极 N2，对驱动晶体管 DT 的第一极 N2 进行电压重置，这样，能够调节驱动晶体管 DT 的偏置状态，降低驱动晶体管 DT 的磁滞效应。第六晶体管 T6 将来自初始化信号端 Vinit 的初始化信号传输至发光器件 EL 的阳极，对发光器件 EL 的阳极进行电压重置。

示例性地，根据显示面板 1100 的刷新频率，保持帧 T20 可以包括交替设置的多个发光阶段 T21 和第二重置阶段 T22，本公开的实施例中，如图 13A 和图 13B 所示，仅示例性地展示了一个发光阶段 T21 和一个第二重置阶段 T22。

在一些实施例中，基准电压信号端 Vref 在第一重置阶段 T13 输出的基准电压信号的电压值，与在第二重置阶段 T22 输出的基准电压信号的电压值可以相同或者不相同。示例性地，来自基准电压信号端 Vref 的基准电压信号在第一重置阶段 T13 的电压值为第一基准电压信号值 V1，在第二重置阶段 T22 的电压值为第二基准电压信号值 V2。

示例性地，第一基准电压信号值 V1 等于第二基准电压信号值 V2，且第一基准电压信号值 V1 和第二基准电压信号值 V2 为负值，这样，基准电压信号端 Vref 在第一重置阶段 T13 和第二重置阶段 T22 输出大小相同的基准电压

信号，有利于简化基准电压信号端的驱动方法，进而简化像素电路的驱动方法。

或者，第一基准电压信号值小于第二基准电压信号值。其中，第一基准电压信号值 $V1$ 为负值，这样在第一重置阶段 $T13$ ，数值为第一基准电压信号值 $V1$ 的基准电压信号能够用于对驱动晶体管 DT 的第一极 $N2$ 的电压重置。第二基准电压信号值 $V2$ 大于来自第一电压信号端 VDD 的第一电压信号的电压值，这样，在第二重置阶段 $T22$ ，驱动晶体管 DT 的第二极 $N3$ 作为驱动晶体管 DT 的源极，驱动晶体管 DT 的第一极 $N2$ 作为驱动晶体管 DT 的漏极。在发光阶段 $T21$ ，驱动晶体管 DT 的第一极 $N2$ 作为驱动晶体管 DT 的源极，驱动晶体管 DT 的第二极 $N3$ 作为驱动晶体管 DT 的漏极。也就是说，在发光阶段 $T21$ 和第二重置阶段 $T22$ ，驱动晶体管 DT 的源极和漏极发生反转，这样，驱动晶体管 DT 处于两种相反的偏置状态，有利于改善驱动晶体管 DT 的磁滞现象，降低显示面板 1100 发生画面闪烁的风险。

在一些实施例中，如图 13A 所示，在第二重置阶段 $T22$ ，第三扫描信号端 $Gate-P$ 输出非工作电平，此时数据写入子电路 123 关闭。在第二重置阶段 TT 对驱动晶体管 DT 的第一极 $N2$ 和发光器件 EL 的阳极进行电压重置。

在另一些实施例中，如图 13B 所示，在第二重置阶段 $T22$ ，第三扫描信号端 $Gate-P$ 输出工作电平，且数据信号端输出第二复位电压信号。此时，数据写入子电路 123 开启，第二复位电压信号传输至驱动晶体管 DT 的第二极 $N3$ ，实现对驱动晶体管 DT 的第二极 $N3$ 的电压重置。

示例性地，第二复位电压信号可以为电压值为正的高电压信号，于此同时，基准电压信号端 $Vref$ 输出的准电压信号值 $V2$ 可以为负数，这样，在第二重置阶段，驱动晶体管 DT 的第二极 $N3$ 作为驱动晶体管 DT 的源极，第一极 $N2$ 作为驱动晶体管 DT 的漏极。相较于发光阶段 $T21$ ，驱动晶体管 DT 的源极和漏极反转，有利于降低驱动晶体管 DT 的磁滞现象。

可以理解的是，第二复位电压信号也可以根据在数据写入阶段 $T12$ 的数据信号进行调整，比如，在像素电路的刷新频率为 $1Hz$ 的情况下，在第二重置阶段，第二复位电压信号可以根据发光器件 EL 显示的灰阶不同，动态调节第二复位电压信号的大小。

在一些实施例中，参阅图 3 和图 14~图 22，阵列基板 100 还包括沿垂直于衬底 110 且远离衬底 110 方向依次设置的第一半导体层 11、第一栅导电层 12、第二栅导电层 13、第二半导体层 14、第三栅导电层 15、第一源漏导电层 16 和第二源漏导电层 17。阵列基板 100 还包括设置于任意相邻两个导电层之

间的至少一个绝缘层，本公开的实施例对阵列基板 100 包括的绝缘层不再一一赘述。其中，在一些实施例中，沿第一方向 X 相邻两个像素电路 120 对称设置，基于此，图 14~图 22 中均示出了两个像素电路的结构。

参阅图 3 和图 14，图 14 为根据一些实施例的第一半导体层 11 的结构图。第一半导体层 11 设置于衬底（图中未示出）上，包括第一晶体管 T1 的第一半导体图案 111、第三晶体管 T3 的第三半导体图案 113 和驱动晶体管 DT 的第七半导体图案 117。其中，第三半导体图案 113 和第七半导体图案 117 相连，比如，可以是第三半导体图案 113 上用于形成第三晶体管 T3 的第二极的区域，和第七半导体图案 117 上用于形成驱动晶体管 DT 的第二极的区域连接，这样，有利于第三晶体管 T3 的第二极和驱动晶体管 DT 的第二极连接。

当然，在像素电路 120 还包括第四晶体管 T4、第五晶体管 T5 和第六晶体管 T6 的情况下，如图 14 所示，第一半导体层 11 还包括第四晶体管 T4 的第四半导体图案 114、第五晶体管 T5 的第五半导体图案 115 和第六晶体管 T6 的第六半导体图案 116。

其中，第三半导体图案 113、第四半导体图案 114、五半导体图案 115、第六半导体图案 116 和第七半导体图案 117 相互连接为一个整体。也就是说，第三半导体图案 113、第四半导体图案 114、五半导体图案 115、第六半导体图案 116 和第七半导体图案 117 是一个连续图案中的一部分。

参阅图 3 和图 15A，图 15A 为第一栅导电层 12 和第一半导体层 11 的结构图。第一栅导电层 12 位于第一半导体层 11 远离衬底 110 的一侧，第一栅导电层 12 包括第一扫描信号线 RL、第三扫描信号线 GPL 和存储电容器 Cst 的第一极板 C1。

在像素电路 120 还包括第四晶体管 T4 和第五晶体管 T5 的情况下，第一栅导电层 12 还可以包括第四扫描信号线 EML。

如图 15A 所示，其中，在向衬底 110 上的正投影中，第一扫描信号线 RL 与第一半导体图案 111 和第六半导体图案 116 部分交叠，用于形成第一晶体管 T1 和第六晶体管 T6 的控制极。第一半导体图案 111 包括与第一扫描信号线 RL 重叠的第一晶体管 T1 的半导体层，以及位于第一扫描信号线 RL 的相对两侧的第一晶体管 T1 的第一极（位于第一扫描信号线 RL 的上侧）和第一晶体管 T1 的第二极（位于第一扫描信号线 RL 的下侧）。第六半导体图案 116 包括与第一扫描信号线 RL 重叠的第六晶体管 T6 的半导体层，位于第一扫描信号线 RL 下侧的第六晶体管 T6 的第一极，以及位于第一扫描信号线 RL 上侧的第六晶体管 T6 的第二极。

在向衬底 110 上的正投影中,第三扫描信号线 GPL 与第三半导体图案 113 部分交叠,用于形成第三晶体管 T3 的控制极。第三半导体图案 113 包括与第三扫描信号线 GPL 重叠的第三晶体管 T3 的半导体区域,位于第三扫描信号线 GPL 上侧的第三晶体管 T3 的第一极,位于第三扫描信号线 GPL 上侧的第三晶体管 T3 的第二极。

在向衬底 110 上的正投影中,第四扫描信号线 EML 与第四半导体图案 114 和第五半导体图案 115 部分交叠,用于形成第四晶体管 T4 的控制极和第五晶体管 T5 的控制极。第四半导体图案 114 包括与第四扫描信号线 EML 交叠的第四晶体管 T4 的半导体层,位于第四扫描信号线 EML 下侧的第四晶体管 T4 的第一极,位于第四扫描信号线 EML 上侧的第四晶体管 T4 的第二极。第五半导体图案 115 包括与第四扫描信号线 EML 交叠的第五晶体管 T5 的半导体层,位于第四扫描信号线 EML 上侧的第五晶体管 T5 的第一极,位于第四扫描信号线 EML 下侧的第五晶体管 T5 的第二极。

其中,第三半导体图案 113 的第二极、第五半导体图案 115 的第一极和第七半导体图案 117 的第二极相连,共同形成驱动晶体管 DT 的第二极 N3。第四晶体管 T4 的第二极与驱动晶体管 DT 的第一极 N2 相连。

在一些实施例中,参阅图 15B,图 15B 为第三晶体管 T3 为双栅晶体管时,半导体层 11 和第一栅导电层 12 的结构图。在第三晶体管 T3 为双栅晶体管的情况下,第三半导体图案 113 为 L 型结构,第三半导体图案 113 包括第一延伸段 1131 和第二延伸段 1132。第一延伸段 1131 沿第一方向延伸,第二延伸段 1132 沿第二方向延伸,且与第一延伸段 1131 连接。

第三扫描信号线 GPL 包括主体部 GPL1 和凸出部 GPL2,主体部 GPL1 沿第一方向 X 延伸,凸出部 GPL2 沿第二方向 Y 延伸。在向衬底 110 上的正投影中,主体部 GPL1 与第二延伸段 1132 部分交叠,凸出部 GPL2 与第一延伸段 1131 部分交叠。

其中,数据信号端 Data 与第一延伸段 1131 中位于凸出部 GPL2 远离第二延伸段 1132 的一侧电连接。

在一些实施例中,参阅图 3 和图 16A,图 16A 为第二栅导电层 13 不包括辅助第二扫描信号线 GNL' 时的结构图。第二栅导电层 13 位于第一栅导电层 12 远离衬底 110 的一侧。第二栅导电层 13 包括存储电容器 Cst 的第二极板 C2。在向衬底 110 上的正投影中,第二极板 C2 与第一极板 C1 部分交叠。示例性地,第二极板 C2 的中部设有避让孔 C21。

在另一些实施例中,如图 16B 所示,图 16B 为第二栅导电层 13 包括辅助

第二扫描信号线 GNL' 时的结构图。第二栅导电层 13 包括存储电容器 Cst 的第二极板 C2, 以及辅助第二扫描信号线 GNL'。辅助第二扫描信号线 GNL' 被配置为与第二扫描信号线 GNL 一起传输第二扫描信号。

如图 3 所示, 第二半导体层 14 位于第二栅导电层 13 远离衬底的一侧。参阅图 17, 图 17 为阵列基板从半导体层 11 至第二半导体层 14 的结构图。第二半导体层 14 包括第二晶体管 T2 的第二半导体图案 141。

如图 3 所示, 第三栅导电层 15 位于第二半导体层 14 远离衬底 110 的一侧。参阅图 18A, 图 18A 为阵列基板从第一半导体层至第三栅导电层的结构图。第三栅导电层 15 包括第二扫描信号线 GNL 和基准电压信号线 VL。

其中, 在向衬底 110 上的正投影中, 第二扫描信号线 GNL 与第二半导体图案 141 部分交叠, 且第二半导体图案 141 包括与第二扫描信号线 GNL 重叠的第二晶体管 T2 的半导体层, 位于第二扫描信号线 GNL 上方的第二晶体管 T2 的第一极, 以及第二扫描信号线 GNL 下方的第二晶体管 T2 的第二极。基准电压信号线 VL 用于传输基准电压信号, 并形成基准电压信号端 Vref。示例性地, 第二扫描信号线 GNL 与辅助第二扫描信号线 GNL' 在衬底上的正投影至少部分交叠。

如图 3 所示, 第一源漏导电层 16 位于第三栅导电层 15 远离衬底 110 的一侧。参阅图 19A, 图 19A 为阵列基板从第一半导体层至第一源漏导电层的结构图。第一源漏导电层 16 包括第一连接图案 161、第二连接图案 162 和第三连接图案 163。

第一连接图案 161 与基准电压信号线 VL 和第一半导体图案 111 的第一极连接, 使第一晶体管 T1 的第一极与基准电压信号端 Vref 电连接。

第二连接图案 162 与第一半导体图案 111 的第二极、第二半导体图案 141 的第一极和第七半导体图案 117 的第一极连接。使第一晶体管 T1 的第二极与第二晶体管 T2 的第一极以及驱动晶体管 DT 的第一极电连接。且在第一半导体层 11 包括第四半导体图案 114 的情况下, 第二连接图案 162 还与第四半导体图案 114 的第二极电连接。

第三连接图案 163 与第二半导体图案 141 的第二极和存储电容器 Cst 的第一极板 C1 连接。在向衬底 110 上的正投影中, 第三连接图案 163 与存储电容器 Cst 的第二极板 C2 的避让孔 C21 部分交叠, 且第三连接图案 163 穿过避让孔 C21 与第一极板 C1 连接。

在一些实施例中, 如图 19A 所示, 在像素电路 120 包括第四晶体管 T4 的情况下, 第一源漏导电层 16 还包括第四连接图案 164, 第四连接图案 164

与第四半导体图案 114 的第一极电连接。

第一源漏导电层 16 还包括第五连接图案 165，第五连接图案 165 用于连接像素电路和发光器件的阳极。

如图 3 所示，第二源漏导电层 17 位于第一源漏导电层 16 远离衬底 110 的一侧。参阅图 20，第二源漏导电层 17 包括数据线 DL，数据线 DL 与第三半导体图案的第一极（图中未示出）连接。第三半导体图案 113 的第二极与第七半导体图案 117 的第二极连接（如图 15A 所示）。其中，图 20 为阵列基板的结构图。

继续参阅图 20，第二源漏导电层 17 还可以包括第一电压信号线 VDDL，第一电压信号线 VDDL 用于形成第一电压信号端 VDD，第一电压信号线 VDDL 与第四连接图案 164 电连接。

第二源漏导电层 17 还可以包括转接块 171，转接块 171 与第五连接图案 165 连接，用于将像素电路 120 与发光器件 EL 连接。

在一些实施例中，参阅图 17，在向衬底 110 的正投影中，第二半导体图案 141 与第三扫描信号线 GPL 部分交叠。示例性地，第二半导体图案 141 的第二极与第三扫描信号线 GPL 交叠，且交叠区域形成寄生电容，第二半导体图案 141 的第二极与存储电容器 Cst 的第一极板 C1 连接（如图 19A 所示）。基于此，可以提升第三扫描信号线 GPL 与第一极板 C1 之间的耦合作用，在第三扫描线信号线 GPL 输出第三扫描信号时，第二半导体图案 141 的第二极的电压在电容的自举作用下升高，第一极板 C1 的电压升高，有利于提升数据信号向第一极板 C1 传输的效率。

在一些实施例中，如图 18A 和图 18B 所示，图 18B 为图 18A 中 A1 的局部放大图。第二半导体图案 141 包括第一部分 1411 和第二部分 1412。

在向衬底的正投影中，第一部分 1411 位于第二扫描信号线 GNL 靠近存储电容器 Cst 的一侧（下侧），且第一部分 1411 与第三扫描信号线 GPL 交叠。

第二部分 1412 与第一部分 1411 相连，且沿第二方向 Y 延伸，第二方向 Y 与第一方向 X 垂直。在向衬底 110 上的正投影中，第二部分 1412 与第二扫描信号线 GNL 交叉。其中，第二部分 1412 中与第二扫描信号线 GNL 重叠的部分形成第二晶体管 T2 的半导体层，位于第二扫描信号线 GNL 远离存储电容器 Cst（上侧）的部分形成第二晶体管 T2 的第一极。

如图 18B 所示，沿第二方向 Y，第一部分 1411 的尺寸大于第三扫描信号线 GPL 的尺寸，且在向衬底 110 的正投影中，第一部分 1411 的两端分别位于第三扫描信号线 GPL 的两侧。第一部分 1411 沿第一方向 Y 的两侧的边缘，

位于第三扫描信号线 GPL 之外，这样，有利于提升第二半导体图案 141 与第三扫描信号线 GPL 之间的正对面积，提升第二半导体图案 141 的第二极与第三扫描信号线 GPL 的耦合作用。

在一些实施例中，如图 19A 和图 19B 所示，第二连接图案 162 沿第二方向 Y 延伸，在向衬底 110 的正投影中，第二部分 1412 与第二连接图案 162 交叠。这样，第二连接图案 162 能够屏蔽或者降低，位于第一源漏导电层远离衬底 110 一侧的信号对第二半导体图案 141 的干扰。其中，图 19B 为图 19A 中 A2 的局部放大图。

在一些实施例中，如图 21 所示，图 21 为第二半导体图案 141 与第二连接图案分离时的结构图。第二半导体图案 141 沿第二方向 Y 延伸，在向衬底上的正投影中，第二半导体图案 141 与第二连接图案 162 相互分离。这样，第二半导体图案 141 形成长条形结构，有利于简化第二半导体图案 141 的结构，进而降低第二半导体图案 141 的制备难度，降低显示面板 1100 的制备难度。

在一些实施例中，如图 19A 和图 19B 所示，在向衬底 110 的正投影中，第三连接图案 163 与第三扫描信号线 GPL 部分交叠。

在另一些实施例中，参阅图 22，图 22 为第三连接图案位于第三扫描信号线 GPL 下方时的结构图。在向衬底上的正投影中，第三连接图案 163 位于第三扫描信号线 GPL 靠近存储电容器 Cst 的一侧（下侧）；第三连接图案 163 与第二半导体图案 141 部分交叠，且第三连接图案 163 与第二半导体图案 141 交叠部分位于第三扫描信号线 GPL 靠近存储电容器 Cst 的一侧。

参阅图 22，第三扫描信号线 GPL 的部分向远离存储电容器 Cst 的一侧（上侧）弯折，形成凹部 128，第三连接图案 163 与第二半导体图案 141 在衬底上相互交叠的部分位于凹部 128 内。

在一些实施例中，如图 3 所示，发光器件 EL 包括沿垂直于衬底 110 且远离衬底 110 的方向依次设置的阳极 18、发光功能层 19 和阴极层 21。其中，像素电路 120 通过转接块 171 与发光器件 EL 的阳极 18 电连接。

如图 3 所示，封装层 200 可以包括沿垂直于衬底 110 且远离衬底 110 的方向依次设置第一无机材料层 201、有机材料层 202 和第二无机材料层 203。其中，其中，第一无机材料层 201 和第二无机材料层 203 能够隔绝水氧，降低外界水氧侵蚀封装层 200 以下（靠近衬底 11 一侧）的各膜层结构，尤其是降低水氧侵蚀发光功能层 19 的风险，提升显示面板 1100 的使用寿命。有机材料层 202 可以用于平坦化显示面板 1100 的出光面，并可用于吸收和释放显

示面板 1100 的应力。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1、一种像素电路，包括：

驱动晶体管，包括控制极、第一极和第二极；

重置子电路，与第一扫描信号端、基准电压信号端和所述驱动晶体管的第一极电连接，被配置为在来自所述第一扫描信号端的第一扫描信号的控制下，将来自所述基准电压信号端的基准电压信号传输至所述驱动晶体管的第一极；

防漏电子电路，与第二扫描信号端、所述驱动晶体管的第一极和所述驱动晶体的控制极电连接，被配置为在来自所述第二扫描信号端的第二扫描信号的控制下，将所述驱动晶体管的第一极与控制极连通；

数据写入子电路，与第三扫描信号端、数据信号端和所述驱动晶体的第二极电连接，被配置为在来自所述第三扫描信号端的第三扫描信号的控制下，将来自所述数据信号端的数据信号传输至所述驱动晶体的第二极；

在所述防漏电子电路开启时，所述重置子电路和所述数据写入子电路依次开启；

在所述防漏电子电路关闭时，所述重置子电路开启至少一次。

2、根据权利要求1所述的像素电路，其中，

所述重置子电路包括第一晶体管，所述第一晶体的控制极与所述第一扫描信号端电连接，第一极与所述基准电压信号端电连接，第二极与所述驱动晶体管的第一极电连接；

所述防漏电子电路包括第二晶体管，所述第二晶体的控制极与所述第二扫描信号端电连接，第一极与所述驱动晶体管的第一极电连接，第二极与所述驱动晶体的控制极电连接；

所述数据写入子电路包括第三晶体管，所述第三晶体的控制极与所述第三扫描信号端电连接，第一极与所述数据信号端电连接，第二极与所述驱动晶体的第二极电连接。

3、根据权利要求2所述的像素电路，其中，所述第二晶体管为金属氧化物薄膜晶体管；

所述第一晶体管、所述第三晶体管和所述驱动晶体管为低温多晶硅薄膜晶体管。

4、根据权利要求1~3中任一项所述的像素电路，其中，在所述防漏电子电路关闭时，所述重置子电路开启一次或两次。

5、根据权利要求1~4中任一项所述的像素电路，其中，在所述防漏电子电路关闭时，所述数据写入子电路开启至少一次，且所述数据信号端输出第

一复位电压信号。

6、根据权利要求 1~5 中任一项所述的像素电路，还包括：

第一控制子电路，与发光控制信号端、第一电压信号端和所述驱动晶体管的第一极电连接，被配置为在来自所述发光控制信号端的发光控制信号的控制下，将来自所述第一电压信号端的第一电压信号传输至所述驱动晶体管的第一极；

第二控制子电路，与所述发光控制信号端、所述驱动晶体管的第二极和发光器件电连接，被配置为在所述发光控制信号的控制下，将来自所述驱动晶体管的驱动电流传输至所述发光器件；

复位子电路，与所述第一扫描信号端、初始化信号端和所述发光器件电连接，被配置为在所述第一扫描信号的控制下，将来自所述初始化信号端的初始化信号传输至所述发光器件；

储能子电路，与所述驱动晶体管的控制极和所述第一电压信号端电连接，被配置为维持所述驱动晶体管的控制极的电压。

7、根据权利要求 6 所述的像素电路，其中，

所述第一控制子电路包括第四晶体管，所述第四晶体管的控制极与所述发光控制信号端电连接，第一极与所述第一电压信号端电连接，第二极与所述驱动晶体管的第一极电连接；

所述第二控制子电路包括第五晶体管，所述第五晶体管的控制极与所述发光控制信号端电连接，第一极与所述驱动晶体管的第二极电连接，第二极与所述发光器件电连接；

所述复位子电路包括第六晶体管，所述第六晶体管的控制极与所述第一扫描信号端电连接，第一极与所述初始化信号端电连接，第二极与所述发光器件电连接；

所述储能子电路包括存储电容器，所述存储电容器的第一极板与所述驱动晶体管的控制极电连接，第二极板与所述第一电压信号端电连接。

8、一种像素电路的驱动方法，用于驱动如权利要求 1~7 中任一项所述的像素电路，一个显示帧包括复位阶段、数据写入阶段和第一重置阶段；

所述驱动方法包括：

在所述复位阶段，第一扫描信号端和第二扫描信号端输出工作电平，第三扫描信号端输出非工作电平，来自基准电压信号端的基准电压信号经重置子电路和防漏电子电路传输至驱动晶体管的控制极；

在所述数据写入阶段，所述第一扫描信号端输出非工作电平，所述第二

扫描信号端和所述第三扫描信号端输出工作电平，数据信号端输出数据信号，所述数据信号经数据写入子电路传输至所述驱动晶体管的第二极，且所述驱动晶体管的控制极写入所述数据信号和阈值电压；

在所述第一重置阶段，所述第一扫描信号端输出至少一次工作电平，所述第二扫描信号端输出非工作电平，所述基准电压信号经所述重置子电路传输至所述驱动晶体管的第一极。

9、根据权利要求 8 所述的驱动方法，其中，所述像素电路包括第一刷新频率和第二刷新频率，所述第一刷新频率小于所述第二刷新频率；在所述第一刷新频率下，所述像素电路在一个显示帧还包括在所述第一重置阶段之后的发光阶段和第二重置阶段；

所述驱动方法还包括：

在所述发光阶段，所述第一扫描信号端、所述第二扫描信号端和所述第三扫描信号端输出非工作电平，发光控制信号端输出工作电平，来自所述驱动晶体管的驱动电流传输至发光器件；

在所述第二重置阶段，所述第一扫描信号端输出工作电平，所述第二扫描信号端、所述第三扫描信号端和所述发光控制信号端输出非工作电平，来自基准电压信号端的基准电压信号经所述重置子电路传输至所述驱动晶体管的第一极。

10、根据权利要求 9 所述的驱动方法，其中，来自基准电压信号端的基准电压信号在所述第一重置阶段的电压值为第一基准电压信号值，在所述第二重置阶段的电压值为第二基准电压信号值；

其中，所述第一基准电压信号值等于所述第二基准电压信号值，且所述第一基准电压信号值和所述第二基准电压信号值为负值；或者，所述第一基准电压信号值小于所述第二基准电压信号值，所述第一基准电压信号值为负值，所述第二基准电压信号值大于来自第一电压信号端的第一电压信号的电压值。

11、一种阵列基板，包括衬底，及设置于所述衬底上且阵列式布置的多个像素电路，所述像素电路为如权利要求 1~7 中所述的像素电路。

12、根据权利要求 11 所述的阵列基板，其中，所述像素电路包括驱动晶体管、第一晶体管、第三晶体管和存储电容器；

所述阵列基板还包括：

设置于衬底上的第一半导体层，所述第一半导体层包括所述第一晶体管的第一半导体图案、所述第三晶体管的第三半导体图案和所述驱动晶体管的

第七半导体图案；其中，第三半导体图案和所述第七半导体图案相连，且与所述第一半导体图案具有间隔；

第一栅导电层，位于所述第一半导体层远离所述衬底的一侧，包括第一扫描信号线、第三扫描信号线和所述存储电容器的第一极板；

第二栅导电层，位于所述第一栅导电层远离所述衬底的一侧，包括所述存储电容器的第二极板。

13、根据权利要求 12 所述的阵列基板，其中，所述像素电路还包括第二晶体管；

所述阵列基板还包括：

第二半导体层，位于所述第二栅导电层远离所述衬底的一侧，包括所述第二晶体管的第二半导体图案；

第三栅导电层，位于所述第二半导体层远离所述衬底的一侧，包括第二扫描信号线和基准电压信号线；

第一源漏导电层，位于所述第三栅导电层远离所述衬底的一侧，包括第一连接图案、第二连接图案和第三连接图案；所述第一连接图案与所述基准电压信号线和所述第一半导体图案的第一极连接，所述第二连接图案与所述第一半导体图案的第二极、所述第二半导体图案的第一极和所述第七半导体图案的第一极连接，所述第三连接图案与所述第二半导体图案的第二极和所述存储电容器的第一极板连接；

第二源漏导电层，位于所述第一源漏导电层远离所述衬底的一侧，包括数据线，所述数据线与所述第三半导体图案的第一极连接；所述第三半导体图案的第二极与所述第七半导体图案的第二极连接。

14、根据权利要求 13 所述的阵列基板，其中，

在向所述衬底的正投影中，所述第二半导体图案与所述第三扫描信号线部分交叠。

15、根据权利要求 14 所述的阵列基板，其中，所述第二半导体图案包括：

第一部分，在向所述衬底的正投影中，所述第一部分位于所述第二扫描信号线靠近所述存储电容器的一侧，且与所述第三扫描信号线交叠；

第二部分，与所述第一部分相连，且沿第二方向延伸，在向所述衬底的正投影中，所述第二部分与所述第二扫描信号线交叉；所述第二方向与第一方向交叉；

其中，沿所述第二方向，所述第一部分的尺寸大于所述第三扫描信号线的尺寸，且在向所述衬底的正投影中，所述第一部分的一端分别位于第三扫

描信号线的两侧。

16、根据权利要求 15 所述的阵列基板，其中，在向所述衬底的正投影中，所述第二部分与所述第二连接图案交叠。

17、根据权利要求 12~14 中任一项所述的阵列基板，其中，所述第二半导体图案沿第二方向延伸，在向所述衬底上的正投影中，所述第二半导体图案与所述第二连接图案相互分离。

18、根据权利要求 12~17 中任一项所述的阵列基板，其中，
在向所述衬底的正投影中，所述第三连接图案与所述第三扫描信号线部分交叠。

19、根据权利要求 12~17 中任一项所述的阵列基板，其中，在向所述衬底上的正投影中，所述第三连接图案位于所述第三扫描信号线靠近所述存储电容器的一侧；所述第三连接图案与所述第二半导体图案部分交叠，且交叠部分位于所述第三扫描信号线靠近所述存储电容器的一侧。

20、根据权利要求 19 所述的阵列基板，其中，
所述第三扫描信号线的部分向远离所述存储电容器的一侧弯折，形成凹部，所述第三连接图案与所述第二半导体图案在所述衬底上相互交叠的部分位于所述凹部内。

21、根据权利要求 12~20 中任一项所述的阵列基板，其中，
所述第三半导体图案为 L 型结构，所述第三半导体图案包括：
第一延伸段，沿第一方向延伸，所述第一方向为所述多个子像素排列的行方向；

第二延伸段，沿第二方向延伸，且与所述第一延伸段相连，所述第二方向与所述第一方向交叉；

所述第三扫描信号线包括：

主体部，沿所述第一方向延伸，且所述主体部在所述衬底上的正投影，与所述第二延伸段部分交叠；

凸出部，沿所述第二方向延伸，且所述凸出部在所述衬底上的正投影，与所述第一延伸段部分交叠。

22、根据权利要求 17~21 中任一项所述的阵列基板，其中，所述第二栅导电层还包括：

辅助第二扫描信号线，被配置为传输第二扫描信号，且所述辅助第二扫描信号线在所述衬底上的正投影，与所述第一扫描信号线在所述衬底上的正投影交叠。

23、一种显示装置，其特征在于，包括：

如权利要求 12~22 中任一项所述的阵列基板；

发光器件，设置于所述阵列基板上，所述发光器件与所述阵列基板的像素电路电连接，被配置为在所述像素电路的控制下发光。



图 1

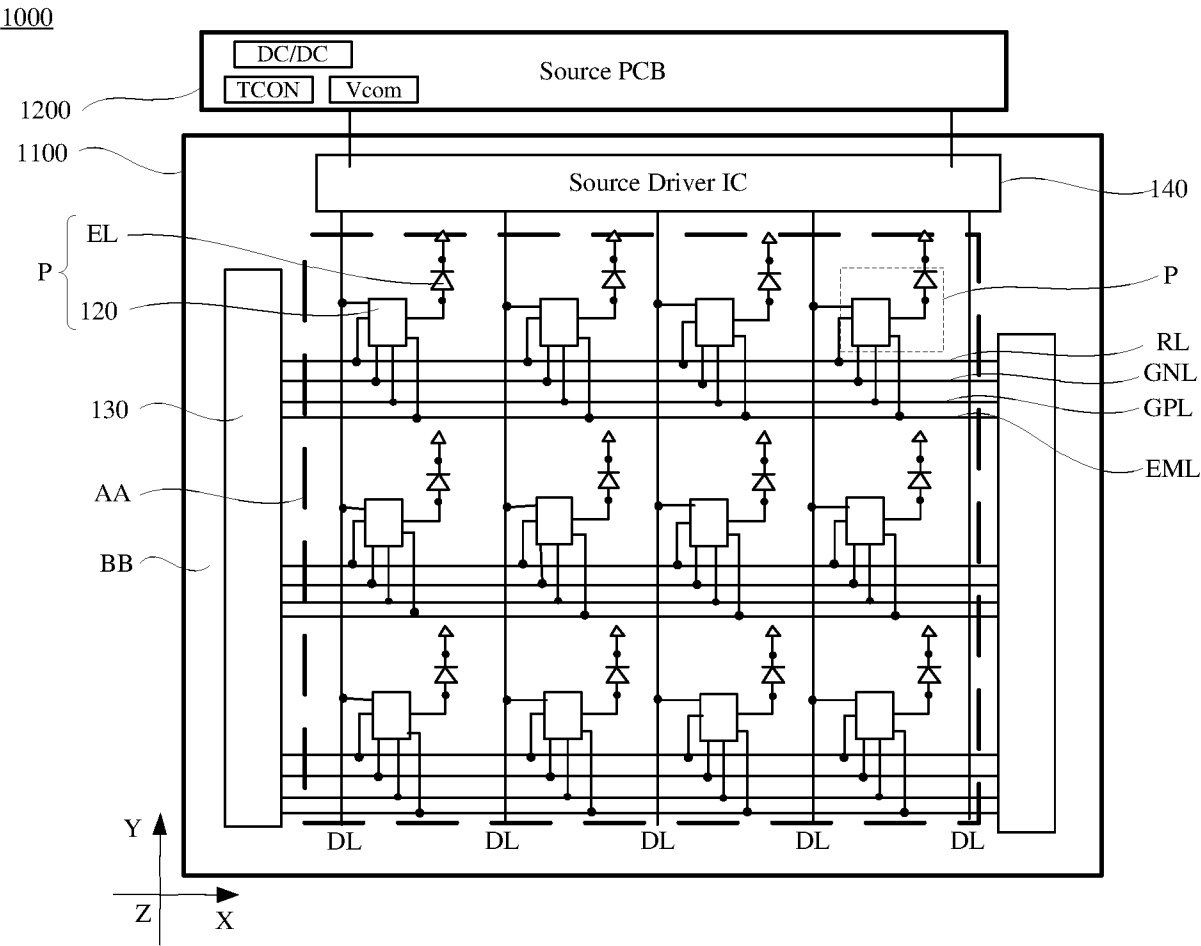


图 2

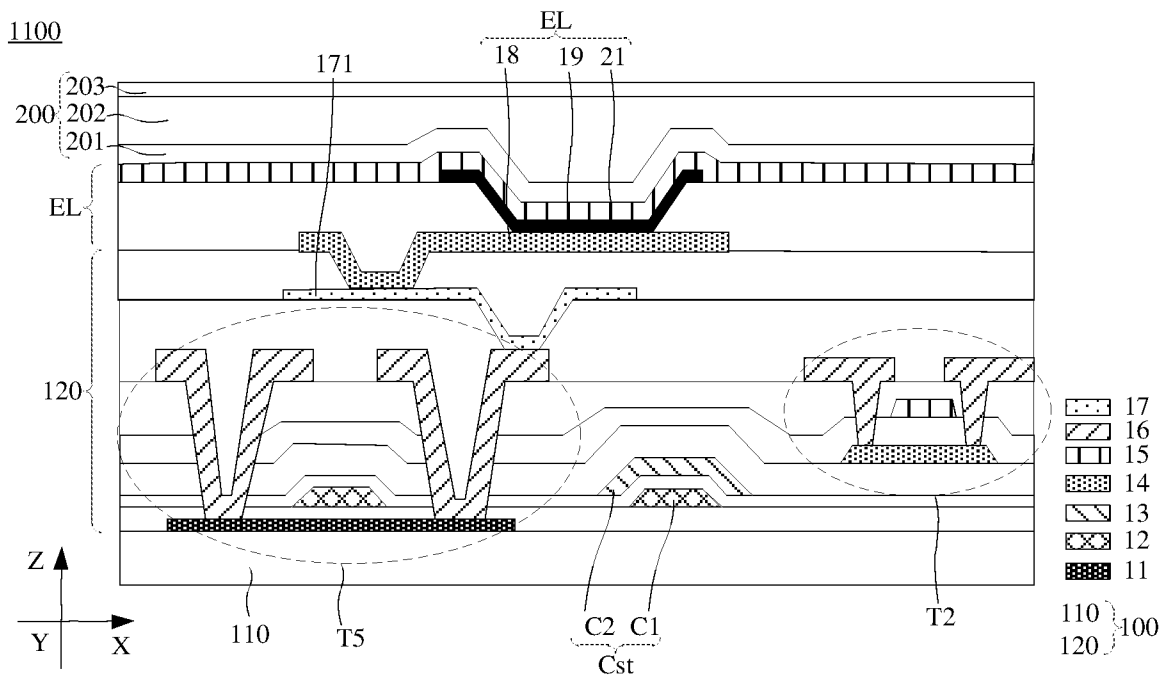


图 3

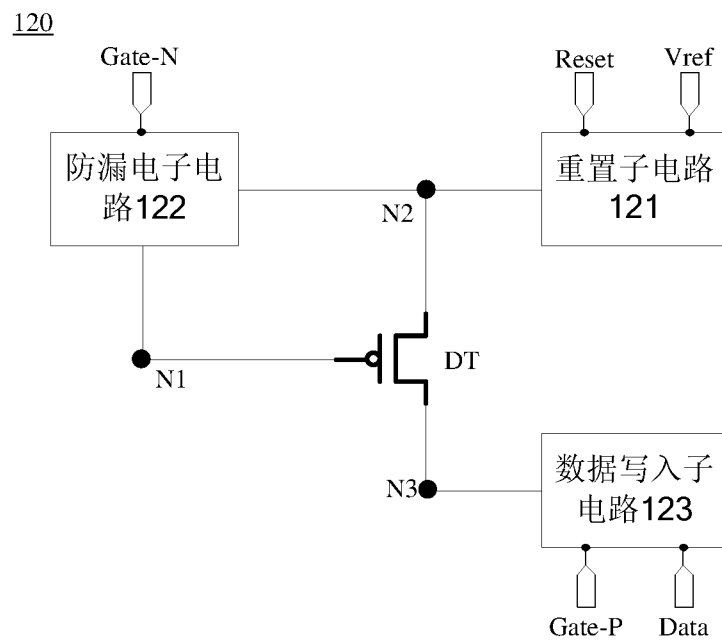


图 4

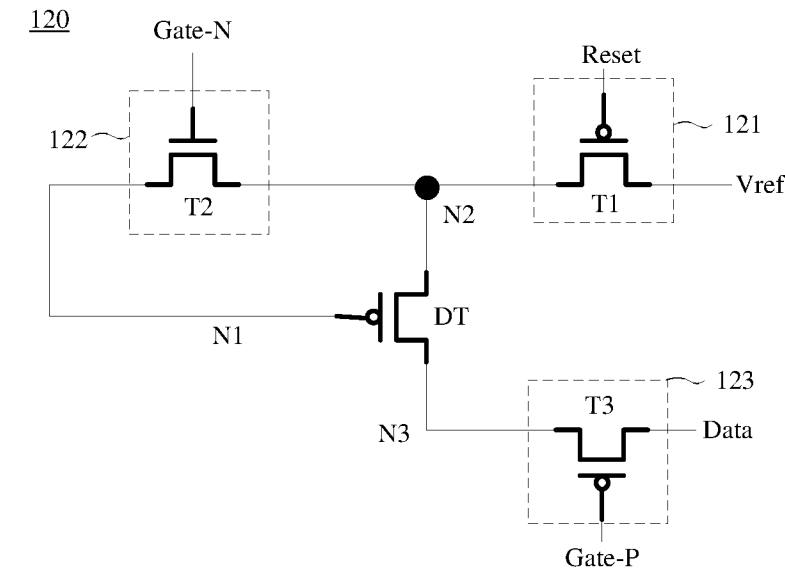


图 5

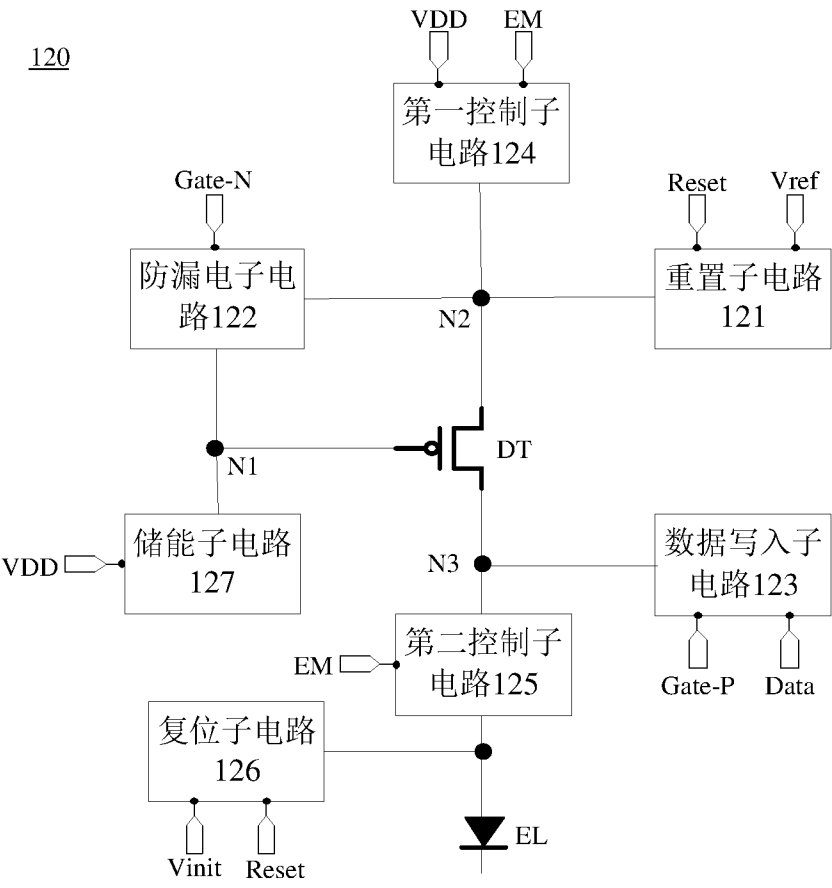


图 6

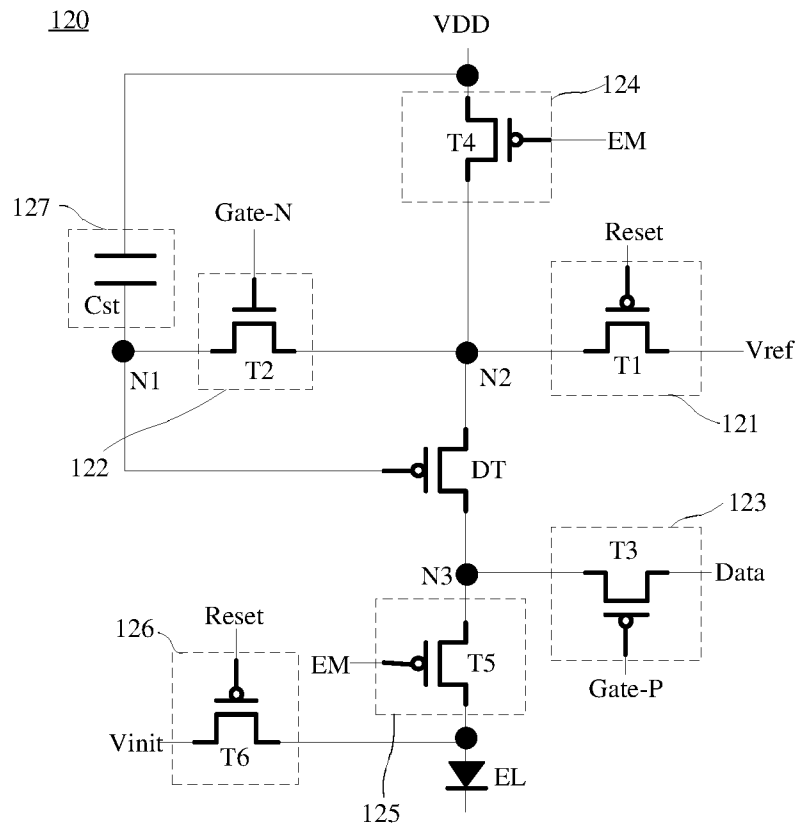


图 7A

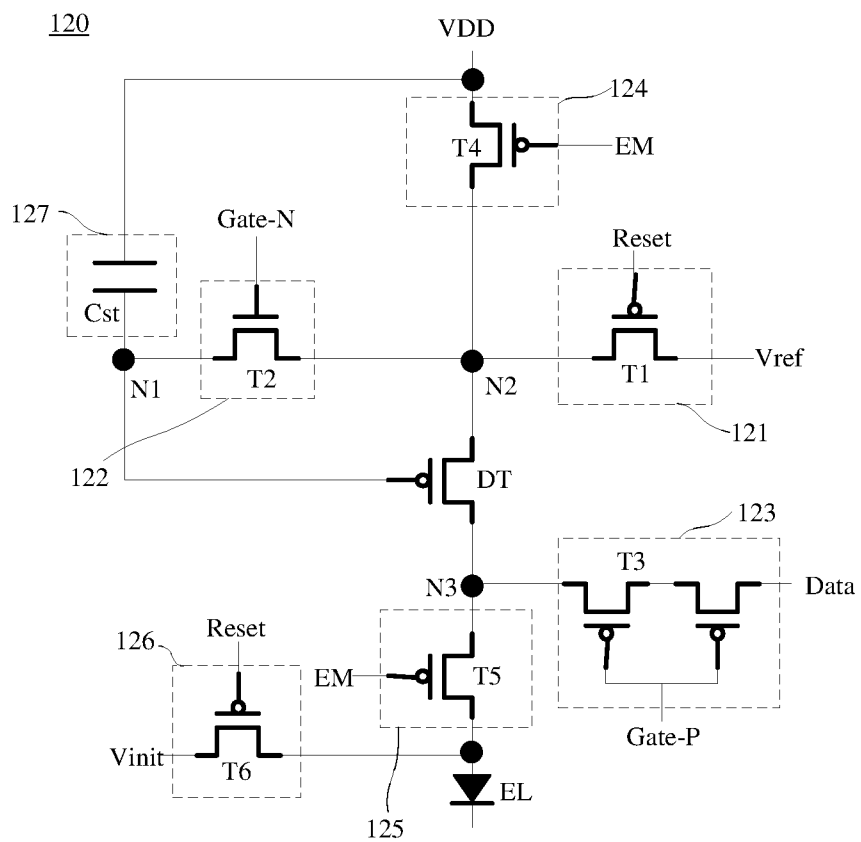


图 7B

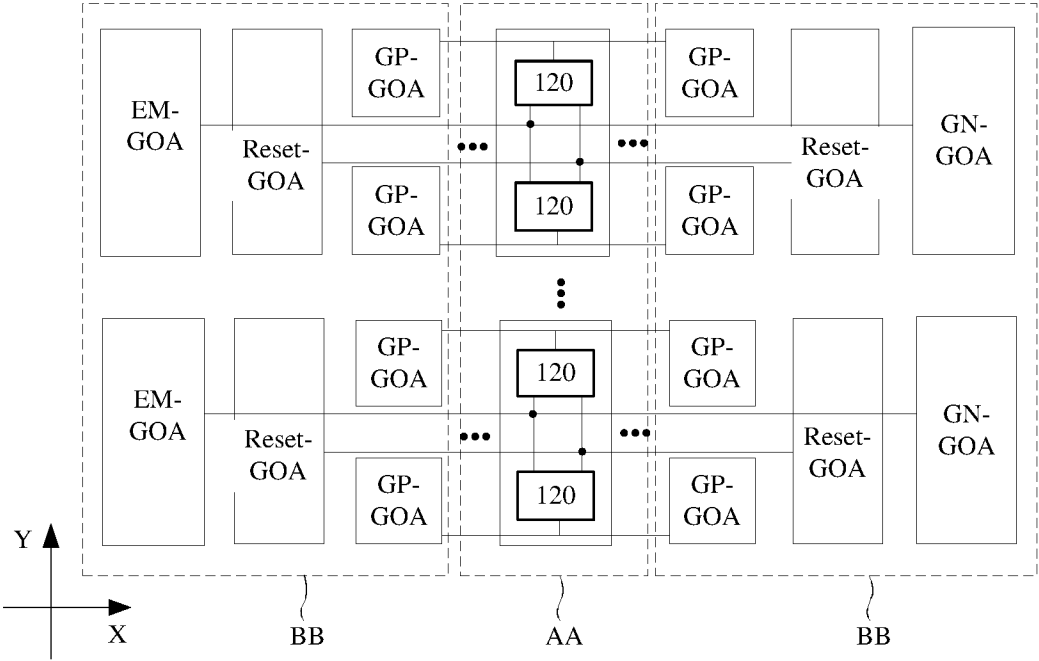


图 8

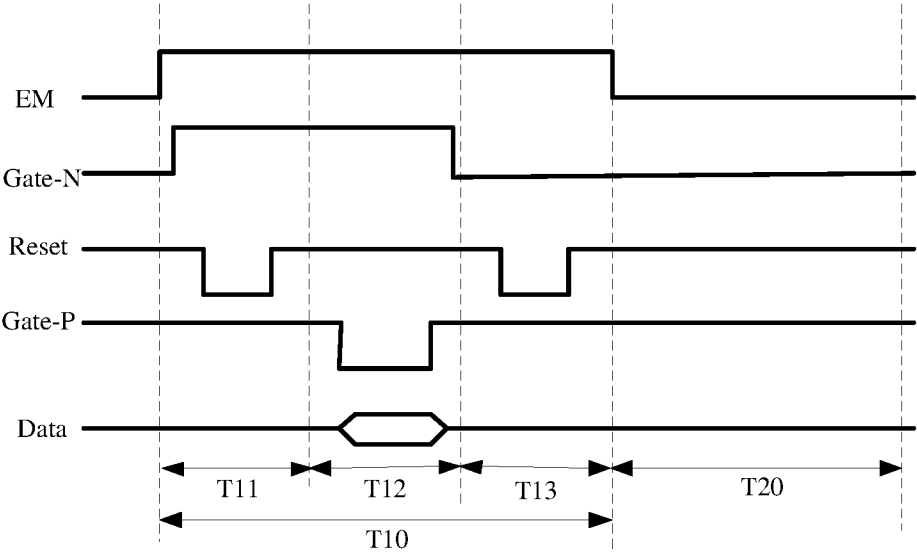


图 9

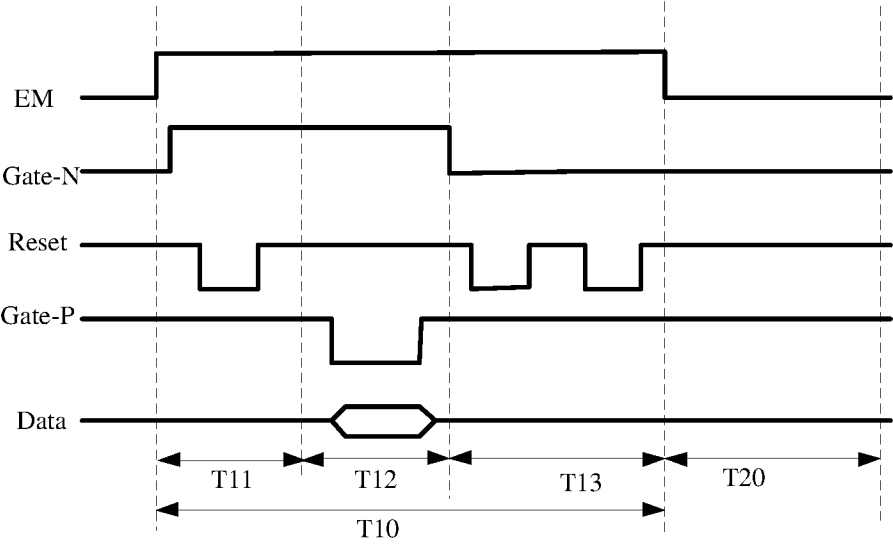


图 10

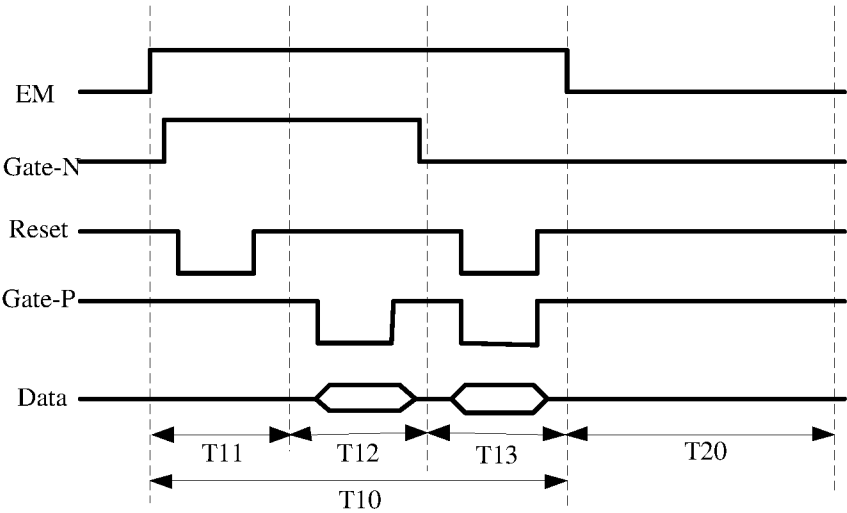


图 11

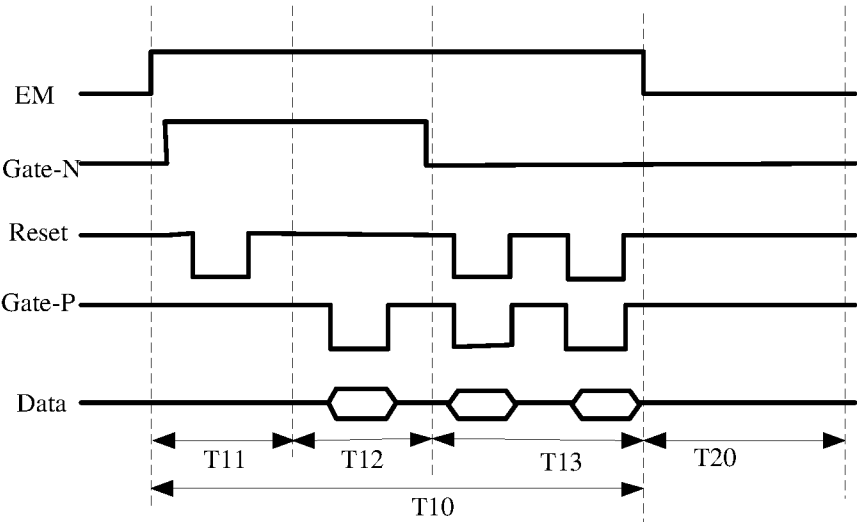


图 12

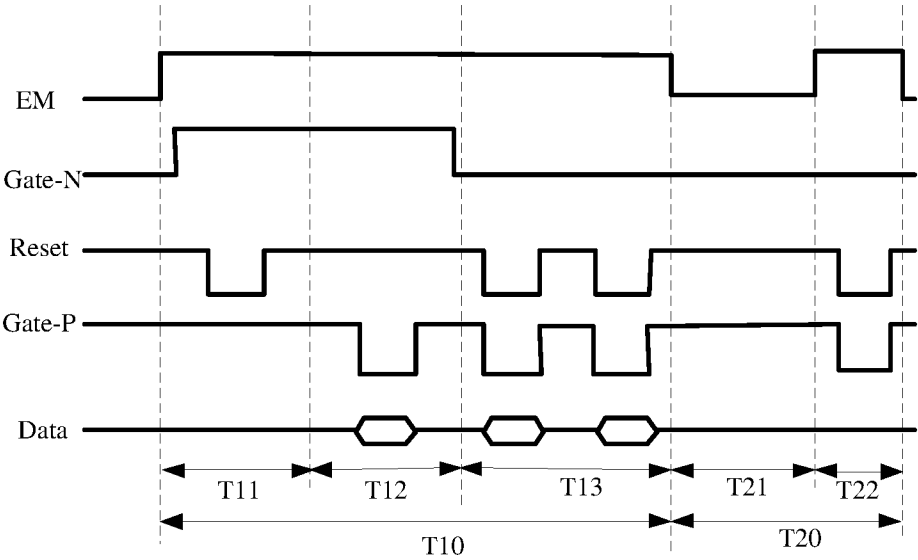


图 13A

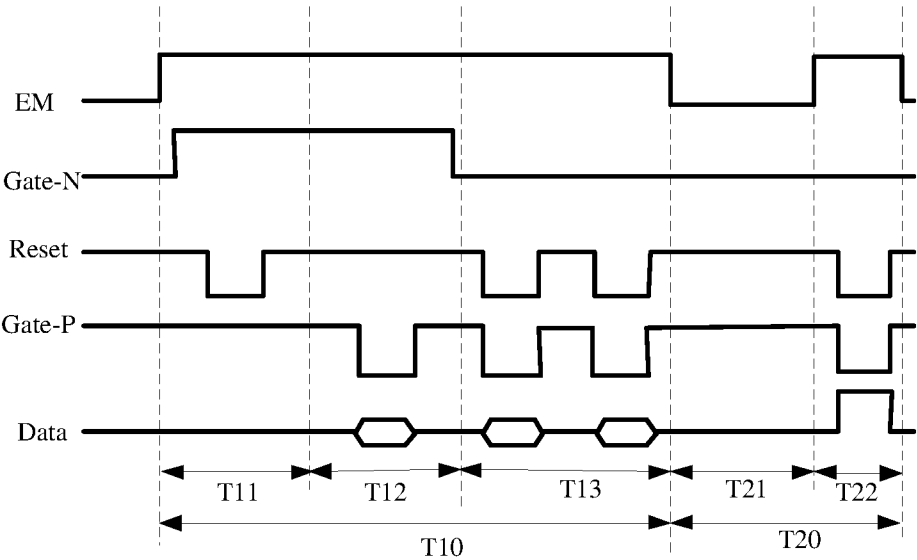


图 13B

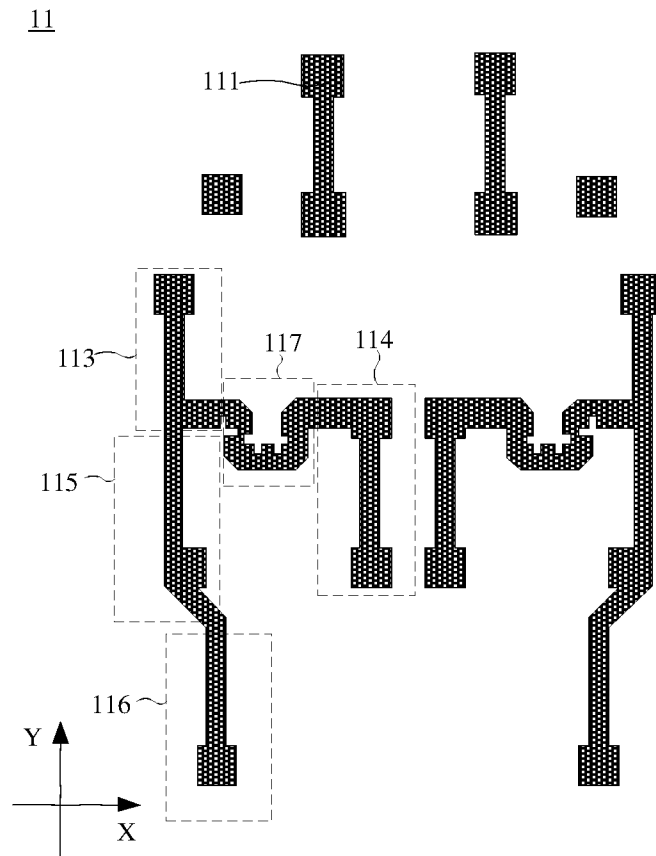


图 14

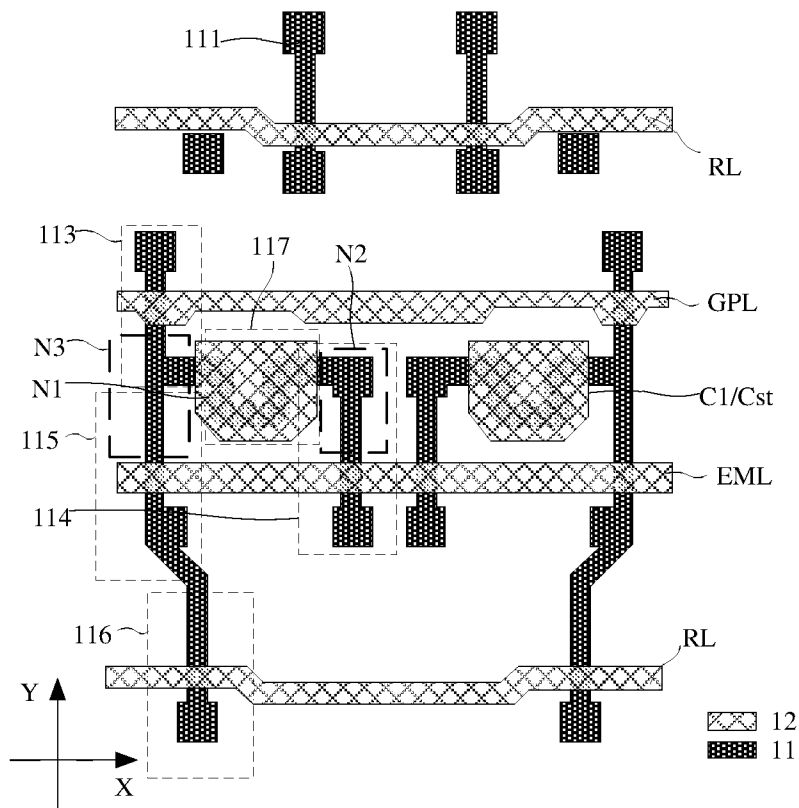


图 15A

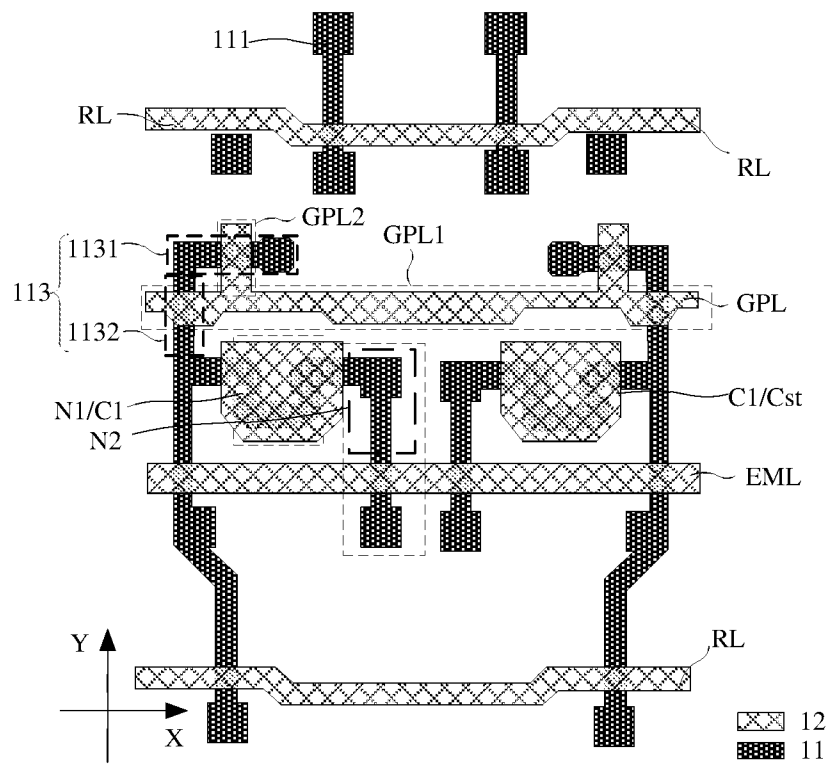


图 15B

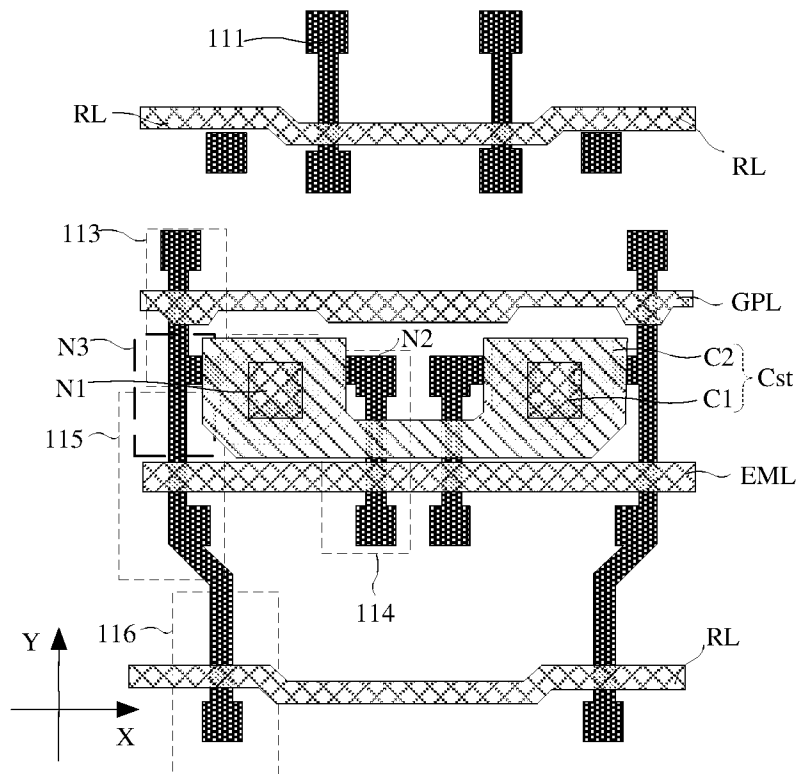


图 16A

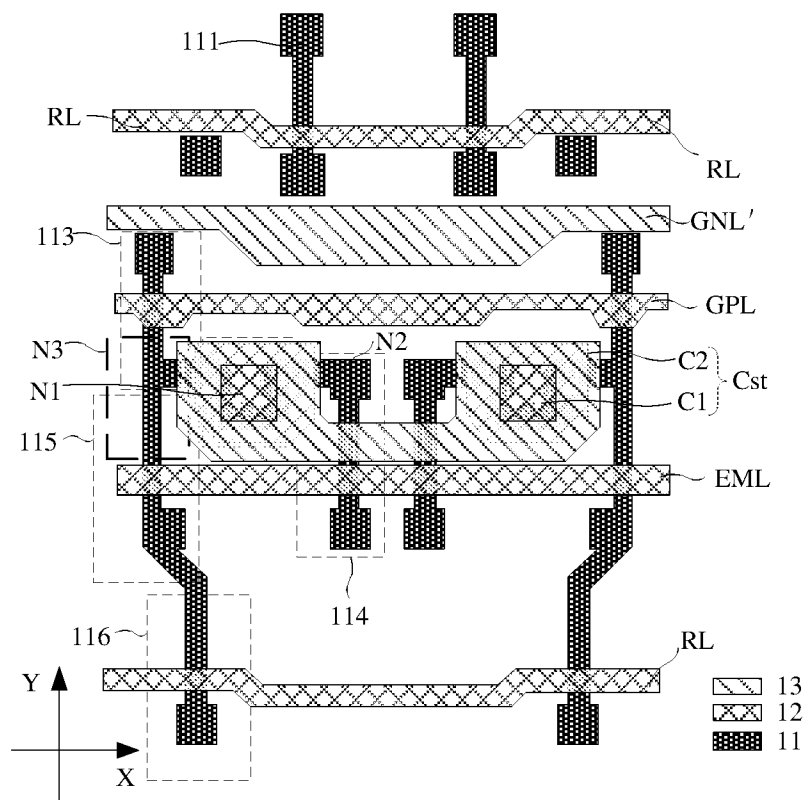


图 16B

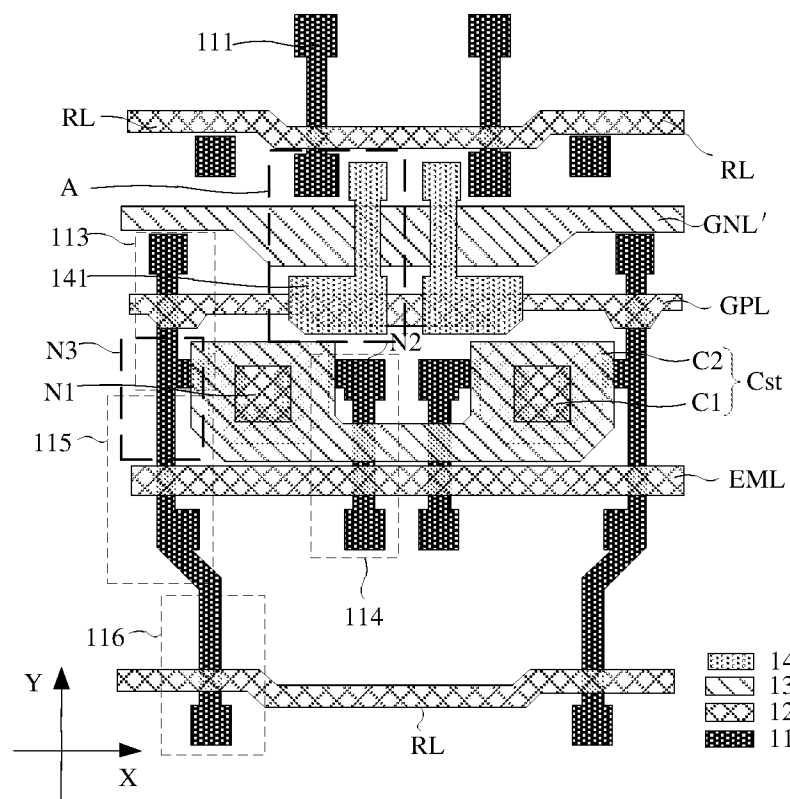


图 17

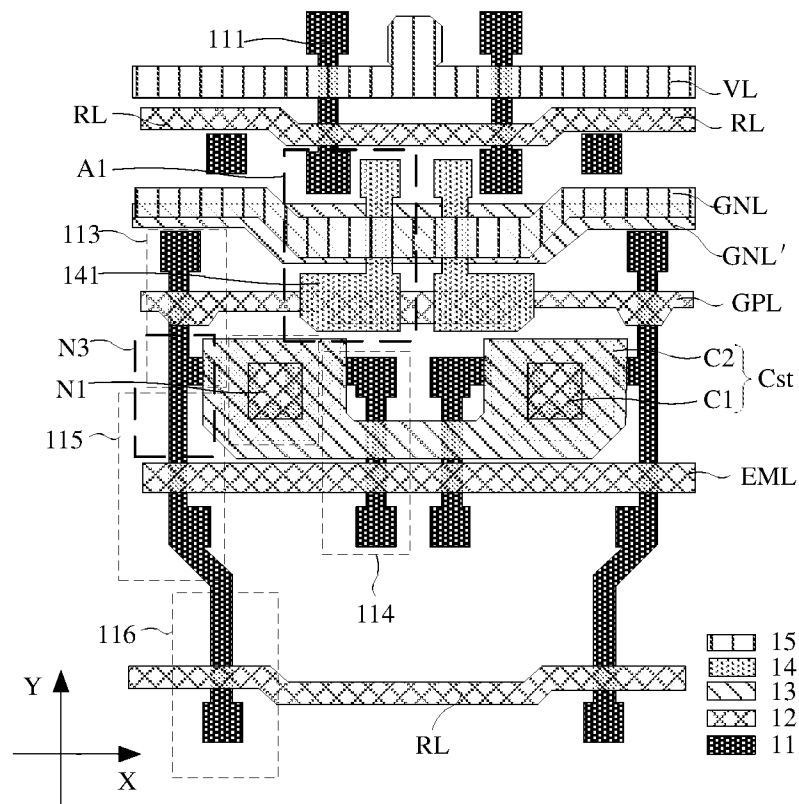


图 18A

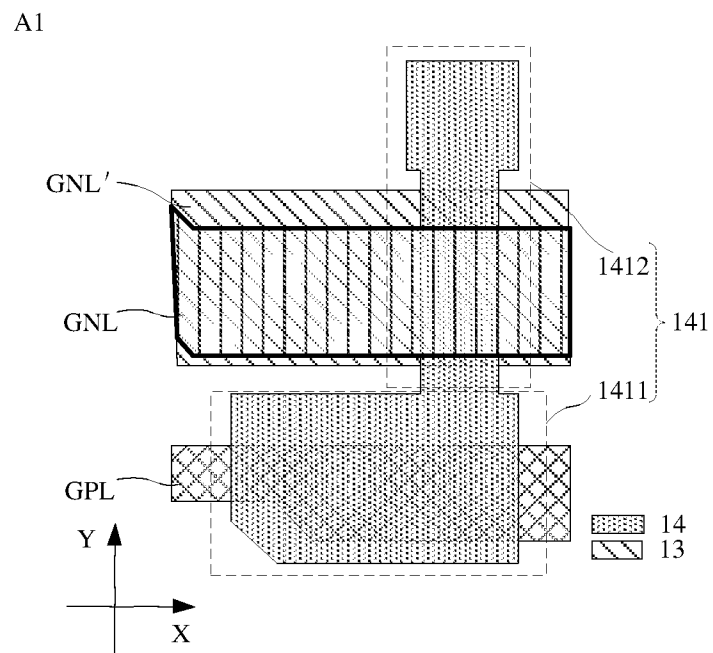


图 18B

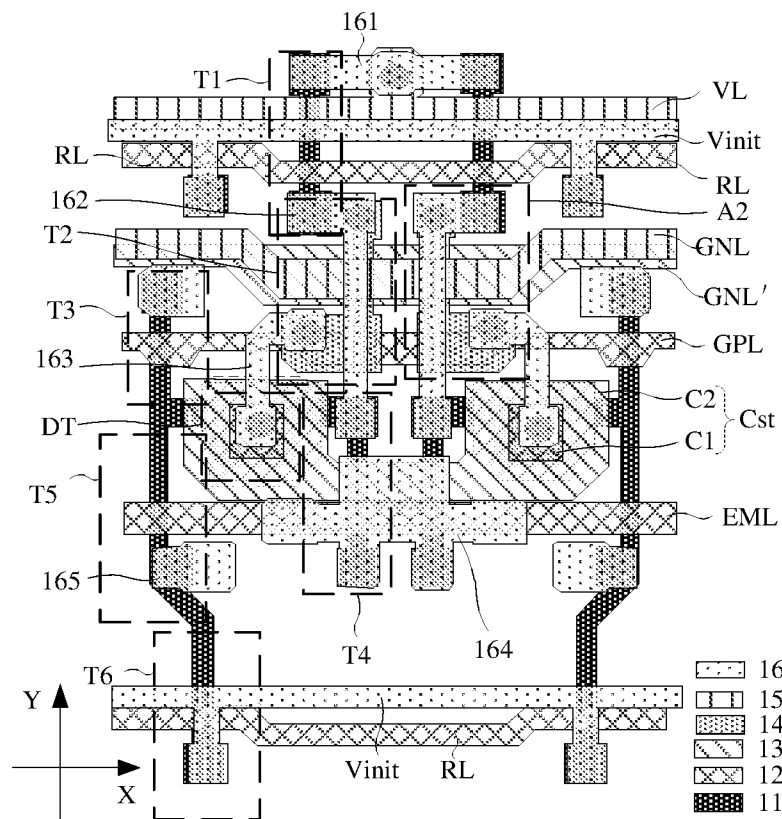


图 19A

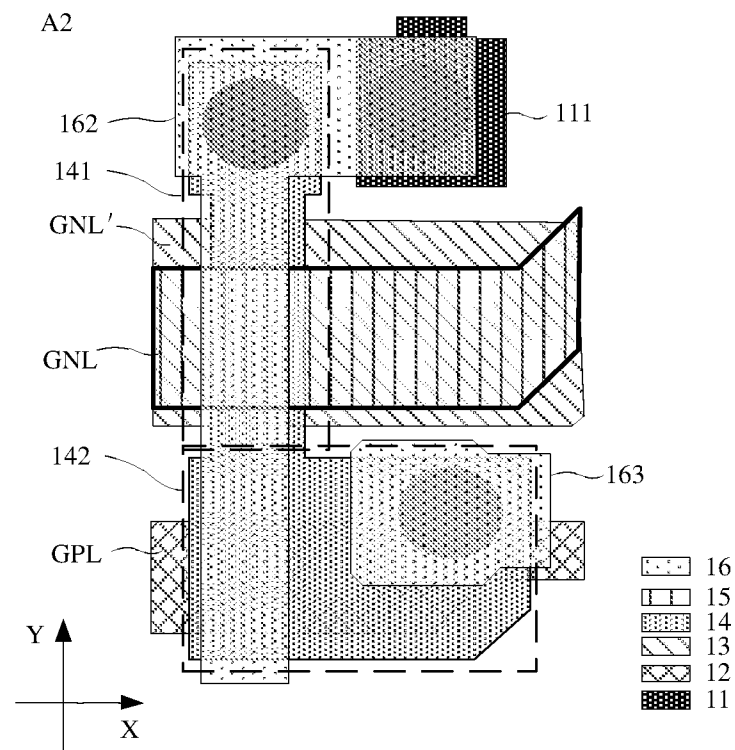


图 19B

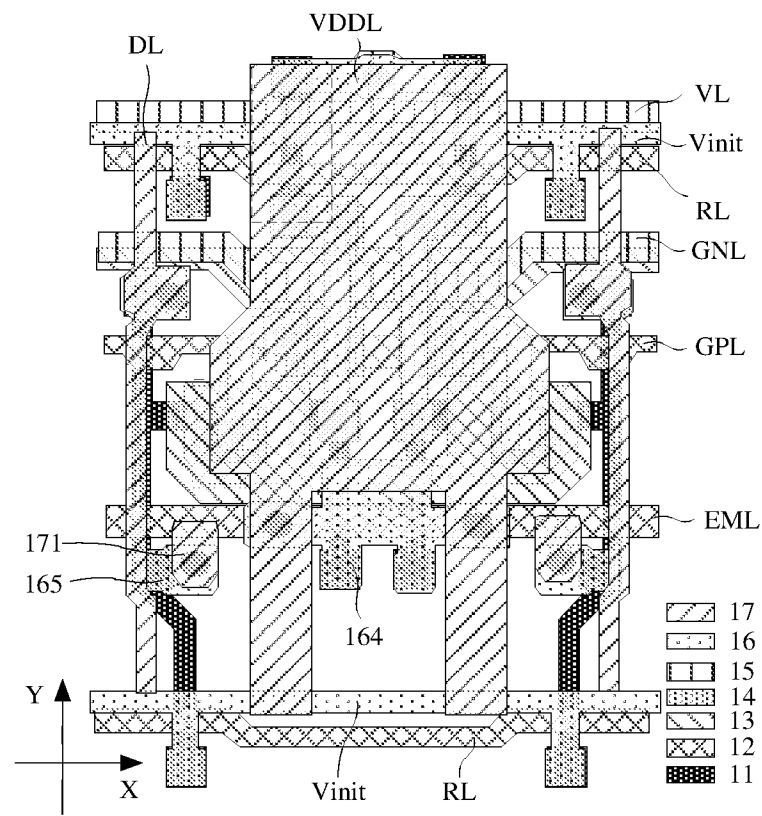


图 20

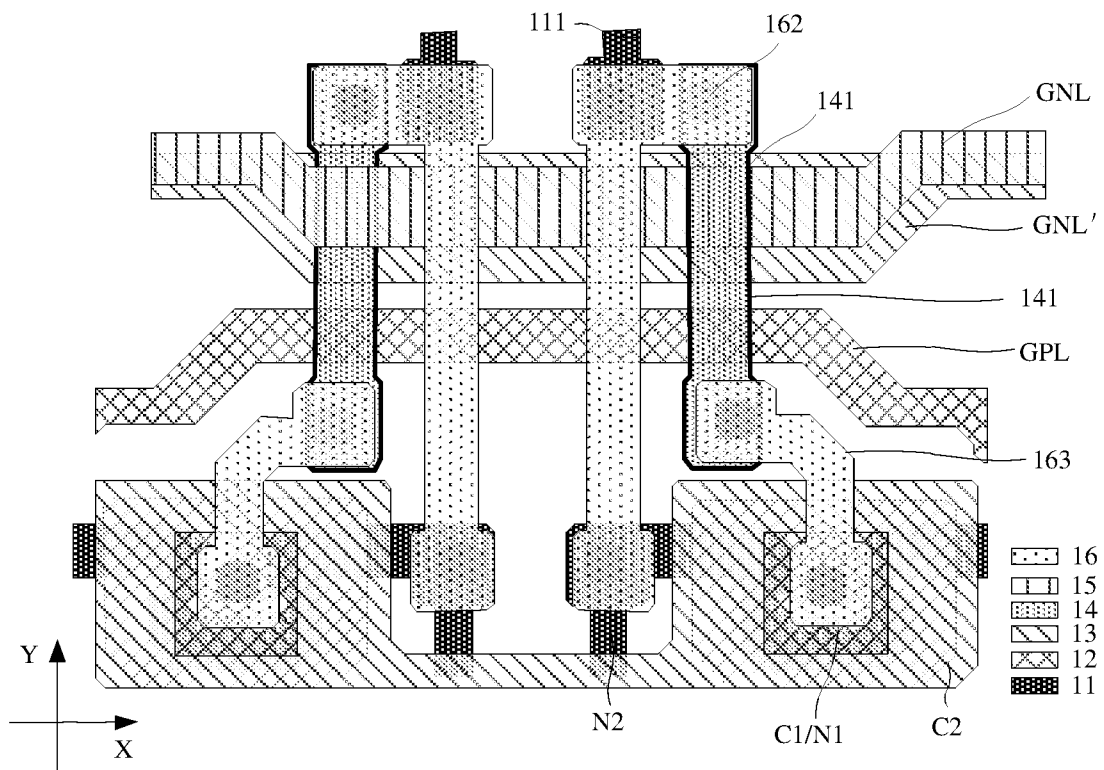


图 21

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/138079

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/3225(2016.01)i;H01L27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; USTXT; EPTXT; WOTXT: 半导体, 半导体图案, 保持, 磁滞, 翻转, 反转, 复位, 基板, 京东方, 刷新, 像素, 栅导电层, 帧, 重置, OLED, driv+, reset+, rever+, hysteresis, frame

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 115394252 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 25 November 2022 (2022-11-25) description, paragraphs [0071]-[0136], and figures 3-11	1-10
Y	CN 115394252 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 25 November 2022 (2022-11-25) description, paragraphs [0071]-[0136], and figures 3-11	11-23
Y	CN 114530464 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 24 May 2022 (2022-05-24) description, paragraphs [0065]-[0196], and figures 4-27	11-23
A	CN 112634830 A (SAMSUNG DISPLAY CO., LTD.) 09 April 2021 (2021-04-09) entire document	1-23
A	CN 109087610 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 25 December 2018 (2018-12-25) entire document	1-23



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 April 2023

Date of mailing of the international search report

29 April 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/138079

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 111508426 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 07 August 2020 (2020-08-07) entire document	1-23

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/138079

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115394252	A	25 November 2022	None			
CN	114530464	A	24 May 2022	None			
CN	112634830	A	09 April 2021	None			
CN	109087610	A	25 December 2018	US	2021118361	A1	22 April 2021
				WO	2020037767	A1	27 February 2020
CN	111508426	A	07 August 2020	US	2022343852	A1	27 October 2022
				WO	2021238470	A1	02 December 2021
				CN	111508426	B	15 April 2022

国际检索报告

国际申请号

PCT/CN2022/138079

A. 主题的分类

G09G3/3225 (2016.01) i; H01L27/12 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

IPC: G09G H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS; CNTXT; CNKI; VEN; USTXT; EPTXT; WOTXT; 半导体, 半导体图案, 保持, 磁滞, 翻转, 反转, 复位, 基板, 京东方, 刷新, 像素, 栅导电层, 帧, 重置, OLED, driv+, reset+, rever+, hysteresis, frame

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 115394252 A (京东方科技集团股份有限公司 等) 2022年11月25日 (2022 - 11 - 25) 说明书第[0071]-[0136]段, 图3-11	1-10
Y	CN 115394252 A (京东方科技集团股份有限公司 等) 2022年11月25日 (2022 - 11 - 25) 说明书第[0071]-[0136]段, 图3-11	11-23
Y	CN 114530464 A (京东方科技集团股份有限公司 等) 2022年5月24日 (2022 - 05 - 24) 说明书第[0065]-[0196]段, 图4-27	11-23
A	CN 112634830 A (三星显示有限公司) 2021年4月9日 (2021 - 04 - 09) 全文	1-23
A	CN 109087610 A (武汉华星光电半导体显示技术有限公司) 2018年12月25日 (2018 - 12 - 25) 全文	1-23
A	CN 111508426 A (京东方科技集团股份有限公司 等) 2020年8月7日 (2020 - 08 - 07) 全文	1-23

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年4月19日

国际检索报告邮寄日期

2023年4月29日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

顾健健

电话号码 (+86) 0512-88996613

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/138079

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115394252	A	2022年11月25日	无			
CN	114530464	A	2022年5月24日	无			
CN	112634830	A	2021年4月9日	无			
CN	109087610	A	2018年12月25日	US	2021118361	A1	2021年4月22日
				WO	2020037767	A1	2020年2月27日
CN	111508426	A	2020年8月7日	US	2022343852	A1	2022年10月27日
				WO	2021238470	A1	2021年12月2日
				CN	111508426	B	2022年4月15日