



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0092624
 (43) 공개일자 2012년08월21일

(51) 국제특허분류(Int. Cl.)
H01L 21/306 (2006.01) *H01L 21/3205*
 (2006.01)
H01L 21/768 (2006.01)
 (21) 출원번호 10-2012-7011804
 (22) 출원일자(국제) 2010년11월08일
 심사청구일자 없음
 (85) 번역문제출일자 2012년05월07일
 (86) 국제출원번호 PCT/JP2010/069864
 (87) 국제공개번호 WO 2011/055825
 국제공개일자 2011년05월12일
 (30) 우선권주장
 JP-P-2009-256437 2009년11월09일 일본(JP)

(71) 출원인
미츠비시 가스 가가쿠 가부시키키가이샤
 일본 도쿄도 지요다쿠 마루노우치 2초메 5반 2고
 (72) 발명자
소토아카 류지
 일본국 도쿄도 가츠시카쿠 니이주쿠 6초메 1반 1고 미츠비시 가스 가가쿠 가부시키키가이샤 도쿄 연구소 내
후지오토 요시코
 일본국 도쿄도 가츠시카쿠 니이주쿠 6초메 1반 1고 미츠비시 가스 가가쿠 가부시키키가이샤 도쿄 연구소 내
 (74) 대리인
특허법인태평양

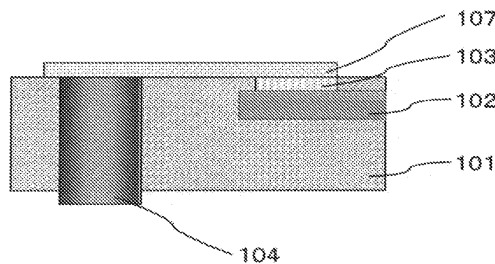
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **실리콘 관통 비아 프로세스에서의 실리콘 기판 이면 에칭용 에칭액 및 이것을 이용한 실리콘 관통 비아를 가지는 반도체 칩의 제조 방법**

(57) 요약

실리콘 관통 비아 프로세스에서의 실리콘 기판 이면 에칭에 이용되어, 구리나 텅스텐 등의 금속 혹은 폴리실리콘 등으로 이루어진 접속 플러그를 에칭하지 않고, 실리콘 기판만을 에칭하며, 또한 뛰어난 에칭 속도를 가지는 에칭액, 및 이것을 이용한 실리콘 관통 비아를 가지는 반도체 칩의 제조 방법을 제공한다. 수산화칼륨과 히드록실아민과 물을 포함하는 실리콘 관통 비아 프로세스에서의 실리콘 기판 이면 에칭용 에칭액, 및 이 에칭액을 이용하는 실리콘 기판 이면 에칭 공정을 가지는 반도체 칩의 제조 방법이 개시된다.

대표도 - 도1



특허청구의 범위

청구항 1

수산화칼륨과 히드록실아민과 물을 포함하고, 실리콘 관통 비아 프로세스에서의 실리콘 기판 이면 에칭용 에칭액.

청구항 2

청구항 1에 있어서,

수산화칼륨의 함유량이 10~50중량%이고, 히드록실아민의 함유량이 8~40중량%인 에칭액.

청구항 3

청구항 1 또는 청구항 2에 있어서,

실리콘 기판이 재배선과 접속 플러그를 갖고, 이 접속 플러그가 재배선이 마련되어 있지 않은 실리콘 기판 이면으로 돌출된 것인 에칭액.

청구항 4

청구항 3에 있어서,

접속 플러그가 폴리실리콘, 구리, 텅스텐으로부터 선택되는 적어도 1종으로 이루어진 에칭액.

청구항 5

청구항 1 내지 청구항 4 중 어느 한 항에 기재된 에칭액을 이용하는 실리콘 기판 이면 에칭 공정을 가지는 3차원 멀티칩 반도체 장치용 반도체 칩의 제조 방법.

청구항 6

청구항 5에 있어서,

상기 실리콘 기판 이면 에칭 공정이 접속 플러그를 덮는 절연층이 실리콘 기판에 피복된 상태에서 실리콘 기판을 박화시키는 실리콘 기판 박화 공정 (1)과, 이 절연층으로 덮인 접속 플러그를 돌출시키는 실리콘 기판 박화 공정 (2)를 순서대로 갖고, 적어도 이 실리콘 기판 박화 공정 (2)에서 청구항 1 내지 청구항 4 중 어느 한 항에 기재된 에칭액을 이용하는 반도체 칩의 제조 방법.

청구항 7

청구항 6에 있어서,

상기 실리콘 기판 박화 공정 (1)이 종료되었을 때의 실리콘 기판 이면과 절연층의 실리콘 기판 이면측의 면의 거리, 및 이 실리콘 기판 박화 공정 (1)이 종료되었을 때의 절연층의 실리콘 기판 이면측의 면과 상기 실리콘 기판 박화 공정 (2)가 종료되었을 때의 실리콘 기판 이면의 거리의 합이 20~30 μ m의 범위 내인 반도체 칩의 제조 방법.

청구항 8

청구항 6 또는 청구항 7에 있어서,

접속 플러그가 폴리실리콘, 구리, 텅스텐으로부터 선택되는 적어도 1종으로 이루어진 반도체 칩의 제조 방법.

청구항 9

청구항 5 내지 청구항 8 중 어느 한 항에 있어서,

반도체 칩이 3차원 멀티칩 반도체 장치에 이용되는 것인 반도체 칩의 제조 방법.

명세서

기술분야

[0001] 본 발명은 실리콘 관통 비아 프로세스에서의 실리콘 기판 이면 에칭용 에칭액 및 이것을 이용한 실리콘 관통 비아를 가지는 반도체 칩의 제조 방법에 관한 것이다.

배경기술

[0002] 최근 전자기기의 소형화의 요청에 수반해, 해당 기기에 이용되는 반도체 장치의 소형화나, 고집적화 및 다기능화가 급속히 진행되고 있어 이것을 실현시키기 위해서 반도체 칩을 쌓아 올려 제조하는 3차원 멀티칩 반도체 장치가 개발되고 있다.

[0003] 3차원 멀티칩 반도체 장치에 이용되는 반도체 칩 중에서도, 예를 들면 도 1에 나타내는 바와 같은 실리콘 기판(101)을 관통하는 실리콘 관통 비아, 이 비아 내로부터 실리콘 기판(101) 이면으로 돌출되도록 마련되는 구리나 텅스텐 등의 금속으로 이루어진 접속 플러그(104) 및 재배선(107)을 가지는 반도체 칩이 주목받고 있다. 이것은 반도체 칩을 쌓아 올리기 때문에 반도체 기판에 대한 반도체 칩에 의한 점유 면적을 저감시킬 수 있다는 종래의 3차원 멀티칩 반도체 장치의 이점에 더해, 전기적인 전달이 실리콘 관통 비아를 거치기 때문에 전기적인 열화가 적고, 반도체 패키지의 동작 속도를 향상시킬 수 있으며, 나아가 쌓아 올려진 반도체 칩끼리의 간격을 작게 할 수 있으므로, 보다 소형화를 도모할 수 있기 때문이다.

[0004] 상기와 같은 실리콘 관통 비아를 가지는 3차원 멀티칩 반도체 장치용 반도체 칩을 제조하는 방법으로는 몇 개의 방법이 제안되고 있으며(예를 들면, 특허문헌 1~3 참조), 실리콘 기판에 실리콘 기판을 관통하는 실리콘 관통 비아, 이 비아 내에 마련되는 접속 플러그 및 재배선을 마련하는 방법은 일반적으로 실리콘 관통 비아 프로세스라고 칭해진다.

[0005] 상기 실리콘 관통 비아 프로세스는 실리콘 기판의 배선 등을 마련하지 않은 이면으로부터 에칭하여 실리콘 기판을 박화하는 실리콘 기판 이면 에칭 공정을 반드시 가지고 있다. 이 에칭 공정이 에칭액을 이용한 웨트 에칭으로 행해지는 경우, 실리콘 기판을 서서히 박화해 가면 이 실리콘 기판에 피복되어 있던 구리나 텅스텐 등의 금속, 혹은 폴리실리콘 등으로 이루어진 접속 플러그가 나타나며, 실리콘 기판을 더 박화해 감으로써 비아 내로부터 실리콘 기판의 이면으로부터 돌출되는 구조를 가지는 접속 플러그가 얻어진다. 이때, 실리콘 기판과 접속 플러그가 동시에 에칭액에 접하게 되지만, 이용하는 에칭액이 적절하지 않으면 여러 가지 문제가 발생한다.

[0006] 예를 들면, 실리콘 기판의 박화 공정에서 실시되는 이면 에칭에는 알칼리계 에칭액이나 산계 에칭액 등이 사용되고 있다. 그러나, 알칼리계 에칭액은 에칭 성능이 뒤떨어져 충분한 에칭 속도가 얻어지지 않기 때문에 생산 효율이 저하된다는 문제가 있다. 특히, 실리콘 기판의 박화 공정은 섬세한 처리가 필요하게 되고, 매양(枚樣) 처리(single wafer processing)에서 실시하는 것이 일반적이기 때문에, 에칭액의 에칭 속도가 낮은 경우의 생산 효율의 저하에 대한 영향은 현저하다.

[0007] 이 때문에, 실리콘 기판의 박화 공정에는 통상 불화 수소산, 질산, 아세트산 등을 조합한 혼산을 포함하는 산계 에칭액이 바람직하게 이용되고 있다(예를 들면, 특허문헌 4 및 5 참조). 그러나, 에칭액으로서 혼산을 이용했을 경우, 본래 에칭하고 싶지 않은 구리나 텅스텐을 용해해 에칭하여 버리기 때문에 결과적으로 반도체 패키지의 성능을 저하시켜 버린다는 문제가 있다.

[0008] 상기와 같은 여러 가지 문제가 있음에도 불구하고, 특허문헌 1에는 실리콘 기판을 박화하는 에칭 공정에서 드라이 에칭이나 웨트 에칭, 혹은 CMP(화학 기계 연마) 등의 방법이 채용된다고 기재되어 있지만 상세한 검토는 전혀 이루어지지 않았다. 또, 드라이 에칭이나 CMP라는 방법에서는 접속 플러그도 연마되어 버린다는 문제가 있다. 특허문헌 2 및 3에는 에칭 공정에서 통상적인 에칭 방법 또는 웨이퍼 이면 연마와 같은 통상적인 연마 방법을 사용할 수 있거나, 혹은 그라인딩법 및 에칭법 중 적어도 어느 하나 이상의 방법으로 수행한다고 기재되어 있을 뿐, 상세한 검토는 전혀 이루어지지 않았다.

[0009] 이와 같이 실리콘 관통 비아 프로세스에서의 실리콘 기판 이면의 에칭 공정에서는 구리나 텅스텐 등의 금속 혹은 폴리실리콘 등으로 이루어진 접속 플러그를 에칭하지 않고, 실리콘 기판만을 에칭하며, 또한 뛰어난 에칭 속도를 가지는 에칭액이 요망되고 있지만, 이들 문제를 해결할 수 있는 유효한 에칭액이 없는 상황에 있다.

선행기술문헌

특허문헌

- [0010] (특허문헌 0001) 일본 특허 제4011695호 명세서
- (특허문헌 0002) 일본 특개 2002-305283호 공보
- (특허문헌 0003) 일본 특개 2009-4722호 공보
- (특허문헌 0004) 일본 특개 2000-124177호 공보
- (특허문헌 0005) 일본 특개 2005-217193호 공보

발명의 내용

해결하려는 과제

- [0011] 본 발명은 이와 같은 상황 하에 이루어진 것으로, 실리콘 관통 비아 프로세스에서의 실리콘 기판 이면 에칭에 이용되어, 구리나 텅스텐 등의 금속 혹은 폴리실리콘 등으로 이루어진 접속 플러그를 에칭하지 않고, 실리콘 기판만을 에칭하며, 또한 뛰어난 에칭 속도를 가지는 에칭액, 및 이것을 이용한 실리콘 관통 비아를 가지는 반도체 칩의 제조 방법을 제공하는 것을 목적으로 하는 것이다.

과제의 해결 수단

- [0012] 본 발명자들은 상기 목적을 달성하기 위해서 열심히 연구를 거듭한 결과, 수산화칼륨과 히드록실아민과 물을 포함하는 알칼리계 에칭액을 이용함으로써, 상기 과제를 해결할 수 있다는 것을 알아냈다. 즉, 본 발명의 요지는 이하와 같다.
- [0013] 1. 수산화칼륨과 히드록실아민과 물을 포함하고, 실리콘 관통 비아 프로세스에서의 실리콘 기판 이면 에칭용 에칭액.
- [0014] 2. 수산화칼륨의 함유량이 10~50중량%이고, 히드록실아민의 함유량이 8~40중량%인 상기 1에 기재된 에칭액.
- [0015] 3. 실리콘 기판이 재배선과 접속 플러그를 갖고, 이 접속 플러그가 재배선이 마련되어 있지 않은 실리콘 기판 이면으로 돌출된 것인 상기 1 또는 2에 기재된 에칭액.
- [0016] 4. 접속 플러그가 폴리실리콘, 구리, 텅스텐으로부터 선택되는 적어도 1종으로 이루어진 상기 3에 기재된 에칭액.
- [0017] 5. 상기 1~4 중 어느 하나에 기재된 에칭액을 이용하는 실리콘 기판 이면 에칭 공정을 가지는 실리콘 관통 비아를 가지는 반도체 칩의 제조 방법.
- [0018] 6. 상기 실리콘 기판 이면 에칭 공정이 접속 플러그를 덮는 절연층이 실리콘 기판에 피복된 상태에서 실리콘 기판을 박화시키는 실리콘 기판 박화 공정 (1), 이 절연층을 돌출시키는 실리콘 기판 박화 공정 (2)를 순서대로 갖고, 적어도 이 실리콘 기판 박화 공정 (2)에서 상기 1~4 중 어느 하나에 기재된 에칭액을 이용하는 상기 5에 기재된 반도체 칩의 제조 방법.
- [0019] 7. 상기 실리콘 기판 박화 공정 (1)이 종료되었을 때의 실리콘 기판 이면과 절연층의 실리콘 기판 이면측의 면의 거리, 및 이 실리콘 기판 박화 공정 (1)이 종료되었을 때의 절연층의 실리콘 기판 이면측의 면과 상기 실리콘 기판 박화 공정 (2)가 종료되었을 때의 실리콘 기판 이면의 거리의 합이 20~30 μ m의 범위 내인 상기 6에 기재된 반도체 칩의 제조 방법.
- [0020] 8. 접속 플러그가 폴리실리콘, 구리, 텅스텐으로부터 선택되는 적어도 1종으로 이루어진 상기 6 또는 7에 기재된 반도체 칩의 제조 방법.

[0021] 9. 반도체 칩이 3차원 멀티칩 반도체 장치에 이용되는 것인 상기 5~8 중 어느 하나에 기재된 반도체 칩의 제조 방법.

발명의 효과

[0022] 본 발명에 따르면, 실리콘 관통 비아 프로세스에서의 실리콘 기판 이면 에칭에 이용되어, 구리나 텅스텐 등의 금속, 혹은 폴리실리콘 등으로 이루어진 접속 플러그를 에칭하지 않고, 실리콘 기판만을 에칭하며, 또한 뛰어난 에칭 속도를 가지는 에칭액, 및 이것을 이용한 실리콘 관통 비아를 가지는 3차원 멀티칩 반도체 장치용 반도체 칩의 제조 방법을 제공할 수 있다.

도면의 간단한 설명

[0023] 도 1은 본 발명의 제조 방법에 의해 제조되는 반도체 칩의 단면을 나타내는 모식도이다.
 도 2는 본 발명의 제조 방법 A에서의 공정마다의 반도체 칩의 단면을 나타내는 모식도이다.
 도 3은 본 발명의 제조 방법 B에서의 공정마다의 반도체 칩의 단면을 나타내는 모식도이다.
 도 4는 제조에 1 및 2에서 얻어진 반도체 칩 시료의 단면을 나타내는 모식도이다.
 도 5는 제조에 1 및 2에서 얻어진 반도체 칩 시료를 에칭한 후의 단면을 나타내는 모식도이다.
 도 6은 제조에 3 및 4에서 얻어진 반도체 칩 시료의 단면을 나타내는 모식도이다.
 도 7은 제조에 3 및 4에서 얻어진 반도체 칩 시료를 에칭한 후의 단면을 나타내는 모식도이다.

발명을 실시하기 위한 구체적인 내용

[0024] [에칭액]
 [0025] 본 발명의 에칭액은 실리콘 관통 비아 프로세스에서의 실리콘 기판 이면 에칭에 이용되고, 수산화칼륨과 히드록실아민과 물을 포함하는 액이다.

[0026] 본 발명의 에칭액 중의 수산화칼륨의 함유량은 10~50중량%가 바람직하고, 보다 바람직하게는 15~50중량%이며, 더욱 바람직하게는 20~40중량%이다. 수산화칼륨의 함유량이 상기 범위 내이면, 반도체 칩의 외관 및 기능에 악영향을 미치는 일이 없고, 또 히드록실아민의 첨가에 의한 에칭 속도의 향상 효과를 충분히 얻을 수 있다.

[0027] 본 발명의 에칭액 중의 히드록실아민의 함유량은 히드록실아민의 물에 대한 용해도나 에칭액 중의 수산화칼륨의 함유량 및 그 외의 첨가제의 함유량 등에 따라 적절히 결정되지만, 바람직하게는 5~50중량%가 바람직하고, 8~40중량%가 보다 바람직하며, 더욱 바람직하게는 10~40중량%이다. 히드록실아민의 함유량이 상기 범위 내이면, 충분한 에칭 속도가 얻어지고, 또 에칭액 중에서의 결정 석출이나 고화가 발생하는 일이 없어 취급도 용이해진다.

[0028] 《그 외의 성분》

[0029] 본 발명의 에칭액은 종래부터 사용되고 있는 첨가제를 배합시킬 수 있다.

[0030] 본 발명의 에칭액의 pH는 7보다 높은 알칼리인 것이 바람직하고, 11 이상이 보다 바람직하다.

[0031] 본 발명의 에칭액은 실리콘 관통 비아 프로세스에서의 실리콘 기판 이면 에칭에 이용된다. 실리콘 관통 비아 프로세스로는 실리콘 기판에 실리콘 기판을 관통하는 실리콘 관통 비아, 이 비아 내에 마련되는 접속 플러그 및 배선을 마련하는 방법이라면 특별히 제한은 없다. 예를 들면, 본 발명의 에칭액은 특허문헌 1~3에 개시된 실리콘 관통 비아 프로세스 혹은 반도체 장치의 제조 방법에 있어서, 실리콘 기판의 박화(에칭)가 웨트 에칭으로 행해지는 경우, 이 에칭에서의 에칭액으로서 매우 적합하게 이용할 수 있다.

[0032] 또, 본 발명의 에칭액은 실리콘 관통 비아 프로세스에서의 실리콘 기판 이면 에칭으로 한정되지 않고, 실리콘 기판의 박화(에칭)로서, 실리콘 기판과 구리나 텅스텐 등의 금속 혹은 폴리실리콘 등으로 이루어진 접속 플러그(배선 재료)가 동시에 에칭액에 노출되는 상태가 되는 프로세스에서도 매우 적합하게 이용할 수 있다. 보다 구

체적으로는 실리콘 관통 비아 프로세스에 있어서, 실리콘 기판이 이 실리콘 기판의 재배선을 마련한 쪽과는 반대쪽 실리콘 기판의 이면으로 접속 플러그가 돌출되어 있는 상태로 된 경우에는 본 발명의 에칭액의 효과를 유효하게 활용할 수 있으므로 바람직하다.

[0033] [반도체 칩의 제조 방법]

[0034] 본 발명의 실리콘 관통 비아를 가지는 3차원 멀티칩 반도체 장치용 반도체 칩의 제조 방법은 실리콘 기판에 실리콘 기판을 관통하는 실리콘 관통 비아, 이 비아 내에 마련되는 접속 플러그 및 재배선을 마련한 반도체 칩을 제조하는 것으로, 실리콘 관통 비아 프로세스 중 하나라고 할 수 있다. 그리고, 본 발명의 제조 방법은 이 제조 방법에서의 한 공정, 즉 실리콘 관통 비아 프로세스에서의 한 공정인 실리콘 기판 이면 에칭 공정에서 본 발명의 에칭액을 사용하는 것을 특징으로 하는 것이다.

[0035] 《실리콘 관통 비아 프로세스》

[0036] 본 발명의 제조 방법에서는 그 에칭 공정에서 본 발명의 에칭액을 이용해 실리콘 기판에 실리콘 기판을 관통하는 실리콘 관통 비아, 이 비아 내에 마련되는 접속 플러그 및 재배선을 마련하면, 그 외의 공정의 태양에 대한 제한은 없다. 본 발명의 제조 방법의 전형적인 바람직한 태양의 일례에 대해서 설명한다.

[0037] (제조 방법 A)

[0038] 본 발명의 제조 방법의 바람직한 태양의 일례로는, 다음의 공정 1A~7A를 순서대로 포함하는 제조 방법 A를 들 수 있다. 우선, 제조 방법 A에 대해서, 공정 1A~7A마다 반도체 칩의 단면 모식도를 나타내는 도 2를 이용해 설명한다.

[0039] 공정 1A : 실리콘 기판에 관통 비아를 형성하는 관통 비아 형성 공정.

[0040] 공정 2A : 상기 관통 비아의 측벽에 절연층을 형성하는 절연층 형성 공정.

[0041] 공정 3A : 상기 관통 비아 내에 접속 플러그를 형성하는 접속 플러그 형성 공정.

[0042] 공정 4A : 반도체 소자를 포함하는 집적 회로 및 패드를 형성하는 반도체 소자 형성 공정.

[0043] 공정 5A : 상기 집적 회로와 접속 플러그를 재배선하는 재배선 공정.

[0044] 공정 6A : 범프 전극의 형성 공정

[0045] 공정 7A : 실리콘 기판 이면의 에칭 공정

[0046] <공정 1A>

[0047] 공정 1A는 실리콘 기판에 관통 비아를 형성하는 관통 비아 형성 공정이다. 관통 비아의 형성은 이 관통 비아를 형성하는 개소를 개구시킨 마스크 패턴을 포토레지스트로 형성하고, 실리콘 기판을 관통하지 않는 깊이까지 에칭하는 방법, 혹은 레이저 드릴 등에 의해 형성할 수 있다.

[0048] <공정 2A>

[0049] 공정 2A는 공정 1A에서 형성한 관통 비아 내의 측벽에 절연층(105)을 형성하는 공정이다. 절연층(105)은 실리콘 기판(101)과 관통 비아 내에 마련되는 접속 플러그(104)의 절연을 위해서 마련되는 층이다. 절연층(105)은 산소 분위기 중에서의 실리콘 표면의 가열 산화나 증착 등의 방법에 의해 형성되는 산화 규소 등의 산화막이나 질화막 등으로 이루어진다.

[0050] <공정 3A>

[0051] 공정 3A는 측벽에 절연층(105)이 형성된 관통 비아 내의 공동 부분에 접속 플러그(104)를 형성하는 공정이다. 접속 플러그(104)를 형성하는 재료로는 구리, 텅스텐, 백금 등의 금속, 혹은 폴리실리콘 등의 각종 재료를 바람직하게 들 수 있다. 접속 플러그(104)의 형성은 증착, 스퍼터 등에 의해 실시할 수 있다.

[0052] <공정 4A>

[0053] 공정 4A는 관통 비아 내에 접속 플러그(104) 및 절연층(105)이 마련된 실리콘 기판(101)에 반도체 소자를 포함하는 집적 회로(102)와 패드(103)를 형성하는 공정이다. 본 발명의 제조 방법에 있어서, 이 집적 회로(102) 및 패드(103)의 형성은 공지된 방법에 따라 실시하면 되고, 특별히 제한은 없다. 또, 이 집적 회로(102) 및 패드(103)의 형성에서는 통상 산화 규소나 질화 규소 등으로 이루어진 절연층(112)이 형성된다.

- [0054] <공정 5A>
- [0055] 공정 5A는 공정 4A에서 형성한 집적 회로(102)(패드(103))와 접속 플러그(104)를 재배선하는 재배선 공정이다. 재배선은 공지된 방법으로 형성하면 되고, 예를 들면 (i) 관통 비아 및 패드(103)의 상부를 개구시킨 절연층(106)을 마련하고 구리 등을 스퍼터하여 형성한 시드층(113), 이 패드(103) 및 접속 플러그(104)를 포함하는 개구부를 가지는 포토레지스트막 및 이 개구부에 전해 도금에 의해 구리 등의 각종 금속으로 이루어진 배선을 차례차례 마련한 후, 포토레지스트막을 제거해 이 시드층(113) 중 배선으로 덮이지 않은 부분을 에칭하는 방법, (ii) 실리콘 기판 상에 구리나 텅스텐 등의 각종 금속을 스퍼터나 증착 등에 의해 금속막을 형성하고, 감광막 패턴으로 마스크하여 이 금속막을 에칭하는 등의 방법 등에 의해 형성할 수 있다. 재배선은 단층이어도 되고 다층이어도 되며, 반도체 칩의 용도에 따라 적절히 선택하면 된다.
- [0056] 또, 절연층(106)은 산화 규소나 질화물 등의 증착이나, 에폭시 수지나 폴리이미드 수지 등의 절연성 유기 재료의 도공에 의해 형성할 수 있다. 또한, 재배선을 형성하는 각종 금속과 이 절연층(106)의 밀착성이 불충분한 경우나, 재배선을 형성하는 각종 금속이 이 절연층(106)으로 확산해 버리는 경우에는, 이 절연층(106) 형성 후에, 티탄이나 질화 티탄 등으로 이루어진 배리어층을 이 절연층(106) 및 패드(103) 위를 덮도록 마련하면 된다.
- [0057] 재배선(107)을 마련한 후, 필요에 따라 재배선(107)의 보호막(108)을 마련할 수도 있다. 보호막(108)은 산소 분위기 중에서 실리콘 표면의 가열 산화나 증착 등의 방법에 의해 산화 규소 등의 산화막이나 질화막을 형성함으로써 마련하거나, 혹은 에폭시 수지나 폴리이미드 수지 등의 절연성 유기 재료 등을 이용하여 증착이나 도포 등의 방법에 의해 형성할 수 있다.
- [0058] <공정 6A>
- [0059] 범프의 형성은 예를 들면 공정 5에서 형성한 재배선(107)을 피복하도록 에폭시 수지나 폴리이미드 수지 등의 절연성 유기 절연 재료를 도공해 절연막을 형성하고, 이 절연막에서의 범프를 마련하고 싶은 개소를 에칭 등에 의해 개구부를 마련하고, 주석, 납이나 이들의 합금(주석-납 합금) 외, 금, 팔라듐, 니켈, 구리 등을 이용하여 전해 도금에 의해 형성할 수 있다.
- [0060] <공정 7A>
- [0061] 공정 7A는 실리콘 기판의 재배선(107) 등을 마련하지 않은 이면을 박화하는 실리콘 기판 이면 에칭 공정으로, 이 에칭에는 본 발명의 에칭액을 이용하는 것이다. 공정 7A에서 실시하는 실리콘 기판 이면의 모든 박화(에칭)에 있어서, 본 발명의 에칭액을 사용할 수도 있지만, 생산 효율의 관점으로부터 공정 7A는 접속 플러그(104)를 덮는 절연층(105)이 실리콘 기판(101)에 피복된 상태로 실리콘 기판(101)을 박화시키는 실리콘 기판 박화 공정 (1)과 절연층(105)을 돌출시키는 실리콘 기판 박화 공정 (2)를 순서대로 가지며, 실리콘 기판 박화 공정 (2)에서 상기 본 발명의 에칭액을 이용하는 것이 바람직하다.
- [0062] 실리콘 기판 박화 공정 (1)에 있어서, 실리콘 기판의 박화는 상기한 바와 같이 본 발명의 에칭액을 이용한 웨트 에칭에 의해 실시할 수도 있지만, 화학 연마, 기계 연마, 화학 기계 연마 등의 연마법이나, 다른 통상 실리콘 기판의 박화에 이용되는 산계 에칭액 등을 이용한 웨트 에칭, 혹은 플라즈마 에칭, 가스 에칭이라는 드라이 에칭, 또는 이것들을 조합해 실시할 수 있다.
- [0063] 이들 중에서도, 통상 에칭 속도의 점으로부터 기계 연마에 의한 박화가 다용되고 있다.
- [0064] 또, 작업 안정성, 생산 효율을 고려하면, 실리콘 기판 박화 공정 (1)은 실리콘 기판 이면과 절연층(105)의 실리콘 기판 이면측 면의 거리(도 5 중의 a)가 5~15 μ m인 범위 내에서 종료시키고, 다음의 실리콘 기판 박화 공정 (2)로 이행하는 것이 바람직하다.
- [0065] 실리콘 기판 박화 공정 (2)는 접속 플러그(104)를 덮는 절연층(105)을 에칭에 의해 돌출시키는 공정으로, 이 에칭에는 상기 본 발명의 에칭액이 이용된다.
- [0066] 본 발명의 제조 방법에 의해 얻어지는 반도체 칩을 쌓아 올려 3차원 멀티칩 반도체 장치로 하는 경우의 작업 안정성, 신뢰성의 관점으로부터, 에칭 후의 실리콘 기판 이면으로부터 돌출시키는 접속 플러그의 높이는 10~20 μ m의 범위 내인 것이 바람직하다. 실리콘 기판 박화 공정 (2)에서 본 발명의 에칭액에 의해 에칭하는 실리콘 기판의 두께, 즉 실리콘 기판 박화 공정 (1)이 종료되었을 때의 실리콘 기판 이면과 절연층(105)의 실리콘 기판 이면측 면의 거리(도 5 중의 a), 및 이 실리콘 기판 박화 공정 (1)이 종료되었을 때의 절연층의 실리콘 기판 이면측 면과 상기 실리콘 기판 박화 공정 (2)가 종료되었을 때의 실리콘 기판 이면의 거리(도 5 중의 b)의 합(a+

b)은 생산 효율의 관점으로부터, 20~30 μ m의 범위 내인 것이 바람직하다.

- [0067] 에칭 대상물에 에칭액을 접촉시키는 방법에는 특별히 제한은 없고, 예를 들면 에칭액을 적하나 스프레이 등의 형식에 의해 대상물에 접촉시키는 방법이나, 대상물을 에칭액에 침지시키는 방법 등을 채용할 수 있다. 본 발명에서는 매엽 스핀 처리가 바람직하게 채용된다.
- [0068] 에칭액의 사용 온도로는 50℃ 이상 비점 미만의 온도가 바람직하고, 보다 바람직하게는 50~90℃, 더욱 바람직하게는 60~90℃, 특히 바람직하게는 70~90℃이다. 에칭액의 온도가 상기 범위 내이면, 에칭 속도가 너무 낮아지지 않으므로 생산 효율이 현저하게 저하되는 일이 없고, 액 조성 변화를 억제해 에칭 조건을 일정하게 유지할 수 있다. 에칭액의 온도를 높게 함으로써 에칭 속도는 상승하지만, 에칭액의 조성 변화를 작게 억제하는 것 등도 고려한 다음, 적절히 최적인 처리 온도를 결정하면 된다.
- [0069] 본 공정을 실시함에 있어서 도 4에 나타내는 바와 같이 반도체 칩의 재배선(107) 등을 마련한 면에 접착층(110)을 통해 유리 기판(111)을 박화를 위한 서포트 치구로서 바람직하게 이용할 수 있다. 서포트 치구를 이용함으로써 안정된 에칭을 실시할 수 있다.
- [0070] (제조 방법 B)
- [0071] 또, 본 발명의 제조 방법의 바람직한 태양의 일례로서, 다음의 공정 1B~7B를 순서대로 포함하는 제조 방법 B를 들 수 있다. 제조 방법 B에 대해서, 공정 1B~7B마다의 반도체 칩의 단면 모식도를 나타내는 도 3을 이용해 설명한다.
- [0072] 공정 1B: 실리콘 기판에 반도체 소자를 포함하는 집적 회로 및 패드를 형성하는 반도체 소자 형성 공정.
- [0073] 공정 2B: 이 실리콘 기판에 관통 비아를 형성하는 관통 비아 형성 공정.
- [0074] 공정 3B: 상기 관통 비아의 내벽 및 상기 실리콘 기판 표면에서의 패드 상부가 개구부가 되도록 절연층을 형성하는 절연층 형성 공정.
- [0075] 공정 4B: 상기 관통 비아 내벽을 포함하는 상기 실리콘 기판의 전체 표면에 배리어층을 형성하는 배리어층 형성 공정.
- [0076] 공정 5B: 상기 관통 비아 내에 접속 플러그를 형성하는 동시에, 상기 집적 회로와 접속 플러그를 재배선하는 접속 플러그 형성 / 재배선 공정.
- [0077] 공정 6B: 범프 전극의 형성 공정.
- [0078] 공정 7B: 실리콘 기판 이면의 에칭 공정.
- [0079] 제조 방법 B는 제조 방법 A의 공정 4A의 반도체 소자 형성 공정을 처음에 실시한 것으로, 제조 방법 A를 비아 제 1 프로세스(via first process)라고 칭하는 것과는 대조적으로, 비아 최종 프로세스(via last process)라고 칭해진다.
- [0080] <공정 1B 및 2B>
- [0081] 공정 1B 및 2B는 각각 공정 4A 및 공정 1A와 동일하다.
- [0082] <공정 3B>
- [0083] 공정 3B에 있어서, 절연층(306)을 마련하기 전에 집적 회로(302) 및 패드(303)가 형성되어 있다. 따라서, 공정 3B에서는 절연층(306)은 관통 비아의 내벽과 실리콘 기판(301) 표면 상의 패드(303)의 상부에 마련하는 개구부를 제외한 개소에 동시에 형성할 수 있다. 이 점에서, 제조 방법 B의 비아 최종 프로세스는 제조 공정의 단축 및 제조 비용의 삭감을 도모할 수 있다.
- [0084] <공정 4B>
- [0085] 공정 4B는 재배선(307)과 절연층(306)의 밀착성을 충분히 확보하는 동시에, 이 재배선(307)의 이 절연층(306)으로의 확산을 억제할 목적으로 관통 비아 내벽을 포함하는 상기 실리콘 기판(301)의 전체 표면에 배리어층(305)을 형성하는 배리어층을 마련하는 공정이다.
- [0086] <공정 5B>
- [0087] 공정 5B는 그 내벽에 순서대로 절연층(306) 및 배리어층(305)이 형성된 관통 비아 내의 공동 부분에 접속 플러

그(304)를 형성하고, 집적 회로(302)(패드(303))와 접속 플러그(304)를 동시에 재배선하는 공정이다. 접속 플러그(304) 및 재배선(307)의 형성은 예를 들면, 상기 공정 3B 및 4B의 방법에 따라 절연층(306) 및 배리어층(305)을 순서대로 마련한 후, (i) 구리 등을 스퍼터하여 형성한 시드층, 이 패드(303) 및 접속 플러그(304)를 포함하는 개구부를 가지는 포토레지스트막, 및 이 개구부에 전해 도금에 의해 구리 등의 금속 재료를 퇴적시켜 도전층을 마련한 후, 포토레지스트막을 제거해 이 시드층, 배리어층(305) 중 도전층으로 덮이지 않은 부분을 에칭하는 방법, (ii) 실리콘 기판 상에 텅스텐 등의 금속 재료를 스퍼터나 증착 등에 의해 퇴적시켜 금속막을 형성하고, 감광막 패턴으로 마스크하여 이 금속막을 에칭하는 등의 방법 등에 의해 형성할 수 있다.

[0088] <공정 6B 및 7B>

[0089] 공정 6B 및 7B는 각각 공정 6A 및 7A와 동일하다. 또, 실리콘 기판 박화 공정 (1)이 종료되었을 때의 실리콘 기판 이면과 절연층(306)의 실리콘 기판 이면측 면의 거리는 도 7 중의 c에 해당하고, 이 실리콘 기판 박화 공정 (1)이 종료되었을 때의 절연층(306)의 실리콘 기판 이면측 면과 상기 실리콘 기판 박화 공정 (2)가 종료되었을 때의 실리콘 기판 이면의 거리는 도 7 중의 d에 해당한다.

[0090] (그 외의 제조 방법)

[0091] 본 발명의 제조 방법은 예를 들면 특허문헌 1~3에 개시된 실리콘 관통 비아 프로세스에서의 실리콘 기판의 박화(에칭) 공정으로, 본 발명의 에칭액을 이용하는 것이어도 된다.

[0092] 본 발명에 의해 얻어진 반도체 칩은 전기적인 전달이 실리콘 관통 비아를 거치기 때문에 전기적인 열화가 적고, 반도체 패키지의 동작 속도를 향상시킬 수 있다. 또, 이 칩을 쌓아 올렸을 경우, 반도체 칩끼리의 감각을 작게 할 수 있으므로, 3차원 멀티칩 반도체 장치에 매우 적합하게 이용된다.

[0093] **실시예**

[0094] 다음에, 본 발명을 실시예에 의해 더욱 상세하게 설명하지만, 본 발명은 이들 예에 의해 전혀 한정되는 것은 아니다.

[0095] **평가 항목 1. 생산성 평가(에칭 처리 시간)**

[0096] 각 제조예에서 얻어진 3차원 멀티칩 반도체 장치용 반도체 칩 시료를 표 1 및 표 2에 나타낸 에칭액, 처리 온도에서 매엽 스핀 장치에 의한 에칭을 실시하고, 표 1 및 표 2에 나타낸 에칭량이 되도록 에칭 처리를 실시해, 상기 처리에 필요한 시간을 하기의 기준에 따라 평가했다. 또한, 표 1 중의 에칭량 b, 및 표 2 중의 에칭량 d는 각각 도 4 및 도 5에 나타내는 바와 같이 실리콘 기판 이면(101) 및 (301)으로부터 돌출된 접속 플러그(104) 및 (304)의 높이이다.

[0097] ◎ : 처리에 필요한 시간이 4분 이내였다.

[0098] ○ : 처리에 필요한 시간이 5분 이내였다.

[0099] △ : 처리에 필요한 시간이 7분 이내였다.

[0100] × : 7분 이내로 처리가 종료되지 않았다.

[0101] **평가 항목 2. 에칭 처리 후의 형상 평가**

[0102] 제조예에서 얻어진 시료를 표 1 및 표 2에 나타낸 에칭액, 처리 온도에서 침지에 의한 에칭을 실시하고, 표 1 및 표 2에 나타낸 에칭량이 될 때까지 에칭 처리를 실시한 후, 접속 플러그 상태에 대해서, 하기의 기준에 따라 평가했다.

[0103] ○ : 접속 플러그가 에칭액에 의해 용해되는 일 없이 소정의 접속 플러그 높이가 얻어졌다.

[0104] × : 접속 플러그가 에칭액에 의해 용해되어 소정의 접속 플러그 높이가 얻어지지 않았거나, 또는 실리콘 기판을 에칭할 수 없었다.

[0105] **조제예(에칭액의 조제)**

[0106] 표 1에 나타난 배합 조성(중량%)에 따라, 각 실시예 및 비교예에서 이용하는 에칭액을 조제했다.

[0107] **제조예 1(via first(제조 방법 A)에 의한 반도체 칩의 제조 1)**

[0108] 실리콘 기판(101)(두께 : 775 μ m)에 개구부를 가지는 마스크 패턴을 포토레지스트로 형성하고, 실리콘 기판을 관통하지 않는 깊이까지 에칭해 개구부에 관통 비아(직경 : 30 μ m, 깊이 : 40 μ m)를 형성하고, 이 관통 비아의 내벽에 실리콘을 열산화시켜 두께 0.4 μ m의 절연층(105)을 형성했다. 다음에, 절연층(105)을 내벽에 마련한 관통 비아 내에 폴리실리콘을 스퍼터에 의해 매립한 접속 플러그(104)를 형성하고, 반도체 소자를 포함하는 집적 회로(102) 및 이 집적 회로(102) 윗면에 패드(103)를 순서대로 마련하고, 관통 비아 및 패드(103)의 상부에 개구부를 가지는 절연층(106)을 산화 규소의 증착에 의해 마련했다. 이 절연층(106)을 마련한 후, 티탄을 스퍼터하여 형성한 배리어층, 구리를 스퍼터하여 형성한 시드층, 패드(103) 및 접속 플러그(104)를 포함하는 개구부를 가지는 포토레지스트막, 및 이 개구부에 전해 도금에 의해 구리로 이루어진 배선을 차례차례 마련한 후, 이 포토레지스트막을 제거해 이 배리어층과 이 시드층 중 배선으로 덮이지 않은 부분을 에칭하여 재배선(107)을 얻었다. 또한, 접속 플러그(104) 상부의 재배선(107) 상에 도금에 의해 구리로 이루어진 범프(109)를 마련하고, 폴리이미드 수지를 이용해 재배선의 보호막(108)을 마련하여 실리콘 관통 비아를 가지는 3차원 멀티칩 반도체 장치용 반도체 칩을 얻었다. 얻어진 반도체 칩을 도 4에 나타내는 바와 같이, 접착층(110)을 통해 서포트 치구인 유리 기판(111)에 고정한 후, 실리콘 기판(101)의 이면을 도 5에 나타내는 a(실리콘 기판 이면과 접속 플러그(104)를 덮는 절연층(105)의 실리콘 기판 이면측 면의 거리)가 10 μ m가 될 때까지 연마하여 3차원 멀티칩 반도체 장치용 반도체 칩 시료 1을 얻었다.

[0109] **제조예 2(via first(제조 방법 A)에 의한 반도체 칩의 제조 2)**

[0110] 제조예 1에 있어서, 접속 플러그(104)를 형성하는 재료를 폴리실리콘에서 텅스텐으로 바꾼 것 이외에는 제조예 1과 동일하게 하여, 3차원 멀티칩 반도체 장치용 반도체 칩 시료 2를 얻었다.

[0111] **제조예 3(via last(제조 방법 B)에 의한 반도체 칩의 제조 1)**

[0112] 반도체 소자를 포함하는 집적 회로(302) 및 이 집적 회로(302) 윗면에 패드(303)가 마련된 실리콘 기판(301)(두께 : 775 μ m)에 개구부를 가지는 마스크 패턴을 포토레지스트로 형성하고, 실리콘 기판을 관통하지 않는 깊이까지 에칭하여 개구부에 관통 비아(직경 : 30 μ m, 깊이 : 40 μ m)를 형성하고, 이 관통 비아의 내벽 및 실리콘 기판(301) 상에 패드(303) 상부에 개구부를 가지도록 산화 규소를 증착시켜 두께 0.4 μ m의 절연층(306)을 형성했다. 다음에, 절연층(306)을 내벽에 마련한 관통 비아 내 및 실리콘 기판(301) 상에 패드(303)를 덮도록 티탄의 스퍼터에 의해 배리어층(305)(두께 : 0.1 μ m)을 형성한 후, 이 배리어층(305) 상에 구리를 스퍼터함으로써 시드층을 형성했다. 또한, 절연층(306), 배리어층(305) 및 시드층을 형성한 관통 비아 내 및 패드(303)를 포함하는 개구부를 가지는 포토레지스트막, 및 이 개구부에 전해 도금에 의해 구리로 이루어진 도전층을 차례차례 마련한 후, 이 포토레지스트막을 제거해 이 배리어층(305) 및 이 시드층 중 전해 도금에 의해 구리로 이루어진 도전층으로 덮이지 않은 부분을 에칭하여 접속 플러그(304)와 재배선(307)을 동시에 얻었다. 또한, 접속 플러그(304) 상부의 재배선(307) 상에 도금에 의해 구리로 이루어진 범프(309)를 마련하고, 폴리이미드 수지를 이용해 재배선의 보호막(308)을 마련하여 실리콘 관통 비아를 가지는 반도체 칩을 얻었다. 얻어진 반도체 칩을 도 6에 나타내는 바와 같이 접착층(310)을 통해 서포트 치구인 유리 기판(311)에 고정한 후, 실리콘 기판(301)의 이면을 도 7에 나타낸 c(실리콘 기판 이면과 접속 플러그(304)를 덮는 절연층(305)의 실리콘 기판 이면측 면의 거리)가 10 μ m가 될 때까지 연마하여 3차원 멀티칩 반도체 장치용 반도체 칩 시료 3을 얻었다.

[0113] **제조예 4(via last(제조 방법 B)에 의한 반도체 칩의 제조 4)**

[0114] 제조예 3에 있어서, 접속 플러그(304)를 형성하는 재료를 구리에서 텅스텐으로 바꾼 것 이외에는 제조예 3과 동일하게 하여, 3차원 멀티칩 반도체 장치용 반도체 칩 시료 4를 얻었다.

[0115] **실시예 1~57 및 비교예 1~3**

[0116] 제조예 1에서 얻어진 3차원 멀티칩 반도체 장치용 반도체 칩 시료 1을 표 1에 나타낸 에칭액, 처리 온도에서 매엽 스피ن 장치에 의한 에칭을 실시하고, 표 1에 나타낸 에칭량(도 5에 나타낸 a 및 b)이 되도록 에칭 처리를 실시했다.

[0117] 처리 시간 및 형상에 대해서, 상기의 평가 기준에 근거해 평가했다. 평가 결과를 표 1에 나타낸다. 또, 제조예 2에서 얻어진 3차원 멀티칩 반도체 장치용 반도체 칩 시료 2에 대해서도 3차원 멀티칩 반도체 장치용 반도체 칩 시료 1과 동일하게 하여 평가를 실시했지만, 3차원 멀티칩 반도체 장치용 반도체 칩 시료 1과 동일했다.

[0118] **실시예 58~114 및 비교예 4~6**

[0119] 제조예 3에서 얻어진 3차원 멀티칩 반도체 장치용 반도체 칩 시료 3을 표 2에 나타낸 에칭액, 처리 온도에서 매엽 스피ن 장치에 의한 에칭을 실시하고, 표 2에 나타낸 에칭량(도 7에 나타낸 c 및 d)이 되도록 에칭 처리를 실시했다. 처리 시간 및 형상에 대해서, 상기의 평가 기준에 근거해 평가했다. 평가 결과를 표 2에 나타낸다. 또, 제조예 4에서 얻어진 3차원 멀티칩 반도체 장치용 반도체 칩 시료 4에 대해서도 3차원 멀티칩 반도체 장치용 반도체 칩 시료 3과 동일하게 하여 평가를 실시했지만, 3차원 멀티칩 반도체 장치용 반도체 칩 시료 3과 동일했다.

표 1

실시에 번호	에칭액 조성			에칭량			처리 온도 (°C)	평가결과			
	히드록실 아민 (중량%)	무기 알칼리 종 농도 (중량%)	화합물 농도 (중량%)	a (μm)	b (μm)	a+b		생산성 평가 (분)	형상 평가		
실시에 1	10	KOH	10	80	10	10	20	90	4	◎	○
실시에 2	10	KOH	10	80	10	15	25	90	5	○	○
실시에 3	10	KOH	15	75	10	10	20	80	5	○	○
실시에 4	10	KOH	15	75	10	10	20	90	4	◎	○
실시에 5	10	KOH	15	75	10	15	25	90	5	○	○
실시에 6	10	KOH	15	75	10	20	30	90	6	△	○
실시에 7	10	KOH	20	70	10	10	20	80	4	◎	○
실시에 8	10	KOH	20	70	10	15	25	80	6	△	○
실시에 9	10	KOH	20	70	10	20	30	90	5	○	○
실시에 10	10	KOH	25	65	10	10	20	80	4	◎	○
실시에 11	10	KOH	25	65	10	15	25	80	5	○	○
실시에 12	10	KOH	25	65	10	20	30	90	4	◎	○
실시에 13	10	KOH	30	60	10	15	25	80	5	○	○
실시에 14	15	KOH	10	75	10	10	20	80	6	△	○
실시에 15	15	KOH	10	75	10	20	30	90	6	△	○
실시에 16	15	KOH	15	70	10	10	20	80	5	○	○
실시에 17	15	KOH	15	70	10	15	25	80	6	△	○
실시에 18	15	KOH	15	70	10	20	30	90	5	○	○
실시에 19	15	KOH	20	65	10	10	20	70	6	△	○
실시에 20	15	KOH	20	65	10	10	20	80	4	◎	○
실시에 21	15	KOH	20	65	10	15	25	80	5	○	○
실시에 22	15	KOH	20	65	10	20	30	80	6	△	○
실시에 23	15	KOH	25	60	10	10	20	70	5	○	○
실시에 24	15	KOH	25	60	10	15	25	80	4	◎	○
실시에 25	15	KOH	25	60	10	20	30	80	5	○	○
실시에 26	15	KOH	30	55	10	10	20	70	4	◎	○
실시에 27	15	KOH	30	55	10	20	30	80	4	◎	○
실시에 28	18	KOH	10	72	10	10	20	80	6	△	○
실시에 29	18	KOH	10	72	10	15	25	80	7	△	○
실시에 30	18	KOH	10	72	10	20	30	90	6	△	○
실시에 31	18	KOH	15	67	10	10	20	70	7	△	○
실시에 32	18	KOH	15	67	10	15	25	80	5	○	○
실시에 33	18	KOH	15	67	10	20	30	80	6	△	○
실시에 34	18	KOH	20	62	10	10	20	70	5	○	○
실시에 35	18	KOH	20	62	10	20	30	80	5	○	○
실시에 36	18	KOH	25	57	10	10	20	70	5	○	○
실시에 37	18	KOH	25	57	10	15	25	70	6	△	○
실시에 38	18	KOH	30	52	10	15	25	70	5	○	○
실시에 39	20	KOH	10	70	10	10	20	80	6	△	○
실시에 40	20	KOH	10	70	10	15	25	80	7	△	○
실시에 41	20	KOH	10	70	10	20	30	90	6	△	○
실시에 42	20	KOH	15	65	10	10	20	70	7	△	○
실시에 43	20	KOH	15	65	10	10	20	80	4	◎	○
실시에 44	20	KOH	15	65	10	20	30	80	7	△	○
실시에 45	20	KOH	20	60	10	10	20	70	5	○	○
실시에 46	20	KOH	20	60	10	15	25	70	6	△	○
실시에 47	20	KOH	25	55	10	10	20	70	4	◎	○
실시에 48	20	KOH	25	55	10	15	25	70	5	○	○
실시에 49	25	KOH	10	65	10	10	20	80	6	△	○
실시에 50	25	KOH	10	65	10	15	25	80	7	△	○
실시에 51	25	KOH	10	65	10	20	30	90	6	△	○
실시에 52	25	KOH	15	60	10	10	20	70	7	△	○
실시에 53	25	KOH	15	60	10	10	20	80	4	◎	○
실시에 54	25	KOH	15	60	10	20	30	80	6	△	○
실시에 55	25	KOH	20	55	10	10	20	70	4	◎	○
실시에 56	25	KOH	20	55	10	15	25	70	6	△	○
실시에 57	25	KOH	20	55	10	20	30	70	7	△	○
비교예 1	혼산(49% 불산 / 70% 질산 = 1 / 8.5)				10	10	20	25	2	◎	×
비교예 2	0	KOH		70	10	10	20	90	9	×	○
비교예 3	25	-	0	75	10	10	20	90	>10	×	×

[0120]

표 2

실시에 번호	에칭액 조성				에칭량			처리 온도 (°C)	평가결과		
	히드록실 아민 (중량%)	총 농도 (중량%)	무기 알칼리 화합물 농도 (중량%)	물 농도 (중량%)	c (μm)	d (μm)	c+d (μm)		생산성 평가 (분)	형상 평가	
실시예 58	10	KOH	10	80	10	10	20	90	4	◎	○
실시예 59	10	KOH	10	80	10	15	25	90	5	○	○
실시예 60	10	KOH	15	75	10	10	20	80	5	○	○
실시예 61	10	KOH	15	75	10	10	20	90	4	◎	○
실시예 62	10	KOH	15	75	10	15	25	90	5	○	○
실시예 63	10	KOH	15	75	10	20	30	90	6	△	○
실시예 64	10	KOH	20	70	10	10	20	80	4	◎	○
실시예 65	10	KOH	20	70	10	15	25	80	6	△	○
실시예 66	10	KOH	20	70	10	20	30	90	5	○	○
실시예 67	10	KOH	25	65	10	10	20	80	4	◎	○
실시예 68	10	KOH	25	65	10	15	25	80	5	○	○
실시예 69	10	KOH	25	65	10	20	30	90	4	◎	○
실시예 70	10	KOH	30	60	10	15	25	80	5	○	○
실시예 71	15	KOH	10	75	10	10	20	80	6	△	○
실시예 72	15	KOH	10	75	10	20	30	90	6	△	○
실시예 73	15	KOH	15	70	10	10	20	80	5	○	○
실시예 74	15	KOH	15	70	10	15	25	80	6	△	○
실시예 75	15	KOH	15	70	10	20	30	90	5	○	○
실시예 76	15	KOH	20	65	10	10	20	70	6	△	○
실시예 77	15	KOH	20	65	10	10	20	80	4	◎	○
실시예 78	15	KOH	20	65	10	15	25	80	5	○	○
실시예 79	15	KOH	20	65	10	20	30	80	6	△	○
실시예 80	15	KOH	25	60	10	10	20	70	5	○	○
실시예 81	15	KOH	25	60	10	15	25	80	4	◎	○
실시예 82	15	KOH	25	60	10	20	30	80	5	○	○
실시예 83	15	KOH	30	55	10	10	20	70	4	◎	○
실시예 84	15	KOH	30	55	10	20	30	80	4	◎	○
실시예 85	18	KOH	10	72	10	10	20	80	6	△	○
실시예 86	18	KOH	10	72	10	15	25	80	7	△	○
실시예 87	18	KOH	10	72	10	20	30	90	6	△	○
실시예 88	18	KOH	15	67	10	10	20	70	7	△	○
실시예 89	18	KOH	15	67	10	15	25	80	5	○	○
실시예 90	18	KOH	15	67	10	20	30	80	6	△	○
실시예 91	18	KOH	20	62	10	10	20	70	5	○	○
실시예 92	18	KOH	20	62	10	20	30	80	5	○	○
실시예 93	18	KOH	25	57	10	10	20	70	5	○	○
실시예 94	18	KOH	25	57	10	15	25	70	6	△	○
실시예 95	18	KOH	30	52	10	15	25	70	5	○	○
실시예 96	20	KOH	10	70	10	10	20	80	6	△	○
실시예 97	20	KOH	10	70	10	15	25	80	7	△	○
실시예 98	20	KOH	10	70	10	20	30	90	6	△	○
실시예 99	20	KOH	15	65	10	10	20	70	7	△	○
실시예 100	20	KOH	15	65	10	10	20	80	4	◎	○
실시예 101	20	KOH	15	65	10	20	30	80	7	△	○
실시예 102	20	KOH	20	60	10	10	20	70	5	○	○
실시예 103	20	KOH	20	60	10	15	25	70	6	△	○
실시예 104	20	KOH	25	55	10	10	20	70	4	◎	○
실시예 105	20	KOH	25	55	10	15	25	70	5	○	○
실시예 106	25	KOH	10	65	10	10	20	80	6	△	○
실시예 107	25	KOH	10	65	10	15	25	80	7	△	○
실시예 108	25	KOH	10	65	10	20	30	90	6	△	○
실시예 109	25	KOH	15	60	10	10	20	70	7	△	○
실시예 110	25	KOH	15	60	10	10	20	80	4	◎	○
실시예 111	25	KOH	15	60	10	20	30	80	6	△	○
실시예 112	25	KOH	20	55	10	10	20	70	4	◎	○
실시예 113	25	KOH	20	55	10	15	25	70	6	△	○
실시예 114	25	KOH	20	55	10	20	30	70	7	△	○
비교예 4	혼산 (49% 불산 / 70% 질산 = 1 / 8.5)				10	10	20	25	2	◎	x
비교예 5	0	KOH	30	70	10	10	20	90	9	x	○
비교예 6	25	-	0	75	10	10	20	90	>10	x	x

[0121]

[0122] 본 발명의 에칭액을 이용해 에칭한 실시예에서는 에칭 처리 시간이 모두 4~7분으로 생산성 평가의 점에서 뛰어난 결과가 얻어졌고, 형상 평가도 우수했다. 한편, 에칭액으로서 혼산을 이용한 비교예 1 및 4에서는 처리 시간은 2분으로 짧아 생산성 평가는 좋기는 했지만, 절연층 및 접속 플러그를 용해해 버려 소정의 높이가 얻어지지 않았다. 또, 히드록실아민을 포함하지 않는 에칭액을 이용한 비교예 2 및 5에서는 에칭 처리 시간이 9분이나 걸려 버려 생산성의 점에서 충분하지 않으며, 무기 알칼리 화합물을 포함하지 않는 비교예 3 및 6에서는 에칭 처리를 할 수 없었다.

[0123] 산업상 이용 가능성

[0124] 본 발명의 에칭액은 실리콘 관통 비아 프로세스에서의 실리콘 기관 이면 에칭에 이용되어, 구리나 텅스텐 등의

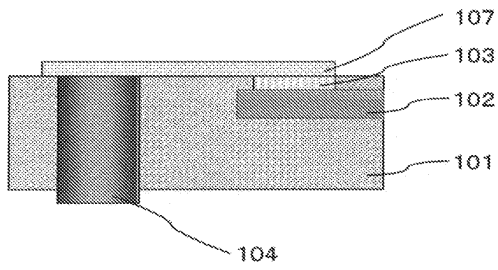
금속 혹은 폴리실리콘 등으로 이루어진 접속 플러그를 에칭하지 않고, 실리콘 기판만을 에칭하며, 또한 뛰어난 에칭 속도를 발휘할 수 있다. 또, 이 실리콘 관통 비아 프로세스를 거침으로써, 뛰어난 생산 효율로 실리콘 관통 비아를 가지는 3차원 멀티칩 반도체 장치용 반도체 칩을 제조하는 것이 가능해진다.

부호의 설명

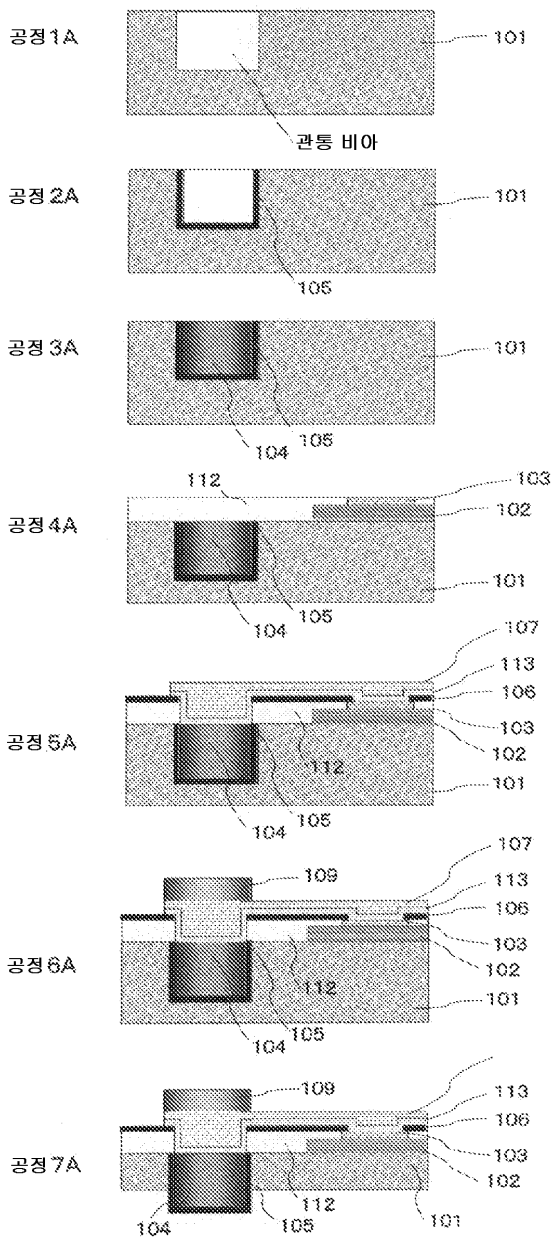
- [0125]
- 101. 실리콘 기판
 - 102. 집적 회로
 - 103. 패드
 - 104. 접속 플러그
 - 105. 절연층
 - 106. 절연층
 - 107. 재배선
 - 108. 보호막
 - 109. 범프
 - 110. 접착층
 - 111. 유리 기판
 - 112. 절연층(집적 장치 및 패드 형성 공정으로 형성됨)
 - 113. 시드층
 - 301. 실리콘 기판
 - 302. 집적 회로
 - 303. 패드
 - 304. 접속 플러그
 - 305. 배리어층
 - 306. 절연층
 - 307. 재배선
 - 308. 보호막
 - 309. 범프
 - 310. 접착층
 - 311. 유리 기판
 - 312. 절연층(집적 장치 및 패드 형성 공정으로 형성됨)

도면

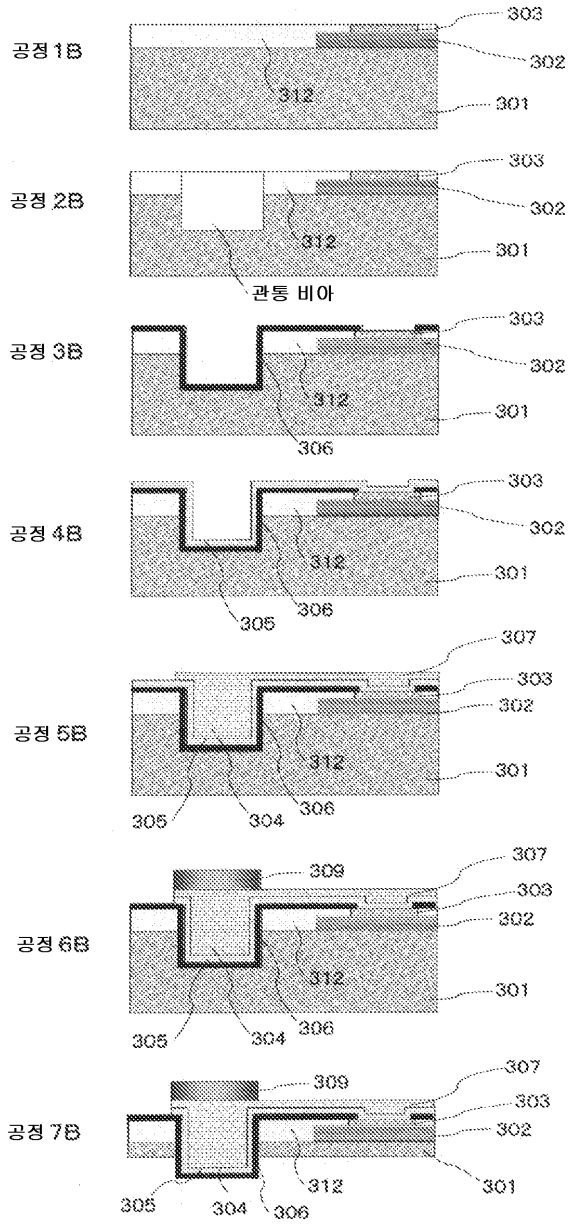
도면1



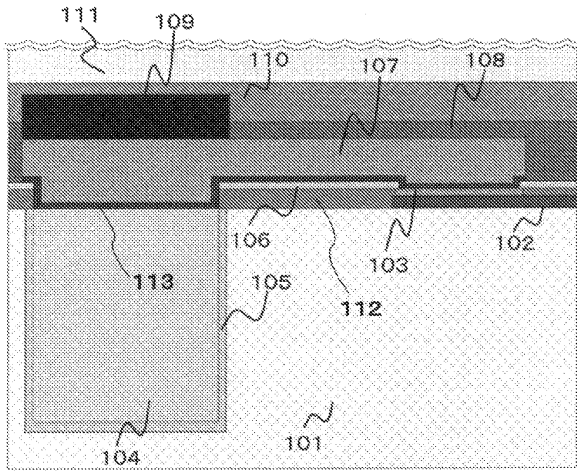
도면2



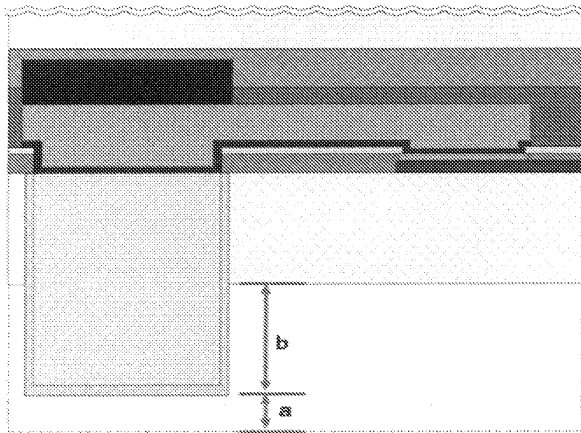
도면3



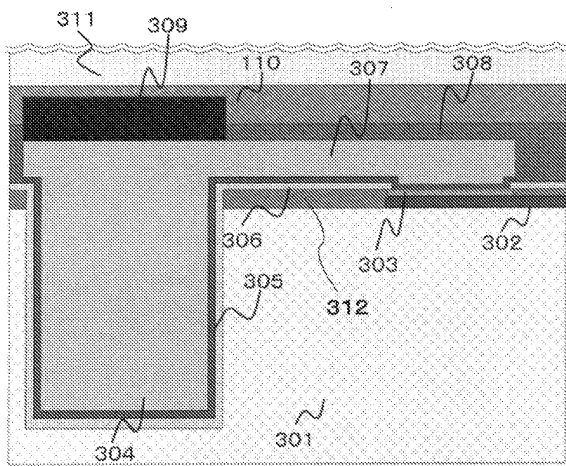
도면4



도면5



도면6



도면7

