

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5139279号
(P5139279)

(45) 発行日 平成25年2月6日(2013.2.6)

(24) 登録日 平成24年11月22日(2012.11.22)

(51) Int. Cl. F I
HO 4 M 19/08 (2006.01) HO 4 M 19/08

請求項の数 11 (全 19 頁)

(21) 出願番号	特願2008-518256 (P2008-518256)	(73) 特許権者	500587067
(86) (22) 出願日	平成18年6月16日 (2006.6.16)		アギア システムズ インコーポレーテッド
(65) 公表番号	特表2008-547320 (P2008-547320A)		アメリカ合衆国, 18109 ペンシルヴァニア, アレンタウン, アメリカン パークウェイ エヌイー 1110
(43) 公表日	平成20年12月25日 (2008.12.25)	(74) 代理人	100094112
(86) 国際出願番号	PCT/US2006/023523		弁理士 岡部 譲
(87) 国際公開番号	W02007/001909	(74) 代理人	100064447
(87) 国際公開日	平成19年1月4日 (2007.1.4)		弁理士 岡部 正夫
審査請求日	平成21年6月16日 (2009.6.16)	(74) 代理人	100085176
(31) 優先権主張番号	11/159,537		弁理士 加藤 伸晃
(32) 優先日	平成17年6月23日 (2005.6.23)	(74) 代理人	100096943
(33) 優先権主張国	米国 (US)		弁理士 臼井 伸一
早期審査対象出願			

最終頁に続く

(54) 【発明の名称】 2ワイヤ・シリアル・リンクのための連続パワー転送方法

(57) 【特許請求の範囲】

【請求項 1】

システム側回路から送信媒体を介して接続されたライン側回路へ電力を転送する方法であって、

前記システム側回路で、前記ライン側回路によって前記送信媒体に課される第1の信号を受信することと、

前記システム側回路で前記第1の信号を強化することによって、前記送信媒体を介して前記システム側回路から前記ライン側回路へ電力を転送することとを含み、

前記システム側回路で前記第1の信号を強化することは、

第1の増幅された信号を生成するために前記第1の信号を増幅するステップと、

前記第1の信号に前記第1の増幅された信号を加えるステップとを含む、方法。

10

【請求項 2】

前記システム側回路で前記第1の信号を強化することを中止するステップと、

前記システム側回路で前記第1の信号を強化することを中止した後に、前記システム側回路で、前記ライン側回路によって前記送信媒体に課される第2の信号を受信するステップと、

第2の増幅された信号を生成するために前記第2の信号を増幅するステップと、

前記第2の信号に前記第2の増幅された信号を加えるステップとをさらに含み、前記第2の信号が前記第1の信号の後に受信される、請求項1に記載の方法。

【請求項 3】

20

前記第 1 の信号を強化する前に、前記第 1 の信号をラッチするステップをさらに含み、前記強化することを中止する前記ステップは、前記ライン側回路によって前記送信媒体に課される第 2 の信号を受信する前に、前記第 1 の信号の前記ラッチをディスエーブルするステップを含む、請求項 2 に記載の方法。

【請求項 4】

送信媒体にわたってライン側回路へ電力を転送するシステム側回路であって、

(i) 前記ライン側回路によって前記送信媒体に課される第 1 の受信信号を受信し、(i i) 前記第 1 の受信信号を強化することによって、前記送信媒体を介して前記ライン側回路へ電力を転送する、よう適合されたインタフェース回路を備え、

前記インタフェース回路は、(i) 第 1 の増幅された信号を生成するために前記第 1 の受信信号を増幅し、(i i) 前記第 1 の増幅された信号を前記第 1 の受信信号に加える、ことによって、前記第 1 の受信信号を強化するよう適合される、システム側回路。

10

【請求項 5】

前記インタフェース回路は、

第 1 のラッチを備え、前記第 1 のラッチは、

前記第 1 の受信信号を受信するために前記送信媒体へ接続されるよう適合された第 1 のインタフェース端子と、

(i) 前記第 1 のインタフェース端子へ接続された出力端子と、(i i) 前記第 1 のインタフェース端子へ切り替え可能に接続されたデータ入力端子と、を有する第 1 のバッファを含む、請求項 4 に記載のシステム側回路。

20

【請求項 6】

前記インタフェース回路は、前記第 1 のバッファへ接続され、供給電圧を受信するよう適合された電圧供給端子をさらに備え、

前記バッファのデータ入力端子が前記第 1 のインタフェース端子へ接続されたときに、前記第 1 のインタフェース端子における前記第 1 の受信信号は、前記バッファに、前記供給電圧からのエネルギーで前記第 1 の受信信号を強化させる、請求項 5 に記載のシステム側回路。

【請求項 7】

前記第 1 のバッファは、前記第 1 のバッファをエネーブルまたはディスエーブルするラッチ制御信号を受信するよう適合されたラッチ制御端子をさらに備える、請求項 5 に記載のシステム側回路。

30

【請求項 8】

前記第 1 のバッファは、前記第 1 のバッファの前記データ入力端子と前記出力端子との間に接続された相補的トランジスタ対をさらに備える、請求項 5 に記載のシステム側回路。

【請求項 9】

前記第 1 のバッファは三状態バッファである、請求項 5 に記載のシステム側回路。

【請求項 10】

前記第 1 のラッチはさらに、

前記送信媒体を介して送信されるべき第 1 の送信信号を受信するよう適合された第 1 の送信入力端子と、

40

前記第 1 のインタフェース端子に接続され、前記送信媒体から受信された前記第 1 の受信信号を出力するよう適合された第 1 の受信出力端子と、

第 1 のモードスイッチとをさらに備え、前記第 1 のモードスイッチは、(i) 前記第 1 の送信入力端子と前記第 1 の受信出力端子とへそれぞれ接続された 2 つの入力端子と、(i i) 前記第 1 のバッファのデータ入力端子へ接続された出力端子と、(i i i) (a) 前記送信媒体を介する送信のための前記第 1 の送信信号、または (b) 前記送信媒体から受信された前記第 1 の受信信号、のいずれかを前記第 1 のバッファへ渡すように前記第 1 のモードスイッチを構成するためにモード選択信号を受信するよう適合されたモード選択端子とを有する、請求項 5 に記載のシステム側回路。

50

【請求項 1 1】

前記システム側回路はさらに、

前記送信媒体を介して送信されるべき第 2 の送信信号を受信するよう適合された第 2 の送信入力端子と、

前記送信媒体に接続されるよう適合された第 2 のインタフェース端子と、

前記第 2 のインタフェース端子に接続され、前記送信媒体から受信された第 2 の受信信号を出力するよう適合された第 2 の受信出力端子と、

(i) 前記第 2 のインタフェース端子に接続された出力端子と、(i i) データ入力端子と、を有する第 2 のバッファと、

第 2 のモードスイッチとをさらに備え、前記第 2 のモードスイッチは、(i) 前記第 2 の送信入力端子と前記第 2 の受信出力端子とへそれぞれ接続された 2 つの入力端子と、(i i) 前記第 2 のバッファのデータ入力端子に接続された出力端子と、(i i i) (a) 前記送信媒体を介する送信のための前記第 2 の送信信号、または(b) 前記送信媒体から受信された前記第 2 の受信信号、のいずれかを前記第 2 のバッファへ渡すように前記第 2 のモードスイッチを構成するためにモード選択信号を受信するよう適合されたモード選択端子とを有し、

前記送信媒体は、差動信号を送信するよう適合され、そして、

前記第 1 及び第 2 の受信信号並びに前記第 1 及び第 2 の送信信号は、それぞれ、差動受信信号並びに差動送信信号を形成する、請求項 1 0 に記載のシステム側回路。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

本発明は、一般に絶縁バリアによって分離された 2 つのデバイス間のデジタル通信に関する。

【背景技術】**【0 0 0 2】**

世界中の監督官庁は、加入者機器を電話ネットワークに接続するための確立された基準および規約を有する。これら規約は、電話ネットワークへの損害を防ぎ、かつネットワークへ同様に接続される他の機器との干渉を緩和することを目的とする。しかしながら、規約は、しばしば困難な設計問題を呈する。

【0 0 0 3】

例えば、データ・モデムなどの加入者機器またはデータ通信機器は、加入者機器から生じる電圧サージまたは過渡電流が、電話ネットワークへの有害な影響を有することを妨げるために、いくつかの形態の電気絶縁を提供することを一般に必要とする。電気絶縁は、また、電話ラインと加入者機器との間の動作電圧における差異に関連する電位問題を対処する。より詳細には、電話ライン電圧は、所定のネットワークにわたって様々に変わり、しばしば加入者機器の動作電圧を超えることがある。米国において、1 5 0 0 ボルト絶縁が、現在必要とされる。他の国において、規定された絶縁は、3 0 0 0 ボルト ~ 4 0 0 0 ボルトに達することがある。

【0 0 0 4】

多数の技術が、電気絶縁の必要なレベルを提供するために使用されてきた。例えば、大きなアナログ絶縁変圧器が、適切なレベルの電気絶縁を維持しながら、2 ワイヤ電話ラインとモデムまたは他の回路のアナログ・フロント・エンドとの間のアナログ信号を磁気結合するためにしばしば用いられる。絶縁変圧器は、可能性がある有害な直流成分を妨げるように機能し、それによってデータ接続の両側を保護する。

【0 0 0 5】

絶縁変圧器は、一般に、データ・アクセス・アレンジメント (Data Access Arrangement, D A A) としてモデム技術で参照される部分である。用語 D A A は、中央オフィスで生じる公衆電話ネットワークと、ホスト・システムまたはデータ端末機器のデジタル・データ・バスとの間のインタフェースを提供する回路を一般に参照する。D A A は、電磁干

10

20

30

40

50

渉/無線周波数干渉 (Electromagnetic Interference/Radio Frequency Interference、EMI/RFI) の放出を制御するために、モデムまたは類似するデバイスを電話ラインから電氣的に絶縁する。電気絶縁に加えて、DAAは、しばしば加入者機器に供給するために多数の信号 (例えば、リング信号) を開発する。DAAは、標準の電話で使用されるRJ11C接続などの電話ジャックを介して、電話ラインからの信号を受信することができる。

【0006】

一般的に、多数の回路が、電話ラインから情報を引き出さなければならず、絶縁は、しばしば各信号がホスト・システムへ通信されかつホスト・システムから通信されることを必要とする。そのような回路は、送信および受信回路、リング信号検出回路、音声通信とデータ送信との間の切り替え回路、電話番号ダイヤリング回路、ライン電流検出回路、機器が機能電話ラインに結合されることを示す回路、およびライン分離検出回路を含むことができる。従来のDAA設計は、別個のライン側回路、およびDAAの各機能のための高電圧絶縁バリアを横切る別個の信号経路を利用する。この従来の設計は、望ましくない多数の絶縁バリアを必要とする。

10

【発明の開示】

【発明が解決しようとする課題】

【0007】

DAAにおける絶縁バリアの数を低減するためのより最新の解決方法は、DAA回路を、ライン側回路とシステム側回路とに分離することである。ライン側回路は、電話ラインに接続する必要があるアナログ構成部品を含み、一方、システム側回路は、一般に、デジタル信号処理回路およびホスト・システムと通信するためのインタフェース回路を含む。電話ラインから到来するアナログ・データ信号は、ライン側回路内のアナログ・デジタル変換器を介してデジタル化され、デジタル両方向シリアル通信リンクを介してシステム側回路への「デジタル」絶縁バリアを横切って送信される。デジタル・データ信号は、次に、システム側回路内のデジタル信号処理回路によって処理されることができる。逆に、ホスト・システムからのデジタル・データ信号は、ライン側回路へのデジタル絶縁バリアを通過して両方向シリアル通信リンクを介して送信されることができ、ライン側回路で、デジタル・データ信号は、アナログ信号に変換されかつ電話ラインに配置される。

20

【0008】

しかしながら、このより最新のDAAで生じる問題は、ライン側回路は、ホスト・システム電力から絶縁される別個の直流電源が提供されなければならないことである。絶縁された電源を提供するために2つの主要なアプローチが提案された。第1のアプローチにおいて、電力は、デジタル・パルスのストリームの形態で別個の電力変換器を介して、ホスト・システムからライン側回路へ転送される。パルスは、ライン側回路における整流器を介して直流供給電圧に変換されることができる交流信号を形成する。このアプローチは、不利なことに、少なくとも2つの変圧器を必要とし、一方の変圧器は、デジタル・データ信号のための絶縁バリアとして機能し、他方の変圧器は、ライン側回路へ電力を提供する。

30

【0009】

提案された第2のアプローチは、電話ライン自体からライン側回路に電力を引き出すものである。しかしながら、このアプローチは、実際に実施が困難である。なぜなら、ドイツおよびオーストリアを含む所定の国における電話通信システムの仕様は、DAAが電話ラインから使用することができる電力量を厳しく制限する。このアプローチは、加入者機器が、電話中央局から配置されることができる距離を低減する傾向も有する。なぜなら、加入者機器と電話会社の中央局との間の距離が増大するにつれ、電話ラインでの電圧降下が、増大するからである。

40

【課題を解決するための手段】

【0010】

本発明は、データ信号を搬送することと、電話ラインから電力を引き出すことなくライ

50

ン側回路を動作するために十分な電力を転送することの両方ができる、D A A内のシステム側回路とライン側回路との間に単一のデジタル通信リンクを提供する。本発明者らは、膨大な量の電力が、絶縁変圧器を使用してシステム側インタフェース回路からライン側インタフェース回路へ送信されることができ、かつ絶縁バリアとして変圧器を使用する価格は、単一の絶縁変圧器を越えてデータおよび電力の両方を送信することによって著しく低減されることができ、これを認識した。したがって、本発明は、システム側インタフェース回路と、ライン側インタフェース回路と、データおよび電力信号の両方が送信されることができ、上流側通信回路から絶縁バリアとを備える。各インタフェース回路は、上流側通信回路（ライン側またはシステム側のいずれか）へ接続することができ、上流側通信回路から、それは、他方のインタフェース回路へ絶縁バリアを横切って送信されるべき前方進行データ信号を受信することができ、上流側通信回路へ、それは、他方のインタフェース回路から絶縁バリアを横切って受信されたデータ信号を渡すことができる。

10

【0011】

各インタフェース回路は、好ましくは、インタフェース回路を送信モードまたは受信モードで動作させることができる、モード・スイッチおよび三状態バッファを含む。送信モードにおいて、インタフェース回路は、それぞれ上流側通信回路から絶縁バリアへ信号を渡す。受信モードにおいて、インタフェース回路は、絶縁バリアを横切って信号を受信しかつラッチする。システム側インタフェース回路において、このラッチング動作は、ライン側インタフェース回路がシステム側インタフェース回路へ信号を送信するときでも、システム側インタフェース回路が、ライン側インタフェース回路へ電力を転送することを可能にする。さらに、ライン側インタフェース回路において、ラッチング動作は、三状態バッファが整流器として作用することを可能にする。

20

【0012】

本発明は、絶縁バリアを含む通信インタフェースで使用するための通信プロトコルをさらに提供する。通信プロトコル内の単一のフレームは、絶縁バリアの磁束平衡が維持されるようにマンチェスター符号化を介して符号化される、1つ以上の前方データ・ビット、1つ以上の前方制御ビット、1つ以上の逆データ・ビット、および1つ以上の逆制御ビットを含む。通信フレームは、フレーム内にある前方および逆データ・ビットの数に基づいて追加されまたは取り除かれることができる1つ以上の「パディング」ビットをさらに含むことができ、通信インタフェースは、固定されたクロック速度を維持しながら、1つ以上のデータ・スループット速度を収容することができる。フレームは、同一値を有する3つの連続サイクルを含む「同期」パターンをさらに含むこともできる。

30

【0013】

本発明は、上記通信プロトコルによる絶縁バリアを横切る信号を通信する方法も提供する。

【0014】

本発明の様々な実施形態は、添付の図面に関連して詳細に以下に記載される。

【発明を実施するための最良の形態】**【0015】**

本発明は、D A Aにおけるライン側回路とシステム側回路との間の絶縁されたデジタル通信リンクを提供する。本発明によれば、単一の変圧器が、絶縁バリアとして用いられる。単一变圧器絶縁バリア（Single-Transformer Isolation Barrier、S T I B）を使用して、十分大きな量の電力が、電力の主な源として電話ラインを頼ることなく、ライン側インタフェース回路（Line-side Interface Circuit、L S I C）を動作するために、システム側インタフェース回路（System-side Interface Circuit、S S I C）から転送されることができ、S T I Bは、両方向データ、クロック、および電力信号を搬送することができる。

40

【0016】

図1は、本発明によるデジタル通信リンクを示す。デジタル通信リンク100は、S T I B 136によって分離される、システム側インタフェース回路（S S I C）180およ

50

びライン側インタフェース回路(LSIC)182を備える。好ましくは、各SSIC180およびLSIC182は、それぞれ単一の集積回路に集積される。STIB136は、好ましくは、高電力容量および低インピーダンスを有する表面実装構成部品である。各SSIC180およびLSIC182は、STIB136を横切って信号を送信するために、STIB136に接続された(ノード126および138で)少なくとも一つの三状態バッファ108、156を含む。各SSIC180およびLSIC182は、他のインタフェース回路によって送信される信号を受信するために、STIB136に接続された受信バッファ133、176をさらに含む。各バッファ108、156、133、および176は、好ましくは増幅タイプのバッファであり、増幅タイプのバッファは、それぞれ、STIB136を横切って送信されるべき信号、またはSTIB136を介して受信される受信信号のいずれかを増幅する。

10

【0017】

SSIC180およびLSIC182は、三状態バッファ108および156とともにプッシュ・プル増幅器を形成することができる。追加の三状態バッファ114および172、ならびに結合されるインバータ106、168も含むことができる。プッシュ・プル(または「両側終端処理された」)構成は、高電力容量、およびSTIB136の一次および/または二次巻き線両端間の大きな電圧変動を提供する。

【0018】

デジタル通信リンク100において、電力とデータの両方は、フレーム・ベースのTDM(Time-Division-Multiplexed、時分割多重)通信プロトコルを介して、STIB136を横切ってSSIC180とLSIC182との間で通信されることができる。所定の時間期間を表す各フレームにおいて、SSIC180およびLSIC182は、選択制御論理(図示せず)によって提供される制御信号SelFおよびSelRによって決定されるように、送信と受信とを交互にする。フレームの第1の期間の間に、例えば、ピン104の所定の選択制御信号SelFは、システム側で三状態バッファ108、114をエネーブルし、一方、ピン166の相補的な制御信号SelR入力は、ライン側で三状態バッファ156、172をディセーブルする。結果として、ピン102で受信される前方進行データ信号TxF(前方進行パルス・ストリーム)は、変圧器T1のシステム側巻き線上のシステム側の三状態バッファ108、114を介して増幅されかつ送信され、その後、変圧器T1のライン側巻き線を介してライン側受信バッファ176に渡される。前方進行データ信号は、次に、前方データ信号RxRとしてピン178に出力される。同様に、ライン側からシステム側への逆送信のために、制御信号SelFおよびSelRは、三状態バッファ156、172をエネーブルし、かつ三状態バッファ108、114をディセーブルするために提供される。データ信号TxR(逆進行パルス・ストリーム)は、次に、変圧器を横切って増幅されかつ送信され、受信バッファ133で受信され、かつ逆データ信号RxRとして出力される。

20

30

【0019】

LSIC182は、好ましくは、STIB136を横切るSSIC180から電力を受信するための電力回路を含む。より詳細には、整流器144および供給コンデンサ154などの格納デバイスは、(ノード138、140で)STIB136の二次巻き線を横切って接続される。整流器144は、示されるようにダイオード146、148、150、および152を備えるダイオード・ブリッジ整流器であり得る。ダイオード146、148、150、および152は、好ましくは、低ターン・オン電圧を有するショットキー・ダイオードである。整流器144および供給コンデンサ154を介して、変圧器T1のライン側巻き線で表れる信号TxFを備える前方データ・パルス・ストリーム(交流信号を有効に表す)は、ノード162で直流電圧VddLに変換されることができる。この直流電圧VddLは、次に、ライン側回路のための供給電圧を提供するために使用されることができる。

40

【0020】

整流器144は、LSIC182として同一の集積回路ダイ上に集積された4つのダイ

50

オードから実施され、かつLSIC182を変圧器のライン側に接続する端子の対に接続されることができる。この実施において、各パッド（ノード138および140）は、正の電圧供給V_{d d L}まで「アップ」接続されるダイオード、および接地まで「ダウン」接続されるダイオードが設けられ、このように整流ブリッジを形成する。したがって、ダイオード対146、148および150、152は、それぞれノード142および174で入力信号のための半波整流器を形成し、かつノード142とノード174との間の差動信号のための全波整流器をともに形成する。この実施形態において、入力信号は、好ましくは、ダイオード整流器144を動作させるのに十分に大きな（すなわち、ダイオードのカットイン電圧より大きな増幅を有する）平均エネルギーを有する。

【0021】

好ましくは、ダイオード146、148、150、および152は、約1000ボルトから約2000ボルトの過渡ESDインパルスに耐えることができ、静電放電から集積回路ダイを保護するために十分な電流搬送容量を有する。ESDイベントが生じたときに、過渡電圧は、適切な供給レール（接地または供給電圧V_{d d L}）に単にシャントされる。この実施形態において、ダイオード146、148、150、および152は、整流ダイオードとしてだけでなく、LSIC182のための入力ピンのための主要なESD保護ダイオードとして作用し、実際にこれらピンのための単一のESD保護デバイスとして作用することができる。

【0022】

同期整流器は、上述されたダイオード・ブリッジ整流器の代わりとして、またはそれと組み合わせてのいずれかで使用されることもできる。ダイオード・ブリッジおよび同期整流器の両方が存在するならば、ダイオード・ブリッジは、LSIC182が初期的に給電される間に（例えば、同期整流器のための制御論理が、動作するための十分な電圧が無い間に）、動作に必要な初期開始電圧を生成するために使用されることができる。同期整流器は、次に、初期開始電圧が、同期整流器を動作させるのに十分に高いレベルに達した後で、整流のために使用されることができる。さらなる実施形態において、ダイオード146、148、150、および152は、以下にさらに記載されるように、同期整流器におけるトランジスタの様々な半導体接合によって形成される寄生ダイオードであり得る。

【0023】

デジタル通信リンク100の動作およびその中の様々な信号は、図2に示されるタイミング図を参照してより完全に理解されることができる。適切なTDMプロトコルは、ビット期間202から207として示される反復フレーム200に基づくことができる。ビット期間201の間（フレーム200の開始前のビット期間）に、制御信号S_{e l F}は、エネーブルされ（210で）、一方、制御信号S_{e l R}は、ディセーブルされ（222で）、かつビット期間202および203ならびにビット期間204の初期部分を通してそれらのそれぞれの状態で連続する。結果として、ビット期間202、203、および204の間に、信号T_{x F}（前方パルス・ストリーム）は、T_{x F}およびR_{x F}ラインにおいて単一の斜線で示されるように、変圧器T1を横切って三状態バッファ108および114を介して送信され、かつ信号R_{x F}として受信される。

【0024】

LSIC182は、フレーム200のより遅い部分の間、すなわちビット期間205～207の間に送信される。ビット期間204の間に、制御信号S_{e l F}およびS_{e l R}は、ライン側の三状態バッファ156、172がエネーブルされ、一方、システム側の三状態バッファ108、114がディセーブルされるように、極性が逆にされる。したがって、ビット期間205～207の間に、信号T_{x F}（逆パルス・ストリーム）は、ビット期間205～207の間にT_{x R}およびR_{x R}ラインにおいて交差する斜線で示されるように、変圧器T1を横切ってライン側の三状態バッファ156、172を介して送信され、かつ信号R_{x R}として受信される。

【0025】

受信バッファ133および176は、アクティブ・スルーアウト・フレーム200であ

10

20

30

40

50

り得る。したがって、システム側の信号 $T \times F$ は、次に、フレーム 200 の第1の部分中、それぞれ両方のバッファ 133 およびバッファ 176 によって受信され、かつピン 132 および 178 で出力されることが出来る。対応して、フレーム 200 の第2の部分の間、ライン側で信号 $T \times R$ は、両方のバッファ 133 および 176 によって受信される。このため、図2における $R \times F$ および $R \times R$ 信号は、ただ一つの信号ラインによって表され、 $R \times F / R \times R$ で示される。図2における信号 $E n F$ および $E n R$ は、電力転送を改善するために使用され、以下にさらに記載される。

【0026】

変圧器の飽和を避けるために、STIB136を横切る通信信号は、好ましくは磁束平衡される。例示として、最新のモデム・システムでの使用に適している変圧器の磁束と巻き数の積の限界は、約2.35マイクロボルト秒、または3.6ボルトで652.5ナノ秒であり得る。したがって、送信プロトコルは、例えば2つのデータ・フレームにわたって直流平衡化されたコードを提供すべきである。例示として、マンチェスター符号化または交互マーク反転(Alternate Mark Inversion、AMI)が、本発明で容易に用いられることができる。

10

【0027】

図3は、本発明での使用に適した通信プロトコルを示し、STIB136の磁束は、マンチェスター・タイプの符号化方法(すなわち、2ビット・シーケンス01として0ビットを符号化し、かつ2ビット・シーケンス10として1ビットを符号化する)を使用して平衡化される。上記図2のプロトコルとは対照的に、図3のプロトコルは、時分割多重化を用いるが、フレーミング・シーケンスの前方送信を可能にするために、SSIC180およびLSIC182への異なる量の時間を割り当てる。

20

【0028】

より詳細には、図3のプロトコルにおいて、SSIC180は、時間スロット301~308の間に送信し、LSIC182は、時間スロット309~312の間に送信する。図3における基本フレーム322は、以下を含むことができる。

【0029】

(1) 時間スロット301および302の間の前方データ・ビット(NOT DFが続くDFとしてマンチェスター符号化されて示される)、

(2) 時間スロット303および304の間の前方制御ビット(CF、NOT CFとして示される)、

30

(3) 時間スロット305~308の間の所定の前方フレーミング・シーケンス326(NOT CF、NOT CF、CF、CFとして示される)、

(4) 時間スロット309および310の間の逆データ・ビット(DR、NOT DRとして示される)、

(5) 時間スロット311および312の間の逆制御ビット(CR、NOT CRとして示される)。

【0030】

図3のプロトコルは、フレーム・サイズを調整するために追加されまたは取り除かれることができるダミーまたはパディング・ビット330も含むことができる。このように、広範なデータ速度は、SSIC180およびLSIC182のクロック速度を変更することなく調節されることが出来る。例示として、磁束平衡を達成するために交互の値の6個のパディング・ビット(例えば、0、1、0、1、0、1)が、時間スロット313~318内に示される。図4に示されるように、奇数番号のパディング・ビットは、2つの連続するフレーム、すなわちフレームkおよびフレームk+1にわたって、パディング・ビットの磁束を平衡化することによって調節されることも出来る。例えば、フレームkが、パディング・ビット・シーケンス[01010]を含むなら、フレームk+1は、シーケンス[10101]を含むことができる。

40

【0031】

前方フレーミング・シーケンスは、フレームが開始しかつ/または終了する場所を識別

50

するために使用されることができ任意の独特なビット値のシーケンスであり得る。例えば、図3に示されるプロトコルにおいて、時間スロット304内の逆制御ビット(NOT CF)は、その後、時間スロット305および306において2回繰り返される。この三回繰り返された値は、容易に識別されることができ独特な同期化(sync)パターンを提供し、マンチェスター符号化される限り、信号(01、10)は、同一値の3個の時間スロット・シーケンスを決して結果として生じない。この同期化パターンのための適切な検出回路は、例えば、3ビット・シフト・レジスタを介して実施されることができ、レジスタ内の各ビットは、三回繰り返された値が検出されたとき、信号を出力する3入力ANDゲートに提供される。他のフレーム検出技術が、上述された同期化パターンの代わりに使用されることができ、例えば、大きなバッファが、到来するデータを格納するために使用されることができ、バッファリングされたデータは、次に、当技術で知られている技術によってフレーミングを決定するために、マイクロプロセッサによって統計的に解析されることができる。

【0032】

図5および図6は、本発明のさらなる実施形態を示し、図1に示されるLSIC182の整流器および三状態バッファの機能は、新規な「整流バッファ」によって提供され、インタフェース回路は、SSIC180からLSIC182への電力の転送を強化するフィードバック経路を含む。図5を参照すると、整流バッファ504は、供給コンデンサおよびインタフェース端子Vs+を介してSTIB136に接続された三状態バッファ156と、三状態バッファに接続されたモード・スイッチMX1Lと、STIB136とモード・スイッチMX1Lとの間のフィードバック経路508とを備える。整流バッファ504は、さらに、信号Rx+を出力するための「受信出力端子」と、信号Tx+を受信するための送信入力端子を有する。三状態バッファ156は、次に、相補的なトランジスタ対M1L(PチャンネルMOSFET)およびM2L(NチャンネルMOSFET)と、対における一方のトランジスタ(M1L)に接続されたNAND論理ゲートND1Lと、対における他方のトランジスタ(M2L)に接続されたNOR論理ゲートNR2Lと、NANDおよびNORゲートのENABLE入力間に接続されたインバータIN1Lとを備える。

【0033】

本発明のこの実施形態による、三状態バッファ内の相補的なトランジスタ対156、172は、SSIC180へ信号を送信するための出力ドライバ、およびSSIC180から受信された信号を整流するための同期整流器の両方として作用する。整流バッファ504は、モード・スイッチMX1Lの状態に応じて送信モードおよび整流モードの2つのモードを有効に有する。モード・スイッチMX1Lは、次に、ライン側インタフェース制御論理(図示せず)によって制御される。

【0034】

LSIC182およびSSIC180は、好ましくは、図2~図4に示されるTMDプロトコルなどのTDMプロトコルにしたがって通信するように構成される。特に、SSIC180は、TDMフレームの所定の時間スロットの間(「前方送信期間」)に送信し、LSIC182は、フレームの異なる時間スロットの間(「逆送信期間」)に送信する。前方送信期間の間、SSIC180がSTIB136を越えて送信する一方、ライン側インタフェース制御論理(図示せず)は、整流バッファを整流モードにするために適切なSEL信号(例えば、ゼロ・ボルト信号)を提供し、整流モードにおいて、SSIC180によって送信された前方データ内のエネルギーの実質的な部分が、供給コンデンサC_Lに逸らされかつ格納される。逆送信期間の間、LSIC182が、STIB136を越えて逆データを送信するように予定されるとき、整流バッファを従来の三状態バッファとして動作させる(すなわち、STIB136を介してSLICからSSIC180へデータ信号を渡す)適切なSEL信号(例えば、3.5ボルト信号)が提供される。

【0035】

STIB136を越えて送信される信号は、好ましくは差動信号(別名、両側終端処理

10

20

30

40

50

されたまたは接地されていない)であるので、第2の整流バッファ506も、LSIC182内に提供されることができる。第2の整流バッファ506は、同様に、三状態バッファ172、モード・スイッチMX2L、およびフィードバック経路510を含む。三状態バッファ172は、相補的なトランジスタM3LおよびM4L、NAND論理ゲートND3L、NOR論理ゲートNR4L、およびインバータIN3Lを含む。整流バッファ156および整流バッファ172は、ともに差動整流バッファ512を形成する。

【0036】

図6は、LSIC182内の供給コンデンサC_Lに電力を提供するために、差動整流バッファ512がどのようにSTIB136を越えてSSIC180によって送信される差動信号を整流するように動作することができるかを示す。図6は、差動整流バッファ(結合される内部抵抗を有するスイッチM1L、M2L、M3L、およびM4Lによって表される)および供給コンデンサC_Lへ、STIB136を介して接続された差動プッシュ・プル送信器(結合される内部抵抗を有するスイッチM1S、M2S、M3S、およびM4Sによって表される)の簡略化された回路図のいくつかの状態を示す。回路の3つの連続する状態が、図610、620、および630に示され、送信器は、値「1」(図610)の送信から値「0」(図630)へ移行する。差動送信器は、従来、プッシュ・プル構成の2組の相補的なトランジスタを介して実施されるので、スイッチM1SおよびM2Sは、差動送信器の上方レグにおける2つの相補的なトランジスタを表し、一方、スイッチM3SおよびM4Sは、下方レグにおける2つの相補的なトランジスタを表す。

【0037】

本発明によれば、差動整流バッファ512を備えるスイッチは、同期整流器として動作される。図610は、「1」送信ビットが、スイッチM1SおよびM4Sを閉鎖しかつスイッチM2SおよびM3Sを開放することによって、SSIC180からLSIC182へ送信される、回路の例示的な状態を示す。前方電流ループは、供給源Vsplyから、スイッチM1Sを通り、STIB136の一次巻き線を通り、最終的にスイッチM4Sを通り接地へ作られる(内部抵抗を無視して)。ライン側で、スイッチM1LおよびM4Lは閉鎖され、一方、スイッチM2LおよびM3Lは開放される。結果として、STIB136の二次巻き線に与えられる電流は、スイッチM1Lを通り、負荷インピーダンスR_Lを通り、最終的にスイッチM4Lを通過して流れ、一方、同時に供給コンデンサC_Lを充電する。

【0038】

図620において、差動整流バッファ内の全てのスイッチは、STIB136の二次巻き線を通る電流の流れを遮断するために開放される。この時間期間の間、LSIC182負荷は、供給コンデンサC_Lによってだけ供給される。変圧器の二次巻き線を通るライン側の負荷電流が存在しないので、変圧器の一次巻き線の極性は、スイッチM2SおよびM3Sを閉鎖しかつスイッチM1SおよびM4Sを開放することによって容易に変更されることができる。したがって、図620内の送信器内の電流経路は、供給源Vsplyから、スイッチM3Sを通り、変圧器の一次巻き線(反対の極性を有する)を通り、次にスイッチM2Sを通り接地までである。

【0039】

最後に、図630において、ライン側のスイッチM1LおよびM4Lは開放され、一方、スイッチM2LおよびM3Lは閉鎖される。変圧器の極性が、フリップされているので、変圧器の二次巻き線は、今や正しい極性で負荷に再接続される。電流は、まだコンデンサC_Lの正端子に流れ、したがって電力は、「0」値がSSIC180によって送信されるビット期間の間に、SSIC180からLSIC182へ転送され続ける。したがって、SSIC180からの信号は、実質的にその信号と同期してスイッチM1L、M2L、M3L、およびM4Lを動作することによって、差動整流バッファによって整流される。

【0040】

図620に示される「ブレーク・ピフォア・メイク」ステップは、任意選択である。しかしながら、それが省略されるなら、システム側送信器は、恐らく、変圧器の二次巻き線

10

20

30

40

50

を通る電流の流れを無効にするために、ライン側スイッチより著しくより強力（したがってより大きい）でなければならない。対照的に、上述の「ブレーク・ピフォア・メイク」実施において、ライン側スイッチは、システム側スイッチのサイズとほぼ等しくあり得る。ブレーク・ピフォア・メイクの時間間隔は、好ましくは、二次巻き線内の電流の流れを遮断または実質的に低減するために十分に長い。所定のアプリケーションにおいて、例えば、高速モデム・アプリケーションにおいて、数ナノ秒の時間間隔が、この目的に十分である。

【 0 0 4 1 】

図5を再び参照すると、図5に示された実施形態における様々な信号が、以下の表に示される。全ての信号は、選択信号およびエネーブル信号を除いて、差動的または相補的である。

【 0 0 4 2 】

【表 1 - 1】

信号	機能
EnF	前方送信をエネーブルする。
SeIF	前方送信を選択する。
TxF+	前方データを送信する(Pos)。絶縁バリアを横切りSSIC180からLSIC182へ送信されるべきデータのための「正」差動入力
TxF-	前方データを送信する(Neg)。絶縁バリアを横切りSSIC180からLSIC182へ送信されるべきデータのための「負」差動入力
RxR+	受信された逆データ(Pos)。絶縁バリアを横切りLSIC182からSSIC180によって受信されたデータのための「正」差動入力

【 0 0 4 3 】

【表 1 - 2】

RxR-	受信された逆データ(Neg)。絶縁バリアを横切りLSIC182からSSIC180によって受信されたデータのための「負」差動入力
EnR	逆送信をエネーブルする。
SeIR	逆送信を選択する。
TxR+	逆データを送信する(Pos)。絶縁バリアを横切りLSIC182からSSIC180へ送信されるべきデータのための「正」差動入力
TxF-	逆データを送信する(Neg)。絶縁バリアを横切りLSIC182からSSIC180へ送信されるべきデータのための「負」差動入力
RxF+	受信された前方データ(Pos)。絶縁バリアを横切りSSIC180からLSIC182へ受信されたデータのための「正」差動入力
RxF-	受信された前方データ(Neg)。絶縁バリアを横切りSSIC180からLSIC182へ受信されたデータのための「負」差動入力

【 0 0 4 4 】

R x F + 信号は、変圧器の二次巻き線の負端子 V s - から得られ、次にインバータ I N 2 L によって反転され、一方、R x F - 信号は、変圧器の二次巻き線の正端子 V s + から得られ、次にインバータ I N 4 L によって反転される。結果として、R x F + での信号は、端子 V s + での信号値を追跡し、R x F - での信号は、端子 V s - での信号値を追跡する。

【 0 0 4 5 】

10

20

30

40

50

上記で言及したように、 $Se1R$ 信号は、差動整流バッファのモードを制御する。モード・スイッチ $MX1L$ は、モード・スイッチ $MX1L$ のピン SD での $Se1R$ 信号入力の値に応じて、ピン $D0$ での $RxF+$ 信号またはピン $D1$ での $TxR+$ 信号のいずれかを選択するためのマルチプレクサとして動作する。

【0046】

信号 $Se1R$ がローである（例えば、「整流」モードのために）なら、 $RxF+$ 信号は、モード・スイッチ $MX1L$ の Z 出力ピンに選択されかつ渡される。モード・スイッチ $MX1L$ からの信号出力は、次に三状態バッファ 156 に入力され、三状態バッファ 156 における相補的なトランジスタ $M1L$ および $M2L$ は、 $RxF+$ 値をとる。例えば、 $RxF+$ 信号が「ハイ」であるとき、トランジスタ $M2L$ は開放し（すなわち、実質的に非導通状態に入り）、かつトランジスタ $M1L$ は閉鎖し（すなわち、実質的に導通状態に入り）、変圧器の二次巻き線の正端子を供給コンデンサ CL に有効に接続し、それによって供給コンデンサを供給電圧 $VddL$ に充電する。同時に、対応する $RxF-$ 信号は、 $RxF+$ 信号の逆であるから、それは、ローになる。モード・スイッチ $MX2L$ は、ロー $RxF-$ 信号を三状態バッファ 172 に渡し、トランジスタ $M3L$ を開放させかつトランジスタ $M4L$ を閉鎖する。変圧器の二次巻き線の負端子 $Vs-$ は、このようにライン側の絶縁された接地に有効に接続される。このように、(a) 変圧器の二次巻き線の正端子 $Vs+$ 、(b) トランジスタ $M1L$ 、(c) 供給コンデンサ CL 、(d) 絶縁された接地ノード、および (e) 変圧器の二次巻き線の負端子 $Vs-$ を通って形成される電流ループが完成し、電力が、このように $SSIC180$ から $LSIC182$ へ送信される。

【0047】

一旦、 $RxF+$ および $RxF-$ 信号に関する所定の値が確立されると、 $Se1R$ 信号がローであるなら、かつ三状態バッファが適切な EnR 信号によって「エネーブル」されるとさらに仮定して、有効に値をラッチする正フィードバック・ループが作られる。 $SSIC180$ のトランジスタが、 $LSIC182$ のトランジスタを「無効にする」のに十分に大きくないなら、このラッチング効果は、大きな問題であり得る。したがって、本発明は、図6を参照して記載されるように、ラッチを中断しかつ新たな送信値が変圧器に課されることを可能にする、「ブレイク・ピフォア・メイク」スイッチング方法を提供する。特に、 EnR 信号は、短い時間について三状態バッファをディセーブルするために使用されることができ、それによって、ラッチを中断し、かつ送信回路がより容易に変圧器を新たなデータ状態（ハイまたはローのいずれか）に課すことを可能にする。代わりに、選択ライン（ $Se1F$ および $Se1R$ ）は、ラッチをディセーブルしまたは中断するために使用されることもできる。

【0048】

差動整流バッファを「送信」モードにするために、「ハイ」 $Se1R$ 信号は、モード・スイッチ $MX1L$ および $MX2L$ に提供される。到来するデータ $TxR+$ および $TxR-$ は、したがってモード・スイッチ $MX1L$ および $MX2L$ を通って三状態バッファ 156、172 へ渡される。したがって相補的なトランジスタ $M1L$ 、 $M2L$ 、 $M3L$ 、および $M4L$ は、変圧器の二次巻き線に TxR 値を課し、それによって逆データを $SSIC180$ へ送信する。

【0049】

上述の差動整流バッファ構成は、図5に示されるように $SSIC180$ に適用されることもできる。 $SSIC180$ が送信より受信するとき、 TDM 時間間隔の間に、三状態バッファ 108 および 114 は、モード・スイッチ $MX1S$ および $MX2S$ ならびに三状態バッファ 108 および 114 を通る正フィードバックの結果として、 $LSIC182$ によって送信される前方パルス・ストリームをラッチさせかつ反射させる。各 TDM ビット期間の終了時に、新たな値が $LSIC182$ に送信される直前に、 $SSIC180$ スイッチは、上述の同じ「ブレイク・ピフォア・メイク」方法で短い時間の期間についてディセーブルされる（例えば、高インピーダンス状態に置かれる）。 $LSIC182$ は、したがって、 $SSIC$ ドライバからの干渉なしに、変圧器に新たなデータ値を課す機会を有

10

20

30

40

50

する。SSIC180スイッチが再びエネーブルされるとき、SSIC180は、新たな値をラッチしかつ増幅する。実際には、送信回路と受信回路との間にマスタ・スレーブ関係が生じ、スレーブ回路は、マスタによって送信される値にラッチする。

【0050】

有意に、一旦、SSIC180における三状態バッファ108および114は、所定の値をラッチすると、増幅された駆動電流は、トランジスタM1S、M2S、M3S、およびM4Sを通して供給源Vsplyから流れる。この増幅された電流は、変圧器の一次巻き線内の電流に加えられ、このように応じてより大きな電流を変圧器の二次巻き線を通して流れさせ、実際に、LSIC182内の整流器へ転送される補足的なパルス・ストリームを生成する。より詳細には、変圧器の二次巻き線に生じる追加の電流は、システム側の供給源Vsply内で生じ、かつライン側の供給コンデンサC_Lに転送される電力およびエネルギーを表す。このように、ラッチされた状態において、LSIC182が送信しても、電力は、STIB136からLSIC182に前方へ実際に転送されることができる。結果として、供給コンデンサC_Lでの電圧の安定性が、劇的に改善される。なぜなら、電力は、SSIC180が送信するとき、およびLSIC182が送信するときの両方で、LSIC182に転送される。

10

【0051】

LSIC182およびSSIC180の動作は、図5とともに図2におけるタイミング図を参照してさらに理解されることができる。SSIC180が、LSIC182に送信しようとしていると仮定すると、信号SelFは、「ハイ」に移行させ(210)、かつ信号SelRは、ローに移行させる(222)。したがって、モード・スイッチMX1SおよびMX2Sは、TxF(+/-)信号を選択しかつ出力するために設定される。「ハイ」TxF+信号(ビット期間210内の212)は、このように、「ハイ」信号としてノードVinS+に渡され、一方、対応する差動「ロー」TxF-信号は、ノードVinS-に渡される。ノードVinS+およびVinS-での信号は、次に、論理ゲートND1S、ND3S、ならびにNORゲートNR2SおよびNR4Sに入力される。

20

【0052】

EnF信号も、論理ゲートND1SおよびND3Sに入力され、一方、その反転(インバータIN1SおよびIN3Sの後)が、論理ゲートNR2SおよびNR4Sに入力される。EnF信号がハイであり(214)、かつVinS+信号(ハイTxF信号212に対応する)もハイであるので、論理ゲートND1Sは、その出力で「ロー」信号を生成し、p型トランジスタM1Sを「閉鎖」させ、それによって、変圧器T1のVp+端子を供給電圧VddSに有効に接続する。同時に、EnF信号の反転が「ロー」信号であり、かつVinS+信号が「ハイ」であるので、NORゲートNR2Sは、その出力で「ロー」信号を生成し、n型トランジスタM2Sを開放させ、それによって、変圧器T1のVp+端子と接地との間の経路を遮断する。

30

【0053】

それとは逆に、「ハイ」EnF信号およびその「ロー」反転とともに、VinS-での「ロー」信号の結果として、論理ゲートND3Sは、p型トランジスタM3Sに「ハイ」信号を出力し、かつそれを開放させ、一方、論理ゲートNR4Sは、トランジスタM4Sに「ロー」信号を出力し、それを閉鎖させる。結果として、変圧器T1の端子Vp-は、有効に接地に接続される。したがって、TxFでの「ハイ」信号入力は、変圧器の二次巻き線に「ハイ」信号を生じ、端子Vp+は、供給電圧VddSに有効に接続され、かつ端子Vp-は、接地に有効に接続されることが見られることができる。この時間期間の間に、電流が所望の方向の流れる傾向を有するように、端子Vp+での電圧は、好ましくは、供給電圧VddS以上であり、端子Vp-での電圧は、好ましくは、接地での電圧以下であることが理解されるべきである。

40

【0054】

「ハイ」信号が、変圧器の一次巻き線Vpに配置される直前に、受信ラッチ、三状態バッファ、およびLSIC182内の結合されるトランジスタは、「ロー」EnR信号(図

50

2における時間218で)によってディセーブルされることができる。結果として、トランジスタM1L、M2L、M3L、M4Lは、全て非導通状態に置かれ、そうでなければ、変圧器T1の一次巻き線および二次巻き線に「ハイ」Vp信号を課すことに抵抗する傾向を有する反対側の電圧または電流が存在しない。したがって、「ロー」EnR信号は、三状態バッファをディセーブルし、ラッチされた信号の強化を中断する。

【0055】

変圧器T1での値における変化に抵抗する傾向を有する二次巻き線に電流が無いので、Vp+での「ハイ」信号をVs+での「ハイ」信号へ移し、かつVp-での「ロー」信号をVs-での「ロー」信号へ移すことを、より容易に可能である。Vs+およびVs-での「ハイ」および「ロー」信号は、それぞれRxF-およびRxF+に受信された「ロー」および「ハイ」信号を生成するために、それぞれインバータIN4LおよびIN2Lによって反転される。

10

【0056】

LSIC182は、好ましくは、モード・スイッチMX1LおよびMX2Lに、逆送信号TxRの代わりに受信信号RxF-およびRxF+を選択させかつ出力させる、222での「ロー」SelR信号によって「受信」または「ラッチ」モードに置かれる。したがって、モード・スイッチMX1Lは、VinL+に「ロー」信号を出力し、一方、モード・スイッチMX2Lは、VinL-に「ハイ」信号を出力する。

【0057】

一方では、EnR信号は、「ハイ」状態に戻り(図2における220で)、したがってNANDおよびNORゲートを動作状態にする。この点で論理ゲートND1Lは、その入力として、VinL+で「ハイ」信号および「ハイ」EnR信号を有するので、それは、「ロー」信号を出力し、したがってp型トランジスタM1Lを閉鎖する。入力として、VinL+で「ハイ」信号およびインバータIN1Lの出力に「ロー」入力(すなわち、反転されたEnR信号)を有する論理ゲートNR2Lは、「ロー」出力信号を生成し、したがってn型トランジスタM1Lを開放する。電流は、したがってVs+からM1Lを流れてVdLへ流れ、したがって、コンデンサCLを充電する。このように、電力は、SSIC180からLSIC182への前方送信の間に、SSIC180からLSIC182電源(CLによって部分的に形成される)へ転送される。

20

【0058】

逆に、入力として、VinL-で「ロー」信号および「ハイ」EnR信号を有する論理ゲートND3Lは、p型トランジスタM3Lに「ハイ」出力信号を出力し、それを開放させる。また、入力として、VinL-で「ロー」信号および「ロー」反転されたEnR信号を有する論理ゲートNR4Lは、n型M4Lに「ハイ」信号を出力し、それを閉鎖させる。トランジスタM4Lの閉鎖は、電源コンデンサCLおよび負荷抵抗RLを流れて変圧器T1でのVs-に戻って流れる、電流のための回路経路を完成する。

30

【0059】

したがって、「ラッチされた」状態が、LSIC182で生じる。なぜなら、Vs+が、VdLに電気接続され、一方、Vs-は、絶縁された接地に電気接続され、かつインバータIN2L、IN4Lと、モード・スイッチMX1L、MX2Lと、三状態バッファBUF1SおよびBUF2Sを介する正フィードバックは、ビット期間202全体にラッチされた状態を維持するからである。

40

【0060】

補足的な整流器は、DAAが初期的に給電されるとき、開始電力を提供するために、LSIC内に提供されることもできる。供給コンデンサCLが完全に枯渇するならば、制御論理が、差動整流バッファが動作するために必要であるエネーブルおよび選択信号を供給するには十分な電圧が存在しない。したがって、小さな「ブート・ストラップ」整流器(例えば、ダイオード整流器または同期整流器)が提供されることができる。SSICが送信を開始するとき、補足的な整流器が、SSIC180信号に従うように強制され、それによってコンデンサCLを充電するわずかな量の電力を転送する。一旦、ライン側供給電圧

50

V d d L が、L S I C 論理が動作するために十分に高いレベルに到達すると、クロック検出、同期化、および初期化を含むバリアを横切る T D M プロトコルが、確立されることができる。L S I C 1 8 2 は、次に、バリアの両側が、完全にマスタ/スレーブ構成になる標準の電力モードに入ることができる。

【 0 0 6 1 】

有利には、上述の差動整流バッファ内のトランジスタ M 1 L、M 2 L、M 3 L、および M 4 L 内に存在する寄生ダイオードが、所望の補足的またはブート・ストラップ整流器として使用されることができる。より詳細には、トランジスタ M 1 L および M 3 L は、好ましくは、そのドレイン（それぞれ変圧器端子 V s + および V s - に接続された）から、そのソース（正供給電圧 V d d L に接続された）への寄生 p n ダイオード接合をそれぞれ有する P チャネル M O S F E T である。同様に、トランジスタ M 2 L および M 4 L は、好ましくは、そのソース（接地に接続された）からそのドレイン（それぞれ変圧器端子 V s + および V s - に接続された）への寄生 p n ダイオード接合をそれぞれ有する N チャネル M O S F E T である。これら寄生ダイオードは、L S I C 1 8 2 を給電するために必要な初期開始電圧を生成するために用いられることができるダイオード・ブリッジを形成する。

10

【 0 0 6 2 】

さらに、トランジスタ M 1 L、M 2 L、M 3 L、および M 4 L 内の寄生ダイオードは、上記ダイオード 1 4 6、1 4 8、1 5 0、および 1 5 2 に関連して記載されたように、S S I C に関する E S D 保護を提供するために使用されることもできる。この実施形態において、トランジスタ M 1 L、M 2 L、M 3 L、および M 4 L は、予測された E S D インパルス電圧および電流に耐えるように設計されるべきである。

20

【 0 0 6 3 】

本発明は、差動構成よりむしろ単一終端処理された構成で実施されることもできる。図 7 は、例示的な単一終端処理された実施形態を示す。この実施形態は、変圧器の一次および二次巻き線の負端子 V p - および V s - が、接地に接続され、かつ一次巻き線端子 V p + および V s + が、それぞれ R x R + および R x F + に直接接続されることを除いて、図 5 の両側終端処理された実施形態に類似する。図 7 の単一終端処理された実施形態は、図 5 の両側終端処理された実施形態と同一の方法で動作する。

【 0 0 6 4 】

図 8 のチャートは、本発明を使用して、システム側回路とライン側回路との間の電力転送の予測される有効性を示す。より詳細には、y 軸は、上述の差動整流バッファ実施形態におけるコンデンサ C_L を横切って生成されるライン側供給電圧 V d d L を表す。x 軸は、0 から 1 . 0（または 0 % から 1 0 0 %）に及ぶ前方送信比を表す。ライン側供給電圧は、前方送信比に関わらず、驚くほど安定しているままである（2 . 7 5 V から 2 . 7 9 V の間）ことが見られ得る。

30

【 0 0 6 5 】

本発明は、したがって、従来 D A A に対していくつかの有意な利点を有する。第 1 に、変圧器は、一次巻き線と二次巻き線との間に優れた高電圧絶縁を提供する。第 2 に、共通モード雑音除去は、S T I B 1 3 6 およびインタフェースを横切る差動シグナリングの使用によって著しく改善される。上述のラッチング技術は、さらに共通モード雑音を低減する。なぜなら、三状態バッファが、共通モード雑音が、バリアを横切って転送されても、スイッチが分離される間に（三状態にされる）、それが増大するだけであるように、標準ビット期間の非常にわずかな部分だけで非エネルギー状態に置かれるからである。第 3 に、単一の変換器が、データおよび電力信号の両方のための絶縁バリアとして使用されるので、複数の構成部品の絶縁バリアを使用する従来技術のシステムと比較されたとき、構成部品コストにおける著しい節約をする。

40

【 0 0 6 6 】

最後に、S T I B 1 3 6 を使用することによって、必要であれば電話ラインからのわずかな電力が L S I C に必要であるように、大規模な電力が S S I C から L S I C へ転送されることを可能にする。例えば、典型的なモデムにおいて、ライン側 D A A および結合さ

50

れる回路は、約25ミリワットから約50ミリワットの範囲の電力を必要とすることがある。本発明を使用して、電話ラインから電力をタッピングすることなく、ライン側回路を動作するのに十分なこの量の電力(約25ミリワットから約50ミリワット)は、システム側回路からライン側回路へ容易に転送されることができる。一般に、本発明を使用して転送されることができる電力の量は、STIB136の電力転送容量より、三状態バッファにおける相補的なトランジスタの電流搬送容量によって主に制限される。したがって、50ミリワットより大きな電力、約100ミリワット以上の電力でさえ、STIB136を横切って転送されることができるよう、ライン側およびシステム側回路における大きな相補的なトランジスタを提供することが可能である。

【0067】

本発明は、呼び出しが進行中(すなわち、オフ・フック状態)である間に、電話ラインから電力をタップする従来技術のライン側回路とともに使用されることができ、それが認識される。そうであれば、ライン側電力の一部は、電話ラインから得られることができ、一方、残りの部分は、上述の方法でシステム側回路によって供給されることができる。この変形形態において、ライン側回路によって必要な電力の任意の所望のパーセンテージ(0%から100%)は、本発明を介してシステム側回路から供給されることができる。好ましくは、呼び出しの間にライン側回路によって必要な電力の少なくとも実質的な部分(例えば、約30%)は、STIB136を横切ってシステム側回路によって供給される。またさらに好ましくは、STIB136を横切ってシステム側回路によって供給される電力量は、ライン側回路によって必要な電力の少なくとも大部分、少なくとも大部分以上、またはほぼ全体である。

【0068】

本発明のシステム側インタフェース回路、ライン側インタフェース回路、および整流バッファならびに送信プロトコルが、STIB136に関連して上述されたが、それらは、変圧器絶縁バリアでの使用に制限されないことも理解されるべきである。むしろ、それらは、例えば、2ワイヤ・ツイスト対または2コンデンサ・インタフェースなどの4ポート・インタフェースを含む、任意の送信媒体を用いて使用されることができる。

【0069】

このように、データ信号および電力信号の両方を搬送することができる、DAAにおけるシステム側回路とライン側回路との間のデジタル通信リンクが記載された。しかしながら、本発明の前述の記載は、例示のみを目的とし、変形形態は、請求項に示される本発明の範囲から逸脱することなく当業者によって明らかであることが理解される。

【図面の簡単な説明】

【0070】

【図1】本発明によるデジタル通信リンクを示すブロック図である。

【図2】本発明によるデジタル通信リンクの動作を示すタイミング図である。

【図3】本発明によるデジタル通信リンクで使用するのに適したフレームの構成要素を示すフレーム図である。

【図4】本発明によるデジタル通信リンクで使用するのに適した、奇数番号の量のサイクルを有するフレームの構成要素を示すさらなるフレーム図である。

【図5】本発明によるデジタル通信リンクをさらに示す回路図である。

【図6】本発明によるデジタル通信リンクにおける電力の転送を示す概念図である。

【図7】本発明によるデジタル通信リンクの単一終端処理された実施形態を示す回路図である。

【図8】本発明によるデジタル通信リンクにおける、電力転送と前方逆送信率との間の関係を示すグラフである。

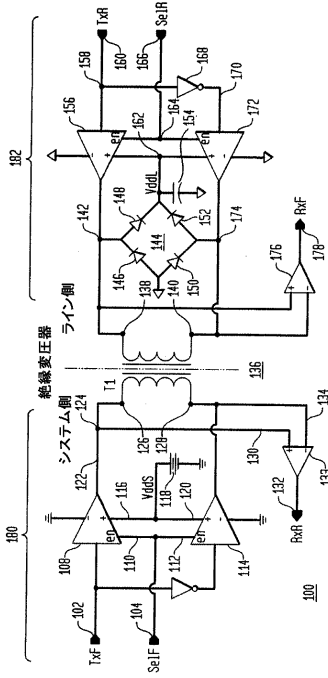
10

20

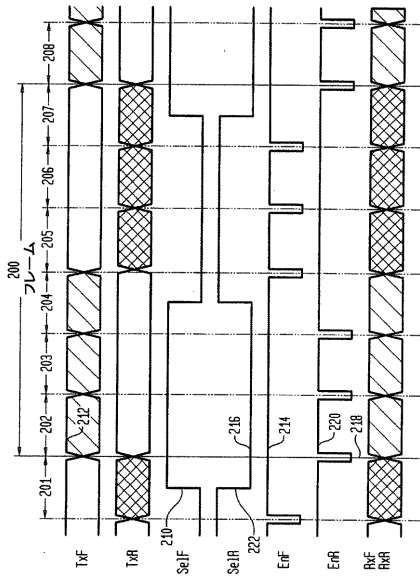
30

40

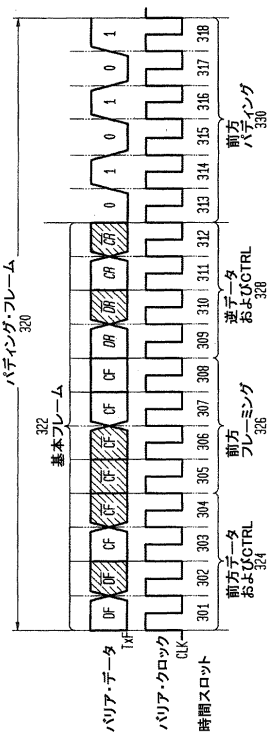
【 図 1 】



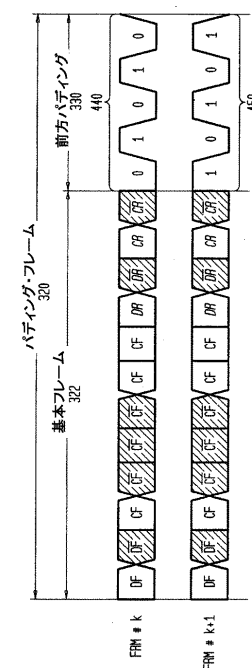
【 図 2 】



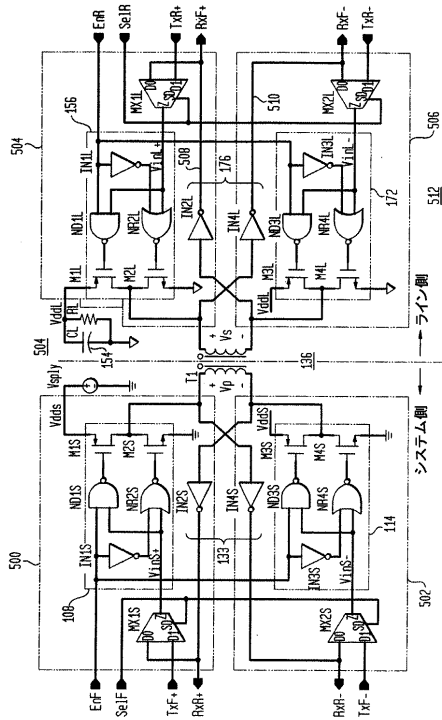
【 図 3 】



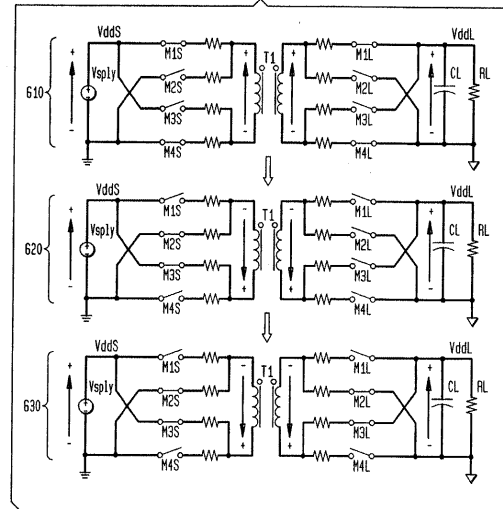
【 図 4 】



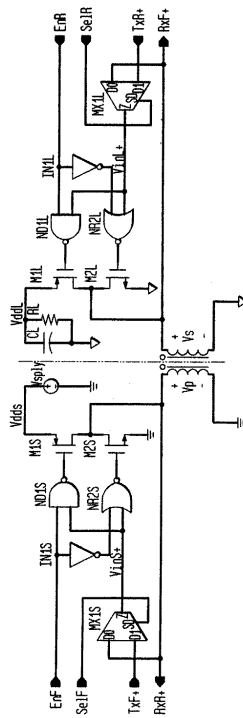
【図5】



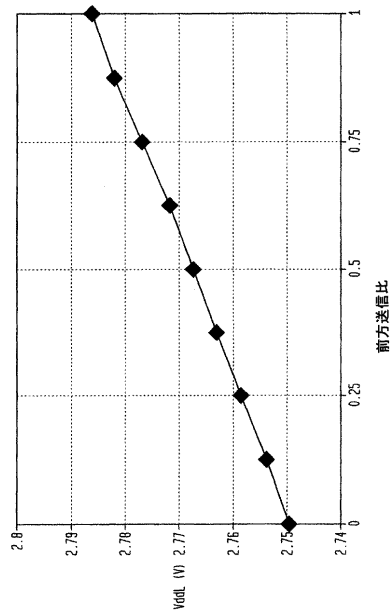
【図6】



【図7】



【図8】



フロントページの続き

- (74)代理人 100101498
弁理士 越智 隆夫
- (74)代理人 100104352
弁理士 朝日 伸光
- (74)代理人 100128657
弁理士 三山 勝巳
- (72)発明者 バーク, ボリス, エー .
アメリカ合衆国 07748 ニュージャージー, ミドルタウン, クノールウッド ドライヴ 1
302
- (72)発明者 キス, ピーター
アメリカ合衆国 07920 ニュージャージー, バスキング リッジ, コーター ストリート
23
- (72)発明者 ランシジン, ヨハネス, ジー .
アメリカ合衆国 19609 ペンシルヴァニア, ワイオミッシング ヒルズ, パーク ロード
61
- (72)発明者 ヨーダー, ジェームス, デー .
アメリカ合衆国 17540 ペンシルヴァニア, レオラ, リヴァレッジ ドライヴ 234

審査官 小林 勝広

- (56)参考文献 特開昭57-132459 (JP, A)
米国特許第06519339 (US, B1)

- (58)調査した分野(Int.Cl., DB名)
H04M 1/00、1/24-1/82、19/08