

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5568837号
(P5568837)

(45) 発行日 平成26年8月13日(2014.8.13)

(24) 登録日 平成26年7月4日(2014.7.4)

(51) Int.Cl.

H01L 21/322 (2006.01)
H01L 27/148 (2006.01)

F 1

H01L 21/322
H01L 21/322
H01L 27/14Y
M
B

請求項の数 6 (全 18 頁)

(21) 出願番号 特願2008-49847 (P2008-49847)
 (22) 出願日 平成20年2月29日 (2008.2.29)
 (65) 公開番号 特開2009-206431 (P2009-206431A)
 (43) 公開日 平成21年9月10日 (2009.9.10)
 審査請求日 平成23年2月25日 (2011.2.25)

(73) 特許権者 302006854
 株式会社 SUMCO
 東京都港区芝浦一丁目2番1号
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100108578
 弁理士 高橋 詔男
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (72) 発明者 栗田 一成
 東京都港区芝浦一丁目2番1号 株式会社
 SUMCO内
 (72) 発明者 表 秀一
 東京都港区芝浦一丁目2番1号 株式会社
 SUMCO内

最終頁に続く

(54) 【発明の名称】シリコン基板の製造方法

(57) 【特許請求の範囲】

【請求項 1】

CZ法により炭素濃度が $1.0 \times 10^{16} \sim 1.6 \times 10^{17}$ atoms/cm³、初期酸素濃度が $1.4 \times 10^{18} \sim 1.6 \times 10^{18}$ atoms/cm³としてシリコン単結晶を育成し、

該シリコン単結晶をスライスして、その表面にデバイスを形成した後、厚みを40 μm以下5 μm以上まで減厚するシリコン基板の製造方法であって、

その裏面に200 MPa以下、5 MPa以上の残留応力が生じる外因性ゲッタリングを付与する加工として、前記シリコン基板裏面に研削加工、および、その後CMP加工を施して裏面のテクスチャを制御した状態であるランダムな加工変質層を形成するとともに、

デバイス領域下においてIG能を有するとともに、裏面における薄厚化処理におけるCMP加工を途中で止めて、その後裏面をハーフポリッシュすることによりEG能を有して充分なゲッタリング能を有する状態を維持することを特徴とするシリコン基板の製造方法。

【請求項 2】

前記残留応力を生じる加工は、前記シリコン基板裏面に研削加工、および、その後におこなうCMP加工においてコロイダルシリカまたはシリコン結晶あるいはダイヤモンドライカーボンからなる硬度200 HV～1000 HVの硬質なスラリーによるCMP加工であることを特徴とする請求項1記載のシリコン基板の製造方法。

【請求項 3】

10

前記ランダムな加工変質層が、圧力 100 ~ 500 g / cm²、処理時間 10 ~ 60 s e c の条件下のシリコン基板の裏面の研磨によって得た残留応力を有していることを特徴とする請求項₁記載のシリコン基板の製造方法。

【請求項 4】

前記ハーフポリッシュを行う研磨工程で、圧力 100 ~ 500 g / cm²、処理時間 10 ~ 60 s e c の条件下で前記シリコン基板の裏面を研磨することを特徴とする請求項₃記載のシリコン基板の製造方法。

【請求項 5】

前記シリコン単結晶をスライスして、その表面にボロン濃度が抵抗率 0.1 ~ 100 cm に相当する濃度である p タイプとされるエピタキシャル層を成長させるとともに、

前記シリコン単結晶が、ボロン濃度が抵抗率 0.1 cm ~ 0.01 cm に相当する濃度である p - タイプとした p / p - タイプ、または、

前記シリコン単結晶をボロン濃度が抵抗率 8 m cm ~ 10 m cm に相当する濃度である p + タイプとした p / p + タイプ、とされることを特徴とする請求項 1 から₄のいずれか記載のシリコン基板の製造方法。

【請求項 6】

前記 p / p - タイプの場合、メモリ素子とされるデバイス製造に供され、前記 p / p + タイプの場合、ロジック素子とされるデバイス製造に供されることを特徴とする請求項 5 記載のシリコン基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリコン基板とその製造方法に関し、特に、ゲッタリング能を向上し、メモリ、ロジック等の薄厚のデバイス製造に供されるシリコン基板に用いて好適な技術に関する。

【背景技術】

【0002】

シリコンからなる薄厚の半導体デバイスは、CZ (チョクラルスキー) 法等により引き上げられたシリコン単結晶からスライスしたシリコン基板に回路を形成することにより製造されるものである。シリコン基板に重金属が不純物混入した場合、デバイス特性が著しく劣化することになる。

シリコン基板に重金属が不純物混入する要因としては、第一に、単結晶引き上げ、スライス、面取り、および、研磨、研削、エッチング等の表面処理からなるシリコン基板の製造工程における金属汚染、第二にシリコン基板に回路を形成する、回路形成後にウェーハ裏面を削って 50 μm 程度まで薄厚化する等の工程であるデバイスの製造工程における重金属汚染があげられる。

【0003】

そこで、従来からシリコン基板に酸素析出物を形成する IG (イントリンシックゲッタリング) 法、シリコン基板の裏面にバックサイドダメージなどのゲッタリングサイトを形成する EG (エキシントリックゲッタリング) 法が利用されている。

特許文献 1 には、IG 処理する技術が提案されている。

特許文献 2 には、0005 段に EG 法の例が、また、炭素イオン注入に関する技術が記載されている。

【特許文献 1】特開平 6 - 338507 号公報

【特許文献 2】特開 2006 - 313922 号公報

【0004】

このように、固体撮像素子に用いられるシリコン基板として、エピタキシャル成長前に酸素析出熱処理を実施し酸素析出物を形成するイントリンシックゲッタリング法あるいはシリコン基板に炭素イオンなどのイオンをイオン注入するイオン注入法が用いられている。

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、最近デバイスの薄厚化が進み、厚みとして 50 μm から 40 μm 以下、30 μm 程度が要求されるとともに、重金属汚染の発生は、特に、デバイス製造最終工程の薄厚化工程において最も発生するため、上記のような従来の IG (イントリンシックゲッタリング) 法の場合は、デバイスの薄厚化がこの程度になると、その薄厚化工程で IG 効果を奏する IG 層の大部分が除去されてしまうため、充分なゲッタリング能を呈さなくなつて、デバイスの不良要因を形成するという問題があつた。

【0006】

10

また、特許文献 2 のように高温の熱処理が炭素注入基板に施された場合、炭素注入で形成された結晶欠陥（結晶格子歪みなど）が緩和されゲッタリングシンクとしての機能が低下することが懸念される。

【0007】

本発明は、上記の事情に鑑みてなされたもので、デバイスの薄厚化によつても、充分なゲッタリング能を有するとともに、シリコン基板の割れあるいは欠けなどの発生を防止可能として、デバイス収率の向上か可能なシリコン基板およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

20

本発明のシリコン基板の製造方法は、CZ 法により炭素濃度が $1.0 \times 10^{16} \sim 1.6 \times 10^{17}$ atoms/cm³、初期酸素濃度が $1.4 \times 10^{18} \sim 1.6 \times 10^{18}$ atoms/cm³ としてシリコン単結晶を育成し、

該シリコン単結晶をスライスして、その表面にデバイスを形成した後、厚みを 40 μm 以下 5 μm 以上まで減厚するシリコン基板の製造方法であつて、

その裏面に 200 MPa 以下、5 MPa 以上の残留応力が生じる外因性ゲッタリングを付与する加工として、前記シリコン基板裏面に研削加工、および、その後 CMP 加工を施して裏面のテクスチャを制御した状態であるランダムな加工変質層を形成するとともに、

デバイス領域下において IG 能を有するとともに、裏面における薄厚化処理における CMP 加工を途中で止めて、その後裏面をハーフポリッシュすることにより EG 能を有して充分なゲッタリング能を有する状態を維持することを特徴とする。

30

本発明は、前記残留応力を生じる加工は、前記シリコン基板裏面に研削加工、および、その後におこなう CMP 加工においてコロイダルシリカまたはシリコン結晶あるいはダイヤモンドライカーボンからなる硬度 200 HV ~ 1000 HV の硬質なスラリーによる CMP 加工であることができる。

本発明は、前記ランダムな加工変質層が、圧力 100 ~ 500 g/cm²、処理時間 10 ~ 60 sec の条件下のシリコン基板の裏面の研磨によって得た残留応力を有することができる。

また、本発明は、前記ハーフポリッシュを行う研磨工程で、圧力 100 ~ 500 g/cm²、処理時間 10 ~ 60 sec の条件下で前記シリコン基板の裏面を研磨することができる。

40

本発明は、前記シリコン単結晶をスライスして、その表面にボロン濃度が抵抗率 0.1 ~ 100 cm に相当する濃度である p タイプとされるエピタキシャル層を成長させるとともに、

前記シリコン単結晶が、ボロン濃度が抵抗率 0.1 cm ~ 0.01 cm に相当する濃度である p - タイプとした p / p - タイプ、または、

前記シリコン単結晶をボロン濃度が抵抗率 8 m cm ~ 10 m cm に相当する濃度である p + タイプとした p / p + タイプ、とされることがある。

本発明は、前記 p / p - タイプの場合、メモリ素子とされるデバイス製造に供され、前記 p / p + タイプの場合、ロジック素子とされるデバイス製造に供されることがある。

50

本発明のシリコン基板は、CZ法により炭素濃度が $1.0 \times 10^{16} \sim 1.6 \times 10^{17}$ atoms/cm³、初期酸素濃度が $1.4 \times 10^{18} \sim 1.6 \times 10^{18}$ atoms/cm³として育成されたシリコン単結晶から製造されたシリコン基板であって、

表面にデバイスが形成され、その厚みが40μm以下5μm以上とされるとともに、前記シリコン基板の裏面に200MPa以下、5MPa以上の残留応力が生じる外因性ゲッタリングが付与されたことができる。

本発明のシリコン基板は、前記残留応力は、前記シリコン基板裏面に研削加工をした後CMP加工されたものであることができる。

本発明のシリコン基板は、前記残留応力は、前記シリコン基板裏面に研削加工をした後CMP加工においてコロイダルシリカまたはシリコン結晶あるいはダイヤモンドライクカーボンからなる硬度200HV～1000HV程度の硬質なスラリーでCMP加工したことが好ましい。
10

本発明のシリコン基板の製造方法は、CZ法により炭素濃度が $1.0 \times 10^{16} \sim 1.6 \times 10^{17}$ atoms/cm³、初期酸素濃度が $1.4 \times 10^{18} \sim 1.6 \times 10^{18}$ atoms/cm³としてシリコン単結晶を育成し、

該シリコン単結晶をスライスして、その表面にデバイスを形成した後、厚みを40μm以下5μm以上まで減厚し、

その裏面に200MPa以下、5MPa以上の残留応力が生じる外因性ゲッタリングを付与する加工を施すことができる。

本発明のシリコン基板の製造方法は、前記残留応力を生じる加工は、前記シリコン基板裏面に研削加工、および、その後CMP加工であることができる。
20

本発明のシリコン基板の製造方法は、前記残留応力を生じる加工は、前記シリコン基板裏面に研削加工、および、その後におこなうCMP加工においてコロイダルシリカまたはシリコン結晶あるいはダイヤモンドライクカーボンからなる硬度200HV～1000HV程度の硬質なスラリーによるCMP加工であることが好ましい。

本発明のメモリ素子のシリコン基板は、上記のいずれか記載の製造方法により製造されることができる。

ここで、上記の酸素濃度はASTM F121-1979によるものである。

【発明の効果】

【0009】

本発明に係わるメモリ、ロジック、固体撮像素子等の製造に適したシリコン基板は、炭素添加による析出物の核（重金属のゲッタリングシンク）を有し、特に、デバイス製造最終工程における薄厚化工程やその後においても、IG·EGにより充分なゲッタリング能を呈するとともに、割れ、欠けの発生を防止することができる。

このようなシリコン基板をメモリ、ロジック素子等の製造に用いることにより素子を構成する回路、トランジスタ、埋め込み型ダイオード等に重金属汚染起因の欠陥が生じることがなくなり、デバイス素子の歩留まりを向上させることができるものである。
30

【0010】

したがって、本発明によれば、高いゲッタリング能を有するので、金属汚染の影響を低減可能なシリコン基板を提供でき、これにより、製造コスト、デバイス工程における歩留まり悪化などの問題点を解決できるという効果を奏することができる。
40

【発明を実施するための最良の形態】

【0011】

以下、本発明に係るシリコン基板とその製造方法における一実施形態を、図面に基づいて説明する。

図1および図2は、本実施形態に係るシリコン基板の製造方法の各工程におけるシリコン基板を示す正断面図であり、図3は、本実施形態におけるシリコン基板の製造方法を示すフローチャートであり、図において、符号W0はシリコン基板である。

【0012】

本実施形態では、メモリ素子とされるデバイス製造に用いるシリコン基板について説明
50

する。

本実施形態の製造方法においては、図3に示すように、シリコン単結晶引き上げ工程S1、ウェーハ加工工程S2、エピタキシャル層成膜工程S3とされるウェーハ製造工程、および、デバイス作り込み工程S4、薄厚化工程S5、仕上げ工程S6とされるデバイス製造工程とを有するものとされる。

【0013】

図1に示す例では、まず、図3にシリコン単結晶引き上げ工程S1で示すように、石英ルツボ内にシリコン結晶の原料であるポリシリコンを積層配置し、さらにこのポリシリコン表面上にグラファイト粉を適量塗布し、同時にドーパントとしてB(ボロン)を投入して、例えはチョクラルスキー法(CZ法)に従って、炭素を添加したCZ結晶を後述するように水素雰囲気として引き上げる。なお、CZ結晶とは、磁場印加CZ結晶も含めたチョクラルスキー法で製造された結晶の呼称である。

【0014】

ここで、ボロンを含むp型のシリコン単結晶としては、原料段階で炭素を添加し、炭素添加原料からシリコン単結晶を作製するとともに、その酸素濃度O_iを制御して引き上げられる。以下、炭化添加CZシリコン単結晶の引き上げについて説明する。直径300mmのウェーハについて説明するが、該発明はこれに限定されるものではない。

【0015】

図4は、本実施形態におけるシリコン単結晶の製造を説明するのに適したCZ炉の縦断面図である。CZ炉は、チャンバー内の中心部に配置されたルツボ(石英ルツボ)101と、ルツボ101の外側に配置されたヒータ102とを備えている。ルツボ101は、内側に原料融液103を収容する石英ルツボ101を外側の黒鉛ルツボ101aで保持する二重構造であり、ペディカルと呼ばれる支持軸101bにより回転および昇降駆動される。ルツボ101の上方には、円筒形状の熱遮蔽体107が設けられている。熱遮蔽体107は、黒鉛で外殻を作り、内部に黒鉛フェルトを充填した構造である。熱遮蔽体107の内面は、上端部から下端部にかけて内径が漸減するテーパー面になっている。熱遮蔽体107の上部外面は内面に対応するテーパー面であり、下部外面は、熱遮蔽体107の厚みを下方に向かって漸増させるようにほぼストレート(鉛直)面に形成されている。

【0016】

このCZ炉は、例えは、目標直径が310mm、ボディ長が例えは1200mmの300mmの単結晶育成が可能なものとされる。

熱遮蔽体107の仕様例を挙げると次のとおりである。ルツボに入る部分の外径は例えは570mm、最下端における最小内径Sは例えは370mm、半径方向の幅(厚み)Wは例えは100mmとする。また、ルツボ101の外径は例えは650mmであり、熱遮蔽体107の下端の融液面からの高さHは例えは60mmである。

【0017】

次に、炭化添加CZシリコン単結晶を育成するための操業条件の設定方法について説明する。

まず、ルツボ内に高純度シリコンの多結晶を装入し、結晶中の抵抗率がp-タイプとなるようドーパント(B)を添加する。

本発明において、ボロン(B)濃度がp+タイプとは、抵抗率8mcm~10mcmに相当する濃度であり、pタイプとは抵抗率0.1~100cmに相当する濃度であり、p-タイプとは抵抗率0.1cm~0.01cmに相当する濃度である。

また、p/p-タイプとは、p-タイプ基板の上にpタイプのエピタキシャル層を積層したウェーハを意味する。

【0018】

本実施形態においては、炭素濃度が上述した範囲となるようにシリコン溶融液にドーパントを添加する。

また、上述した酸素濃度となるように、結晶回転速度、ルツボ回転速度、加熱条件、印加磁場条件、引き上げ速度等を制御する。

10

20

30

40

50

【0019】

そして、装置内を不活性ガス雰囲気で、減圧の1.33～26.7 kPa (10～200 torr) とし、不活性ガス (Arガス等) 中に水素ガスを3～20体積%となるよう10に混合して炉内に流入させる。圧力は、1.33 kPa (10 torr) 以上、好ましくは4～26.7 kPa (30～200 torr)、さらに、好ましくは、4～9.3 kPa (30～70 torr) が望ましい。圧力の下限は、水素の分圧が低くなると、融液および結晶中の水素濃度が低くなるため、これを防止するために上記の下限の圧力を規定した。圧力の上限は、炉内の圧力が増大するとAr等の不活性ガスの融液上でのガス流速が低下することにより、カーボンヒーターやカーボン部材から脱ガスした炭素や、融液から蒸発したSiO等の反応物ガスが排気しにくくなることにより、結晶中の炭素濃度が所望値より高くなり、また、SiOが炉内の融液上部の1100程度またはより低温の部分に凝集することで、ダストを発生させ融液に落下することで結晶の有転位化を引き起こすため、これらを防止するために上記の上限の圧力を規定した。

【0020】

次いで、ヒータ2により加熱してシリコンを溶融させ融液3とする。次に、シードチャック5に取り付けた種結晶を融液3に浸漬し、ルツボ1および引き上げ軸4を回転させつつ結晶引き上げを行う。結晶方位は{100}、{111}または{110}のいずれかとし、結晶無転位化のためのシード絞りを行った後、ショルダー部を形成させ、肩変えて例えば310mmの目標ボディ径とする。

【0021】

その後は一定の引き上げ速度で例えば1200mmまでボディ部を育成し、通常条件で縮径しテイル絞りを行った後、結晶成長を終了する。ここで、引き上げ速度は、抵抗率、シリコン単結晶径サイズ、使用する単結晶引き上げ装置のホットゾーン構造(熱環境)などに応じて適宜選定されるが、例えば、定性的には単結晶面内でOSFリングが発生する領域が含まれる引き上げ速度を採用することができ、その下限は単結晶面内にOSFリング領域が発生しつつ転位クラスタが発生しない引き上げ速度以上とすることができる。

【0022】

また、前記不活性雰囲気における水素濃度を、炉内圧は、4.0～9.33 kPa (30～70 torr) に対して3%以上20%以下の範囲に設定することができる。炉内圧は、1.33 kPa (10 torr) 以上、好ましくは4.0～26.7 kPa (30 torr～200 torr)、さらに、好ましくは、4.0～9.3 kPa (30 torr～70 torr) が望ましい。この下限値は、水素の分圧が低くなると、融液および結晶中の水素濃度が低くなるため、これを防止するために上記の下限の圧力を規定した。上限値は、炉内の圧力が増大するとAr等の不活性ガスの融液上でのガス流速が低下することにより、カーボンヒーターやカーボン部材から脱ガスした炭素や、融液から蒸発したSiO等の反応物ガスが排気しにくくなることにより、結晶中の炭素濃度が所望値より高くなり、また、SiOが炉内の融液上部の1100程度またはより低温の部分に凝集することで、ダストを発生させ融液に落下することで結晶の有転位化を引き起こすため、これらを防止するために上記の上限の圧力を規定した。水素分圧として、40pa以上、400Pa以下となることが好ましい。

【0023】

水素を含む不活性雰囲気で育成時のシリコン単結晶中の水素濃度は、雰囲気中の水素分圧によって制御できる。水素の結晶への導入は、雰囲気中の水素がシリコン融液に溶解して定常(平衡)状態となり、さらに、結晶へは凝固時に濃度偏析によって液相と固相中の濃度が分配される。

融液中の水素濃度は、ヘンリーの法則から気相中の水素分圧に依存して決まり、凝固直後の結晶中水素濃度は雰囲気中の水素分圧を制御することで結晶の軸方向に一定に所望する濃度で制御できる。

【0024】

このようなシリコン単結晶育成方法によれば、水素を含む不活性雰囲気中でシリコン單

10

20

30

40

50

結晶を引き上げることにより、結晶径方向全域に C O P および転位クラスタを含まず、かつ、格子間シリコン優勢領域（P I 領域）の単結晶を引き上げ可能な P I 領域引き上げ速度の範囲を拡大して引き上げて、単結晶直胴部を転位クラスタを含まない格子間シリコン優勢領域（P I 領域）とすることができる。同時に、このようなシリコン単結晶育成方法によれば、O S F リングの幅が縮小していることにより、従来、G r o w n - i n 欠陥フリー単結晶を引き上げる際には、非常に狭い範囲に設定しなくてはならなかつた P I 領域引き上げ速度を広げて、極めて容易に、かつ従来よりもはやい引き上げ速度でG r o w n - i n 欠陥フリー単結晶を育成することが可能となるとともに、結晶面内にO S F リング領域が発生する条件でシリコン単結晶を引き上げた場合には、O S F リングの幅を縮小してその影響を低減することが可能となる。

なお、ここで、P I 領域引き上げ速度範囲は水素雰囲気中と水素のない不活性雰囲気中とで比較する際に、上述した凝固直後の結晶内の軸方向温度勾配Gの値が一定で変化しない状態で比較するものとする。

【0025】

具体的には、格子間シリコン型のG r o w n - i n 欠陥フリー領域（P I 領域）からなるG r o w n - i n 欠陥フリー単結晶を引き上げ可能なP I 領域引き上げ速度範囲を、水素雰囲気とすることによって、水素のない時に比べて4倍以上、さらには、図5に示すように、4.5倍のマージンに拡大して引き上げをおこなうことができ、このような範囲の引き上げ速度によって所望の単結晶を引き上げることが可能となる。

このとき、O S F リングの発生領域を小さくすることができる。なお、P V 領域（空孔型のG r o w n - i n 欠陥フリー領域）の大きさは水素添加によって変化しない。

【0026】

本実施形態においては、上述したように水素添加をおこなうことで、G r o w n - i n 欠陥フリー単結晶を引き上げ容易とするとともに、炭素を添加することによって、O S F リングの影響も低減することができるため、これら相乗効果により、このウェーハ上にエピタキシャル層を成長させた際にO S F リングに起因する欠陥を低減することができ、前述した所望の品質を有する単結晶の引き上げをおこなうことができ、作業効率を向上して、シリコン単結晶、あるいはこのシリコン単結晶から製造するシリコン基板の製造コストを大幅に削減することが可能となる。

【0027】

図3に示すシリコン単結晶引き上げ工程S 1の次に、図3にウェーハ加工工程S 2で示すように、この炭素添加高濃度ボロンC Zシリコン単結晶から加工して、図1（a）に示すように、炭素を含むシリコン基板W 0を得る。

【0028】

ウェーハ加工工程S 2におけるシリコン基板（ウェーハ）W 0の加工方法は通常に従い、I D ソーまたはワイヤソー等の切断装置によってスライスし、得られたシリコンウェーハをアニールした後、表面を研磨・洗浄等の表面処理工程とおこなう。なお、これらの工程の他にもラッピング、洗浄、研削等種々の工程があり、工程順の変更、省略等目的に応じ適宜工程は変更使用される。

【0029】

このようにして得られたシリコン基板1は、ボロン（B）濃度がp - タイプとされ、炭素濃度が $1.0 \times 10^{16} \sim 1.6 \times 10^{17}$ atoms / cm³、および酸素濃度が $1.4 \times 10^{18} \sim 1.6 \times 10^{18}$ atoms / cm³とされる。

【0030】

炭素は固溶形態でシリコンに含有されるので、シリコン格子中に炭素をシリコンと置換する形で導入される。すなわち、炭素の原子半径はシリコン原子と比較して小さいため置換位置に炭素を配位した場合、結晶の応力場は圧縮応力場となり格子間の酸素および不純物が圧縮応力場に捕獲されやすくなる。この置換位置炭素を起点に、例えばデバイス工程において、転位を伴う酸素との析出物が高密度で発現しやすくなり、シリコン基板W 0に高いゲッタリング効果を付与することができる。これにより、後述するデバイス作り込み

工程 S 4 においても、充分なゲッタリング能を有することが可能となる。

【 0 0 3 1 】

このような炭素の添加濃度は、上述の範囲に規制する必要がある。なぜなら、炭素濃度が上記の範囲未満では、炭素・酸素系析出物の形成促進が活発にならないため、上記した高密度な炭素・酸素系析出物の形成を実現できない。

一方、上記の範囲を超えると、炭素・酸素系析出物の形成が促進され高密度な炭素・酸素系析出物を得られるが、析出物のサイズが抑制される結果、析出物周りの歪みが弱くなる傾向が強くなる。従って、歪みの効果が弱いことから不純物を捕獲するための効果が減少する。

【 0 0 3 2 】

さらに、シリコン基板 W 0 中の酸素濃度を、上記の範囲に規制する必要がある。なぜなら、酸素濃度が上記の範囲未満では、炭素・酸素系析出物の形成が促進されないために、上記した高密度な析出物が得られない。

一方、上記の範囲を超えると、酸素析出物のサイズが減少し母体シリコン原子と析出物界面における歪みの効果が緩和され歪みによるゲッタリング効果が低下することが懸念されるからである。

【 0 0 3 3 】

さらに、これらの析出物への影響として、より高ボロン濃度とすることで、ボロン・炭素・酸素による複合欠陥形成が促進される。

【 0 0 3 4 】

次に、図 3 にウェーハ加工工程 S 2 で示すように、炭素添加 C Z 結晶である上記シリコン基板 W 0 の表面を鏡面加工してから、例えば S C 1 および S C 2 を組み合わせた R C A 洗浄を行う。その後、図 3 にエピタキシャル層成膜工程 S 3 で示すように、エピタキシャル層を成長するためにエピタキシャル成長炉に装入し、各種 C V D 法（化学気相成長法）を用いて、図 1 (b) に示すように、ボロン (B) 濃度が p タイプとされるエピタキシャル層 W 0 a を成長させる。

【 0 0 3 5 】

エピタキシャル層 W 0 a を形成した p / p - タイプのシリコン基板 W 1 は、図 1 (c) に示すように、該エピタキシャル層 W 0 a 上に、必要に応じて酸化膜 W 1 b 、さらに窒化膜 W 1 c を形成してシリコンウェーハ W 2 としてから、デバイス製造工程に供する。

【 0 0 3 6 】

ここで、デバイス製造工程に供されるシリコン基板 W 1 またはシリコン基板 W 2 におけるシリコン基板 W 0 は、ボロン並びに固溶炭素を含む C Z 結晶であるが、該結晶成長中に形成された酸素析出核、あるいは酸素析出物がエピタキシャル成長時の熱処理によりシュリンクするため、シリコン基板 W 1 段階のシリコン基板 W 0 には、顕在化された酸化析出物は光学顕微鏡では観察されない。

【 0 0 3 7 】

そのため、重金属をゲッタリングするためのゲッタリングシンクを確保するためには、エピタキシャル層 W 0 a 成長後に、この条件を付与することにより更なる析出促進が期待できる温度条件として、好ましくは 600 ~ 800 度で 0.25 ~ 3 時間の低温熱処理を施し、置換位置炭素を起点にしてボロン・炭素・酸素系の酸素析出物 W 0 7 を析出させる必要がある。

なお、本発明においてボロン・炭素・酸素系析出物とは、ボロン・炭素を含有した複合体（クラスター）である析出物を意味する。

【 0 0 3 8 】

この酸素析出物 W 0 7 は、固溶炭素を含有するシリコン基板 W 1 を出発材とすれば、デバイス製造工程の初期段階を経る過程でシリコン基板 W 0 の全体にわたって自然発生的に析出するため、デバイス製造工程での金属汚染に対するゲッタリング能力の高いゲッタリングシンクを、エピタキシャル層の直下からシリコン基板 W 0 の全厚にわたって形成することができる。従って、エピタキシャル層の近接領域におけるゲッタリングが実現される

10

20

30

40

50

。

【0039】

このゲッタリングを実現するには、ボロン・炭素・酸素系の複合体である酸素析出物(BMD)W07は、サイズが10~100nmあり、かつシリコン基板W0中に $1.0 \times 10^6 \sim 1.0 \times 10^{11}$ 個/cm³で存在することが好ましい。

なお、この場合のBMDサイズとは、シリコン基板の厚み方向断面のTEM観察像における析出物の対角線長を意味し、該観察視野内の析出物の平均値で示すこととする。

【0040】

酸素析出物W07のサイズを上記の範囲のうち下限以上にすることは、母体シリコン原子と酸素析出物の界面に生じる歪みの効果を用いて格子間不純物(例えば重金属など)を捕獲(ゲッタリング)する確率を増加するためである。また、酸素析出物W07のサイズが上記の範囲以上であると、基板強度が低下する、あるいは、エピタキシャル層での転位発生等の影響が出るため、好ましくない。

また、酸素析出物W07のシリコン基板中における密度は、シリコン結晶中における重金属の捕獲(ゲッタリング)は、母体シリコン原子と酸素析出物との界面に生じる歪みおよび界面準位密度(体積密度)に依存するために、上記の範囲とすることが好ましい。

【0041】

図3にデバイス作り込み工程S4で示すように、シリコンウェーハW2表面上にデバイスとなる構造を形成し、図2(a)に示すように、厚さT3が1000~500μm、800~600μm、700μm程度とされるシリコン基板W3を製造する。

デバイス作り込み工程S4としては、メモリ素子の一般的な製造工程も採用することができる。その一例を示すが、特にこの構造・工程に限定する必要はない。

デバイス作り込み工程S4では、フローティングゲートを有するMOS-FET(金属酸化物半導体接合トランジスタ)を形成する。これにより、表面にメモリ素子Mとなる部分が形成されたシリコン基板W3を製造する。

【0042】

上記のデバイス作り込み工程S4においては、例えば、ゲート酸化膜形成工程、素子分離工程およびポリシリコンゲート電極形成などの工程において、600~1000程度の熱処理が行われるのが通例であり、この熱処理において、上述した酸素析出物W07の析出を図ることができ、以降の工程においてゲッタリングシンクとして作用させることができる。

なお、これらのデバイス作り込み工程S4における熱処理条件は、図6に示す各条件に対応することができる。

【0043】

なお上記の熱処理をデバイス製造工程より前に行う場合には、600~800で0.25~3時間、酸素と、アルゴン、窒素等の不活性ガスとの混合雰囲気中で行う熱処理を行うことが望ましい。これにより、シリコン基板にIG(ゲッタリング)効果を持たせることができる。ここで、高濃度ボロン基板に関しては、この熱処理工程をおこなうことは必ずしも必須ではないため、省略することができる。

なお、IG効果を持たせる熱処理が、デバイス製造工程かそれより前かに問わらず、この熱処理が上記の温度範囲より低いとボロン・炭素・酸素の複合体形成が不足し、基板の金属汚染が生じた場合に充分なゲッタリング能を発現できないため好ましくなく、また上記の温度範囲より高いと、酸素析出物の凝集が過剰におこり、結果的に、ゲッタリングシンクの密度が足りなくなるため、好ましくない。

また、この熱処理においては、600、30分の条件と同等な析出の発現が可能な熱処理温度・時間以上であれば、温度の上下および処理時間の増減は異なる条件に設定することも可能であり、また、800、4時間の条件と同等な析出の発現が可能な熱処理温度・時間以下であれば、温度の上下および処理時間の増減は異なる条件に設定することも可能である。

【0044】

10

20

30

40

50

次いで、図3に示すように、デバイス製造工程としての薄厚化工程S5により、厚さ、30μm程度の基板W5とする。

【0045】

図3に示す薄厚化工程S5においては、まず、研削処理工程として、図2(a)に示す厚さT3とされる前記シリコン基板W3の裏面W3aを研削加工によって薄厚化して、図2(b)に示す厚さT4の基板W4とする。

このときの条件としては、次のように設定される。

厚さT3; 700μm、

厚さT4; 60μm (50~80μm)

裏面にランダムな加工変質層を形成

表面状態; 粗さ5nm程度

10

【0046】

薄厚化工程S5においては、研削処理工程の後、コロイダルシリカまたはシリコン結晶あるいはダイヤモンドライクカーボンからなる硬度2000HV~1000HV程度程度の硬質なスラリーでCMP加工工程により、図2(c)に示す厚さT5の基板W5とする。

このときの条件としては、次のように設定される。

厚さT5; 30μm

表面状態; 粗さ5nm程度

【0047】

このCMP処理条件としては、次のように設定される。

20

硬度2000HV~1000HV程度、粒径10~100nm程度のコロイダルシリカまたはシリコン結晶あるいはダイヤモンドライクカーボンからなる砥粒が重量比1%~5%wtのスラリーにより、アルミナからなる定盤上で、圧力100g/cm²~500g/cm²、処理時間10~60sec程度の処理をおこなう。

【0048】

その後、研磨工程として、圧力100g/cm²~500g/cm²、処理時間10~60sec程度の処理をおこなう。これにより、基板W5は、その厚みが40μm以下5μ以上とされるとともに、その裏面W5aに200MPa以下、5MPa以上の残留応力が生じる外因性ゲッタリングが付与されることになる。この際、裏面W5aの表面状態は、割れ、欠けが発生しない程度である、粗さ5nm程度とされる。

30

【0049】

ここで、残留応力の測定は、顕微ラマン装置により、断面入射の方法でおこなうものである。

【0050】

本実施形態のシリコン基板では、インゴット引き上げ時に炭素をドープして酸素濃度を所定の範囲とすることで、DZ層下のバルクにおいてIG能を有するとともに、裏面における薄厚化処理におけるCMP加工を途中で止めて、その後裏面をハーフポリッシュすることによりEG能を有しているので、薄厚化によって、IG層の膜厚が減少した状態においても、裏面EGにより充分なゲッタリング能を有する状態を維持することが可能なため、厚さT5が30μm程度のメモリ、MCP対応メモリ基板、特に、Flashメモリとした場合でも、金属汚染の影響を排除して、同時に、CMP処理とハーフポリッシュにより薄厚化をおこない、裏面のテクスチャを制御した状態として処理を終了するので、割れ・欠けの発生を防止して、歩留まりの高いシリコン基板とすることが可能である。

40

【0051】

以下、本発明に係るシリコン基板とその製造方法における他の実施形態を、図面に基づいて説明する。

【0052】

本実施形態において、上述の実施形態と異なるのは、ロジック素子とされるデバイス製造に用いるシリコン基板である点であり、共通の構成要素には同一の符号を付してその説明を省略する。

50

【0053】

本実施形態においては、ウェーハ製造工程において、ボロン（B）濃度がp+タイプとされるシリコン単結晶インゴットを引き上げるとともに、エピタキシャル層の炭素濃度がpタイプとされて、シリコン基板W3がp/p+タイプとされる。

【0054】

デバイス作り込み工程S4は、まず、図7（a）に示すように、p-タイプシリコン基板30の上にp型のエピタキシャル層（高濃度不純物含有層）31を形成したシリコン基板W2を用意し、図7（b）に示すように、このエピタキシャル層31上にpタイプよりも不純物濃度の低い低濃度不純物含有層32を形成する。

次いで、第1プレアニール処理として、シリコン基板W2の表面近傍の酸素を除去することによって欠陥の発生を抑制するために、不活性ガス雰囲気下で温度が1000以上、例えば1200で熱処理をおこない、シリコン基板W2の表面近傍の酸素を除去する。第1プレアニール処理に後続して、不活性ガス雰囲気下で温度が1000以下、例えば800で第2プレアニール処理を行い、格子間酸素を析出させて多数の結晶欠陥を生成する。

【0055】

次いで、図7（c）に示すように、基板の表面近傍に不純物注入などによって素子活性領域33aを形成する。また、基板の表面に酸化膜や配線層などの積層構造を形成し、トランジスタや容量（図示せず）を形成する。次いで、素子活性領域33aが形成された基板の表面を覆う表面保護膜（図示せず）を形成し、シリコン基板W3とする。

【0056】

シリコン基板W3表面近傍には、p-n接合などを有する素子活性領域（デバイス領域）33aが形成される。素子活性領域33aは、下部半導体チップ30の表面から20μm程度の深さまで形成される。低濃度不純物含有層32では、高濃度不純物含有層31に含まれるボロンが、低濃度不純物含有層32中に拡散した不純物拡散領域32aが形成される。不純物拡散領域32aは、数μm程度の厚みを有する。

このように、表面にロジック素子となる部分が形成された基板W3を製造する。

【0057】

ロジック素子となる部分が形成されたシリコン基板W3は、上部半導体チップとされ、これは、例えばDRAM以外のメモリ半導体装置、CPU、DSP（Digital Signal Processor）などである。または、下部半導体チップとされることもでき、これは例えばDRAM等のメモリ半導体装置である。これら下部半導体チップ及び上部半導体チップは、MCP（Multi Chip Package）基板とともに、ボンディングワイヤによって接続されマルチチップパッケージとなる。

【0058】

また、デバイス製造工程においては、厚さT5が40μm程度とされている。

【0059】

本実施形態のシリコン基板では、インゴット引き上げ時に炭素をドープして酸素濃度を所定の範囲とすることで、DZ層下のバルクにおいてIG能を有するとともに、裏面における薄厚化処理におけるCMP加工を途中で止めて、その後裏面をハーフポリッシュすることによりEG能を有しているので、充分なゲッタリング能を有する状態を維持する事が可能なため、厚さT5が40μm程度のロジック、SoCとした場合でも、金属汚染の影響を排除して、同時に、割れ・欠けの発生を防止して、歩留まりの高いシリコン基板とすることが可能である。

【0060】

例えば、NAND-FLASHあるいはNOR-FLASHなどのMulti Chip Package(MCP)用のウェーハとしての利用等が可能である。この場合もデバイス構造はCMOSであることから前記ボロン（B）濃度が抵抗率8mcm~10mcmに相当する濃度、炭素濃度が $1.0 \times 10^{-6} \sim 1.6 \times 10^{-7}$ atoms/cm³、酸素濃度が $1.4 \times 10^{-8} \sim 1.6 \times 10^{-8}$ atoms/cm³の範囲および、裏面残留応力が上記の範囲にてIGおよびEGに

10

20

30

40

50

よる高ゲッタリング能力の維持が可能である。

【0061】

さらに、本発明を固体撮像素子に適応し、上記したデバイス作り込み工程S4として、固体撮像素子の一般的な製造工程を採用することができる。その一例としてCCDデバイスについて図8に示すが、特にこの工程に限定する必要はない。

すなわち、デバイス作り込み工程S4は、まず、図8(a)に示すように、図1(b)に示したp型シリコン基板1の上にp型のエピタキシャル層2を形成したシリコン基板3を用意し、図8(b)に示すように、このエピタキシャル層2の所定位置に第1のn型ウエル領域11を形成する。その後、図8(c)に示すように、表面にゲート絶縁膜12を形成するとともに、第1のn型ウエル領域11の内部にイオン注入によってp型及びn型の不純物を選択的に注入して、垂直転送レジスタを構成するp型の転送チャネル領域13、n型のチャネルストップ領域14および第2のn型ウエル領域15をそれぞれ形成する。
10

次に、図8(d)に示すように、ゲート絶縁膜12の表面の所定位置に転送電極16を形成する。その後、図8(e)に示すように、p型の転送チャネル領域13と第2のn型ウエル領域15との間にp型及びn型の不純物を選択的に注入することによって、n型の正電荷蓄積領域17とp型の不純物拡散領域18とを積層させたフォトダイオード19を形成する。

さらに、図8(f)に示すように、表面に層間絶縁膜20を形成した後、フォトダイオード19の直上方を除いた層間絶縁膜20の表面に遮光膜21を形成することによって、固体撮像素子10となる基板W3を製造することができる。
20

【0062】

なお、固体撮像素子10となるデバイス作り込み工程S4における熱処理条件は、図6に示す各条件に対応するものである。

具体的には、エピタキシャル層W0aを成膜したシリコン基板W1に対して、図6に示すinitialから、step1、step2、step3、step4、step5のそれぞれが、フォトダイオードおよび転送用のトランジスタ形成工程の各工程が終了した時点に対応するといえる。

また、エピタキシャル層W0aの厚さは、デバイスが固体撮像素子とされる場合、素子の分光感度特性を向上させる理由から、2~10μmの範囲とすることが好ましい。
30

シリコンウェーハW2にデバイス工程においてエピタキシャル層W0aに埋め込み型フォトダイオードを形成することによって、固体撮像素子となる。

なお、酸化膜W0bおよび窒化膜W0cの厚みは、転送トランジスタの駆動電圧を設計する際の制約から、それぞれ酸化膜W0bを50~100nm、および、窒化膜W0c、具体的には固体撮像素子におけるポリシリコンゲート膜W1bを1.0~2.0μmとすることが好ましい。

【0063】

シリコン基板として、p+型が望ましい理由は、デバイス設計上の理由として、デバイスが動作する場合に生じる浮遊電荷が意図しなかった寄生トランジスタを動作させてしまう、いわゆるラッチアップ現象をp+ウェーハ(シリコン基板)を用いることで防止でき、デバイスの設計が容易になることがある。また、トレンチ構造のキャパシタを用いる場合にトレンチ周辺の電圧印加時の空乏層広がりがp+ウェーハの場合は防止できる利点がある。
40

【0064】

さらに、高濃度ボロン(B)ドープしたシリコン単結晶では、他のドーパントに比べて熱処理による酸素析出物の凝集が起こりやすい。これは、高濃度ボロン(B)および酸素などの不純物がクラスタリングし酸素析出物の核とする欠陥を形成しやすいためと考えられる。

さらに、このようなボロン起因の熱処理による酸素析出物の凝集は、高酸素濃度のシリコン結晶中において顕著であることがわかった。

【0065】

発明者らは、炭素、酸素およびボロンの状態・振る舞いを分析・検討した結果、B濃度が抵抗率 $8 \text{ m cm} \sim 10 \text{ m cm}$ に相当する濃度、炭素濃度が $1.0 \times 10^{16} \sim 1.6 \times 10^{17} \text{ atoms/cm}^3$ 、酸素濃度が $1.0 \times 10^{18} \sim 1.0 \times 10^{18} \text{ atoms/cm}^3$ 、という条件で引き上げたシリコン単結晶において、ウェーハに加工してエピタキシャル層を成膜し、 $600 \sim 800$ とする熱処理工程を経れば、BMDの大きさ・密度として、重金属のゲッタリングに必要なゲッタリングシンクを形成可能で、充分なゲッタリング能を有するためのシリコン基板を製造可能であることを見出した。

但し、p+とされるさらなる高濃度ボロンを含有する基板の場合は前記熱処理を実施することなく析出を促進できる。

【0066】

さらに、本発明は、高濃度ボロン添加シリコン結晶に炭素を $1.0 \times 10^{16} \sim 1.6 \times 10^{17} \text{ atoms/cm}^3$ の範囲で添加した場合、結晶成長過程において炭素、ボロンまたは酸素を核とするゲッタリングシンクが形成され、これらは高温熱処理でも安定に存在しエピタキシャル成長後においても存在しうる。したがって、エピタキシャル成長直後から酸素析出の核として作用しデバイス熱処理工程で成長しデバイス熱処理工程での重金属汚染に対してゲッタリングシンクとして有効に働く。

【0067】

本発明においては、CZ法によりボロン(B)濃度が抵抗率 $8 \text{ m cm} \sim 10 \text{ m cm}$ に相当する濃度、炭素濃度が $1.0 \times 10^{16} \sim 1.6 \times 10^{17} \text{ atoms/cm}^3$ 、酸素濃度が $1.4 \times 10^{18} \sim 1.6 \times 10^{18} \text{ atoms/cm}^3$ を有するシリコン単結晶を引き上げる工程と、

引き上げたシリコン単結晶からスライスしたシリコン基板に、酸素析出物を形成する熱処理をおこなう熱処理工程とを有することができる。

本発明は、前記酸素析出物を形成する熱処理を温度 $600 \sim 800$ 、処理時間 $0.25 \text{ 時間} \sim 3 \text{ 時間}$ 、酸素と、アルゴンまたは窒素等の不活性ガスとの混合雰囲気中でおこなうことができる。

また、本発明において、前記酸素析出物を形成する熱処理を行う前に、前記スライスしたシリコン基板表面にボロン(B)濃度が抵抗率 $0.1 \sim 100 \text{ cm}$ のシリコンエピタキシャル層を成膜する工程を有することが好ましい。

さらに、本発明は、前記シリコン単結晶を育成する際の不活性雰囲気ガス中に水素を添加することが可能であり、この際、前記シリコン単結晶を引き上げる工程における不活性ガスに水素を添加した雰囲気の気圧を、減圧の $1.33 \text{ kPa} \sim 26.7 \text{ kPa}$ とし、前記雰囲気中の水素ガス濃度を3体積%～20体積%とすることができる。

また、本発明のシリコン基板は、上記のいずれか記載の製造方法により製造されたものであって、

イントリンシックゲッタリングシンクとなるBMDのうち、大きさ $10 \sim 100 \text{ nm}$ のものが密度 $1.0 \times 10^6 \sim 1.0 \times 10^{11} \text{ 個/cm}^3$ 存在する手段を採用することもできる。

なお、この場合のBMDサイズとは、シリコン基板の厚み方向断面のTEM観察像における析出物の対角線長を意味し、該観察視野内の析出物の平均値で示すこととする。

本発明において、固体撮像素子のシリコン基板としては、固体撮像素子の埋め込み型フォトダイオードの直下となる位置に大きさ $10 \sim 100 \text{ nm}$ のBMDが密度 $1.0 \times 10^0 \sim 1.0 \times 10^{11} \text{ 個/cm}^3$ で存在するゲッタリング層が形成されたシリコン基板であつて、

上記の製造方法により製造されたシリコン基板の直上にボロン(B)濃度が抵抗率 $0.1 \sim 100 \text{ cm}$ とされたシリコンエピタキシャル層が形成され、

前記エピタキシャル層の直下には、前記ゲッタリング層が設けられてなることができる。

【0068】

以下、本発明において、高いゲッタリング能を呈すると考えられるモデルについて説明

10

20

30

40

50

する。

ドーパント (B) 濃度が、 1×10^{15} atoms / cm³ 程度 ($0.5 \sim 5 \times 10^{15}$ atoms / cm³) とされて、抵抗率が 10 cm 程度となっている p - 基板においては、炭素濃度を 1×10^{17} atoms / cm³ 程度 ($0.5 \sim 1 \times 10^{17}$ atoms / cm³) として、ボロン (B) 濃度よりも多く存在するように炭素をドープした場合において、酸素濃度を $1.4 \sim 1.6 \times 10^{18}$ atoms / cm³ 程度とする。すると、ボロン (B) 濃度に比べて、炭素と酸素の濃度が高く、また同程度であるため、このような基板で、ペアリングしやすいのは炭素 - 酸素であると考えられる。したがって、シリコン結晶中においてゲッタリングシンクに関係する結合状態としては、炭素 - 酸素ペアが形成されることになると考えられる。

【0069】

ここで、炭素はシリコンよりも原子半径は小さいので、シリコンの格子点に入ると、その付近がひずみ、歪み場が形成されることになる。この状態の基板に DK (ドナーキラー) あるいはデバイス製造工程での熱処理等をおこなうことで、炭素 - 酸素ペア付近の歪み場に格子間の酸素が集まり、BMD が形成されることになる。このように、デバイス領域あるいは重金属汚染が起こりやすいウェーハ表面に近い位置で、炭素がシリコン基板中にドープされており、その付近がひずんでいるため、重金属が拡散してゲッタリングされることで、その結果、ゲッタリング効果が得られる。つまり、炭素 - 酸素ペアがあることによって、酸素析出物の核生成中心 (ニュークリエーションセンター) になる。

【0070】

これに対し、ドーパント (B) 濃度が、 1×10^{18} atoms / cm³ 程度 ($0.5 \sim 5 \times 10^{18}$ atoms / cm³) のハイドープの p + 基板あるいは p ++ 基板とされた場合、上記の p - 基板よりも、ボロン (B) 濃度が 3 衍程度以上多くなる。このため、上記の p - 基板に比べて、炭素濃度と酸素濃度と同程度に高くなったボロン (B) 濃度の影響により、炭素 - 酸素に対して、ボロン - 酸素、炭素 - ボロンがペアリングしやすくなると考えられる。さらに、これら炭素 - 酸素、ボロン - 酸素、炭素 - ボロンの複合体や、これ以外にも、炭素 - ボロン - 酸素や、これらがシリコンと関連した多くの複合体が形成され、これらも炭素 - 酸素ペア同様に歪み場を持っているのでこれらすべてのペアおよび複合体が析出核となる。つまり、ハイドープの基板中では、多くの歪み場を形成することができるため、p - 程度のボロン (B) 濃度を有する基板に比べて、圧倒的に多くの析出核が存在し、ゲッタリングシンクとなり得る析出密度も圧倒的に高くなる。

なお、上記の複合体形成には、シリコン結晶中の空孔 (Vacancy) と格子間型シリコン (Interstitial-Si) も関与していることが予想される。

また、本発明では、これらの析出核をボロン・炭素・酸素による複合欠陥とする。

【0071】

また、デバイス像素子の製造においては、重金属汚染を防止することが非常に重要であるため、上記の B、O による IG に、さらに、EG としてのテクスチャを基板裏面に形成することで、結果的に充分なゲッタリング能を得ることができる。

【0072】

さらに、p / p + タイプのシリコン基板はその強力なゲッタリング特性のため、重金属汚染に敏感な素子用のシリコン基板として有効である。また、電子デバイス製造工程においては配線ルールの微細化が進展するほどシリコン基板の平坦度がデバイス歩留に影響するため、高平坦度が求められる。本発明のように、炭素ドープした高ボロン濃度の p + 基板であれば、平坦度の悪化する PBS を形成することなしに、充分なゲッタリング能を有することが可能となる。

【0073】

さらに、デバイス製造工程開始前までに充分なゲッタリング効果を発現し、デバイス工程中にこれを維持することが必要であるため、p 型シリコン基板の製造工程においては、炭素をドープしない場合に、析出エンハンスを上げるために酸素濃度を $1.0 \sim 2.0 \times 10^{18}$ atoms / cm³ 程度と高くすることが好ましい。しかし、このように基板中の酸

10

20

30

40

50

素濃度を高くすると、エピタキシャル層にまで転位が伸展したエピ欠陥の発生が懸念される。これに対し、本発明のように、上記の濃度として炭素をドープすることで、0.5 μm程度以上の大きなスタッキングフォールト(SF)の発生を抑制する効果がある。

【0074】

さらに、本発明のように、上記の濃度として炭素をドープすることで、析出核からの2次欠陥の伸展を抑制することもできる。これは、大きさ0.5~5 μmの析出物では発生した歪みを解放するために、この歪み場の付近に2次転位が発生するが、上記のようにCをドープすることで、大きさ0.5~100 nmの析出物を多数形成することができるため、歪みを解放したとしても、小さな2次転位しか発生せず、結果手的に、エピタキシャル層まで転位が伸展することがないためである。しかも、このように小さな析出核を密度 $1.0 \times 10^{10} \sim 1.0 \times 10^{13} / \text{cm}^3$ 程度に多数存在させることができるので、充分なゲッタリング能を発現することが可能となる。

10

【図面の簡単な説明】

【0075】

【図1】本発明に係るシリコン基板の製造方法の一実施形態を示す正断面図である。

【図2】本発明に係るシリコン基板の製造方法の一実施形態を示す正断面図である。

【図3】本発明に係るシリコン基板の製造手順を示すフローチャートである。

【図4】CZ引上げ炉の縦断面図である。

【図5】水素添加による引き上げ速度領域の変化を示す模式図である。

【図6】本発明の実施例における熱処理を説明する図である。

20

【図7】メモリ素子の製造手順を示す図である。

【図8】固体撮像素子の製造手順を示す図である。

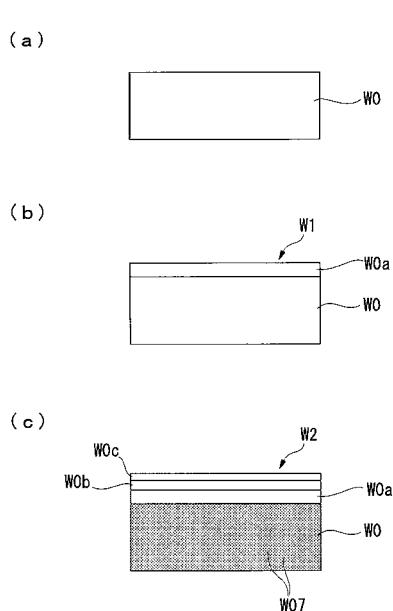
【符号の説明】

【0076】

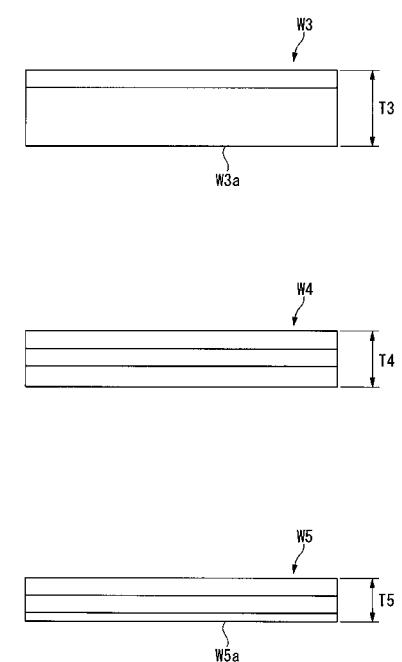
W0, W1...シリコン基板

W0a...エピタキシャル層

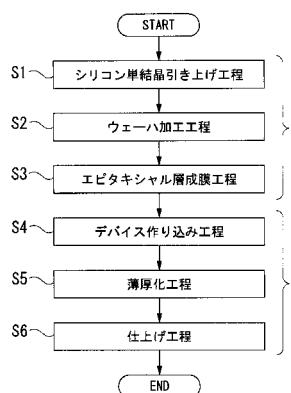
【図1】



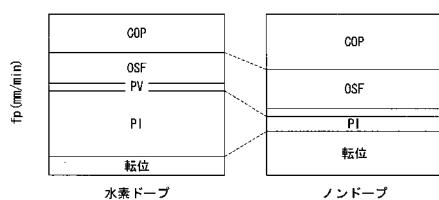
【図2】



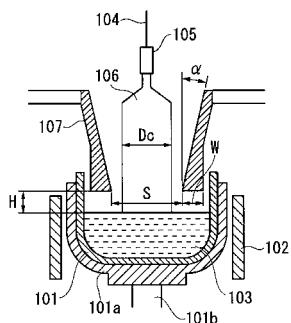
【図3】



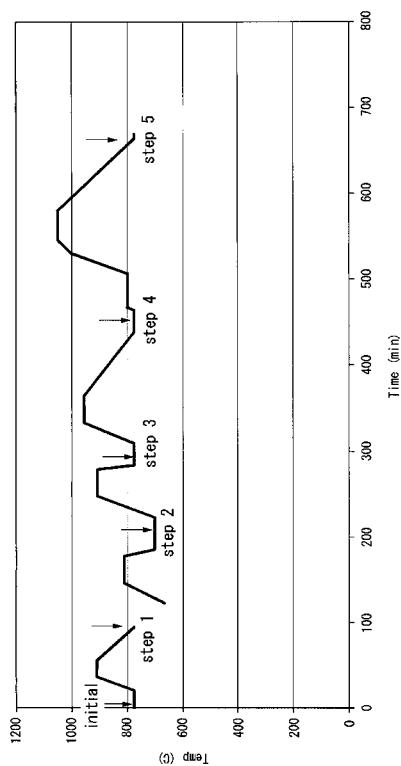
【図5】



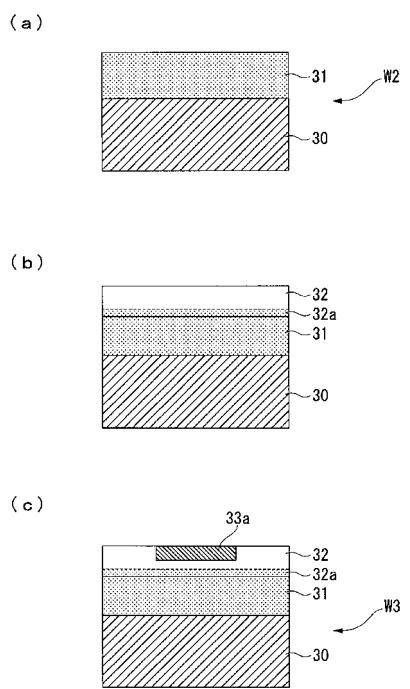
【図4】



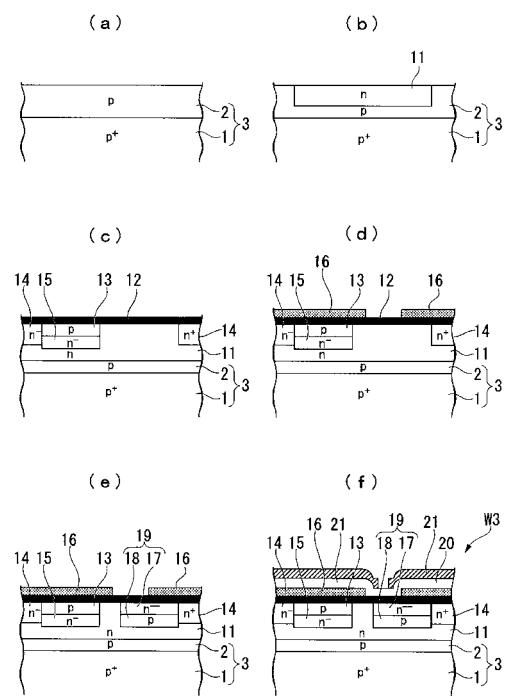
【図6】



【図7】



【図8】



フロントページの続き

審査官 豊田 直樹

(56)参考文献 特開2006-073580(JP, A)

特開2007-220825(JP, A)

特公昭61-027900(JP, B2)

特開平11-233519(JP, A)

特許第3534207(JP, B2)

特開平11-162991(JP, A)

特開平05-144824(JP, A)

特開2006-041258(JP, A)

特開2005-277116(JP, A)

特開2008-041836(JP, A)

特開2004-128388(JP, A)

特開2007-194471(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/26 - 21/268

H01L 21/322 - 21/326

H01L 21/42 - 21/428

H01L 21/477 - 21/479