





SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

半導体基板、半導体装置および半導体基板の製造方法

技術分野

[0001] 本発明は、半導体基板、半導体装置および半導体基板の製造方法に関する。

背景技術

[0002] 特許文献1には、ワンパッケージ化されたハイブリッド磁気センサが記載されている。当該磁気センサのセンサ部を構成する材料として、InSb、InAs、GaSb、GaAs、GaAsSb、InAsSb、InGaAs、InGaSb、InGaAsSb、InP、InGaP、InAsP、InGaAsP、InN、GaNおよびInGaNが記載されている。

特許文献1 特開2004-158668号公報

発明の概要

発明が解決しようとする課題

[0003] 十分な感度を有したホール素子の製造に適した半導体基板が求められている。n型キャリアのホール素子に比べると、p型キャリアのホール素子が用いられる機会は少ない。これはp型キャリアの移動度が十分高いものでないことに起因すると思われる。p型キャリアのホール素子があると、n型キャリアのホール素子とともに相補型の回路が構成でき、バリエーションに富んだ回路構成が可能になる。本発明の目的は、十分な感度を有したp型キャリアのホール素子の製造に適した半導体基板を提供することにある。

課題を解決するための手段

[0004] 上記課題を解決するために、本発明の第1の態様においては、表面の全部または一部がシリコン結晶面であるベース基板と、ベース基板の上に位置し、シリコン結晶面に達する開口を有し、結晶の成長を阻害する阻害体と、開口により露出するシリコン結晶面の上に位置する第1結晶層と、第1結晶層

の上に位置し、互いに離して配置した一对の第1金属層と、第1結晶層の上に位置し、互いに離して配置した一对の第2金属層と、を有し、一对の第1金属層のそれぞれを結ぶ第1最短線と、一对の第2金属層のそれぞれを結ぶ第2最短線とが、交わる関係、または、ねじれの位置関係にある半導体基板を提供する。上面側から見た第1結晶層の形状は四辺形であってもよく、この場合、第1最短線の方法は、上面側から見た第1結晶層の第1対角線の方法と等しく、第2最短線の方法は、上面側から見た第1結晶層における第1対角線と異なる第2対角線の方法と等しいことが好ましい。第1結晶層はp型半導体である。第1結晶層は、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 \leq x < 1$) であることが好ましい。第1結晶層と第1金属層または第2金属層との間に、III-V族化合物半導体からなる第2結晶層をさらに有してもよい。なお、開口の底部のシリコン結晶面は、開口により露出されたシリコン結晶面を意味する。

[0005] 本発明の第2の態様においては、上記した半導体基板を有し、第1結晶層をキャリア移動層とし、一对の第1金属層を一对の主電流用電極とし、一对の第2金属層を一对の検出電極とするホール素子を有する半導体装置を提供する。障害体が、ホール素子の位置する開口とは異なる位置に他の開口を有してもよく、この場合、半導体装置は、他の開口に位置する第1結晶層と、他の開口に位置する第1結晶層を活性層とする能動素子と、をさらに有してよく、ホール素子と能動素子とが、障害体の上に位置する配線で相互に接続されてもよい。あるいは、障害体が、ホール素子の位置する開口とは異なる位置に他の開口を有してもよく、この場合、半導体装置は、他の開口に位置する第1結晶層と、他の開口に位置する第1結晶層の上に形成された他の結晶層と、他の結晶層を活性層とする能動素子と、をさらに有してよく、ホール素子と能動素子とが、障害体の上に位置する配線で相互に接続されてもよい。

[0006] 本発明の第3の態様においては、表面の全部または一部がシリコン結晶面であるベース基板上に障害体を形成するステップと、障害体に、シリコン結晶面に達する開口を形成するステップと、開口により露出するシリコン結晶

面に、第1結晶層をエピタキシャル成長法により形成するステップと、阻害体および第1結晶層の上面に、金属層を成膜するステップと、金属層をパターンニングして、一对の主電流用電極と一对の検出電極を形成するステップと、を有する半導体基板の製造方法を提供する。一对の主電流用電極と一对の検出電極を形成するステップにおいて、一对の主電流用電極のそれぞれの電極を結ぶ直線の方角と、一对の検出電極のそれぞれの電極を結ぶ直線の方角とを、交わる関係、または、ねじれの位置関係にして、一对の主電流用電極と一对の検出電極とを形成してもよい。

図面の簡単な説明

- [0007] [図1A]半導体基板100の平面を示す。
- [図1B]半導体基板100の断面を示す。
- [図2]半導体基板100の製造過程における断面を示す。
- [図3]半導体基板100の製造過程における断面を示す。
- [図4]半導体基板200の断面を示す。
- [図5]半導体基板300の断面を示す。
- [図6]実施例の半導体基板の顕微鏡写真を示す。
- [図7]実施例のホール素子の電流電圧特性を示す。

発明を実施するための形態

- [0008] 図1Aは、半導体基板100の平面を示す。図1Bは、半導体基板100の断面を示す。図1Bに示す断面は、図1Aに示す平面におけるA-A線断面である。半導体基板100は、ベース基板102と、阻害体104と、第1結晶層106と、一对の第1金属層110と、第2金属層112と、を有する。
- [0009] ベース基板102は、表面の全部または一部がシリコン結晶面102aである。表面の全部または一部がシリコン結晶である基板として、シリコン基板またはSOI (Silicon on Insulator) 基板が挙げられる。ベース基板102としてシリコン基板が好ましい。ベース基板102として表面の全部または一部がシリコン結晶である基板を用いることで、高価な化合物半導体結

晶基板を用いる必要がない。また、ベース基板 102 としてシリコン基板を用いることで、シリコンウェハプロセスで用いられている既存の製造装置および既存の製造プロセスが利用でき、更に化合物半導体基板に比べて大口径の基板を用いことができるので、半導体基板 100 の製造コストを低くすることができる。

[0010] 障害体 104 は、ベース基板 102 の上に位置し、シリコン結晶面 102a に達する開口 104a を有する。障害体 104 は、結晶の成長を障害する。障害体 104 として、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム等が挙げられる。開口 104a のサイズは、望ましくは $1\mu\text{m}$ ~ $100\mu\text{m}$ 、さらに望ましくは、 $5\sim 50\mu\text{m}$ 、特に $30\mu\text{m}$ が好ましい。ここで、「開口 104a のサイズ」とは、開口 104a により露出されるベース基板 102 の領域が正方形の場合はその一辺の長さであり、長方形の場合はその短辺の長さであり、楕円形の場合はその短軸の長さであり、円形の場合はその直径である。

[0011] 第 1 結晶層 106 は、開口 104a により露出するシリコン結晶面 102a の上に位置する。第 1 結晶層 106 は、 SiGeCSn からなることが好ましく、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 \leq x < 1$) からなることが好ましい。第 1 結晶層 106 として、たとえば、 SiGe 、 SiC 、 SiCGe 等が挙げられる。第 1 結晶層 106 は、さらに好ましくは Ge からなる。第 1 結晶層 106 は、 $30\mu\text{m}$ 以下の小さな開口 104a の内部に形成されるので、結晶欠陥が少なく、多くの場合無欠陥で形成される。この結果、第 1 結晶層 106 の品質が高まるとともに、第 1 結晶層 106 の上に第 2 結晶層が形成される場合に、第 2 結晶層の欠陥を少なくしあるいは無くし、第 2 結晶層の品質を高めることができる。第 1 結晶層 106 は、シリコン結晶面 102a の上に直接成長させてもよく、 Si バッファ層または SiGe バッファ層を介して成長させてもよい。

[0012] 第 1 結晶層 106 は、障害体 104 におけるベース基板 102 と接する面と反対の面に対して突出している。つまり、第 1 結晶層 106 の厚みは、阻

害体 104 の厚みよりも大きい。第 1 結晶層 106 は、阻害体 104 に接する面と、ベース基板 102 に接する面の反対面との間に、一对の第 1 金属層 110 または一对の第 2 金属層 112 と接する金属接触面を有する。当該金属接触面は、第 1 結晶層 106 の積層方向に対して傾斜を有してもよい。当該金属接触面は、第 1 結晶層 106 が阻害体 104 に接する面と平行な面と、第 1 結晶層 106 がベース基板 102 に接する面と平行な面とを有してもよい。

[0013] 第 1 結晶層 106 は、阻害体 104 におけるベース基板 102 と接する面と反対の面に対して凹んでいてもよい。つまり、第 1 結晶層 106 の厚みは、阻害体 104 の厚みより小さくてもよい。この場合においても、第 1 結晶層 106 は、阻害体 104 に接する面と、ベース基板 102 に接する面の反対面との間に、一对の第 1 金属層 110 または一对の第 2 金属層 112 と接する金属接触面を有する。

[0014] 第 1 結晶層 106 は、p 型半導体とすることができる。p 型半導体とすることで p 型キャリアのホール素子が構成できる。

[0015] 一对の第 1 金属層 110 は、第 1 結晶層 106 の上に位置し、それぞれの第 1 金属層 110 は互いに離して配置される。一对の第 2 金属層 112 は、第 1 結晶層 106 の上に位置し、それぞれの第 2 金属層 112 は互いに離して配置される。一对の第 1 金属層 110 のそれぞれを結ぶ第 1 最短線 110a と、一对の第 2 金属層 112 のそれぞれを結ぶ第 2 最短線 112a とは、交わる関係、または、ねじれの位置関係にある。つまり、第 1 最短線 110a と第 2 最短線 112a とは、同一平面上で交わる関係にあってもよく、第 1 最短線 110a と第 2 最短線 112a とがそれぞれ異なる平面にあるとともに互いに平行でない、ねじれの関係にあってもよい。このような関係を有することで、一对の第 1 金属層 110 および一对の第 2 金属層 112 の何れか一方を主電流用電極、他方を検出電極とした場合に、半導体基板 100 は、ファンデアポ型（Van der Pauw）のホール素子として機能する。金属層は、たとえば Au、AuGe、Ni の単層またはこれらの 2 以上の積層である。

- [0016] なお、第1最短線110aと第2最短線112aとは、第1金属層110または第2金属層112が形成された平面の上方から見て、略90°の角度で交差することが好ましい。第1最短線110aと第2最短線112aとが略90°の角度で交差するように1金属層110および第2金属層112を配置することで、ホール素子として形成した場合の磁気検出感度を高めることができる。
- [0017] 上面側から見た第1結晶層106の形状は、例えば四辺形である。上面側から見た第1結晶層106の形状は、正方形であってもよい。一对の第1金属層110のそれぞれを結ぶ第1最短線110aの方向は、一例として、上面側から見た第1結晶層106の2つの対角線の1つである第1対角線の方向と等しい。一对の第2金属層112のそれぞれを結ぶ第2最短線112aの方向は、上面側から見た第1結晶層106の2つの対角線のうち第1対角線と異なる第2対角線の方向と等しい。
- [0018] 一例として、第1金属層110および第2金属層112の上面側から見た形状は四辺形である。第1金属層110および第2金属層112の上面側から見た形状は正方形であってもよい。上面側から見て、第1金属層110および第2金属層112のそれぞれが第1結晶層106と重なっている領域は四辺形である。第1結晶層106、第1金属層110および第2金属層112の上面側から見た形状が正方形であり、上面側から見て、第1金属層110および第2金属層112のそれぞれが第1結晶層106と重なっている領域が正方形であってもよい。
- [0019] 上記の構成において、第1金属層110および第2金属層112のそれぞれが第1結晶層106と重なっている領域は、第1結晶層106の四隅の四辺形の領域に形成される。一对の第1金属層110および一对の第2金属層112が、第1結晶層106の四隅の四辺形の領域と障害体104とに形成されることにより、第1結晶層106が微小である場合にも、第1金属層110および第2金属層112を容易に形成することができる。
- [0020] 上記した半導体基板100は、半導体装置において、第1結晶層106を

キャリア移動層とし、一对の第1金属層110を一对の主電流用電極とし、一对の第2金属層112を一对の検出電極とするホール素子として機能させることができる。なお、以降に説明する他の半導体基板についても、同様にホール素子として機能させることができる。

[0021] 半導体基板100によれば、一对の第1金属層110および一对の第2金属層112が、一对の第1金属層110のそれぞれを結ぶ第1最短線110aと、一对の第2金属層112のそれぞれを結ぶ第2最短線112aとが、交わる関係、または、ねじれの位置関係にあるため、半導体装置におけるホール素子を構成できる。そして、当該ホール素子は、p型キャリアを有するため、p型のホール素子が構成できる。さらに、第1結晶層106の結晶品質が良好であるため、p型キャリアのホール素子であっても高い感度を実現できる。

[0022] 図2および図3は、半導体基板100の製造過程における断面を示す。図2に示すように、ベース基板102上に阻害体104を形成し、阻害体104に、シリコン結晶面102aに達する開口104aを形成する。次に、図3に示すように、開口104aにより露出するシリコン結晶面102aの上に、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 \leq x < 1$) からなる第1結晶層106をエピタキシャル成長法により形成する。

[0023] 第1結晶層106および後述する第2結晶層202のエピタキシャル成長には、CVD (Chemical Vapor Deposition) 法またはMOCVD (Metal Organic Chemical Vapor Deposition) 法を利用することができる。CVD法においてGeソースには GeH_4 (ゲルマン) を、Siソースには SiH_4 (シラン) または Si_2H_6 (ジシラン) を用いることができる。MOCVD法において、GeソースにはtBuGe (ターシャリブチルゲルマン) を、SiソースにはTMeSi (テトラメチルシラン) を、InソースにはTMIn (トリメチルインジウム) を、GaソースにはTMGa (トリメチルガリウム) を、AlソースにはTMAI (トリメチルアルミニウム) を、Asソースには AsH_3 (アルシン) を、Pソースには PH_3 (ホスフィン) を、Nソ

ースには NH_3 （アンモニア）を、S bソースには TMSb （トリメチルアンチモン）を用いることができる。キャリアガスには水素を用いることができる。反応温度は、 300°C から 1100°C の範囲内であることが好ましく、好ましくは 450 から 750°C の範囲内であることがさらに好ましい。好ましい反応温度はエピタキシャル成長法により形成する結晶の組成により異なる。反応時間を適宜選択することでエピタキシャル成長層の厚さを制御することができる。

[0024] 第1結晶層106の形成の後、阻害体104および第1結晶層106の上面に、金属層を成膜し、当該金属層をパターニングして、一对の第1金属層110および一对の第2金属層112を形成する。このようにして図1Aおよび図1Bに示す半導体基板100を製造することができる。

[0025] なお、第1結晶層106をアニールすることが好ましい。アニールすることによって結晶品質の良好な第1結晶層106が得られる。また、金属層をエッチング（パターニング）した跡に絶縁体を埋め込んでも良い。この場合の絶縁体として、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム等が挙げられる。

[0026] 図4は、半導体基板200の断面を示す。半導体基板200は、半導体基板100の部材に加え、第2結晶層202を有する。第2結晶層202は、第1結晶層106と第1金属層110または第2金属層112との間に位置する。第2結晶層202は、III-V族化合物半導体からなる。第2結晶層202は InGaAlAsPNSb からなるものであってよく、好ましくは InGaAlAsP からなる。第2結晶層202として、 GaAs 、 InSb 、 InAs 、 GaP 、 InP 、 GaN 、 InN 、 AlN 等が挙げられる。第2結晶層202は、結晶性のよい第1結晶層106の上に形成されるので、結晶欠陥が少なく、多くの場合無欠陥で形成される。

[0027] 第2結晶層202は、第1結晶層106と格子整合または擬格子整合することが好ましい。結晶性のよい第1結晶層106と格子整合または擬格子整合することで、結晶性のよい第2結晶層202が得られる。第1結晶層10

6がGeである場合、第2結晶層202は第1結晶層106と格子整合または擬格子整合するGaAs、InGaAs、InGaAsPまたはInGaAsNであることが好ましい。

[0028] 第1結晶層106がGeである場合、第2結晶層202としてはGaAsと格子整合または擬格子整合する結晶を用いることができる。Geからなる第1結晶層106をアニールすることによって、高品質化されたGe結晶の上に形成された第2結晶層202は、さらに高品質な結晶となるので好ましい。

[0029] 第2結晶層202は、互いに異なる組成の2つの結晶層であってもよい。この2つの結晶層のバンドギャップを互いに異ならせることにより、2つの結晶層の界面にヘテロ障壁を形成することができる。ヘテロ障壁を境として、キャリアを発生させる層とキャリアが移動する層とを分離することができる。したがって、より高いキャリアの移動度を得ることができる。この結果、感度のさらに向上したホール素子を得ることができる。

[0030] 第2結晶層202は、3つ以上の結晶層で構成されてもよい。この3つ以上の結晶層により量子井戸が形成でき、当該量子井戸層の不純物原子濃度を低減することによっても、より高い移動度を得ることができる。これにより、感度のさらに向上したホール素子を得ることができる。

[0031] 従来、p型キャリアの移動度は高くなかったが、本発明によれば、p型キャリアの移動度が十分高いホール素子が得られる。したがって、p型キャリアのホール素子とn型キャリアのホール素子とを組み合わせることにより相補型の回路を構成できる。

[0032] 図5は、半導体基板300の断面を示す。半導体基板300では、阻害体104が、ホール素子の位置する開口104aとは異なる位置に他の開口104bを有し、他の開口104bの内部に第1結晶層106を有する。また、他の開口104bに位置する第1結晶層106の上に形成された他の結晶層108および他の結晶層302を活性層とする能動素子が形成されている。そして、ホール素子と能動素子とが、阻害体104の上に位置する配線3

04で相互に接続されている。配線304は、絶縁層306により、他の開口104bに位置する第1結晶層106および他の結晶層108から分離される。

[0033] 能動素子として、HEMT (High Electron Mobility Transistor) が例示できる。たとえば、第1結晶層106がGeであり、結晶層108がi-GaAs (真性ガリウムヒ素) であり、結晶層302がn-AlGaAs (n型アルミニウムガリウムヒ素) である場合、結晶層108と結晶層302を活性層とするHEMTが形成できる。

[0034] また、能動素子として、HBT (Heterojunction Bipolar Transistor) が例示できる。たとえば、第1結晶層106としてGeを形成し、第1結晶層106の上に3層以上の結晶層を積層する。たとえば、第1結晶層106の上に、サブコレクタ層である n^+ -GaAs (高不純物濃度n型ガリウムヒ素)、コレクタ層であるn-GaAs (n型ガリウムヒ素)、ベース層である p^+ -GaAs (高不純物濃度p型ガリウムヒ素)、エミッタ層であるn-InGaP (n型インジウムガリウムリン)、サブエミッタ層である n^+ -GaAs (高不純物濃度n型ガリウムヒ素)、エミッタコンタクト層である n^+ -InGaAs (高不純物濃度n型インジウムガリウムヒ素) を形成することにより、能動素子として機能するHBTが形成できる。つまり、HBTとして、 n^+ -GaAsからなるサブコレクタ層、n-GaAsからなるコレクタ層、 p^+ -GaAsからなるベース層、n-InGaPからなるエミッタ層、 n^+ -GaAsからなるサブエミッタ層、 n^+ -InGaAsからなるエミッタコンタクト層をこの順で有するHBTが挙げられる。他の能動素子として、HFET (hetero-Field Effect Transistor) 等が挙げられる。

[0035] 他の開口104bに位置する第1結晶層106の上に他の結晶層が存在しない場合もある。この場合には、第1結晶層106を能動素子の活性層としてもよい。たとえば、第1結晶層106の導電性を不純物原子の導入により調整し、第1結晶層106がチャネルとなるFET (Field Effect Transistor) が形成できる。この場合の第1結晶層106として、Geおよびp型G

eが挙げられる。第1結晶層106をp型Geとすることで、能動素子としてp型FETが形成できる。

[0036] ベース基板102のSiにnチャネル型のMOSFET (Metal-Oxide-Semiconductor FET)を形成し、第1結晶層106であるGeにpチャネル型のMOSFETを形成して、CMOSFET (Complementary MOSFET)を構成することもできる。この場合、ベース基板102上のnチャネル型MOSFETと第1結晶層106上のpチャネル型MOSFETとホール素子とが配線304により相互に接続されてもよい。機能素子としてCMOSFETを形成する場合、ホール素子とCMOSデバイス (CMOSFET)とがモノリシックに集積できるので、デバイスを小さくでき好ましい。また、ホール素子とCMOSデバイスを結合したユニットを面内に並べることで磁気センサーアレイが形成できる。Geからなるホール素子とCMOSデバイスとの結合では、ホール素子と同様に選択成長させたGe層をp型チャネルとして用いることができる。Geはp型キャリアの移動度が高いため、CMOSデバイスも高速化することができ好ましい。さらにCMOSデバイスは低消費電力であるため、好ましい。

[0037] 能動素子 (たとえばCMOSFET)と、Geからなるホール素子とを選択成長法で形成する場合、Geの成長およびその後の加熱は、既に形成されている能動素子 (たとえばベース基板上102上のnチャネル型MOSFET)が熱的劣化を引き起こさない範囲の温度で行われることが好ましい。このようなホール素子と能動素子とを組み合わせたデバイスを用いることで、磁気ヘッド等に応用していくことができる。

[0038] なお、開口104aに位置する第1結晶層106と、開口104bに位置する第1結晶層106とは、同一のエピタキシャル成長工程により同時に形成されたものであってもよい。第1結晶層106を同一のエピタキシャル成長工程により同時に形成することで、ホール素子および能動素子を形成する工程を簡略化でき、製造コストを低減することができる。

[0039] 半導体基板300によれば、単一のベース基板102に、ホール素子と、

トランジスタ等の能動素子を集積化できる。たとえばホール素子からの信号をトランジスタ等の能動素子で増幅する等の用途に用いることができる。上記したホール素子の構成は、単一のベース基板 102 に複数有することができる。また、図 5 に示すホール素子とトランジスタ等の能動素子の構成を単一のベース基板 102 に複数有することができる。

[0040] (実施例)

シリコン基板の上に酸化シリコン層を熱酸化法によって形成し、酸化シリコン層にフォトリソグラフィとエッチング法を用いて、 $30\mu\text{m}$ □（1 辺の長さが $30\mu\text{m}$ の正方形）の開口を形成した。当該開口に $1\mu\text{m}$ の厚さの Ge 層をエピタキシャル成長法により形成した。Ge 層を 800°C と 680°C の 2 段階のアニールを繰り返すサイクルアニール法で 10 周期アニールした。さらに、Ti 層と Au 層からなる金属層を真空蒸着法により、それぞれ Ti 層は $100\text{\AA}$ 、Au 層は $2500\text{\AA}$ の厚さで形成した。金属層をパターニングし、主電流用電極と検出電極を形成した。

[0041] 図 6 は、作成したホール素子を上面から観察した顕微鏡写真である。A および C は、主電流用電極であり、B および D は検出電極である。それぞれの金属層は、互いに $8\mu\text{m}$ 離れている。図 7 は、作成したホール素子の電流電圧特性である。ショットキ特性は観察されず、オーミックの特性が観察できた。作成したホール素子をホール測定した結果、抵抗率が $2.00 \pm 0.05 [\Omega\text{m}]$ 、ホール係数が 0.060 ± 0.005 、移動度が $303 \pm 13 [\text{cm}^2/\text{Vs}]$ 、キャリア密度が $1.0 \pm 0.1 \times 10^{20} [\text{cm}^{-3}]$ 、であった。

[0042] また、以下の方法により、ホール素子と能動素子としての CMOSFET とが同一基板にモノリシックに形成されたデバイスが製造できる。すなわち、Si 基板上の一部に n チャネル型 MOSFET を形成した基板を用意し、基板表面を SiO_2 からなる絶縁層で覆う。フォトリソグラフィ法を用いて p チャネル型 MOSFET を形成する箇所、およびホール素子を形成する箇所の SiO_2 を除去し、Si 基板表面を露出させて開口を形成する。基板を CV

D装置にセットし、GeH₄を原料として開口にGeを選択成長し、続いて結晶品質を向上させるアニールを行う。ホール素子を形成すべき部分のGe結晶には蒸着法により電極を形成する。一方、p型MOSFETを形成すべき部分のGe結晶の上にゲート絶縁層となる酸化層を形成し、各素子を配線で接続する。以上により、ホール素子とCMOS素子とを同一基板上にモノリシックに形成できる。

[0043] なお本明細書において、層、領域または基板のような第1の要素が、第2の要素の上に（on）位置するという場合、第1の要素が第2の要素上に直接的に位置する場合に加えて、第1の要素および第2の要素の間にその他の要素が介在して、第1の要素が第2の要素上に間接的に位置する場合も含み得る。また、開口により露出するシリコン結晶面とは、開口の底部のシリコン結晶面を指す。

符号の説明

[0044] 100 半導体基板、102 ベース基板、102a シリコン結晶面、104 阻害体、104a 開口、104b 開口、106 第1結晶層、108 結晶層、110 第1金属層、110a 第1最短線、112 第2金属層、112a 第2最短線、200 半導体基板、202 第2結晶層、300 半導体基板、302 結晶層、304 配線、306 絶縁層

請求の範囲

- [請求項1] 表面の全部または一部がシリコン結晶面であるベース基板と、
前記ベース基板の上に位置し、前記シリコン結晶面に達する開口を有し、結晶の成長を阻害する阻害体と、
前記開口により露出する前記シリコン結晶面の上に位置する第1結晶層と、
前記第1結晶層の上に位置し、互いに離して配置した一对の第1金属層と、
前記第1結晶層の上に位置し、互いに離して配置した一对の第2金属層と、を有し、
前記一对の第1金属層のそれぞれを結ぶ第1最短線と、前記一对の第2金属層のそれぞれを結ぶ第2最短線とが、交わる関係、または、ねじれの位置関係にある
半導体基板。
- [請求項2] 上面側から見た前記第1結晶層の形状は四辺形であり、
前記第1最短線の方法は、上面側から見た前記第1結晶層の第1対角線の方法と等しく、
前記第2最短線の方法は、上面側から見た前記第1結晶層における前記第1対角線と異なる第2対角線の方法と等しい
請求項1に記載の半導体基板。
- [請求項3] 前記第1結晶層が、p型半導体である
請求項1に記載の半導体基板。
- [請求項4] 前記第1結晶層が、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 \leq x < 1$) からなる
請求項1に記載の半導体基板。
- [請求項5] 前記第1結晶層と、前記第1金属層または前記第2金属層との間に、III-V族化合物半導体からなる第2結晶層をさらに有する
請求項1に記載の半導体基板。
- [請求項6] 請求項1に記載の半導体基板を有する半導体装置であって、前記第

1 結晶層をキャリア移動層とし、前記一对の第1金属層を一对の主電流用電極とし、前記一对の第2金属層を一对の検出電極とするホール素子を有する半導体装置。

[請求項7] 前記阻害体が、前記ホール素子の位置する前記開口とは異なる位置に他の開口を有し、

前記他の開口に位置する前記第1結晶層と、

前記他の開口に位置する前記第1結晶層を活性層とする能動素子と、をさらに有し、

前記ホール素子と前記能動素子とが、前記阻害体の上に位置する配線で相互に接続されている

請求項6に記載の半導体装置。

[請求項8] 前記阻害体が、前記ホール素子の位置する前記開口とは異なる位置に他の開口を有し、

前記他の開口に位置する前記第1結晶層と、

前記他の開口に位置する前記第1結晶層の上に形成された他の結晶層と、

前記他の結晶層を活性層とする能動素子と、をさらに有し、

前記ホール素子と前記能動素子とが、前記阻害体の上に位置する配線で相互に接続されている

請求項6に記載の半導体装置。

[請求項9] 表面の全部または一部がシリコン結晶面であるベース基板上に阻害体を形成するステップと、

前記阻害体に、前記シリコン結晶面に達する開口を形成するステップと、

前記開口により露出する前記シリコン結晶面に、第1結晶層をエピタキシャル成長法により形成するステップと、

前記阻害体および前記第1結晶層の上面に、金属層を成膜するステップと、

前記金属層をパターンニングして、一对の主電流用電極と一对の検出電極を形成するステップと、

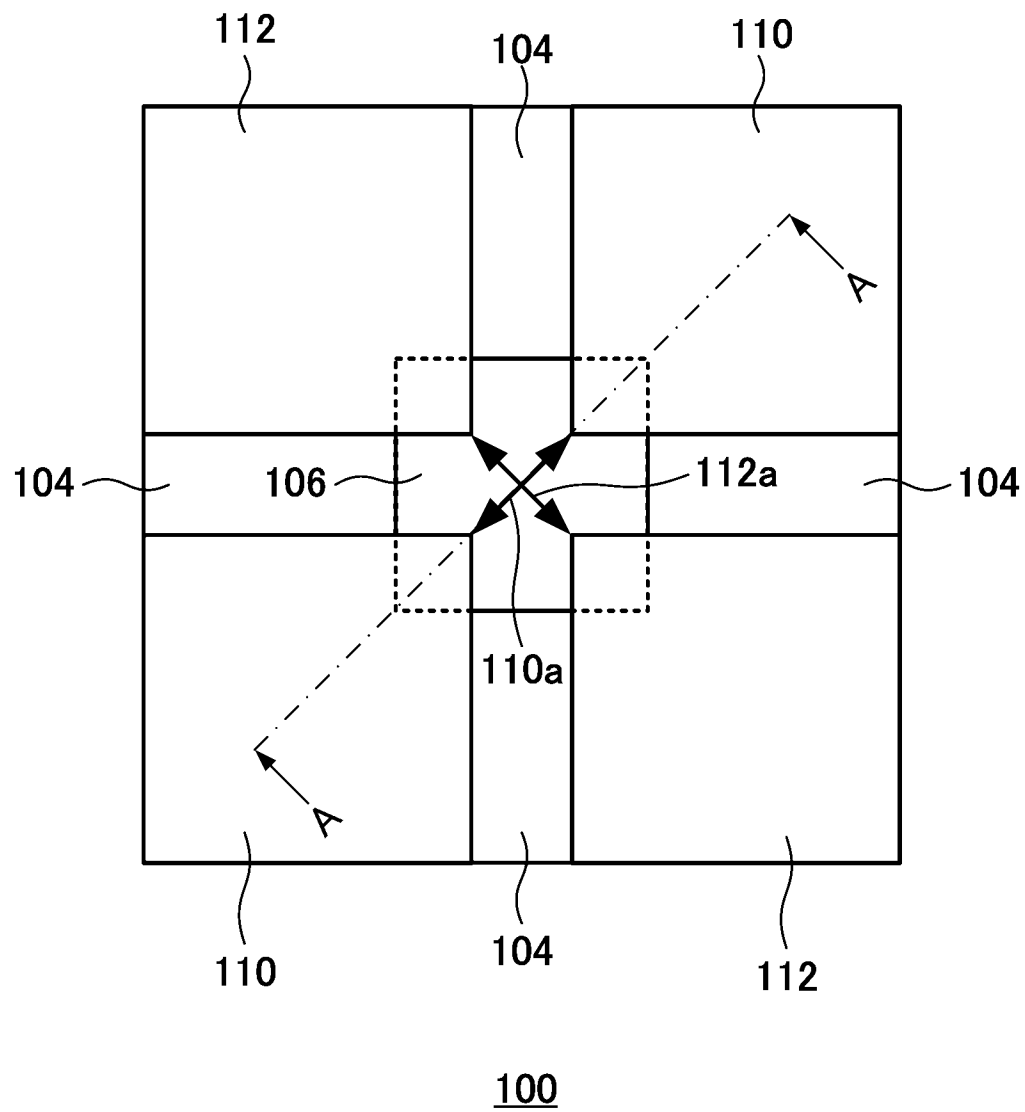
を有する半導体基板の製造方法。

[請求項10]

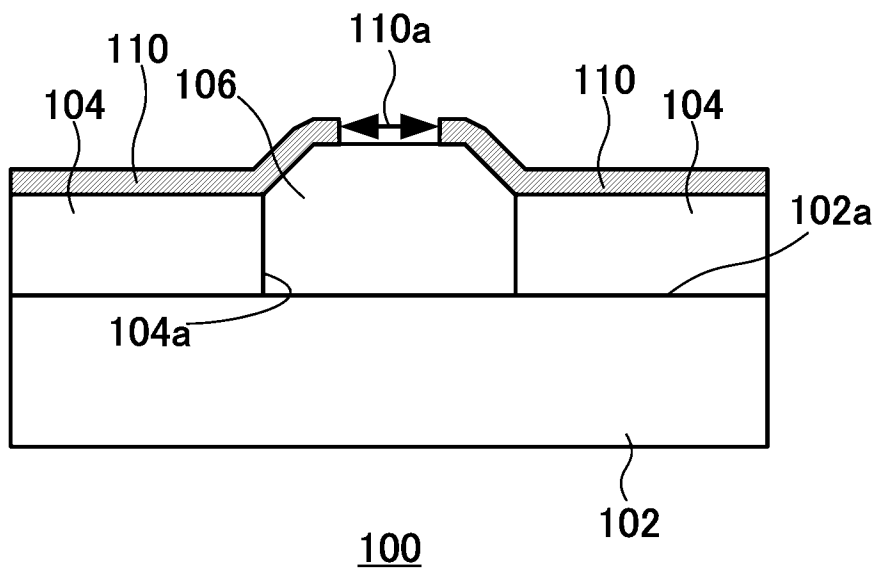
前記一对の主電流用電極と一对の検出電極を形成するステップにおいて、前記一对の主電流用電極のそれぞれの電極を結ぶ直線の方角と、前記一对の検出電極のそれぞれの電極を結ぶ直線の方角とを、交わる関係、または、ねじれの位置関係にして、一对の主電流用電極と一对の検出電極とを形成する

請求項9に記載の半導体基板の製造方法。

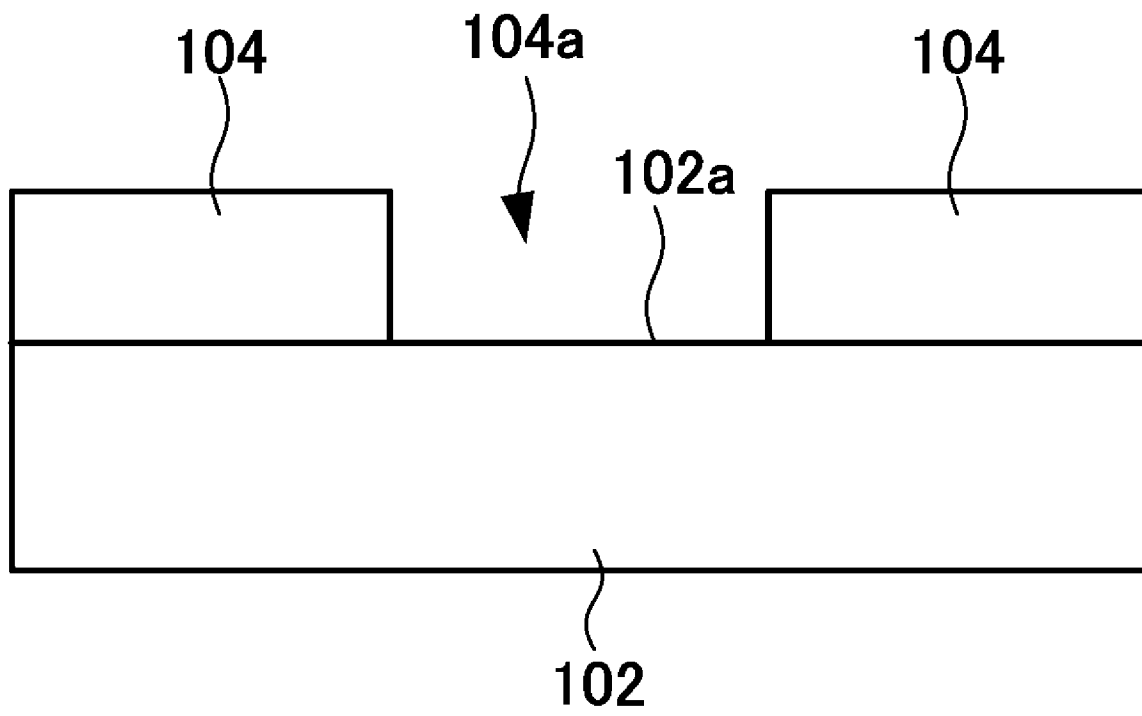
[図1A]



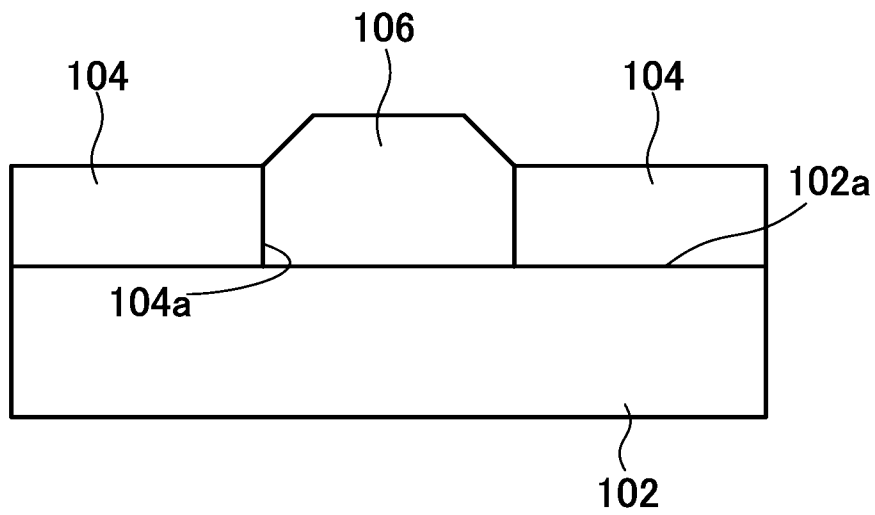
[図1B]



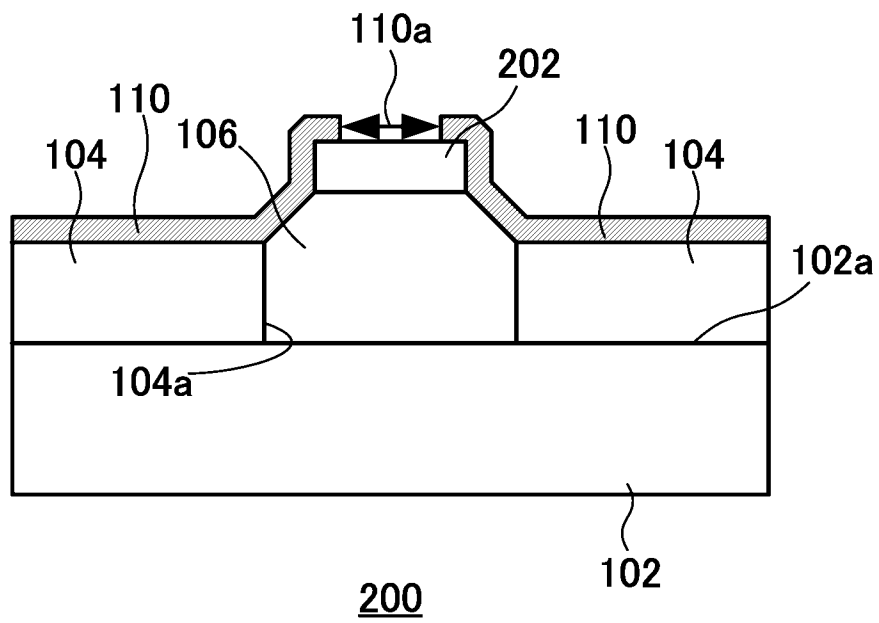
[図2]



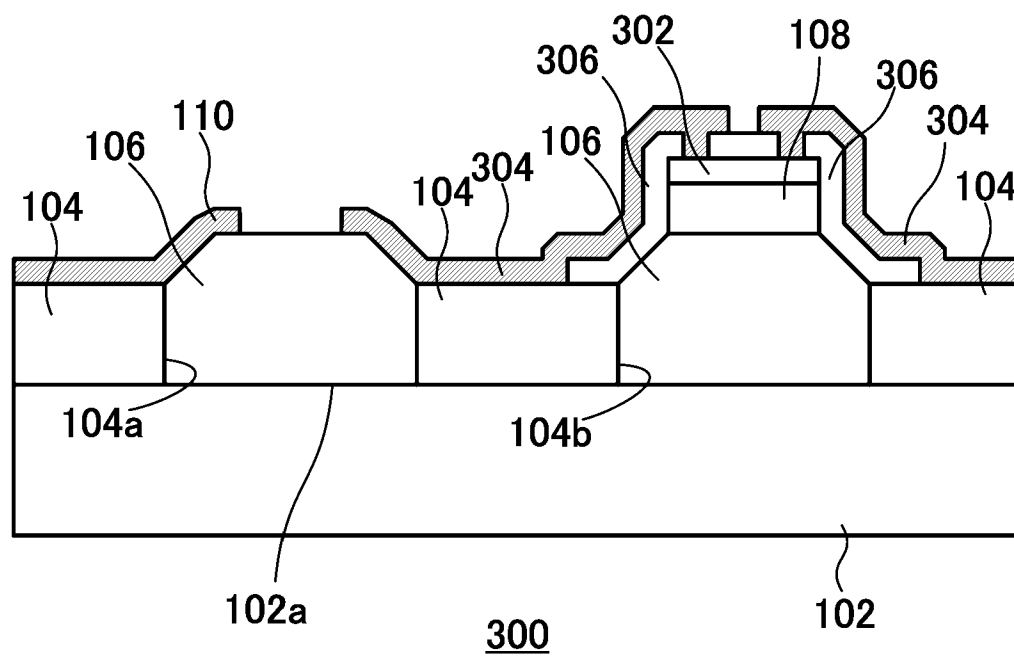
[図3]



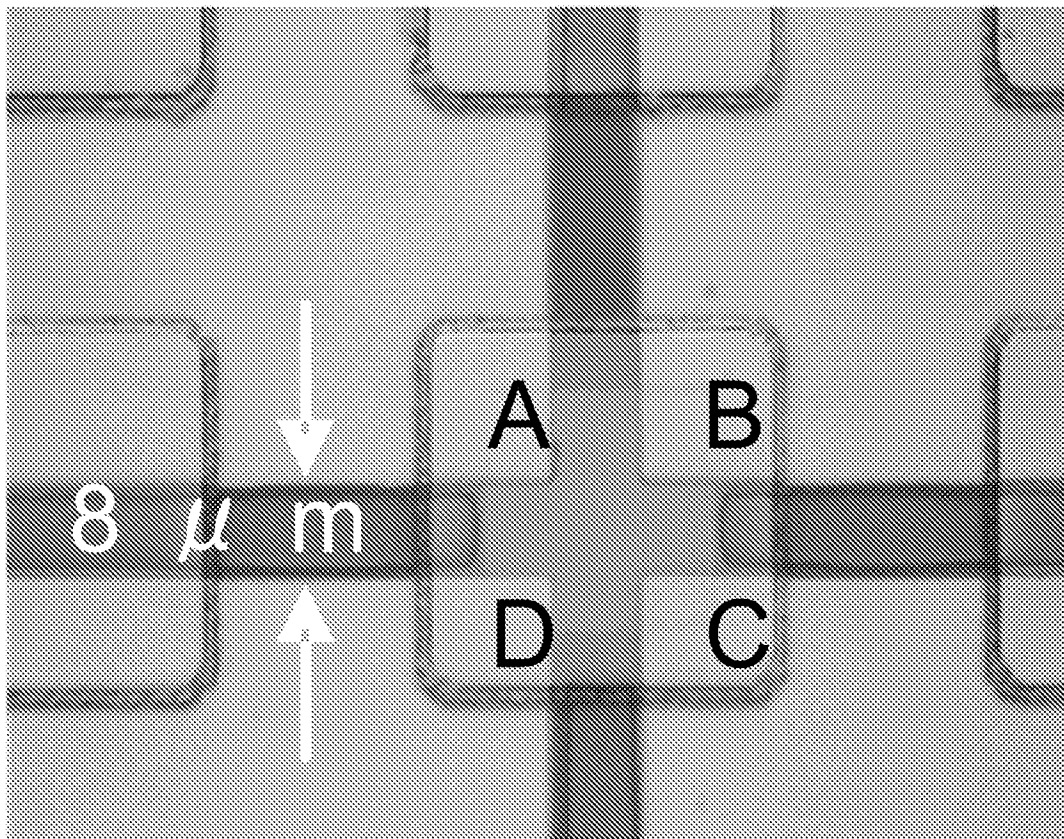
[図4]



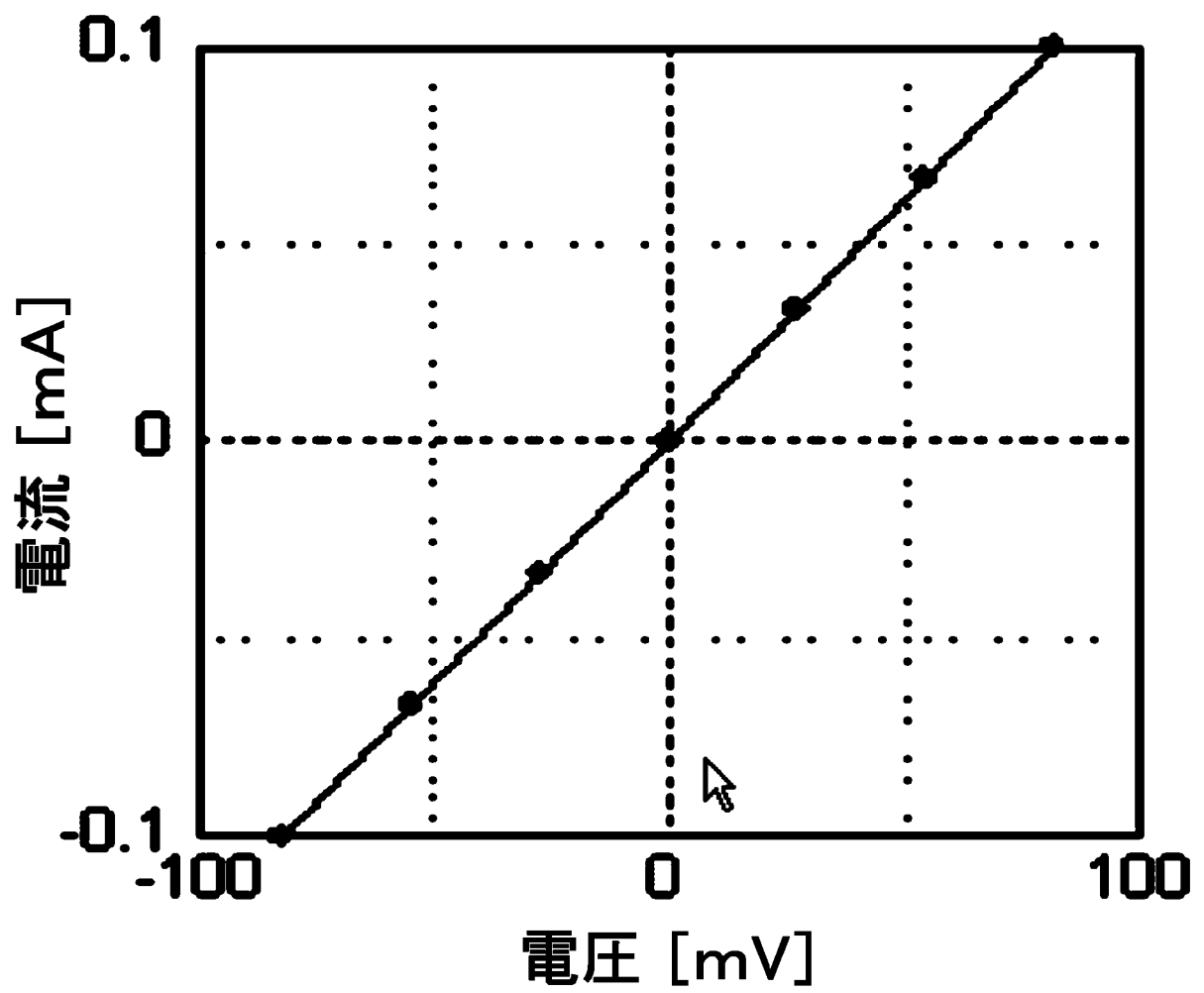
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/001506

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/20(2006.01)i, G01R33/07(2006.01)i, H01L43/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/20, G01R33/00-33/26, H01L27/92, H01L29/82, H01L43/00-43/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-239130 A (Sumitomo Chemical Co., Ltd.), 21 October 2010 (21.10.2010), entire text; all drawings & WO 2010/103792 A1	1-10
Y	JP 2007-302444 A (Asahi Kasei EMD Corp.), 22 November 2007 (22.11.2007), paragraph [0066] (Family: none)	1-10
Y	JP 6-077556 A (Asahi Chemical Industry Co., Ltd.), 18 March 1994 (18.03.1994), fig. 1 and the explanations thereof; paragraph [0024] & US 5453727 A & EP 0548375 A1 & WO 1993/002479 A1	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
26 March, 2012 (26.03.12)

Date of mailing of the international search report
03 April, 2012 (03.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/001506

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-163399 A (Matsushita Electric Works, Ltd.), 10 June 1994 (10.06.1994), entire text; all drawings (Family: none)	1-10
A	JP 6-061141 A (NEC Corp.), 04 March 1994 (04.03.1994), entire text; all drawings (Family: none)	1-10
A	JP 11-026835 A (Toshiba Corp.), 29 January 1999 (29.01.1999), entire text; all drawings (Family: none)	1-10

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/20(2006.01)i, G01R33/07(2006.01)i, H01L43/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/20, G01R33/00-33/26, H01L27/92, H01L29/82, H01L43/00-43/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-239130 A (住友化学株式会社) 2010. 10. 21, 全文、全図 & WO 2010/103792 A1	1 - 1 0
Y	JP 2007-302444 A (旭化成エレクトロニクス株式会社) 2007. 11. 22, 段落【0 0 6 6】 (ファミリーなし)	1 - 1 0
Y	JP 6-077556 A (旭化成工業株式会社) 1994. 03. 18, 図 1 及びその説明箇所、段落【0 0 2 4】 & US 5453727 A & EP 0548375 A1 & WO 1993/002479 A1	1 - 1 0

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 6 . 0 3 . 2 0 1 2

国際調査報告の発送日

0 3 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

太田 一平

4 L

3 8 4 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 6-163399 A (松下電工株式会社) 1994. 06. 10, 全文、全図 (ファミリーなし)	1 - 1 0
A	JP 6-061141 A (日本電気株式会社) 1994. 03. 04, 全文、全図 (ファミリーなし)	1 - 1 0
A	JP 11-026835 A (株式会社東芝) 1999. 01. 29, 全文、全図 (ファミリーなし)	1 - 1 0