



(21)申請案號：104115597

(22)申請日：中華民國 104 (2015) 年 05 月 15 日

(51)Int. Cl. : H01L33/02 (2010.01)

H01L33/30 (2010.01)

C23C16/455 (2006.01)

(30)優先權：2014/07/02 日本

2014-136930

(71)申請人：牛尾電機股份有限公司 (日本) USHIO DENKI KABUSHIKI KAISHA (JP)  
日本

(72)發明人：三好晃平 MIYOSHI, KOHEI (JP)；月原政志 TSUKIHARA, MASASHI (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：6 項 圖式數：10 共 48 頁

(54)名稱

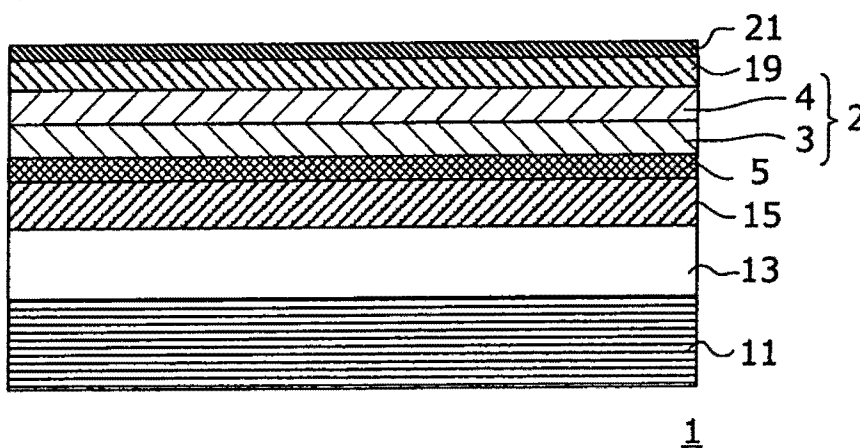
LED 元件

(57)摘要

實現不會產生起因於鄰接於活性層之 n 型半導體層的晶格不匹配的課題，確保活性層內之水平方向的電流擴散，提升發光效率的 LED 元件。本發明的 LED 元件，係具備以 n 型氮化物半導體所構成的第一半導體層、形成於第一半導體層的上層，且以  $Al_{x1}Ga_{y1}In_{z1}N$  ( $0 < x1 < 1$ ,  $0 < y1 < 1$ ,  $0 < z1 < 1$ ,  $x1 + y1 + z1 = 1$ ) 的四元混晶所構成的第二半導體層、形成於第二半導體層的上層，且以膜厚為 10nm 以上之  $In_{x2}Ga_{1-x2}N$  ( $0 < x2 < 1$ ) 所構成的第三半導體層，與以  $Al_{x3}Ga_{y3}In_{z3}N$  ( $0 < x3 < 1$ ,  $0 < y3 < 1$ ,  $0 \leq z3 < 1$ ,  $x3 + y3 + z3 = 1$ ) 所構成的第四半導體層的層積構造所構成的異質構造體、及形成於異質構造體的上層，且以 p 型氮化物半導體所構成的第五半導體層。

指定代表圖：

圖 2



符號簡單說明：

1 . . . LED 元件

2 . . . 異質構造體

3 . . . 第三半導體層

4 . . . 第四半導體層

5 . . . 第二半導體層

11 . . . 成長基板

13 . . . 無摻雜層

15 . . . 第一半導體層

19 . . . 第五半導體層

21 . . . p 型接觸層

## 發明摘要

※申請案號：104115597

※申請日：104年05月15日

※IPC分類：H01L33/02(2010.01)

H01L33/30(2010.01)

【發明名稱】(中文/英文)

C23C16/455(2006.01)

LED 元件

## 【中文】

[課題]實現不會產生起因於鄰接於活性層之 n 型半導體層的晶格不匹配的課題，確保活性層內之水平方向的電流擴散，提升發光效率的 LED 元件。

[解決手段]本發明的 LED 元件，係具備以 n 型氮化物半導體所構成的第一半導體層、形成於第一半導體層的上層，且以  $\text{Al}_{x_1}\text{Ga}_{y_1}\text{In}_{z_1}\text{N}$  ( $0 < x_1 < 1$ ， $0 < y_1 < 1$ ， $0 < z_1 < 1$ ， $x_1 + y_1 + z_1 = 1$ ) 的四元混晶所構成的第二半導體層、形成於第二半導體層的上層，且以膜厚為 10nm 以上之  $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{N}$  ( $0 < x_2 < 1$ ) 所構成的第三半導體層，與以  $\text{Al}_{x_3}\text{Ga}_{y_3}\text{In}_{z_3}\text{N}$  ( $0 < x_3 < 1$ ， $0 < y_3 < 1$ ， $0 \leq z_3 < 1$ ， $x_3 + y_3 + z_3 = 1$ ) 所構成的第四半導體層的層積構造所構成的異質構造體、及形成於異質構造體的上層，且以 p 型氮化物半導體所構成的第五半導體層。

## 【英文】

**【代表圖】**

**【本案指定代表圖】**：第(2)圖。

**【本代表圖之符號簡單說明】**：

- 1：LED 元件
- 2：異質構造體
- 3：第三半導體層
- 4：第四半導體層
- 5：第二半導體層
- 11：成長基板
- 13：無摻雜層
- 15：第一半導體層
- 19：第五半導體層
- 21：p 型接觸層

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

LED 元件

## 【技術領域】

[0001] 本發明係關於 LED 元件，尤其關於以氮化物半導體所構成的 LED 元件。

## 【先前技術】

[0002] 先前，作為以氮化物半導體構成的 LED 元件，如以藍色 LED 為代表，於藍寶石基板上藉由磊晶成長，形成半導體層構造體(層積半導體基板)。此種技術係例如於後述專利文獻 1 及專利文獻 2 所揭示。

[0003] 於專利文獻 1，揭示具有於藍寶石基板上，依序層積由 n-GaN 所成之 n 型接觸層、由 n-AlGa<sub>N</sub> 所成之 n 型被覆層、由 n-InGa<sub>N</sub> 所成之活性層、由 p-AlGa<sub>N</sub> 所成之 p 型被覆層、由 p-GaN 所成之 p 型接觸層之構造的 LED。活性層係利用單量子井結構或多量子井結構來實現。

[0004] 然後，藍寶石基板與 n 型接觸層之間，形成有由 GaN、AlGa<sub>N</sub> 或 AlN 所成的緩衝層。於形成活性層的 n-InGa<sub>N</sub>，摻雜有 Si 及 Ge 等的施體不純物及/或 Zn 及 Mg 等的受體不純物。

[0005] 於專利文獻 2，揭示在形成 LED 的層積半導

體中，於面方位對齊於  $c$  軸方向的 AlN 上，成長形成比其晶格參數大，且面方位對齊於  $c$  軸方向的 GaN 層，並於其上依序形成比其晶格參數小的  $n$ -AlGaN 層、具有多量子井結構的活性層、 $p$ -AlGaN 層的內容。

[先前技術文獻]

[專利文獻]

[0006]

[專利文獻 1]日本特開平 10-93138 號公報

[專利文獻 2]日本特開 2005-209925 號公報

## 【發明內容】

[發明所欲解決之課題]

[0007] GaN 及 AlGaN 等的氮化物半導體係具有纖維鋅礦型結晶構造(六方晶體構造)。纖維鋅礦型結晶構造之面係利用 4 指數表記(六方晶體指數)，使用以  $a_1$ 、 $a_2$ 、 $a_3$  及  $c$  所示之基本向量，表示結晶面及方位。基本向量  $c$  係延伸於 [0001] 方向，該方向稱為「 $c$  軸」。垂直於  $c$  軸之面係稱為「 $c$  面」或「(0001)面」。

[0008] 先前，使用氮化物半導體來製作半導體發光元件時，作為使氮化物半導體結晶成長的基板，使用主面具有  $c$  面基板的基板。實際上，於該基板上在低溫下使 GaN 層成長，進而，於其上層使氮化物半導體層成長。

[0009] 圖 10 係揭示先前之 LED 元件 90 的構造的概略剖面圖。再者，於以下圖面中，實際的尺寸比與圖面上

的尺寸比不一定一致。

[0010] LED 元件 90 係於例如由藍寶石所成的成長基板 91 的上層，具有膜厚  $3\mu\text{m}$  的由 GaN 所成的無摻雜層 92，與於無摻雜層 92 的上層，具有例如膜厚  $1.5\mu\text{m}$  的由 n-AlGaN 所成的 n 型被覆層 93。進而，LED 元件 90 係於 n 型被覆層 93 的上層，具有構成交互週期性層積例如膜厚  $2\text{nm}$  的由 InGaN 所成之發光層，與膜厚  $5\text{nm}$  的由 AlGaN 所成之障壁層所成的 MQW(Multi-quantum Well：多重量子井)的活性層 94。

[0011] 進而，LED 元件 90 係於活性層 94 的上層，具有例如由 p-AlGaN 層所成的 p 型被覆層 95，於其上層具有由  $p^+$ -GaN 層所成的 P 型接觸層 96。

[0012] 在此，於 GaN 與 AlN 的晶格參數之間存在有差。具體來說，GaN 的晶格參數係關於 a 軸方向為  $0.3189\text{nm}$ ，關於 c 軸方向為  $0.5185\text{nm}$ ，相對於此，AlN 的晶格參數係關於 a 軸方向為  $0.3112\text{nm}$ ，關於 c 軸方向為  $0.4982\text{nm}$ 。因此，於由 GaN 所成之無摻雜層 92 的上層，使由包含晶格參數比 GaN 小之 AlN 的 AlGaN 所成的 n 型被覆層 93 成長的話，於 n 型被覆層 93 會發生起因於晶格不匹配的拉伸應力 99。再者，拉伸應力 99 所示之箭頭表示應力的朝向。拉伸應力 99 係與 n 型被覆層 93 之膜厚的增大一起增大，超過某臨限值的話，會產生伴隨於表面粗化及裂痕、結晶缺陷的錯位差排，導致發光效率的降低。

[0013] 另一方面，n 型被覆層 93 的膜厚過薄時，對形成於 p 型接觸層 96 之上面的供電端子與 n 型被覆層 93 之間施加電壓的話，從供電端子電流的大半會流通至與基板面正交之方向。亦即，電流僅流通活性層 94 內之一部分的區域，發光區域變少，結果導致發光效率的降低。進而，因電流流通於活性層 94 的一部分，局部發生電流集中，產生在活性層 94 內之載波的不均勻性，無法取得高發光強度。

[0014] 本發明係有鑑於前述課題，目的為實現不會產生起因於鄰接於活性層之 n 型半導體層的晶格不匹配的課題，確保活性層內之水平方向的電流擴散，提升發光效率的 LED 元件。

[用以解決課題之手段]

[0015] 本發明的 LED 元件，其特徵為具備：

第一半導體層，係以 n 型氮化物半導體所構成；

第二半導體層，係形成於前述第一半導體層的上層，且以  $Al_{x1}Ga_{y1}In_{z1}N(0 < x1 < 1, 0 < y1 < 1, 0 < z1 < 1, x1 + y1 + z1 = 1)$  的四元混晶所構成；

異質構造體，係形成於前述第二半導體層的上層，且以膜厚為 10nm 以上之  $In_{x2}Ga_{1-x2}N(0 < x2 < 1)$  所構成的第三半導體層，與以  $Al_{x3}Ga_{y3}In_{z3}N(0 < x3 < 1, 0 < y3 < 1, 0 \leq z3 < 1, x3 + y3 + z3 = 1)$  所構成的第四半導體層的層積構造所構成；及

第五半導體層，係形成於前述異質構造體的上層，且

以 p 型氮化物半導體所構成。

[0016] 藉由以  $\text{In}_{x2}\text{Ga}_{1-x2}\text{N}$  ( $0 < x2 < 1$ ) 所構成的第三半導體層，與以  $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$  ( $0 < x3 < 1$ ， $0 < y3 < 1$ ， $0 \leq z3 < 1$ ， $x3 + y3 + z3 = 1$ ) 所構成的第四半導體層的異質連接，因兩材料的能帶隙的不同，於兩層的界面形成能帶彎區域。於該能帶彎區域，形成水平方向移動度高的二維電子氣體層。

[0017] 在此，關於本發明的 LED 元件具備的第三半導體層，係設為相較於為了構成一般之 MQW 構造的量子井層所形成之 InGaN 的膜厚(例如 2nm 程度)，具有充分厚度的 10nm 以上。在一般之 MQW 結構中，為了防止量子史塔克效應所致之發光比例的降低，進行將 InGaN 的膜厚設為 2nm 程度，就算厚一點，也設為 7nm 以下。

[0018] 如此，利用增加第三半導體層的膜厚，可加大藉由  $\text{In}_{x2}\text{Ga}_{1-x2}\text{N}$  所形成之幾乎平坦的能帶區域，增加確保電子的容量。到於該區域充分蓄積電子為止之間，電子無法超越藉由  $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$  所形成之障壁。之間，二維電子氣體往平行於界面的方向移動，故電子會往水平方向擴散。

[0019] 亦即，在電子充分地往水平方向擴散，於能帶彎區域及幾乎平坦的能帶區域內，蓄積了充分量的電子的階段中，電子會超越  $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$  的障壁，往以 p 型氮化物半導體構成的第五半導體層側移動。亦即，到電流從 p 型半導體層(第五半導體層)側往 n 型半導體層(第一半

導體層)側流動為止，一旦實現電子往水平方向的擴散。藉此，因為流動於異質構造體內的電流會往水平方向擴散，可使異質構造體整體發光，可提升發光效率。

[0020] 然而，於先前的半導體發光元件中，是於 n 型半導體層的上層，具有由 InGaN/AlGaN 的多週期構造所成的 MQW 的構造。在此，作為位於 MQW 之下層的 n 型半導體層，因應發光波長，使用 GaN 或 AlGaN。InN 的晶格參數係關於 a 軸方向為 0.3540nm，關於 c 軸方向為 0.5705nm。亦即，InGaN 係包含晶格參數比 GaN 及 AlGaN 大之 InN 的混晶。因此，對於構成 MQW 的 InGaN 層，發生壓縮應力，因為該應力，對於 InGaN 層產生壓電極化(Piezoelectric polarization)。

[0021] 圖 1 係模式揭示以 InGaN/AlGaN 構成之 MQW 的能帶圖者。再者，於圖 1 中，(a)是不考慮起因於前述壓電極化之內部電場而模式描繪的能帶圖，(b)是考慮內部電場而模式描繪的能帶圖。

[0022] 如圖 1(a)所示，不存在內部電場時，能帶圖成為平坦。但是，如上所述，實際上，MQW 存在內部電場。電子與電洞在電氣上相反，故該內部電場具有將電子與電洞在空間上分離的方向之應力的作用。亦即，承受該內部電場的影響，電子的波動函數與電洞的波動函數被分離，再結合機率降低。此狀況也顯現於圖 1(b)所示之傳導帶 101 與價電子帶 102 的形狀。

[0023] 如上所述，藉由內部電場，應力會作用於電

子的波動函數與電洞的波動函數被拉離的方向。因此，先前，對於為了提升發光效率來說，縮小 MQW 的量子井寬度，亦即使 InGaN 的膜厚變薄來形成發光元件。一般的 MQW 構造之量子井寬度係如上所述，為 2nm 以下程度。

[0024] 但是，在本發明的構造中，利用將以  $\text{In}_{x2}\text{Ga}_{1-x2}\text{N}$  構成之第三半導體層的膜厚設為相較於先前的 MQW 更厚，擴張平坦的能帶區域，利用二維電子氣體所致之電子的擴散。因此，晶格不匹配所致之能帶的應變的問題，係相較於先前的 MQW 的構造更為顯著化。

[0025] 因此，為了對應該問題，本發明的 LED 元件，係如前述構造般，在第一半導體層與異質構造體之間，具備且以  $\text{Al}_{x1}\text{Ga}_{y1}\text{In}_{z1}\text{N}$  ( $0 < x1 < 1$ ， $0 < y1 < 1$ ， $0 < z1 < 1$ ， $x1 + y1 + z1 = 1$ ) 的四元混晶所構成的第二半導體層。第二半導體層與第三半導體層相同，以包含 In 的氮化物半導體層所構成，故第二半導體層與第三半導體層的晶格參數的差較小。因此，相較於不設置第二半導體層，於第一半導體層的上層形成異質構造體之狀況，可縮小異質構造體內發生的內部電場。

[0026] 在此，將第二半導體層的膜厚設為 10nm 以上更理想。藉由將第二半導體層的膜厚形成為較厚，更提升晶格參數差的緩和效果，可更縮小異質構造體內發生的內部電場。又，利用將膜厚設為 10nm 以上，可改善  $\text{Al}_{x1}\text{Ga}_{y1}\text{In}_{z1}\text{N}$  層的表面形態。再者，第二半導體層係設為

不產生結晶缺陷的臨限膜厚以下為佳。

[0027] 又，於前述構造中，異質構造體係作為第二半導體層的正上方層所形成者亦可，作為於第二半導體層的上部，隔著膜厚 1~2nm 程度的氮化物半導體層所形成者亦可。

[0028] 再者，以下，有將第二半導體層記載為「AlGaInN」之狀況，此係單只是省略 Al、Ga、In 及 N 的組成比的記述所記載者，並不是限定於各組成比為 1:1 之狀況的趣旨。關於「AlGaN」、「InGaN」的記述也是相同的趣旨。

[0029] 在此，第一半導體層可設為以 AlGaN 所構成者。

[0030] 又，將第三半導體層的膜厚設為 10nm 以上 25nm 以下亦可。如「實施方式」的項目中後述般，發現在將第三半導體層的膜厚設為比 25nm 厚，例如 30nm 時，有結晶缺陷等的問題會顯著化，光輸出會降低之狀況。亦即，第三半導體層的膜厚係設為不產生結晶缺陷的臨限膜厚以下為佳。利用作為相關構造，可比先前的 LED 元件獲得更高的光輸出。再者，利用將第三半導體層的膜厚設為該範圍內，也可獲得提升對於元件的 ESD(Electro Static Discharge：靜電放電)之耐壓的效果。

[0031] 又，異質構造體作為第三半導體層與第四半導體層重複數週期所構成者亦可。

[0032] 作為此種構造時，根據形成複數個異質連接的

界面，也形成複數個形成二維電子氣體層的區域。又，也形成複數個藉由具有作為電子蓄積層之功能的  $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{N}$  所形成之幾乎平坦的能帶區域。藉此，可更提升電流擴散的效果，可更提升光輸出。

[0033] 再者，將第四半導體層以  $\text{Al}_{x_3}\text{Ga}_{1-x_3}\text{N}$  ( $0 < x_3 < 1$ ) 構成亦可。藉由本案發明者的銳意研究，發現於複數週期重複異質構造體之狀況中，即使將所有的第四半導體層以  $\text{Al}_{x_3}\text{Ga}_{1-x_3}\text{N}$  構成之狀況中，也可利用將  $\text{Al}_{x_1}\text{Ga}_{y_1}\text{In}_{z_1}\text{N}$  的四元混晶層所成的第二半導體層，設置於異質構造體與第一半導體層之間，來提升光輸出。再者，在於第一半導體層側的異質構造體的正下方構成第二半導體層時，第二半導體層係構成第一障壁層 (first barrier)。

[0034] 再者，第四半導體層係作為無摻雜層亦可，作為 n 型半導體層亦可。再者，藉由為了使第四半導體層成為 n 型半導體層而摻雜 Si，可提升 LED 元件的光輸出。依據本發明的構造，相較於具備先前之 MQW 的 LED 元件，可提高 Si 摻雜濃度，故也可獲得減低高電流注入時之工作電壓的效果。

[0035] 又，本發明的 LED 元件也可構成為尖峰發光波長為 362nm 以上，395nm 以下的元件。

[發明的效果]

[0036] 本發明的 LED 元件係以比具備先前之 MQW 的 LED 元件更厚膜地構成活性層 (異質構造體)，故相較於

先前更可確保活性層內之水平方向的電流擴散，提升發光效率。然後，藉由本發明的 LED 元件具備之第二半導體層，緩和晶格參數差，故也可解決起因於鄰接活性層之 n 型半導體層的晶格不匹配的課題。

### 【圖式簡單說明】

[0037]

[圖 1]模式揭示以 InGaN/AlGaIn 構成之 MQW 的能帶的圖面。

[圖 2]揭示本發明的 LED 元件之構造的概略剖面圖。

[圖 3]揭示本發明的 LED 元件之其他構造的概略剖面圖。

[圖 4]揭示使第三半導體層的 In 組成變化時，LED 元件的尖峰發光波長與光輸出的關係的圖表。

[圖 5A]模式揭示異質構造體的理想能帶圖者。

[圖 5B]反映壓電電場的影響，模式揭示異質構造體的能帶圖者。

[圖 5C]反映半導體材料的相互作用，模式揭示異質構造體之傳導帶的能帶圖者。

[圖 5D]反映半導體裝置的相互作用，模式揭示異質構造體之傳導帶的能帶圖者。

[圖 4A]對比實施例 1、實施例 2、參考例、及先前例之各 LED 元件的光輸出的圖表。

[圖 7]對比將第二半導體層的膜厚設為一定，使 In 組

成變化所製造之各 LED 元件的光輸出的圖表。

[圖 8]揭示於 LED 元件中，使第三半導體層的膜厚變化時，膜厚與所得之光輸出的關係的圖表。

[圖 9]揭示實施例 1、實施例 2、參考例、及比較例之各 LED 元件的產率的表。

[圖 10]揭示先前的 LED 元件之構造的概略剖面圖。

## 【實施方式】

[0038]

[構造]

圖 2 係揭示本發明的 LED 元件之構造的概略剖面圖。於以下各圖面中，實際的尺寸比與圖面上的尺寸比不一定一致。

[0039] 本發明的 LED 元件 1 係於藍寶石等之成長基板 11 的上層，具有無摻雜層 13，於其上層具有以 n 型氮化物半導體所構成之第一半導體層 15。第一半導體層 15 係構成 n 型被覆層。

[0040] LED 元件 1 係更於第一半導體層的上層，具有以  $Al_{x_1}Ga_{y_1}In_{z_1}N(0 < x_1 < 1, 0 < y_1 < 1, 0 < z_1 < 1, x_1 + y_1 + z_1 = 1)$  的四元混晶所構成的第二半導體層 5。然後，LED 元件 1 係於第二半導體層 5 的上層，具有以  $In_{x_2}Ga_{1-x_2}N(0 < x_2 < 1)$  所構成的第三半導體層 3，與以  $Al_{x_3}Ga_{y_3}In_{z_3}N(0 < x_3 < 1, 0 < y_3 < 1, 0 \leq z_3 < 1, x_3 + y_3 + z_3 = 1)$  所構成的第四半導體層的層積構造所構成的異質構造體 2。

[0041] LED 元件 1 係更於異質構造體 2 的上層，具有以 p 型氮化物半導體所構成之第五半導體層 19。第五半導體層 19 係構成 p 型被覆層。再者，圖 2 所示之 LED 元件 1 係於該第五半導體層 19 的上層，具備高濃度摻雜 p 型不純物的 p 接觸層 21。以下，針對 LED 元件 1 的構造，進行詳述。

[0042]

(成長基板 11)

成長基板 11 係以藍寶石基板所構成。再者，藍寶石之外，以 Si、SiC、GaN、YAG 等構成亦可。

[0043]

(無摻雜層 13)

無摻雜層 13 係以 GaN 形成。更具體來說，藉由由 GaN 所成之低溫緩衝層，與於其上層由 GaN 所成之基底層所形成。

[0044]

(第一半導體層 15)

第一半導體層 15 在本實施形態中以 n-AlGa<sub>N</sub> 構成，作為 n 型不純物，摻雜有 Si、Ge、S、Se、Sn、Te 等。再者，作為於接觸無摻雜層 13 的區域，包含以 n-GaN 構成之層(保護層)的構造亦可。此時，於保護層摻雜有 Si、Ge、S、Se、Sn、Te 等的 n 型不純物，尤其摻雜 Si 為佳。在本實施形態中，作為一例，以 n-Al<sub>0.1</sub>Ga<sub>0.9</sub>N，形成第一半導體層 15。

[0045] 又，以 n-GaN 構成第一半導體層 15 亦可。

[0046]

(第五半導體層 19)

第五半導體層 19 在本實施形態中，以 p-AlGaN 構成，摻雜 Mg、Be、Zn、C 等的 p 型不純物。在本實施形態中，作為一例，以 p-Al<sub>0.3</sub>Ga<sub>0.7</sub>N 與 p-Al<sub>0.07</sub>Ga<sub>0.93</sub>N 的層積構造，形成第五半導體層 19。再者，作為於接觸 p 接觸層 21 的區域，包含以 GaN 構成之層(保護層)的構造亦可。此時，於保護層，摻雜有 Mg、Be、Zn、C 等的 p 型不純物亦可。

[0047]

(p 型接觸層 21)

P 型接觸層 21 係例如以 p-GaN 構成。尤其高濃度摻雜 Mg、Be、Zn、C 等的 p 型不純物，以 p<sup>+</sup>-GaN 層構成。

[0048]

(第二半導體層 5)

第二半導體層 5，係以 Al<sub>x1</sub>Ga<sub>y1</sub>In<sub>z1</sub>N(0<x1<1，0<y1<1，0<z1<1，x1+y1+z1=1)的四元混晶所構成。在本實施形態中，作為一例，作為第二半導體層 5 以膜厚 20nm 的 Al<sub>0.06</sub>Ga<sub>0.92</sub>In<sub>0.02</sub>N 所構成者進行說明。

[0049]

(異質構造體 2)

如上所述，異質構造體 2 係於以 In<sub>x2</sub>Ga<sub>1-x2</sub>N(0<x2<1)所構成的第三半導體層 3，與以 Al<sub>x3</sub>Ga<sub>y3</sub>In<sub>z3</sub>N(0<x3<1，

$0 < y_3 < 1$  ,  $0 \leq z_3 < 1$  ,  $x_3 + y_3 + z_3 = 1$ ) 所構成的第四半導體層 4 的層積構造所構成。於本實施形態中，異質構造體 2 構成 LED 元件 1 的活性層。亦即，以  $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{N}$  所構成的第三半導體層 3 構成發光層，以  $\text{Al}_{x_3}\text{Ga}_{y_3}\text{In}_{z_3}\text{N}$  所構成的第四半導體層 4 構成障壁層。

[0050] 在本實施形態中，作為一例，作為第三半導體層 3 以膜厚為 15nm 的  $\text{In}_{0.02}\text{Ga}_{0.98}\text{N}$  所構成，第四半導體層 4 以膜厚為 20nm 的  $n\text{-Al}_{0.06}\text{Ga}_{0.94}\text{N}$  所構成者進行說明。

[0051] 然而，圖 10 所示之先前的 LED 元件 1 具備的活性層 94，係構成發光層的  $\text{InGaN}$  與構成障壁層的  $\text{AlGaN}$  重複數個週期所形成。更詳細來說，以挾持構成發光層的  $\text{InGaN}$  層之方式構成  $\text{AlGaN}$  層。

[0052] 相對於此，LED 元件 1 係以  $\text{Al}_{x_1}\text{Ga}_{y_1}\text{In}_{z_1}\text{N}$  構成的第二半導體層 5 構成 n 層側之初始的障壁層 (first barrier)。相較於以  $\text{Al}_{x_1}\text{Ga}_{y_1}\text{In}_{z_1}\text{N}$  構成的第二半導體層 5 及以  $\text{Al}_{x_3}\text{Ga}_{y_3}\text{In}_{z_3}\text{N}$  構成的第四半導體層 4，以  $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{N}$  構成的第三半導體層 3 的能帶隙較小。因此，第二半導體層 5 及第四半導體層 4 構成障壁層，第三半導體層 3 構成發光層。

[0053] 再者，如圖 3 所示，LED 元件 1 作為具備重複數個週期異質構造體 2 所成的多層構造部 2A 亦可。此時，n 層側，亦即形成於最接近第一半導體層 15 的位置的第三半導體層 3，構成被第二半導體層 5 與第四半導

體層 4 挾持的發光層。又，形成於最接近第一半導體層 15 的位置的第三半導體層 3 以外的第三半導體層 3，構成被複數第四半導體層挾持的發光層。

[0054] 於圖 3 所示的 LED 元件 1 中，是在位於多層構造部 2A 的最上層之第四半導體層 4 的上層，具備第五半導體層 19 及 p 接觸層 21 的構造。位於多層構造部 2A 之最上層的第四半導體層 4 構成最後障壁層 (last barrier)。

[0055] 再者，在圖 2 中已揭示具備異質構造體 2 重複 3 週期層積的多層構造部 2A 的構造，但是，重複的週期數並不限定於 3。例如，作為 5 週期亦可，作為其他週期數亦可。

[0056] 又，代替圖 2 的構造，作為於第二半導體層 5 的正上方具備第四半導體層 4，以下，交互層積第三半導體層 3 與第四半導體層 4 所成的構造亦可。此時，形成於最接近第一半導體層 15 的位置的第四半導體層 4 構成初始障壁。再者，此時，成為所有第三半導體層 3 被複數第四半導體層 4 挾持的構造。

[0057]

[異質構造體 2 的功能說明]

以下，針對藉由具備前述構造的異質構造體 2，LED 元件 1 較於先前的 LED 元件 90 更為提升發光效率之狀況，參照實施例來進行說明。再者，在以下的說明中，作為將以  $\text{Al}_{x_3}\text{Ga}_{y_3}\text{In}_{z_3}\text{N}$  構成的第四半導體層所包含之 In 組

成設為 0%(亦即  $z_3=0$ )者進行說明，但是，即使第四半導體層是以在 5%的範圍內包含 In 的  $Al_{x_3}Ga_{y_3}In_{z_3}N$  所構成，也可進行相同的議論。

[0058] 又，在以下的說明中，為了比較檢證所用的 LED 說明 90，作為藉由 MQW 所形成的活性層 94，採用膜厚 2nm 的 InGaN 與膜厚 5nm 的 AlGaN 交互層積 5 週期所形成者。

[0059]

(關於尖峰發光波長的考察)

圖 4 係揭示使構成異質構造體 2 之第三半導體層 3( $In_{x_2}Ga_{1-x_2}N$ )的 In 組成，亦即  $x_2$  值變化時，LED 元件 1 之尖峰發光波長與光輸出的關係的圖表。

[0060] 在此，作為 LED 元件 1，於身為 n 型半導體層的第一半導體層 15 的上層，具有由膜厚 15nm 的  $Al_{0.08}Ga_{0.91}In_{0.01}N$  所成的第二半導體層 5，於第二半導體層 5 的上層，具有以由膜厚 15nm 的  $In_{0.02}Ga_{0.98}N$  所成的第三半導體層 3 與由膜厚 20nm 的 n- $Al_{0.06}Ga_{0.94}N$  所成的第四半導體層 4 所構成之異質構造體 2 重複 5 週期所成的多層構造部 2A 的構造。

[0061] 又，於圖 4，為了比較，也記載未設置第二半導體層 5 及異質構造體 2 之先前的 LED 元件 90 的資料。如上所述，作為該 LED 元件 90，設為具有膜厚 2nm 的 InGaN 與膜厚 5nm 的 AlGaN 交互層積 5 週期所成的活性層 94 的構造。

[0062] 在圖 4 中，測定 LED 元件 1 及先前的 LED 元件 90，都利用  $350\mu\text{m}$  角的元件，對該元件注入  $0.1\text{A}$  之電流時的光輸出。此係相當於將元件的電流密度設為  $100\text{A}/\text{cm}^2$  之狀況。該電流密度對應設計作為高注入裝置時設為目標之值。再者，設計作為低注入裝置時的電流密度為  $20\sim 30\text{A}/\text{cm}^2$  程度。

[0063] 依據圖 4，可知於發光波長為  $362\text{nm}$  以上且  $395\text{nm}$  以下的範圍 D1 中，相較於先前的 LED 元件 90，本發明的 LED 元件 1 的光輸出更為提升。另一方面，在發光波長比  $362\text{nm}$  短的  $357\text{nm}$  之狀況，以及比  $395\text{nm}$  長的  $400\text{nm}$ 、 $410\text{nm}$ 、 $420\text{nm}$  中，任一都是先前之 LED 元件 90 的光輸出比 LED 元件 1 高。該結果係表示以下內容者。

[0064] 圖 5A、圖 5B 及圖 5C 係模式揭示異質構造體 2 的能帶圖。再者，在圖 5A 中，將第三半導體層 3 記載為「InGaN」，將第四半導體層 4 記載為「AlGaN」。

[0065] 相較於 InGaN，AlGaN 顯示較大的能帶隙。因此，如圖 5A 所示，如果不考慮內部電場的影響，會形成被第四半導體層 4(AlGaN)挾持的第三半導體層 3(AlGaN)所致之幾乎平坦的能帶區域。再者，在圖 5A~圖 5C 中，例示多週期形成異質構造體 2 之狀況，但是，在異質構造體 2 以 1 週期形成時，利用以第二半導體層 2 ( $\text{Al}_{x1}\text{Ga}_{y1}\text{In}_{z1}\text{N}$ )置換 n 層側的第四半導體層 4，也可進行相同的議論。

[0066] 在此，如前述般，在本實施例中，將第三半導體層 3(InGaN)的膜厚設為 15nm，遠比構成先前的 LED 元件 90 之活性層 94 的 InGaN 的膜厚 2nm 還厚。因此，於第三半導體層 3 的區域中，廣泛形成幾乎平坦的能帶區域。

[0067] 在 LED 元件 1 中，在與藉由第三半導體層 3 (InGaN)所形成之平坦的能帶區域之面垂直的 c 軸方向，發生壓電極化 (piezoelectric polarization)。圖 5B 係模式揭示考慮該壓電電場的影響所描繪之異質構造體 2 的能帶者。因壓電電場，能帶產生應變。

[0068] 能帶的應變增大的話，電子與電洞的波動函數之重疊會減少，因電子與電洞再次結合而發光之比例會降低，產生所謂量子史塔克效應。該應變係第三半導體層 3(InGaN)中的 In 組成比越大則越大。於尖峰發光波長為 400nm 以上的 LED 元件 1 中，相較於先前的 LED 元件 90 光輸出降低可推測為 In 組成比高所致之量子史塔克效應顯著化。又，晶格參數差所致之前述的錯位差排的影響也無法無視。

[0069] 另一方面，欲實現尖峰發光波長低於 360nm 的 357nm 的光線時，需要極為降低第三半導體層 3 (InGaN)的 In 比率。先前的 LED 元件 90 之狀況中，構成活性層 94 之 InGaN 的膜厚為 2nm 程度，故可進行 In 的少量添加，可實現用以實現該程度之光線的最佳 In 比率。但是，在包含膜厚 15nm 之第三半導體層 3(InGaN)的

LED 元件 1 中，第三半導體層 3(InGaN)的膜厚較厚，故 In 的含有量會變高，難以實現 357nm 程度之短波長的光線。據此，在實現尖峰發光波長為 357nm 的 LED 元件時，先前的 LED 元件 90 的光輸出會比 LED 元件 1 還高。

[0070] 相對於此，於尖峰發光波長為 362nm 以上且 395nm 以下的範圍 D1 內，本發明的 LED 元件 1 的光輸出比先前的 LED 元件 90 還高。作為該理由，可推測出以下的內容。

[0071] 如圖 5A 所示，相較於第三半導體層 3(InGaN)，第四半導體層 4(AlGaN)係電子能帶隙較大。於圖 5A，揭示傳導帶 30、價電子帶 31 以及第三半導體層 3 的費米能階 32 及第四半導體層 4 的費米能階 33。再者，在圖 5A 中，並未考慮 InGaN 與 AlGaN 之間的相互作用。

[0072] 圖 5C 係模式揭示反映兩個半導體材料的相互作用之傳導帶 30 的狀態者。費米能階 32 及 33 相互為等位，但是，因 AlGaN 與 InGaN 的能帶的不連續性，接近 p 層之第四半導體層 4(AlGaN)的傳導帶被往下方拉，產生能帶彎區域 41。於該能帶彎區域 41 內，形成水平方向移動度高的 2 維電子氣體層。又，如上所述，因增大第三半導體層 3(InGaN)的膜厚，幾近平坦的能帶區域 42 會擴張，可蓄積多數電子，所以，到形成於第三半導體層 3 與第四半導體層 4 之界面的能帶彎區域 41 及於第三半導體層 3 之幾近平坦的能帶區域 42 蓄積電子為止，電子不會超過第四半導體層 4 的電位而超限。亦即，謀求

水平方向之電子的移動，結果，可實現水平方向的電流擴散。亦即，藉由第三半導體層 3 與第四半導體層 4 的異質連接，實現使電流往水平方向擴散的功能(電流擴散功能)。

[0073] 如上所述，可知依據 LED 元件 1 的構造，尤其於尖峰發光波長為 362nm 以上，395nm 以下的範圍內，可獲得光輸出比先前更為提升的效果。

[0074] 再者，參照圖 3 如上所述，作為 LED 元件 1 具備重複數個週期異質構造體 2 所成的多層構造部 2A 的構造亦可。圖 5D 係仿照圖 5C 模式揭示於具有複數週期異質構造體 2 的 LED 元件 1 中，異質構造體 2 之傳導帶 30 的能帶圖。

[0075] 依據圖 5D，利用具備複數週期的異質構造體 2，可具有複數個擔任將電流往水平方向擴散之作用的能帶彎區域 41，及具有蓄積電子之功能的幾近平坦的能帶區域 42。藉此，可更提升電流擴散的效果。

[0076]

(關於第二半導體層 2 的考察)

參照圖 5A~圖 5D 如上所述，依據 LED 元件 1，利用具備包含比先前的 MQW 更厚膜之第三半導體層 3 的異質構造體 2，可提升電流擴散的效果，藉此，提升光輸出。

[0077] 然而，如參照圖 2~圖 3 所說明般，LED 元件 1 係利用在形成於成長基板 11 上之由 GaN 所成的無摻雜

層 13 的上層，隔著 n 型的第一半導體層 15 使前述異質構造體 2 成長來形成。第三半導體層 3 係以 InGaN 構成，該 InGaN 係晶格參數比 GaN 或 AlGaN 還大。

[0078] 因此，可預測於以比先前的 MQW 還厚膜地使 InGaN 成長所構成之異質構造體 2，會發生比先前的 MQW 還高的壓電極化。為了緩和該壓電極化，本發明的 LED 元件 1 係在第一半導體層 15 與異質構造體 2 之間，具備以  $Al_{x1}Ga_{y1}In_{z1}N$  的四元混晶所構成的第二半導體層 5。第二半導體層 5 是以包含 In 的半導體層所構成，故第二半導體層 5 的晶格參數接近以 InGaN 構成之第三半導體層 3 的晶格參數。亦即，利用使第二半導體層 5 成長，可減弱成長於其上層之第三半導體層 3 的內部電場。

[0079] 圖 6 係對比具備第二半導體層 5 的 LED 元件 1(實施例 1、實施例 2)、不具備第二半導體層 5 的 LED 元件(比較例)、及先前的 LED 元件 90(先前例)的光輸出的圖表。

[0080] 實施例 1 的 LED 元件 1 係於由膜厚 50nm 的  $Al_{0.08}Ga_{0.905}In_{0.015}N$  所成之第二半導體層 5 的上層，具有以由膜厚 15nm 的  $In_{0.015}Ga_{0.985}N$  所成的第三半導體層 3，與由膜厚 20nm 的 n- $Al_{0.08}Ga_{0.92}N$  所成的第四半導體層 4 構成之異質構造體 2 被層積 5 週期的構造。

[0081] 實施例 2 的 LED 元件 1 係於由膜厚 20nm 的  $Al_{0.08}Ga_{0.905}In_{0.015}N$  所成之第二半導體層 5 的上層，具有以由膜厚 15nm 的  $In_{0.015}Ga_{0.985}N$  所成的第三半導體層 3，

與由膜厚 20nm 的  $n\text{-Al}_{0.08}\text{Ga}_{0.905}\text{In}_{0.015}\text{N}$  所成的第四半導體層 4 構成之異質構造體 2 被層積 5 週期的構造。亦即，實施例 2 與實施例 1 相較，將所有的第四半導體層 4 以  $\text{AlGaInN}$  的四元混晶層構成之處不同。

[0082] 參考例的 LED 元件相較於實施例 1 的 LED 元件 1，不具備第二半導體層 2 之處不同。亦即，於第一半導體層 15 的正上方，由膜厚 15nm 的  $\text{In}_{0.015}\text{Ga}_{0.985}\text{N}$  所成之第三半導體層 3，與由膜厚 20nm 的  $n\text{-Al}_{0.08}\text{Ga}_{0.92}\text{N}$  所成之第四半導體層 4 構成的異質構造體 2 被層積 5 週期。

[0083] 先前例的 LED 元件 90，係以於 n 型被覆層 93 的正上方，具備由膜厚 2nm 的  $\text{In}_{0.02}\text{Ga}_{0.98}\text{N}$  所成之量子井層，與由膜厚 5nm 的  $n\text{-Al}_{0.08}\text{Ga}_{0.92}\text{N}$  所成之障壁層被重複 5 週期所成的活性層 93 之方式構成。

[0084] 圖 6 係對上述之各 LED 元件供給電流，對比光輸出的圖表，橫軸表示施加電流值，縱軸表示光輸出。依據圖 6，實施例 1 及實施例 2 顯示幾乎相同程度的光輸出，都實現比參考例及比較例還高的光輸出。再者，參考例實現比先前例還高的光輸出。

[0085] 如上所述，利用具備異質構造體 2，可實現比先前的 LED 元件 90 更好的水平方向之電流擴散。此係於圖 6 中也出現參考例的元件的光輸出也比先前例的元件更為提升之狀況。

[0086] 然後，依據圖 6，具備第二半導體層 5 之實施

例 1 及實施例 2 的各元件，光輸出比參考例的元件更為提升。此係暗示具備第二半導體層 5 的實施例 1 及實施例 2，相較於先前例，異質構造體 2 之內部電場被緩和，再結合機率提升。

[0087] 又，依據圖 6，比較實施例 1 與實施例 2 的話，兩者的光輸出幾乎沒有差。據此，暗示至少在使異質構造體 2 成長前的階段中，使用以緩和晶格參數差的由 AlGaInN 所成的第二半導體層 5 成長的話，可減低第三半導體層 3 之內部電場。

[0088] 圖 7 係將 LED 元件 1 的尖峰發光波長設為 365nm 帶，使第二半導體層 5 的 In 組成不同來比較光輸出的圖表。再者，第二半導體層 5 的膜厚以 50nm 統一。

[0089] 依據圖 7，在第二半導體層 5 的 In 組成為 5% 以下時，無法觀察到光輸出有意降低，但是，在 In 組成為 8% 時，可觀察到光輸出稍微降低。此係可推測因為 In 組成變高，從異質構造體 2 放射之光線的一部分在第二半導體層 5 內被吸收所致。進而，更增厚第二半導體層 5 的膜厚的話，第二半導體層 5 內會形成結晶缺陷，可預測到光輸出會更降低。

[0090] 以  $Al_{x1}Ga_{y1}In_{z1}N$  構成之第二半導體層 5 的 In 組成，亦即 Z1 值與第二半導體層 5 的膜厚之值，係依存於尖峰發光波長，亦即以  $In_{x2}Ga_{1-x2}N$  構成之第三半導體層 5 的 X2 值。X2 值越大則起因於晶格參數差的內部電場也越大，故對於為了緩和該內部電場來說，增加 Z1 值，

或增厚第二半導體層 5 的膜厚為佳。另一方面，過於增加 Z1 值的話，成長時會發生結晶缺陷，故無法層積較厚的第二半導體層 5。

[0091] 藉此，第二半導體層 5 係設為因應第三半導體層 3 之 In 組成的 In 組成，且不會發生結晶缺陷之範圍內的膜厚(臨限膜厚以下的膜厚)為佳。例如，在第二半導體層 5 的 In 組成為 10%時，將膜厚設為大於 0nm 且 50nm 以下為佳。

[0092]

(關於第三半導體層 3 的膜厚的考察)

如上所述，根據第三半導體層 3(InGaN)形成幾近平坦的能帶區域 42，於提高蓄積電子之能力的意義中，可說增大第三半導體層 3 的膜厚為佳。但是，起因於 GaN 與 InGaN 的晶格參數的差，過度增大第三半導體層 3 的膜厚的話，會產生晶格弛緩，於能帶彎區域 41 及幾近平坦的能帶區域 42 無法充分蓄積電子。

[0093] 圖 8 係揭示於 LED 元件 1 中，使第三半導體層 3 的膜厚變化時，膜厚與所得之光輸出的關係的圖表。再者，以尖峰發光波長成為 365nm 之方式調整第三半導體層 3 的 In 組成。

[0094] 依據圖 8，可知在第三半導體層 3 的膜厚為 5nm 以下的區域 D2，與 6nm 以上的區域 D3 中，光輸出與膜厚的關係產生變化。亦即，於區域 S2 內，將膜厚約 3nm 設為尖峰，膜厚比其更厚的話，光輸出會降低。該區

域 D2 係利用所謂量子井所致之量子效應，促進發光再結合的膜厚的範圍內，可推測是有助於先前的 LED 元件 90 的發光的區域。

[0095] 相對於此，在膜厚 6nm 以上的區域 D3 中，再次第三半導體層 3 的膜厚變厚的話，則光輸出開始上升，將膜厚約 15nm 設為尖峰，膜厚比其還厚的話，則光輸出開始降低。該區域 D3 係可推測在藉由利用第三半導體層 3 與第四半導體層 4 的異質接合界面之能帶彎區域 41 的量子效應，來促進發光之膜厚的範圍內。

[0096] 依據圖 8，可知與作為 MQW 構造先前利用之膜厚的範圍內 D2 比較，作為 LED 元件 1 的構造，將第三半導體層 3 的膜厚設為 10nm 以上，25nm 以下的範圍(區域 D4)時，可比先前更提升光輸出。再者，作為 LED 元件 1 的構造，將第三半導體層 3 的膜厚設為比 25nm 還厚時，前述晶格弛緩所致之結晶缺陷導致的錯位差排會顯著化，面內的電流的均勻性降低，結果，相較於先前構造，光輸出也降低。

[0097] 在第三半導體層 3 的膜厚極為薄時，如上所述，因為大幅承受內部電極的影響，幾乎平坦的能帶區域 42 也會形成傾斜，積存電子的能力變低。相對於此，使膜厚增厚到 15nm 的話，該平坦的能帶區域 42 會擴散，積存電子的能力增大。具有超過費米能階(32, 33)之電位的電子，係流至 p 層側(圖 5D 之右側)。因此，在第三半導體層 3 的膜厚極為薄時，在充分積存電子之前，電流會

流通於 LED 元件，無法獲得充分擴散電流的效果。相對於此，將第三半導體層 3 的膜厚增厚到 10nm 以上的話，可將許多電子積存於能帶區域 42，故在電子具有超過費米能階的電位之間，可利用藉由能帶彎區域 41 所構成之二維電子氣體來擴散電子。藉此，獲得電流擴散效果，且獲得提升光輸出的效果。

[0098] 藉由以上內容，可知利用將第三半導體層 3 的膜厚設為 10nm 以上 25nm 以下，可獲得更加提升 LED 元件 1 的光輸出的效果。

[0099] 進而，如本發明的 LED 元件 1，相較於先前的 LED 元件 90 具備的 InGaN 層，利用增厚第三半導體層 3 的膜厚，可獲得 LED 元件本身對於 ESD 的耐壓特性提升，並提高產率的效果。圖 9 係揭示實施例 1、實施例 2、參考例、及比較例之各 LED 元件的產率的表。

[0100] 對於實施例 1、實施例 2、參考例、及比較例的各 LED 元件，測定分別施加 500V 的正向電壓及反向電壓之後，作為反向偏壓，施加 -5V 時所流動的反向電流。此時，將該反向電流的絕對值為  $5\mu\text{A}$  以下(或未滿)者作為良好的元件，將反向電流的絕對值超過  $5\mu\text{A}$  者作為不良元件。

[0101] 依據圖 9，實施例 1 及實施例 2 的 LED 元件，係產率比參考例的 LED 元件還高，參考例的 LED 元件係產率比先前例的 LED 元件還高。

[0102] 如上所述，實施例 1、實施例 2、及參考例的

各 LED 元件所具備的第三半導體層 3(InGaN)，係膜厚比先前例的 LED 元件的 MQW 所具備的 InGaN 層還厚。如此，因為 InGaN 層的膜厚變厚，第三半導體層 3(InGaN) 與第四半導體層 4(AlGaN)之間容易產生二維電子氣體層。如上所述，二維電子氣體層具有將電流往水平方向擴散的效果，伴隨此狀況，電流難以集中於狹小的區域，緩和電場。結果，即使在瞬間施加高電壓之狀況中，也於異質構造體 2 中擴散電場，結果，可推測電場難以集中，元件的破壞難以發生。

[0103] 再者，相較於參考例的 LED 元件，實施例 1 及實施例 2 的 LED 元件的產率提升，可推測是因為晶格的失配而形成於第三半導體層 3(InGaN)的 V 字缺陷的直徑變小，抑制摻雜於第五半導體層 19(p 型半導體層)之 p 型不純物對第三半導體層 3 的擴散所導致。

[0104] 再者，在前述實施形態中，異質構造體 2 作為形成於第二半導體層 2 的上面者進行說明。但是，於半導體發光元件 1 中，異質構造體 2 於第二半導體層 2 的上面，隔著膜厚極為薄的氮化物半導體層形成時，也可實現與前述相同的功能。本發明的本意並不是排除此種構造。

[0105]

[LED 元件 1 的製造方法]

接著，針對本發明的 LED 元件 1 的製造方法之一例，進行說明。再者，在後述製造方法中說明的製造條件及膜厚等的尺寸，僅為一例，並不是限定於該等數值者。

又，以下所示之製造法範例，是關於圖 2 所示的 LED 元件者。

[0106]

<步驟 S1>

首先，於成長基板 11 上，形成無摻雜層 13。例如，藉由以下的工程來進行。

[0107]

(成長基板 11 的準備)

作為成長基板 11，使用藍寶石基板時，進行 c 面藍寶石基板的清洗。該清洗更具體來說，藉由例如於 MOCVD (Metal Organic Chemical Vapor Deposition：有機金屬化學氣相沉積)裝置的處理爐內配置 c 面藍寶石基板，一邊對於處理爐內流通流量為 10slm 的氫氣，一邊將爐內溫度例如升溫至 1150°C 來進行。

[0108]

(無摻雜層 13 的形成)

接著，於成長基板 11(c 面藍寶石基板)的表面，形成由 GaN 所成的低溫緩衝層，進而於其上層形成由 GaN 所成的基底層。該等低溫緩衝層及基底層對應無摻雜層 13。

[0109] 無摻雜層 13 的更具體形成方法係例如以下所述。首先，將 MOCVD 裝置的爐內壓力設為 100kPa，將爐內溫度設為 480°C。然後，一邊對於處理爐內，作為載體氣體，流通流量分別為 5slm 的氮氣及氫氣，一邊作為

原料氣體，將流量為  $50\mu\text{mol}/\text{min}$  的三甲基鎵(TMGe)及流量為  $250000\mu\text{mol}/\text{min}$  的氮供給 68 秒鐘至處理爐內。藉此，於成長基板 11 的表面，形成厚度為 20nm 的由 GaN 所成的低溫緩衝層。

[0110] 接著，將 MOCVD 裝置的爐內溫度升溫至  $1150^\circ\text{C}$ 。然後，一邊對於處理爐內作為載體氣體，流通流量為 20slm 的氮氣及流量為 15slm 的氫氣，一邊作為原料氣體，將流量為  $100\mu\text{mol}/\text{min}$  的 TMGe 及流量為  $250000\mu\text{mol}/\text{min}$  的氮供給 30 分鐘至處理爐內。藉此，於低溫緩衝層的表面，形成厚度為  $1.7\mu\text{m}$  的由 GaN 所成的基底層。

[0111]

<步驟 S2>

接著，於無摻雜層 13 的上層，形成由 n 型氮化物半導體所成的第一半導體層 15。

[0112] 第一半導體層 15 的更具體形成方法係例如以下所述。首先，將 MOCVD 裝置的爐內壓力設為 30kPa。然後，一邊對於處理爐內，作為載體氣體，流通流量為 20slm 的氮氣及流量為 15slm 的氫氣，一邊作為原料氣體，將流量為  $94\mu\text{mol}/\text{min}$  的 TMGe、流量為  $6\mu\text{mol}/\text{min}$  的三甲基鋁(TMA)、流量為  $250000\mu\text{mol}/\text{min}$  的氮及流量為  $0.025\mu\text{mol}/\text{min}$  的四乙基矽烷供給 30 分鐘至處理爐內。藉此，將具有  $\text{Al}_{0.06}\text{Ga}_{0.94}\text{N}$  的組成，Si 濃度為  $3\times 10^{19}/\text{cm}^3$  且厚度為  $1.7\mu\text{m}$  的高濃度電子供給層形成於無摻雜層 13 的

上層。亦即，藉由此工程，至少關於上面的區域，會形成具有 Si 濃度為  $3 \times 10^{19}/\text{cm}^3$  且厚度為  $1.7\mu\text{m}$  的高濃度電子供給層的由 n-AlGaIn 所成之第一半導體層 15。

[0113] 再者，在此，作為第一半導體層 15 所包含的 n 型不純物使用 Si 來進行說明，但是，也可使用 Ge、S、Se、Sn 或 Te 等。再者，在該等之中，尤其 Si 為佳。

[0114]

<步驟 S3>

接著，於第一半導體層 15 的上層，形成以  $\text{Al}_{x1}\text{Ga}_{y1}\text{In}_{z1}\text{N}$  ( $0 < x1 < 1$ ,  $0 < y1 < 1$ ,  $0 < z1 < 1$ ,  $x1 + y1 + z1 = 1$ ) 的四元混晶所成的第二半導體層 5。第二半導體層 5 的更具體形成方法係例如以下所述。

[0115] 將 MOCVD 裝置的爐內壓力設為  $100\text{kPa}$ ，將爐內溫度設為  $830^\circ\text{C}$ 。然後，進行一邊對處理爐內，作為載體氣體，流通流量為  $15\text{slm}$  的氮氣及流量為  $1\text{slm}$  的氫氣，一邊作為原料氣體，將流量為  $10\mu\text{mol}/\text{min}$  的 TMG、流量為  $1.6\mu\text{mol}/\text{min}$  的 TMA、流量為  $12\mu\text{mol}/\text{min}$  的三甲基銦(TMI)及流量為  $300000\mu\text{mol}/\text{min}$  的氨，供給 480 秒鐘至處理爐內的步驟。藉此，形成以膜厚為  $20\text{nm}$  之  $\text{Al}_{0.06}\text{Ga}_{0.92}\text{In}_{0.02}\text{N}$  所構成的第二半導體層 5。

[0116] 再者，第二半導體層 5 係設為  $5\text{nm}$  以上且未滿  $500\text{nm}$  的膜厚為佳， $5\text{nm}$  以上且未滿  $200\text{nm}$  的膜厚更佳， $5\text{nm}$  以上且未滿  $100\text{nm}$  的膜厚最理想。

[0117]

## &lt;步驟 S4&gt;

然後，於第二半導體層 5 的上層，形成由  $\text{In}_{x2}\text{Ga}_{1-x2}\text{N}$  ( $0 < x2 < 1$ ) 所成的第三半導體層 3，與由  $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$  ( $0 < x3 < 1$ ,  $0 < y3 < 1$ ,  $0 \leq z3 < 1$ ,  $x3 + y3 + z3 = 1$ ) 所成的第四半導體層 4 的層積構造所構成的異質構造體 2。

[0118] 異質構造體 2 的更具體形成方法係例如以下所述。首先，在從步驟 S3 維持 MOCVD 裝置的爐內壓力及爐內溫度之狀態下，進行一邊對處理爐內，作為載體氣體，流通流量為 15slm 的氮氣及流量為 1slm 的氫氣，一邊作為原料氣體，將流量為  $10\mu\text{mol}/\text{min}$  的 TMG、流量為  $12\mu\text{mol}/\text{min}$  的 TMI 及流量為  $300000\mu\text{mol}/\text{min}$  的氨，供給 360 秒鐘至處理爐內的步驟。之後，進行將流量為  $10\mu\text{mol}/\text{min}$  的 TMG、流量為  $1.6\mu\text{mol}/\text{min}$  的 TMA、流量為  $0.009\mu\text{mol}/\text{min}$  的四乙基矽烷及流量為  $300000\mu\text{mol}/\text{min}$  的氨，供給 360 秒鐘至處理爐內的步驟。藉此，形成由膜厚 15nm 的  $\text{In}_{0.02}\text{Ga}_{0.98}\text{N}$  所成之第四半導體層 4，與由膜厚 20nm 的  $n\text{-Al}_{0.06}\text{Ga}_{0.94}\text{N}$  所成之第三半導體層 3 的層積體所構成的異質構造體 2。

[0119] 再者，如圖 3 所示，在作為具備複數週期異質構造體 2 的構造之狀況中，利用重複複數次本步驟 S4 來實現。

[0120] 又，如上述之實施例 2 的 LED 元件，在以 AlGaInN 構成第三半導體層 3 時，可利用作為形成第三半導體層 3 時的原料氣體，追加 TMI 來實現。

[0121]

<步驟 S5>

接著，於異質構造體 2(具有複數週期異質構造體 2 時，位於最上層的異質構造體 2)的上層，形成以 p-AlGa<sub>0.3</sub>N 構成的第五半導體層 19，進而於其上層，形成高濃度摻雜 p 型不純物的 p 型接觸層 21。

[0122] 第五半導體層 19 及 p 接觸層 21 的更具體形成方法係例如以下所述。首先，將 MOCVD 裝置的爐內壓力維持為 100kPa，一邊對處理爐內，作為載體氣體，流通流量為 15slm 的氮氣及流量為 25slm 的氫氣，一邊將爐內溫度升溫至 1050℃。之後，作為原料氣體，將流量為 35μmol/min 的 TMG、流量為 20μmol/min 的 TMA、流量為 250000μmol/min 的氨及流量為 0.1μmol/min 的雙(環戊二烯)鎂(Cp<sub>2</sub>Mg)，供給 60 秒鐘至處理爐內。藉此，於異質構造體 2 的最上層的表面，形成具有厚度為 20nm 之 Al<sub>0.3</sub>Ga<sub>0.7</sub>N 的組成的電洞供給層。之後，藉由將 TMA 的流量變更為 9μmol/min，並供給 360 秒鐘的原料氣體，形成具有厚度為 120nm 之 Al<sub>0.07</sub>Ga<sub>0.93</sub>N 的組成的電洞供給層。藉由該等電洞供給層，形成第五半導體層 19。

[0123] 進而之後，停止 TMA 的供給，並且將 Cp<sub>2</sub>Mg 的流量變更成 0.2μmol/min，供給 20 秒鐘的原料氣體。藉此，形成由厚度為 5nm 的 p-GaN 所成的 p 型接觸層 21。

[0124] 再者，在此，作為 p 型被覆層 19 及 p 接觸層 21 所包含的 p 型不純物，使用 Mg 來進行說明，但是，也

可使用 Be、Zn、C 等。

[0125]

<步驟 S6>

接著，對於在步驟 S1~S5 中所得之晶圓，進行活性化處理。更具體來說，使用 RTA(Rapid Thermal Anneal：快速加熱)裝置，在氮氣氛下以 650℃ 進行 15 分鐘的活性化處理。

[0126] 之後，在實現縱型的 LED 元件時，於 p 接觸層 21 的上面形成以所定材料構成的電極(p 側電極)，剝離成長基板 11 之後，於該成長基板 11 存在過之處形成電極，用以形成 n 側電極。又，在實現橫型的 LED 元件時，從 p 側到第一半導體層 15 露出為止進行蝕刻，於露出之第一半導體層 15 的上面形成 n 側電極，又，於 p 接觸層 21 的上面形成 p 側電極。再者，此時，作為因應需要，形成透明電極等的電極者亦可。之後，於各電極形成供電端子等，因應需要以透光性高的絕緣層來覆蓋露出之元件側面及上面，藉由引線接合等來進行與基板的連接。

[0127]

[其他實施形態]

在前述實施形態中，作為於第二半導體層 5 的正上方層形成異質構造體 2 者進行說明。但是，在第二半導體層 5 與異質構造體 1 之間，形成以膜厚數 nm 程度的薄膜構成之氮化物半導體層亦可。發現有即使相關之氮化物半導體層中介存在於第二半導體層 5 與異質構造體 2 之間，也

可藉由具備第二半導體層 5，抑制異質構造體 2 內的內部電場的效果。

【符號說明】

[0128]

1：LED 元件

2：異質構造體

2A：多層構造部

3：第三半導體層

4：第四半導體層

5：第二半導體層

11：成長基板

13：無摻雜層

15：第一半導體層

19：第五半導體層

21：p 型接觸層

30：傳導帶

31：價電子帶

32：InGaN 的費米能階

33：AlGaIn 的費米能階

41：形成於 AlGaIn 與 InGaIn 的界面的能帶彎區域

42：InGaIn 所形成之幾近平坦的能帶區域

90：先前的 LED 元件

91：成長基板

- 92 : 無摻雜層
- 93 : n 型被覆層
- 94 : 以 MQW 所構成之活性層
- 95 : p 型被覆層
- 96 : p 型接觸層
- 99 : 拉伸應力
- 101 : 傳導帶
- 102 : 價電子帶

## 申請專利範圍

1. 一種 LED 元件，其特徵為具備：

第一半導體層，係以 n 型氮化物半導體所構成；

第二半導體層，係形成於前述第一半導體層的上層，且以  $\text{Al}_{x_1}\text{Ga}_{y_1}\text{In}_{z_1}\text{N}$  ( $0 < x_1 < 1$ ， $0 < y_1 < 1$ ， $0 < z_1 < 1$ ， $x_1 + y_1 + z_1 = 1$ ) 的四元混晶所構成；

異質構造體，係形成於前述第二半導體層的上層，且以膜厚為 10nm 以上之  $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{N}$  ( $0 < x_2 < 1$ ) 所構成的第三半導體層，與以  $\text{Al}_{x_3}\text{Ga}_{y_3}\text{In}_{z_3}\text{N}$  ( $0 < x_3 < 1$ ， $0 < y_3 < 1$ ， $0 \leq z_3 < 1$ ， $x_3 + y_3 + z_3 = 1$ ) 所構成的第四半導體層的層積構造所構成；及

第五半導體層，係形成於前述異質構造體的上層，且以 p 型氮化物半導體所構成。

2. 如申請專利範圍第 1 項所記載之 LED 元件，其中，前述第三半導體層的膜厚為 25nm 以下。

3. 如申請專利範圍第 1 項或第 2 項所記載之 LED 元件，其中，

前述異質構造體，係前述第三半導體層與前述第四半導體層重複數週期所成。

4. 如申請專利範圍第 1 項至第 3 項中任一項所記載之 LED 元件，其中，

前述第四半導體層，係以  $\text{Al}_{x_3}\text{Ga}_{1-x_3}\text{N}$  ( $0 < x_3 < 1$ ) 所構成。

5. 如申請專利範圍第 1 項至第 3 項中任一項所記載之

LED 元件，其中，

前述第四半導體層，係以  $\text{Al}_{x_3}\text{Ga}_{y_3}\text{In}_{z_3}\text{N}$  ( $0 < x_3 < 1$ ， $0 < y_3 < 1$ ， $0 < z_3 < 1$ ， $x_3 + y_3 + z_3 = 1$ ) 的四元混晶所構成。

6. 如申請專利範圍第 1 項至第 5 項中任一項所記載之 LED 元件，其中，

尖峰發光波長為 362nm 以上，395nm 以下。

圖式

圖 1

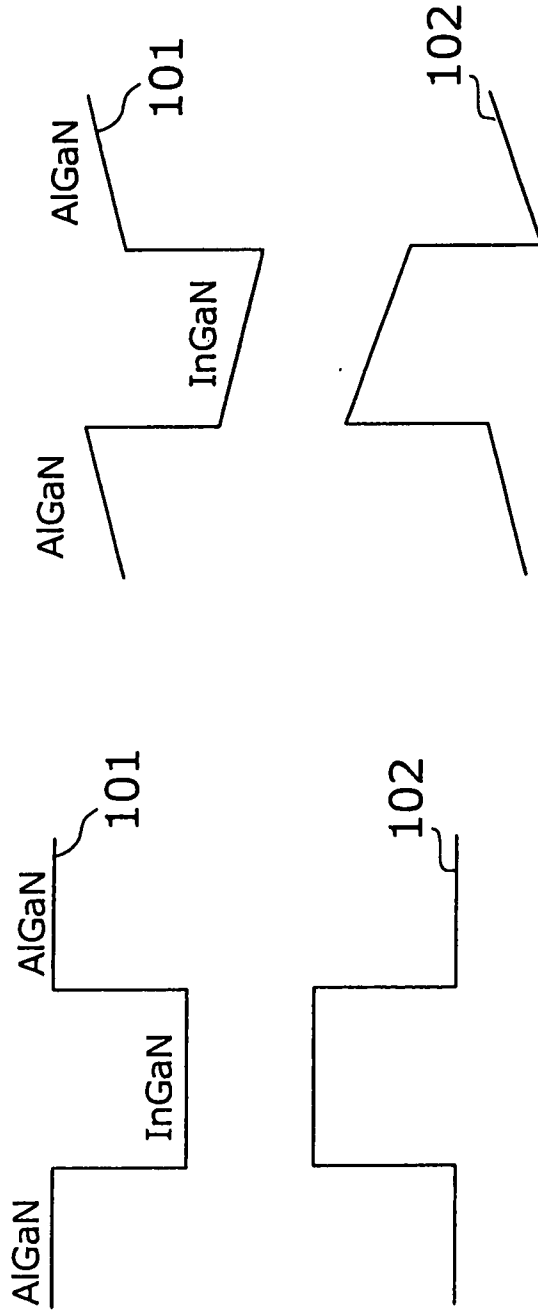


圖 2

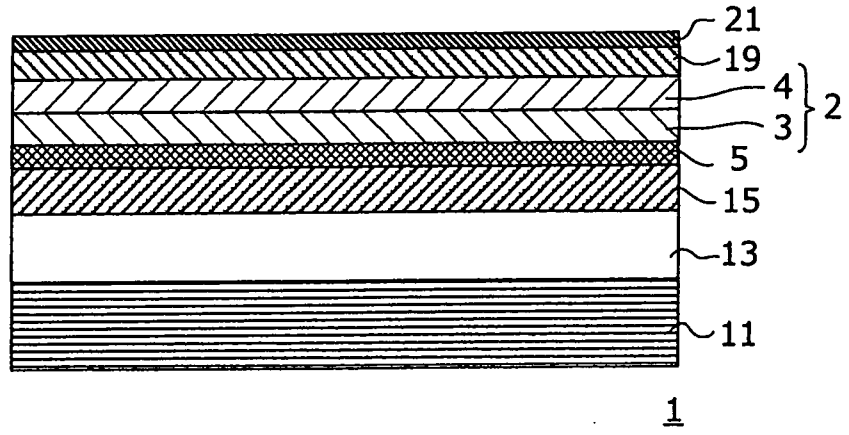


圖 3

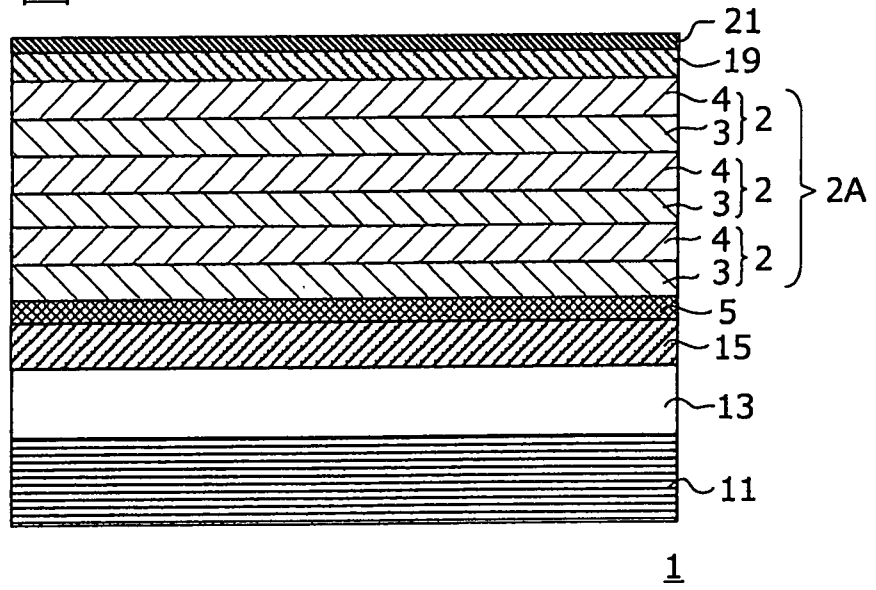


圖 4

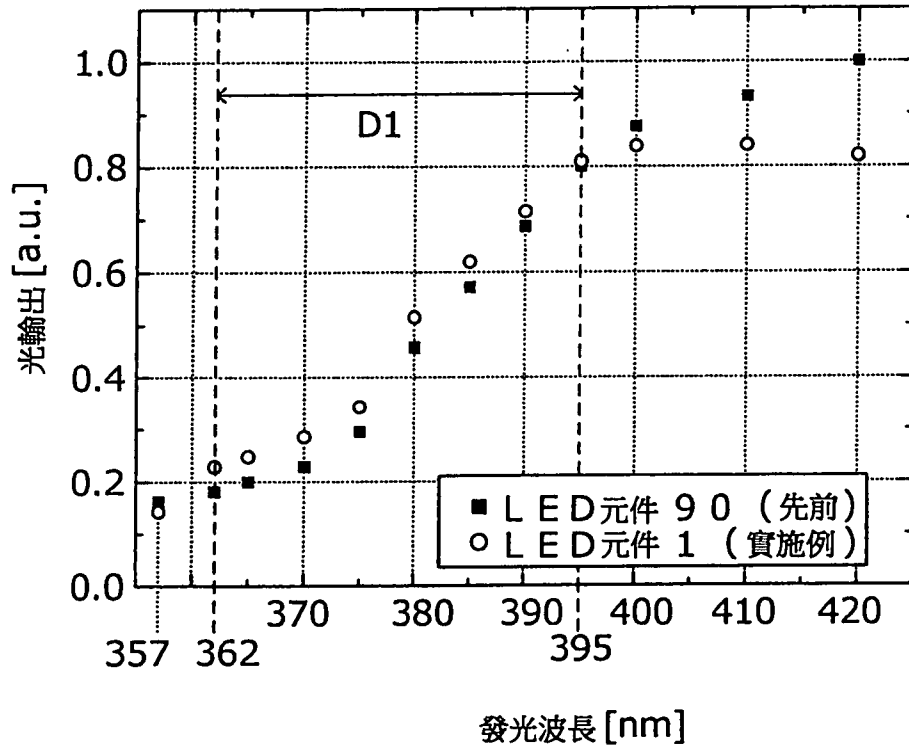


圖 5A

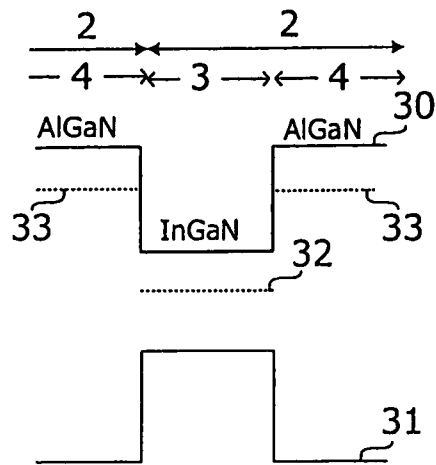


圖 5B

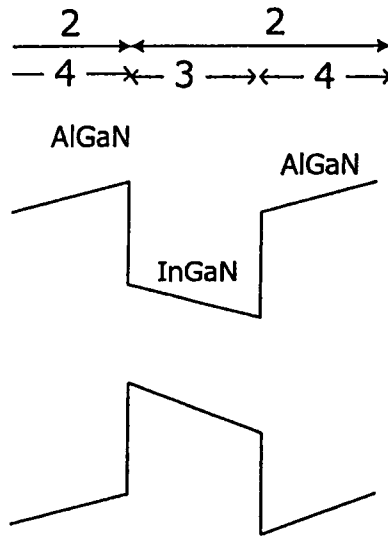


圖 5C

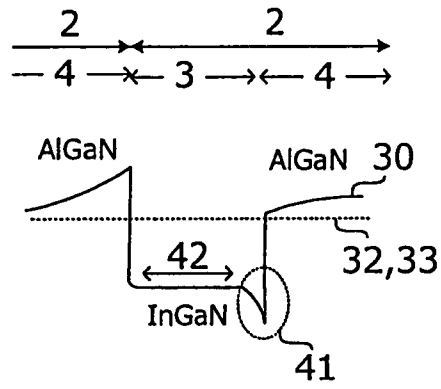


圖 5D

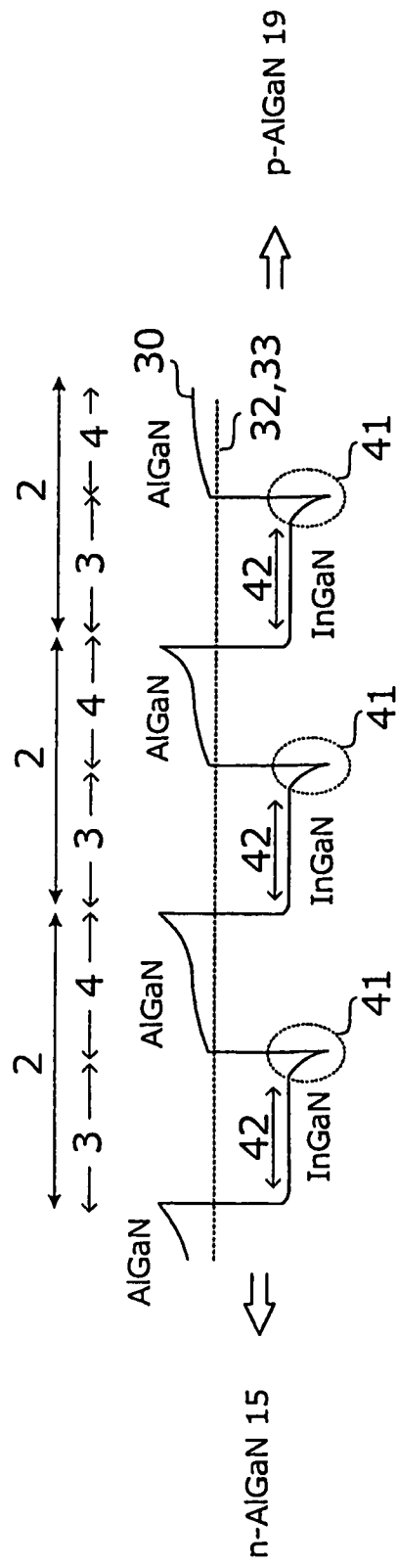


圖 6

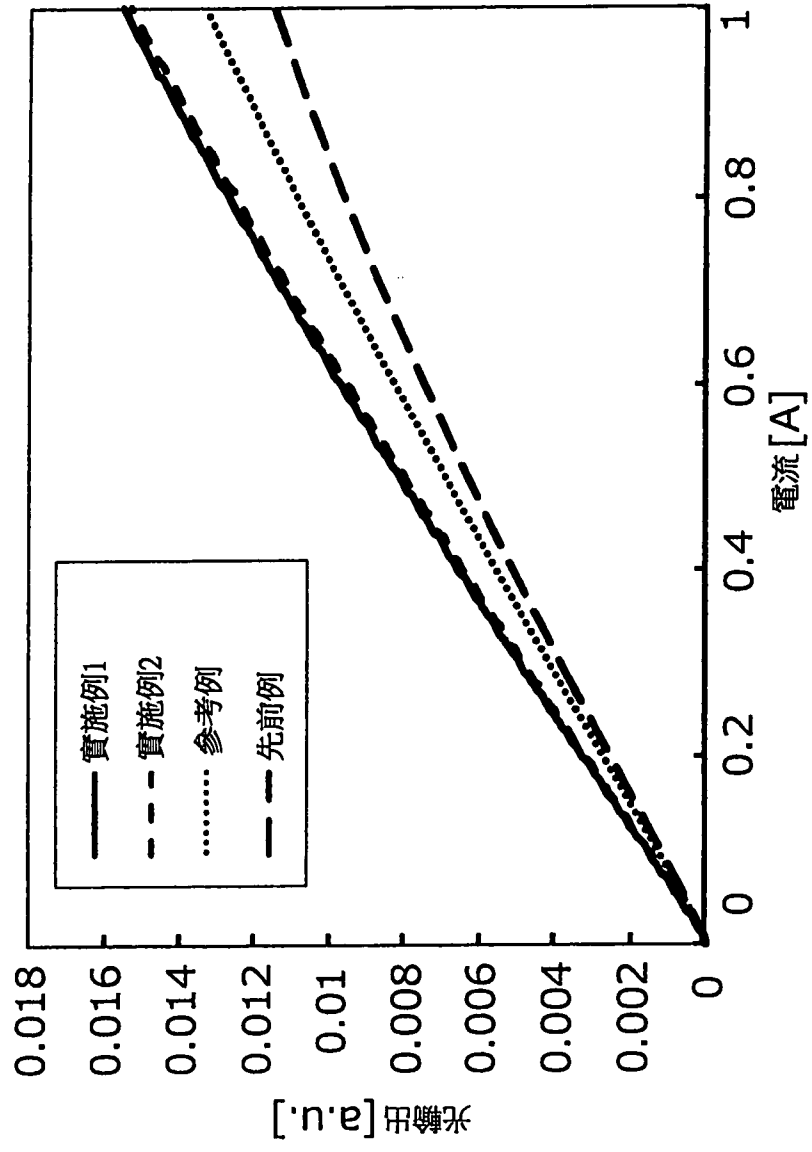


圖 7

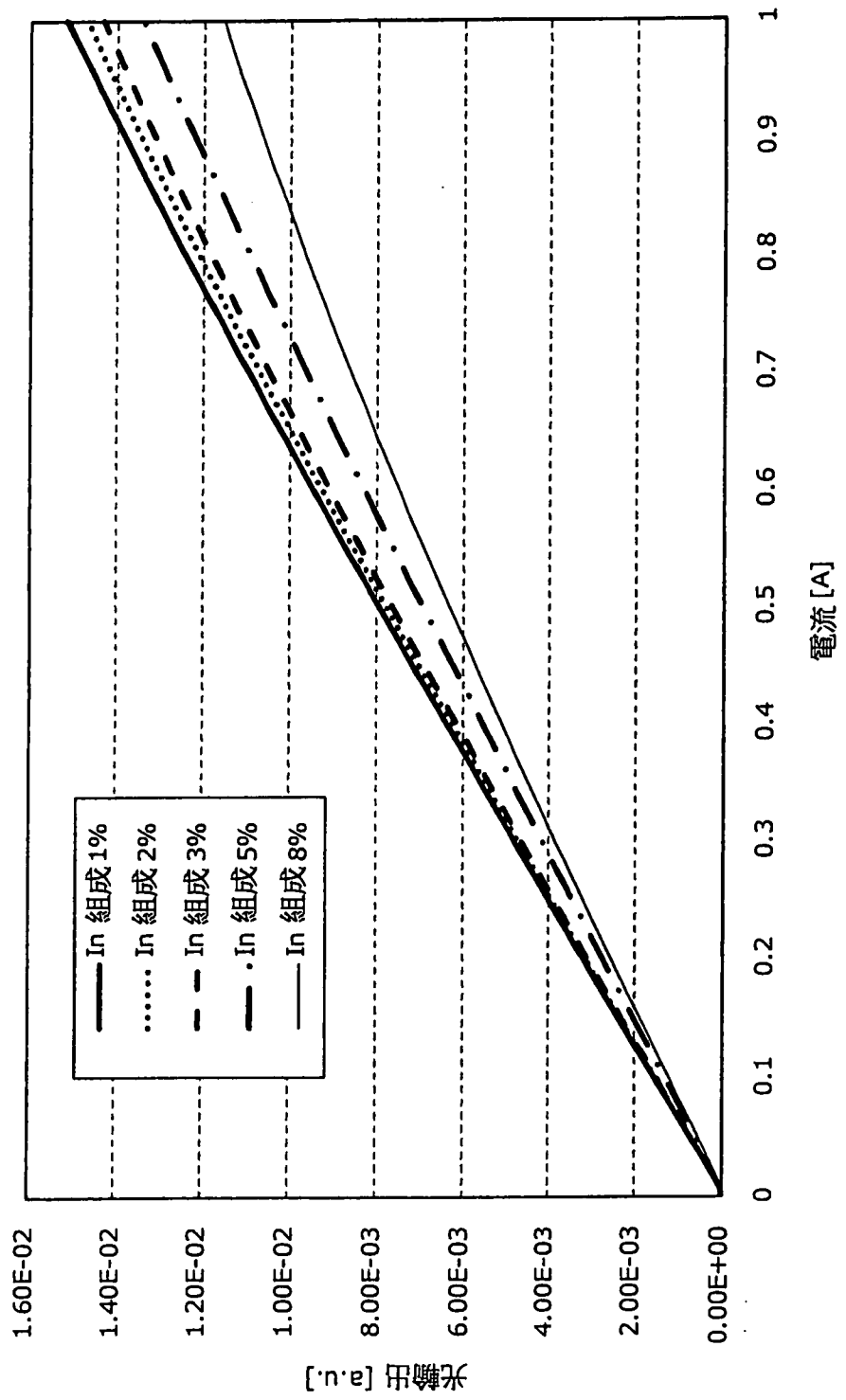


圖 8

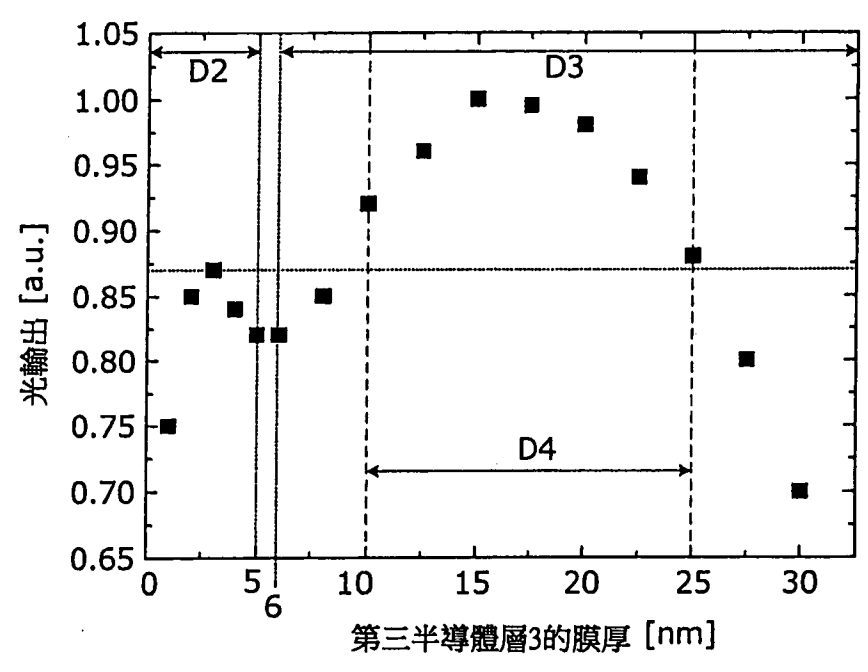


圖 9

LED 元件	產率 [%]
先前例	65
參考例	75
實施例1	85
實施例2	83

圖 10

