

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-5259

(P2020-5259A)

(43) 公開日 令和2年1月9日(2020.1.9)

(51) Int.Cl.	F I	テーマコード (参考)
H03B 5/02 (2006.01)	H03B 5/02 C	5J056
H03K 19/0175 (2006.01)	H03K 19/0175 220	5J081
H03K 19/0185 (2006.01)	H03K 19/0185	
H03K 19/094 (2006.01)	H03K 19/094	

審査請求 有 請求項の数 4 O L (全 23 頁)

(21) 出願番号	特願2019-133009 (P2019-133009)	(71) 出願人	000003078
(22) 出願日	令和1年7月18日 (2019.7.18)		株式会社東芝
(62) 分割の表示	特願2016-176683 (P2016-176683) の分割	(71) 出願人	317011920
原出願日	平成28年9月9日 (2016.9.9)		東芝デバイス&ストレージ株式会社
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100091982
			弁理士 永井 浩之
		(74) 代理人	100091487
			弁理士 中村 行孝
		(74) 代理人	100105153
			弁理士 朝倉 悟
		(74) 代理人	100107582
			弁理士 関根 毅

最終頁に続く

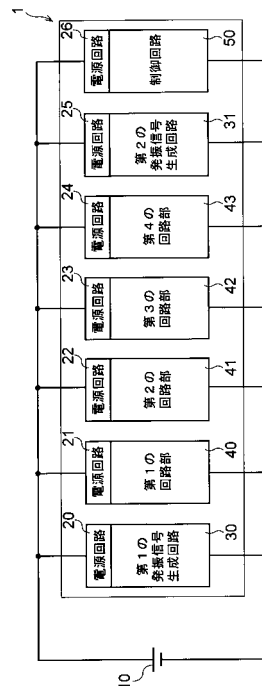
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】周波数の異なる発振信号間におけるクロストークの影響を抑制する。

【解決手段】半導体装置1は、少なくとも第1の電源系統から電力が供給される第1の回路部と、第1の電源系統とは異なる第2の電源系統から電力が供給される第2の回路部とを備える。第1の回路部は、第1の電源系統から電力が供給され、且つ、第1の発振信号生成回路により生成された第1の発振信号が入力される第1のバッファを備える。第1のバッファは、第1の制御信号に基づいて、第2の回路部に1の発振信号を出力するか否かを制御する。第2のバッファは、第2の電源系統から電力が供給され、第2の発振信号生成回路により生成された第2の発振信号が2の回路部から入力される。第2のバッファは、第2の制御信号に基づいて、入力された第2の発振信号を、第1の電源系統から電力が供給される第1の処理部に出力するか否かを制御する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 の電源系統から電力が供給される第 1 の回路部であって、第 1 のバッファと第 2 のバッファと第 1 の処理部とを有する、第 1 の回路部と、

前記第 1 の電源系統とは異なる第 2 の電源系統から電力が供給される第 2 の回路部であって、第 3 のバッファを有する第 2 の回路部と、

前記第 1 の電源系統から電力が供給される、第 1 の発振信号生成回路と、

前記第 2 の電源系統から電力が供給される、第 2 の発振信号生成回路と、

を備えており、

前記第 1 のバッファには、前記第 1 の発振信号生成回路により生成された第 1 の発振信号が入力され、

前記第 2 のバッファには、前記第 2 の発振信号生成回路により生成された第 2 の発振信号が、前記第 3 のバッファを介して入力され、

前記第 1 のバッファが前記入力された第 1 の発振信号を前記第 1 の処理部に出力するかどうか、又は、前記第 2 のバッファが前記入力された第 2 の発振信号を前記第 1 の処理部に出力するかどうかのいずれかが制御可能である、ことを特徴とする半導体装置。

【請求項 2】

前記第 2 の回路部は、第 4 のバッファと第 2 の処理部とをさらに有しており、

前記第 4 のバッファには、前記第 1 のバッファを介して、前記第 1 の発振信号が入力され、

前記第 4 のバッファが前記入力された第 1 の発振信号を前記第 2 の処理部に出力するかどうかを制御可能である、ことを特徴とする請求項 1 に記載の半導体装置

【請求項 3】

前記第 1 の発振信号が入力される、第 5 のバッファをさらに備えており、

前記第 5 のバッファが、入力された前記第 1 の発振信号を、前記第 1 の処理部及び前記第 1 のバッファに出力するかどうかを制御可能である、請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】

前記第 5 のバッファは、前記第 1 の回路部に設けられており、前記第 1 の電源系統から電力が供給される、請求項 3 に記載の半導体装置。

【請求項 5】

前記第 1 の発振信号生成回路は、前記第 1 の発振信号と前記第 2 の発振信号を生成可能であり、

当該半導体装置は、

前記第 1 の発振信号生成回路が生成した前記第 1 の発振信号と前記第 2 の発振信号のうちいずれか一方を出力する、第 1 の選択回路を、

さらに備えることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 6】

前記第 2 の発振信号生成回路も、前記第 1 の発振信号と前記第 2 の発振信号を生成可能であり、

当該半導体装置は、

前記第 2 の発振信号生成回路が生成した前記第 1 の発振信号と前記第 2 の発振信号のうちいずれか一方を出力する、第 2 の選択回路と、

前記第 1 及び第 2 の電源系統とは異なる第 3 の電源系統から電力が供給される第 3 の回路部と、

前記第 1 乃至第 3 の電源系統とは異なる第 4 の電源系統から電力が供給される第 4 の回路部と、

をさらに備えており、

前記第 4 の回路部は、

前記第 4 の電源系統から電力が供給され、且つ、前記第 2 の選択回路から出力された前

10

20

30

40

50

記第 1 の発振信号又は前記第 2 の発振信号が入力される第 6 のバッファであって、非選択的に、前記第 3 の回路部に前記 2 の発振信号を出力する第 6 のバッファを、

備える請求項 5 に記載の半導体装置。

【請求項 7】

前記第 3 の回路部は、

前記第 3 の電源系統から電力が供給され、且つ、前記第 6 のバッファから出力された前記第 1 の発振信号又は前記第 2 の発振信号が入力される第 7 のバッファであって、入力された前記 1 の発振信号又は前記第 2 の発振信号を前記第 2 の回路部に出力するか否かを制御可能な第 7 のバッファを、

備える請求項 6 に記載の半導体装置。

10

【請求項 8】

前記第 3 の回路部と前記第 4 の回路部には、前記第 1 の発振信号生成回路で生成された前記第 1 の発振信号も前記第 2 の発振信号も入力されない、請求項 7 に記載の半導体装置。

【請求項 9】

前記第 1 の選択回路には、前記第 1 の発振信号生成回路と同じ電源系統から電力が供給され、

前記第 2 の選択回路には、前記第 2 の発振信号生成回路と同じ電源系統から電力が供給される、請求項 6 乃至請求項 8 のいずれかに記載の半導体装置。

【請求項 10】

前記第 1 のバッファと前記第 3 のバッファとの間の伝送路と、前記第 2 のバッファと前記第 4 のバッファとの間の伝送路は、共通化されている、請求項 2 に記載の半導体装置。

20

【請求項 11】

前記第 1 のバッファと前記第 3 のバッファの間には第 1 の伝送路が設けられており、前記第 2 のバッファと前記第 4 のバッファの間には前記第 1 の伝送路とは別個に第 2 の伝送路が設けられている、請求項 2 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

30

【背景技術】

【0002】

無線通信において、送信側と受信側の双方で複数のチャネルを用いて通信を行うための規格として MIMO (Multiple Input and Multiple Output) が提唱されている。さらに、MIMO を部分的にマルチユーザ化したマルチユーザ MIMO の実用化に向けた研究開発も盛んに行われている。

【0003】

このような通信環境を実現するためには、1 つの半導体装置内において、送信器や受信器で必要となる I Q 変調信号を発生する I Q 信号発生器に、周波数が近接している 2 つの発振信号を供給する必要がある。しかし、周波数の近接している 2 つの発振信号の伝送路を並走させると、伝送路間におけるクロストークの問題が生じる。

40

【0004】

また、複数設けられた I Q 信号発生器に、2 つの発振信号を切り替えて供給するために切替スイッチを設ける必要があるが、この切替スイッチにおいても、近接する切替スイッチの間でクロストークの問題が生じる。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特許第 4 6 2 7 0 3 3 号

【発明の概要】

50

【発明が解決しようとする課題】

【0006】

本実施形態の目的は、周波数の異なる発振信号間におけるクロストークの影響を抑制した半導体装置を提供することにある。

【課題を解決するための手段】

【0007】

本実施形態に係る半導体装置は、第1の電源系統から電力が供給される第1の回路部と、第1の電源系統とは異なる第2の電源系統から電力が供給される第2の回路部とを少なくとも備える。第1の回路部は、第1の電源系統から電力が供給され、且つ、第1の発振信号生成回路により生成された第1の発振信号が入力される第1のバッファであって、第1の制御信号に基づいて、第2の回路部に1の発振信号を出力するか否かを制御可能な第1のバッファと、第2の電源系統から電力が供給され、且つ、第2の発振信号生成回路により生成された第2の発振信号が2の回路部から入力される第2のバッファであって、第2の制御信号に基づいて、入力された第2の発振信号を、第1の電源系統から電力が供給される第1の処理部に出力するか否かを制御可能な第2のバッファとを備える。

10

【図面の簡単な説明】

【0008】

【図1】第1実施形態に係る半導体装置における電源系統のレイアウト図である。

【図2】第1実施形態に係る半導体装置における回路構成の一部を説明する回路図とブロック図である。

20

【図3】第2の発振信号生成回路により生成された第2の発振信号を、第1乃至第4の回路部に供給する場合の回路状態を説明するための図である。

【図4】第1の発振信号生成回路により生成された第1の発振信号を、第1の回路部に供給し、第2の発振信号生成回路により生成された第2の発振信号を、第2乃至第4の回路部に供給する場合の回路状態を説明するための図である。

【図5】第1の発振信号生成回路により生成された第1の発振信号を、第1乃至第2の回路部に供給し、第2の発振信号生成回路により生成された第2の発振信号を、第3乃至第4の回路部に供給する場合の回路状態を説明するための図である。

【図6】第1の発振信号生成回路により生成された第1の発振信号を、第1乃至第3の回路部に供給し、第2の発振信号生成回路により生成された第2の発振信号を、第4の回路部に供給する場合の回路状態を説明するための図である。

30

【図7】第1の発振信号生成回路により生成された第1の発振信号を、第1乃至第4の回路部に供給する場合の回路状態を説明するための図である。

【図8】制御信号に基づいて、入力された信号を出力するか否かを個別に制御可能なバッファの具体的な回路構成の一例を示す図である。

【図9】第1実施形態に係る半導体装置を機能的に説明するためのブロック回路図である。

【図10】第1実施形態に係る半導体装置の変形例を示す図であり、図2に対応する図である。

【図11】第1実施形態に係る半導体装置の別の変形例を示す図であり、図2に対応する図である。

40

【図12】第2実施形態に係る半導体装置における回路構成の一部を説明する回路図とブロック図である。

【図13】第1の発振信号を第1乃至第4の回路部に供給する場合、又は、第2の発振信号を第1乃至第4の回路部に供給する場合における、回路状態を説明するための図である。

【図14】第1の発振信号を第1の回路部に供給し、且つ、第2の発振信号を第2乃至第4の回路部に供給する場合、又は、第2の発振信号を第1の回路部に供給し、第1の発振信号を第2乃至第4の回路部に供給する場合における、回路状態を説明するための図である。

50

【図 1 5】第 1 の発振信号を第 1 乃至第 2 の回路部に供給し、且つ、第 2 の発振信号を第 3 乃至第 4 の回路部に供給する場合、又は、第 2 の発振信号を第 1 乃至第 2 の回路部に供給し、第 1 の発振信号を第 3 乃至第 4 の回路部に供給する場合における、回路状態を説明するための図である。

【図 1 6】第 2 実施形態に係る半導体装置の変形例を示す図であり、図 1 2 に対応する図である。

【図 1 7】第 2 実施形態に係る半導体装置の別の変形例を示す図であり、図 1 2 に対応する図である。

【発明を実施するための形態】

【0009】

以下、図面を参照しながら、実施形態に係る半導体装置を説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行うこととする。

【0010】

〔第 1 実施形態〕

第 1 実施形態に係る半導体装置は、電源系統の異なる複数の回路部を設け、各回路部に、隣接する回路部に発振信号を出力するバッファと、隣接する回路部から発振信号が入力されるバッファを設け、これらのバッファを各回路部の電源系統で動作させることにより、異なる発振信号間のクロストークを抑制せんとしたものである。より詳しくを、以下に説明する。

【0011】

図 1 は、本実施形態に係る半導体装置 1 における電源系統のレイアウト図である。この図 1 に示すように、本実施形態に係る半導体装置 1 は、複数の電源系統を有している。具体的には、電源 10 から電力の供給を受ける、電源回路 20 ~ 26 と、電源回路 20 から電力の供給を受ける第 1 の発振信号生成回路 30 と、電源回路 21 ~ 24 から、それぞれ電力の供給を受ける第 1 乃至第 4 の回路部 40 ~ 43 と、電源回路 25 から電力の供給を受ける第 2 の発振信号生成回路 31 と、電源回路 26 から電力の供給を受ける制御回路 50 とを備えて構成されている。

【0012】

電源 10 は、半導体装置 1 の外部に設けられた電力供給源であり、例えば、アルカリマンガン乾電池等の一次電池、リチウムイオン電池等の二次電池、直流変換をした家庭用電源等により構成される。

【0013】

電源回路 20 ~ 26 は、電源 10 から供給された電力を安定化させ、また必要に応じて電圧変換等を行い、第 1 及び第 2 の発振信号生成回路 30、31、第 1 乃至第 4 の回路部 40 ~ 43、制御回路 50 にそれぞれ供給する電源系統を形成する。また、電源回路 20 ~ 26 は、異なる電源系統に設けられた各回路で発生する信号の影響が相互に及ばないように遮断する役割を有している。例えば、第 1 の回路部 40 の動作に起因して、電源回路 21 の電源系統の電圧にふらつきが生じた場合でも、他の電源回路の電源系統の電圧にはその影響が及ばないように構成されている。

【0014】

第 1 及び第 2 の発振信号生成回路 30、31 は、第 1 乃至第 4 の回路部 40 ~ 43 で使用される発振信号を生成する。具体的には、第 1 の発振信号生成回路 30 は、第 1 の周波数の第 1 の発振信号を生成し、第 1 乃至第 4 の回路部 40 ~ 43 に供給する。第 2 の発振信号生成回路 31 は、第 1 の周波数とは異なる第 2 の周波数の第 2 の発振信号を生成し、第 1 乃至第 4 の回路部 40 ~ 43 に供給する。

【0015】

制御回路 50 は、半導体装置 1 内で行われる種々の動作の全体的な制御を行う。本実施形態においては、特に、第 1 及び第 2 の発振信号生成回路 30、31 の制御を行うための制御信号を生成し、また、第 1 乃至第 4 の回路部 40 ~ 43 の制御を行うための制御信号

10

20

30

40

50

を生成する。

【0016】

半導体装置1が通信用に用いられる場合、このように電源系統を複数設けて、異なる系統の間で信号の干渉を低減することが一般的に行われている。なお電源系統の数は、半導体装置1の仕様や通信規格等に応じて様々である。

【0017】

図2は、本実施形態に係る半導体装置1における回路構成の一部を説明する回路図とブロック図である。

【0018】

この図2に示すように、第1の発振信号生成回路30は第1の周波数の第1の発振信号を生成して、第1の回路部40に出力する。本実施形態においては、例えば、第1の周波数は2GHzであり、2GHzの発振信号が第1の回路部40に入力される。

【0019】

一方、第2の発振信号生成回路31は第2の周波数の第2の発振信号を生成して、第4の回路部43に出力する。本実施形態においては、例えば、第2の周波数は5GHzであり、5GHzの発振信号が第4の回路部43に入力される。なお、2GHz、5GHzは、第1の周波数と第2の周波数に関する単なる例示であり、例えば、第1の周波数が5.50GHzであり、第2の周波数が5.52GHzのように、第1の発振信号の第1の周波数と第2の発振信号の第2の周波数が、さらに近接している場合も本実施形態においては想定範囲である。

【0020】

第1の回路部40は、IQ信号発生器60と、送信器70と、受信器80とを備えている。IQ信号発生器60は、変調及び復調に用いる、同相成分であるI信号と直交位相成分であるQ信号とを生成する回路である。

【0021】

送信器70は、IQ信号発生器60で生成されたI信号とQ信号とを用いて、送信信号を直交変調して送信波を生成する回路である。生成された送信波は、図示しないアンテナ等から出力される。

【0022】

受信器80は、アンテナ等を介して受信された受信波を、IQ信号発生器60で生成されたI信号とQ信号とを用いて直交復調して、受信信号を生成する回路である。生成された受信信号は、半導体装置1において種々の処理に用いられる。

【0023】

これらIQ信号発生器60と送信器70と受信器80は、本実施形態における第1の回路部40の第1の処理部の一例であり、電源回路21の電源系統から供給された電力により動作する。また、第1の回路部40は、IQ信号発生器60と送信器70と受信器80以外にも、他の処理を行う回路を第1の処理部として備えていてもよい。

【0024】

この第1の回路部40と同様に、第2の回路部41は第2の処理部としてIQ信号発生器61と送信器71と受信器81とを備えており、第3の回路部42は第3の処理部としてIQ信号発生器62と送信器72と受信器82とを備えており、第4の回路部43は第4の処理部としてIQ信号発生器63と送信器73と受信器83とを備えている。

【0025】

さらに、第1の回路部40は、上記のIQ信号発生器60と送信器70と受信器80に加えて、キャパシタ90aと、バッファ90bと、キャパシタ90cと、バッファ90dと、キャパシタ90eと、バッファ90fと、キャパシタ90gと、キャパシタ90hと、バッファ90iとを備えている。

【0026】

第1の発振信号生成回路30における第1の発振信号の出力は、キャパシタ90aを介して、バッファ90bに接続されている。このため、バッファ90bには、第1の発振信

10

20

30

40

50

号生成回路30から、第1の周波数の第1の発振信号が入力される。ここで、本実施形態において「入力される」とは、信号が他の素子等を介して間接的に入力される場合と、信号が他の素子等を介さずに直接的に入力される場合の双方を含む意味で用いる。

【0027】

バッファ90bの出力は、キャパシタ90cを介してバッファ90dの入力に接続されており、また、キャパシタ90hを介して、バッファ90iの入力に接続されている。さらに、バッファ90fの出力も、キャパシタ90gを介して、バッファ90iの入力に接続されている。そして、バッファ90iの出力はIQ信号発生器60に入力されている。

【0028】

バッファ90b、90d、90fは、それぞれ、制御信号に基づいて、入力された信号を出力するか否かを個別に制御可能なバッファである。これらの制御信号は、図1に示した制御回路50で個別に生成され、それぞれ、バッファ90b、90d、90fに入力される。すなわち、入力された信号を出力する指示の制御信号が入力されているバッファ90b、90d、90fについては、入力された発振信号をバッファリングして出力する。一方、入力された信号を出力しない指示の制御信号が入力されているバッファ90b、90d、90fについては、入力された制御信号は出力しない。

10

【0029】

バッファ90iは、別個の制御信号に基づいて、入力された信号を出力するか否かを個別に制御可能なバッファである必要はない。すなわち、入力された信号を、非選択的に、出力するバッファで足りる。但し、バッファ90b、90d、90fと同様に、バッファ90iを、別個の制御信号に基づいて、入力された信号を出力するか否かを個別に制御可能なバッファで構成してもよい。この場合、バッファ90iには、動作中は定常的に、入力された信号を出力する指示の制御信号が入力されていることとなる。

20

【0030】

なお、バッファ90b、90d、90f、90iは、IQ信号発生器60と送信器70と受信器80と同様に、電源回路21の電源系統である第1の電源系統から供給された電力により動作する。

【0031】

第2の回路部41も、上述したIQ信号発生器61と送信器71と受信器81に加えて、キャパシタ91aと、バッファ91bと、キャパシタ91cと、バッファ91dと、キャパシタ91eと、バッファ91fと、キャパシタ91gと、キャパシタ91hと、バッファ91iと、キャパシタ91jと、バッファ91kとを備えている。

30

【0032】

第2の回路部41におけるキャパシタ91aとバッファ91bとキャパシタ91cとバッファ91dとキャパシタ91eとバッファ91fとキャパシタ91gとキャパシタ91hとバッファ91iは、上述した第1の回路部40におけるキャパシタ90aとバッファ90bとキャパシタ90cとバッファ90dとキャパシタ90eとバッファ90fとキャパシタ90gとキャパシタ90hとバッファ90iに、それぞれ、対応している。

【0033】

そしてさらに、バッファ91fの出力は、キャパシタ91gを介してバッファ91iの入力に接続されているのに加えて、キャパシタ91jを介して、バッファ91kの入力に接続されている。バッファ91kは、バッファ91b、91d、91fと同様に、制御信号に基づいて、入力された信号を出力するか否かを個別に制御可能なバッファである。

40

【0034】

第1の回路部40のバッファ90dの出力と、第1の回路部40のキャパシタ90eを介したバッファ90fの入力と、第2の回路部41のキャパシタ91aを介したバッファ91bの入力と、第2の回路部41のバッファ91kの出力とは、共通に接続されている。すなわち、バッファ90dとバッファ91bとの間の伝送路と、バッファ91kとバッファ90fとの間の伝送路は、共通化されて1本になっている。ここで、第1の回路部40と第2の回路部41との間で遣り取りする発振信号が単相信号の場合には、1本の伝送

50

路における物理的な信号配線は1本であるが、第1の回路部40と第2の回路部41との間で遣り取りする発振信号が差動信号の場合には、1本の伝送路における物理的な信号配線は2本である。

【0035】

なお、バッファ91b、91d、91f、91k、91iは、IQ信号発生器61と送信器71と受信器81と同様に、電源回路22の電源系統である第2の電源系統から供給された電力により動作する。

【0036】

第3の回路部42は、第2の回路部41と同様の構成であり、上述したIQ信号発生器62と送信器72と受信器82に加えて、キャパシタ92aと、バッファ92bと、キャパシタ92cと、バッファ92dと、キャパシタ92eと、バッファ92fと、キャパシタ92gと、キャパシタ92hと、バッファ92iと、キャパシタ92jと、バッファ92kとを備えている。

10

【0037】

第3の回路部42におけるキャパシタ92aとバッファ92bとキャパシタ92cとバッファ92dとキャパシタ92eとバッファ92fとキャパシタ92gとキャパシタ92hとバッファ92iとキャパシタ92jとバッファ92kは、上述した第2の回路部41におけるキャパシタ91aとバッファ91bとキャパシタ91cとバッファ91dとキャパシタ91eとバッファ91fとキャパシタ91gとキャパシタ91hとバッファ91iとキャパシタ91jとバッファ91kに、それぞれ、対応している。

20

【0038】

また、第2の回路部41のバッファ91dの出力と、第2の回路部41のキャパシタ91eを介したバッファ91fの入力と、第3の回路部42のキャパシタ92aを介したバッファ92bの入力と、第3の回路部42のバッファ92kの出力とは、共通に接続されている。すなわち、バッファ91dとバッファ92bとの間の伝送路と、バッファ92kとバッファ91fとの間の伝送路は、共通化されて1本になっている。

【0039】

なお、バッファ92b、92d、92f、92k、92iは、IQ信号発生器62と送信器72と受信器82と同様に、電源回路23の電源系統である第3の電源系統から供給された電力により動作する。

30

【0040】

第4の回路部43は、上述したIQ信号発生器63と送信器73と受信器83に加えて、キャパシタ93aと、バッファ93bと、キャパシタ93eと、バッファ93fと、キャパシタ93gと、キャパシタ93hと、バッファ93iと、キャパシタ93jと、バッファ93kとを備えている。

【0041】

第4の回路部43におけるキャパシタ93aとバッファ93bとキャパシタ93eとバッファ93fとキャパシタ93gとキャパシタ93hとバッファ93iとキャパシタ93jとバッファ93kは、上述した第3の回路部42におけるキャパシタ92aとバッファ92bとキャパシタ92eとバッファ92fとキャパシタ92gとキャパシタ92hとバッファ92iとキャパシタ92jとバッファ92kに、それぞれ、対応している。

40

【0042】

但し、第2の発振信号生成回路31における第2の発振信号の出力が、キャパシタ93eを介して、バッファ93fの入力に接続されている。このため、バッファ93fには、第2の発振信号生成回路31から、第2の周波数の第2の発振信号が入力される。

【0043】

また、第3の回路部42のバッファ92dの出力と、第3の回路部42のキャパシタ92eを介したバッファ92fの入力と、第4の回路部43のキャパシタ93aを介したバッファ93bの入力と、第4の回路部43のバッファ93kの出力とは、共通に接続されている。すなわち、バッファ92dとバッファ93bとの間の伝送路と、バッファ93k

50

とバッファ 9 2 f との間の伝送路は、共通化されて 1 本になっている。

【 0 0 4 4 】

なお、バッファ 9 3 b、9 3 f、9 3 k、9 3 i は、I Q 信号発生器 6 3 と送信器 7 3 と受信器 8 3 と同様に、電源回路 2 4 の電源系統である第 4 の電源系統から供給された電力により動作する。

【 0 0 4 5 】

なお、各バッファの入力にはキャパシタが接続されているが、これは、キャパシタにより、信号の直流成分を遮断するために設けられている。すなわち、第 1 の発振信号及び第 2 の発振信号の直流成分は、各キャパシタにより遮断される。

【 0 0 4 6 】

以上が本実施形態に係る半導体装置 1 の回路構成であるが、次に、この半導体装置 1 の動作について説明する。

【 0 0 4 7 】

図 3 は、第 2 の発振信号生成回路 3 1 により生成された第 2 の発振信号を、第 1 乃至第 4 の回路部 4 0 ~ 4 3 に供給する場合の回路状態を説明するための図である。本実施形態においては、この状態を第 1 のモードと言うこととする。

【 0 0 4 8 】

この図 3 に示すように、第 1 のモードにおいては、バッファ 9 0 b、9 0 d、9 1 b、9 1 d、9 2 b、9 2 d、9 3 d に、入力された信号を出力しない指示の制御信号が入力されており、バッファ 9 0 f、9 1 k、9 1 f、9 2 k、9 2 f、9 3 k、9 3 f に、入力された信号を出力する指示の制御信号が入力されている。

【 0 0 4 9 】

このため、第 1 の発振信号生成回路 3 0 で生成された第 1 の発振信号は、バッファ 9 0 b で遮断され、第 1 乃至第 4 の回路部 4 0 ~ 4 3 のいずれにも供給されない。一方、第 2 の発振信号生成回路 3 1 で生成された第 2 の発振信号は、バッファ 9 3 f、9 3 k、9 2 f、9 2 k、9 1 f、9 1 k、9 0 f を順に經由して、第 1 乃至第 4 の回路部 4 0 ~ 4 3 の I Q 信号発生器 6 0 ~ 6 3 に供給される。

【 0 0 5 0 】

図 4 は、第 1 の発振信号生成回路 3 0 により生成された第 1 の発振信号を、第 1 の回路部 4 0 に供給し、第 2 の発振信号生成回路 3 1 により生成された第 2 の発振信号を、第 2 乃至第 4 の回路部 4 1 ~ 4 3 に供給する場合の回路状態を説明するための図である。本実施形態においては、この状態を第 2 のモードと言うこととする。

【 0 0 5 1 】

この図 4 に示すように、第 2 のモードにおいては、バッファ 9 0 d、9 0 f、9 1 b、9 1 d、9 1 k、9 2 b、9 2 d、9 3 d に、入力された信号を出力しない指示の制御信号が入力されており、バッファ 9 0 b、9 1 f、9 2 k、9 2 f、9 3 k、9 3 f に、入力された信号を出力する指示の制御信号が入力されている。

【 0 0 5 2 】

このため、第 1 の発振信号生成回路 3 0 で生成された第 1 の発振信号は、第 1 の回路部 4 0 の I Q 信号発生器 6 0 に供給されるが、バッファ 9 0 d で遮断される。一方、第 2 の発振信号生成回路 3 1 で生成された第 2 の発振信号は、バッファ 9 3 f、9 3 k、9 2 f、9 2 k、9 1 f を順に經由して、第 2 乃至第 4 の回路部 4 1 ~ 4 3 の I Q 信号発生器 6 1 ~ 6 3 に供給されるが、バッファ 9 1 k で遮断される。

【 0 0 5 3 】

このとき、領域 A 1 にあるバッファ 9 0 d、9 0 f、9 1 b、9 1 k は、いずれも、入力された信号を出力しない不活性な状態にある。つまり、第 1 の回路部 4 0 と第 2 の回路部 4 1 との間は、電源系統が異なるバッファ 9 0 d とバッファ 9 1 b の 2 つのバッファで分離され、また、電源系統が異なるバッファ 9 0 f とバッファ 9 1 k の 2 つのバッファで分離されることとなる。このため、第 1 の発振信号と第 2 の発振信号との間のアイソレーションを高く確保することができ、クロストークの発生が抑制される。

10

20

30

40

50

【 0 0 5 4 】

図5は、第1の発振信号生成回路30により生成された第1の発振信号を、第1乃至第2の回路部40～41に供給し、第2の発振信号生成回路31により生成された第2の発振信号を、第3乃至第4の回路部42～43に供給する場合の回路状態を説明するための図である。本実施形態においては、この状態を第3のモードとすることとする。

【 0 0 5 5 】

この図5に示すように、第3のモードにおいては、バッファ90f、91d、91f、91k、92b、92d、92k、93bに、入力された信号を出力しない指示の制御信号が入力されており、バッファ90b、90d、91b、92f、93k、93fに、入力された信号を出力する指示の制御信号が入力されている。

10

【 0 0 5 6 】

このため、第1の発振信号生成回路30で生成された第1の発振信号は、第1及び第2の回路部40～41のIQ信号発生器60～61に供給されるが、バッファ91dで遮断される。一方、第2の発振信号生成回路31で生成された第2の発振信号は、バッファ93f、93k、92fを順に經由して、第3乃至第4の回路部42～43のIQ信号発生器62～63に供給されるが、バッファ92kで遮断される。

【 0 0 5 7 】

このとき、領域A2にあるバッファ91d、91f、92b、92kは、いずれも、入力された信号を出力しない不活性な状態にある。つまり、第2の回路部41と第3の回路部42との間は、電源系統が異なるバッファ91dとバッファ92bの2つのバッファで分離され、また、電源系統が異なるバッファ91fとバッファ92kの2つのバッファで分離されることとなる。このため、第1の発振信号と第2の発振信号との間のアイソレーションを高く確保することができ、クロストークの発生が抑制される。

20

【 0 0 5 8 】

図6は、第1の発振信号生成回路30により生成された第1の発振信号を、第1乃至第3の回路部40～42に供給し、第2の発振信号生成回路31により生成された第2の発振信号を、第4の回路部43に供給する場合の回路状態を説明するための図である。本実施形態においては、この状態を第4のモードとすることとする。

【 0 0 5 9 】

この図6に示すように、第4のモードにおいては、バッファ90f、91f、91k、92d、92f、92k、93b、93kに、入力された信号を出力しない指示の制御信号が入力されており、バッファ90b、90d、91b、91d、92b、93fに、入力された信号を出力する指示の制御信号が入力されている。

30

【 0 0 6 0 】

このため、第1の発振信号生成回路30で生成された第1の発振信号は、第1乃至第3の回路部40～42のIQ信号発生器60～62に供給されるが、バッファ92dで遮断される。一方、第2の発振信号生成回路31で生成された第2の発振信号は、バッファ93fを經由して、第4の回路部43のIQ信号発生器63に供給されるが、バッファ93kで遮断される。

【 0 0 6 1 】

このとき、領域A3にあるバッファ92d、92f、93b、93kは、いずれも、入力された信号を出力しない不活性な状態にある。つまり、第3の回路部42と第4の回路部43との間は、電源系統が異なるバッファ92dとバッファ93bの2つのバッファで分離され、また、電源系統が異なるバッファ92fとバッファ93kの2つのバッファで分離されることとなる。このため、第1の発振信号と第2の発振信号との間のアイソレーションを高く確保することができ、クロストークの発生が抑制される。

40

【 0 0 6 2 】

図7は、第1の発振信号生成回路30により生成された第1の発振信号を、第1乃至第4の回路部40～43に供給する場合の回路状態を説明するための図である。本実施形態においては、この状態を第5のモードとすることとする。

50

【 0 0 6 3 】

この図 7 に示すように、第 5 のモードにおいては、バッファ 9 0 f、9 1 f、9 1 k、9 2 f、9 2 k、9 3 f、9 3 k に、入力された信号を出力しない指示の制御信号が入力されており、バッファ 9 0 b、9 0 d、9 1 b、9 1 d、9 2 b、9 2 d、9 3 b に、入力された信号を出力する指示の制御信号が入力されている。

【 0 0 6 4 】

このため、第 1 の発振信号生成回路 3 0 で生成された第 1 の発振信号は、第 1 乃至第 4 の回路部 4 0 ~ 4 3 の I Q 信号発生器 6 0 ~ 6 3 に供給される。一方、第 2 の発振信号生成回路 3 1 で生成された第 2 の発振信号は、バッファ 9 3 f で遮断され、第 1 乃至第 4 の回路部 4 0 ~ 4 3 のいずれにも供給されない。

10

【 0 0 6 5 】

次に、図 8 に基づいて、入力された信号を出力するか否かを個別に制御可能なバッファの回路構成について説明する。図 8 は、制御信号に基づいて、入力された信号を出力するか否かを個別に制御可能なバッファの具体的な回路構成の一例を示す図である。

【 0 0 6 6 】

この図 8 に示すように、バッファは、P チャンネル MOS トランジスタ P 1、P 2、P 3 と、N チャンネル MOS トランジスタ N 1、N 2、N 3 と、抵抗 R 1 と、インバータ回路 I N 1 とを備えて構成されている。

【 0 0 6 7 】

P チャンネル MOS トランジスタ P 1 の制御端子と、N チャンネル MOS トランジスタ N 1 の制御端子と、抵抗 R 1 の一端は、それぞれ入力端子に接続されており、この入力端子から入力信号 I N が入力される。P チャンネル MOS トランジスタ P 1 の第 1 端子は第 1 電源 V d d に接続されており、N チャンネル MOS トランジスタ N 1 の第 1 端子は第 2 電源 V c c に接続されている。

20

【 0 0 6 8 】

第 1 電源 V d d と第 2 電源 V c c との間には、さらに、P チャンネル MOS トランジスタ P 2、P 3 と、N チャンネル MOS トランジスタ N 2、N 3 とが、直列的に接続されている。P チャンネル MOS トランジスタ P 3 の制御端子と N チャンネル MOS トランジスタ N 2 の制御端子は、P チャンネル MOS トランジスタ P 1 の第 2 端子と N チャンネル MOS トランジスタ N 1 の第 2 端子と抵抗 R 1 の他端に、共通に接続されている。

30

【 0 0 6 9 】

制御回路 5 0 で生成された制御信号 E n a b l e は、N チャンネル MOS トランジスタ N 3 の制御端子に入力される。また、制御信号 E n a b l e は、インバータ回路 I N 1 にも入力され、反転された上で、P チャンネル MOS トランジスタ P 2 の制御端子に入力される。

【 0 0 7 0 】

このため、ハイレベルの制御信号 E n a b l e が入力されている場合は、P チャンネル MOS トランジスタ P 2 と N チャンネル MOS トランジスタ N 3 とが、オン状態となり、このバッファは、入力された信号 I N をバッファリングして、出力信号 O U T として出力する回路となる。一方、ローレベルの制御信号 E n a b l e が入力されている場合は、P チャンネル MOS トランジスタ P 2 と N チャンネル MOS トランジスタ N 3 とが、オフ状態となり、このバッファは、入力された信号を出力しない回路となる。つまり、ハイレベルの制御信号が、入力された信号を出力する指示の制御信号となり、ローレベルの制御信号が、入力された信号を出力しない指示の制御信号となる。

40

【 0 0 7 1 】

本実施形態においては、入力信号 I N と出力信号 O U T は、第 1 の発振信号と第 2 の発振信号のいずれかとなる。また、第 1 電源 V d d と第 2 電源 V c c とが、図 1 の電源回路 2 0 ~ 2 6 から供給される。より具体的には、第 1 の回路部 4 0 にあるバッファ 9 0 b、9 0 d、9 0 f には、電源回路 2 1 から第 1 電源 V d d と第 2 電源 V c c が供給され、第 2 の回路部 4 1 にあるバッファ 9 1 b、9 1 d、9 1 f、9 1 k には、電源回路 2 2 から

50

第1電源V_{dd}と第2電源V_{cc}が供給され、第3の回路部42にあるバッファ92b、92d、92f、92kには、電源回路23から第1電源V_{dd}と第2電源V_{cc}が供給され、第4の回路部43にあるバッファ93b、93f、93kには、電源回路24から第1電源V_{dd}と第2電源V_{cc}が供給される。

【0072】

以上のように、本実施形態に係る半導体装置1によれば、第1の発振信号又は第2の発振信号をバッファリングするバッファを、第1乃至第4の回路部40～43のそれぞれに供給される電力により動作させることとした。さらに、第1乃至第4の回路部40～43のそれぞれの間を、2つの不活性なバッファで分離することとした。このため、第1の発振信号と第2の発振信号との間のアイソレーションを高く確保することができ、クロストークの発生を抑制することができる。

10

【0073】

また、第1乃至第4の回路部40～43のそれぞれの間を、1本の伝送路を用いて、第1の発振信号と第2の発振信号を遣り取りすることとしたので、レイアウト面積の抑制を図ることができる。特に、第1の発振信号の周波数と第2の発振信号の周波数が近接している場合には、2つの信号の伝送路を可能な限り離してレイアウトをする必要があるため、レイアウト面積の増大を招く可能性があるが、本実施形態のように1本の伝送路として共通化することにより、レイアウト面積の削減を図ることができる。

【0074】

図9は、本実施形態に係る半導体装置1を機能的に説明するためのブロック回路図である。この図9に示すように、半導体装置1は、択一的な経路で第1乃至第4の回路部40～43に辿り着いた第1の発振信号又は第2の発振信号が、交わることなく、IQ信号発生器60～63に供給される機能を有するととらえることができる。このような機能を実現するために、第1乃至第4の回路部40～43は、それぞれ、選択回路SL1、SL2、SL3と、バッファBF1、BF2とを備えていると言える。

20

【0075】

選択回路SL1、SL2、SL3は、入力された第1の発振信号と第2の発振信号のうち一方を出力する回路であり、いずれの発振信号を出力するのかは、制御回路50から入力される制御信号に基づいて切り替えられる。バッファBF1、BF2は、それぞれ、入力された第1の発振信号又は第2の発振信号をバッファリングして出力する回路である。

30

【0076】

第1の発振信号生成回路30により生成された第1の発振信号と、第2の発振信号生成回路31により生成された第2の発振信号とは、選択回路SL1、SL2の切り替え制御により、択一的に形成された経路で、第1乃至第4の回路部40～43に辿り着き、選択回路SL3の切り替え制御により、交わることなく、IQ信号発生器60～63に供給される。つまり、選択回路SL1、SL2、SL3を制御信号によって制御することにより、第1の発振信号と第2の発振信号は、交わることなく、IQ信号発生器60～63に供給されるのである。

【0077】

なお、図10に示すように、本実施形態に係る半導体装置1は、第1乃至第4の回路部40～43のそれぞれの間を2本の伝送路を2本にすることも可能である。すなわち、第1の発振信号の伝送路と、第2の発振信号の伝送路とを別個に設けるようにしてもよい。この場合、伝送路のレイアウト面積はその分、増大するが、第1の発振信号と第2の発振信号を、第1乃至第4の回路部40～43の任意の組み合わせの回路部に供給することができるようになる。例えば、第1の回路部40と第3の回路部42に第1の発振信号生成回路30から第1の発振信号を供給し、第2の回路部41と第4の回路部43に第2の発振信号生成回路31から第2の発振信号を供給することができるようになる。

40

【0078】

また、図11に示すように、本実施形態に係る半導体装置1は、キャパシタ90aとバッファ90bを第1の発振信号生成回路30の出力近傍に設け、第1の発振信号生成回路

50

30と同じ電源回路20の電源系統から得た電力に基づいてバッファ90bが動作し、且つ、キャパシタ93eとバッファ93fを第2の発振信号生成回路31の出力近傍に設け、第2の発振信号生成回路31と同じ電源回路25の電源系統から得た電力に基づいてバッファ93fが動作するようにしてもよい。

【0079】

〔第2実施形態〕

第2実施形態は、上述した第1実施形態を変形して、第1の発振信号生成回路30が第1の発振信号と第2の発振信号を生成して、第1及び第2の回路部40～41に供給し得るように構成し、第2の発振信号生成回路31も第1の発振信号と第2の発振信号を生成して、第1乃至第4の回路部40～43に供給し得るように構成することにより、レイアウト面積の削減を実現している。以下、上述した第1実施形態と異なる部分を説明する。

10

【0080】

図12は、本実施形態に係る半導体装置1における回路構成の一部を説明する回路図とブロック図であり、上述した第1実施形態の図2に対応する図である。

【0081】

この図12に示すように、本実施形態における第1の発振信号生成回路30は、第1の周波数の第1の発振信号と、第2の周波数の第2の発振信号の双方を生成し、選択回路MUX1に出力する。上述した第1実施形態と同様に、例えば、第1の周波数は2GHzであり、第2の周波数は5GHzである。

【0082】

20

選択回路MUX1には、図1に示した制御回路50から選択用の制御信号が入力され、この制御信号に基づいて、選択回路MUX1は、第1の発振信号と第2の発振信号とのうちのいずれかを出力するか、或いは、選択回路MUX1は、入力された第1の発振信号と第2の発振信号のいずれも出力しない。この選択回路MUX1は、第1の発振信号生成回路30と同様に、電源回路20の電源系統から供給された電力により動作する。

【0083】

第2の発振信号生成回路31も、第1の周波数の第1の発振信号と、第2の周波数の第2の発振信号の双方を生成し、選択回路MUX2に出力する。第1の発振信号生成回路30と同様に、例えば、第1の周波数は2GHzであり、第2の周波数は5GHzである。なお、上述した第1実施形態と同様に、2GHz、5GHzは、第1の周波数と第2の周波数に関する単なる例示であり、例えば、第1の周波数が5.50GHzであり、第2の周波数が5.52GHzのように、第1の発振信号の第1の周波数と第2の発振信号の第2の周波数が、さらに近接している場合も本実施形態においては想定範囲である。

30

【0084】

選択回路MUX2にも、図1に示した制御回路50から選択用の制御信号が入力され、この制御信号に基づいて、選択回路MUX2は、第2の発振信号と第2の発振信号のうちのいずれかを出力する。この選択回路MUX2は、第2の発振信号生成回路31と同様に、電源回路25から供給された電力により動作する。

【0085】

選択回路MUX1から出力された第1の発振信号又は第2の発振信号は、第1の回路部40に供給される。具体的には、キャパシタ90cを介してバッファ90dに入力され、キャパシタ90hを介してバッファ90iに入力される。

40

【0086】

第1の回路部40は、第1のIQ信号発生器100aと、第2のIQ信号発生器100bと、第1の送受信器110aと、第2の送受信器110bとを備えており、バッファ90iから第1の発振信号又は第2の発振信号が入力される。すなわち、バッファ90iから第1の発振信号が入力されている場合には、第1のIQ信号発生器100aが動作し、第1の送受信器110aを用いて送受信が行われる。一方、バッファ90iから第2の発振信号が入力されている場合には、第2のIQ信号発生器100bが動作し、第2の送受信器110bを用いて送受信が行われる。

50

【 0 0 8 7 】

なお、図 1 2 においては、「送信器」と「受信器」を併合して「送受信器」として 1 つのブロックで表現しているが、「送信器」と「受信器」とを別個のブロックとして表現している第 1 実施形態と機能上は同じである。

【 0 0 8 8 】

同様に、第 2 乃至第 4 の回路部 4 1 ~ 4 3 のバッファ 9 1 i、9 2 i、9 3 i からは、それぞれ、第 1 の発振信号又は第 2 の発振信号が出力され、第 1 の発振信号が出力されている場合には、第 1 の I Q 信号発生器 1 0 1 a、1 0 2 a、1 0 3 a が動作し、第 1 の送受信器 1 1 1 a、1 1 2 a、1 1 3 a を用いて送受信が行われ、第 2 の発振信号が出力されている場合には、第 2 の I Q 信号発生器 1 0 1 b、1 0 2 b、1 0 3 b が動作し、第 2 の送受信器 1 1 1 b、1 1 2 b、1 1 3 b を用いて送受信が行われる。

10

【 0 0 8 9 】

但し、第 1 の回路部 4 0 と第 2 の回路部 4 1 には、第 1 の発振信号生成回路 3 0 と第 2 の発振信号生成回路 3 1 の双方から、第 1 の発振信号又は第 2 の発振信号が供給され得るのに対し、第 3 の回路部 4 2 と第 4 の回路部 4 3 には、第 2 の発振信号生成回路 3 1 から第 1 の発振信号又は第 2 の発振信号が供給され得るが、第 1 の発振信号生成回路 3 0 からは第 1 の発振信号も第 2 の発振信号も供給され得ない構成となっている。

【 0 0 9 0 】

また、上述した第 1 実施形態と異なり、第 1 の回路部 4 0 と第 2 の回路部 4 1 との間は、2 本の伝送路が設けられている。すなわち、バッファ 9 0 d とバッファ 9 1 b との間に 1 本の専用の伝送路が設けられており、バッファ 9 0 f とバッファ 9 1 k との間に 1 本の専用の伝送路が設けられている。

20

【 0 0 9 1 】

さらに、第 4 の回路部 4 3 に設けられたバッファ 9 3 k は、入力された第 1 の発振信号又は第 2 の発振信号を非選択的に出力するので、別個の制御信号に基づいて、入力された信号を出力するか否かを制御可能なバッファではない。但し、バッファ 9 3 k は、上述した第 1 実施形態と同様に、別個の制御信号に基づいて、入力された信号を出力するか否かを制御可能なバッファで構成することも可能である。この場合、バッファ 9 3 k には、動作中は定常的に、入力された信号を出力する指示の制御信号が入力されることとなる。

【 0 0 9 2 】

以上が本実施形態に係る半導体装置 1 の回路構成であるが、次に、この半導体装置 1 の動作について説明する。

30

【 0 0 9 3 】

< 第 1 の発振信号 × 4、又は、第 2 の発振信号 × 4 >

図 1 3 は、第 1 の発振信号を第 1 乃至第 4 の回路部 4 0 ~ 4 3 に供給する場合、又は、第 2 の発振信号を第 1 乃至第 4 の回路部 4 0 ~ 4 3 に供給する場合における、回路状態を説明するための図である。本実施形態においては、この状態を第 1 のモードと言うこととする。

【 0 0 9 4 】

この図 1 3 に示すように、第 1 のモードでは、バッファ 9 0 d、9 1 b に、入力された信号を出力しない指示の制御信号が入力されており、バッファ 9 0 f、9 1 k、9 1 f、9 2 k に、入力された信号を出力する指示の制御信号が入力されている。また、選択回路 M U X 1 には、第 1 の発振信号と第 2 の発振信号のいずれも出力しない制御信号が入力されている。

40

【 0 0 9 5 】

このため、選択回路 M U X 2 に第 1 の発振信号を選択する制御信号が入力されている場合には、バッファ 9 3 k、9 2 k、9 1 f、9 1 k、9 0 f を順に經由して、第 1 乃至第 4 の回路部 4 0 ~ 4 3 に、第 1 の発振信号が供給される。

【 0 0 9 6 】

一方、選択回路 M U X 2 に第 2 の発振信号を選択する制御信号が入力されている場合に

50

は、バッファ 93k、92k、91f、91k、90f を順に経由して、第1乃至第4の回路部 40～43 に、第2の発振信号が供給される。

【0097】

< 第1の発振信号 × 1 + 第2の発振信号 × 3、又は、第1の発振信号 × 3 + 第2の発振信号 × 1 >

図14は、第1の発振信号を第1の回路部 40 に供給し、且つ、第2の発振信号を第2乃至第4の回路部 41～43 に供給する場合、又は、第2の発振信号を第1の回路部 40 に供給し、第1の発振信号を第2乃至第4の回路部 41～43 に供給する場合における、回路状態を説明するための図である。本実施形態においては、この状態を第2のモードと言うこととする。

【0098】

この図14に示すように、第2のモードでは、バッファ 90d、90f、91b、91k に、入力された信号を出力しない指示の制御信号が入力されており、バッファ 91f、92k に、入力された信号を出力する指示の制御信号が入力されている。

【0099】

このため、選択回路 MUX1 に第1の発振信号を選択する制御信号が入力され、且つ、選択回路 MUX2 に第2の発振信号を選択する制御信号が入力されている場合には、選択回路 MUX1 から、第1の回路部 40 に第1の発振信号が供給され、選択回路 MUX2 から、バッファ 93k、92k、91f を順に経由して、第2乃至第4の回路部 41～43 に、第2の発振信号が供給される。

【0100】

一方、選択回路 MUX1 に第2の発振信号を選択する制御信号が入力され、且つ、選択回路 MUX2 に第1の発振信号を選択する制御信号が入力されている場合には、選択回路 MUX1 から、第1の回路部 40 に第2の発振信号が供給され、選択回路 MUX2 から、バッファ 93k、92k、91f を順に経由して、第2乃至第4の回路部 41～43 に、第1の発振信号が供給される。

【0101】

このとき、領域 A4 にあるバッファ 90d、90f、91b、91k は、いずれも、入力された信号を出力しない不活性な状態にある。つまり、第1の回路部 40 と第2の回路部 41 との間は、電源系統が異なるバッファ 90d とバッファ 91b の2つのバッファで分離され、また、電源系統が異なるバッファ 90f とバッファ 91k の2つのバッファで分離されることとなる。このため、第1の発振信号と第2の発振信号との間のアイソレーションを高く確保することができ、クロストークの発生が抑制される。

【0102】

< 第1の発振信号 × 2 + 第2の発振信号 × 2 >

図15は、第1の発振信号を第1乃至第2の回路部 40～41 に供給し、且つ、第2の発振信号を第3乃至第4の回路部 42～43 に供給する場合、又は、第2の発振信号を第1乃至第2の回路部 40～41 に供給し、第1の発振信号を第3乃至第4の回路部 42～43 に供給する場合における、回路状態を説明するための図である。本実施形態においては、この状態を第3のモードと言うこととする。

【0103】

この図15に示すように、第3のモードでは、バッファ 90f、91f、91k、92k に、入力された信号を出力しない指示の制御信号が入力されており、バッファ 90d、91b に、入力された信号を出力する指示の制御信号が入力されている。

【0104】

このため、選択回路 MUX1 に第1の発振信号を選択する制御信号が入力され、且つ、選択回路 MUX2 に第2の発振信号を選択する制御信号が入力されている場合には、選択回路 MUX1 から、第1乃至第2の回路部 40～41 に第1の発振信号が供給され、選択回路 MUX2 から、バッファ 93k を経由して、第3乃至第4の回路部 42～43 に、第2の発振信号が供給される。

10

20

30

40

50

【0105】

また結果的には同数とはなるが、選択回路M U X 1に第2の発振信号を選択する制御信号が入力され、且つ、選択回路M U X 2に第1の発振信号を選択する制御信号が入力されている場合には、選択回路M U X 1から、第1乃至第2の回路部40～41に第2の発振信号が供給され、選択回路M U X 2から、バッファ93kを経由して、第3乃至第4の回路部42～43に、第1の発振信号が供給される。

【0106】

このとき、領域A5にあるバッファ91f、92kは、いずれも、入力された信号を出力しない不活性な状態にある。つまり、第2の回路部41と第3の回路部42との間は、電源系統が異なるバッファ91fとバッファ92kの2つのバッファで分離されることとなる。このため、第1の発振信号と第2の発振信号との間のアイソレーションを高く確保することができ、クロストークの発生が抑制される。

10

【0107】

以上のように、本実施形態に係る半導体装置1によれば、第1の発振信号又は第2の発振信号をバッファリングするバッファを、第1乃至第4の回路部40～43のそれぞれに供給される電力により動作させることとした。さらに、第1乃至第3の回路部40～42のそれぞれの間を、2つの不活性なバッファで分離することとした。このため、第1の発振信号と第2の発振信号との間のアイソレーションを高く確保することができ、クロストークの発生を抑制することができる。

【0108】

また、第1の発振信号生成回路30と第2の発振信号生成回路31とが、ともに、第1の発振信号と第2の発振信号の双方を生成し、第1の発振信号生成回路30から選択的に第1乃至第2の回路部40～41に第1の発振信号又は第2の発振信号を供給し、第2の発振信号生成回路31から選択的に第1乃至第4の回路部40～43に第1の発振信号又は第2の発振信号を供給することとしたので、バッファの活性状態/不活性状態を任意に組み合わせることにより、必要な数の回路部に、第1の発振信号を供給し、第2の発振信号を供給することができる。また、第2回路部41と第3回路部42との間の発振信号の伝送路を1本にすることができ、第3の回路部43と第4の回路部43との間の発振信号伝送路を1本にすることができ、回路のレイアウト面積を削減することができる。

20

【0109】

なお、図16に示すように、本実施形態に係る半導体装置1は、第1実施形態と同様に、第1の回路部40と第2の回路部41との間を、1本の伝送路で接続して、第1の発振信号又は第2の発振信号の遣り取りをすることもできる。これにより、さらなる回路面積の削減を図ることができる。

30

【0110】

また、図17に示すように、第1の発振信号生成回路30と同じ電源回路20の電源系統から選択回路M U X 1に電力を供給するのではなく、第1の回路部40と同じ電源回路21の電源系統から選択回路M U X 1に電力を供給するようにしてもよい。同様に、第2の発振信号生成回路31と同じ電源回路25の電源系統から選択回路M U X 2に電力を供給するのではなく、第4の回路部43と同じ電源回路24の電源系統から選択回路M U X 2に電力を供給するようにしてもよい。

40

【0111】

以上、いくつかの実施形態を説明したが、これらの実施形態は、例としてのみ提示したものであり、発明の範囲を限定することを意図したものではない。本明細書で説明した新規な装置および方法は、その他の様々な形態で実施することができる。また、本明細書で説明した装置および方法の形態に対し、発明の要旨を逸脱しない範囲内で、種々の省略、置換、変更を行うことができる。添付の特許請求の範囲およびこれに均等な範囲は、発明の範囲や要旨に含まれるこのような形態や変形例を含むように意図されている。

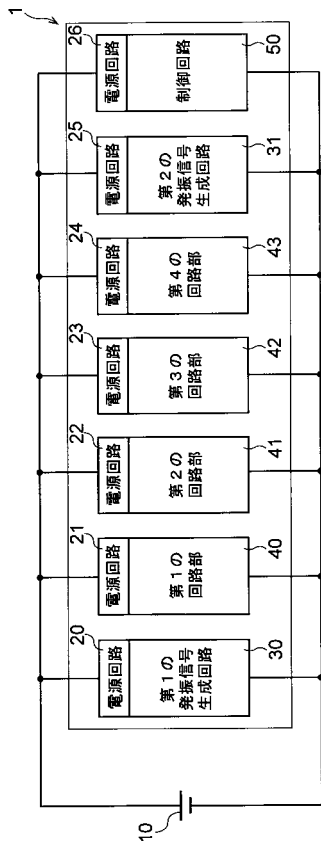
【符号の説明】

【0112】

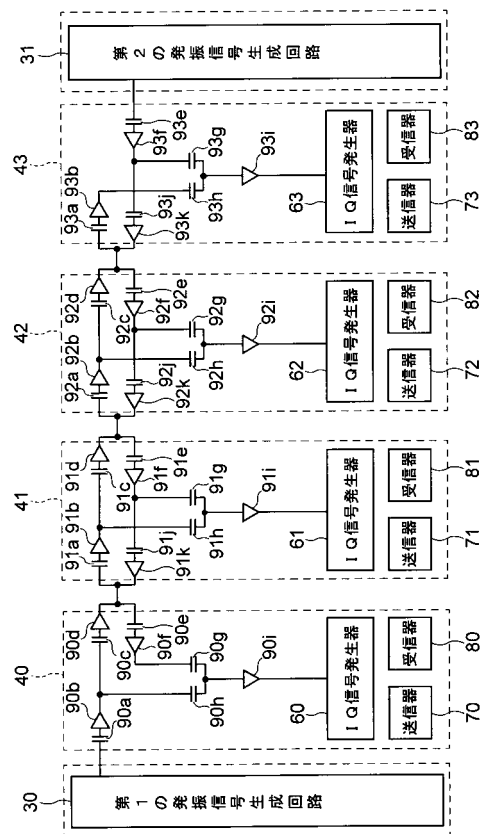
50

10...電源、20~26：電源回路、30：第1の発振信号生成回路、31：第2の発振信号生成回路、40~43：第1乃至第4の回路部、50：制御回路、60~63：I Q信号発生器、70~73：送信器、80~83：受信器、90a、90c、90e、90g、90h：キャパシタ、90b、90d、90f、90i：バッファ、91a、91c、91e、91g、91h、91j：キャパシタ、91b、91d、91f、91i、91k：バッファ、92a、92c、92e、92g、92h、92j：キャパシタ、92b、92d、92f、92i、92k：バッファ、93a、93e、93g、93h、93j：キャパシタ、93b、93f、93i、93k：バッファ

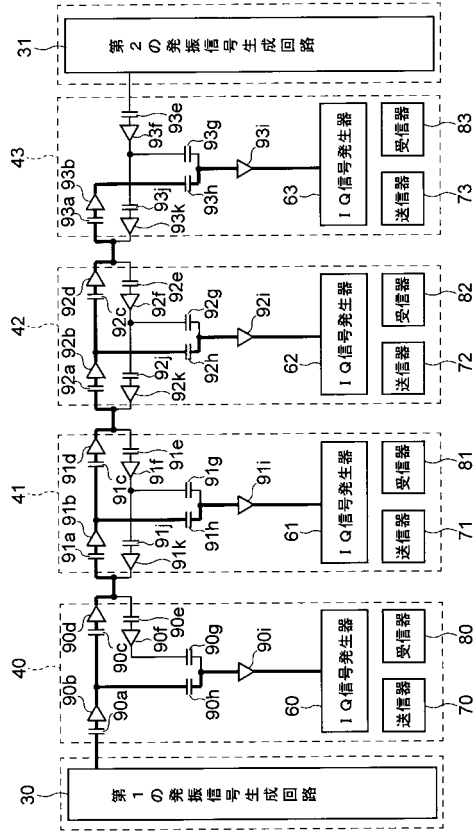
【 図 1 】



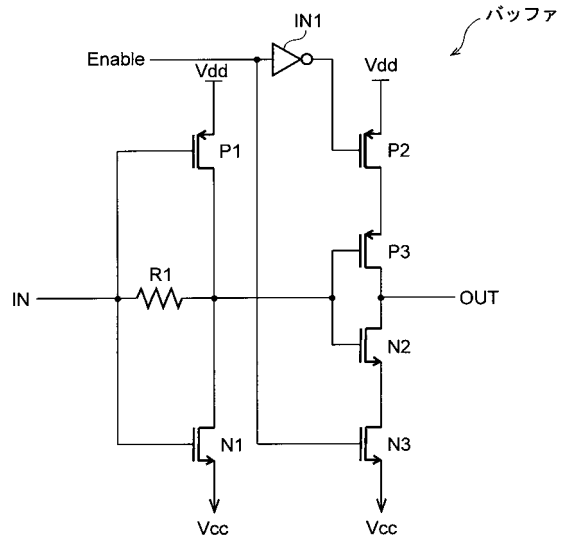
【 図 2 】



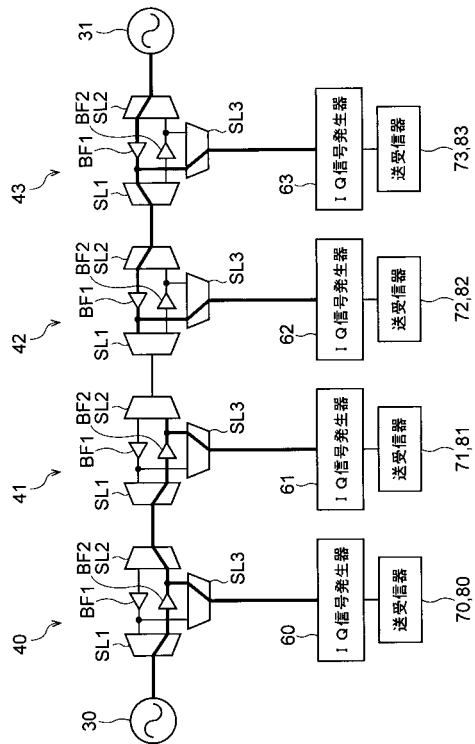
【 図 7 】



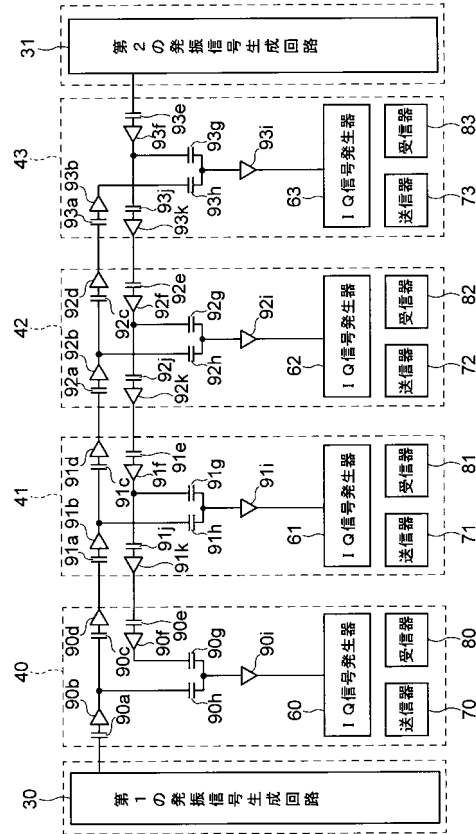
【 図 8 】



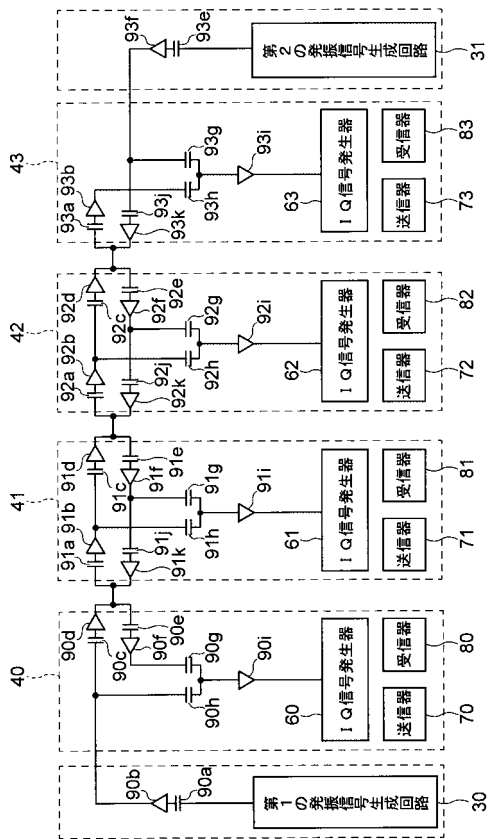
【 図 9 】



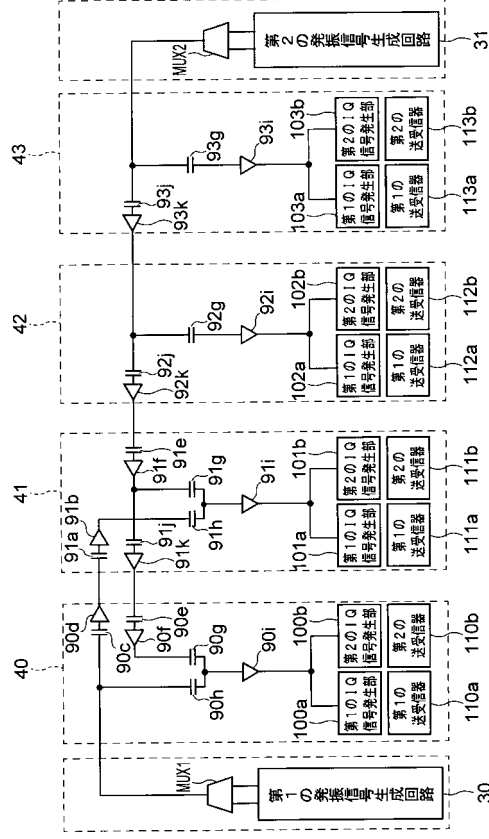
【 図 10 】



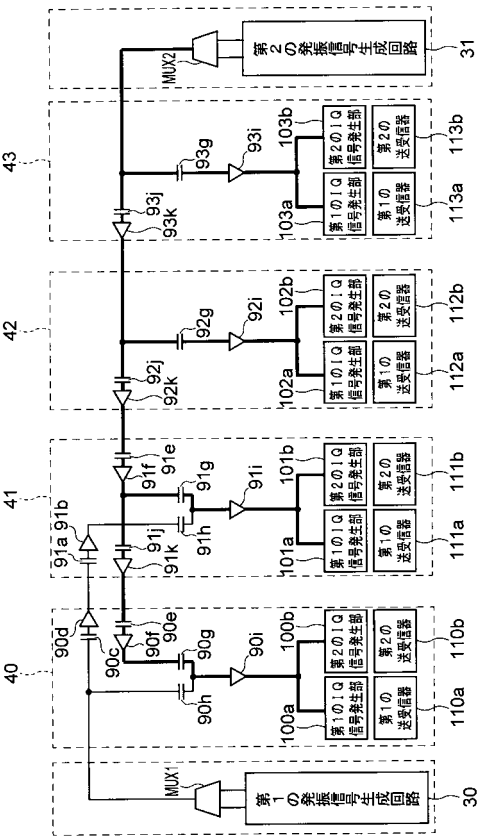
【図 1 1】



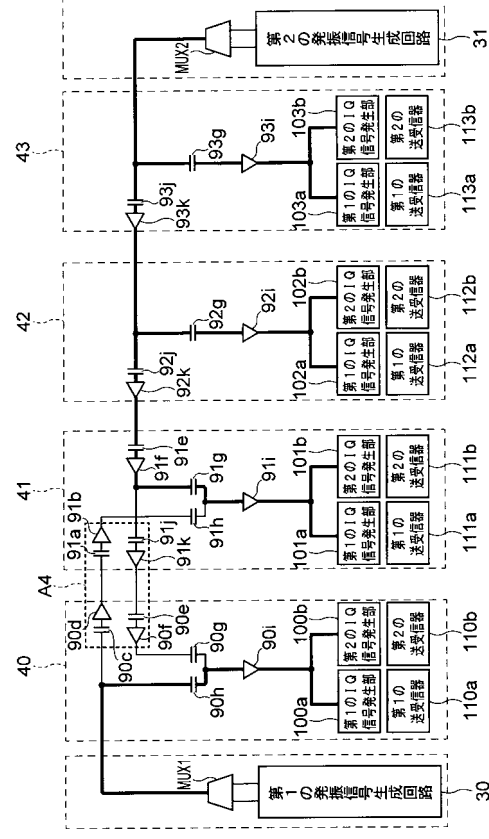
【図 1 2】



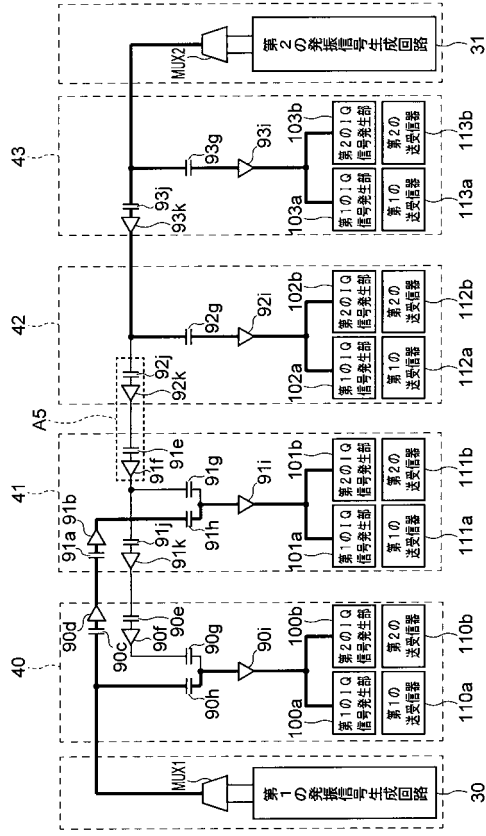
【図 1 3】



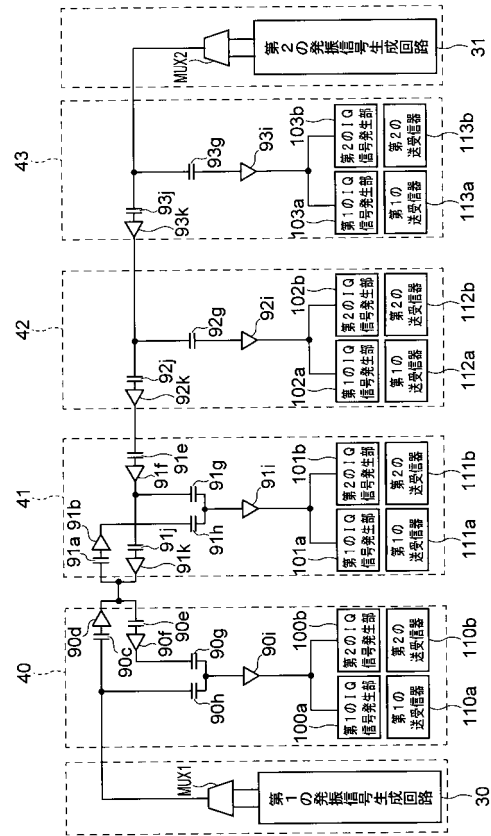
【図 1 4】



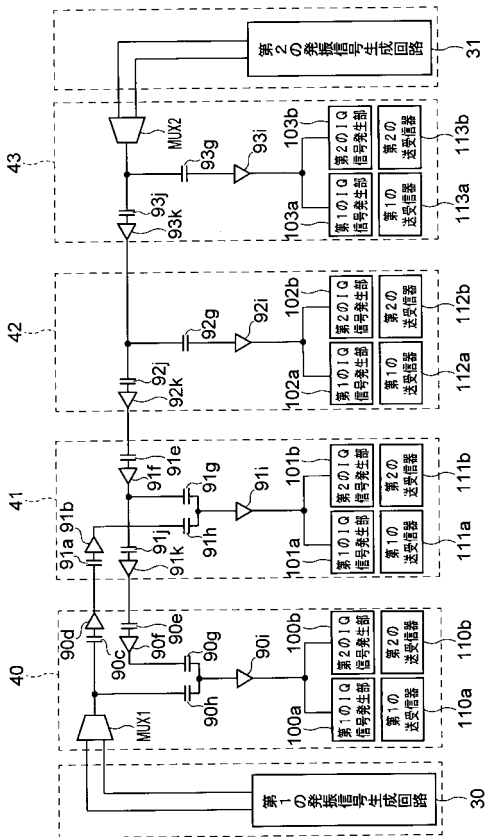
【図 15】



【図 16】



【図 17】



【手続補正書】

【提出日】令和1年7月19日(2019.7.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の電源系統から電力が供給される第1の回路部であって、第1のバッファと第2のバッファと第1の処理部とを有する、第1の回路部と、

前記第1の電源系統とは異なる第2の電源系統から電力が供給される第2の回路部であって、第3のバッファを有する第2の回路部と、

前記第1の電源系統から電力が供給される、第1の発振信号生成回路と、

前記第2の電源系統から電力が供給される、第2の発振信号生成回路と、

を備えており、

前記第1のバッファには、前記第1の発振信号生成回路により生成された第1の発振信号が入力され、

前記第2のバッファには、前記第2の発振信号生成回路により生成された第2の発振信号が、前記第3のバッファを介して入力され、

前記第1のバッファが前記入力された第1の発振信号を前記第2の回路部¹に出力するか否か、又は、前記第2のバッファが前記入力された第2の発振信号を前記第1の処理部に出力するか否かのいずれかが制御可能であり、

前記第1の発振信号が入力される、第4のバッファが、前記第1の回路部にさらに設けられており、前記第4のバッファには、前記第1の電源系統から電力が供給され、

前記第4のバッファが、入力された前記第1の発振信号を、前記第1の処理部及び前記第1のバッファに出力するか否かを制御可能である、半導体装置。

【請求項2】

前記第2の回路部は、第5のバッファと第2の処理部とをさらに有しており、

前記第5のバッファには、前記第1のバッファを介して、前記第1の発振信号が入力され、

前記第5のバッファが前記入力された第1の発振信号を前記第2の処理部に出力するか否かを制御可能である、ことを特徴とする請求項1に記載の半導体装置

【請求項3】

前記第1のバッファと前記第5のバッファとの間の伝送路と、前記第2のバッファと前記第3のバッファとの間の伝送路は、共通化されている、請求項2に記載の半導体装置。

【請求項4】

前記第1のバッファと前記第5のバッファの間には第1の伝送路が設けられており、前記第2のバッファと前記第3のバッファの間には前記第1の伝送路とは別個に第2の伝送路が設けられている、請求項2に記載の半導体装置。

フロントページの続き

(74)代理人 100118843

弁理士 赤岡 明

(72)発明者 小林 弘幸

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 三友 敏也

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5J056 AA04 BB32 DD29

5J081 AA19 BB01 CC30 DD04 DD19 DD24 FF18 FF21 FF23 FF25

GG05 MM01