

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 17 年 2 月 3 日 (2005.2.3)

【公開番号】特開 2002-124649 (P2002-124649A)  
 【公開日】平成 14 年 4 月 26 日 (2002.4.26)  
 【出願番号】特願 2000-317343 (P2000-317343)  
 【国際特許分類第 7 版】

H 0 1 L 27/108

H 0 1 L 21/8242

【F I】

H 0 1 L 27/10 6 2 1 C

H 0 1 L 27/10 6 5 1

【手続補正書】

【提出日】平成 16 年 2 月 26 日 (2004.2.26)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

(a) 半導体基板の主表面にメモリセル選択用 M I S F E T を形成する工程と、  
 (b) 前記メモリセル選択用 M I S F E T のソース、ドレイン領域と電氣的に接続されたプラグを形成する工程と、  
 (c) 前記プラグ上に絶縁膜を形成する工程と、  
 (d) 前記絶縁膜中に前記プラグ表面まで到達する孔を形成する工程と、  
 (e) 前記孔の側壁および底部に、R u 膜を堆積し、還元性雰囲気下で熱処理する工程と、  
 (f) 前記 R u 膜上に容量絶縁膜を形成する工程と、  
 (g) 前記容量絶縁膜上に上部電極を形成する工程と、  
 を有する半導体集積回路装置の製造方法。

【請求項 2】

前記工程 (e) は、前記 R u 膜の堆積と、前記熱処理とを繰り返すことにより、前記孔の側壁および底部に、R u 膜の積層膜を形成する工程を含む請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 3】

(a) 半導体基板の主表面にメモリセル選択用 M I S F E T を形成する工程と、  
 (b) 前記メモリセル選択用 M I S F E T のソース、ドレイン領域と電氣的に接続されたプラグを形成する工程と、  
 (c) 前記プラグ上に絶縁膜を形成する工程と、  
 (d) 前記絶縁膜中に前記プラグ表面まで到達する孔を形成する工程と、  
 (e) 前記孔の側壁および底部に、R u の有機化合物と酸化剤を反応させることによって R u 膜を形成する工程と、  
 (f) 前記 R u 膜を還元性雰囲気下で熱処理する工程と、  
 (g) 前記 R u 膜上に容量絶縁膜を形成する工程と、  
 (h) 前記容量絶縁膜上に上部電極を形成する工程と、  
 を有する半導体集積回路装置の製造方法。

【請求項 4】

(a) 半導体基板の主表面にメモリセル選択用MISFETを形成する工程と、  
(b) 前記メモリセル選択用MISFETのソース、ドレイン領域と電氣的に接続されたプラグを形成する工程と、  
(c) 前記プラグ上に絶縁膜を形成する工程と、  
(d) 前記絶縁膜中に前記プラグ表面まで到達する孔を形成する工程と、  
(e) 前記孔の側壁および底部に、Ruの有機化合物と酸化剤を反応させることによってRu膜を形成する工程と、  
(f) 前記Ru膜に還元性雰囲気下での第1の熱処理と、非酸化性雰囲気下での第2の熱処理を施す工程と、  
(g) 前記Ru膜上に容量絶縁膜を形成する工程と、  
(h) 前記容量絶縁膜上に上部電極を形成する工程と、  
を有する半導体集積回路装置の製造方法。

【請求項5】

(a) 半導体基板上に層間絶縁膜を形成する工程と、  
(b) 前記層間絶縁膜に孔を形成する工程と、  
(c) 前記孔の側壁および底部に、第1導電膜を堆積し、還元性雰囲気下で熱処理する工程と、  
(d) 前記第1導電膜上に絶縁膜を形成する工程と、  
(e) 前記絶縁膜上に第2導電膜を形成する工程と、  
を有する半導体集積回路装置の製造方法。

【請求項6】

請求項5記載の半導体集積回路装置の製造方法において、  
前記工程(b)と前記工程(c)との間に、  
(f) 前記孔の側壁および底部に、スパッタ法により第3導電膜を形成する工程、  
を有する半導体集積回路装置の製造方法。

【請求項7】

請求項5記載の半導体集積回路装置の製造方法において、  
前記第1導電膜はRu膜を含み、  
前記還元性雰囲気下で熱処理により、前記Ru膜中の不純物が取り除かれる半導体集積回路装置の製造方法。

【請求項8】

請求項5記載の半導体集積回路装置の製造方法において、  
前記工程(c)は、前記第1導電膜の堆積と、前記熱処理とを繰り返すことにより、前記孔の側壁および底部に、前記第1導電膜の積層膜を形成する工程を含む半導体集積回路装置の製造方法。

【請求項9】

請求項5～8のいずれか一項に記載の半導体集積回路装置の製造方法において、  
前記第1導電膜は、容量素子の下部電極であり、  
前記絶縁膜は、前記容量素子の容量絶縁膜であり、  
前記第2導電膜は、前記容量素子の上部電極である半導体集積回路装置の製造方法。

【請求項10】

(a) 半導体基板の主表面にメモリセル選択用MISFETを形成する工程と、  
(b) 前記メモリセル選択用MISFETのソース、ドレイン領域と電氣的に接続されたプラグを形成する工程と、  
(c) 前記プラグ上に絶縁膜を形成する工程と、  
(d) 前記絶縁膜中に前記プラグ表面まで到達する孔を形成する工程と、  
(e) 前記孔の側壁および底部に、Ru膜を堆積する工程と、  
(f) 還元性雰囲気下で熱処理を行い、前記Ru膜中の不純物を取り除く工程と、  
(g) 前記Ru膜上に容量絶縁膜を形成する工程と、  
(h) 前記容量絶縁膜上に上部電極を形成する工程と、

を有する半導体集積回路装置の製造方法。

【請求項 1 1】

(a) 半導体基板の主表面に M I S F E T を形成する工程と、

(b) 前記 M I S F E T の上部に絶縁膜を形成する工程と、

(c) 前記絶縁膜中に孔を形成する工程と、

(d) 前記孔の側壁および底部に、R u 膜を堆積し、還元性雰囲気下で熱処理する工程と、

(e) 前記 R u 膜上に容量絶縁膜を形成する工程と、

(f) 前記容量絶縁膜上に上部電極を形成する工程と、

を有し、

前記 M I S F E T のソース、ドレイン領域と、前記 R u 膜とは電氣的に接続される半導体集積回路装置の製造方法。

【請求項 1 2】

(a) 半導体基板上に R u 膜を堆積し、還元性雰囲気下で熱処理することで下部電極を形成する工程と、

(b) 前記 R u 膜上に容量絶縁膜を形成する工程と、

(c) 前記容量絶縁膜上に上部電極を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 3】

請求項 1 0 ~ 1 2 のいずれか一項に記載の半導体集積回路装置の製造方法において、

前記容量絶縁膜形成工程の前に、前記 R u 膜堆積と前記熱処理とを繰り返すことにより、前記 R u 膜の積層膜を形成する半導体集積回路装置の製造方法。

【請求項 1 4】

請求項 1、2 及び 5 ~ 1 3 のいずれか一項に記載の半導体集積回路装置の製造方法において、

前記熱処理の工程は、前記還元性雰囲気下で熱処理を行った後、非酸化性雰囲気で行う熱処理を含む半導体集積回路装置の製造方法。

【請求項 1 5】

請求項 1、2 及び 5 ~ 1 4 のいずれか一項に記載の半導体集積回路装置の製造方法において、

前記還元性雰囲気下での熱処理により、前記 R u 膜中の不純物が取り除かれる半導体集積回路装置の製造方法。

【請求項 1 6】

請求項 1 ~ 4 及び 1 0 ~ 1 5 のいずれか一項に記載の半導体集積回路装置の製造方法において、さらに、

前記容量絶縁膜形成前に、前記 R u 膜の表面に酸化タンタル膜を堆積し、前記酸化タンタル膜を窒化処理して前記酸化タンタル膜を窒化タンタルに変える工程を有する半導体集積回路装置の製造方法。

【請求項 1 7】

請求項 1 ~ 1 6 のいずれか一項に記載の半導体集積回路装置の製造方法において、

前記還元性雰囲気は  $\text{NH}_3$  を含む半導体集積回路装置の製造方法。

【請求項 1 8】

請求項 1 7 記載の半導体集積回路装置の製造方法において、

前記非酸化性雰囲気は  $\text{N}_2$  を含む半導体集積回路装置の製造方法。

【請求項 1 9】

(a) 半導体基板の主表面にメモリセル選択用 M I S F E T を形成する工程と、

(b) 前記メモリセル選択用 M I S F E T のソース、ドレイン領域と電氣的に接続されたプラグを形成する工程と、

(c) 前記プラグ上に絶縁膜を形成する工程と、

(d) 前記絶縁膜中に前記プラグ表面まで到達する孔を形成する工程と、

( e ) 前記孔の側壁および底部に、Ru膜の堆積と、熱処理工程を繰り返すことによりRu膜の積層膜を形成する工程と、

( f ) 前記Ru膜の積層膜上に容量絶縁膜を形成する工程と、

( g ) 前記容量絶縁膜上に上部電極を形成する工程と、

を有する半導体集積回路装置の製造方法。

**【請求項20】**

( a ) 半導体基板上にRu膜の堆積と、熱処理工程を繰り返すことによりRu膜の積層膜からなる下部電極を形成する工程と、

( b ) 前記Ru膜の積層膜上に容量絶縁膜を形成する工程と、

( c ) 前記容量絶縁膜上に上部電極を形成する工程と、

を有する半導体集積回路装置の製造方法。

**【請求項21】**

( a ) 半導体基板の主表面にメモリセル選択用MISFETを形成する工程と、( b ) 前記メモリセル選択用MISFETのソース、ドレイン領域と電気的に接続されたシリコンプラグを形成する工程と、

( c ) 前記シリコンプラグ上に絶縁膜を形成する工程と、

( d ) 前記絶縁膜中に前記プラグ表面まで到達する孔を形成する工程と、

( e ) 前記孔の側壁および底部に、Ruの有機化合物と酸化剤を反応させることによってRu膜を形成する工程と、

( f ) 前記Ru膜を非酸化性雰囲気中で熱処理を施しプラグ部のRu膜をシリサイド化し、引き続き窒化処理を施しシリコンプラグ部にRu膜の窒化シリサイド膜を形成する工程と、

( g ) 前記Ru膜に還元性雰囲気下での第1の熱処理と、非酸化性雰囲気下での第2の熱処理を施す工程と、

( h ) 前記Ru膜上に容量絶縁膜を形成する工程と、

( i ) 前記容量絶縁膜上に上部電極を形成する工程と、

を有する半導体集積回路装置の製造方法。

**【請求項22】**

前記工程( d )と工程( e )との間において、前記孔の内部および絶縁膜上に酸化タンタル膜を形成し、前記孔の底部および絶縁膜上の前記酸化タンタル膜を異方性エッチングにより除去して前記孔の側壁にのみ酸化タンタル膜を残す工程を含む請求項21記載の半導体集積回路装置の製造方法。

**【請求項23】**

( a ) 半導体基板の主表面にメモリセル選択用MISFETを形成する工程と、

( b ) 前記メモリセル選択用MISFETのソース、ドレイン領域と電気的に接続されたプラグを形成する工程と、

( c ) 前記プラグ上に絶縁膜を形成する工程と、

( d ) 前記絶縁膜中に前記プラグ表面まで到達する孔を形成する工程と、

( e ) 前記孔の内部および絶縁膜の上部に酸化タンタル膜を形成し、前記酸化タンタル膜を窒化処理し窒化タンタル膜に変える工程、

( f ) 前記孔の内部および絶縁膜上の酸化タンタル膜の上部に、Ruの有機化合物と酸化剤を反応させることによってRu膜を形成し還元性雰囲気下での第1の熱処理と、非酸化性雰囲気下での第2の熱処理を施す工程と、

( g ) 前記絶縁膜上のRu膜と前記窒化タンタル膜を除去して前記孔の底部および側壁に前記Ru膜を残す工程と、

( h ) 前記Ru膜上に容量絶縁膜を形成する工程と、

( i ) 前記容量絶縁膜上に上部電極を形成する工程と、

を有する半導体集積回路装置の製造方法。

**【請求項24】**

( a ) 半導体基板の主表面に形成されたメモリセル選択用MISFETと、

(b) 前記メモリセル選択用MISFETのソース、ドレイン領域と電氣的に接続されたプラグと、

(c) 前記プラグ上に形成された絶縁膜と、

(d) 前記絶縁膜中に形成され、前記プラグ表面まで延在する孔であって、孔のその深さがその短径の5倍以上である孔と、

(e) 前記孔内に形成された下部電極であって、CVD法で形成され、かつ還元性雰囲気下で熱処理されたRu膜からなる下部電極と、この下部電極の上部に形成された容量絶縁膜と、この容量絶縁膜上部に形成された上部電極とからなる情報蓄積用容量素子と、  
を有する半導体集積回路装置。

【請求項25】

(a) 半導体基板の主表面に形成されたメモリセル選択用MISFETと、

(b) 前記メモリセル選択用MISFETのソース、ドレイン領域と電氣的に接続されたプラグと、

(c) 前記プラグ上に形成された絶縁膜と、

(d) 前記絶縁膜中に形成され、前記プラグ表面まで延在する孔であって、孔のその深さがその短径の5倍以上である孔と、

(e) 前記孔内に形成された下部電極であって、CVD法で形成されたRu膜の積層膜からなる下部電極と、この下部電極の上部に形成された容量絶縁膜と、この容量絶縁膜上部に形成された上部電極とからなる情報蓄積用容量素子と、  
を有する半導体集積回路装置。

【請求項26】

請求項24または25に記載の半導体集積回路装置において、

前記Ru膜は、還元性雰囲気下の熱処理により前記Ru膜中の不純物を取り除かれて構成されている半導体集積回路装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

この情報蓄積用容量素子Cの形成での工程を、図8～図18を参照しながら詳細に説明する。これらの図は、プラグ22上の情報蓄積用容量素子Cの形成予定領域を模式的に表した図である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0080

【補正方法】変更

【補正の内容】

【0080】

その後、NH<sub>3</sub>雰囲気中で、600℃で3分熱処理を施すことにより、ルテニウムシリサイド323の表面に、ルテニウムシリコンナイトライド(RuSiN)323aを形成する。かかる条件により形成されるRuSiNは、1nm程度である。このRuSiNの膜厚は、熱処理温度で制御することができる。このRuSiNの膜が厚すぎるとこの上部に形成されるRu膜30bとプラグ22(ルテニウムシリサイド323)との導通が確保できなくなり、また、薄すぎるとRu膜30bとプラグ22とのシリサイド化反応を抑えることができなくなる。Ru膜30bとプラグ22との導通を確保しつつRu膜30bとプラグ22とのシリサイド化反応を抑えるためには、RuSiNの膜厚は、0.5～1.0nm程度とすることが望ましい。