



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년06월20일
(11) 등록번호 10-1869561
(24) 등록일자 2018년06월14일

(51) 국제특허분류(Int. Cl.)
G01R 31/36 (2006.01) *H01M 10/48* (2015.01)
H02B 13/035 (2006.01)

(21) 출원번호 10-2011-0136097
(22) 출원일자 2011년12월16일
 심사청구일자 2016년10월14일
(65) 공개번호 10-2012-0068729
(43) 공개일자 2012년06월27일
(30) 우선권주장
 12/971,591 2010년12월17일 미국(US)
(52) 산재·질병·화재·화재

(56) 선행기술조사문헌

JP03269268 A*

KR100832950 B1*

US5068640 A

US6377431 B1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자
제너럴 일렉트릭 캄파니
미합중국 뉴욕 (우편번호 12345) 쇼넥테디 원 리
파크

(72) 발명자
윌리엄스 크레이그 벤자민
미국 켄터키주 40225 루이빌 에이피6 룸108 제너
럴 일렉트릭 어플라이언스 파크

(74) 대리인
제일특허법원

전체 청구항 수 : 총 14 항

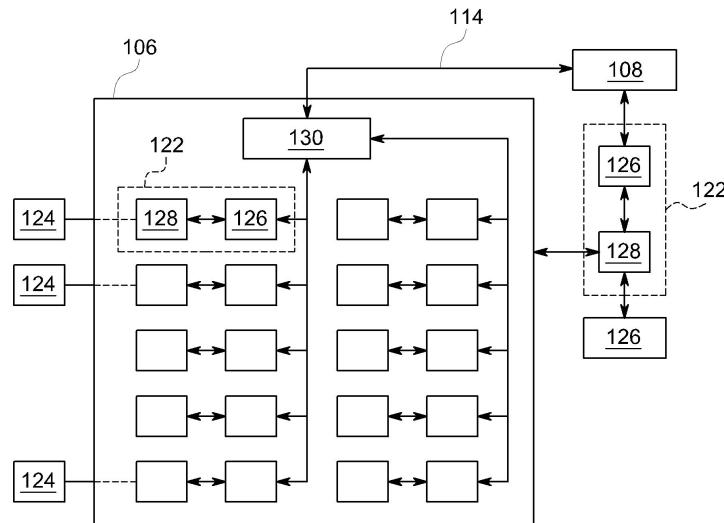
심사관 : 양찬호

(54) 발명의 명칭 회로 보호 장치 및 테스트 회로

(57) 요 약

회로 보호 장치(122)는 트립 메커니즘(128) 및 전기 에너지를 저장하고 전기 에너지를 트립 메커니즘(128)에 제공하도록 구성된 적어도 하나의 캐패시터(140)를 포함한다. 회로 보호 장치(122)는 또한 적어도 하나의 캐패시터(140)에 통신 가능하게 결합되고, 적어도 하나의 캐패시터(140)의 충전 특성을 측정하고, 측정된 충전 특성과 임계치를 비교하고, 비교를 표시하는 신호를 출력하도록 구성된 제어기(126)를 포함한다.

대 표 도



명세서

청구범위

청구항 1

트립 메커니즘(trip mechanism)(128)과,
전기 에너지를 저장하고, 상기 전기 에너지를 상기 트립 메커니즘(128)에 제공하도록 구성된 캐패시터(140)와,
제 1 전류를 측정하도록 구성된 제 1 전류 센서와,
제 2 전류를 측정하도록 구성된 제 2 전류 센서와,
상기 제 1 전류 센서 및 상기 제 2 전류 센서에 통신 가능하게 결합된 제어기(126)를 포함하되,
상기 제어기(126)는,

상기 측정된 제 1 전류 및 상기 측정된 제 2 전류에 적어도 부분적으로 기초하여 상기 캐패시터(140)를
통하는 전류를 결정하고,
상기 결정된 전류를 제 1 임계치와 비교하고,
상기 비교를 표시하는 제 1 신호를 출력하도록 구성되는
회로 보호 장치(122).

청구항 2

제 1 항에 있어서,
상기 제어기(126)는,

상기 결정된 전류가 상기 제 1 임계치보다 클 때, 상기 제 1 신호를 출력하고,
상기 결정된 전류와 제 2 임계치를 비교하고,
상기 결정된 전류가 상기 제 2 임계치보다 작을 때, 제 2 신호를 출력하도록 더 구성되는
회로 보호 장치(122).

청구항 3

제 1 항에 있어서,

전력 공급 장치를 더 포함하고,

상기 제어기는 상기 측정된 제 1 전류 및 상기 측정된 제 2 전류에 적어도 부분적으로 기초하여 상기 전력 공급
장치의 상태를 결정하도록 더 구성되는

회로 보호 장치(122).

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 제어기(126)는 상기 캐패시터(140)의 캐패시턴스를 계산하도록 더 구성되는 회로 보호 장치(122).

청구항 6

제 5 항에 있어서,

상기 제어기(126)는 상기 계산된 캐패시턴스와 임계 캐패시턴스를 비교하도록 더 구성되는 회로 보호 장치(122).

청구항 7

제 6 항에 있어서,

상기 제어기(126)는, 상기 계산된 캐패시턴스가 사전선택된 시간 기간 내에서 상기 임계 캐패시턴스 이상이 아닌 경우에 신호를 출력하도록 더 구성되는

회로 보호 장치(122).

청구항 8

제 1 항에 있어서,

상기 제어기(126)에 통신 가능하게 결합된 적어도 하나의 출력 장치(144)를 더 포함하되,

상기 적어도 하나의 출력 장치(144)는 상기 제어기(126)로부터 신호를 수신하고, 상기 신호에 기초하여 상기 회로 보호 장치(122)의 동작 상태를 표시하도록 구성되는

회로 보호 장치(122).

청구항 9

트립 메커니즘(128)을 갖는 회로 보호 장치(122)와 함께 사용하기 위한 테스트 회로(142)로서,

제 1 전류를 측정하도록 구성된 제 1 전류 센서와,

제 2 전류를 측정하도록 구성된 제 2 전류 센서와,

상기 제 1 전류 센서 및 상기 제 2 전류 센서에 통신 가능하게 결합된 프로세서(134)를 포함하되,

상기 프로세서는

상기 측정된 제 1 전류 및 상기 측정된 제 2 전류에 적어도 부분적으로 기초하여, 상기 트립 메커니즘(128)이 사용할 에너지를 저장하도록 구성된 적어도 하나의 캐패시터(140)를 통해 흐르는 전류를 결정하고,

상기 결정된 전류와 제 1 임계 전류를 비교하고,

상기 결정된 전류와 상기 제 1 임계 전류의 상기 비교를 표시하는 제 1 신호를 출력하도록 구성되는 테스트 회로(142).

청구항 10

제 9 항에 있어서,

상기 프로세서(134)는,

상기 결정된 전류가 상기 제 1 임계 전류보다 클 때, 상기 제 1 신호를 출력하고,

상기 결정된 전류와 제 2 임계 전류를 비교하고,

상기 결정된 전류가 상기 제 2 임계 전류보다 작을 때, 제 2 신호를 출력하도록 더 구성되는

테스트 회로(142).

청구항 11

제 9 항에 있어서,

상기 프로세서(134)는 상기 적어도 하나의 캐패시터(140)의 캐패시턴스를 계산하도록 더 구성되는

테스트 회로(142).

청구항 12

제 11 항에 있어서,

상기 프로세서(134)는 상기 계산된 캐패시턴스와 임계 캐패시턴스를 비교하도록 더 구성되는

테스트 회로(142).

청구항 13

제 12 항에 있어서,

상기 프로세서(134)는, 상기 계산된 캐패시턴스가 사전선택된 시간 기간 내에서 상기 임계 캐패시턴스 이상이 아닌 경우에 신호를 출력하도록 더 구성되는

테스트 회로(142).

청구항 14

제 9 항에 있어서,

상기 결정된 전류는 제 1 동작 모드 동안에 상기 적어도 하나의 캐패시터(140)를 통해 흐르는 제 1 결정된 전류와 제 2 동작 모드 동안에 상기 적어도 하나의 캐패시터(140)를 통해 흐르는 제 2 결정된 전류를 포함하고,

상기 프로세서(134)는,

상기 제 1 결정된 전류와 상기 제 1 임계 전류 간의 비교에 의하여 상기 결정된 전류를 상기 제 1 임계 전류와 비교하고,

상기 제 2 결정된 전류와 제 2 임계 전류를 비교하고,

상기 제 2 결정된 전류와 상기 제 2 임계 전류의 상기 비교에 기초하여 제 2 신호를 출력하도록 더 구성되는

테스트 회로(142).

청구항 15

제 14 항에 있어서,

상기 프로세서(134)는 상기 회로 보호 장치(122)로 하여금 상기 제 1 동작 모드와 상기 제 2 동작 모드 사이에

서 스위칭하게 하도록 더 구성되는
테스트 회로(142).

발명의 설명

기술 분야

[0001] 본 발명은 일반적으로 회로 보호 장치에 관한 것이며, 더욱 상세하게, 회로 보호 장치의 캐패시터의 충전 상태(charge status)를 모니터링하는 데 사용하기 위한 장치에 관한 것이다.

배경 기술

[0002] 공지된 전기 분배 회로 및 스위치기어(switchgear)는 일반적으로 공기, 가스 또는 고체 유전체들과 같이 절연에 의해 분리되는 도전체를 갖는다. 그러나, 도전체가 함께 너무 근접하게 위치되거나, 도전체들 사이의 전압이 도전체들 사이의 절연 특성을 초과하면, 아크가 발생할 수 있다. 예를 들면, 도전체들 사이의 절연이 이온화될 수 있고, 이는 절연을 도전성으로 만들고 아크 플래시의 형성을 가능하게 한다.

[0003] 아크 플래시는 2 개의 위상 도전체들 사이, 위상 도전체와 중성 도전체 사이, 또는 위상 도전체와 접지점 사이의 결함으로 인해 빠른 에너지의 방출을 포함한다. 아크 플래시 온도는 20,000°C에 도달하거나 초과할 수 있고, 이는 도전체 및 인접 장비를 증발시킬 수 있다. 또한, 아크 플래시는 도전체 및 인접 장비를 순상시키기에 충분한, 열뿐만 아니라, 강한 광, 압력파, 및/또는 음파 형태의 상당한 에너지를 방출할 수 있다. 그러나, 아크 플래시를 생성하는 결함의 전류 레벨은 일반적으로 단락 회로의 전류 레벨보다 더 작아서, 회로 차단기가 특별히 아크 결함 조건을 취급하도록 설계되지 않는다면, 회로 차단기가 일반적으로 작동하지 않거나 지연된 작동을 나타낼 수 있다.

발명의 내용

해결하려는 과제

[0004] 적어도 일부 공지된 회로 보호 장치는 2차적인 아크 플래시에 의해 방출되는 에너지를 안전하게 방지하도록 설계된 인클로저(enclosure) 내에 2차적인 아크 플래시를 입회하는데 사용하기 위한 하나 이상의 고전압 및 고에너지 캐패시터들을 포함한다. 이러한 캐패시터는 2차적인 아크 플래시의 형성을 용이하게 하기 위해 복수의 전극들 사이의 갭으로 플라즈마를 방출하는 용삭 플라즈마 건(ablative plasma gun)에 에너지를 제공하는데 사용될 수 있다. 마찬가지로, 적어도 일부 공지된 회로 보호 장치는 도전성 접촉 암들의 분리를 야기함으로써 회로 보호 장치를 통한 전류 흐름을 차단하는 데 사용하기 위한 하나 이상의 고전압 및 고에너지 캐패시터를 포함한다. 적어도 일부 공지된 캐패시터는, 예를 들면, 회로 보호 장치 내에서 생성되는 열로 인해 시간에 걸쳐 실패 또는 성능에서의 저하를 경험한다. 그러나, 이러한 캐패시터의 충전 상태를 관찰하는 것은 어렵다. 캐패시터가 충전되거나 충전되면서 이러한 회로 보호 장치를 언래킹(unracking)하는 것은, 운영자가 캐패시터와 접촉하게 되는 경우에 심각한 전기 쇼크 또는 연소를 유도할 수 있다. 따라서, 캐패시터의 충전 상태를 모니터링 및 표시하는 수단 및/또는 캐패시터의 충전 상태를 변경하는 수단을 제공하는 것이 바람직하다.

과제의 해결 수단

[0005] 하나의 양상에서, 회로 보호 장치는 트립 메커니즘 및 전기 에너지를 저장하고 전기 에너지를 트립 메커니즘에 제공하도록 구성된 적어도 하나의 캐패시터를 포함한다. 회로 보호 장치는 또한 적어도 하나의 캐패시터에 통신 가능하게 결합되고, 적어도 하나의 캐패시터의 충전 특성을 측정하고, 측정된 충전 특성과 임계치를 비교하고, 비교를 표시하는 신호를 출력하도록 구성된 제어기를 포함한다.

[0006] 또 다른 양상에서, 트립 메커니즘 및 트립 메커니즘에 의해 사용하기 위한 에너지를 저장하도록 구성된 적어도 하나의 캐패시터를 갖는 회로 보호 장치와 사용하기 위한 테스트 회로가 제공된다. 테스트 회로는 전류 센서 및 전류 센서에 통신 가능하게 결합된 프로세서를 포함한다. 전류 센서는 적어도 하나의 캐패시터를 통해 흐르는

전류를 측정하도록 구성된다. 프로세서는 측정된 전류와 임계 전류를 비교하고 비교를 표시하는 신호를 출력하도록 구성된다.

[0007] 또 다른 양상에서, 회로 보호 장치에서 사용하기 위한 캐패시터의 동작을 모니터링하기 위한 방법이 제공된다. 상기 방법은 캐패시터를 통해 흐르는 전류를 측정하는 단계, 측정된 전류에 기초하여 캐패시터에 대한 동작 상태를 결정하는 단계, 및 동작 상태를 표시하는 신호를 출력하는 단계를 포함한다.

도면의 간단한 설명

[0008] 도 1은 예시적인 전력 시스템의 간략한 블록도.

도 2는 도 1에 도시된 전력 시스템과 사용될 수 있는 예시적인 전력 분배 시스템의 간략한 블록도.

도 3은 도 2에 도시된 회로 보호 장치와 사용될 수 있는 예시적인 전기 아키텍처의 간략한 블록도.

도 4는 도 2에 도시된 회로 보호 장치의 간략한 블록도.

도 5는 도 2에 도시된 회로 보호 장치의 대안적인 실시예의 간략한 회로도.

도 6은 도 2에 도시된 회로 보호 장치의 캐패시터의 동작을 모니터링하기 위해 테스트 회로를 사용하는 예시적인 방법을 예시하는 흐름도.

발명을 실시하기 위한 구체적인 내용

[0009] 회로 보호 장치 내의 캐패시터의 캐패시턴스를 모니터링하는데 사용하기 위한 시스템, 방법, 및 장치의 예시적인 실시예가 본원에 기재되어 있다. 이러한 실시예는 캐패시터, 또는 캐패시터들의 뱅크가 캐패시터의 의한 전류 소모를 모니터링함으로써 충분한 캐패시턴스를 갖는지를 모니터링하는 것을 용이하게 한다. 측정은 초기 충전 시간 동안과 같이 단일의 측정일 수 있거나, 주기적인 측정과 같은 반복적인 측정일 수 있다. 캐패시터에 의한 전류 소모의 대략 연속적인 모니터링을 가능하게 하는 것은, 회로 보호 장치의 후속 리셋 전에 캐패시터의 실패 또는 캐패시터의 저하를 검출하는 것을 용이하게 한다. 또한, 본원에 기재된 실시예는 다수의 동작 모드들 동안에 캐패시터 및/또는 다른 회로 컴포넌트의 전류 소모를 모니터링하는 것을 용이하게 한다. 예를 들면, 회로 보호 장치의 제 1 동작 모드는 캐패시터로 하여금 제 1 전류 레벨을 유도하게 할 수 있고, 제 2 동작 모드는 캐패시터로 하여금 제 2 전류 레벨을 유도하게 할 수 있다. 제 1 및 제 2 전류 레벨들과 각각의 동작 모드에 대한 각각의 전류 프로파일들을 비교하는 것은 캐패시터, 또는 임의의 다른 회로 컴포넌트가 원하는 바와 같이 가능하는지를 회로 보호 장치가 결정하게 한다.

[0010] 도 1은 장비 보호 시스템(102) 및 분배 시스템(104)을 포함하는 예시적인 전력 시스템(100)의 간략한 블록도이다. 예시적인 실시예에서, 분배 시스템(104)은 복수의 스위치기어 유닛들(106)을 포함한다. 보호 시스템(102)은, 프로세서(110) 및 프로세서(110)에 결합된 메모리 영역(112)을 포함하는 중앙 제어기(108)를 포함한다. 프로세서(110)는 스위치기어 유닛(106)의 동작을 제어 및/또는 모니터링한다. 더욱 상세하게, 프로세서(110)는 스위치기어 유닛들(106) 내의 복수의 회로 차단기들 및 트립 유닛들(도 1에 도시되지 않음)의 동작을 제어 및/또는 모니터링한다. 프로세서(110)는 네트워크(114)를 통해 스위치기어 유닛들(106)과 통신한다. 예를 들면, 중앙 제어기(108)는, 네트워크(114)를 통해 프로세서(110)와 스위치기어 유닛들(106) 사이에서 데이터 및/또는 명령을 전송 및 수신하는 것을 가능하게 하는 중앙 통신 유닛(116)을 포함한다.

[0011] 용어, "프로세서"가 일반적으로 시스템 및 마이크로제어기를 포함하는 임의의 프로그래밍 가능 시스템, RISC(reduced instruction set circuit), ASIC(application specific integrated circuit), 프로그래밍 가능 논리 회로, 및 본원에 기재된 기능을 실행할 수 있는 임의의 다른 회로 또는 프로세서를 지칭한다는 것이 이해되어야 한다. 상기 예는 단지 예시적인 것이며, 따라서 용어, "프로세서"의 정의 및/또는 의미를 임의의 방법으로 제한하도록 의도되지 않는다.

[0012] 또한, 메모리 영역(112)은 스위치기어 유닛들(106)을 제어 및/또는 모니터링하기 위해 프로세서(110)에 의해 실행 가능한 프로그램 코드 및 인스트럭션을 저장한다. 메모리 영역(112)은 하나, 또는 하나 이상의 메모리 형태들을 포함할 수 있다. 예를 들면, 메모리 영역(112)은 NVRAM(non-volatile), MRAM(magnetic RAM), FeRAM(ferroelectric RAM) 및 다른 형태의 메모리를 포함할 수 있는 RAM(random access memory)를 포함할 수 있다. 메모리 영역(112)은 또한 ROM(read only memory), 플래시 메모리 및/또는 EEPROM(Electrically Erasable Programmable Read Only Memory)를 포함할 수 있다. 임의의 다른 적절한 자기, 광학 및/또는 반도체 메모리는 홀로 또는 다른 형태의 메모리와 조합하여 메모리 영역(112)에 포함될 수 있다. 메모리 영역(112)은, 이에 제한

되지 않지만, 적절한 카트리지, 디스크, CD ROM, DVD 또는 USB 메모리를 포함하여 착탈 가능 또는 제거 가능 메모리일 수 있거나, 이를 포함할 수 있다.

[0013] 또한, 도 1의 예시적인 실시예에서, 보호 시스템(102)은 보호 시스템(102)을 사용하는 분배 시스템(104)을 모니터링 및 제어하기 위한 사용자 인터페이스를 제공하는 디스플레이 장치(118) 및 사용자 입력 장치(120)를 포함한다. 디스플레이 장치(118)는 제한 없이 모니터, 텔레비전 디스플레이, 플라즈마 디스플레이, 액정 디스플레이(LCD), 발광 다이오드(LED) 기반 디스플레이, 복수의 유기 발광 다이오드들(OLED)에 기반한 디스플레이, 투영 및/또는 반사 이미지를 포함하는 디스플레이 또는 임의의 다른 적절한 전자 장치 또는 디스플레이 메커니즘을 포함할 수 있다. 하나의 실시예에서, 디스플레이 장치(118)는 연관된 터치-스크린 제어기를 갖는 터치-스크린을 포함한다. 디스플레이 장치(118)는 정사각형, 직사각형 또는 신장된 직사각형과 같이 임의의 적절한 구성일 수 있다.

[0014] 도 2는 전력 분배 시스템(104)의 간략한 블록도이다. 예시적인 실시예에서, 스위치기어 유닛(106)은 또한 복수의 회로 보호 장치들(122)을 포함한다. 각각의 회로 보호 장치(122)는 스위치기어 유닛(106) 내에 착탈 가능하게 결합되고, 하나 이상의 부하들(124)에 대한 전력을 제어하도록 구성된다. 부하들(124)은, 이에 제한되지 않지만, 기계, 모터, 조명, 및/또는 제조 또는 전력 생성 또는 분배 설비의 다른 전기 및 기계 장비를 포함할 수 있다. 전력은 메인 전력 피드(126)로부터 스위치기어 유닛(106)에 제공되고, 메인 전력 피드는 또한 회로 보호 장치에 결합된다. 그후, 전력은 전력을 부하들(124)에 제공하기 위해 회로 보호 장치(122)를 사용하여 복수의 분기 회로들로 분할된다.

[0015] 각각의 회로 보호 장치(122)는 회로 차단기 또는 아크 방지 장치와 같은 제어기(126) 및 트립 메커니즘(128)을 포함한다. 예시적인 회로 차단기는, 예를 들면, 회로 차단기를 통해 전류 흐름을 차단하는 회로 스위치 및/또는 회로 차단기를 포함한다. 예시적인 아크 방지 장치는, 예를 들면, 방지 어셈블리, 복수의 전극들, 플라즈마 건, 및 회로 상에서 검출되는 다른 전기적 결함의 아크로부터 방지 어셈블리로 에너지를 우회시키기 위해 플라즈마 건이 용삭 플라즈마를 전극들 사이의 갭으로 방출하게 하는 트리거 회로를 포함한다. 예시적인 실시예에서, 제어기(126)는 또한 중앙 제어기(108)에 통신 가능하게 결합된다. 예를 들면, 제어기(126)는 중앙 제어기(108)와의 통신을 위해 직접적으로 결합될 수 있거나, 중앙 제어기(108)와의 통신을 위해 통신 유닛(130)을 통해 결합될 수 있다. 또한, 제어기 및 중앙 제어기(108) 사이의 통신은 하드웨어에 내장된 통신 링크 또는 무선 통신 링크를 통해 제공될 수 있다. 제어기(126)는 대응하는 트립 메커니즘(1428)에 관한 동작 데이터를 수집한다. 예를 들면, 제어기(126)는 회로 보호 장치(124)에 의해 모니터링되는 회로의 도전체를 통한 전류 레벨, 회로 보호 장치(124)에 의해 모니터링되는 회로의 복수의 도전체들에 걸친 전압 레벨, 및/또는 회로 보호 장치(124)의 차단 상태를 획득함으로써 동작 데이터를 수집할 수 있다. 일부 실시예에서, 제어기(126)는 사전선택된 빈도로 동작 데이터를 주기적으로 수신한다. 또한, 제어기(126)는 단락 회로, 아크, 또는 과전류와 같은 회로 상의 결함을 검출하고, 회로 및/또는 부하(124)를 보호하기 위해 트립 메커니즘(128)으로 하여금 결함의 에너지를 트립 또는 우회시키도록 한다.

[0016] 도 3은 회로 보호 장치(122)와 사용될 수 있는 예시적인 전기 아키텍처(132)의 간략한 블록도이다. 예시적인 실시예에서, 제어기(126)는 통신 버스(138)를 통해 상호 접속된 프로세서(134) 및 메모리 영역(136)을 포함한다. 대안적인 실시예에서, 각각의 제어기(126)는 다수의 프로세서들(134)을 포함한다. 또한, 또 다른 대안적인 실시예에서, 각각의 제어기(126)는 복수의 메모리 영역들(136)을 포함한다. 프로세서(134)는 시스템 및 마이크로프로세서를 포함하는 임의의 프로그래밍 가능 시스템, RISC(reduced instruction set circuit), ASIC(application specific integrated circuit), 프로그래밍 가능 논리 회로, 및 본원에 기재된 기능을 실행할 수 있는 임의의 다른 회로 또는 프로세서일 수 있다. 메모리 영역(136)은 제어기(126) 및/또는 트립 메커니즘(128)에 대한 동작 데이터를 저장한다. 메모리 영역(136)은 하나, 또는 하나 이상의 메모리 형태들을 포함할 수 있다. 예를 들면, 메모리 영역(136)은 NVRAM(non-volatile), MRAM(magnetic RAM), FeRAM(ferroelectric RAM) 및 다른 형태의 메모리를 포함할 수 있는 RAM(random access memory)를 포함할 수 있다. 메모리 영역(136)은 또한 ROM(read only memory), 플래시 메모리 및/또는 EEPROM(Electrically Erasable Programmable Read Only Memory)를 포함할 수 있다. 임의의 다른 적절한 자기, 광학 및/또는 반도체 메모리는 홀로 또는 다른 형태의 메모리와 조합하여 메모리 영역(136)에 포함될 수 있다. 메모리 영역(136)은 또한, 이에 제한되지 않지만, 적절한 카트리지, 디스크, CD ROM, DVD 또는 USB 메모리를 포함하여 착탈 가능 또는 제거 가능 메모리일 수 있거나, 이를 포함할 수 있다.

[0017] 또한, 예시적인 실시예에서, 회로 보호 장치(122)는 하나 이상의 캐패시터들(140)을 포함한다. 일부 실시예에서, 캐패시터(140)는 또한 본원에서 활성화 캐패시터들로 지칭될 수 있고, 아크 방지 장치(미도시) 내

에서 아크를 생성하는데 사용하기 위해 전력을 회로 보호 장치(122)의 플라즈마 건(미도시)에 제공하는데 사용된다. 대안으로, 캐패시터(140)는 활성 캐패시터로서 사용되고, 전력을 트립 메커니즘(128)에 제공하는데 사용될 수 있다. 또한, 일부 실시예에서, 캐패시터(140)는 또한 본원에서 펄스 캐패시터로서 지칭될 수 있고, 전력이 플라즈마 건에 제공된 후에 펄스 신호를 플라즈마 건에 제공하는데 사용된다. 펄스 신호는 플라즈마 건으로 하여금 아크 방지 장치 내에서 아크 플룸(arc plume)을 생성하게 한다.

[0018] 예시적인 실시예에서, 제어기(126)는 캐패시터(140)의 충전 상태를 모니터링하는데 사용하기 위해 캐패시터(140)에 통신 가능하게 결합된 테스트 회로(142)를 포함한다. 테스트 회로(142)는 캐패시터(138)의 충전 특성을 측정하고, 측정된 충전 특성과 임계치를 비교하고, 비교를 표시하는 신호를 출력한다. 예를 들면, 테스트 회로(142)는 측정된 충전 특성과 제 1 임계치를 비교하고, 측정된 충전 특성이 제 1 임계치보다 클 때 제 1 신호를 출력한다. 또한, 테스트 회로(142)는 측정된 충전 특성과 제 2 임계치를 비교하고, 측정된 충전 특성이 제 2 임계치보다 작을 때 제 2 신호를 출력한다. 상세하게, 테스트 회로(142)는 캐패시터(140)를 통해 흐르는 전류를 측정하고, 측정된 전류와 제 1 임계 전류를 비교하고, 측정된 전류가 제 1 임계 전류보다 클 때 제 1 신호를 출력한다. 또한 테스트 회로(142)는 측정된 전류와 제 2 임계 전류를 비교하고, 측정된 전류가 제 2 임계 전류보다 작을 때 제 2 신호를 출력한다. 또한, 테스트 회로(142)는 측정된 전류에 기초하여 캐패시터(140)의 캐패시턴스를 계산한다. 테스트 회로(142)는 계산된 캐패시턴스와 임계 캐패시턴스를 비교하고, 계산된 캐패시턴스가 사전선택된 시간 기간 내에서 임계 캐패시턴스 이상이 아닌 경우에 신호를 출력한다. 일부 실시예에서, 테스트 회로(142)는 프로세서(134)를 포함한다. 대안으로, 테스트 회로(142)는 통신 버스(138)를 통해 프로세서(134)와 통신한다.

[0019] 또한, 일부 실시예에서, 제어기(126)는 캐패시터(140)의 충전 상태를 운영자에게 표시하는 적어도 하나의 출력 장치를 포함한다. 예를 들면, 하나의 실시예에서, 제어기(126)는 제 1 출력 장치(144), 제 2 출력 장치(146), 제 3 출력 장치(148)를 포함한다. 제 1 출력 장치(144)는 캐패시터(140)가 원하는 시간 기간 내에 트립 메커니즘(128)의 동작을 구동시키도록 충분히 충전된다는 것을 운영자에게 표시한다. 제 2 출력 장치(146)는 캐패시터(140)가 방전되거나 원하는 시간 내에 충전하는데 실패한다는 것을 운영자에게 표시한다. 제 3 출력 장치(148)는 캐패시터(140)가 충전중이라는 것을 운영자에게 표시한다.

[0020] 도 4는 회로 보호 장치(122)의 간략한 회로도이고, 도 5는 회로 보호 장치(122)의 대안적인 실시예이다. 예시적인 실시예에서, 도 4에 도시된 바와 같이, 전력 공급 장치(150)는 캐패시터(140) 및 프로세서(134)에 결합된다. 전력 공급 장치(150)는 회로 보호 장치(122)에 의해 사용하기 위한 입력 전압을 수신하고, 입력 전압을 프로세서(134)에서 사용하기 적절한 저전압으로 변환한다. 회로 보호 장치(122)는 또한 광 센서, 전류 센서, 전압 센서 등과 같은 아날로그 회로 컴포넌트들(152)을 포함한다. 예시적인 실시예에서, 테스트 회로(142)는 저항기와 같은 저항 소자(154), 및 전류 센서(156)를 포함한다. 전류 센서(156)는 캐패시터(156)를 통해 흐르는 전류를 측정한다. 대안적인 실시예에서, 테스트 회로(142)는 저항 소자(154) 및 전류 센서(156) 이외에 또는 대신에 임의의 적절한 감지 장치를 포함할 수 있다. 예를 들면, 테스트 회로(142)는 홀 센서(Hall sensor)(미도시)를 포함할 수 있다. 프로세서(134)는 측정된 전류와 임계 전류를 비교하고, 비교를 표시하는 신호를 출력 장치들(144, 146, 및 148)(도 3에 도시됨) 중 하나로 출력한다. 더욱 상세하게, 프로세서(134)는 측정된 전류와 제 1 임계 전류를 비교하고, 측정된 전류가 제 1 임계 전류보다 클 때 제 1 신호를 제 1 출력 장치(144)로 출력한다. 또한, 프로세서(134)는 측정된 전류와 제 2 임계 전류를 비교하고, 측정된 전류가 제 2 임계 전류보다 작을 때 제 2 신호를 제 2 출력 장치(146)로 출력한다.

[0021] 하나의 실시예에서, 도 5에 도시된 바와 같이, 회로 보호 장치(122)는 캐패시터(140)로의 제 1 전류를 측정하는 제 1 테스트 회로(142) 및 전력 공급 장치(150)로의 제 2 전류를 측정하는 제 2 테스트 회로(142)를 포함하는 다수의 테스트 회로들(142)을 포함한다. 프로세서(134)는 제 1 전류로부터 제 2 전류를 감산함으로써 캐패시터(140)를 통해 흐르는 전류를 결정한다. 마찬가지로, 다수의 트리거 회로들은 전력 공급 장치(150) 및/또는 출력 장치들(144, 146, 및 148)과 같은 회로 보호 장치(122) 내의 전자 컴포넌트들의 건강에 관한 정보를 결정하도록 포함될 수 있다.

[0022] 또한, 하나의 실시예에서, 프로세서(134)는, 예를 들면, 캐패시터(140)를 통해 흐르는 측정된 전류가 대략 제로 보다 클 때 회로 이상(circuit abnormality) 또는 실패를 검출한다. 그러한 실시예에서, 캐패시터(140)를 통해 흐르는 전류는 회로 보호 장치(122)의 가동 동작 동안을 제외하거나 회로 보호 장치(122)가 모니터링된 회로 내의 결합을 검출 때 거의 제로일 것으로 예상된다. 따라서, 프로세서(134)가, 예를 들면, 캐패시터(140)를 통해 흐르는 누설 전류와 같은 전류를 검출할 때, 프로세서(134)는 출력 장치들(144, 146, 및 148) 중 하나 이상을

사용하여 경고 또는 에러 신호를 출력할 수 있다.

[0023] 예시적인 실시예에서, 프로세서(134)는 또한 제어기(136) 및/또는 회로 보호 장치(122)의 상이한 동작 모드들 동안에 전류를 측정한다. 예를 들면, 전류 센서(156)는 제 1 동작 모드 동안에 캐패시터(140)를 통해 흐르는 제 1 전류를 측정하고, 제 2 동작 모드 동안에 캐패시터(140)를 통해 흐르는 제 2 전류를 측정한다. 프로세서(134)는 전류 센서(140)에 의한 측정들 사이에서 제어기(126) 또는 회로 보호 장치(122)로 하여금 제 1 동작 모드와 제 2 동작 모드 사이에서 스위칭하게 한다. 또한, 프로세서(134)는 제 1 전류 및 제 1 임계 전류 사이의 제 1 비교를 수행하고, 제 1 비교에 기초하여 제 1 신호를 출력한다. 프로세서(134)는 또한 제 2 전류 및 제 2 임계 전류 사이의 제 2 비교를 수행하고, 제 2 비교에 기초하여 제 2 신호를 출력한다.

[0024] 일부 실시예에서, 테스트 회로(142)는 회로 보호 장치(122)의 다른 전기 컴포넌트들에 대한 상이한 동작 모드에서 성능을 모니터링하는데 사용된다. 예를 들면, 프로세서(134)는 아날로그 회로 컴포넌트(152)로 하여금 상이한 동작 모드들 사이에서 스위칭하게 할 수 있다. 그러한 실시예에서, 전류 센서(156)에 의해 측정된 전류는 선택된 아날로그 회로 컴포넌트(152)의 동작 모드를 표시한다. 프로세서(134)는, 선택된 동작 모드들에 기초하여 대략적으로 알려진 임계 전류와 측정된 전류를 비교함으로써 선택된 아날로그 회로 컴포넌트(156)가 원하는 바와 같이 동작하는지를 결정한다.

[0025] 도 6은 테스트 회로(142)를 사용하는 캐패시터(140)(양자가 도 3 내지 도 5에 도시됨)의 동작을 모니터링하기 위한 예시적인 방법을 예시하는 흐름도(200)이다. 예시적인 실시예에서, 전류 센서(156)(도 4 및 도 5에 도시됨)는 캐패시터(140)를 통해 흐르는 전류를 측정하고(202), 측정된 전류를 표시하는 신호를 프로세서(134)(도 4 및 도 5에 도시됨)로 전송한다. 프로세서(134)는 측정된 전류에 기초하여 캐패시터(140)에 대한 동작 상태를 결정한다. 예를 들면, 프로세서(134)는 측정된 전류가 제 1 임계 전류보다 큰지를 결정하고(204), 측정된 전류가 제 2 임계 전류보다 작은지를 결정한다(206). 프로세서(134)는 또한 캐패시터(140)의 동작 상태를 나타내는 신호를 출력한다. 예를 들면, 프로세서(134)는 측정된 전류가 제 1 임계 전류보다 클 때 제 1 신호를 제 2 출력 장치(144)(도 3에 도시됨)로 출력하고, 측정된 전류가 제 2 임계 전류보다 작을 때 제 2 신호를 제 2 출력 장치(146)(도 3에 도시됨)로 출력한다. 대안적인 실시예에서, 회로 보호 장치(122)는 캐패시터(140)로의 제 1 전류를 측정하는 제 1 테스트 회로(142) 및 전력 공급 장치(150)(도 4 및 도 5에 도시됨)로의 제 2 전류를 측정하는 제 2 테스트 회로(142)를 포함하는 다수의 테스트 회로들(142)을 포함한다. 프로세서(134)는 제 1 전류로부터 제 2 전류를 감산함으로써 캐패시터(140)를 통해 흐르는 전류를 결정한다. 마찬가지로, 다수의 트리거 회로들(142)은 전력 공급 장치(150) 및/또는 출력 장치들(144, 146, 및 148)과 같이 회로 보호 장치(122) 내의 전자 컴포넌트의 건강에 관한 정보를 결정하도록 포함될 수 있다.

[0026] 일부 실시예에서, 전류 센서(156)는 회로 보호 장치(122)의 제 1 동작 모드 동안에 캐패시터(140)를 통해 흐르는 제 1 전류를 측정하고, 회로 보호 장치(122)의 제 2 동작 모드 동안에 캐패시터(140)를 통해 흐르는 제 2 전류를 측정한다. 그러한 실시예에서, 프로세서(134)는 제 1 전류와 제 1 임계 전류 사이의 제 1 비교를 수행하고, 제 1 비교에 기초하여 제 1 신호를 제 1 출력 장치(144)로 출력한다. 프로세서(134)는 회로 보호 장치(122)로 하여금 제 1 동작 모드로부터 제 2 동작 모드로 스위칭하도록 하고, 제 2 전류와 제 2 임계 전류 사이의 제 2 비교를 수행하고, 제 2 비교에 기초하여 제 2 신호를 제 2 출력 장치(146)로 출력한다.

[0027] 회로 보호 장치 전력 공급 장치의 캐패시턴스 레벨을 모니터링하기 위한 시스템, 방법, 및 장치의 예시적인 실시예가 상세히 상술되었다. 상기 시스템, 방법, 및 장치는 본원에 기재된 특정 실시예로 제한되지 않고, 오히려 상기 방법의 동작 및/또는 상기 시스템 및/ 장치의 컴포넌트는 본원에 기재된 다른 동작 및/또는 컴포넌트로부터 독립적으로 및 개별적으로 활용될 수 있다. 또한, 기재된 동작 및/또는 컴포넌트는 다른 시스템, 방법, 및/ 또는 장치 내에서 규정되거나, 또는 다른 시스템, 방법, 및/또는 장치와 조합하여 사용될 수 있고, 단지 본원에 기재된 시스템, 방법, 및 저장 매체와의 실시로 제한되지 않는다.

[0028] 본 발명이 예시적인 회로 보호 시스템과 연관하여 기재되었지만, 본 발명의 실시예는 다른 범용 또는 특별 목적 회로 보호 시스템 또는 구성과 동작 가능하다. 본원에 기재된 회로 보호 시스템은 본 발명의 임의의 양상의 사용 또는 기능의 범위에 대한 임의의 제약을 제한하도록 의도되지 않는다. 또한, 본원에 기재된 회로 보호 시스템은 예시적인 동작 환경에서 예시된 임의의 하나의 컴포넌트 또는 컴포넌트들의 조합에 관련한 임의의 종속성 또는 요건을 갖는 것으로 해석되어서는 안 된다.

[0029] 본원에 예시 및 기재된 본 발명의 실시예에서 동작을 실행 또는 수행 순서는 달리 명시되지 않는다면 근본적이지 않다. 즉, 달리 지정되지 않는다면, 동작들은 임의의 순서로 수행될 수 있고, 본 발명의 실시예는 본원에 개시된 것과 다른 부가적이거나 더 적은 동작들을 포함할 수 있다. 예를 들면, 또 다른 동작 전에, 동시에, 또는

이후에 특정 동작을 실행 또는 수행하는 것이 본 발명의 양상들의 범위 내에 있다는 것이 고려된다.

[0030] 본 발명 또는 그의 실시예의 양상의 요소를 도입할 때, 관사들, "하나", "한", "그", 및 "상기"는 하나 이상의 요소들이 존재한다는 것을 의미하도록 의도된다. 용어, "구비", "포함" 및 "갖다"는 포괄적이도록 의도되고, 리스트된 요소 이외에 부가적인 요소들이 존재할 수 있다는 것을 의미한다.

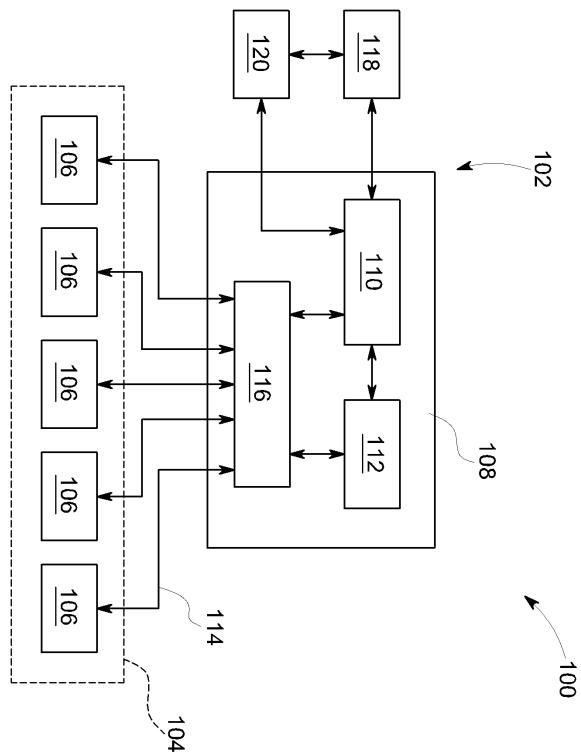
[0031] 이러한 기록된 설명은 최상 모드를 포함하여 본 발명을 개시하고, 또한 임의의 장치 또는 시스템을 제조 및 사용하고 임의의 통합된 방법들을 수행하는 것을 포함하여 당업자가 본 발명을 실시하도록 하기 위해 예를 사용한다. 본 발명의 특허 가능한 범위는 청구항에 의해 규정되고, 당업자에게 발생하는 다른 예들을 포함할 수 있다. 그러한 다른 예들은, 그들이 청구항의 문자 그대로의 언어와 상이하지 않은 구조적 요소를 갖거나, 또는 그들이 청구항의 문자 그대로의 언어와 실질적이지 않은 차이를 갖는 동등한 요소를 포함한다면, 청구항의 범위 내에 속하는 것으로 의도된다.

부호의 설명

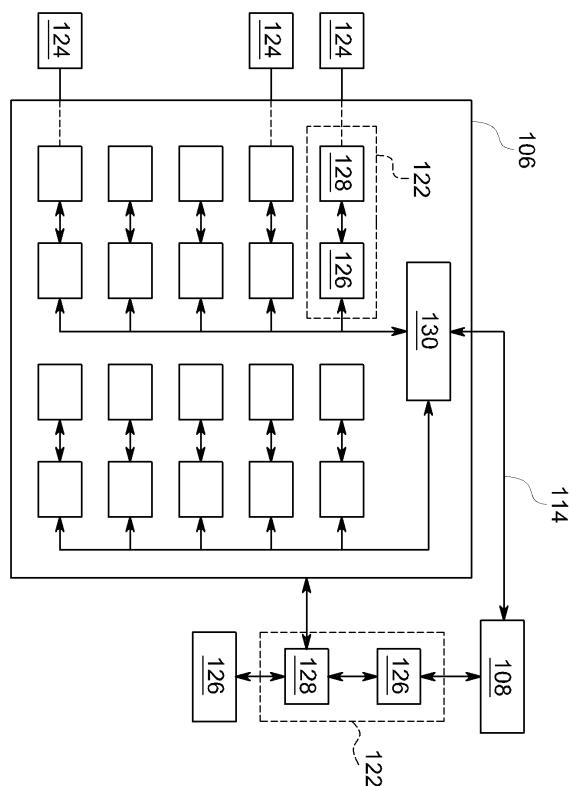
100: 전력 시스템	102: 장비 보호 시스템
104: 분배 시스템	106: 스위치기어 유닛
108: 중앙 제어기	110: 프로세서
112: 메모리 영역	114: 네트워크
116: 중앙 통신 유닛	118: 디스플레이 장치
120: 사용자 입력 장치	122: 회로 보호 장치
124: 부하	126: 메인 전력 퍼드
126: 제어기	128: 트립 메커니즘
130: 통신 유닛	132: 전기 아키텍처
134: 프로세서	136: 메모리 영역
138: 통신 버스	140: 캐패시터
142: 테스트 회로	144: 제 1 출력 장치
146: 제 2 출력 장치	148: 제 3 출력 장치
150: 전력 공급 장치	152: 아날로그 회로 컴포넌트
154: 저항 소자	156: 전류 센서
200: 흐름도	
202: 캐패시터를 통해 흐르는 전류 측정	
204: 측정된 전류가 제 1 임계 전류보다 큰지를 결정	
206: 측정된 전류가 제 2 임계 전류보다 작은지를 결정	
208: 제 1 신호 출력	

도면

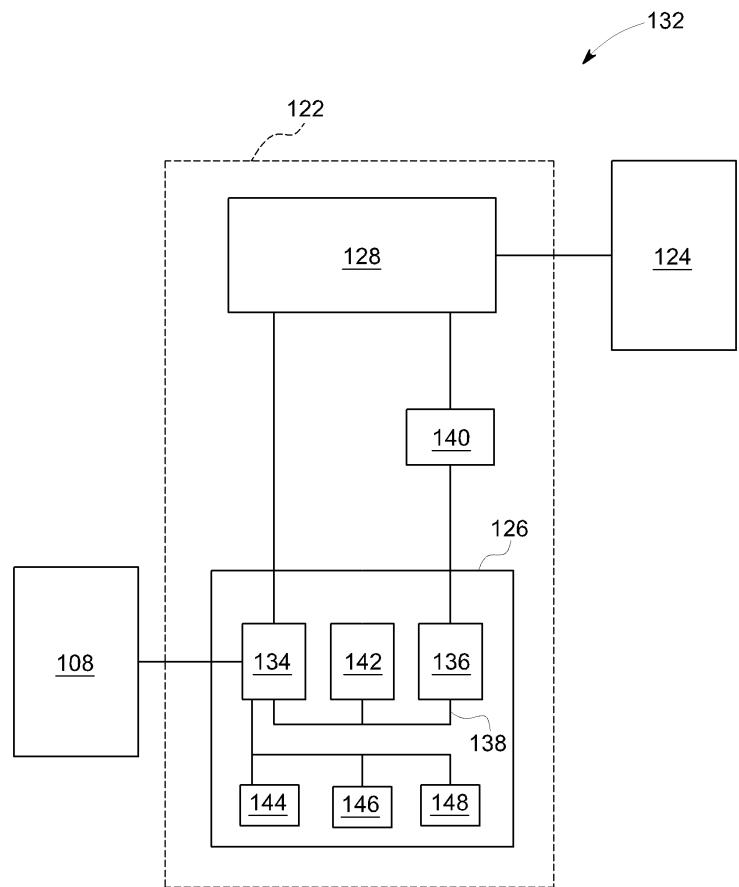
도면1



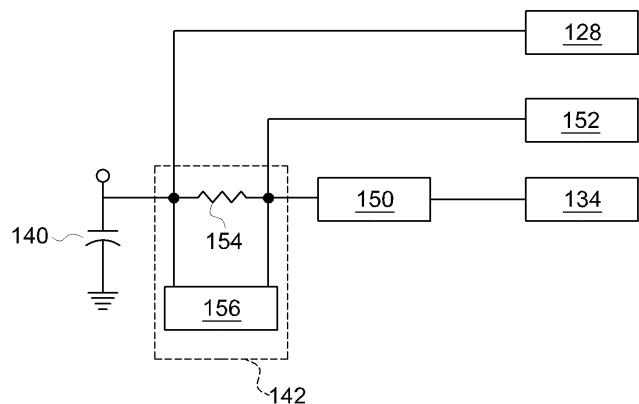
도면2



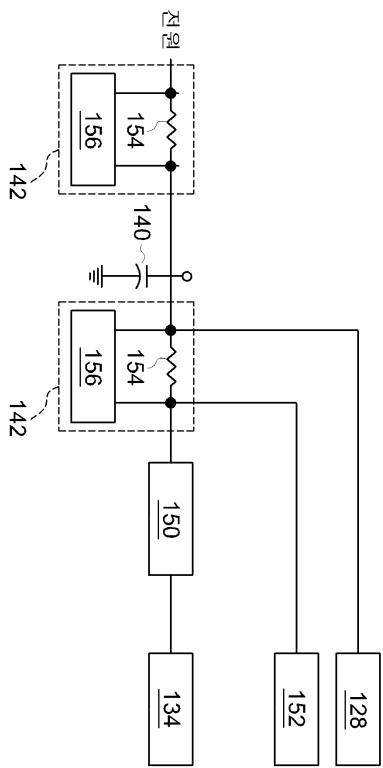
도면3



도면4



도면5



도면6

