

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成20年9月25日(2008.9.25)

【公開番号】特開2007-87526(P2007-87526A)

【公開日】平成19年4月5日(2007.4.5)

【年通号数】公開・登録公報2007-013

【出願番号】特願2005-276570(P2005-276570)

【国際特許分類】

G 1 1 C 16/02 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

G 1 1 C 16/04 (2006.01)

【F I】

G 1 1 C 17/00 6 1 1 A

H 0 1 L 27/10 4 3 4

H 0 1 L 27/10 4 8 1

H 0 1 L 29/78 3 7 1

G 1 1 C 17/00 6 1 1 E

G 1 1 C 17/00 6 4 1

G 1 1 C 17/00 6 2 2 E

G 1 1 C 17/00 6 1 3

【手続補正書】

【提出日】平成20年8月7日(2008.8.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体チップと、

前記チップに配置された、複数の書き換え可能な不揮発性メモリセルを含む第 1 のメモリセルグループと、

前記チップに配置された、複数の書き換え可能な不揮発性メモリセルを含む第 2 のメモリセルグループと、を備え、

前記不揮発性メモリセルへのデータの書き込み時において、しきい値電圧の低電圧側をベリファイする際のベリファイ電圧を可変にすることを特徴とする半導体集積回路装置。

【請求項 2】

前記不揮発性メモリセルの書き込みしきい値電圧は、書き込み時のワード線のステップアップ電圧幅を可変とすることにより可変とされることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】

前記不揮発性メモリセルの書き込みしきい値電圧は、ベリファイ読み出し時のワード線を可変とすることにより可変とされることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 4】

前記第 1 のメモリセルグループの読み出し時のワード線電圧と、前記第 2 のメモリセルグループの読み出し時のワード線電圧とを可変にすることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 5】

前記第 1 のメモリセルグループの書き込みしきい値電圧の分布幅は、前記第 2 のメモリセルグループの書き込みしきい値電圧の分布幅よりも狭いことを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 6】

前記第 1 のメモリセルグループの最大の書き込みしきい値電圧は、前記第 2 のメモリセルグループの最大の書き込みしきい値電圧よりも低いことを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 7】

前記第 1、第 2 のメモリセルグループはページであることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 8】

前記第 1、第 2 のメモリセルグループはブロックであることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 9】

前記第 1、第 2 のメモリセルグループはメモリセルアレイであることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 10】

前記第 1、第 2 のメモリセルグループは、1 本又は複数本のワード線単位で分けられていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 11】

前記第 1 のメモリセルグループに含まれる不揮発性メモリセルのゲート長は、前記第 2 のメモリセルグループに含まれる不揮発性メモリセルのゲート長と異なることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 12】

前記第 1 のメモリセルグループは選択ゲート線に隣接し、前記第 1 のメモリセルグループに含まれる不揮発性メモリセルのゲート長は、前記第 2 のメモリセルグループに含まれる不揮発性メモリセルのゲート長と異なることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 13】

前記第 1 のメモリセルグループは選択ゲート線に隣接し、前記第 1 のメモリセルグループに含まれる不揮発性メモリセルのゲート長は、前記第 2 のメモリセルグループに含まれる不揮発性メモリセルのゲート長と同じであることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 14】

前記しきい値電圧の設定内容は、不揮発性メモリセルに記憶することを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 15】

前記しきい値電圧の設定内容は、書き込み動作、あるいは読み出し動作、あるいは消去動作の前に設定内容を読み出し、読み出した結果に応じて、書き込みベリファイ読み出し時のワード線電圧、あるいは消去ベリファイ読み出し時のワード線電圧、読み出し時のワード線電圧を可変にすることを特徴とする請求項 14 に記載の半導体集積回路装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正の内容】

【 0 0 0 4 】

この発明の一態様に係る半導体集積回路装置は、半導体チップと、前記チップに配置された、複数の書き換え可能な不揮発性メモリセルを含む第1のメモリセルグループと、前記チップに配置された、複数の書き換え可能な不揮発性メモリセルを含む第2のメモリセルグループと、を備え、前記不揮発性メモリセルへのデータの書き込み時において、しきい値電圧の低電圧側をベリファイする際のベリファイ電圧を可変にする。