(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3609891号
(P3609891)
(45)発行日　平成17年1月12日(2005.1.12)　(24)登録日　平成16年10月22日(2004.10.22)

(51)Int.Cl.[7]	F I		
H02P 5/00	H02P	5/00	W
G11B 15/467	H02P	5/00	L
	G11B	15/467	J

請求項の数 8　(全 32 頁)

(21)出願番号　特願平7-348697
(22)出願日　平成7年12月19日(1995.12.19)
(65)公開番号　特開平9-172792
(43)公開日　平成9年6月30日(1997.6.30)
審査請求日　平成13年9月21日(2001.9.21)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(73)特許権者　000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町５丁目２２番１号
(74)代理人　100089071
弁理士　玉村　静世
(72)発明者　田中　勝
東京都小平市上水本町５丁目２２番１号
株式会社日立マイコンシステム内

審査官　川端　修

最終頁に続く

(54)【発明の名称】マイクロコンピュータ

(57)【特許請求の範囲】
【請求項１】
モータの回転速度に応じて生成される周期信号を受け、これに基づくモータの加減速制御のためのデータ処理を行うマイクロコンピュータであって、
中央処理装置と、中央処理装置によってデータがロードされるレジスタと、前記周期信号の所定の変化毎に前記レジスタに格納されている値がプリセットされ、このプリセットされた値を起点にクロック信号により計数動作を行う計数手段と、この計数手段から出力される計数値が所定の状態に到達するタイミングと前記周期信号の所定の変化のタイミングとの早遅に基づいて、加速中又は減速中のモータが規定の回転速度状態に到達したことを示す制御信号を出力する信号形成回路とを備えて成るものであることを特徴とするマイクロコンピュータ。
【請求項２】
前記制御信号は前記中央処理装置に対する割込み信号であることを特徴とする請求項１記載のマイクロコンピュータ。
【請求項３】
規定の回転速度に到達したモータの回転速度を前記制御信号に基づいて定常状態に制御するサーボ回路を更に備えて成るものであることを特徴とする請求項２記載のマイクロコンピュータ。
【請求項４】
前記サーボ回路と前記中央処理装置とに共通の動作クロック信号を生成するクロックパル

スジェネレータを更に備え、一個の半導体基板に形成されて成るものであることを特徴とする請求項３記載のマイクロコンピュータ。

【請求項５】

前記計数手段はダウンカウンタであり、前記信号形成回路は、前記ダウンカウンタから出力されるアンダーフロー信号によって前記周期信号の前記所定の変化をマスクして出力するマスク手段と、加速処理において前記マスク手段の出力を選択し、減速処理において前記ダウンカウンタの出力を選択し、選択した信号を前記制御信号として出力するセレクタとから成るものであることを特徴とする請求項１乃至４の何れか１項記載のマイクロコンピュータ。

【請求項６】

ビデオテープを走行駆動するキャプスタンモータの回転速度に応じて生成される周期信号を受け、これに基づいて前記キャプスタンモータの加減速制御のためのデータ処理を行うマイクロコンピュータであって、

中央処理装置と、加減速処理部と、スロートラッキング処理部とを含み、

前記加減速処理部は、中央処理装置によってデータがロードされる第１のレジスタと、前記周期信号の所定の変化毎に前記第１のレジスタに格納されている値がプリセットされ、このプリセットされた値を起点にクロック信号により計数動作を行う第１の計数手段と、この第１の計数手段から出力される計数値が所定の状態に到達するタイミングと前記周期信号の所定の変化のタイミングとの早遅に基づいて、加速中又は減速中のモータが規定の回転速度状態に到達したことを前記中央処理装置に通知する第１の制御信号を出力する第１の信号形成回路とを含み、

前記スロートラッキング処理部は、前記中央処理装置によってデータがロードされる第２のレジスタと、ビデオテープ上の映像トラックの位置を示す情報に応ずる信号の所定の変化毎に前記第２のレジスタに格納されている値がプリセットされ、このプリセットされた値を起点に前記クロック信号により計数動作を行う第２の計数手段と、この第２の計数手段から出力される計数値が所定の状態に到達したことを前記中央処理装置に通知する第２の制御信号を出力する第２の信号形成回路とから成り、

前記中央処理装置は、キャプスタンモータを加速処理した後、前記第２の信号形成回路からの第２の制御信号を検出することを条件に減速処理を行って、ビデオテープの読み取りヘッドに対するビデオテープの停止位置を、所望に制御可能であることを特徴とするマイクロコンピュータ。

【請求項７】

モータの回転速度に応じて生成される周期信号を受け、これに基づいてモータの回転を定常状態に制御するためのデータ処理を行うマイクロコンピュータであって、

前記周期信号の第１の状態から第２の状態への変化毎にその周期と目的周期との誤差を検出する第１の誤差検出手段と、

前記周期信号の第２の状態から第１の状態への変化毎にその周期と前記目的周期との誤差を検出する第２の誤差検出手段と、

前記第１の誤差検出手段によって検出された誤差と前記第２の誤差検出手段によって検出された誤差とを交互に用いて、その誤差を相殺するように前記モータの回転を制御させる制御手段と、を備えて成るものであることを特徴とするマイクロコンピュータ。

【請求項８】

モータの回転速度に応じて生成される周期信号を受け、これに基づいてモータの回転を定常状態に制御するためのデータ処理を行うマイクロコンピュータであって、

フリーランニングカウンタ手段と、

前記周期信号が第１の状態から第２の状態への変化したときの前記フリーランニングカウンタ手段の計数値を前後２回分保持する第１のレジスタ手段と、

前記周期信号が第２の状態から第１の状態への変化したときの前記フリーランニングカウンタ手段の計数値を前後２回分保持する第２のレジスタ手段と、

前記夫々のレジスタ手段に保持された前後２回分の計数値に対し、今回の計数値が前回の

計数値よりも大きい場合には今回の計数値から前回の計数値を差し引いた値と目標値との誤差を取得し、今回の計数値が前回の計数値よりも小さい場合には前回の計数値の２の補数に今回の計数値を加算した値と目標値との誤差を取得し、順次取得された誤差を用いて、その誤差を相殺するように前記モータの回転を制御させる制御手段と、を備えて成るものであることを特徴とするマイクロコンピュータ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、モータの回転速度に応じて生成される周期信号を受けてモータ制御を行うためのデータ処理技術に係り、特にモータの加減速制御及びモータの回転を定常状態に維持するサーボ制御に関し、例えば、ビデオテープレコーダ（ＶＴＲ）のモータ制御を行うサーボ回路などを周辺回路として備えたマイクロコンピュータに適用して有効な技術に関するものである。

【０００２】

【従来の技術】

ＶＴＲに内蔵されたビデオテープの走行駆動用のキャプスタンモータやビデオテープの記録・再生用ヘッドを備えたドラムの駆動モータは、記録・再生等の種々の動作モードに応じて、加速、減速、間欠、又は定常状態に駆動制御さる。サーボ制御を起動する前の過渡状態ではモータの加速制御が行われ、サーボ制御が起動されている定常状態からのモータ停止ではモータの減速処理が行われる。従来の加減速処理は、モータの持つ慣性力と負荷から、規定回転数に達するまでの時間を一義的に求め、モータ起動からその一定時間を待つことでモータが規定回転に到達したとみなすような制御が行われていた。このような簡単な制御では精度が悪く、その後のサーボ制御への引き込みを円滑に行うことができない。

【０００３】

加減速処理の精度を上げるためには、モータの回転速度に応じて生成される周期信号の周期をタイマ等で計測し、中央処理装置（ＣＰＵ）がその計測値を参照し、それが規定の値に到達したか否かを判定して、モータの加減速制御を行うことができる。

【０００４】

また、前記周期信号に基づいたモータのサーボ制御においては、その周期信号の立ち上がりエッジ又は立ち下がりエッジの何れか一方だけで規定される周期を計測して誤差検出を行ったのでは、周期の長い周期信号に対して高精度な制御を期待することができない。そこで、周期信号の両方のエッジに同期して誤差を検出し、夫々の誤差に対してそれを相殺させる方向にモータを制御することができる。即ち、周期信号のハイレベル期間で規定される周期を計測して誤差検出を行い、且つ周期信号のローレベル期間で規定される周期を計測して誤差検出を行い、夫々の誤差に対してそれを相殺させる方向にモータを制御する。この場合には周期信号のデューティ比が高精度でなければ、デューティ比のばらつきが新たな誤差を生むことになる。このため、例えば高精度なアナログアンプを用いると共に回路の特性のばらつきを個別的に調整してデューティ比の精度が高い周期信号を生成することが必要になってくる。

【０００５】

【発明が解決しようとする課題】

しかしながら、モータの回転速度に応じて生成される周期信号の周期をタイマ等で計測し、ＣＰＵがその計測値を参照し、それが規定の値に到達したか否かを判定して、モータの加減速制御を行う場合には、ＣＰＵは常にタイマの計測値を参照しなければならず、ＣＰＵの負担が大きくなって、加減速処理中にＣＰＵはその他の処理を行うことができなくなってしまう。

【０００６】

また、立ち上がり及び立ち下がり両方のエッジ間の周期を計測して誤差を検出する場合には、デューティ比の高精度な周期信号を利用しなければならず、これによって、部品コス

トや調整費用によってサーボ回路若しくはそれを含む回路のコストが上がり過ぎてしまう。さらに、小振幅から大振幅の周期信号に対するデューティ比の精度測定などのためにテストコストも増大してしまう。

【０００７】

また、ＶＴＲのモータ制御用のサーボ回路をテレビ等の映像周波の逓倍の周波数を持つクロック信号に同期動作させた場合には、記録・再生用の回路などに輻射ノイズを与える虞のあることが本発明者によって明らかにされた。

【０００８】

本発明の目的は、モータの回転速度に応じて生成される周期信号に基づくモータ制御に対するＣＰＵの負担を軽減することにある。

【０００９】

本発明の別の目的は、モータの回転速度に応じて生成される周期信号に基づいてモータをサーボ制御する精度を比較的容易に向上させることにある。

【００１０】

本発明のその他の目的は、モータの回転速度に応じて生成される周期信号に基づくモータ制御が映像信号の処理回路に影響を与えないようにする。

【００１１】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【００１２】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【００１３】

すなわち、モータ（３３）の回転速度に応じて生成される周期信号（ＣＦＧ）を受け、これに基づくモータの加減速制御のためのデータ処理を行うマイクロコンピュータは、中央処理装置（２）と、中央処理装置によってデータがロードされるレジスタ（１００）と、前記周期信号の所定の変化毎に前記レジスタに格納されている値がプリセットされプリセットされた値を起点にクロック信号（φ）の計数動作を行う計数手段（１０１）と、この計数手段から出力される計数値が一定の状態に到達するタイミングと前記周期信号の所定の変化のタイミングとの早遅に基づいて、加速中又は減速中のモータが規定の回転状態に到達したことを示す制御信号（ＩＲＲＡＢ））を出力する信号形成回路（１０２，１０３，１０４，１０５）とを備えて成る。これにより、周期信号の前記所定の変化の間隔が規定の間隔に到達したか否かによって、加速又は減速の完了を通知することができる。したがって、ＣＰＵは、その通知を参照するだけで、加速又は減速処理の完了を認識でき、モータの加速又は減速処理におけるＣＰＵの負担を軽減することができる。更にこのことにより、加減速処理中で合っても中央処理装置は、優先すべき他の処理の実行が間に合わなくなる事態を生じない。

【００１４】

前記加速又は減速処理の完了を通知する制御信号（ＩＲＲＡＢ）が中央処理装置に対する割込み信号である場合には、中央処理装置は単に割込みの発生を待てばよい。

【００１５】

サーボ回路（１５）を備える場合には、加速処理からサーボ制御への移行、即ちサーボ制御への引き込みを円滑に行うことができる。

【００１６】

前記マイクロコンピュータは、サーボ回路（１５）と前記中央処理装置（２）とに共通の動作基準クロック信号（φ）を生成するクロックパルスジェネレータ（１８）を更に備え、モータ制御に特化されたところの、半導体集積回路化されたマイクロコンピュータ（１）として構成することができる。

【００１７】

前記計数手段をダウンカウンタ（１０１）とするとき、前記信号出力回路は、前記ダウンカウンタから出力されるアンダーフロー信号（ＵＤＦ）によって前記周期信号の前記所定の変化をマスクして出力するマスク手段（１０２，１０３，１０４）と、加速処理において前記マスク手段の出力を選択し、減速処理において前記ダウンカウンタの出力を選択し、選択した信号を前記第１の制御信号（ＩＲＲＡＢ）として出力するセレクタ（１０５）とによって構成することができる。

【００１８】

ＶＴＲのスロー再生やスチル再生等の特殊再生において、ビデオテープを走行駆動するキャプスタンモータは、トラック単位で起動・停止制御される必要がある。これを考慮したとき、キャプスタンモータ（３３）の回転速度に応じて生成される周期信号（ＣＦＧ）を受け、これに基づいて前記キャプスタンモータの加減速制御のためのデータ処理を行うマイクロコンピュータは、中央処理装置（２）と、加減速処理部（１０Ｂ）と、スロートラッキング処理部（１０Ａ）とを含み、前記加減速処理部は、中央処理装置によってデータがロードされる第１のレジスタ（１００）と、前記周期信号の所定の変化毎に前記第１のレジスタに格納されている値がプリセットされプリセットされた値を起点にクロック信号の計数動作を行う第１の計数手段（１０１）と、この第１の計数手段から出力される計数値が一定の状態に到達するタイミングと前記周期信号の所定の変化タイミングとの早遅に基づいて、加速中又は減速中のモータが規定の回転状態に到達したことを前記中央処理装置に通知する第１の制御信号（ＩＲＲＡＢ）を出力する第１の信号形成回路（１０２，１０３，１０４，１０５）とを含み、前記スロートラッキング処理部は、前記中央処理装置によってデータがロードされる第２のレジスタ（１１０）と、ビデオテープ上の映像トラックの位置を示す情報に応ずる信号（ＤＶＣＴＬ＝ＣＴＬ）の所定の変化毎に前記第２のレジスタに格納されている値がプリセットされプリセットされた値を起点に前記クロック信号の計数動作を行う第２の計数手段（１１１）と、この第２の計数手段から出力される計数値が一定の状態に到達したことを前記中央処理装置に通知する第２の制御信号（ＩＲＲＳＴ）を出力する第２の信号形成回路（１１２）とから成り、前記中央処理装置（２）は、キャプスタンモータ（３３）を加速処理した後、前記第２の信号形成回路からの第２の制御信号（ＩＲＲＳＴ）を検出することを条件に減速処理を行って、ビデオテープの読み取りヘッドに対するビデオテープの停止位置を、所望に制御可能とする。これにより、ビデオテープの停止時にビデオヘッドが映像トラックに対してトレースする位置を所望に決定できる。したがって、複数の映像トラックに跨ったトレースにおいて、跨る位置をヘッドトレース位置の中央部からずらして端側にすることができる。端側のトレース位置は表示画面上の上又は下側の走査線位置に対応され、スチル再生時などにおける表示性能の劣化を低減することができる。

【００１９】

モータの回転速度に応じて生成される周期信号（ＤＶＣＦＧ）のデューティ比に高精度を要することなく簡単にサーボ制御を高精度化するために、前記周期信号（ＤＶＣＦＧ）の第１の状態から第２の状態への変化毎にその周期と目的周期との誤差を検出する第１の誤差検出手段（図１３の（Ａ）の４８Ａ又は図１３の（Ｂ）の４８０Ａ，４８１Ａ，４８２）と、前記周期信号の第２の状態から第１の状態への変化毎にその周期と前記目的周期との誤差を検出する第２の誤差検出手段（図１３の（Ａ）の４８Ｂ又は図１３の（Ｂ）の４８０Ｂ，４８１Ｂ，４８２）と、前記第１の誤差検出手段によって検出された誤差と前記第２の誤差検出手段によって検出された誤差とを交互に用いて、その誤差を相殺するように前記モータの回転を制御させる制御手段（２）と、を備えてマイクロコンピュータを構成する。これにより、周期信号の計測周期は１周期であっても、検出誤差によるサーボ制御は周期信号の半周期毎に可能にされる。

【００２０】

周期信号（ＣＶＣＦＧ）のデューティ比に高精度を要することなくサーボ制御を高精度化する別のマイクロコンピュータは、フリーランニングカウンタ手段（９００）と、前記周期信号が第１の状態から第２の状態への変化したときの前記フリーランニングカウンタ手

段の計数値を前後２回分保持する第１のレジスタ手段（９０２Ａ，９０３Ａ）と、前記周期信号が第２の状態から第１の状態への変化したときの前記フリーランニングカウンタ手段の計数値を前後２回分保持する第２のレジスタ手段（９０２Ｂ，９０３Ｂ）と、前記夫々のレジスタ手段に保持された前後２回分の計数値に対し、今回の計数値が前回の計数値よりも大きい場合には今回の計数値から前回の計数値を差し引いた値と目標値との誤差を取得し、今回の計数値が前回の計数値よりも小さい場合には前回の計数値の２の補数に今回の計数値を加算した値と目標値との誤差を取得し、順次取得された誤差を用いて、その誤差を相殺するように前記モータの回転を制御させる制御手段（２）と、を備えて構成できる。

【００２１】

モータの回転速度に応じて生成される周期信号に基づくモータ制御が映像信号の処理回路に影響を与えないようにするためには、中央処理装置（２）とサーボ回路（１５）の動作基準クロック信号（φ）を共通化したマイクロコンピュータ（１）とする。換言すれば、中央処理装置の動作基準クロック信号を、サーボ回路の動作基準クロック信号とする。中央処理装置の動作基準クロック信号の周波数は、ユーザが外付けする振動子の発振周波数又は外部から供給されるシステムクロック信号の周波数によって決定されるから、映像周波数の逓倍の周波数のクロック信号でマイクロコンピュータを動作させないようにすることができる。これにより、映像周波数で同期動作されるＶＴＲの記録・再生用の回路やテレビなどに輻射ノイズを与える虞を未然に防止することができる。

【００２２】

【発明の実施の形態】

《ＶＴＲ制御用マイクロコンピュータ》　図１には本発明の一実施例に係るマイクロコンピュータのブロック図が示される。同図に示されるマイクロコンピュータ１は、中央処理装置（ＣＰＵ）２、前記ＣＰＵ２の動作プログラム及びデータが格納されたリード・オンリ・メモリ（ＲＯＭ）３、前記ＣＰＵ２のワーク領域又はデータの一時記憶領域とされるランダム・アクセス・メモリ（ＲＡＭ）４、ウオッチドッグタイマ５、時計用タイマ６、リニアカウンタ７、リロードタイマ８、フリーランニングタイマ９、リロードタイマユニット１０、パルス・ウィズス・モジュレータ（ＰＷＭ）１１、シリアル・コミュニケーション・インタフェース（ＳＣＩ）１２、アナログ／ディジタル・コンバータ（Ａ／Ｄ）１３、分周回路１４、サーボ回路１５、サーボ端子１６、同期信号検出回路１７、クロックパルスジェネレータ１８、入出力ポート１９Ａ～１９Ｉを供え、それらは、特に制限されないが、公知の半導体集積回路製造技術によって、単結晶シリコンのような１個の半導体基板に形成されている。

【００２３】

２０は下位８ビットの内部データバス、２１は上位８ビットの内部データバス、２２は内部アドレスバスである。コントロールバスについては図示を省略してある。前記各回路モジュールと内部バス２０～２２との接続状態と情報の伝達方向は、図１に矢印で示される通りである。

【００２４】

本実施例のマイクロコンピュータ１は、ビデオテープレコーダ（ＶＴＲ）のキャプスタンモータやドラムモータの回転制御用などとして、前記同期信号検出回路１７、サーボ回路１５及び分周回路１４が専用的に設けられ、更に、リロードタイマユニット１０やＰＷＭ１１は前記ＶＴＲ制御のための構成が付加されている。これらＶＴＲ制御についてその詳細を説明する前に、マイクロコンピュータ１の概要を説明する。

【００２５】

前記ウオッチドッグタイマ５はシステムを監視したりするために利用される。前記リロードタイマは２本の８ビットダウンカウンタを供え、８ビット又は１６ビットのリロードタイマとして機能される。それらカウンタへのプリセットはレジスタを介してＣＰＵ２が行う。リロードタイマユニット１０は、複数の８ビットダウンカウンタを供え、後述するキャプスタンモータの加減速処理、スロー再生やスチル再生におけるスロートラッキング処

理などに利用される。前記フリーランニングタイマ９は例えば１９ビットのカウンタによって構成される。リニアカウンタ７は例えば８ビットのアップ／ダウンカウンタによって構成される。ＰＷＭ１１は複数チャネル分の構成を含み、特に、ＶＴＲのモータ制御用に１２ビットのＰＷＭ信号発生器を備えた２チャンネル分のＰＷＭ１１Ａ，１１Ｂを内蔵している。このＰＷＭ１１Ａ，１１Ｂは出力パルスのピッチを変化させる方式（出力の一部を周期的に欠落させる）を採り、後述の誤差データ（規定の速度／位相の進み又は遅れ）に応じてＰＷＭ信号のピッチを補正してモータの速度を制御できるようになっている。同期信号検出回路１７は外部から供給される垂直同期信号Ｖｓｙｎｃと水平同期信号Ｈｓｙｎｃを検出する。分周回路１４は、後述する再生時のコントロールパルス信号の分周回路１４Ａとキャプスタンモータからのパルス信号の分周回路１４Ｂとを内蔵している。サーボ回路１５は後述のキャプスタンモータやドラムモータのサーボ制御等を行うための回路であり、その動作はＣＰＵ２によって指示され、処理に必要な情報はサーボ端子１６を介して外部とやりとりされる。

【００２６】

前記クロックパルスジェネレータ１８には振動子の自励発振を受け或いは外部から供給されるシステムクロック信号を受けて、それをクロック源として内部の動作基準クロック信号φを生成し、それが各部に供給され、各回路モジュールにおける動作はその動作基準クロック信号φに同期動作される。尚、動作基準クロック信号φは１種類の信号のように図示されているが、ノンオーバラップの２相のクロック信号であっても、或いは、分周比の異なる複数相のクロック信号であってもよい。要は、当該クロック信号φの周波数は前記クロック源の信号周波数に規定されているということである。

【００２７】

前記入出力ポート１９Ａ～１９Ｉは、アドレス出力、データ入出力、割込み入力、タイマ出力などの機能が、ＣＰＵ２による所定のレジスタ設定状態などに従って割り当てられる。尚、グランドレベル、電源電圧レベル、アナロググランドレベル、アナログ電源電圧レベルを受ける電源端子、リセット端子、スタンバイ設定端子、モード制御、クロック入力端子などは図示を省略してある。

【００２８】

本実施例のマイクロコンピュータ１は、リセットされると内部を初期化し、ＲＯＭ３に格納されているプログラムの先頭アドレスを起点に順次命令をフェッチしてこれを実行する。ＶＴＲの制御に特化された本実施例のマイクロコンピュータ１において、種々のＶＴＲ制御ルーチンは、特に制限されないが、メインルーチンに対してサブルーチン化され、サブルーチンの指定は各回路モジュールからの内部割込み信号又は条件分岐などによって指定されるようになっている。以下、ＶＴＲ制御の内容を詳細に説明する。

【００２９】

《ＶＴＲ制御の概要》　本実施例のマイクロコンピュータ１が制御対象とするＶＴＲは、所謂ＶＨＳ方式、ベータ（β）方式及び８ミリビデオ方式等の映像記録方式には限定されない。図２及び図３には例えばＶＨＳ方式又はβ方式のようにコントロールトラックを有する形式のＶＴＲに関する一般的な構成が示される。ピンチローラ３０とキャプスタン３１で挟まれたビデオテープ３２は、キャプスタン３１を駆動するキャプスタンモータ３３で走行駆動される。テープ３２はその短手方向の上端部が音声トラック３２Ａ、下端部がコントロールトラック３２Ｂ、中央部が映像信号の記録領域３２Ｃとされる。音声トラック及びコントロールトラックに対する記録再生は音声記録再生ヘッド３７Ａとコントロールヘッド３７Ｂが行う。映像情報はテープ上に斜めに記録されており、それに応じて、映像情報の記録再生用ヘッド３４Ａ～３４Ｄが取り付けられたドラム３５はテープの走行方向に対してその回転軸が所定角度傾けれれている。ドラム３５はドラムモータ３６によって回転駆動される。テープ３２はドラム３５に斜めに巻き付けられるように配置され、映像信号の１フィールド分の情報がテープ３２上に斜めの１本のトラックに記録されるようになっている。図３において３８Ａ，３８Ｂが映像トラックである。図３の場合、映像信号はインタレース走査に対応されるものとされており、偶数フィールドに対応される映像

情報のトラックが映像トラック３８Ａ、奇数フィールドに対応される映像情報のトラックが映像トラック３８Ｂとされている。従って、映像トラック３８Ａ，３８Ｂによって１表示フレーム分の映像情報が構成される。前記コントロールトラック３２Ｃには図３に例示されるようにサーボ制御用の基準信号とされるコントロールトラック情報が記憶されている。図３に従えば、そのコントロールトラック情報は、２本分毎の映像トラックの終端位置を識別できるように設けられている。このコントロールトラック情報は例えばＳとＮの磁気情報が所定のピッチで記録されて構成され、コントロールヘッド３７Ｂがこれを読み取る。コントロールヘッド３７Ｂは前記サーボ端子１６に含まれる端子ＣＴＬ（＋），ＣＴＬ（－）に接続される。

【００３０】

前記コントロールトラックの情報はビデオテープ上における映像トラックの位置を示す情報とされる。ビデオ記録方式の一種である所謂ＶＨＳやβ方式はコントロールトラックを有するが、８ミリ・ビデオは備えていない。８ミリ・ビデオの場合には映像トラック内に映像情報の周波数帯域とは異なる周波数に変調された情報（トラッキングパイロット信号）が要所に含まれており、この情報がヘッドで読み取られることによって、コントロールトラック情報と同様に映像トラックの位置を示す情報として利用される。

【００３１】

前記キャプスタンモータ３３及びドラムモータ３６は、その回転速度に応じた周波数の周期信号を出力するための構成を有する。例えばモータ軸と共に回転する回転子に多数の磁極がＳ，Ｎの順番で交互に放射状に配置され、モータと一体に回転する前記磁極の通過をセンサで検出してサインカーブ又は矩形波状の周期信号を生成する。ＣＦＧはキャプスタンモータ３３で生成される周期信号、ＤＦＧはドラムモータで生成される周期信号である。更に、ドラムモータ３６は、例えば１回転毎にパルス信号ＤＰＧを出力する構成を有する。

【００３２】

本実施例のマイクロコンピュータ１は、キャプスタンモータ３３及びドラムモータ３６の位相及び速度を規定の状態に制御するためのサーボ制御、そしてモータの加減速処理等のために、当該キャプスタンモータ３３及びドラムモータ３６の回転に応じて生成される周期信号ＣＦＧ，ＤＦＧ及びパルス信号ＤＰＧを入力し、また、前記コントロールトラック３２Ｃからの読み取り情報を端子ＣＴＬ（＋），ＣＴＬ（－）に入力する。

【００３３】

本実施例で説明するＶＴＲ制御の内容は、（１）キャプスタンモータやドラムモータの回転を定常状態に維持するためのサーボ制御、（２）サーボ制御のための誤差データのサンプリングをＣＦＧのような周期信号の１周期に２回とする制御、（３）ビデオテープ上の映像トラックと映像情報の記録再生用ヘッドとの位相を合わせるための位相制御、（４）キャプスタンモータの加減速処理、（５）スロー再生やスチル再生などテープの間欠駆動のためのスロートラッキング処理、（６）ドラムモータからのパルス信号ＤＰＧのパルス検出方向の切換え、（７）無記録テープ再生時のテープ走行カウント制御、（８）サーボ回路の動作クロックの共通化、の夫々とされる。

【００３４】

《ＶＴＲ制御系》　図４には前記サーボ回路１５、サーボ端子１６、分周回路１４、ＰＷＭ１１、及びリロードタイマユニット１０によって構成されるＶＴＲ制御系の詳細が全体的に示される。図４において４０は前記コントロールヘッド３７Ｂにコントロールトラック情報を書き込むための書込み電流を供給する書込みアンプ、４１はコントロールヘッド３７Ｂで読み取ったコントロールトラック情報を増幅するための読み取りアンプである。４９は、書込みアンプ４０に書込み制御情報ＲＥＣ－ＣＴＬを供給するＲＥＣ－ＣＴＬ発生回路である。スイッチ回路４２は読み取りアンプ４１の入力と書込みアンプ４０の出力を接続制御するスイッチ回路である。読み取りアンプ４１のゲインは外付けの抵抗回路４３によって決定される。再生時に、テープ上に記録されたコントロールパルス情報は、コントロールヘッド３７Ｂを介して端子ＣＴＬ（＋），ＣＴＬ（－）に入力される。これに

よって、読み取りアンプ４１から図３の（Ｂ）に例示されるようなコントロールパルス信号が得られる。コントロールパルス信号は、入出力特性にヒステリシス特性を有するシュミットトリガ型のアンプ（シュミットアンプ）４５で増幅され且つ波形整形された後、矩形のパルス信号とされ、これがコントロールパルス信号ＰＢ－ＣＴＬとして、ＣＴＬ分周回路１４Ａに入力される。このＣＴＬ分周回路１４Ａの分周比はＣＰＵ２によって可変に設定される。ＣＴＬ分周回路１４Ａの出力信号は、コントロール分周信号ＤＶＣＴＬとして、サーボ回路１５のキャプスタン位相制御系の位相誤差検出回路４６に供給される。また、リロードタイマユニット１０のリロードタイマ（ＲＴＵ－２）１０Ａに送られる。リロードタイマ１０Ａは前記コントロール分周信号ＤＶＣＴＬを用いた後述のスロートラッキング処理に利用される。

【００３５】

キャプスタンモータ３３からの周期信号ＣＦＧは、シュミットアンプ４７により増幅及び波形整形されて矩形の周期信号ＣＦＧとして内部に送られる。波形整形回路により矩形波に整形された周期信号ＣＦＧは、ＣＦＧ分周回路１４Ｂで分周され、サーボ制御に利用される。ＣＦＧ分周回路１４Ｂでは、周期信号ＣＦＧの立ち上がりエッジ又は両エッジを選択して分周することができる。分周比はＣＰＵ２によって可変に設定可能にされる。ＣＦＧ分周回路１４Ｂは、キャプスタン速度制御用のＤＶＣＦＧ信号を生成してキャプスタン速度誤差検出回路４８に送る。また、ＣＦＧ分周回路１４Ｂは、ＤＶＣＦＧ２信号を生成してリニアカウンタ（ＬＴＣ）７に送る。前記リニアカウンタ７はオアゲート５０を介して前記ＰＢ－ＣＴＬ信号も供給される。これによってリニアカウンタ（ＬＴＣ）７は、後述のテープの走行カウント処理などを行う。

【００３６】

前記シュミットアンプ４７から出力される周期信号ＣＦＧはリロードタイマユニット（ＲＴＵ－２）１０Ｂにも供給される。これを受けるリロードタイマユニット（ＲＴＵ－２）１０Ｂは、後述の加減速処理に利用される。

【００３７】

キャプスタンモータ３３の前記位相誤差検出回路４６は、記録時には信号ＤＶＣＦＧ２が供給され、再生時にはＤＶＣＴＬが供給される。その切換えはセレクタ５１で行われる。位相誤差検出の基準信号はセレクタ５６を介して供給されるＲＥＦ３０Ｐ又はＲＥＦ３０Ｘとされる。位相誤差検出回路４６から出力される誤差データはディジタルフィルタ５２で演算されて位相誤差データが取得される。キャプスタンモータ３３の前記速度誤差検出回路４８は信号ＤＶＣＦＧの周期に基づいて速度誤差データを取得する。ディジタルフィルタ５３はこの速度誤差データと前記位相誤差データとを加算し、キャプスタンモータ系の誤差データを演算してＰＷＭ１１Ｂに与える。ＰＷＭ１１Ｂはその誤差を相殺するようにキャプスタンモータ３３の回転速度と位相を制御するようにＰＷＭ信号ＣＰＷＭのピッチを補正する。ＰＷＭ信号ＣＰＷＭは外付けされたローパスフィルタ及び駆動回路を介してキャプスタンモータ３３を制御する。ディジタルフィルタ５２，５３は、符号付きの整数（誤差データ）と係数の積和演算をハードウェアによって実現するためのフィルタ演算回路を内蔵している。キャプスタンモータ３３の位相制御系は、キャプスタンモータ３３がその速度制御系によって規定の速度に到達した後に動作が開始されることになる。

【００３８】

ドラムモータ３６からの周期信号ＤＦＧは入力アンプ６０で増幅され且つ波形整形され、矩形の周期信号ＤＦＧとして速度誤差検出回路６１に供給される。速度誤差検出回路６１は周期信号ＤＦＧの周期を測定し、規定回転数との誤差を生成する。その誤差に対しては、ＦＧ取付け誤差補正回路６２にてその誤差が補正される。ＦＧ取付け誤差補正回路６２は、ドラムモータからの周期信号ＤＦＧを生成するための磁極の配列ピッチのばらつき状態を学習し、そのばらつきによって生ずる誤差を前記速度誤差検出回路６１からの誤差データから相殺する。

【００３９】

ドラムモータ３６からのパルス信号ＤＰＧはパルス入力アンプ６３で増幅され且つ矩形に

波形整形され、矩形のパルス信号ＤＰＧとしてヘッドスイッチ回路６４に供給される。ヘッドスイッチ回路６４はパルス信号ＤＰＧに基づいて、ヘッドスイッチ信号ＨＳＷを生成する。ヘッドスイッチ信号ＨＳＷは、表示フレームの偶数フィールドと奇数フィールドの走査タイミングを示すための信号であり、記録再生ヘッドの切換えに利用されると共に、位相誤差検出回路６５に供給され、基準信号ＲＥＦ３０Ｐとの位相比較の対象とされる。位相誤差検出の詳細については後述する。位相誤差検出回路６５の出力はディジタルフィルタ６６で演算されて誤差データが取得される。ディジタルフィルタ６７はＦＧ取付け誤差補正回路６２からの速度誤差データと前記位相誤差データとを加算し、ドラムモータ系の誤差データを演算してＰＷＭ１１Ａに与える。ＰＷＭ１１Ａはその誤差を相殺するようにドラムの回転速度と位相を制御するようにＰＷＭ信号ＤＰＷＭのピッチを補正する。ＰＷＭ信号ＤＰＷＭは外付けされたローパスフィルタ及び駆動回路を介してドラムモータ３６を制御する。ディジタルフィルタ６６，６７は、符号付きの整数（誤差データ）と係数の積和演算をハードウェアによって実現するためのフィルタ演算回路を内蔵している。ドラムモータ３６の位相制御系は、ドラムモータ３６がその速度制御系によって規定の速度に到達した後に動作が開始される。尚、図４において速度誤差検出回路６１やパルス入力アンプ６３などの回路ブロックはＣＰＵ２との接続状態が省略されているが、実際には、ＣＰＵ２から制御データがロードされ、さらには演算結果の読出し等が可能にＣＰＵ２に接続されている。

【００４０】

《キャプスタンモータの速度誤差検出》　図５及び図６を参照しながらキャプスタンモータの速度誤差検出回路４８につて詳述する。図５に例示されるように、速度誤差検出回路４８は、ＣＰＵ２によって規定のプリセットデータがロードされるプリセットデータレジスタ４８０、このレジスタ４８０の値がプリセットされ前記動作基準クロック信号φを計数する１６ビットのカウンタ４８１、このカウンタ４８１の計数値に基づいて誤差データをラッチする誤差データレジスタ４８２、及び誤差データをラッチしたことをＣＰＵ２に通知するための内部割込み信号ＩＲＲＣＰＳを出力するオアゲート４８３、前記分周信号ＤＶＣＦＧの立ち上がりエッジを検出するエッジ検出回路４８５、及びオーバーフローフラグ４８４を備えて成る。図６のタイミング図に示されるように、カウンタ４８１に対するプリセット動作とレジスタ４８２の誤差データラッチ動作は分周信号ＤＶＣＦＧの立ち上がりエッジ検出パルスに同期される。カウンタ４８１へのプリセットデータのロード完了は、特に制限されないが、分周信号ＤＶＣＦＧの立ち上がりからカウンタ４８１の２カウント動作後のタイミングとされる。

【００４１】

この実施例に従えば、プリセットデータレジスタ４８０へのプリセットデータは、Ｈ’８０００（記号Ｈ’は１６進数であることを意味する）を基準とし、Ｈ’８０００－｛（φ／ＤＶＣＦＧの目標周波数）－２｝とされる。従って、分周信号ＤＶＣＦＧの周波数が目的周波数に一致すれば、換言すると、キャプスタンモータ３３の速度が目標速度に一致すれば、誤差データラッチタイミングにおいてカウンタ４８１の計数値はＨ’８０００（２進数では最上位ビットだけが”１”）とされる。誤差データレジスタ４８２は、カウンタ４８１の計数値をＨ’００００基準に変換してラッチする。そのような変換のためには、カウンタ４８１から誤差データレジスタ４８２へのデータ転送経路に当該カウンタ４８１の最上位ビットの論理値を反転させるインバータのような論理ゲートを設けることによって実現することができる。誤差データレジスタ４８２にラッチされた誤差データは符号付きの２進数とされ、速度誤差０を中心に、キャプスタンモータ３３の速度が規定速度よりも遅いときは正（＋）の値にされ、速度が規定の速度よりも速いときは負（－）の値にされる。

【００４２】

誤差データレジスタ４８２にラッチされた誤差データは、前記ディジタルフィルタ５３に与えられ、サーボ制御に利用される。

【００４３】

また、前記割込み信号ＩＲＲＣＰＳは分周信号ＤＶＣＦＧの立ち上がり又はカウンタ４８１のオーバーフロによって活性化される。ＣＰＵ２は割込み信号ＩＲＲＣＰＳによる通知を受けることにより、レジスタ４８２から誤差データを読み出すことができる。ＣＰＵ２は、この誤差データを、サーボ制御中に外乱によってモータ速度が著しく変化した状態の検出等に利用することができる。その場合には、例えば、サーボ制御を停止させて、外乱による速度変化を速やかに修正するためのモータ加速や減速を行うことができる。また、ＣＰＵ２は、割込み信号ＩＲＲＣＰＳの割込み発生回数を計数する事により、後述する位相誤差データをレジスタ４６２からサンプリングするタイミングを取得することができる。

【００４４】

尚、速度誤差検出回路４８において周期信号ＣＦＧを直接用いないのは、ＶＴＲのモータによって周期信号ＣＦＧの周波数が相違されているからであり、その相違を分周回路１４Ｂへの分周比の設定で吸収することにより、プリセットデータの設定を一義的に決定できるようにする（換言すれば、誤差データのサンプリング周期を一定にする）ためである。また、高速サーチなどの動作モードでは周期信号ＣＦＧの周波数が通常の数倍にされるので、このときにも、周期信号ＣＦＧを所望に分周して用いることにより、誤差データのサンプリング周期を一定にすることができる。

【００４５】

《キャプスタンモータの位相誤差検出》　図４に示されるように、キャプスタンモータ３３の前記位相誤差検出回路４６は、記録時には分周信号ＤＶＣＦＧ２が供給され、再生時には分周信号ＤＶＣＴＬが供給される。その切換えはセレクタ５１で行われる。キャプスタンモータ３３に対する位相誤差検出の基準信号はＲＥＦ３０Ｘ又はＲＥＦ３０Ｐとされる。ＲＥＦ３０Ｐは基準信号発生回路５４で生成され、再生時は動作基準クロック信号φに基づいて生成される３０Ｈｚ又は２５Ｈｚの周波数を持つ信号とされ、記録時はＶｓｙｎｃの周波数の１／２に相当する信号周波数とされる。上記３０ＨｚはＮＴＳＣ（Ｎａｔｉｏｎａｌ　Ｔｅｌｅｖｉｓｉｏｎ　Ｓｙｓｔｅｍ　Ｃｏｍｍｉｔｔｅｅ）のカラーテレビ標準方式に対応する場合における１表示フレームの期間を規定する信号周波数（本実施例ではインターレース表示を想定しているので垂直同期信号の半分の周波数に相当される）であり、２５ＨｚはＰＡＬ（Ｐｈａｓｅ　Ａｌｔｅｒｎａｔｉｏｎ　Ｌｉｎｅ）及びＳＥＣＡＭ（Ｓｅｑｕｅｎｔｉａｌ　ｍｅｍｏｒｙ　Ｃｏｌｏｒ　Ｔｅｌｅｖｉｓｉｏｎ　Ｓｙｓｔｅｍ）のカラーテレビ標準方式に対応する場合における１表示フレームの期間を規定する信号周波数である。ＲＥＦ３０ＸはＸ値補正回路５５で生成される。Ｘ値補正回路５５は、ビデオヘッドとコントロールヘッドの物理的な距離が、異なるＶＴＲで記録されたテープを再生する場合、それに内蔵されたレジスタに補正値を設定することにより、ＲＥＦ３０Ｐの位相を調整する回路であり、調整された信号がＲＥＦ３０Ｘとされる。ＲＥＦ３０Ｐ又はＲＥＦ３０Ｘはセレクタ５６で選択されて位相誤差検出回路４６に与えられる。

【００４６】

位相誤差検出回路４６は、前記基準信号（ＲＥＦ３０Ｐ，ＲＥＦ３０Ｘ）の位相と映像トラックの位置の位相との誤差を検出する。換言すれば、再生時は基準信号（ＲＥＦ３０Ｐ，ＲＥＦ３０Ｘ）と分周信号ＤＶＣＴＬとの位相が規定の位相からどれだけずれているかを検出する。記録時は、コントロールパルスＣＴＬの読み取りを行わないのでＣＦＧ信号を分周した信号ＤＶＣＦＧ２を用い、基準信号（ＲＥＦ３０Ｐ，ＲＥＦ３０Ｘ）と分周信号ＤＶＣＦＧ２との位相が規定の位相からどれだけずれているかを検出する。

【００４７】

図７にはキャプスタンモータ３３の位相誤差検出回路４６の一例が示される。位相誤差検出回路４６は、ＣＰＵ２によって規定のプリセットデータがロードされるプリセットデータレジスタ４６０、このデータレジスタ４６０の値がプリセットされ前記動作基準クロック信号φを計数する２０ビットのカウンタ４６１、このカウンタ４６１の計数値に基づいて誤差データをラッチする誤差データレジスタ４６２、及び誤動作検出用のフリップフロ

ップ４６３を備えて構成される。信号ＲＥＦ３０Ｐ又はＲＥＦ３０Ｘを選択するセレクタ５６と、分周信号ＤＶＣＴＬ又はＤＶＣＦＧ２を選択するセレクタ５１は、記録又は再生に応じてＣＰＵ２がレジスタ２４６に設定する制御ビットの論理値に従って選択動作を行う。即ち、記録時にはその制御ビットが論理値”１”にされ、これによってＤＶＣＦＧ２とＲＥＰ３０Ｐが選択される。再生時にはその制御ビットが論理値”０”にされ、これによってＤＶＣＴＬとＲＥＰ３０Ｘが選択される。

【００４８】

図８の（Ａ），（Ｂ）にも示されるように、カウンタ４６１に対するプリセット動作はセレクタ５６から出力される信号ＲＥＦ３０Ｐ又はＲＥＦ３０Ｘの立ち上がりに同期され、誤差データレジスタ４６２による誤差データのラッチ動作はセレクタ５１から出力される信号ＤＶＣＴＬ又はＤＶＣＦＧ２の立ち上がりに同期される。したがって、カウンタ４６１による計数動作期間は、再生時においては基準信号ＲＥＦ３０ＸとＰＢ－ＣＴＬとの位相関係によって決まり（この例において、ＰＢ－ＣＴＬに対するＤＶＣＴＬの分周比は１とされる）、記録時は基準信号ＲＥＦ３０ＰとＤＶＣＦＧ２との位相関係によって決まりる。このときＤＶＣＦＧ２はＰＢ－ＣＴＬを代替するためにＣＦＧを分周して生成された信号であるから、何れの場合にも、カウンタ４６１による計数動作期間は、基準信号（ＲＥＦ３０Ｐ，ＲＥＦ３０Ｘ）とキャプスタンモータ３３若しくはコントロールトラックとの位相関係によって決定される。したがって、その期間を一定に規定すれば、キャプスタンモータ３３の位相を所望に制御することができる。この実施例に従えば、プリセットデータは、特に制限されないが、Ｈ’８０００を基準とし、Ｈ’８０００－（φ／目標周波数）とされる。目標周波数とは、再生時は分周信号ＤＶＣＴＬの目標周波数、記録時は分周信号ＤＶＣＦＧ２の目標周波数とされる。従って、分周信号ＤＶＣＴＬ又はＤＶＣＦＧ２の周波数が目的周波数に一致すれば、換言すると、キャプスタンモータ３３の位相が目標位相に一致すれば、データラッチタイミングにおいてカウンタ４６１の計数値はＨ’８０００とされる。誤差データレジスタ４６２は、上記同様に、カウンタ４６１の計数値をＨ’００００基準に変換してラッチする。ラッチされた誤差データは符号付きの２進数とされ、位相誤差０を中心に、キャプスタンモータの位相が規定位相よりも遅れているときは正（＋）の値にされ、位相が規定の位相よりも進んだときは負（－）の値にされる。

【００４９】

前記フリップフロップ４６３はカウンタ４６１のプリセットに同期してリセット状態にされ、誤差データレジスタ４６２による誤差データのラッチタイミングに同期してセット状態にされる。キャプスタンモータ３３が回転していれば、フリップフロップ４６３は交互にセット／リセット状態を繰り返す。テープ等が詰まったりしてキャプスタンモータ３３の回転が阻害されると、フリップフロップ４６３はリセット状態にされたままとなる。ＣＰＵ２は適宜そのフリップフロップ４６３の状態を監視し、それがリセット状態に固定されているか否かによりキャプスタンモータ３３の誤動作を検出することができる。

【００５０】

前記誤差データレジスタ４６２にロードされた位相誤差データは、前記ディジタルフィルタ５２に与えられ、サーボ制御に利用される。

【００５１】

また、ＣＰＵ２は、前述のように、割込み信号ＩＲＲＣＰＳを計数する事によって、分周信号ＤＶＣＴＬやＤＶＣＦＧ２に同期して誤差データが誤差データレジスタ４６２にロードされるタイミングを知ることができる。そのタイミングに基づいてレジスタ４６２の位相誤差データをサンプリングできるＣＰＵ２は、この誤差データを、サーボ制御中に外乱によってキャプスタンモータの位相が著しく変化した状態の検出等に利用することができる。その場合には、例えば、サーボ制御を停止させて、外乱による位相変化を速やかに修正するためのモータ加速や減速を行うことができる。

【００５２】

《ドラムモータの速度誤差検出》　次に図９及び図１０を参照しながらドラムモータ３６の速度誤差検出回路６１につて詳述する。図９に例示されるように、速度誤差検出回路６

１は、ＣＰＵ２によって規定のプリセットデータがロードされるプリセットデータレジスタ６１０、このデータレジスタ６１０の値がプリセットされ前記動作基準クロック信号φを計数する１６ビットのカウンタ６１１、このカウンタ６１１の計数値に基づいて誤差データをラッチする誤差データレジスタ６１２、誤差データをラッチしたことをＣＰＵ２に通知するための内部割込み信号ＩＲＲＤＲＭを出力するオアゲート６１３、オーバーフローフラグ６１４、及び周期信号ＤＦＧのエッジ検出回路６１５を備えて成る。エッジ検出回路６１には、それが検出すべきエッジが立ち上がり又は立ち下がりの何れであるかをＣＰＵ２などによって指示される。

【００５３】

図１０のタイミング図（周期信号ＤＦＧの立ち上がりを選択した場合）に示されるように、カウンタ６１１に対するプリセット動作とレジスタ６１２の誤差データラッチ動作は周期信号ＤＦＧに同期される。カウンタ６１１へのプリセットデータのロード完了はＤＦＧの立ち上がりからカウンタ６１１が２カウントを行った後のタイミングとされる。この実施例に従えば、プリセットデータは、特に制限されないが、Ｈ’８０００を基準とし、Ｈ’８０００－｛（φ／ＤＦＧの目標周波数）－２｝とされる。従って、ＤＦＧの周波数が目的周波数に一致すれば、換言すると、ドラムモータ３６の速度が目標速度に一致すれば、データラッチタイミングにおいてカウンタ６１１の計数値はＨ’８０００とされる。誤差データレジスタ６１２は、上記同様に、カウンタ６１１の計数値をＨ’００００基準に変換してラッチする。ラッチされた誤差データは符号付きの２進数とされ、速度誤差０を中心に、ドラムモータ３６の速度が規定速度よりも遅いときは正（＋）の値にされ、速度が規定の速度よりも速いときは負（－）の値にされる。

【００５４】

誤差データレジスタ６１２にラッチされた誤差データは、前記ＦＧ取付け誤差補正回路６２に与えられ、サーボ制御に利用される。

【００５５】

また、前記割込み信号ＩＲＲＤＲＭは周期信号ＤＦＧ信号の立ち上がり（エッジ検出回路６１５で選択されているエッジ変化）又はカウンタ６１１のオーバーフロによって活性化される。ＣＰＵ２は割込み信号ＩＲＲＤＲＭによる通知を受けることにより、レジスタ６１２から誤差データを読み出すことができる。ＣＰＵ２は、この誤差データを、サーボ制御中に外乱によってモータ速度が著しく変化した状態の検出等に利用することができる。その場合には、例えば、サーボ制御を停止させて、外乱による速度変化を速やかに修正するためのモータ加速や減速を行うことができる。また、ＣＰＵ２は、割込み信号ＩＲＲＤＲＭの割込み発生回数を計数する事により、後述する位相誤差データをレジスタ６５２からサンプリングするタイミングを取得することができる。

【００５６】

《ドラムモータの位相誤差検出》　位相誤差検出回路６５は、記録時には、記録する映像信号中の垂直ブランキング期間がビデオテープの下側に揃うようにドラムの位相を制御し、再生時には、記録された映像トラックを正確にトレースするようにドラムの位相を制御する。そのために、ドラムモータ３６の位相誤差検出回路６５において、誤差検出の基準信号はＲＥＦ３０Ｐとされ、誤差検出対象信号はヘッドスイッチ信号ＨＳＷとされる。ＲＥＦ３０Ｐは再生時において例えば３０Ｈｚの周波数を持ち、記録時にはＶｓｙｎｃ／２の周波数を持つ。ヘッドスイッチ信号ＨＳＷのエッジ変化タイミングは、垂直ブランキング期間に対応するタイミングを持つ。位相誤差検出回路６５は、前記基準信号ＲＥＦ３０Ｐの変化タイミングとヘッドスイッチ信号ＨＳＷの所定のエッジ変化タイミングとの位相関係に基づいて、ドラムの位相が規定の位相からどれだけずれているかを検出する。

【００５７】

図１１にはドラムモータの位相誤差検出回路６５の一例が示される。位相誤差検出回路６５は、ＣＰＵ２によって規定のプリセットデータがロードされるプリセットデータレジスタ６５０、このデータレジスタ６５０の値がプリセットされプリセットされた値を起点に前記動作基準クロック信号φを計数する２０ビットのカウンタ６５１、このカウンタ６５

１の計数値に基づいて誤差データをラッチする誤差データレジスタ６５２、誤動作検出用のフリップフロップ６５３、及びエッジ検出回路６５４を備えて構成される。エッジ検出回路６５４はヘッドスイッチ信号ＨＳＷの立ち上がりエッジを検出する。

【００５８】

図１２の（Ａ），（Ｂ）にも示されるように、カウンタ６５１に対するプリセット動作は信号ＲＥＦ３０Ｐの立ち上がりに同期され、誤差データレジスタ６５２による誤差データのラッチ動作はヘッドスイッチ信号ＨＳＷの立ち上がりに同期される。したがって、カウンタ６５１による計数動作期間は、ＲＥＦ３０Ｐとヘッドスイッチ信号ＨＳＷとの位相関係によって決まる。したがって、その期間を一定に規定すれば、ドラムの位相を所望に制御することができる。この実施例に従えば、プリセットデータは、特に制限されないが、Ｈ’８０００を基準とし、Ｈ’８０００－（φ／ＤＰＧの目標周波数）とされる。前記ヘッドスイッチ信号ＨＳＷは前述のようにパルス信号ＤＰＧに基づいて生成され、その信号周波数はパルス信号ＤＰＧの信号周波数と同じである。従って、パルス信号ＤＰＧの周波数が目的周波数に一致すれば、換言すると、ドラムの位相が目標位相に一致すれば、データラッチタイミングにおいてカウンタ６５１の計数値はＨ’８０００とされる。誤差データレジスタ６５２は、上記同様に、カウンタ６５１の計数値をＨ’００００基準に変換してラッチする。ラッチされた誤差データは符号付きの２進数とされ、位相誤差０を中心に、ドラムモータ３６の位相が規定位相よりも遅れているときは正（＋）の値にされ、位相が規定の位相よりも進んでいるときは負（－）の値にされる。

【００５９】

前記フリップフロップ６５３はカウンタ６５１のプリセットに同期してリセット状態にされ、誤差データレジスタ６５２による誤差データのラッチタイミングに同期してセット状態にされる。ドラムモータ３６が回転していれば、フリップフロップ６５３は交互にセット／リセット状態を繰り返す。テープ等が詰まったりしてドラムモータ３６の回転が阻害されると、フリップフロップ６５３はリセット状態にされたままとなる。ＣＰＵ２は適宜そのフリップフロップ６５３の状態を監視し、それがリセット状態に固定されているか否かによりドラムモータ３６の誤動作を検出することができる。

【００６０】

前記誤差データレジスタ６５２にロードされた位相誤差データは、前記ディジタルフィルタ６６に与えられ、サーボ制御に利用される。

【００６１】

また、ＣＰＵ２は、前述のように、割込み信号ＩＲＲＤＲＭを計数する事によって、ＨＳＷ（＝ＤＰＧ）に同期して誤差データが誤差データレジスタ６５２にロードされるタイミングを知ることができる。そのタイミングに基づいてレジスタ６５２の位相誤差データをサンプリングできるＣＰＵ２は、この誤差データを、サーボ制御中に外乱によってドラムモータの位相が著しく変化した状態の検出等に利用することができる。その場合には、例えば、サーボ制御を停止させて、外乱による位相変化を速やかに修正するためのモータ加速や減速を行うことができる。

【００６２】

《両エッジでの誤差データサンプリング》　ＤＶＣＦＧなどの周期信号の立ち上がり及び立ち下がりの両方のエッジ変化に同期してサーボ制御のための誤差データをサンプリングするための構成について説明する。ここでは、キャプスタンモータの速度誤差検出に適用した場合を一例として説明する。図１３には両方のエッジで誤差データをサンプリングするための実施例が示される。図１３の（Ａ）において４８Ａ，４８Ｂは速度誤差検出回路であり、図５に基づいて説明した速度誤差検出回路４８と同じ回路構成を有する。一方の速度誤差検出回路４８Ａには、前記分周信号ＤＶＣＦＧに代えて、当該信号ＤＶＣＦＧの立ち上がりエッジを検出して検出パルスを出力するエッジ検出回路７０Ａの出力が供給される。他方の速度誤差検出回路４８Ｂには、前記分周信号ＤＶＣＦＧに代えて、当該信号ＤＶＣＦＧの立ち下がりエッジを検出して検出パルスを出力するエッジ検出回路７０Ｂの出力が供給される。したがって、図１４に示されるように、ＤＶＣＦＧに対し、その立ち

上がりエッジに同期した速度誤差データの検出周期と、その立ち下がりエッジに同期した速度誤差データの検出周期とは、分周信号ＤＶＣＦＧの大凡半周期ずれることになる。速度誤差検出回路４８Ａ，４８Ｂにおける誤差データの検出動作は図５で説明した通り分周信号ＤＶＣＦＧの１周期単位で行われる。したがって、夫々の速度誤差検出回路４８Ａ，４８Ｂのプリセットデータレジスタ４８０にセットすべきデータは双方の速度誤差検出回路４８Ａ，４８Ｂで共に同じである。さらに、速度誤差検出回路４８Ａと４８Ｂにおける誤差データの取得タイミングは相互にＤＶＣＦＧの大凡半周期ずらされることになる。夫々の誤差検出回路４８Ａ，４８Ｂは、誤差データ取得タイミングに同期して夫々に固有の内部割込み信号ＩＲＲＣＰＳＡ，ＩＲＲＣＰＳＢをＣＰＵ２に向けて出力する。ディジタルフィルタ５３はＤＶＣＦＧの大凡半周期毎にキャプスタンモータ３３の速度誤差データを誤差データレジスタから取得することができる。これにより、キャプスタンモータ３３の速度サーボ制御をＤＶＣＦＧの一方のエッジに同期して行う場合に比べてその実行回数を２倍にできる。

【００６３】

サーボの実行回数を２倍にするには、図５の構成においてＤＶＣＦＧの立ち上がり及び立ち下がりの双方のエッジを検出するエッジ検出回路を設け、図１５に示されるように、検出されたエッジ毎に誤差データを取得することによっても実現できる。しかしながら、その場合には、分周信号ＤＶＣＦＧのデューティー比が５０％からずれると、それによる誤差がプリセットデータには反映されずに、誤差データレジスタの誤差データに含まれるようになって、サーボ制御の精度が低下される。これに対し、図１３の（Ａ）に示される構成では、夫々の誤差データの取得サイクルは、図１４の（１）～（４）のそれぞれに例示されるように分周信号ＤＶＣＦＧの１周期の期間であるから、分周信号ＤＶＣＦＧのデューティー比にばらつきがあっても、取得される誤差データには何等影響を与えず、その結果として、より高精度なサーボ制御を簡単に実現できる。更に、各サンプリングは交互に行われ、実際のサンプリング周期は一方のエッジだけでサンプリングする場合と変わらないため、ゲインが上がる。図１５のような手法ではＤＶＣＦＧのデューティー比を高精度化するために高価なアンプを用いたりしなければならず、コストアップにつながる。

【００６４】

図１３の（Ｂ）に示される構成は、一つの誤差データレジスタ４８２に、立ち上がり及び立ち下がりの夫々のエッジ変化に同期して誤差データを取得する場合の実施例である。分周信号ＤＶＣＦＧの立ち上がりエッジ検出系には前記エッジ検出回路７０Ａ，カウンタ４８１Ａ、プリセットデータレジスタ４８０Ａが設けられ、ＤＶＣＦＧの立ち下がりエッジ検出系には前記エッジ検出回路７０Ｂ，カウンタ４８１Ｂ、プリセットデータレジスタ４８０Ｂが設けられている。カウンタ４８１Ａ，４８１Ｂに対するデータプリセットのタイミングは、７０Ａ，７０Ｂからのエッジ検出パルスに同期され、図５の場合と同様に２カウント後のタイミングでプリセットが完了される。誤差データレジスタ４８２のラッチタイミングは、オアゲート７１を介することにより７０Ａ，７０Ｂからのエッジ検出パルスの何れにも同期される。このとき、カウンタ４８１Ａ又は４８１Ｂのどちらの出力をラッチするかは、７０Ａ，７０Ｂからのエッジ検出パルスによってスイッチ制御されるスイッチ７２Ａ，７２Ｂで選択される。この構成においても（Ａ）の場合と同様の効果を得ることができる。

【００６５】

図１６には周期信号の立ち上がり及び立ち下がりの両方のエッジ変化に同期してサーボ制御のための誤差データをサンプリングするための更に別の実施例が示される。この実施例もキャプスタンモータ３３の速度誤差検出を一例とする。この実施例はフリーランニングタイマ９を用いるものであり、フリーランニングカウンタ９００の出力を、分周信号ＤＶＣＦＧの立ち上がり及び立ち下がりの夫々に同期して前後２回サンプリングし、そのサンプリングデータを例えばＣＰＵ２で演算して誤差データを取得するものである。９０１Ａは分周信号ＤＶＣＦＧの立ち上がりエッジを検出してパルス信号を出力するエッジ検出回路、９０１Ｂは分周信号ＤＶＣＦＧの立ち下がりエッジを検出してパルス信号を出力する

エッジ検出回路である。直列接続された２段のレジスタ９０２Ａ，９０３Ａは、それぞれマスタ段とスレーブ段を備えたマスタ・スレーブの構成を有するラッチで構成され、前記エッジ検出回路９０１Ａから出力されるパルス信号に同期して入力のラッチ動作を行う。従って、レジスタ９０２Ａは分周信号ＤＶＣＦＧが立ち上がり変化したときの前記フリーランニングカウンタ９００の今回の計数値をラッチし、レジスタ９０３Ａはレジスタ９０２Ａがラッチしていた計数値を保持する。同様に、直列接続された２段のレジスタ９０２Ｂ，９０３Ｂは、それぞれマスタ段とスレーブ段を備えたマスタ・スレーブの構成を有するラッチで構成され、前記エッジ検出回路９０１Ｂから出力されるパルス信号に同期して入力のラッチ動作を行う。従って、レジスタ９０２Ｂは分周信号ＤＶＣＦＧが立ち下がり変化したときの前記フリーランニングカウンタ９００の今回の計数値をラッチし、レジスタ９０３Ｂはレジスタ９０２Ｂがラッチしていた計数値を保持する。

【００６６】

図１７において、立ち上がりエッジ検出系において、時刻ｔ１ではレジスタ９０２Ａ←計数データＣ、レジスタ９０３Ａ←計数データＡ、時刻ｔ３ではレジスタ９０２Ａ←計数データＥ、レジスタ９０３Ａ←計数データＣ、のようにしてデータを順次ラッチする。同様に、立ち下がりエッジ検出系において、時刻ｔ２ではレジスタ９０２Ｂ←計数データＤ、レジスタ９０３Ｂ←計数データＢ、時刻ｔ４ではレジスタ９０２Ｂ←計数データＦ、レジスタ９０３Ｂ←計数データＤ、のようにしてデータを順次ラッチする。

【００６７】

ＣＰＵ２は前記レジスタ９０２Ａ，９０２Ｂ，９０３Ａ，９０３Ｂの値を任意に読み出すことができる。ＣＰＵ２は前記レジスタ９０２Ａ，９０２Ｂ，９０３Ａ，９０３Ｂに格納されているデータを用いて誤差データの演算を行う。その演算手法は、前記直列２段の夫々のレジスタに保持された前後２回分の計数値に対し、今回の計数値が前回の計数値よりも大きい（今回のカウント値＞前回のカウント値）場合、例えば図１７のデータＣとＥ、データＤとＦであるような場合には、今回の計数値から前回の計数値を差し引いた値と目標計数値との差（今回のカウント値－前回のカウント値－目標計数値）を誤差データとして取得する。今回の計数値が前回の計数値よりも小さい（今回のカウント値＜前回のカウント値）場合、例えば図１７のデータＡとＣ、データＢとＤであるような場合には、前回の計数値の２の補数に今回の計数値を加算した値と目標値との差を誤差データとして取得する。その演算手法はＣＰＵ２の動作プログラムによって規定される。ハードウェアロジックによってそのような演算回路を構成することも可能である。そのようにして演算された誤差データは、図１７にも示されるように、分周信号ＤＶＣＦＧの大凡半周期毎に取得される。したがって、上記実施例と同様に、ＤＶＣＦＧのデューティー比にばらつきがあっても、取得される誤差データには何等影響を受けずに、ＤＶＣＦＧの両方のエッジ変化毎に誤差データを簡単に得ることができ、これによってより高精度なサーボ制御を簡単に実現できる。

【００６８】

《ＦＧモータの加減速処理》　スロー再生やスチル再生などの間欠動作では、キャプスタンモータ３３の急加速、急停止を行う必要がある。キャプスタンモータ３３に代表されるようなＦＧモータ（回転に応じた周期信号を出力する構成を有するモータ）の回転速度が、加速又は減速時に、規定速度に達したことを確認するための加減速処理について、キャプスタンモータ３３の制御を一例として説明する。

【００６９】

図１８にはキャプスタンモータ３３の加減速処理回路の一実施例が示される。この加減速処理回路は、前記リロードタイマユニット（ＲＴＵ－２）１０Ｂに含まれる。１００はＣＰＵ２によってデータが設定されるリロードレジスタ、１０１はリロードレジスタ１００に格納されている値がプリセットされプロセットされた値を起点として前記動作基準クロック信号φを計数するダウンカウンタである。ダウンカウンタ１０１のプリセットタイミングは周期信号ＣＦＧの立ち上がりエッジの検出パルスに同期される。即ち周期信号ＣＦＧの立ち上がりエッジがダウンカウンタ１０１に対するデータのリロード信号とされる。

周期信号ＣＦＧのエッジ検出パルスは周期信号ＣＦＧの立ち上がりエッジの検出回路１０７で生成される。１０２はセット・リセット型のフリップフロップであり、ダウンカウンタ１０１のアンダーフロー信号ＵＤＦ（ハイレベル）によってセット状態にされ、周期信号ＣＦＧがディレイ回路１０４によって遅延された信号によってリセット状態にされる。セット状態においてハイレベルを出力する前記フリップフロップ１０２の出力Ｑは反転されてアンドゲート１０３の一方の入力とされ、その他方の入力はＣＦＧとされる。アンドゲート１０３のハイレベル出力は加速処理においてはその終了を、前記ダウンカウンタ１０１のハイレベルのアンダーフロー信号ＵＤＦは減速処理においてその終了を意味する。双方の信号はセレクタ１０５で選択され、選択された信号がＣＰＵ２への内部割込み信号ＩＲＲＡＢとされる。セレクタ１０５の選択は、ＣＰＵ２から与えられる加速／減速の制御ビット１０６の論理値によって決定される。

【００７０】

前記ディレイ回路１０４のディレイ時間は周期信号ＣＦＧのエッジ検出パルスのハイレベルパルス期間よりも長い期間とされるので、ＣＦＧのエッジ検出パルスによってフリップフロップ１０２がリセット状態にされたときはアンドゲート１０３に入力されるＣＦＧエッジ検出パルスは最早ローレベルにされている。従って、次にＣＦＧエッジ検出パルスがハイレベルにパルス変化されたとき、フリップフロップ１０２の状態がそのままリセット状態を維持していれば、アンドゲート１０３はハイレベルを出力し（加速完了）、既にセット状態に反転されていればローレベル出力のままにされる（加速未完）。前記リロードレジスタ１００には、加速又は減速時に、加速又は減速完了とするＣＦＧ周波数に応ずる規定のデータ（φの計数値）が設定さる。加速処理において、リロードレジスタ１００に設定される規定のデータは例えば、周期信号ＣＦＧの目標とする規定周波数よりも２５％程度低い周波数に相当するデータとされる。加速が完了していないときは、図１９の（Ａ）に示されるように、ダウンカウンタ１０１は、次のＣＦＧエッジ検出パルスが発生する前にアンダーフローし、アンダーフロー信号ＵＤＦによってフリップフロップ１０２をセット状態に反転する。その結果、加速が完了していない状態ではアンドゲート１０３の出力はローレベルに維持される。一方、周期信号ＣＦＧが規定の周波数に到達すると、図１９の（Ａ）に示されるように、ダウンカウンタ１０１は、次のＣＦＧエッジ検出パルスが発生した時点においてアンダーフローしておらず、これによってフリップフロップ１０２はリセット状態を維持し、当該次のＣＦＧエッジ検出パルスが発生した時点においてアンドゲート１０３の出力がハイレベルに反転される。加速処理ではセレクタは制御ビット１０６によりアンドゲート１０３の出力を選択しており、アンドゲート１０３のハイレベルへの変化が内部割込み信号ＩＲＲＡＢとしてＣＰＵ２に与えられる。これによってＣＰＵ２は加速処理においてキャプスタンモータ３３が規定の速度に到達したこと検出する。加速処理中においてＣＰＵ２は、特に制限されないが、図４に示されるＰＷＭ１１Ｂに、キャプスタンモータ３３の急加速に必要なデータを設定してキャプスタンモータ３３を駆動する制御を行っている。前記内部割込み信号ＩＲＲＡＢにてキャプスタンモータ３３が規定の速度に到達したことが通知されると、ＣＰＵ２は、そのキャプスタンモータ３３の速度を今度は一定に保つための前述したサーボ制御に移行したり、或いは、後述の間欠動作のための処理を行う。

【００７１】

減速処理において、リロードレジスタ１００に設定される規定のデータは例えば、周期信号ＣＦＧの目的とする規定周波数よりも２５％程度高い周波数に相当するデータとされる。減速が完了していないときは、図１９の（Ｂ）に示されるように、ダウンカウンタ１０１は、アンダーフロする前に次のＣＦＧエッジ検出パルスによってリロードされる。キャプスタンモータ３３が規定の速度に減速完了されれば、次のＣＦＧ検出パルスが発生される前にダウンカウンタ１０１がアンダーフロする。減速処理ではセレクタ１０５は制御ビット１０６によりアンダーフロー信号ＵＤＦの出力を選択しており、当該アンダーフロー信号ＵＤＦのハイレベルへの変化が内部割込み信号ＩＲＲＡＢとしてＣＰＵ２に与えられる。これによってＣＰＵ２は減速処理においてキャプスタンモータ３３が規定の速度に到

達したこと検出する。減速処理中においてＣＰＵ２は、特に制限されないが、図４に示されるＰＷＭ１１Ｂに、キャプスタンモータ３３を逆転させるのに必要なデータを設定してキャプスタンモータ３３を制動駆動している。前記内部割込み信号ＩＲＲＡＢにてキャプスタンモータ３３が規定の速度に到達したことが通知されると、ＣＰＵ２は、例えばそのキャプスタンモータを停止させるための制御を行ったり、ビデオテープの速度を標準速度から１／３の速度に減速した後のサーボ制御への移行等の処理を行う。

【００７２】

上記加減速処理によれば、ＣＦＧの周期が規定の周期（リロードレジスタ１００に設定される値によって特定される周期）よりも長いか短いかによって、加速又は減速の完了を内部割込み信号ＩＲＲＡＢで通知することができる。したがって、ＣＰＵ２は、その通知を参照するだけで、換言すれば、カウンタの計数値を毎回参照する手間を要することなく、加速又は減速処理の完了を認識でき、キャプスタンモータ３３の加速又は減速処理におけるＣＰＵ２の負担を軽減することができる。更に、ＣＰＵ２は優先すべき他の処理が間に合わなくなる事態を生じない。このような加減速処理の対象はＣＦＧを発生するキャプスタンモータ３３に限らず、ＤＦＧに基づくドラムモータ３６の加減速処理はもとより、その他各種ＦＧモータの加減速制御に適用することができる。

【００７３】

《スロートラッキング処理》　ＶＴＲのスロー再生やスチル再生等の特殊再生において、ビデオテープを走行駆動するキャプスタンモータ３３は、トラック単位で起動・停止制御される必要がある。このときのキャプスタンモータ３３の加減速処理は図１８及び図１９で説明した制御を用いることができる。このとき、キャプスタンモータ３３の起動・停止位置を制御するために、前記減速処理によるキャプスタンモータ３３の逆転制動の開始タイミングを決定する処理がスロートラッキング処理である。

【００７４】

図２０にはスロートラッキング回路の一実施例が示される。このスロートラッキング回路は、前記リロードタイマユニット（ＲＴＵ－１）１０Ａに含まれる。１１０は内部バスを介してＣＰＵ２によってデータが設定されるリロードレジスタである。１１１はリロードレジスタ１１０に格納されている値がプリセットされプロセットされた値を起点として前記動作基準クロック信号φを計数するダウンカウンタである。ダウンカウンタ１１１のプリセットタイミング（ダウンカウンタの計数動作開始タイミング）は、分周信号ＤＶＣＴＬの立ち上がりエッジの検出パルスに同期される。即ち分周信号ＤＶＣＴＬの立ち上がりエッジがダウンカウンタ１１１に対するデータのリロード信号とされる。分周信号ＤＶＣＴＬのエッジ検出パルスはＤＶＣＴＬの立ち上がりエッジの検出回路１１３で生成される。スロートラッキング処理において前記ＣＴＬ分周回路１４Ａの分周比はＣＰＵ２によって１に設定されるので、この処理で利用されるＤＶＣＴＬはＣＴＬと実質的に同じである。１１２はセット・リセット型のフリップフロップであり、ダウンカウンタ１１１のアンダーフロー信号ＵＤＦ（ハイレベル）によってリセット状態にされ、ＤＶＣＴＬのエッジ検出パルス（ハイレベルパルス）によってセット状態にされる。前記フリップフロップ１１２の出力Ｑは、ＣＰＵ２への内部割込み信号ＩＲＲＳＴとされる。ＣＰＵ２は、ＤＶＣＴＬの立ち上がり変化を基準にスロートラッキングのための減速処理を開始するための時間に応ずる規定のデータ（φの計数値）を前記リロードレジスタ１１１に設定する。その後、ＤＶＣＴＬの立ち上がり変化によってレジスタ１１０の値がダウンカウンタ１１１にロードされて当該ダウンカウンタ１１１が計数動作を開始する。計数動作開始から規定の時間が経過すると、ダウンカウンタ１１１のアンダーフロー信号ＵＤＦが活性化され、フリップフロップ１１２がリセット状態にされる。ＣＰＵ２は、フリップフロップ１１２のリセット状態に応じて内部割込み信号ＩＲＲＳＴがハイレベルからローレベルへ変化するのを検出して前記キャプスタンモータ３３の減速処理を開始する。

【００７５】

図２１にはスロー再生時におけるキャプスタンモータ３３の加速処理、スロートラッキング処理、及び減速処理の一連のタイミング例が示されている。加速減速による規定の速度

への到達の検出は前記加減速処理回路（ＲＴＵ－２）１０Ｂを用い、減速処理開始までのスロートラッキングの時間はスロートラッキング回路（ＲＴＵ－１）１０Ａで計測する。前述のようにＣＰＵ２がリロードレジスタ１００に加速処理の規定データをロードして加速処理を開始し（時刻ｔ０）、それによってキャプスタンモータ３３の速度が規定の速度に到達すると（時刻ｔ１）、ＣＰＵ２が割込み信号ＩＲＲＡＢにてそれを検出し、キャプスタンモータ３３に対する駆動電流の供給を停止（Ｈｉ－Ｚ）させる。この状態でキャプスタンモータは慣性で回転し続ける。その後、ＣＰＵ２はリロードレジスタ１１０のスロートラッキングディレイの規定時間に応ずる規定のデータをロードする。そしてＤＶＣＴＬ（＝ＣＴＬ）の立ち上がりエッジが検出されるとレジスタ１１０の規定データがダウンカウンタ１１１にリロードされて計数動作が開始され、それによって規定の時間が経過すると（時刻ｔ３）、ＣＰＵ２は割込み信号ＩＲＲＳＴにてそれを検出し、キャプスタンモータ３３の減速処理を開始する。減速処理においてＣＰＵ２は、キャプスタンモータ３３を逆転（制動）させる極性をもって駆動電流を供給させると共に、リロードレジスタ１００に減速処理の規定データをロードする。これによってキャプスタンモータ３３の速度が規定の速度に減速されると（時刻ｔ４）、ＣＰＵ２が割込み信号ＩＲＲＡＢにてそれを検出し、キャプスタンモータ３３に対する駆動電流の供給を停止（Ｈｉ－Ｚ）させる。

【００７６】

例えばビデオテープの走行制御が停止されたとき、ビデオヘッドは図３の（Ａ）に例示されるように、２本分の映像トラックに跨ってトレースを行う。図３の（Ａ）においてハッチングを付して示されたトレース領域の中央部が２本の映像トラックの間に領域に跨る場合には、再生表示画面の中央の走査線領域部分の画像が乱れることになる。キャプスタンモータ３３が停止したとき、ドラム３６に対する映像トラックの位置は、スロートラッキングディレイを決定する規定データ（リロードレジスタ１１０にロードされる規定データ）と減速処理においてリロードレジスタ１００にロードされる規定データによって、所望に制御することができる。そして、スロートラッキングディレイにおけるディレイ計測の起点はコントロールパルスに応ずる信号ＤＶＣＴＬ（＝ＣＴＬ）の立ち上がり変化に同期されるタイミングであり、それによって得られるディレイ時間はビデオテープ上の映像トラックの位置を示す情報（コントロールトラック情報若しくはコントロールパルス）と関連付けられている。これにより、ビデオテープの停止時にビデオヘッドが映像トラックに対してトレースする位置を所望に決定できる。したがって、複数の映像トラックに跨ったトレースにおいて、跨る位置をヘッドトレース位置の中央部からずらして端側にすることができる。端側のトレース位置は表示画面上の上又は下側の走査線位置に対応され、スロー再生やスチル再生時などにおける表示性能の劣化を低減することができる。

【００７７】

《無記録テープに対するテープ走行カウント制御》　ＶＨＳ又はβ方式のＶＴＲにおいてテープ走行カウントはコントロールトラックから読み取ったＣＴＬのようなコントロールパルスを計数して行う。８ミリビデオ方式の場合には、前記トラッキングパイロット信号から得られる信号を計数して行うことができる。コントロールトラック情報やトラッキングパイロット信号が記録されていない無記録テープに対しては、再生動作時にそれらを利用したテープ走行カウントを行うことができない。ここでは、無記録テープに対してもテープ走行カウントを可能にする実施例を説明する。

【００７８】

本実施例においてテープ走行カウント（テープカウントとも称する）は前記リニアカウンタ（ＬＴＣ）７を用いて行う。図２２にはリニアカウンタ７の一例ブロック図が示される。図において７００はリニアタイムカウンタ（ＬＴＭ）であり、モードレジスタ（ＬＭＲ）７０１の設定データに従ってダウンカウンタ又はアップカウンタとして機能される。このリニアタイムカウンタ７００は、プリスケーラ（ＰＳＳ）７０４の出力クロック信号、前記ＤＶＣＦＧ２又はＰＢ－ＣＴＬを計数する。その何れを計数クロックとするかは、モードレジスタ７０１から指示を受けるセレクタ７０５が選択する。７０２はリロード／コンペアマッチレジスタ（ＲＣＲ）であり、前記リニアカウンタ７００へのプリセットデー

タのリロード、又は比較器７０３によるリニアカウンタ７００の計数値との比較対象データの保持に利用される。プリスケーラ７０４は前記動作基準クロック信号φを分周してφ／３２，φ／６４を出力する。

【００７９】

リニアカウンタ７においてモードレジスタ７０１に設定可能な動作モードは、第１乃至第３動作モードとされ、夫々においてリニアタイムカウンタ７００の計数対象クロック信号をセレクタで選択することが可能にされる。それらの指定はＣＰＵ２がモードレジスタ７０１に指定する。前記第１の動作モードは、リニアタイムカウンタ７００のアップカウント時にコンペアマッチ（リニアタイムカウンタ７００の計数値とリロード／コンペアマッチレジスタ７０２の設定値との比較器７０３による一致検出＝Ｍａｔｃｈ　Ｃｌｅａｒ）によってリニアタイムカウンタ７００をクリアし、信号ＩＲＲＬＩＣにてＣＰＵ２に内部割込みを発生する動作を指定する。第２の動作モードは、リニアタイムカウンタ７００のアップカウント時に前記リロード／コンペアマッチレジスタ７０２の値が初期値（Ｈ’００）とされている場合にはリニアタイムカウンタ７００のオーバーフロー（ＯＶＦ）で、信号ＩＲＲＬＩＣにてＣＰＵ２に内部割込みを発生する動作を指定する。第３動作モードは、リニアタイムカウンタ７００のダウンカウント時に当該カウンタ７００のアンダーフロー（ＵＤＦ）でリロード／コンペアマッチレジスタ７０２の設定値をリニアタイムカウンタ７００にリロードすると共に、信号ＩＲＲＬＩＣにてＣＰＵ２に内部割込みを発生する動作を指定する。各動作モードにおけるリニアカウンタの動作例は図２３に示される。

【００８０】

前記割込み信号ＩＲＲＬＩＣは、リニアタイムカウンタ７００から出力されるオーバフロー信号ＯＶＦ／アンダーフロー信号ＵＤＦと、一致検出信号Ｍａｔｃｈ　Ｃｌｅａｒとを２入力とするオアゲート７０６より出力される。

【００８１】

テープカウントには前記第３の動作モードを利用する。記録済みテープの場合にはコントロールトラックが存在するので、リニアタイムカウンタ７００による計数対象クロック信号として再生時のコントロールパルス信号ＰＢ－ＣＴＬを指定する。この動作モードにおいてＣＰＵ２はリロード／コンペアマッチレジスタ７０２に所定の規定値データを設定し、その規定値データに応ずる長さ分だけテープが走行される毎にＣＰＵ２は信号ＩＲＲＩＣによる割込みを受け付け、割込みを受け付ける毎にテープの走行距離又は時間を演算してテープカウントを行う。無記録テープに対するテープカウントの場合は、テープからコントロールパルスを検出できないので、リニアタイムカウンタ７００による計数対象クロック信号としてＤＶＣＦＧ２を指定する。この動作モードにおいてＣＰＵ２はリロード／コンペアマッチレジスタ７０２に所定の規定値データを設定し、その規定値データに応ずる量だけキャプスタンモータ３３が回転される毎にＣＰＵ２は信号ＩＲＲＩＣによる割込みを受け付け、割込みを受け付ける毎にテープの走行距離又は時間を演算してテープカウントを行うことができる。

【００８２】

本実施例では分周比可変の分周回路１４Ｂにより周期信号ＤＶＣＦＧ２は周期信号ＰＢ－ＣＴＬの周期に一致されている。したがって、記録テープ又は無記録テープの何れを再生する場合にも、ＣＰＵ２がレジスタ７０２にロードする規定値データを同じデータとすることができる。したがって、記録テープ又は無記録テープの何れに対しても、カウンタ７００の計数状態に基づいてテープカウントを行うＣＰＵ２の処理を共通化することができる。

【００８３】

無記録テープであるか否かは、映像トラックからの読み取り信号の周波数が実質的にノイズとみなされる帯域であるか否かをＣＰＵ２が判定して認識できる。或いは、コントロールパルスの有無を検出して判定することも可能である。例えば後者の場合には、図２２のリニアカウンタ７にコンペアマッチを行う第１の動作モードを設定してコントロールパルスの有無を検出できる。例えばＣＰＵ２は、リロード／コンペアマッチレジスタ７０２に

適当な値を設定した後、モードレジスタ７０１によってＰＢ－ＣＴＬを用いた第１の動作モードによる動作を開始させ、これに並行して別のタイマを用いて計時動作を行い、それによって把握される所定時間が経過するまでに、コンペアマッチ（リニアタイムカウンタ７００の計数値とリロード／コンペアマッチレジスタ７０２の設定値との比較器７０３による一致検出＝Ｍａｔｃｈ　Ｃｌｅａｒ）による割込みが発生されない場合には、コントロールパルスが発生されていない、即ち、そのビデオテープは無記録であると判定する。このような判定結果を用いることにより、ＣＰＵ２はテープカウント動作において、上記ＤＶＣＦＧ２を用いるかＰＢ－ＣＴＬを用いるかを決定してコントロールレジスタ７０１を設定する。

【００８４】

《ＤＰＧのパルス検出方向の切換え》　前記パルス信号ＤＰＧの波形としては、図２５の（Ａ）に示されるような立ち下がりパルスとされるもの、又は図２５の（Ｂ）に示されるような立ち上がりパルスとされるものがある。何れの波形が用いられるかはＶＴＲの機種などによってまちまちである。その何れに対しても図２５の（Ｃ）に示されるような内部パルスを生成して前述の位相制御などに利用できるようにすることが、マイクロコンピュータ１のＶＴＲに対する汎用性に優れる。

【００８５】

図２４にはＤＰＧのパルス検出方向を切換え可能にする実施例が示される。パルス入力アンプ６３は、パルス入力端子（ＤＰＧ端子）６３８に反転入力端子（－）が結合され、非反転入力端子（＋）には参照電位Ｖｒｅｆが供給される反転増幅回路６３０を主体に、入出力特性にヒステリシス特性を持ったシュミットアンプ６３１を前記反転増幅回路６３０の出力に直列接続した回路を備える。前記反転増幅回路６３０は増幅回路の一例であるオペアンプを用いて構成されている。パルス入力端子６３８には入力容量６３２を介してドラムモータ３６からのパルス信号ＤＰＧが供給される。参照電位Ｖｒｅｆは、特に制限されないが、パルス信号ＤＰＧの立ち上がり変化を検出するための３Ｖ又はパルス信号ＤＰＧの立ち下がり変化を検出するための２Ｖとされる。参照電位の２Ｖ，３Ｖの具体的な値は、ＤＰＧの振幅とパルス入力アンプ６３の電源電圧Ｖｃｃ，Ｖｓｓとに応じて決定された一例とされる。参照電位Ｖｒｅｆは抵抗分圧回路又はオペアンプを用いた帰還回路等を利用した回路６３７によって生成される。参照電位Ｖｒｅｆのレベル選択は相補スイッチ回路６３５で選択される。参照電位Ｖｒｅｆの選択に対応して、前記シュミットアンプ６３１の出力を非反転又は反転して出力させる相補スイッチ回路６３６が設けられている。前記シュミットアンプ６３１は波形整形作用を有する。前記相補スイッチ回路６３５，６３６のスイッチ状態はＣＰＵ２によって設定される制御ビットＮ／Ｐによって決定される。制御ビットＮ／Ｐ＝０のときは、相補スイッチ回路６３５は立ち下がりエッジ検出のための２Ｖを参照電位として選択し、これ応じ、出力側の相補スイッチ回路６３６は非反転出力を選択する。制御ビットＮ／Ｐ＝１のときは、相補スイッチ回路６３５は立ち上がりエッジ検出のための３Ｖを参照電位として選択し、これ応じ、出力側の相補スイッチ回路６３６は反転出力を選択する。これにより、入力アンプ６３は、ドラムモータ３６から出力されるパルス信号ＤＰＧのパルス波形が立ち上がりであっても立ち下がりであっても、ＤＰＧのパルスに同期して、矩形の立ち上がりパルスＤＰＧを生成して出力することができる。

【００８６】

このようにパルス信号の検出方向を切り換え可能なパルス入力アンプ６３を搭載したマイクロコンピュータ１は、出力パルスの方向が相互に異なったドラムモータを採用する種々のＶＴＲに対する当該モータのサーボ制御等を、一種類の半導体チップで対応することができる。尚、パルス入力アンプ６３は非反転増幅回路を用いて構成することも可能である。

【００８７】

《サーボ回路の動作クロックの共通化》　図４に示されるサーボ系回路、即ち、ヘッドスイッチ作成回路６４、位相誤差検出回路６５、ディジタルフィルタ６６、速度誤差検出回

路６１、ＦＧ取付け誤差補正回路６２、ディジタルフィルタ６７、ＰＷＭ１１Ａ、ＰＷＭ１１Ｂ、ディジタルフィルタ５３、速度誤差検出回路４８、位相誤差検出回路４６、ディジタルフィルタ５２、Ｘ補正回路５５などは全て動作基準クロック信号φに同期動作される。図１に従えば、サーボ回路１５も動作基準クロック信号φに同期動作される。このように、マイクロコンピュータ１は、ＣＰＵ２とサーボ回路１５の動作基準クロック信号φが共通化されている。ＣＰＵ２の動作基準クロック信号の周波数は、ユーザが外付けする振動子の発振周波数又は外部から供給されるシステムクロック信号の周波数によって決定されるから、映像周波数の逓倍の周波数のクロック信号でマイクロコンピュータを動作させないようにすることができる。これにより、映像周波数で同期動作されるＶＴＲの記録・再生用の回路やテレビなどに輻射ノイズを与える虞を未然に防止することができる。

【００８８】

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【００８９】

例えばＦＧモータの加減速処理はキャプスタンモータやドラムモータに対する制御に限定されず、またＶＴＲのスロー再生やスチル再生制御に適用されるだけでなく、レンズの焦点距離の自動調整用モータや工作機械のテーブル若しくはワークヘッド位置決め用モータの制御にも適用することができる。また、モータ制御のためのデータ処理を行うマイクロコンピュータの内蔵回路モジュールは上記実施例に限定されず適宜変更可能である。また、周期信号の両方のエッジ変化に同期してサーボ制御のための誤差データを取得する上記実施例の手法は周期信号が相対的に長く、例えばキャプスタンモータのように低速回転のモータの回転速度のサーボ制御に広く適用することができる。

【００９０】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるＶＴＲのモータ制御に適用した場合について説明したが、本発明はそれに限定されるものではなく、種々のＦＧモータの制御に適用することができる。また、本明細書において周波数信号は上記実施例のＤＰＧのようなパルス信号をも含む概念として把握するものとする。

【００９１】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【００９２】

すなわち、周期信号の所定の変化の間隔が規定の間隔に到達したか否かによって、加速又は減速処理の完了を通知するから、その通知を参照するだけで、加速又は減速処理の完了を認識でき、モータの加速又は減速処理における中央処理装置の負担を軽減することができる。更にこのことにより、加減速処理中であっても中央処理装置は、優先すべき他の処理の実行が間に合わなくなる事態を生じない。

【００９３】

ＶＴＲのスロー再生やスチル再生等の特殊再生において、ビデオテープを走行駆動するキャプスタンモータは、トラック単位で起動・停止制御される必要がある。これを考慮したとき、ビデオテープの読み取りヘッドに対するビデオテープの停止位置を、所望に制御可能とすることにより、ビデオテープの停止時にビデオヘッドが映像トラックに対してトレースする位置を所望に決定できる。したがって、複数の映像トラックに跨ったトレースにおいて、跨る位置をヘッドトレース位置の中央部からずらして端側にすることができる。端側のトレース位置は表示画面上の上又は下側の走査線位置に対応され、スチル再生時などにおける表示性能の劣化を低減することができる。

【００９４】

周期信号に基づくモータ速度のサーボ制御において当該周期信号の立ち上がり及び立ち下

がりの各エッジ変化に同期した誤差データの取得を周期信号の１周期単位で取得することにより、夫々の誤差の検出周期は１周期単位であっても検出誤差によるサーボ制御は周期信号の半周期毎に行うことができ、モータの回転速度に応じて生成される周期信号のデューティ比に高精度を要することなく簡単にサーボ制御を高精度化することができる。

【００９５】

中央処理装置とサーボ回路の動作基準クロック信号を共通化したマイクロコンピュータとすることにより、中央処理装置の動作基準クロック信号の周波数は、ユーザが外付けする振動子の発振周波数又は外部から供給されるシステムクロック信号の周波数によって決定されるから、映像周波数の逓倍の周波数のクロック信号でマイクロコンピュータを動作させないようにすることができる。これにより、映像周波数で同期動作されるＶＴＲの記録・再生用の回路やテレビなどに輻射ノイズを与える虞を未然に防止することができる。

【図面の簡単な説明】

【図１】本発明の一実施例に係るマイクロコンピュータのブロック図である。

【図２】図１のマイクロコンピュータが制御対象とする一般的なＶＴＲの説明図である。

【図３】映像トラックとコントロールトラック情報との対応関係について示す説明図である。

【図４】図１のマイクロコンピュータに含まれる前記サーボ回路、サーボ端子、分周回路、ＰＷＭ、及びリロードタイマユニットによって構成されるＶＴＲ制御系の詳細な一例ブロック図である。

【図５】キャプスタンモータの速度誤差検出回路の一実施例ブロック図である。

【図６】キャプスタンモータの速度誤差検出動作の一例タイミング図である。

【図７】キャプスタンモータの位相誤差検出回路の一実施例ブロック図である。

【図８】キャプスタンモータの位相誤差検出動作の一例タイミング図である。

【図９】ドラムモータの速度誤差検出回路の一実施例ブロック図である。

【図１０】ドラムモータの速度誤差検出動作の一例タイミング図である。

【図１１】ドラムモータの位相誤差検出回路の一実施例ブロック図である。

【図１２】ドラムモータの位相誤差検出動作の一例タイミング図である。

【図１３】周期信号の１周期を誤差データの検出期間として当該周期信号の両方のエッジでサーボ制御のための誤差データをサンプリング可能にする一実施例ブロック図である。

【図１４】両方のエッジでサーボ制御のための誤差データをサンプリングする動作の一例タイミング図である。

【図１５】周期信号の半周期を誤差データの検出期間として当該周期信号の両方のエッジでサーボ制御のための誤差データをサンプリングする手法の動作タイミング図である。

【図１６】周期信号の立ち上がり及び立ち下がりの両方のエッジ変化に同期してサーボ制御のための誤差データをサンプリングするための更に別の実施例ブロック図である。

【図１７】図１６の構成における一例動作タイミング図である。

【図１８】キャプスタンモータの加減速処理回路の一実施例ブロック図である。

【図１９】加減速処理の一例動作タイミングチャートである。

【図２０】スロートラッキング回路の一実施例ブロック図である。

【図２１】スロー再生時におけるキャプスタンモータの加速処理、スロートラッキング処理、及び減速処理の一連のタイミング図である。

【図２２】無記録テープに対してもテープ走行カウントを可能にするリニアカウンタの一実施例ブロック図である。

【図２３】図２２のリニアカウンタの一例動作タイミング図である。

【図２４】外部パルス信号のパルス検出方向を切換え可能にするパルス入力アンプの一実施例回路図である。

【図２５】外部パルス信号の波形とそれによって生成される矩形パルス波形の一例波形説明図である。

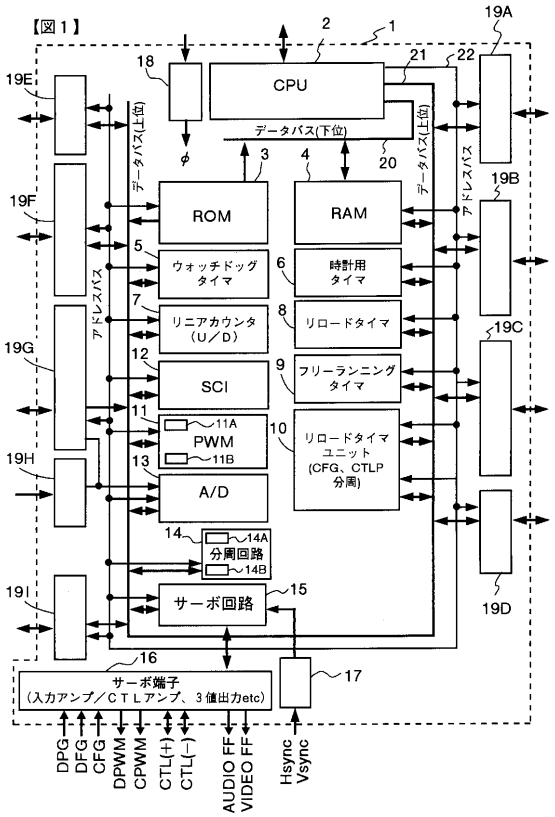
【符号の説明】

１　マイクロコンピュータ

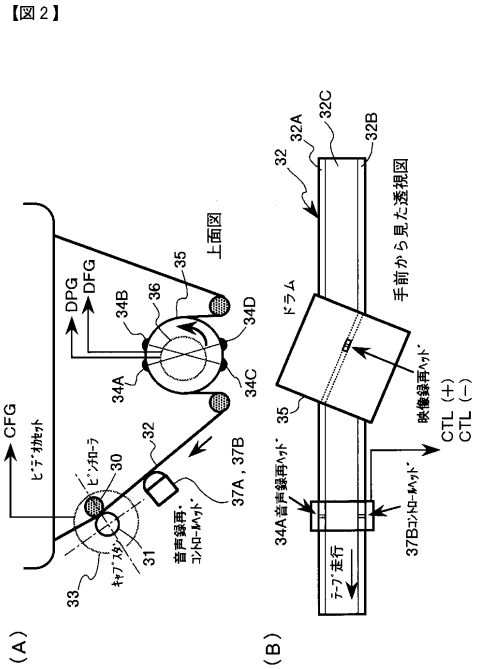
２　中央処理装置（ＣＰＵ）
７　リニアカウンタ
７００　リニアタイムカウンタ
７０１　モードレジスタ
７０２　リロード／コンペアマッチレジスタ
７０３　比較器
９　フリーランニングタイマ
９００　フリーランニングカウンタ
８９０１Ａ，９０１Ｂ　エッジ検出回路
９０２Ａ，９０３Ａ　レジスタ
９０３Ａ，９０３Ｂ　レジスタ
１０　リロードタイマユニット
１００　リロードレジスタ
１０１　ダウンカウンタ
１０２　フリップフロップ
１０３　アンドゲート
１０４　ディレイ回路
１０５　セレクタ
ＩＲＲＡＢ　内部割込み信号
１１０　リロードレジスタ
１１１　ダウンカウンタ
１１２　フリップフロップ
ＩＲＲＳＴ　内部割込み信号
１１　ＰＷＭ
１４　分周回路
１５　サーボ回路
１８　クロックパルスジェネレータ
φ　動作基準クロック信号
３３　キャプスタンモータ
３６　ドラムモータ
３８Ａ，３８Ｂ　映像トラック
ＤＰＧ　ドラムモータからのパルス信号（周期信号）
ＤＦＧ　ドラムモータからの周期信号
ＣＦＧ　キャプスタンモータからの周期信号
ＰＢ－ＣＴＬ　コントロールパルス
ＤＶＣＴＬ　分周信号（周期信号）
ＤＶＣＦＧ　周期信号
ＤＶＣＦＧ２　周期信号
４６　位相誤差検出回路
４６０　プロセットデータレジスタ
４６１　カウンタ
４６２　誤差データレジスタ
４８　速度誤差検出回路
４８Ａ，４８Ｂ　誤差検出回路
７０Ａ，７０Ｂ　エッジ検出回路
４８０　プリセットデータレジスタ
４８０Ａ，４８０Ｂ　プリセットデータレジスタ
４８１　カウンタ
４８１Ａ，４８１Ｂ　カウンタ
４８２　誤差データレジスタ

ＩＲＲＣＰＳ　内部割込み信号
６１　速度誤差検出回路
６１０　プリセットデータレジスタ
６１１　カウンタ
６１２　誤差データレジスタ
ＩＲＲＤＲＭ　内部割込み信号
６３　入力アンプ
６３０　非反転増幅器
６３５，６３６　相補スイッチ回路
６５　位相誤差検出回路
６５０　プリセットデータレジスタ
６５１　カウンタ
６５２　誤差データレジスタ

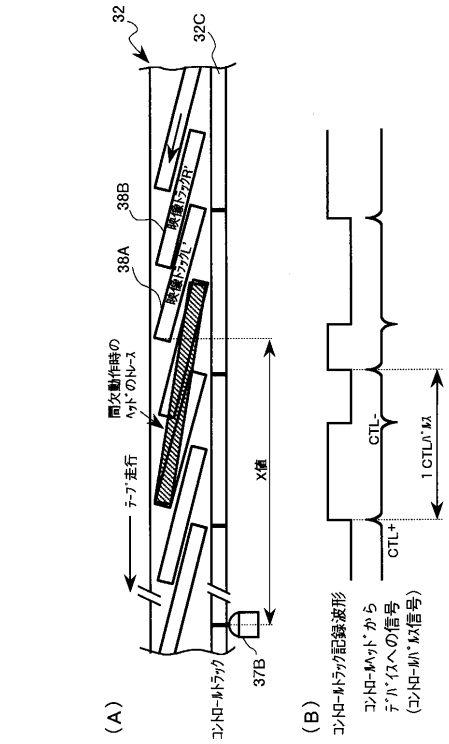
【図１】



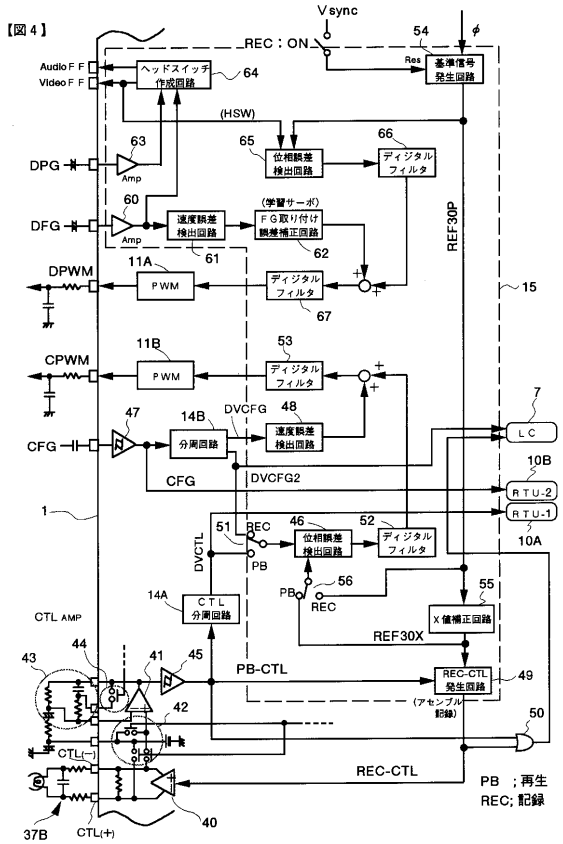
【図２】



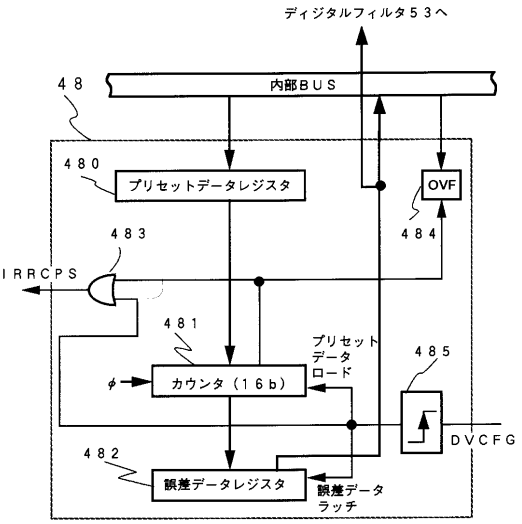
【図３】



【図４】

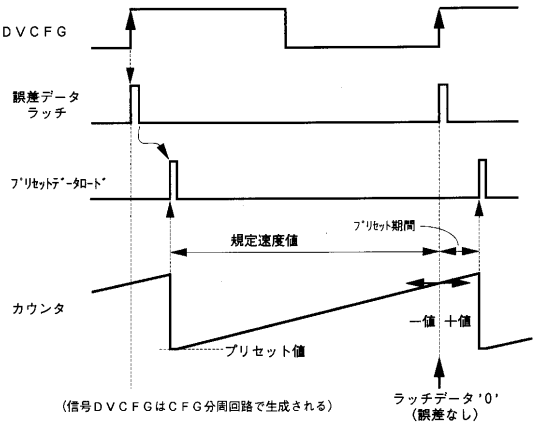


【図５】



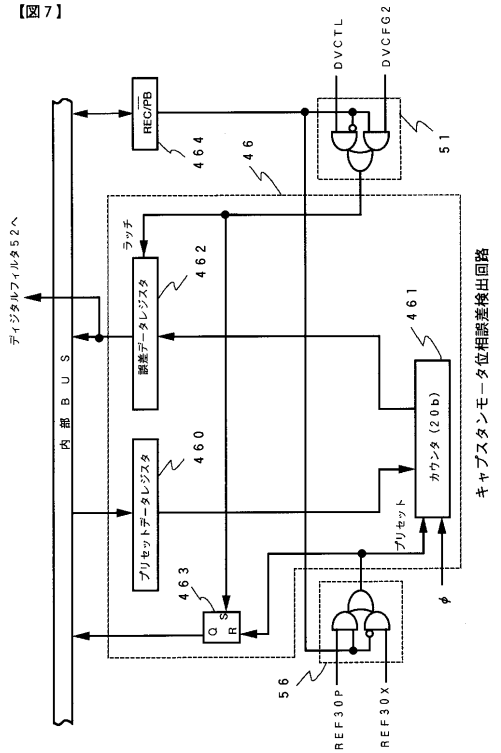
キャプスタンモータ速度誤差検出回路

【図６】

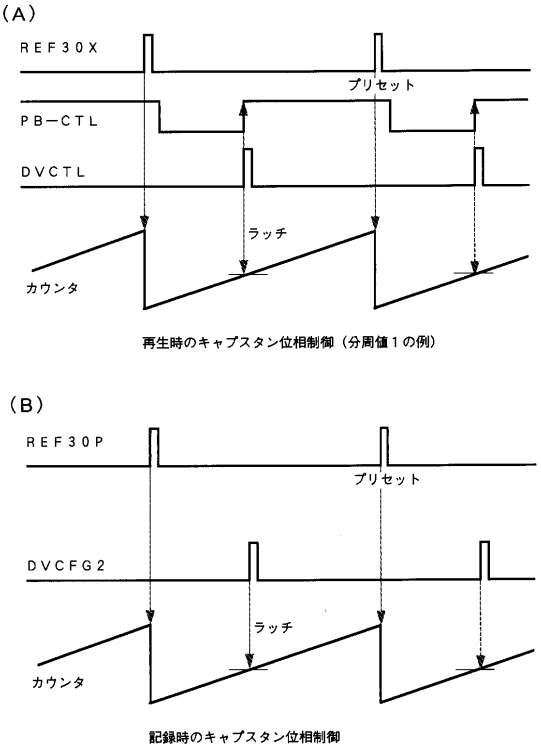


キャプスタンモータ速度誤差検出の動作

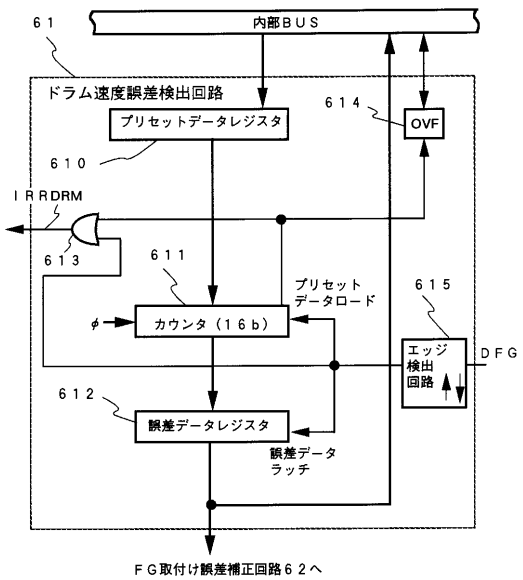
【図７】
【図7】



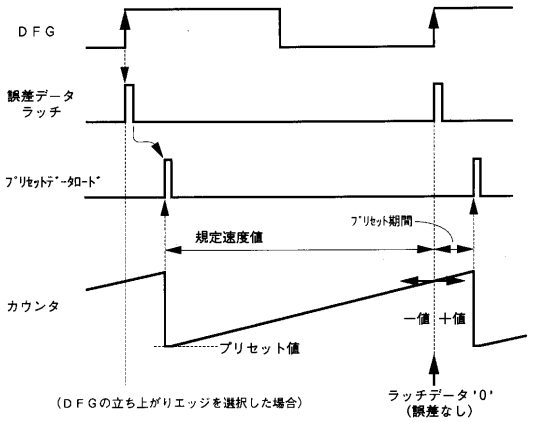
【図８】
【図8】



【図９】
【図9】

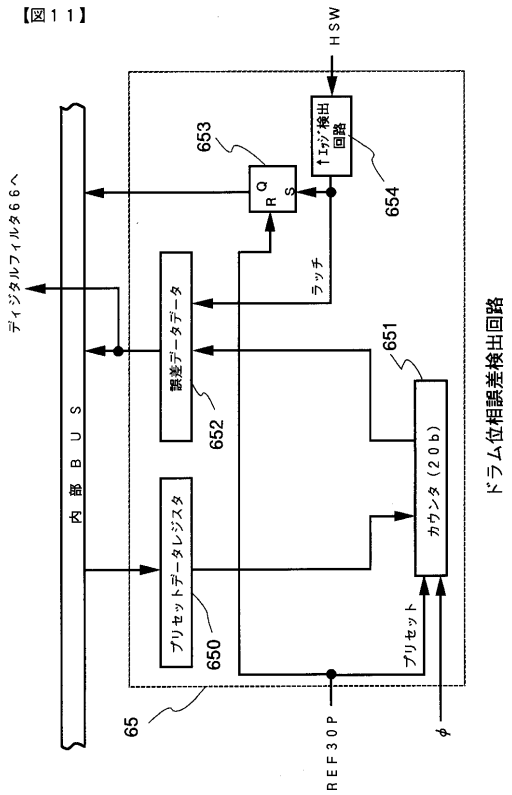


【図１０】
【図10】

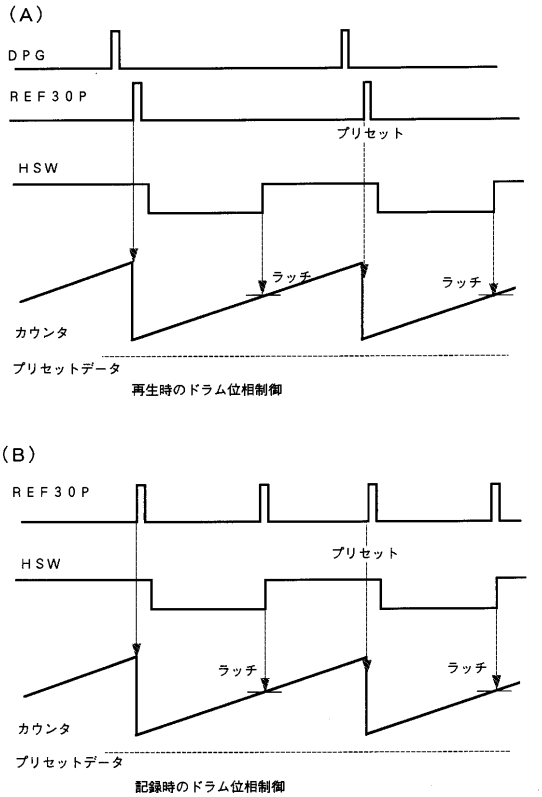


ドラム速度誤差検出の動作

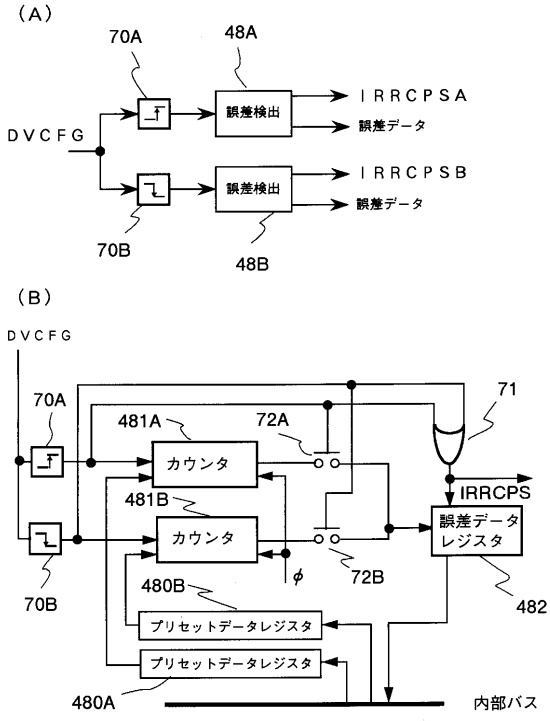
【図１１】



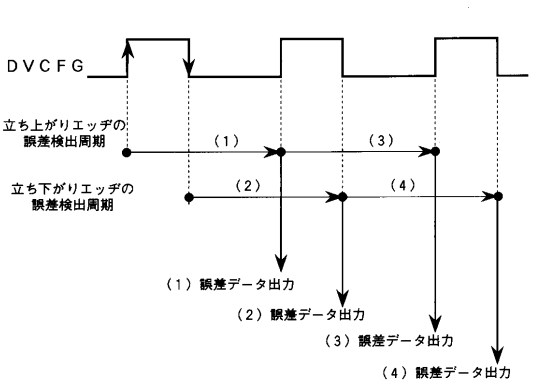
【図１２】



【図１３】

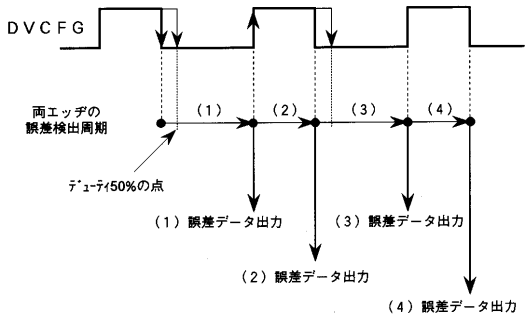


【図１４】

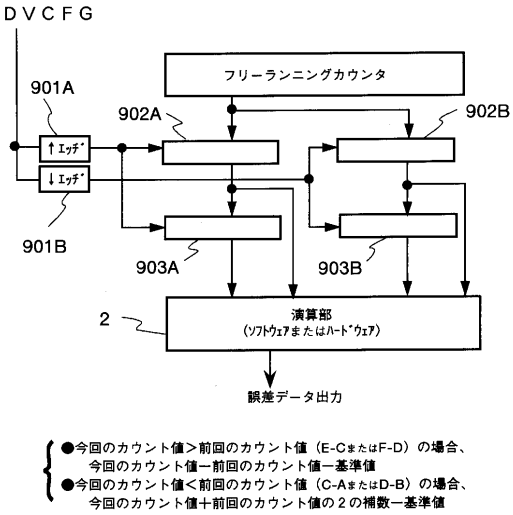


(ＦＧ波形は周期を持ったものであれば、
矩形波、正弦波、三角波など、何でもよい)

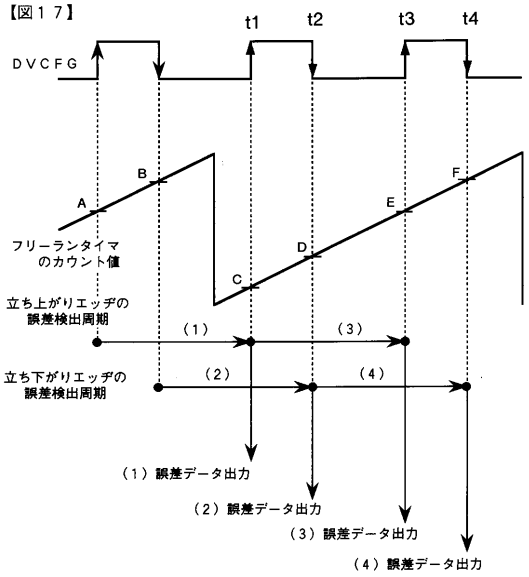
【図１５】
【図１５】



【図１６】
【図１６】

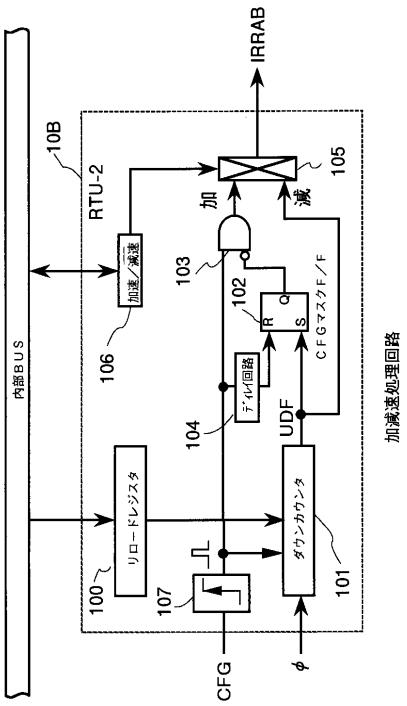


【図１７】
【図１７】

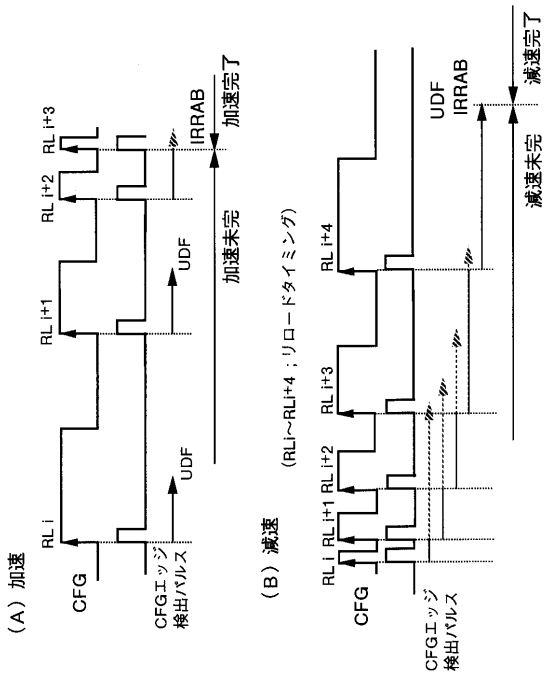


フリーランニングタイマを用いた例

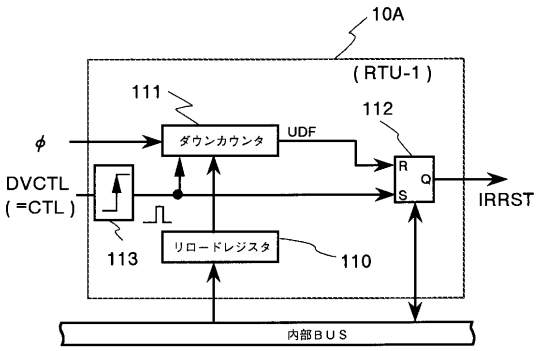
【図１８】
【図１８】



【図１９】
【図１９】

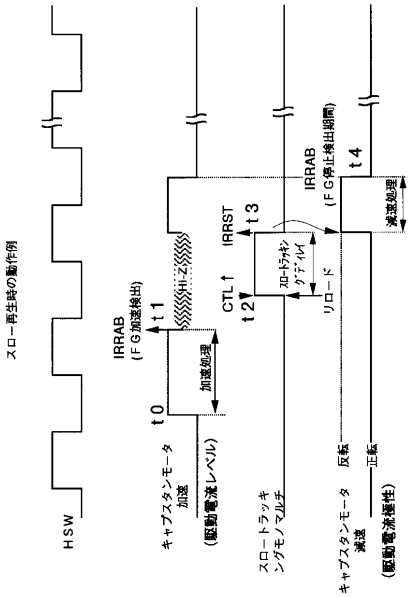


【図２０】
【図２０】

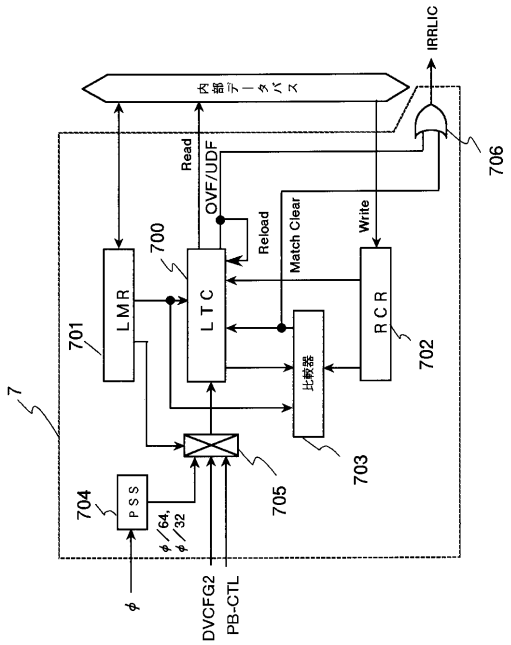


スロートラッキング回路

【図２１】
【図２１】

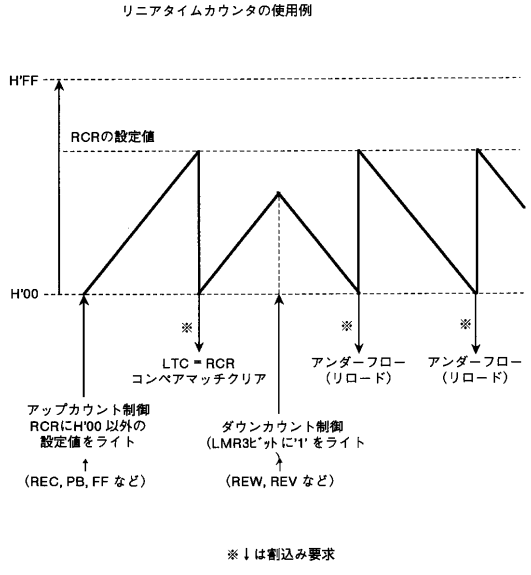


【図２２】
【図２２】



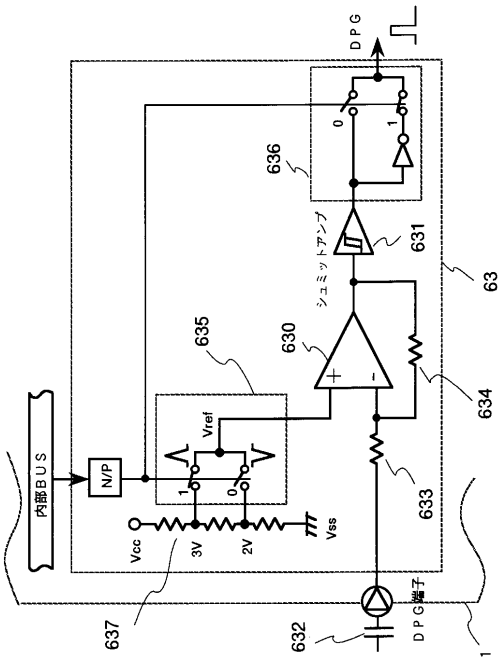
【図２３】

【図２３】



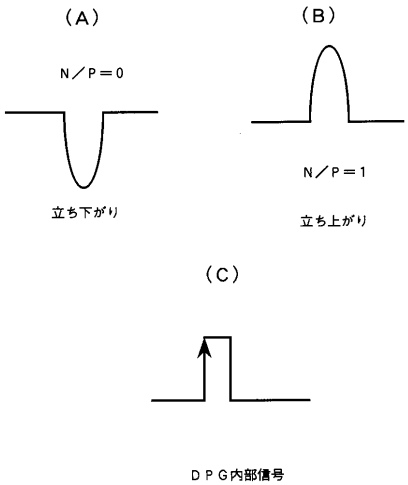
【図２４】

【図２４】



【図２５】

【図２５】



フロントページの続き

(56)参考文献 特開平０７－１６３１７３（ＪＰ，Ａ）
特開平０５－２５０８５９（ＪＰ，Ａ）
特開平０５－２１０９５５（ＪＰ，Ａ）
特開平０４－３２２１８９（ＪＰ，Ａ）
特開平０４－１６８９８９（ＪＰ，Ａ）
特開平０４－０１７５９０（ＪＰ，Ａ）
実開昭５９－０１０１９５（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H02P 5/00
G11B 15/467