



# [12] 发明专利申请公开说明书

[21] 申请号 02818519.6

[43] 公开日 2005年2月16日

[11] 公开号 CN 1582503A

[22] 申请日 2002.7.23 [21] 申请号 02818519.6

[30] 优先权

[32] 2001. 7. 23 [33] US [31] 60/307,234

[32] 2001. 7. 23 [33] US [31] 60/307,311

[32] 2002. 1. 25 [33] US [31] 10/057,821

[32] 2002. 1. 30 [33] US [31] 60/352,941

[86] 国际申请 PCT/US2002/023266 2002.7.23

[87] 国际公布 WO2003/010817 英 2003.2.6

[85] 进入国家阶段日期 2004.3.22

[71] 申请人 克里公司

地址 美国北卡罗来纳州

[72] 发明人 D·B·小斯拉特 B·E·威廉斯

P·S·安德鲁斯

[74] 专利代理机构 中国专利代理(香港)有限公司

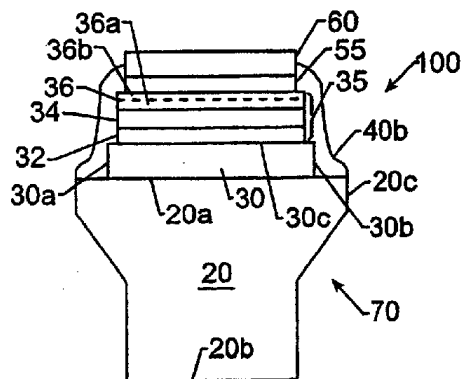
代理人 张雪梅 梁永

权利要求书7页 说明书15页 附图6页

[54] 发明名称 包括辅助支架键合修正的发光二极管及其制造方法

[57] 摘要

发光二极管包括衬底、衬底上其中包括二极管区的外延区、以及外延区上与衬底相对的多层导电叠层。钝化层至少部分地延伸在多层导电叠层上与外延区相对，以便确定在多层导电叠层上与外延区相对的键合区。钝化层还延伸跨越多层导电叠层，延伸跨越外延区，并且延伸到衬底上。多层导电叠层可以包括外延区上与衬底相对的欧姆层、欧姆层上与外延区相对的反射层、以及反射层上与欧姆层相对的锡的势垒层。还可以在锡的势垒层上提供与反射层相对的粘合层、还可以在粘合层上提供与锡的势垒层相对的键合层、还可以提供辅助支架以及键合层与辅助支架之间的键合。



1. 一种发光二极管，它包含：  
衬底；  
衬底上其中包括二极管区的外延区；  
5 外延区上衬底对面的包括势垒层的多层导电叠层；以及  
至少部分地延伸在多层导电叠层上与外延区相对的钝化层，以便确定在多层导电叠层上与外延区相对的键合区，此钝化层还延伸跨越多层导电叠层、延伸跨越外延区、以及延伸到衬底上。
2. 根据权利要求1的发光二极管，其中，钝化层对用来将键合区  
10 固定到辅助支架的键合材料不浸润。
3. 根据权利要求1的发光二极管，其中，多层导电叠层包括多层导电叠层侧壁，其中，外延区包括外延区侧壁，且其中，钝化层延伸在多层导电叠层侧壁上，并延伸在外延区侧壁上。
4. 根据权利要求1的发光二极管，还包含键合区上的键合层。
- 15 5. 根据权利要求1的发光二极管，其中，键合层包括键合层侧壁，且其中，钝化层也延伸在键合层侧壁上。
6. 根据权利要求1的发光二极管，其中，键合层包括键合层侧壁，且其中，钝化层不延伸在键合层侧壁上。
7. 根据权利要求4的发光二极管，还包含多层导电叠层与键合层  
20 之间的粘合层。
8. 根据权利要求4的发光二极管，还包含多层导电叠层与键合层之间的焊料浸润层。
9. 根据权利要求8的发光二极管，其中，焊料浸润层包含镍。
10. 根据权利要求7的发光二极管，其中，粘合层包括粘合层侧壁，  
25 且其中，钝化层也延伸在粘合层侧壁上。
11. 根据权利要求7的发光二极管，其中，粘合层包括粘合层侧壁，且其中，钝化层不延伸在粘合层侧壁上。
12. 根据权利要求4的发光二极管，其中，衬底包括邻近外延区的第一表面以及与外延区相对的第二表面，其中，键合层的表面面积小  
30 于多层导电叠层，其中，多层导电叠层的表面面积小于外延区，且其中，外延区的表面面积小于第一表面。
13. 根据权利要求12的发光二极管，其中，第二表面的表面面积

小于第一表面。

14. 根据权利要求1的发光二极管，还包含辅助支架以及键合区与辅助支架之间的键合。

15. 根据权利要求14的发光二极管，其中的键合是热压键合。

5 16. 根据权利要求14的发光二极管，其中的键合包含焊料。

17. 根据权利要求4的发光二极管，其中，键合层延伸离开多层导电叠层直至超过钝化层。

18. 根据权利要求4的发光二极管，其中，键合层不延伸离开多层导电叠层直至超过钝化层。

10 19. 根据权利要求1的发光二极管，其中，衬底包含碳化硅，且其中，外延区包含氮化镓。

20. 根据权利要求1的发光二极管，其中，多层导电叠层包含欧姆层、反射层、以及势垒层。

15 21. 根据权利要求20的发光二极管，其中，欧姆层包含铂、钽、镍/金、氧化镍/金、氧化镍/铂、钛、和/或钛/金，且其中，反射层包含铝和/或银。

22. 根据权利要求20的发光二极管，其中，势垒层包含钨、钛/钨、和/或氮化钛/钨。

20 23. 根据权利要求20的发光二极管，其中，势垒层包含大约95%的钨和大约5%的钛。

24. 根据权利要求1的发光二极管，其中，势垒层包含钨、钛/钨、和/或氮化钛/钨。

25 25. 根据权利要求1的发光二极管，其中，势垒层包含大约95%的钨和大约5%的钛。

26. 根据权利要求20的发光二极管，其中，势垒层包含含钨的第一层和含镍的第二层。

27. 根据权利要求26的发光二极管，其中，第一层包含钛/钨。

28. 根据权利要求1的发光二极管，其中，势垒层包含含钨的第一层和含镍的第二层。

30 29. 根据权利要求28的发光二极管，其中，第一层包含钛/钨。

30. 根据权利要求22的发光二极管，还包含辅助支架以及势垒层与辅助支架之间的焊料层。

31. 根据权利要求 24 的发光二极管, 还包含辅助支架以及势垒层与辅助支架之间的焊料层。

32. 根据权利要求 26 的发光二极管, 还包含辅助支架以及含镍的第二层与辅助支架之间的焊料层。

5 33. 根据权利要求 28 的发光二极管, 还包含辅助支架以及含镍的第二层与辅助支架之间的焊料层。

34. 根据权利要求 4 的发光二极管, 还包含多层导电叠层与键合层之间的抗剪强度增强层。

10 35. 根据权利要求 34 的发光二极管, 其中, 抗剪强度增强层包含镍。

36. 一种发光二极管, 它包含:

具有第一和第二相对表面的衬底, 此第二表面的表面面积小于第一表面;

第一表面上其中包括二极管区的外延区;

15 外延区上与衬底相对的欧姆层;

欧姆层上与外延区相对的反射层;

反射层上与欧姆层相对的势垒层;

势垒层上与反射层相对的粘合层; 以及

粘合层上与势垒层相对的键合层。

20 37. 根据权利要求 36 的发光二极管, 还包含辅助支架以及键合层与辅助支架之间的键合。

38. 根据权利要求 37 的发光二极管, 其中的键合是热压键合。

39. 根据权利要求 37 的发光二极管, 其中的键合包含焊料。

40. 根据权利要求 39 的发光二极管, 其中的焊料包含锡和/或金。

25 41. 根据权利要求 36 的发光二极管, 其中, 衬底包含碳化硅, 且其中, 外延区包含氮化镓。

42. 根据权利要求 36 的发光二极管, 其中, 欧姆层包含铂、钯、镍/金、氧化镍/金、氧化镍/铂、钛、和/或钛/金, 且其中, 反射层包含铝和/或银。

30 43. 根据权利要求 36 的发光二极管, 其中, 势垒层包含钛、钛/钨、和/或氮化钛/钨。

44. 根据权利要求 36 的发光二极管, 其中, 势垒层包含大约 95%

的钨和大约 5%的钛。

45. 根据权利要求 36 的发光二极管, 其中, 势垒层包含含钨的第一层和含镍的第二层。

46. 根据权利要求 45 的发光二极管, 其中, 第一层包含钛/钨。

5 47. 根据权利要求 39 的发光二极管, 其中, 焊料的回流温度低于大约 210℃, 且其中, 势垒层包含厚度约为 500-50000 埃的钛/钨层。

48. 根据权利要求 39 的发光二极管, 其中, 焊料的回流温度高于大约 210℃, 且其中, 势垒层包含厚度约为 5000 埃的钛/钨第一层以及第一层上的厚度约为 2000 埃的含镍的第二层。

10 49. 根据权利要求 39 的发光二极管, 其中, 焊料的回流温度高于大约 250℃, 且其中, 势垒层包含厚度约为 5000 埃的钛/钨第一层以及第一层上的厚度约为 2000 埃的含镍的第二层。

50. 根据权利要求 36 的发光二极管, 其中, 外延区的表面面积小于第一表面, 其中, 势垒层、反射层、以及欧姆层具有小于外延区的表面面积的相同的表面面积, 且其中, 粘合层和键合层具有小于势垒层、反射层、以及欧姆层的表面面积的相同的表面面积。

51. 根据权利要求 36 的发光二极管, 其中, 外延区、欧姆层、反射层、势垒层、粘合层、以及键合层各具有侧壁, 发光二极管还包含在外延区、欧姆层、反射层、势垒层、粘合层、以及键合层的侧壁上的钝化层。

52. 根据权利要求 50 的发光二极管, 其中, 外延区、欧姆层、反射层、势垒层、粘合层、以及键合层各具有侧壁, 发光二极管还包含在外延区、欧姆层、反射层、势垒层、粘合层、以及键合层的侧壁上的钝化层。

25 53. 根据权利要求 52 的发光二极管, 其中, 钝化层还位于衬底的第一表面上。

54. 根据权利要求 52 的发光二极管, 还包含辅助支架以及键合层与辅助支架之间的焊料层, 其中, 钝化层对焊料层不浸润。

55. 根据权利要求 36 的发光二极管, 还包含粘合层与键合层之间的焊料浸润层。

30 56. 根据权利要求 36 的发光二极管, 还包含粘合层与键合层之间的抗剪强度增强层。

57. 一种发光二极管，它包含：

衬底；

衬底上其中包括二极管区的外延区；

外延区上与衬底相对的多层导电叠层；以及

5 用来降低沾污物进入多层导电叠层中的迁移的装置。

58. 根据权利要求 57 的发光二极管，其中，用来降低的装置包含含钨的层。

59. 一种制造多个发光二极管的方法，它包含：

10 在衬底上外延形成多个分隔开的台面区，此台面区中包括二极管区；

在台面区上确定第一减小面积的区域；

在台面区的第一减小面积的区域上形成包括势垒层的多层导电叠层；

15 在各个台面区之间的衬底上、台面区的暴露部分上、以及多层导电叠层的暴露部分上，形成钝化层，此钝化层在多层导电叠层上确定第二减小面积的区域；

在多层导电叠层的第二减小面积的区域上，形成键合层；以及

在各个台面之间切割衬底，以便产生多个发光二极管。

20 60. 根据权利要求 59 的方法，其中，切割之后随之以将键合层键合到辅助支架。

61. 根据权利要求 60 的方法，其中，键合包含将键合层热压键合到辅助支架。

62. 根据权利要求 60 的方法，其中，键合包含将键合层焊料键合到辅助支架。

25 63. 根据权利要求 62 的方法，其中，钝化层不浸润将键合层焊料键合到辅助支架过程中所用的焊料。

64. 根据权利要求 59 的方法，其中，多层导电叠层包括多层导电叠层侧壁，其中，外延区包括外延区侧壁，且其中，形成钝化层包含在多层导电叠层侧壁上以及在外延区侧壁上形成钝化层。

30 65. 根据权利要求 59 的方法，其中，在形成钝化层与形成键合层之间，执行下列步骤：

在多层导电叠层的第二减小面积的区域上形成粘合层。

66. 根据权利要求 59 的方法, 其中, 在形成钝化层与形成键合层之间, 执行下列步骤:

在多层导电叠层的第二减小面积的区域上形成焊料浸润层。

5 67. 根据权利要求 59 的方法, 其中, 在形成钝化层与形成键合层之间, 执行下列步骤:

在多层导电叠层的第二减小面积的区域上形成抗剪强度增强层。

68. 根据权利要求 59 的方法, 其中, 衬底包括邻近台面区的第一表面以及与台面区相对的第二表面, 且其中, 切割包含在各个台面区之间切割衬底, 以便产生包括表面面积小于其第一表面的第二表面的多个发光二极管。

69. 根据权利要求 59 的方法, 其中, 衬底包含碳化硅, 且其中, 外延区包含氮化镓。

70. 根据权利要求 59 的方法, 其中, 多层导电叠层包含欧姆层、反射层、以及势垒层。

15 71. 根据权利要求 59 的方法, 其中, 欧姆层包含铂、钌、镍/金、氧化镍/金、氧化镍/铂、钛、和/或钛/金, 且其中, 反射层包含铝和/或银。

72. 根据权利要求 59 的方法, 其中, 势垒层包含钨、钛/钨、和/或氮化钛/钨。

20 73. 根据权利要求 59 的方法, 其中, 势垒层包含钨、钛/钨、和/或氮化钛/钨。

74. 根据权利要求 70 的方法, 其中, 势垒层包含含钨的第一层和含镍的第二层。

25 75. 根据权利要求 59 的方法, 其中, 势垒层包含含钨的第一层和含镍的第二层。

76. 根据权利要求 59 的方法, 其中, 键合包含在低于大约 210°C 下将键合层焊料键合到辅助支架, 且其中, 势垒层包含厚度约为 500-50000 埃的钛/钨层。

30 77. 根据权利要求 59 的方法, 其中, 键合包含在低于大约 210°C 下将键合层焊料键合到辅助支架, 且其中, 势垒层包含厚度约为 5000 埃的钛/钨第一层以及第一层上的厚度约为 2000 埃的含镍的第二层。

78. 根据权利要求 59 的方法, 其中, 键合包含在高于大约 250°C

---

下将键合层焊料键合到辅助支架，且其中，势垒层包含厚度约为 5000 埃的钛/钨第一层以及第一层上的厚度约为 2000 埃的含镍的第二层。



## 包括辅助支架键合修正的发光二极管及其制造方法

### 相关申请的相互参照

5 本申请对2002年1月30日提交的题为“LED管芯固定方法和得到的结构”的临时申请序列号No. 60/352941、2001年7月23日提交的题为“发光二极管的倒装芯片键合”的临时申请序列号No. 60/307311、2001年7月23日提交的题为“倒装芯片发光二极管的热声键合”的临时申请序列号No. 60/307234、以及2002年1月25  
10 日提交的题为“包括出光修正的发光二极管及其制造方法”的申请No. 10/057821的权益和优先权提出权利要求，所有这些公开此处被全部列为参考。

### 发明的领域

15 本发明涉及到微电子器件及其制造方法，更确切地说是涉及到诸如发光二极管(LED)之类的发光器件及其制造方法。

### 发明的背景

20 发光二极管被广泛地应用于消费和商业应用中。如本技术领域熟练人员所知，发光二极管通常包括微电子衬底上的二极管区。此微电子衬底可以包含例如砷化镓、磷化镓、它们的合金、碳化硅、和/或蓝宝石。LED的不断发展已经导致了能够覆盖可见光谱及其以上的高效率和机械上坚固的光源。这些特性与固态器件潜在的长使用寿命一起，使得能够得到各种新的显示应用，并将LED置于与牢固占领了市场的白炽灯和荧光灯相竞争的地位。

25 氮化镓(GaN)基的LED通常包含其上淀积了多个GaN基外延层的诸如碳化硅(SiC)或蓝宝石之类的绝缘或半导体衬底。这些外延层包含具有被激励时发光的p-n结的有源区即二极管区。

30 LED可以被衬底侧朝下地安装在辅助支架也称为封装件或引线框(以下称为“辅助支架”)上。相反，发光二极管的倒装芯片安装涉及到将LED衬底侧朝上地(亦即离开辅助支架)安装在辅助支架上。光可以通过衬底被取出和发射。对于安装SiC基LED，倒装芯片安装方法是特别可取的。确切地说，由于SiC的折射率比GaN的高，故在有源区即二极管区中产生的光通常在GaN/SiC界面处不完全内部反射

(亦即反射回到 GaN 基层中)。SiC 基 LED 的倒装芯片安装还能够改善本技术所知的某些衬底成形技术的效果。SiC 基 LED 的倒装芯片封装可以具有其他的一些好处,例如改善了散热,根据 LED 的特定应用,这可能是可取的。

5 由于 SiC 高的折射率,故通过 SiC 衬底的光倾向于在衬底表面处被内部全反射到衬底中,除非光以很小的入射角(亦即很靠近法线)冲击表面。内部全反射的临界角通常依赖于 SiC 与之形成界面的材料。借助于以使更多的射线以小的入射角冲击 SiC 的表面而限制内部全反射的方式来成形 SiC 衬底,有可能提高从 SiC 基 LED 输出的光。在上述美国专利申请 No. 10/057821 中,提到了大量这种成形技术和得到的器件。

10 倒装芯片安装的一个潜在的问题是,当用常规技术将 LED 安装在辅助支架上时,诸如银环氧树脂之类的导电的管芯固定材料被淀积在 LED 上和/或封装件上,且 LED 与辅助支架被压到一起。这会引入粘滞性导电管芯固定材料挤压出来并与 N 型衬底和/或器件中各个层相接触,从而形成能够短路有源区中的 p-n 结的肖特基二极管连接。

15 用焊接、热声摩擦和/或热压键合方法形成的金属-金属键合,是一些变通的固定技术。但锡(Sn)是大多数类型焊料的一种组分,且 Sn 从键合表面到器件中的迁移能够引起器件不希望有的退化。这种迁移能够影响诸如欧姆接触之类的金属-半导体界面和/或诸如用作平面镜的反射界面之类的金属-金属界面的功能。

### 发明的概述

25 根据本发明某些实施方案的发光二极管包括衬底、衬底上的其中包括二极管区的外延区、以及多层导电叠层,此多层导电叠层包括在外延区上与衬底相对的势垒层。钝化层至少部分地延伸在多层导电叠层上与外延区相对,以便在多层导电叠层上确定与外延区相对的键合区。此钝化层还延伸跨越多层导电叠层,延伸跨越外延区,并延伸到衬底上。

30 在本发明的某些实施方案中,钝化层对用来将键合区固定到辅助支架的键合材料不浸润。在本发明的其它实施方案中,多层导电叠层和外延区都包括侧壁,且钝化层延伸在多层导电叠层和外延区的侧壁上。在本发明的另一些实施方案中,键合层被提供在键合区上。在本

发明的一些实施方案中，键合层包括侧壁，且钝化层也延伸到键合层的侧壁上。在本发明的再一些实施方案中，钝化层不延伸在键合层侧壁上。在本发明的另一些实施方案中，粘合层和/或焊料浸润层被提供在多层导电叠层与键合层之间。在本发明的其它实施方案中，粘合层包括粘合层侧壁，且钝化层也延伸在粘合层侧壁上。在其它实施方案中，钝化层不延伸在粘合层侧壁上。

在本发明的其它实施方案中，衬底包括邻接外延区的第一表面和外延区对面的第二表面。在本发明的某些实施方案中，键合层的表面面积小于多层导电叠层的，多层导电叠层的表面面积小于外延区的，且外延区的表面面积小于第一表面的。在本发明的其它实施方案中，第二表面的表面面积也小于第一表面的。

本发明的其它实施方案包括辅助支架以及键合区与辅助支架之间的键合。在本发明的某些实施方案中，此键合是热压键合。在本发明的其它实施方案中，此键合包含焊料。

根据本发明其它实施方案的发光二极管包括具有第一表面和对面的第二表面的衬底，第二表面的表面面积小于第一表面的。外延区被提供在其中包括二极管区的第一表面上。欧姆层位于外延区上衬底的对面。反射层位于欧姆层上外延区的对面。势垒层位于反射层上欧姆层的对面。粘合层位于势垒层上反射层的对面。键合层位于粘合层上势垒层的对面。在其它实施方案中，焊料浸润层面对势垒层位于粘合层上。本发明的其它实施方案还包含辅助支架以及键合层与辅助支架之间的键合。

在本发明的某些实施方案中，欧姆层包含铂、钯、镍/金、氧化镍/金、氧化镍/铂、钛、和/或钛/金。在本发明的其它实施方案中，反射层包含铝和/或银。在本发明的某些实施方案中，势垒层包含钨、钛/钨、和/或氮化钛/钨。在本发明的其它实施方案中，势垒层包含含钨的第一层和第一层上的含镍的第二层。在本发明的某些实施方案中，焊料的回流温度低于大约 210℃，且势垒层包含厚度约为 500-50000 埃的钛/钨层。在本发明的其它实施方案中，焊料的回流温度高于约 210℃，且势垒层包含厚度约为 5000 埃的钛/钨第一层以及第一层上的厚度约为 2000 埃的含镍的第二层。在本发明的其它实施方案中，焊料的回流温度高于约 250℃，且势垒层包含厚度约为 5000 埃的钛/钨第一

层以及第一层上的厚度约为 2000 埃的含镍的第二层。

在本发明的其它实施方案中，外延区的表面面积小于第二表面。势垒层、反射层、以及欧姆层的表面面积相同且小于外延区的表面面积。粘合层和键合层具有相同的表面面积且小于势垒层、反射层、以及欧姆层的表面面积。在本发明的其它实施方案中，如上所述，也可以提供钝化层。

根据本发明某些实施方案的钝化层提供了用来防止跨越外延区的外部短路的装置。而且，根据本发明某些实施方案的包含钨、钛/钨和/或氮化钛/钨层或钛/钨和镍层的势垒层，提供了用来减少锡和/或其它潜在有害材料迁移进入多层导电叠层中的装置。

根据本发明的某些实施方案，借助于在衬底上外延形成多个分隔开的其中包括二极管区的台面区，可以制造发光二极管。例如用光刻方法，第一减小面积的区域被确定在台面区上。包括势垒层的多层导电叠层被形成在台面区的第一减小面积的区域上。钝化层被形成在各个台面区之间的衬底上，形成在台面区的暴露部分上，以及形成在多层导电叠层的暴露部分上。势垒层确定了在多层导电叠层上的第二减小面积的区域。键合层被形成在多层导电叠层的第二减小面积的区域上。然后，衬底在各个台面之间被切割，从而产生多个发光二极管。在本发明的其它实施方案中，切割之后随之以将键合层键合到辅助支架。在本发明的某些实施方案中，采用了热压键合方法。在本发明的其它实施方案中，采用了焊料键合方法。

#### 附图的简要说明

图 1-10 是根据本发明某些实施方案的中间制造步骤中的根据本发明某些实施方案的发光二极管的剖面图。

图 11A-12D 是根据本发明某些实施方案的发光二极管的图示测试结果。

#### 优选实施方案的详细描述

以下参照其中示出了本发明实施方案的附图来更充分地描述本发明。但本发明可以用许多不同的形式来体现，不应该构成对此处提出的实施方案的限制。

因此，本发明对各种修正和变通的形式是敏感的，但其具体实施方案在附图中以举例的方式被示出，且在此处详细地描述。但应该理解

的是，并非有意地将本发明限制为所公开的具体形式，而是相反，本发明覆盖了权利要求所定义的本发明的构思与范围内的所有的修正、等效物、以及改变。在附图的整个描述中，相似的参考号表示相似的元件。在这些图中，为了清晰起见，各个层和区域的尺寸可以被夸大。还可以理解的是，当诸如层、区域、或衬底之类的元件被称为在另一个元件“上”时，可以是直接在其它元件上，或也可以存在插入的元件。相反，当诸如层、区域、或衬底之类的元件被称为“直接在”另一个元件“上”时，就不存在插入的元件。而且，此处所述的各个实施方案也包括其互补导电类型的实施方案。

10 现在参照碳化硅基衬底上的氮化镓基发光二极管来一般地描述本发明的实施方案。但本技术领域熟练人员可以理解的是，本发明的许多实施方案可以采用对发射的光不吸收即透明的衬底和折射率匹配的发光二极管外延层的任何组合。在本发明的某些实施方案中，衬底的折射率大于二极管的折射率。因此，组合可以包括 GaP 衬底上的 AlGaInP 二极管；GaAs 衬底上的 InGaAs 二极管；GaAs 衬底上的 AlGaAs 15 二极管；SiC 衬底上的 SiC 二极管；蓝宝石 ( $Al_2O_3$ ) 衬底上的 SiC 二极管；和/或氮化镓、碳化硅、氮化铝、氧化锌、和/或其它衬底上的氮化物基二极管。

本发明的某些实施方案提供了一种金属叠层，其外围具有确定 LED 20 器件上很适合于通过焊接和/或热声摩擦键合来固定管芯的键合区的钝化层。本发明的其它实施方案提供了能够用焊接和/或热声键合方法倒装芯片安装的 LED 器件，且它包括能够减小或消除 LED 金属层和/或半导体层的不希望有的退化的垫垒层。本发明的其它实施方案能够提供钝化层和势垒层二者。本发明的其它实施方案提供了制造这些 LED 25 器件的方法。根据本发明某些实施方案的钝化层能够提供用来防止跨越二极管区的短路的装置。而且，根据本发明某些实施方案的势垒层能够提供用来降低锡和/或其它不希望有的材料迁移进入到 LED 中的装置。

在常规的蓝宝石基的方法中，也称为芯片或管芯的 LED 被透明的环 30 氧树脂固定到辅助支架。在 LED 具有导电的 SiC 衬底的情况下，导电的银填充的环氧树脂被典型地用来彼此固定 LED 和辅助支架。SiC 或蓝宝石衬底上的常规氮化物基 LED 通常以外延侧朝上且衬底键合到辅助

支架的方式被封装。

常规 SiC 基 LED 的某些实施方案具有 n 型导电的衬底以及衬底上包括一个或多个 n 型外延层和一个或多个 p 型外延层来确定二极管区的外延区。透明的欧姆接触可以被形成在 p 型外延 LED 表面上。如上述  
5 美国专利申请序列号 No. 10/057821 所述, 在薄的透明欧姆接触上形成反射层来改善从器件的出光, 是有益的。反射层能够用来在薄的接触上均匀地分散电流, 还能够用来将光反射回到衬底中离开辅助支架。

不幸的是, 若来自焊接或热声/热压键合的锡和/或其它沾污物从键合表面迁移到反射层, 则反射层的反射性可能变小。而且, 若这些沾  
10 污物迁移超过反射层到透明的欧姆接触, 则透明欧姆接触的接触电阻率可能变得更高, 从而增大了器件的正向电压 ( $V_F$ )。二种结果都可能以器件的退化为特征。

反射层可以包含 Ag 和/或 Al, 且薄的透明欧姆层可以包含 Pt、Pd、Ni、Ti、Au、或这些元素的组合。不幸的是, Sn 容易地与 Ag、Pt、Au  
15 以及半导体制造中所用的各种其它金属形成合金。

根据本发明某些实施方案可以被形成在 LED 的 p 型表面上的一系列导电层 (此处称为“多层导电叠层”) 的第一部分, 包含欧姆层、反射层、以及势垒层。在某些实施方案中, 势垒层包含钛、钛/钨 (TiW)、和/或氮化钛/钨 (TiNW) 的薄层。在其它实施方案中, 势垒层包含钛/  
20 钨的第一层以及第一层上的含镍的第二层。

在本发明的某些实施方案中, 这部分多层导电叠层和器件的顶部被诸如焊料或共晶管芯固定材料不与之浸润的绝缘层之类的钝化层钝化。可以用常规甩涂或诸如化学气相淀积 (CVD) 和/或反应溅射之类的淀积技术来形成此钝化层, 且此钝化层可以包含诸如二氧化硅和/或  
25 氮化硅之类的绝缘氧化物和/或氮化物。

在本发明的某些实施方案中, 钝化层中的窗口然后被形成为其横向尺寸 (亦即表面面积) 小于势垒层的横向尺寸, 致使仅仅一部分势垒层表面被暴露。可以用常规的光刻和腐蚀技术来产生这种窗口。可以包含 Ti 的可选粘合层被形成在窗口中, 还形成可以包含 Au、Sn、和/或 AuSn 的厚键合层。在其它实施方案中, 可选的焊料浸润层被提供在  
30 粘合层与键合层之间。焊料浸润层能够提供焊料与 LED 之间的增强的机械连接, 这能够提高连接的抗剪强度。

在本发明的某些实施方案中，若在电学测试过程中要用探针尖将机械应力施加到多层导电叠层，则此键合层能够用来保护势垒层。而且，在本发明的其它实施方案中，键合层中的金能够用来保护势垒层避免氧化。在本发明的其它实施方案中，AuSn 可以被用于键合层中作为可以被用来通过作为焊料键合的一种变通的热声或热压键合而将 LED 和辅助支架彼此键合的共晶管芯固定材料。

根据本发明某些实施方案的多层导电叠层可以很好地适合于固态器件，其中本发明的某些实施方案能够提供比若用 Ni 或 NiV 来形成焊料势垒可以得到的明显地更薄的叠层。在本发明的某些实施方案中，包含 W、TiW、和/或 TiNW 和/或 W 和 Ni 层的势垒层，能够小于若仅仅 Ni 被用作势垒层所使用的厚度的一半。当考虑固态器件通常小的横向尺寸时，以及当考虑若存在大的形貌尺寸与使用常规制造技术相关的潜在困难时，这可能是有优点的。势垒层还能够提供对抗 Sn 和/或其它不希望有的迁移的所需垂直势垒。

根据本发明某些实施方案的钝化层能够覆盖除了暴露势垒层的减小了面积的窗口之外的整个 LED 的外延表面，并能够提供一种堤坝来减小或防止 Sn 和/或其它不希望有的进入到反射平面镜层或欧姆接触中或直至金属叠层边沿的迁移。在 LED 具有导电衬底的情况下，根据本发明某些实施方案的钝化层还能够用来保持管芯固定材料不接触到衬底，这种接触可能产生诸如形成寄生肖特基二极管之类的不希望有的效应。

工作于大功率电平下的大面积 LED 可以采用具有低热阻的封装来减小或防止器件性能的退化。与金属管芯固定材料相比，环氧树脂基的管芯固定材料可能具有高的热阻。在倒装芯片结构中，LED 的 p-n 结区被安装得非常靠近热沉封装件，这能够旁路衬底的热阻。在本发明的某些实施方案中，这可以被用于大面积的 SiC 基 LED，尽管 SiC 的热阻低。由本发明某些实施方案提供的金属-金属键合，由于蓝宝石的热阻高，故也可以被用于具有蓝宝石衬底的 LED。因此，本发明的某些实施方案可以被用于大面积的 LED，这可能得益于结朝下（倒装芯片）金属-金属管芯固定结构。本发明的其它实施方案可以被用于小面积的 LED。

本发明的某些实施方案还可以提高后续封装和装配步骤中器件能

够承受的允许温度范围。金属-金属键合能够被设计用于例如当 LED 被安装到印刷电路板时后续的热循环。若利用 300℃ 下的 AuSn 热声或热压键合，或利用 230℃ 下的 SnAg 焊料将 LED 管芯固定到其辅助支架，则在 200℃ 下使用 SnPb 焊料的后续加工过程不会由于回流管芯固定键合而引起机械失效。亦即，提高温度下的后续加工不引起 LED 管芯从辅助支架脱落。相反，采用环氧树脂基管芯固定方法的 LED 可能承受不了高温热循环。而且，在热加工过程中，透明的环氧树脂能够被污染，导致不希望有的光衰减。

本发明的某些实施方案还可以增加 LED 与辅助支架之间得到的键合的抗剪强度。蕴含减小或防止锡和/或其它不希望有的材料达及器件外延层的焊料势垒层，能够保持金属-半导体界面的粘合强度，并导致更坚固的机械上稳定的器件。确切地说，已经发现在金键合层下方包括镍焊料浸润层的各个实施方案可以表现出优异的抗剪强度。

此外，本发明的某些实施方案可以改善得到的器件的热导率。在可以承载电流明显大于常规 LED 的所谓“功率”或大面积 LED 中，这一效应尤其明显。在这种 LED 中，本发明的某些实施方案能够防止或减小金属层中的“空洞化”。空洞化指的是在金属区中形成物理空洞或空间。本发明的某些实施方案可以用来保持这种金属层中的紧密晶粒结构，从而使器件尽管工作于对应高结温的大功率电平，仍然能够保持高的热导率。改善了的热导率还可以有助于降低其中封装 LED 特别是功率 LED 的包封材料的退化。这种包封剂通常对热很敏感，并在长时间暴露于高温之后，可能发黄，变得更不透明。借助于改善 LED 安装界面的热导率，更少热可以通过包封剂耗散，这能够导致退化降低。

图 1 示出了根据本发明某些实施方案的 LED 器件前身 10，它包含具有分别相反的第一表面 20a 和第二表面 20b 的衬底 20 以及形成在衬底 20 的第一表面 20a 上的外延区 22。衬底 20 可以包含碳化硅、蓝宝石、氮化铝、氮化镓、或任何其它适当的导电衬底材料或不导电衬底材料。在本发明的某些实施方案中，衬底 20 包含导电的掺杂 SiC。在本发明的某些实施方案中，衬底 20 是在预定波长范围内对光辐射透明的。在本发明的某些实施方案中，外延区 22 包含导电缓冲层和多个 III 族氮化物外延层，其中至少某些外延层提供了二极管区。为了说明的



目的，图 1-10 所示的衬底、外延层、以及金属层的尺寸未按比例绘制，而是进行了夸大。可以例如用在外延区 22 表面上进行等离子体增强化学气相淀积 (PECVD) 的方法，来可选地形成薄的二氧化硅层和/或其它层 (未示出)，以便在后续的加工和清洗步骤中对外延层表面进行保护。

淀积外延区 22 之后，如图 2 所示对外延区 22 进行图形化，以便形成各具有侧壁 30a 和 30b 的多个台面 30。虽然在图 2 中未示出，但台面 30 可以延伸进入到衬底 20 中。而且，在本发明的某些实施方案中，可以借助于通过掩模中的窗口的选择性外延生长而不是通过满铺外延生长和腐蚀，来形成台面 30。

仍然参照图 2，在本发明的某些实施方案中，光抗蚀剂层 24 和/或其它材料层被形成在前身 10 的表面上，并被图形化以便暴露台面 30 的表面，从而在台面 30 表面上确定第一减小的区域 30c。若存在可选的二氧化硅层，则可以通过光抗蚀剂 24 中的窗口被腐蚀，以便暴露台面 30 中外延区 22 的外延表面层上的第一减小的区域 30c。

然后，用例如常规剥离技术，在台面 30 的第一减小的区域 30c 上形成多层导电叠层 35。如图 3 所示，多层导电叠层 35 包括欧姆层 32、反射层 34、以及势垒层 36。在本发明的某些实施方案中，欧姆层 32 包含铂，但在其它实施方案中，可以包含钯、镍/金、氧化镍/金、氧化镍/铂、钛和/或钛/金。在上述参考申请序列号 No. 10/057821 中描述了欧姆层的其它实施方案。若欧姆层 32 包含铂，则在本发明的某些实施方案中，铂的厚度约为 25 埃。反射层 34 可以包含任何适当的反射金属，并可以包含铝或银。在某些实施方案中，反射层 34 的厚度约为 1000 埃。在上述参考申请 No. 10/057821 中描述了反射层的其它实施方案。

在本发明的某些实施方案中，势垒层 36 可以是焊料势垒层，以便使诸如锡之类的焊料金属避免与反射层 34 和/或欧姆层 32 发生反应。在本发明的某些实施方案中，势垒层 36 包含 W、TiW 和/或 TiN/W，且厚度约为 500-50000 埃，而在本发明的其它实施方案中，厚度约为 5000 埃。在本发明的其它实施方案中，势垒层 36 可以包含 Ti 组分约为 5% 而 W 组分约为 95% 的 TiW。

当在低于大约 210℃ 的回流温度下执行 (下面描述的) 焊料键合操

作时,可以采用包含钨或钛/钨的厚度约为 500-3000 埃的势垒层 36 的其它实施方案。例如,根据本发明的某些实施方案,当在大约 190-210 °C 的回流温度下采用金/铅/锡的共晶焊料时,可以采用包含约 500-3000 埃之间的钛/钨的势垒层。

5 在本发明的其它实施方案中,较高的回流温度可以被用来适应诸如回流温度约为 220-260 °C 的包含锡、银、以及铋的焊料之类的其它的焊料。这些焊料的一个例子是 Kester 牌 R276AC 的大约 96.5% 的锡和大约 3.5% 的银的银-锡焊膏。因此,在本发明的某些实施方案中,势垒层 36 包含厚度约为 5000 埃的钨或钛/钨第一层 36a 以及第一层 36a 上的厚度约为 2000 埃的包含镍的第二层 36b。已经发现,本发明的某些  
10 这种实施方案能够承受大约 325-350 °C 之间的温度大约 5 分钟而不明显地增大 LED 的正向电压 ( $V_F$ ) 或降低 LED 的光输出。于是,在本发明的某些实施方案中,包含钨或钛/钨层 36a 和镍层 36b 的多层势垒层 36 被用于回流温度高于大约 200 °C 的焊料。在本发明的其它实施方案  
15 中,这些多层势垒层可以被用于回流温度高于大约 250 °C 的焊料。

在本发明的某些实施方案中,用例如电子束技术淀积了钨、银、以及铂。可以用电子束技术来淀积 TiW,但在本发明的其它实施方案中,Ti 和 W 被同时溅射淀积。此外,在本发明的其它实施方案中,在存在氮的情况下,可以溅射淀积 TiW 来形成也对锡扩散构成势垒的 TiN/TiW  
20 层。

在本发明的其它实施方案中,势垒层 36 可以主要由镍或 NiV 组成。在本发明的其它实施方案中,势垒层 36 可以包含完全被大约 500-10000 埃厚的金层覆盖的 2500 埃的镍焊料势垒。此金层能够防止镍层被氧化。但采用镍势垒层可能导致在提高的温度下光和电性能以及锡  
25 迁移造成的电流电平的高得无法接受的退化。而且,较厚的镍膜由于膜应力可能高而可能难以使用。这可能引起对镍从相邻的反射层和/或欧姆层剥离的担心。而且金在势垒层边沿的存在可能产生锡向下围绕势垒边沿迁移的通道。

现在参照图 4,在本发明的某些实施方案中,钝化层 40 被淀积或  
30 形成在器件前身 10 的第一(即外延侧)表面 20a 上。在本发明的某些实施方案中,钝化层 40 可以包含二氧化硅和/或 SiN(可以以化学比或非化学比的量来淀积),并可以用诸如 PECVD 和/或反应溅射之类的常

规技术来淀积。在本发明的某些实施方案中，钝化层 40 的厚度约为 1500 埃。还如图 4 所示，这种满铺淀积还在台面 30 和多层导电叠层 35 的侧壁上以及势垒层 36 的暴露表面上形成了钝化层。

5 现在参照图 5，利用腐蚀掩模（诸如光抗蚀剂）对钝化层 40 进行图形化，以便提供第一图形化的钝化层 40a，并选择性地呈现势垒层 36 表面的第二减小的区域部分 36c。在本发明的其它实施方案中，可以用剥离技术来暴露势垒层 36 表面的第二减小的区域部分 36c。在本发明的其它实施方案中，可以采用钝化层 40a 的选择性淀积，致使不必使用分立的图形化步骤。

10 仍然参照图 5，包含例如 Ti 的可选粘合层 55 然后被淀积在势垒层 36 的第二减小的区域 36c 上，且键合层 60 被淀积在粘合层 55 上。可以用图形化的钝化层 40a 作为掩模和/或利用剥离技术，来执行这些淀积。在本发明的某些实施方案中，粘合层 55 的厚度约为 1000 埃。在某些实施方案中，键合层 60 可以包含 Au、Sn 和/或 AuSn，且厚度约为 1000 埃。在本发明的某些实施方案中，键合层 60 的厚度可以高达大约 1 微米（若是 Au）或大约 1.7 微米（若是 AuSn）。但在某些实施方案中，厚度大于大约 1000 埃的 Au 层的使用可能导致不协调的焊料回流过程或焊料附着的 Au 脆变，这可能导致低的抗剪强度。如所示，根据本发明的某些实施方案，图形化的钝化层 40a 还位于粘合层 55 和键合层的侧壁上。在其它实施方案中，图形化的钝化层 40a 不延伸在粘合层 55 和键合层 60 的侧壁上。在这些实施方案中，钝化层可以延伸在导电叠层 35 的侧壁上。根据本发明的其它实施方案，键合层 60 延伸离开多层导电叠层 35，直到超过图形化的钝化层 40a。在其它实施方案中，键合层 60 不延伸超过图形化的钝化层 40a 的外表面。

25 对于制作在导电衬底上的器件，欧姆接触和金属丝键合焊点（未示出）被形成在外延区对面的第二衬底表面 20b 上，以便形成垂直导电器件。在申请 No.10/057821 中，描述了许多这种实施方案。对于制作在不导电衬底上的器件，欧姆接触和金属键合层（未示出）可以被形成在器件的 n 型外延区上，以便形成水平导电器件。在申请 No.10/057821 中，也示出了许多这种实施方案。

30 现在参照图 6，前身 10 被分割成单个的发光二极管 100。图 6 还示出了 LED 100 可以被锯成具有倾斜的侧壁结构 70，以便提高出光。在

申请 No. 10/057821 中，描述了衬底成形的许多其它的实施方案。

因此，图 6 示出了根据本发明某些实施方案的发光二极管 100，它包括衬底 20、衬底 20 上的包括二极管区的外延区（先前称为台面）30、外延区 30 上与衬底 20 相对的多层导电叠层 35、以及至少部分地延伸  
5 在多层导电叠层 35 上与外延区 30 相对的钝化层 40b，以便在多层导电叠层 35 上确定与外延区 30 相对的面积减小的键合区 36c。在某些实施方案中，钝化层 40b 还延伸跨越多层导电叠层 35，延伸跨越外延区 30，以及延伸到第一衬底表面 20a 上。也如图 6 所示，在本发明的某些实施方案中，多层导电叠层 35 和外延区 30 都包括侧壁，且钝化层 40b  
10 延伸在多层导电叠层 35 和外延区 30 的侧壁上。也如图 6 所示，键合层 60 被提供在键合区 36c 上。键合层 60 也包括键合层侧壁，且钝化层 40b 可以延伸到键合层侧壁上或不延伸到键合层侧壁上。最后，粘合层 55 可以被提供在多层导电叠层 35 与键合层 60 之间，且钝化层 40b 也可以延伸到粘合层 55 和/或键合层 60 侧壁上或不延伸到粘合层  
15 55 和/或键合层 60 侧壁上。

仍然参照图 6，在本发明的某些实施方案中，衬底 20 包括邻近外延区 30 的第一表面 20a 和外延区对面的第二表面 20b。如图 6 所示，键合层 60 的表面面积小于多层导电叠层 35，且多层导电叠层 35 的表面面积小于外延区 30。外延区 30 的表面面积小于第一表面 20a。第二  
20 表面 20b 的表面面积小于第一表面 20a。

图 6 还示出了根据本发明某些实施方案的发光二极管，它包括具有分别相反的第一和第二表面 20a 和 20b 的衬底 20，第二表面 20b 的表面面积小于第一表面。外延区 30 位于第一表面 20a 上，且其中包括二极管区。欧姆层 32 位于外延区 30 上衬底 20 的对面。反射层 34 位于  
25 欧姆层 32 上外延区 30 的对面。势垒层 36 位于反射层 34 上欧姆层 32 的对面。粘合层 55 位于势垒层 36 上反射层 34 的对面。最后，键合层 60 位于粘合层 55 上势垒层 36 的对面。

也如图 6 所示，在本发明的某些实施方案中，势垒层 36 包含钨、钛/钨、和/或氮化钛/钨。在本发明的其它实施方案中，锡的势垒层 36  
30 包含含钨的第一层 36a 和含钨的第一层 36a 上的含镍的第二层 36b。

也如图 6 所示，在本发明的某些实施方案中，外延区 30 的表面面积小于第一表面 20a。势垒层 36、反射层 34、以及欧姆层 32 具有相

同的表面面积，此表面面积小于外延区 30 的表面面积。粘合层 55 和键合层 60 具有相同的表面面积，此表面面积小于势垒层 36、反射层 34、以及欧姆层 32 的表面面积。

最后，也如图 6 所示，在本发明的某些实施方案中，外延区 30、  
5 欧姆层 32、反射层 34、势垒层 36、粘合层 55、以及键合层 60 各包括侧壁，且发光二极管 100 还包括在外延区 30、欧姆层 32、反射层 34、以及势垒层 36 的侧壁上的钝化层 40b。钝化层也可以延伸到粘合层 55 和/或键合层 60 的侧壁上或可以不延伸到粘合层 55 和/或键合层 60 的侧壁上。钝化层 40b 也可以延伸在衬底 20 的第一表面 20a 上。

10 图 7 示出了本发明其它实施方案，其中，键合层 60 包含焊料浸润层 62 以及浸润钝化层 64。在某些实施方案中，焊料浸润层 62 包含镍，且厚度约为 2000 埃。在某些实施方案中，浸润钝化层 64 包含金，且厚度约为 500 埃。根据本发明某些实施方案，采用镍焊料浸润层 62，  
15 能够为焊料提供增强的机械键合，这能够提高连接的抗剪强度，并能够降低机械失效的可能性。

图 8 示出了本发明的其它实施方案，其中，键合层 60 和可选的粘合层 55 不延伸超过钝化层 40b 的外边沿 40c。根据本发明的某些实施方案，当焊料键合被用来将 LED 安装到引线框时，可以采用此结构。

20 图 1-8 还示出了根据本发明某些实施方案制造多个发光二极管的方法。这些方法包含在衬底 20 上形成多个分隔开的台面区 30，此台面区中包括二极管区（图 2）。第一减小面积的区域 30c 被确定在台面区上（图 2）。包括势垒层的多层导电叠层 35 被形成在台面区 30 的第一减小面积的区域 30c 上（图 3）。钝化层 40a 被形成在各个台面区 30 之间的衬底 20 上、台面区的暴露部分上、以及多层叠层 35 的暴露部分上，  
25 钝化层 40a 在多层导电叠层 35 上确定第二减小面积的区域 36c（图 4 和 5）。然后，键合层 60 被形成在多层导电叠层 35 的第二减小面积的区域 36c 上（图 5）。衬底 20 在各个台面 30 之间被切割，从而产生多个发光二极管 100（图 6）。

30 现在参照图 9 和 10，如图 9 和 10 所示，一旦已经切割了 LED 100，LED 和导电辅助支架 75 就被彼此固定。图 9 示出了本发明的实施方案，其中，LED 100 通过热声和/或热压键合被外延侧朝下地安装在“倒装芯片”结构中。亦即，例如如美国临时申请 No. 60/307234 所述，代替

采用环氧树脂或焊料来形成 LED 100 与辅助支架 75 之间的机械连接即键合，LED 100 的键合层 60 被热声或热压直接键合到辅助支架 75。

在根据本发明某些实施方案的热声或热压键合的某些实施方案中，LED 芯片 100 被置于与辅助支架机械接触，并在高于键合金属的共晶温度的温度下对其进行机械和/或声学激励。键合金属于是与金属辅助支架形成键合，这提供了 LED 与辅助支架之间的机电连接。在本发明的实施方案中，键合层 60 具有相对组分约为 80%/20% 的 Au/Sn，用于热声键合的温度可以约为 300℃。

势垒层 36 和/或钝化层 40b 的存在，能够降低或防止键合层 60 中的金属与反射层 34 和/或欧姆层 32 之间不希望有的相互反应。势垒层 36 和/或钝化层 40 还可以用来抑制或禁止金属沿金属叠层 35 边沿的不希望有的迁移。

在本发明的其它实施方案中，如图 10 所示，可以用诸如 SnAg、SnPb 之类的金属焊料 80 和/或其它焊料，将 LED 100 安装在辅助支架 75 上。钝化层 40b 能够降低或防止 Sn 从焊料 80 迁移到（从而潜在地退化）反射层 34 和/或欧姆层 32。钝化层 40b 还能够降低或防止导电焊料 80 与衬底 20 和台面侧壁接触，否则这种接触可能导致形成对器件 100 的 n 型区的不希望有的寄生肖特基接触。在上述临时申请 No. 60/307311 中，公开了根据本发明其它实施方案可以使用的其它键合技术。

## 20 测试结果

下列测试结果是说明性的，不构成对本发明范围的限制。图 11A-11D 图示了 2500 埃镍焊料势垒的测试结果，而图 12A-12D 图示了 5000 埃 TiW 势垒的结果。

在第一测试中，测量了大量 LED 样品的高温工作寿命 (HTOL)。在此测试中，20 个 LED 被制造成具有 TiW 焊料势垒 36、SiN 钝化层 40b、以及金键合层 60。除了使用 Ni 焊料势垒之外，20 个 LED 还被制造成具有相同的结构。这些器件经由焊料键合被安装在镀银的半径为 5mm 的引线框上。这些器件然后在被保持于 85℃ 温度的情况下以 20mA 的正向电流工作。在 24、168、336、504、672、864、1008 小时之后，测量光输出功率和  $V_F$ 。如图 11A 和 12A 所示，与具有 TiW 势垒的器件相比，具有 Ni 势垒的器件表示出更大的光输出退化。而且 Ni 势垒器件中的  $V_F$  增大（图 11B）得比 TiW 势垒器件中的（图 12B）更多。

在第二测试中，20个LED被制造成具有TiW焊料势垒36、SiN钝化层40b、以及金键合层60，且除了使用Ni势垒之外，20个LED被制造成具有相同的结构。这些器件如上述参照HTOL测试那样被安装，并在被保持于85℃温度和85%的相对湿度的情况下以70mA的脉冲正向电流（4KHz下25%占空度）工作504小时。在24、168、336、504、672、864、1008小时之后，测量光输出功率和 $V_F$ 。如图11C和12C所示，更大的光输出退化出现在具有Ni势垒的器件中，且如图11D和12D所示，更大的 $V_F$ 增大出现在具有Ni势垒的器件中。

在附图和说明书中，已经描述了本发明的各种典型优选实施方案。虽然使用了具体的表达，但它们是在一般和叙述性的意义上被使用，而不是为了限制的目的，本发明的范围在下列权利要求中被提出。

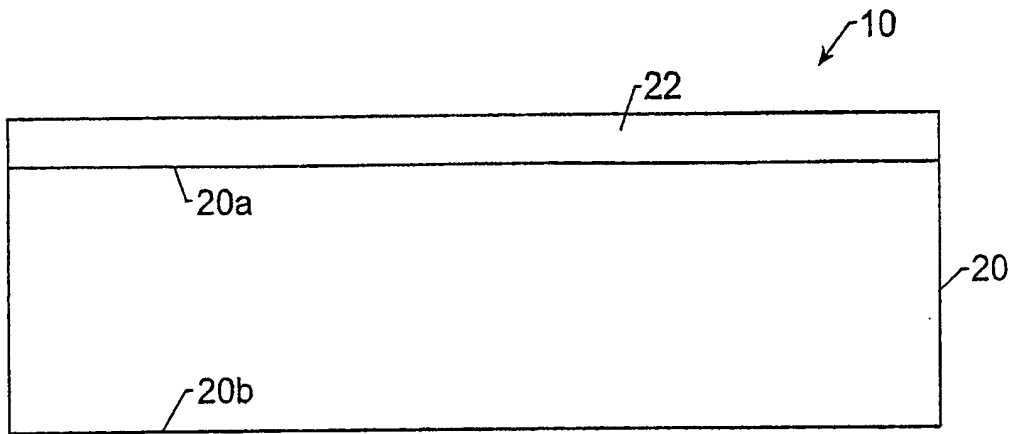


图 1

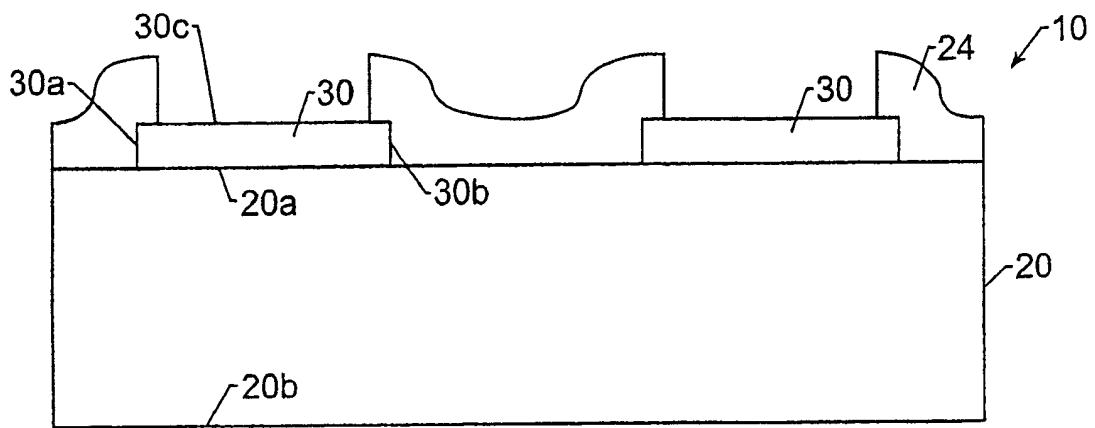


图 2

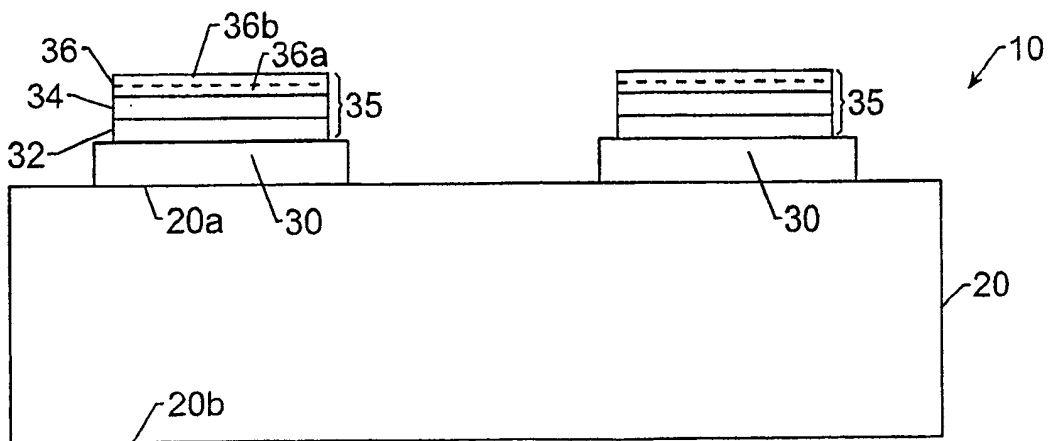


图 3



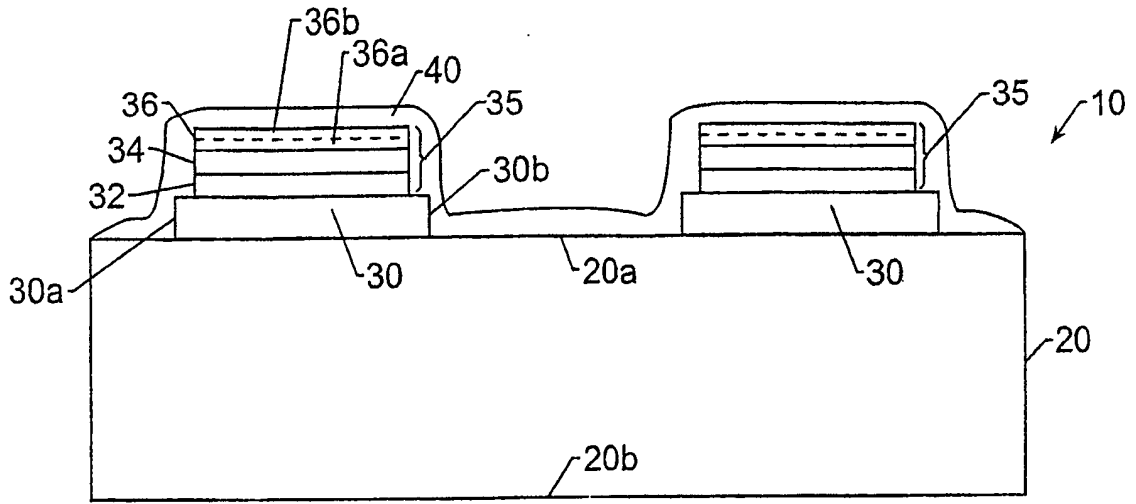


图 4

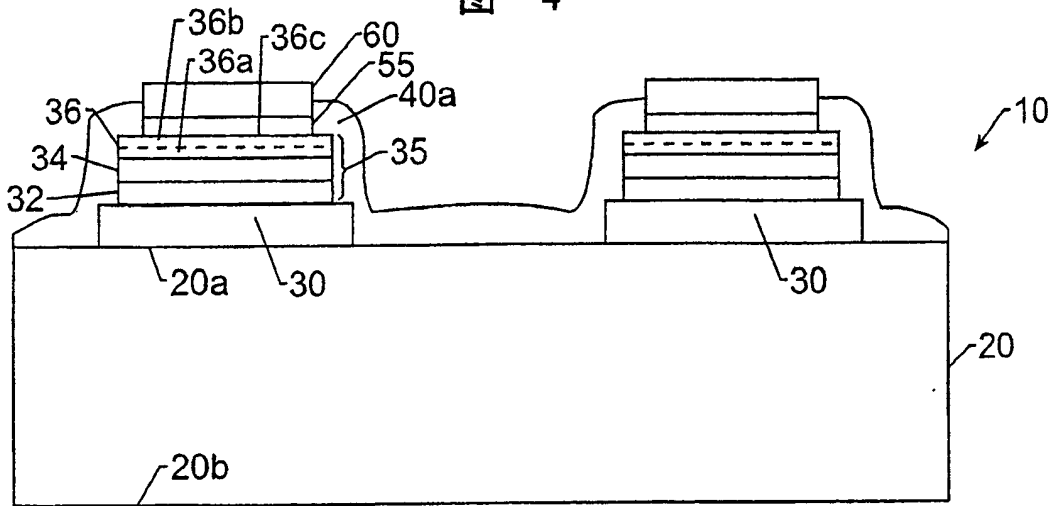


图 5

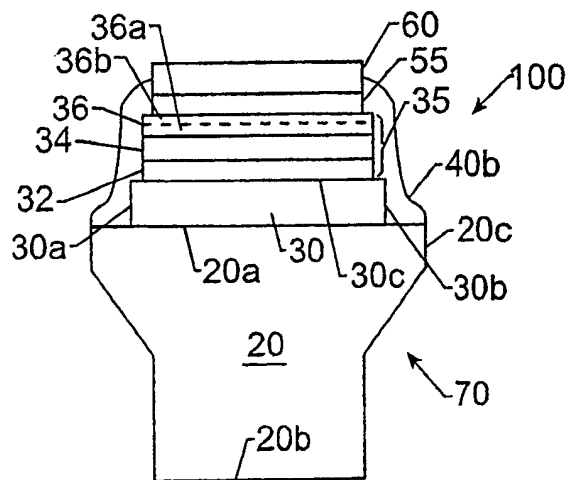


图 6

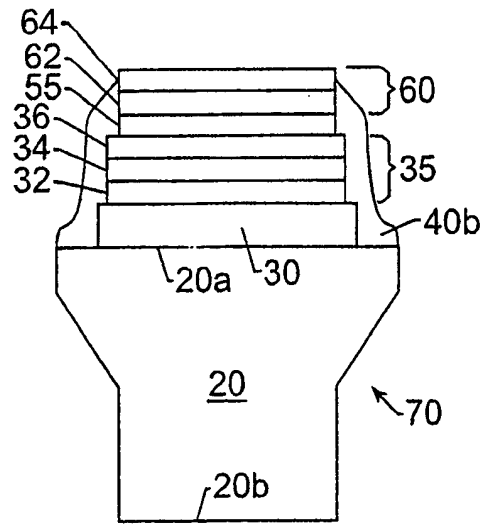


图 7

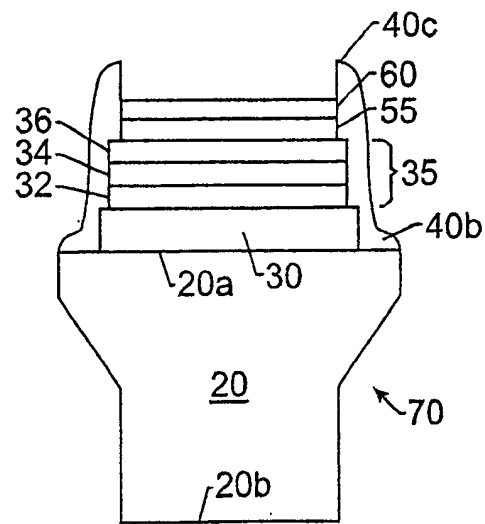


图 8

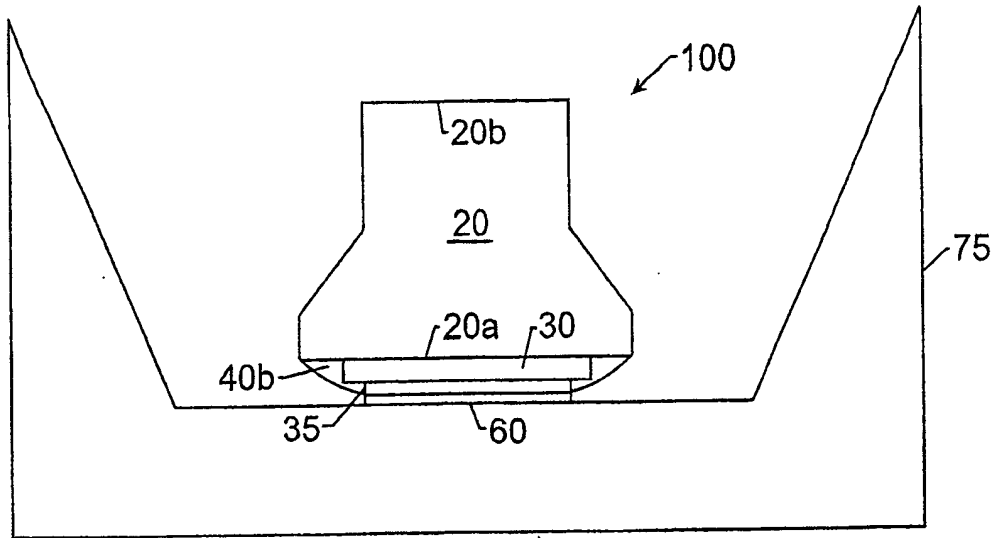


图 9

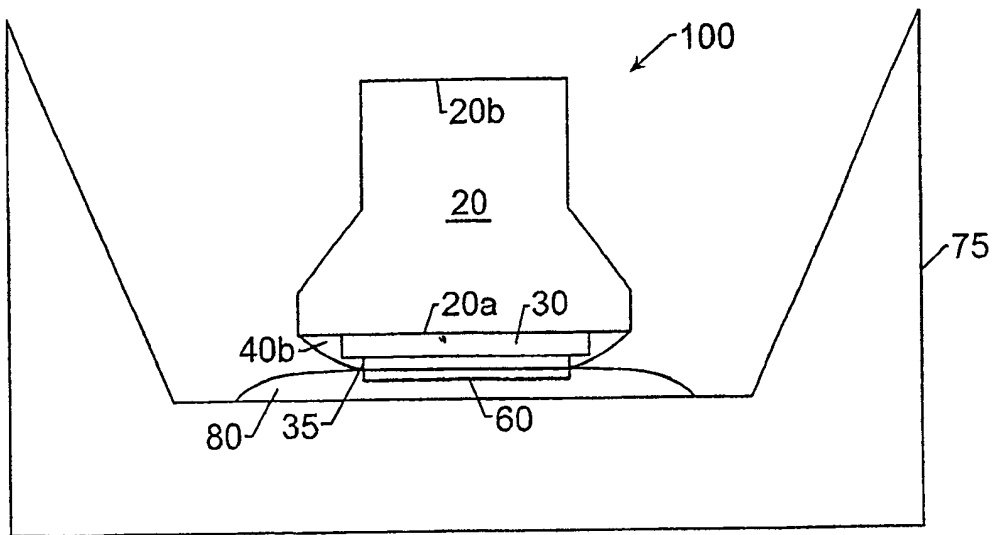


图 10

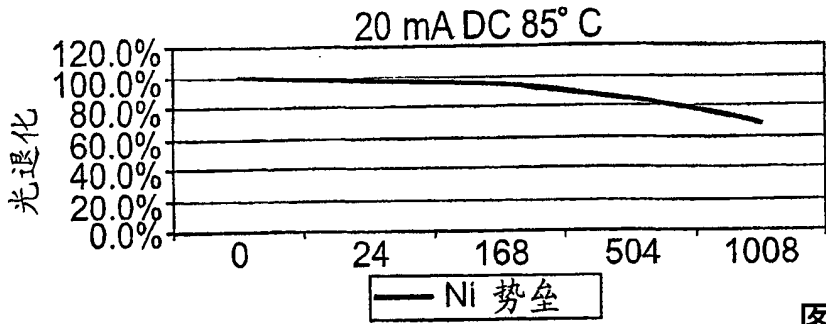


图 11A

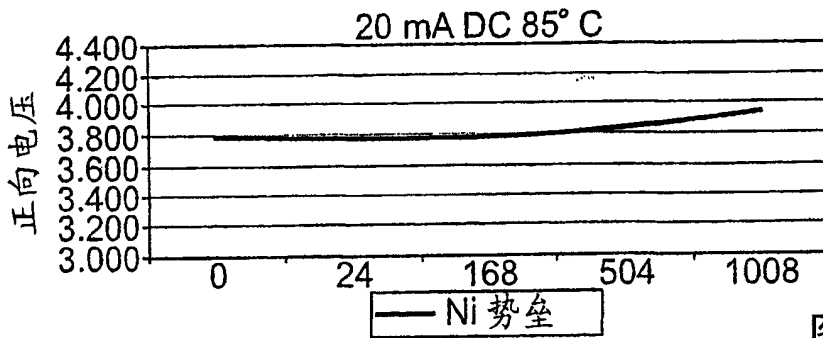


图 11B

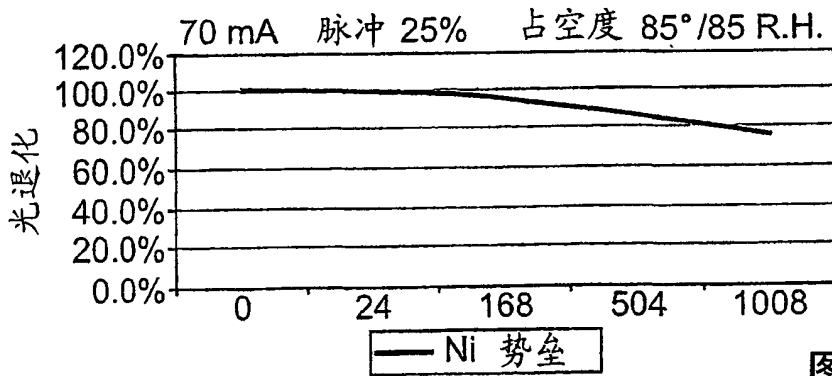


图 11C

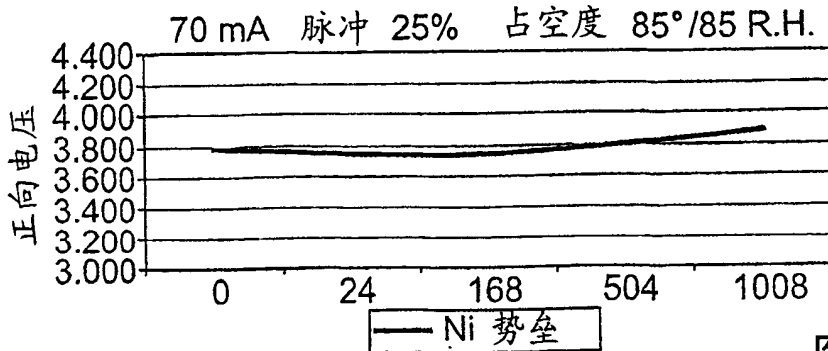


图 11D

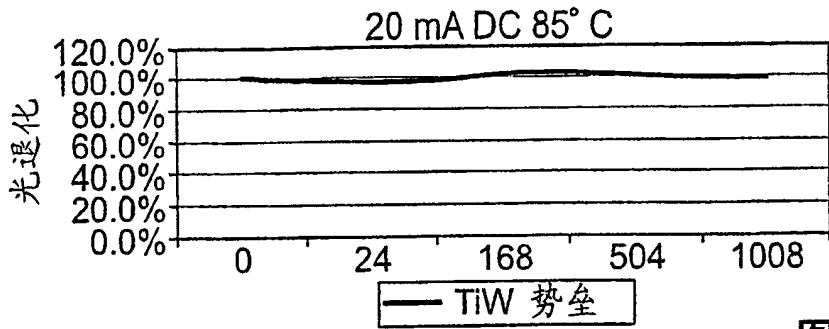


图 12A

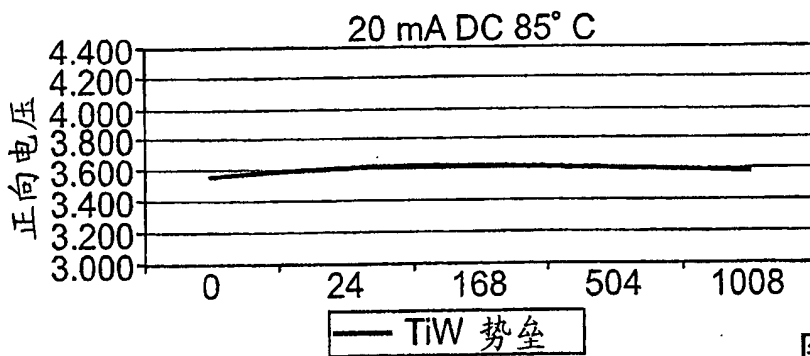


图 12B

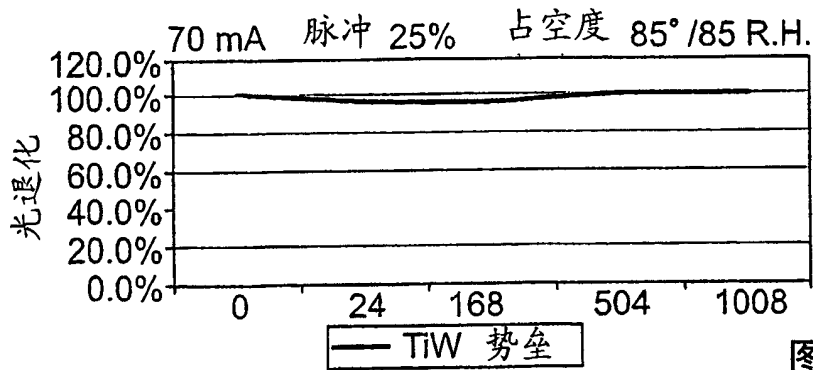


图 12C

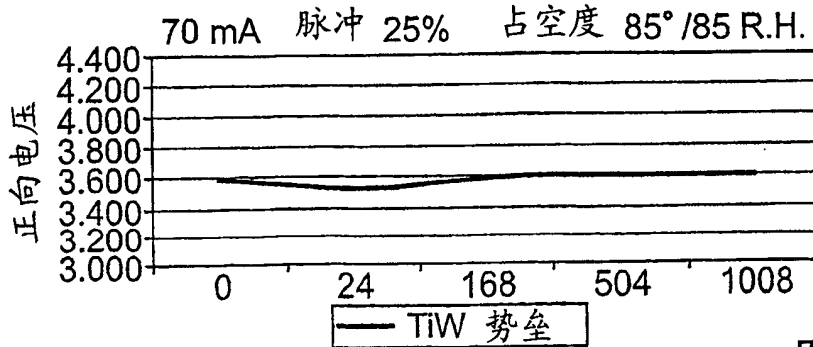


图 12D