

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



PCT



(10) 国际公布号

WO 2011/063646 A1

(43) 国际公布日
2011 年 6 月 3 日 (03.06.2011)

- (51) 国际专利分类号:
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
- 22 号南新仓国际大厦 A1105 室, Beijing 100007 (CN)。
- (21) 国际申请号: PCT/CN2010/074486
- (22) 国际申请日: 2010 年 6 月 25 日 (25.06.2010)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
200910241209.6 2009 年 11 月 25 日 (25.11.2009) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 梁擎擎 (LIANG, Qingqing) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 钟汇才 (ZHONG, Huicai) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆路 93 号, NY 12603 (US)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。
- 本国际公布:
— 包括国际检索报告(条约第 21 条(3))。
- (74) 代理人: 北京市立方律师事务所 (LIFANG & PARTNERS LAW FIRM); 中国北京市东四十条甲

(54) Title: NAND STRUCTURE AND A MANUFACTURING METHOD THEREOF

(54) 发明名称: NAND 结构及其形成方法

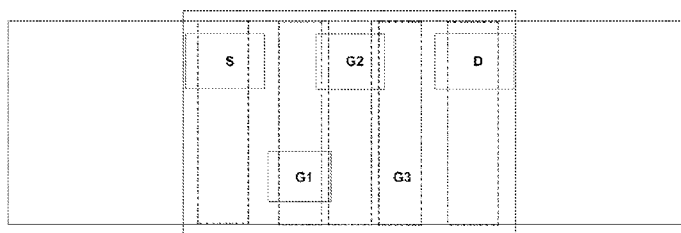


图 4 / Fig. 4

(57) Abstract: A NAND structure and a manufacturing method thereof, wherein said NAND structure includes: a substrate (100); a gate insulating layer (500) formed on the substrate (100); source regions and drain regions (400) formed in the substrate (100); middle gates (200) formed on said gate insulating layer (500), first gates and second gates (300) disposed at both sides of the middle gates (200); first side walls (1000) disposed between said first gates and second gates (300) and said middle gates (200), second side walls (1100) disposed at outside of said first gates and second gates (300); first contact hole regions (1200) disposed on said middle gates (200), second contact hole regions (800) disposed respectively on said first gates and second gates (300), wherein said first contact hole regions and said second contact hole regions are in an interlaced arrangement. Said NAND structure can effectively reduce chips' areas.

[见续页]



WO 2011/063646 A1

(57) 摘要:

一种与非门 NAND 结构及其形成方法，所述的 NAND 结构包括：衬底（100）；形成在衬底（100）之上的栅绝缘层（500）；形成在所述衬底（100）中的源区和漏区（400）；形成在所述栅绝缘层（500）之上的中间栅极（200），和位于中间栅极（200）两侧的第一栅极和第二栅极（300）；所述第一栅极和第二栅极（300）与所述中间栅极（200）之间设有第一侧墙（1000），所述第一栅极和第二栅极的外侧设有第二侧墙（1100）；所述中间栅极（200）之上设置有第一接触孔区（1200），所述第一栅极和第二栅极（300）之上分别设置有第二接触孔区（800），其中，所述第一接触孔区（1200）和第二接触孔区（800）交错排列。所述的 NAND 结构可以有效缩小芯片面积。

NAND 结构及其形成方法

技术领域

本发明涉及半导体设计及制造技术领域，特别涉及一种自对准的小型
5 NAND（与非门）结构及其形成方法。

背景技术

NAND 结构是在闪存中较为普遍使用的一种结构，NAND 闪存比硬盘
驱动器更好。随着人们持续追求功耗更低、重量更轻和性能更佳的产品，
10 由于 NAND 所具有的较高的单元密度，高存储密度，较快的写入和擦除速度
等优势，其得到了广泛的应用。NAND 闪存的单元尺寸几乎是 NOR 器件的
一半，可以在给定的模具尺寸内提供更高的容量，具有很快的写入和擦除
速度，主要功能是存储资料，目前主要用在数码相机等的闪存卡和 MP3 播
放机中。

15 现有技术存在的缺点是，随着数码设备等小型化的需要，对存储卡尺
寸和存储量的要求也越来越高，因此如何设计更小尺寸的 NAND 结构就成
为了急待解决的问题。

发明内容

20 本发明的目的旨在至少解决上述技术缺陷之一，特别是缩小 NAND 结
构的尺寸，从而减小存储卡的尺寸，进一步提高存储量。

为达到上述目的，本发明一方面提出一种与非门 NAND 结构，包括：
衬底；形成在所述衬底之上的栅绝缘层；形成在所述衬底中的源区和漏区；
形成在所述栅绝缘层之上的中间栅极，和位于所述中间栅极两侧的第一栅
25 极和第二栅极，所述第一栅极和第二栅极与所述中间栅极之间设有第一侧
墙，所述第一栅极和第二栅极的外侧设有第二侧墙，其中，所述中间栅极
之上设置有第一接触孔区，所述第一栅极和第二栅极之上分别设置有第二
接触孔区，所述第一接触孔区和第二接触孔区交错排列。

在本发明的一个实施例中，所述第一侧墙的厚度小于所述第二侧墙。

在本发明的一个实施例中，所述第一侧墙的厚度为 2 - 10nm。

在本发明的一个实施例中，所述第一接触孔区通过第一金属或多晶硅与所述中间栅极相连，其中第一接触孔区之下的第一金属或多晶硅至少有一部分高于第一接触孔区外的第一金属或多晶硅。

5 在本发明的一个实施例中，所述第二接触孔区通过第二金属或多晶硅与所述第一栅极和第二栅极相连，其中第二接触孔区之下的第二金属或多晶硅至少有一部分高于第二接触孔区外的第二金属或多晶硅。

10 在本发明的一个实施例中，还包括：分别形成在所述源区和漏区之上的第三接触孔区，所述第三接触孔区通过第三金属与所述源区和漏区相连，其中第三接触孔区之下的第三金属至少有一部分高于第三接触孔区外的第三金属。

在本发明的一个实施例中，在所述源区和漏区与第三金属之间还包括金属硅化物层。

15 在本发明的一个实施例中，所述第一金属或多晶硅、所述第二金属或多晶硅、或第三金属具有 L 形或 T 形接触。

在本发明的一个实施例中，所述第三金属为 W、Al、Cu。

在本发明的一个实施例中，所述第一金属或第二金属为 Ti、TiN、TiAlN 或 AL。

20 本发明实施例另一方面还提出了一种存储器，包括若干个上述的 NAND 结构。

25 本发明实施例再一方面还提出了一种形成 NAND 结构的方法，包括以下步骤：形成衬底；在所述衬底之上形成栅绝缘层；在所述栅绝缘层之上形成中间栅极，和位于所述中间栅极两侧的第一栅极和第二栅极，所述第一栅极和第二栅极与所述中间栅极之间形成有第一侧墙，所述第一栅极和第二栅极的外侧形成有第二侧墙；在所述衬底中形成源区和漏区；形成在所述中间栅极之上的第一接触孔区，所述第一栅极和第二栅极之上的第二接触孔区，和形成在所述源区和漏区之上的第三接触孔区，其中，所述第一接触孔区和第二接触孔区交错排列。

在本发明的一个实施例中，所述形成第一栅极和第二栅极包括以下步

骤：在形成所述中间栅极两侧的第一侧墙之后，淀积第二栅金属或多晶硅；对淀积的所述第二栅金属或多晶硅进行散射注入以平坦化在所述中间栅极上所述第二栅金属或多晶硅的顶部；对所述第二栅金属或多晶硅进行各向异性刻蚀，形成所述第一栅极和第二栅极，并暴露所述中间栅极。

5 在本发明的一个实施例中，所述第一侧墙的厚度小于所述第二侧墙。

在本发明的一个实施例中，所述第一侧墙的厚度为 2 - 10nm。

在本发明的一个实施例中，所述第一接触孔区通过第一金属或多晶硅与所述中间栅极相连，其中第一接触孔区之下的第一金属或多晶硅至少有一部分高于第一接触孔区外的第一金属或多晶硅。

10 在本发明的一个实施例中，所述第二接触孔区通过第二金属或多晶硅与所述第一栅极和第二栅极相连，其中第二接触孔区之下的第二金属或多晶硅至少有一部分高于第二接触孔区外的第二金属或多晶硅。

在本发明的一个实施例中，所述第三接触孔区通过第三金属与所述源区和漏区相连，其中第三接触孔区之下的第三金属至少有一部分高于第三接触孔区外的第三金属。

15 在本发明的一个实施例中，还包括：在所述源区和漏区与第三金属之间形成金属硅化物层。

在本发明的一个实施例中，所述第一金属或多晶硅、所述第二金属或多晶硅、或第三金属具有 L 形或 T 形接触。

20 在本发明的一个实施例中，所述第三金属为 W、Al、Cu。

在本发明的一个实施例中，所述第一金属或第二金属为 Ti、TiN、TiAlN 或 AL。

25 本发明提出的新型 NAND 结构及形成该 NAND 结构的方法，通过该 NAND 结构可以有效缩小芯片面积 30 - 50% 左右。另外，本发明实施例采用了自对准接触孔形成技术，因此不需要额外的接触孔衬垫 (landing pad)。同时，本发明所示的实施例基本可以适合任何当前先进的 VLSI CMOS 工艺，如 HKMG (高 k 介质及金属栅) 或 PolySiON (多晶硅加氮氧化硅栅)，前栅 (gate - first) 或后栅 (gate - last) 等，因此本发明所提出的 NAND 结构及形成方法可具有普遍的应用。

本发明附加的方面和优点将在下面的描述中部分给出，部分将从下面的描述中变得明显，或通过本发明的实践了解到。

附图说明

5 本发明上述的和/或附加的方面和优点从下面结合附图对实施例的描述中将变得明显和容易理解，其中：

图 1 和 2 分别为本发明实施例的 NAND 结构的剖面图和俯视图；

图 3 为现有技术中标准 NAND 结构的示意图；

图 4 为本发明实施例的 NAND 结构的示意图；

10 图 5 - 17 为形成本发明实施例上述 NAND 结构的方法中间步骤的示意图。

具体实施方式

下面详细描述本发明的实施例，所述实施例的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的，仅用于解释本发明，而不能解释为对本发明的限制。

下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本发明。此外，本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本发明提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。另外，以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成为直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接触。

本发明提出了一种新型的 NAND 结构及形成该 NAND 结构的方法，在本发明实施例中，该结构包括中心栅极和中心栅极两侧的第一栅极和第二

栅极，其中，中心栅极和第一栅极及第二栅极通过第一侧墙隔离开，从而中心栅极、第一栅极和第二栅极共同构成了控制源区和漏区之间通道的控制栅，实现 NAND 的目的。在本发明的一个实施例中，第一侧墙的厚度不能太大，优选地，约在 2 - 10nm 之间。通过本发明实施例的 NAND 结构可以有效缩小芯片面积 30 - 50 % 左右。

如图 1 和 2 所示，分别为本发明实施例的 NAND 结构的剖面图和俯视图，图 1 所示的剖面图为图 2 俯视图中延 A - A' 的剖面图。需要说明的是，本发明各个实施例的附图仅是为了示意的目的，因此没有必要按比例绘制。该结构包括衬底 100、形成在衬底 100 之上的栅绝缘层 500、源漏区 400，以及形成在栅绝缘层 500 之上的中间栅极 200、第一栅极和第二栅极 300，以及在源漏区 400 之上的金属硅化物层 600 和第三金属 1600。其中，衬底 100 可包括任何适合的半导体衬底材料，具体可以是但不限于硅、锗、锗化硅、SOI（绝缘体上硅）、碳化硅、砷化镓或者任何 III / V 族化合物半导体。在本发明实施例中，第一栅极和第二栅极 300 与中间栅极 200 之间形成有第一侧墙 1000，第一栅极和第二栅极 300 的外侧具有第二侧墙 1100，第二侧墙 1100 的厚度大于第一侧墙 1000 的厚度。其中，在中间栅极 200 之上设置有第一层金属的第一接触孔区 1200，在第一栅极和第二栅极 300 之上分别设置有第一层金属的第二接触孔区 800，在源漏区 400 之上设置有第一层金属的第三接触孔区 1300，其中，第一接触孔区 1200 和第二接触孔区 800 交错排列，从而可以大大降低 NAND 结构的面积。如图 3 所示，为现有技术中标准 NAND 结构的示意图，如图 4 所示，为本发明实施例的 NAND 结构的示意图，从两个图的对比中可以看出，本发明提出的 NAND 结构具有更小的面积。

另外，在本发明实施例中，采用自对准工艺将第一接触孔区 1200 之外的形成中间栅极 200 的第一金属或多晶硅刻蚀掉一部分，使得第一接触孔区 1200 之下的第一金属或多晶硅至少有一部分高于第一接触孔区 1200 外的第一金属或多晶硅，即具有 L 形或 T 形接触。同样，将第二接触孔区 800 之外的形成第一栅极和第二栅极 300 的第二金属或多晶硅刻蚀掉一部分，使得第二接触孔区 800 之下的第二金属或多晶硅至少有一部分高于第二接

触孔区 800 外的第二金属或多晶硅。类似地, 将第三接触孔区 1300 之外的第三金属 1600 刻蚀掉一部分, 使得第三接触孔区 1300 之下的第三金属至少有一部分高于第三接触孔区 1300 外的第三金属 1600。

在本发明实施例中, 还提出了一种存储器, 包括若干个上述新型的
5 NAND 结构, 从而大大地降低存储器芯片的面积, 提高存储容量。

如图 5-17 所示, 为形成本发明实施例上述 NAND 结构的方法中间步骤的示意图, 包括以下步骤:

步骤 1, 提供衬底 100, 并在衬底 100 之上形成栅绝缘层 500, 如图 5 所示。其中, 在本发明的一个实施例中, 栅绝缘层 500 包括但不限于氮化物、氧化物、氮氧化物或者高 k 介质材料。
10

步骤 2, 形成中心栅堆叠, 包括中心栅极 200、氧化物层 1400 和非金属填充层 1500, 如图 6 所示。具体地, 在栅绝缘层 500 上分别淀积中心栅极层 200、氧化物层 1400 和非金属填充层 1500, 并构图以形成中心栅堆叠。在本发明的一个实施例中, 氧化物层 1400 包括 LTO (低温氧化物)。在其他实施例中, 非金属填充层 1500 包括 SiGe。在其他实施例中, 中心栅极
15 200 为多晶硅, 当然也可为金属栅。

步骤 3, 在中心栅堆叠的两侧形成第一侧墙 1000, 其中, 第一侧墙 1000 的厚度约在 2-10nm 之间, 如图 7 所示。

步骤 4, 淀积用以形成第一栅极和第二栅极的第二金属或多晶硅, 如图 8 所示。
20

步骤 5, 对淀积的第二栅金属或多晶硅进行散射注入以平坦化在中间栅极 200 上第二栅金属或多晶硅的顶部, 例如采用 70~100K, $1e14 \sim 1e16$, 入射角度为 30~70 度的 Xe 进行散射注入, 如图 9 所示, 为平坦化后的示意图。在本发明的一个实施例中, 第一金属和第二金属可为 Ti、TiN、TiAlN 或 AL。当然在本发明的其他实施例中, 也可采用其他的平坦化方式, 例如可采用填充绝缘层, 再通过化学机械抛光 (CMP) 并移除 (strip) 填充绝缘层的方式来对其顶部进行平坦化。
25

步骤 6, 第二栅金属或多晶硅进行各向异性刻蚀, 形成第一栅极和第二栅极 300, 并暴露中间栅堆叠, 如图 10 所示。

步骤 7, 刻蚀非金属填充层 1500 及非金属填充层 1500 两侧的第一侧墙 1000。接着按照传统工艺形成第二侧墙 1100, 并进行扩展区/晕圈 (ext/halo) 注入, 及源漏区注入 (或在扩展区/晕圈注入后, 再加厚第二侧墙 1100, 然后源漏区注入), 形成源漏区 400, 并对源漏区 400 进行金属硅化, 形成金属硅化物层 600, 如图 11 所示。

步骤 8, 填充第三金属并进行化学机械抛光 (CMP), 如图 12 (注: 此图中中间栅没有了, 应该是留在那儿的) 所示。在本发明的一个实施例中, 第三金属可为 W、Al、Cu。

步骤 9, 将中间栅极 200 之上的氧化物层 1400 刻蚀掉, 如图 12 所示。

10 步骤 10, 构图用于连接中间栅极 200 的第一接触孔区 1200, 用于连接第一栅极和第二栅极 300 的第二接触孔区 800, 和用于连接源漏区 400 的第三接触孔区 1300, 其中, 将非接触孔区之下的第一金属或多晶硅、第二金属或多晶硅、或者第三金属刻蚀掉一部分, 例如刻蚀掉一半, 并用氮化物 (或其他绝缘材料) 900 填充, 例如氮化硅。具体地, 采用自对准工艺
15 将第一接触孔区 1200 之外的形成中间栅极 200 的第一金属或多晶硅刻蚀掉一部分, 使得第一接触孔区 1200 之下的第一金属或多晶硅至少有一部分高于第一接触孔区 1200 外的第一金属或多晶硅, 即具有 L 形或 T 形接触。同样, 将第二接触孔区 800 之外的形成第一栅极和第二栅极 300 的第二金属或多晶硅刻蚀掉一部分, 使得第二接触孔区 800 之下的第二金属或多晶硅
20 至少有一部分高于第二接触孔区 800 外的第二金属或多晶硅。类似地, 将第三接触孔区 1300 之外的第三金属 1600 刻蚀掉一部分, 使得第三接触孔区 1300 之下的第三金属 1600 至少有一部分高于第三接触孔区 1300 外的第三金属。如图 13 所示, 为本发明实施例刻蚀之后的剖面图, 图 14 为本发明实施例在刻蚀之后的俯视图, 图 15 - 17 分别为沿图 14 的 A - A', B -
25 B', C - C' 的剖面图, 可以看出第一金属或多晶硅、第二金属或多晶硅以及第三金属具有 L 形或 T 形接触。

步骤 11, 填充氧化物 900, 并进行 CMP, 接着进行构图以淀积用于连接的第一金属层, 如图 1 和图 2 所示为本发明最终形成的 NAND 结构。

本发明提出了一种新型的 NAND 结构及形成该 NAND 结构的方法, 通

过该 NAND 结构可以有效缩小芯片面积 30 - 50 % 左右。另外，本发明实施例采用了自对准接触孔形成技术，因此不需要额外的接触孔衬垫（landing pad）。同时，本发明所示的实施例基本可以适合任何当前先进的 VLSI CMOS 工艺，如 HKMG 或 PolySiON，前栅或后栅等工艺，因此本发明所
5 提出的 NAND 结构及形成方法可具有普遍的应用。

尽管已经示出和描述了本发明的实施例，对于本领域的普通技术人员而言，可以理解在不脱离本发明的原理和精神的情况下可以对这些实施例进行多种变化、修改、替换和变型，本发明的范围由所附权利要求及其等同限定。

10

15

20

25

权 利 要 求

1、一种与非门 NAND 结构，其特征在于，包括：

衬底；

5 形成在所述衬底之上的栅绝缘层；

形成在所述衬底中的源区和漏区；

形成在所述栅绝缘层之上的中间栅极，和位于所述中间栅极两侧的第一栅极和第二栅极，所述第一栅极和第二栅极与所述中间栅极之间设有第一侧墙，所述第一栅极和第二栅极的外侧设有第二侧墙，其中，所述中间
10 栅极之上设置有第一接触孔区，所述第一栅极和第二栅极之上分别设置有第二接触孔区，所述第一接触孔区和第二接触孔区交错排列。

2、如权利要求 1 所述的 NAND 结构，其特征在于，所述第一侧墙的厚度小于所述第二侧墙。

3、如权利要求 1 所述的 NAND 结构，其特征在于，所述第一接触孔
15 区通过第一金属或多晶硅与所述中间栅极相连，其中第一接触孔区之下的第一金属或多晶硅至少有一部分高于第一接触孔区外的第一金属或多晶硅。

4、如权利要求 1 所述的 NAND 结构，其特征在于，所述第二接触孔
20 区通过第二金属或多晶硅与所述第一栅极和第二栅极相连，其中第二接触孔区之下的第二金属或多晶硅至少有一部分高于第二接触孔区外的第二金属或多晶硅。

5、如权利要求 1 所述的 NAND 结构，其特征在于，还包括：分别形成在所述源区和漏区之上的第三接触孔区，所述第三接触孔区通过第三金属与所述源区和漏区相连，其中第三接触孔区之下的第三金属至少有一部
25 分高于第三接触孔区外的第三金属。

6、如权利要求 5 所述的 NAND 结构，其特征在于，在所述源区和漏区与第三金属之间还包括金属硅化物层。

7、如权利要求 4 或 5 所述的 NAND 结构，其特征在于，所述第一金属或多晶硅、所述第二金属或多晶硅、或第三金属具有 L 形或 T 形接触。

8、如权利要求 5 所述的 NAND 结构，其特征在于，所述第三金属为 W、Al 或 Cu。

9、如权利要求 3 或 4 所述的 NAND 结构，其特征在于，所述第一金属或第二金属为 Ti、TiN、TiAlN 或 AL。

5 10、一种存储器，其特征在于，包括若干个如权利要求 1-10 任一项所述的 NAND 结构。

11、一种形成 NAND 结构的方法，其特征在于，包括以下步骤：

形成衬底；

在所述衬底之上形成栅绝缘层；

10 在所述栅绝缘层之上形成中间栅极，和位于所述中间栅极两侧的第一栅极和第二栅极，所述第一栅极和第二栅极与所述中间栅极之间形成有第一侧墙，所述第一栅极和第二栅极的外侧形成有第二侧墙；

在所述衬底中形成源区和漏区；

15 形成在所述中间栅极之上的第一接触孔区，所述第一栅极和第二栅极之上的第二接触孔区，和形成在所述源区和漏区之上的第三接触孔区，其中，所述第一接触孔区和第二接触孔区交错排列。

12、如权利要求 11 所述的形成 NAND 结构的方法，其特征在于，所述形成第一栅极和第二栅极包括以下步骤：

在形成所述中间栅极两侧的第一侧墙之后，淀积第二栅金属或多晶硅；

20 对淀积的所述第二栅金属或多晶硅进行散射注入以平坦化在所述中间栅极上所述第二栅金属或多晶硅的顶部；

对所述第二栅金属或多晶硅进行各向异性刻蚀，形成所述第一栅极和第二栅极，并暴露所述中间栅极。

25 13、如权利要求 11 所述的形成 NAND 结构的方法，其特征在于，所述第一侧墙的厚度小于所述第二侧墙。

14、如权利要求 11 所述的形成 NAND 结构的方法，其特征在于，所述第一接触孔区通过第一金属或多晶硅与所述中间栅极相连，其中第一接触孔区之下的第一金属或多晶硅至少有一部分高于第一接触孔区外的第一金属或多晶硅。

15、如权利要求 11 所述的形成 NAND 结构的方法，其特征在于，所述第二接触孔区通过第二金属或多晶硅与所述第一栅极和第二栅极相连，其中第二接触孔区之下的第二金属或多晶硅至少有一部分高于第二接触孔区外的第二金属或多晶硅。

5 16、如权利要求 11 所述的形成 NAND 结构的方法，其特征在于，所述第三接触孔区通过第三金属与所述源区和漏区相连，其中第三接触孔区之下的第三金属至少有一部分高于第三接触孔区外的第三金属。

17、如权利要求 11 所述的形成 NAND 结构的方法，其特征在于，还包括：在所述源区和漏区与第三金属之间形成金属硅化物层。

10 18、如权利要求 14 - 16 任一项所述的形成 NAND 结构的方法，其特征在于，所述第一金属或多晶硅、所述第二金属或多晶硅、或第三金属具有 L 形或 T 形接触。

19、如权利要求 11 所述的形成 NAND 结构的方法，其特征在于，所述第三金属为 W、Al 或 Cu。

15 20、如权利要求 11 所述的形成 NAND 结构的方法，其特征在于，所述第一金属或第二金属为 Ti、TiN、TiAlN 或 AL。

20

25

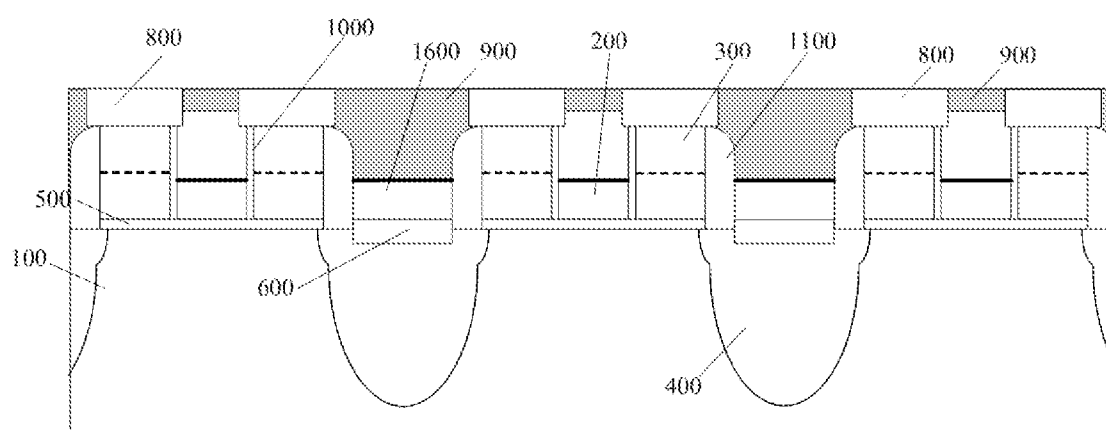


图 1

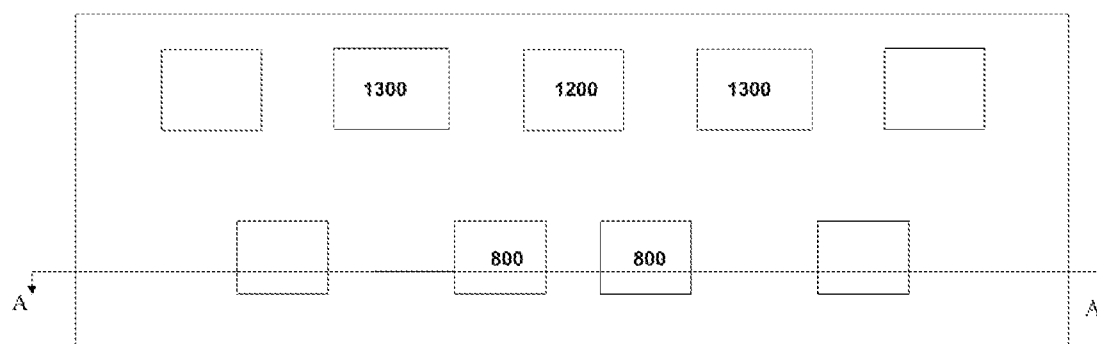


图 2

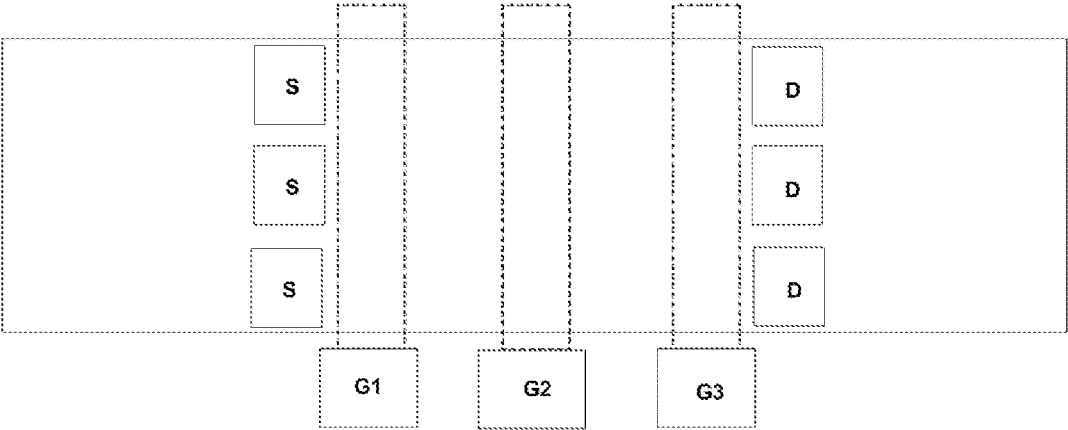


图 3

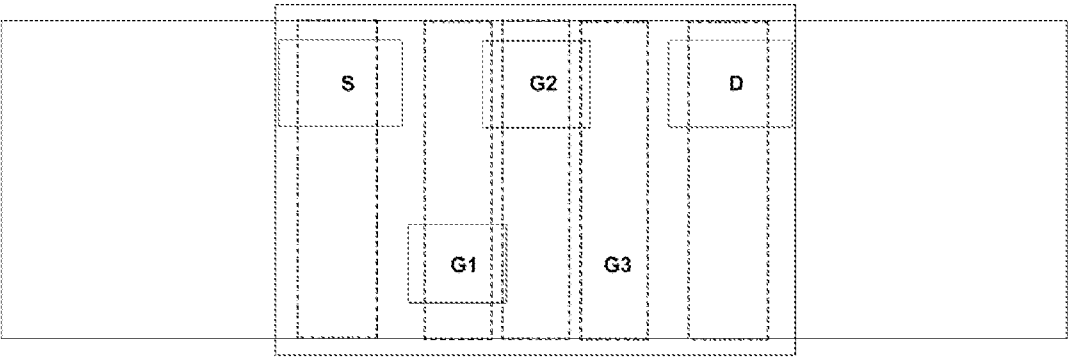


图 4

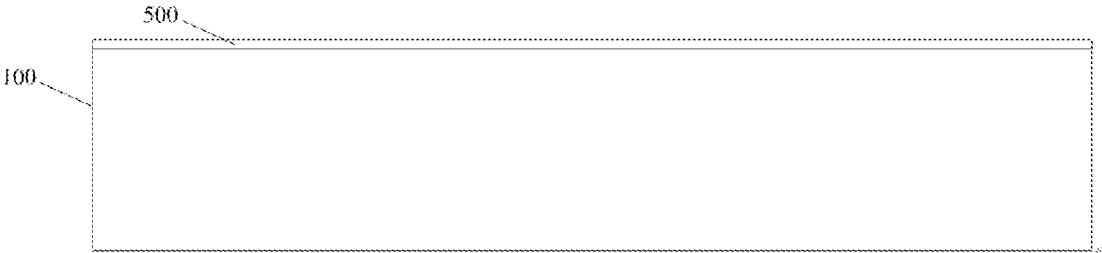


图 5

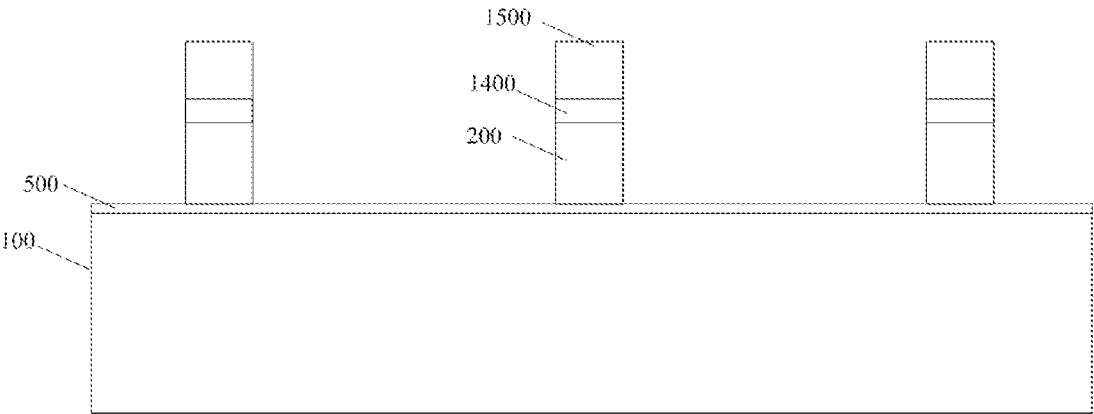


图 6

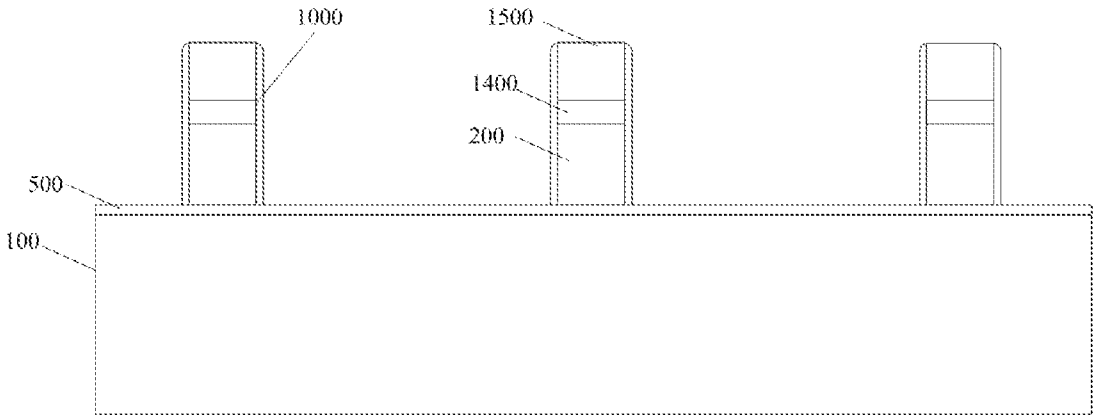


图 7

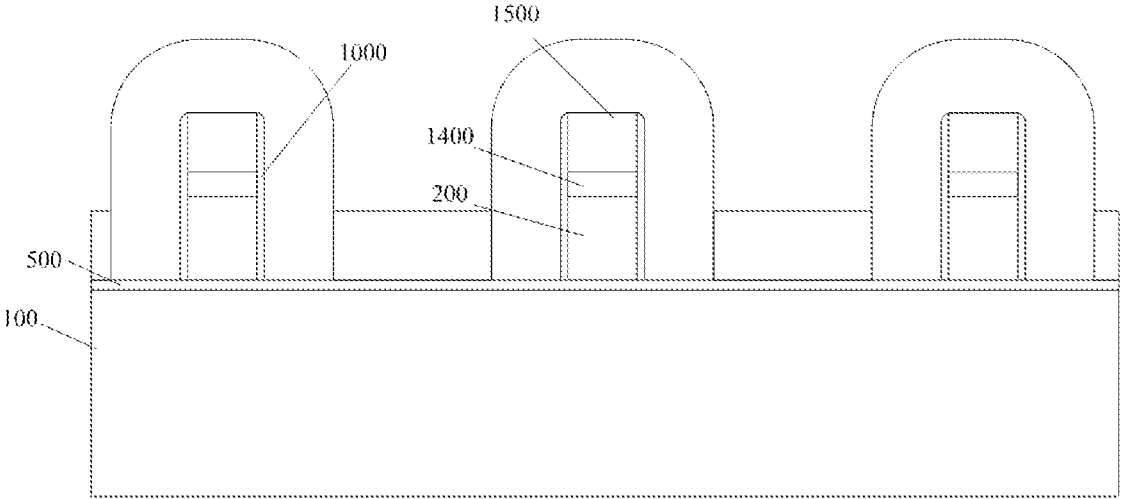


图 8

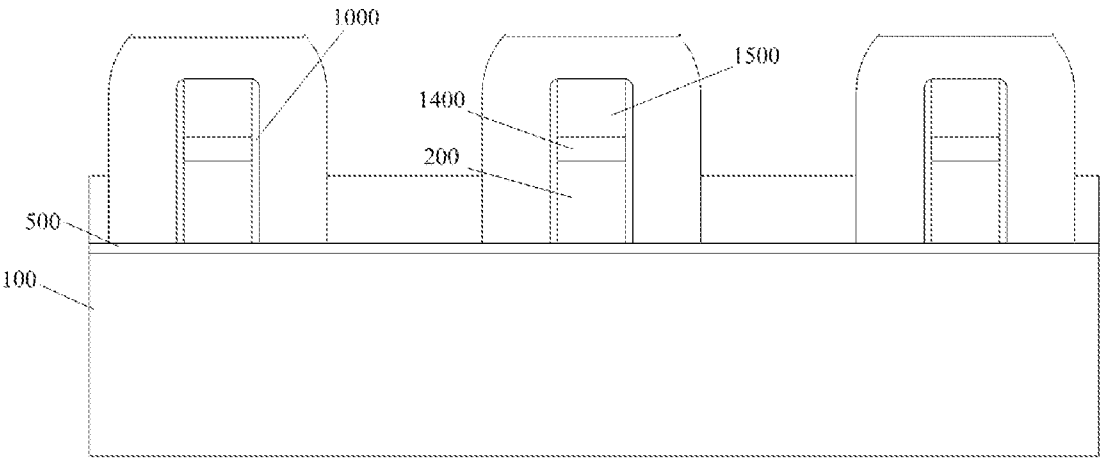


图 9

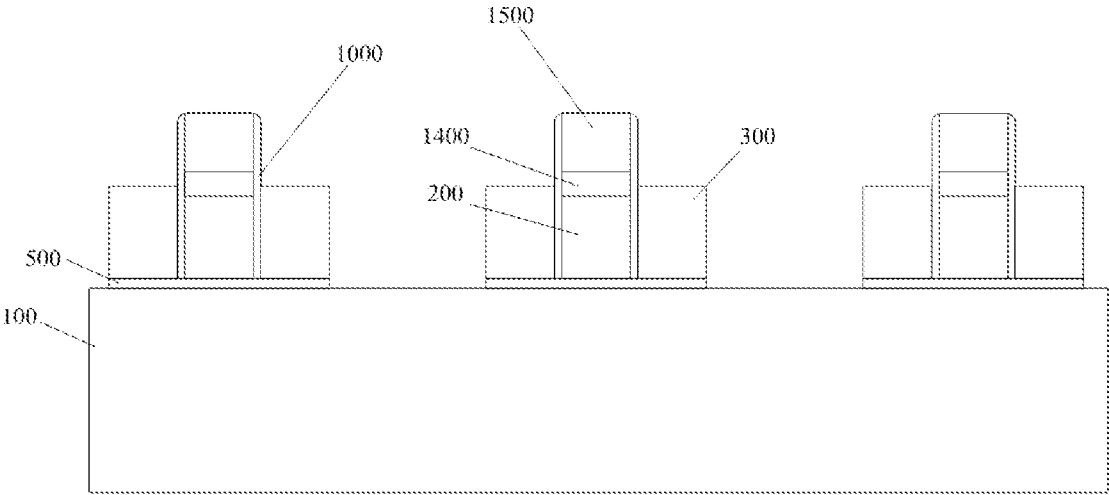


图 10

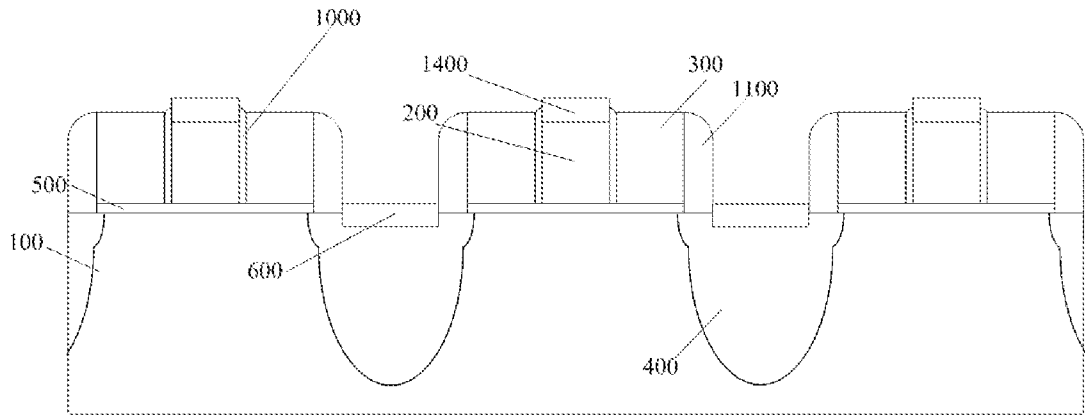


图 11

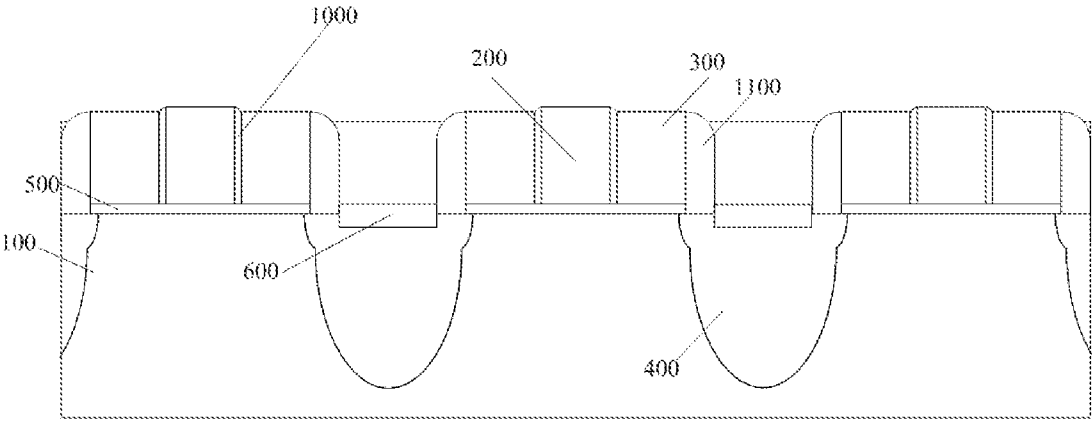


图 12

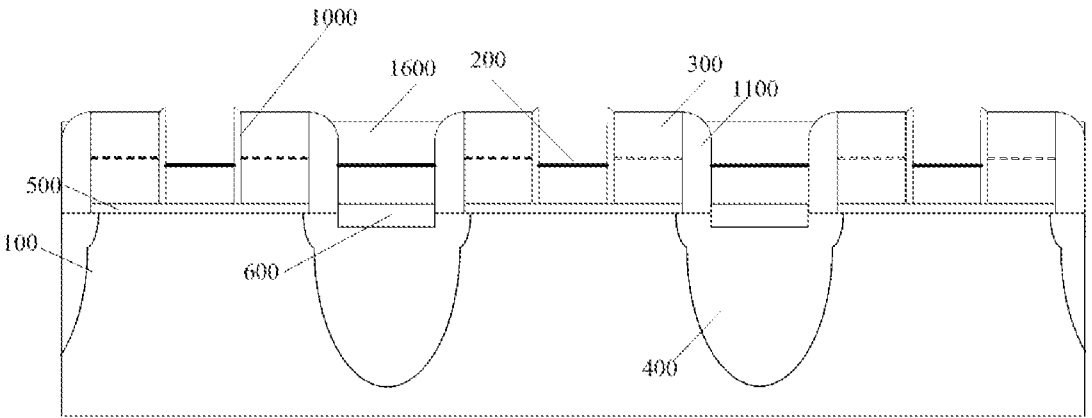


图 13

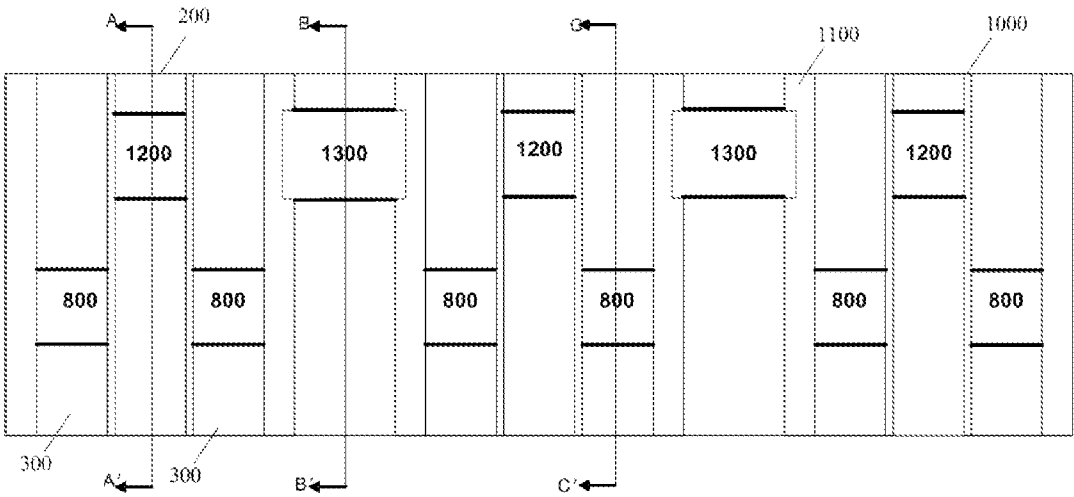


图 14

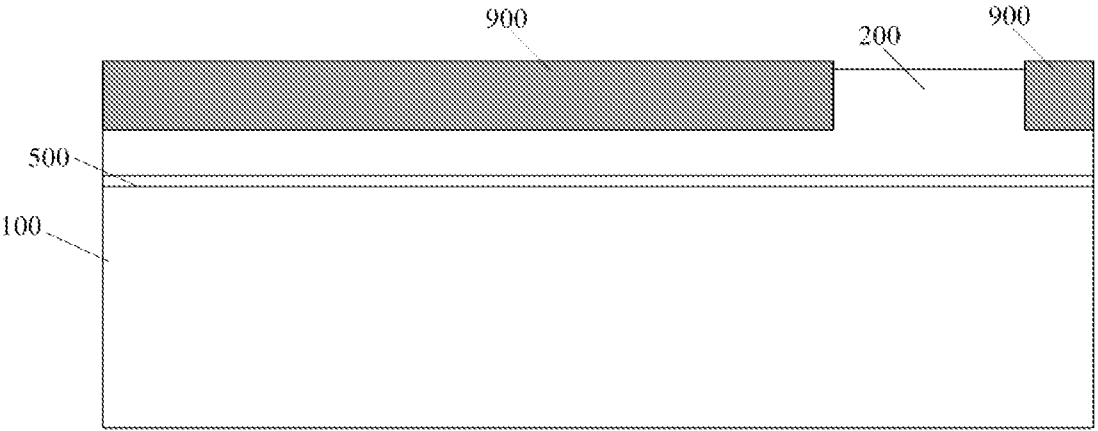


图 15

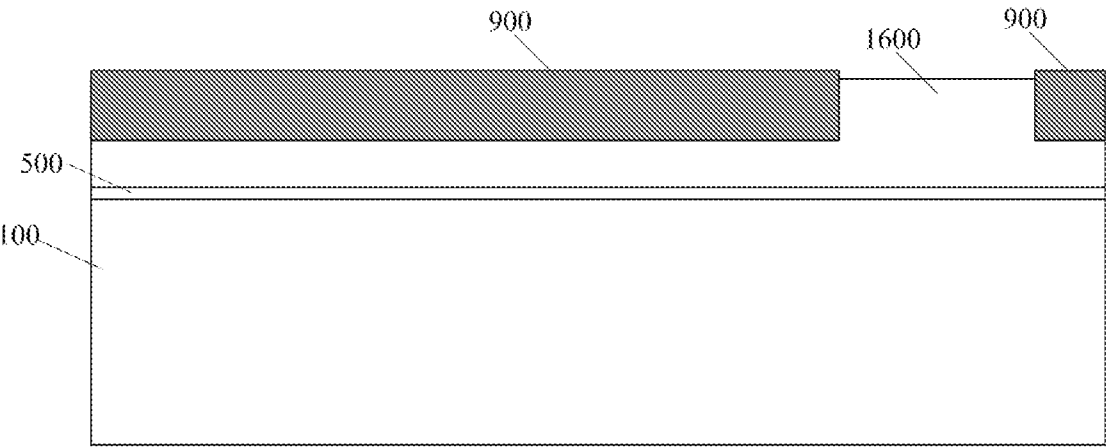


图 16

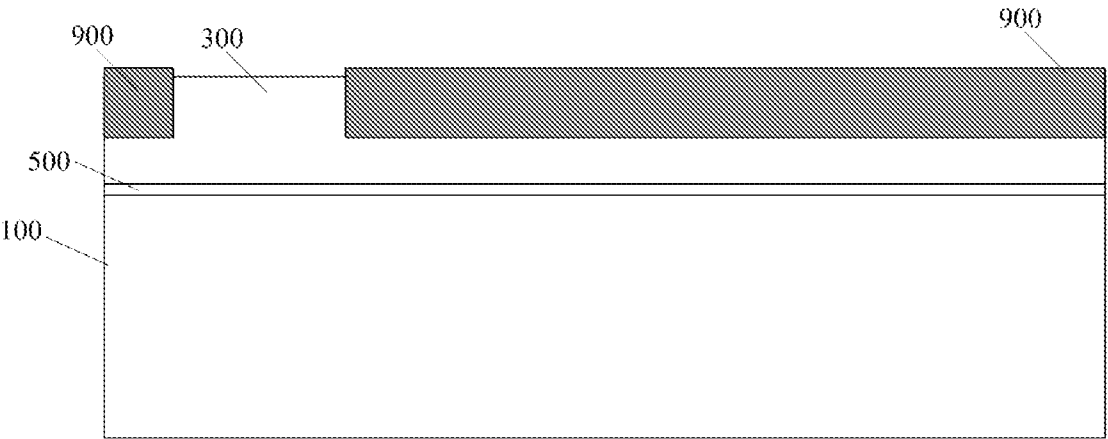


图 17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/074486

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L21, H01L27

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI: Institute Of Microelectronics Of Chinese Academy Of Science, LIANG Qingqing, ZHONG Huicai, ZHU Huilong, NAND, gate

WPI, EPODOC: NAND, gate, side wall, contact hole, contact region

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP2007-300136A (TOSHIBA KK) 15 Nov. 2007 (15. 11. 2007) the whole document	1-20
A	US2005/0082602A1 (OKAJIMA, Mutsumi) 21 Apr. 2005(21. 04. 2005) the whole document	1-20
A	US2008/0061355 A1 (CHOI, David S.) 13 Mar. 2008 (13. 03. 2008) the whole document	1-20
A	US2008/0061358 A1 (CHOI, David S.) 13 Mar. 2008 (13. 03. 2008) the whole document	1-20
A	CN101236927 A (LIJING SEMICONDUCTOR STOCK CO) 06 Aug. 2008 (06. 08. 2008) the whole document	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 05 Aug. 2010 (05. 08. 2010)	Date of mailing of the international search report 23 Sep. 2010 (23.09.2010)
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer LUO, Sufang Telephone No. (86-10)62411026

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2010/074486

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP2007-300136A	15. 11. 2007	None	
US2005/0082602A1	21. 04. 2005	JP2005-123524 A	12. 05. 2005
		KR20050037965 A	25. 04. 2005
		KR100681378 B1	12. 02. 2007
US2008/0061355 A1	13. 03. 2008	KR20070120243 A	24. 12. 2007
		KR100847492 B1	21. 07. 2008
US2008/0061358 A1	13. 03. 2008	KR20070102147 A	18. 10. 2007
		KR100772355 B1	01. 11. 2007
CN101236927 A	06. 08. 2008	None	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/074486

CLASSIFICATION OF SUBJECT MATTER:

H01L 27/115 (2006. 01) i

H01L 21/8247 (2006. 01) i

国际检索报告

国际申请号

PCT/CN2010/074486

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L21, H01L27

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI: 与非门, NAND, 栅极, 中国科学院微电子研究所, 梁擎擎, 钟汇才, 朱慧珑

WPI, EPODOC: NAND, gate, side wall, contact hole, contact region

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	JP2007-300136A (株式会社东芝) 15. 11 月 2007 (15. 11. 2007) 全文	1-20
A	US2005/0082602A1 (OKAJIMA, Mutsumi) 21. 4 月 2005(21. 04. 2005)全文	1-20
A	US2008/0061355 A1 (CHOI, David S.) 13. 3 月 2008 (13. 03. 2008) 全文	1-20
A	US2008/0061358 A1 (CHOI, David S.) 13. 3 月 2008 (13. 03. 2008) 全文	1-20
A	CN101236927 A (力晶半导体股份有限公司) 06. 8 月 2008 (06. 08. 2008) 全文	1-20

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

05. 8 月 2010 (05. 08. 2010)

国际检索报告邮寄日期

23.9 月 2010 (23.09.2010)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

授权官员

骆素芳

电话号码: (86-10) **62411026**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2010/074486

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
JP2007-300136A	15. 11. 2007	无	
US2005/0082602A1	21. 04. 2005	JP2005-123524 A	12. 05. 2005
		KR20050037965 A	25. 04. 2005
		KR100681378 B1	12. 02. 2007
US2008/0061355 A1	13. 03. 2008	KR20070120243 A	24. 12. 2007
		KR100847492 B1	21. 07. 2008
US2008/0061358 A1	13. 03. 2008	KR20070102147 A	18. 10. 2007
		KR100772355 B1	01. 11. 2007
CN101236927 A	06. 08. 2008	无	

主题的分类:

H01L 27/115 (2006. 01) i

H01L 21/8247 (2006. 01) i