СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1133622 A

4 (51) G 11 C 19/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

13 БИБЛИОТЕКА

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3662949/24-24
(22) 15.11.83
(46) 07.01.85. Бюл. № 1
(72) В.М.Златников, Е.А.Братальский, А.И.Левнев и Е.Ф.Сыроватский
(53) 681.327(088.8)
(56) 1. Мультипроцессорные системы и параллельные вычисления. Под ред. Ф. Г. Энслоу"Мир", 1976, с.300-301.

2. Головкин Б.А. Параллельные вычислительные системы. М., "Наука", 1980, с. 368-371, рис. 7.4 и 7.5(прототип).

(54)(57) 1.БУФЕРНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО, содержащее накопитель, выполненный в виде матрицы триггеров группы элементов И и блок местного управления, причем выход каждого триггера всех строк, кроме первой, и всех столбцов матрицы, кроме последнего, соединен с первым информационным входом предыдущего триггера одноименной строки матрицы и с вторым информационным входом триггера последующей строки матрицы, выход каждого триггера первого столбца матрицы, кроме последнего, соединен с вторым информационным входом последующего триггера, управляющие входы триггеров соединены с выходом строба приема и с выходом разрешения записи блока местного управления выходы элементов И первой группы соединены с вторыми информационными входами триггеров первой строки матрицы, управляющие входы элементов И второй группы соединены с выходом разрешения чтения блока местного управления, а выходы являются выходами устройства, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия устройства, в него введены коммутаторы, причем первые информационные входы коммутаторов с первого по последний подключены к выходам триггеров первого столбца матрицы с последнего по первый, вторые информационные входы коммутаторов соединены с выходами триггеров последней строки матрицы, управляющие входы коммутаторов подключены к выходу управления приемом блока местного управления, выход элементов И первой группы с первого по последний соединены с первыми информационными входами триггеров последнего столбца матрицы с последнего по первый.

2. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что блок местного управления содержит триггеры с первого по третий, первый и второй элементы И и первый и второй счетчики, причем выходы первого счетчика подключены к одним из входов элементов И, другой вход первого элемента И соединен с выходом третьего триггера, выход второго элемента И подключен к счетному входу второго счетчика, выход которого соединен со счетным входом первого счетчика, установочный вход которого и входы триггеров являются одним из входов блока, другими входами которого являются другие входы второго элемента И, а выходами - выходы первого и второго триггеров и элементов И

SU (11) 1133622 A

Изобретение относится к вычислительной технике и может быть использовано в специализированных процессорах для организации ортогональной памяти со считыванием строк или столбцов.

Известно буферное запоминающее устройство, содержащее матрицу из запоминающих элементов с чтением строк или столбцов, входные клапаны записи и выходные клапаны чтения [1].

Недостаток этого устройства заключается в низкой производительности, так как сначала производится загрузка памяти, а затем считывание записанного массива.

Наиболее близким техническим решением к изобретению является буферное запоминающее устройство, содержащее матрицу из запоминающих элементов (триггеров), соединенных цепями сдвига по вертикали и цепями сдвига по горизонтали, входные клапаны записи, выходные клапаны чтения и узел местного управления с входными шинами для подачи команды, строба сопровождения информации и синхронизации и выходными шинами разрешения записи, разрешения чтения и строба приема, причем управляющие входы всех триггеров матрицы соединены с шиной управления приемом узла местного управления, входы клапанов записи соединены с информационными входами устройства, управляющие входы этих клапанов соединены с шиной разрешения записи, а выходы клапанов записи соединены в соответствующем порядке с входами параллельного приема триггеров первой строки матрицы, управляющие входы клапанов чтения соединены с шиной разрешения чтения, выходы этих клапанов являются выходами устройства [2].

Недостатком известного устройства является низкая производительность, поскольку при обработке каждого массива необходимо затрачивать время на загрузку этого массива, причем эту загрузку нельзя начинать до того, пока память не освободится полностью.

Цель изобретения - повышение быстродействия устройства путем совмещения процесса чтения хранимого массива и одновременного приема следующего массива.

Поставленная цель достигается тем, что в буферное устройство, содержащее накопитель, выполненный в виде матрицы триггеров, группы элементов И и блок местного управления, причем выход каждого триггера всех строк, кроме первой, и всех столбцов матрицы, кроме последнего, соединен с первым информационным входом предыдущего триггера одноименной строки матрицы и с вторым информационным входом триггера последующей строки матрицы, выход каждого триггера первого столбца матрицы, кроме последнего, соединен с вторым информационным входом последующего триггера, управляющие входы триггеров соединены с выходом строба приема и выходом разрешения записи блока местного управления, выходы элементов И первой группы соединены с вторыми информационными входами триггеров первой строки матрицы, управляющие входы элементов И второй группы соединены с выходом разрешения чтения блока местного управления, а выходы являются выходами устройства, введены коммутаторы, причем первые информационные входы коммутаторов с первого по последний подключены к выходам триггеров первого столбца матрицы с последнего по первый, вторые информационные входы коммутаторов соединены с выходами триггеров последней строки матрицы, управляющие входы коммутаторов подключены к выходу управления приемом блока местного управления, выходы элементов И первой группы с первого по последний соединены с первыми информационными входами триггеров последнего столбца матрицы с последнего по первый.

Блок местного управления содержит триггеры с первого по третий, первый и второй элементы И и первый и второй счетчики, причем выходы первого счетчика подключены к одним из входов элементов И, другой вход первого элемента И соединен с выходом третьего триггера, выход второго элемента И подключен к счетному входу второго счетчика, выход которого соединен со счетным входом первого счетчика, установочный вход которого и входы триггеров являются одним из входов блока, другими входами которого являются другие входы второго элемента И, а выходами - выходы первого и второго триггеров и элементов И.

На фиг. 1 представлена функциональная схема буферного запоминающего устройства; на фиг. 2 - структурная схема блока местного управления.

Буферное запоминающее устройство (фиг. 1) содержит накопитель, выполненный в виде матрицы триггеров 1_{11}- 1_{nn}, первую группу элементов И 2_1- 2_n, коммутаторы 3_1- 3_n, вторую группу элементов И 4_1- 4_n, блок 5 местного управления, входы 6 и выходы 7.

Блок 5 местного управления имеет вход 8 команды, вход 9 строба сопровождения информации и вход 10 синхронизации.

На выходах узла 5 формируются сигналы, поступающие на шины разрешения, выходы: записи 11, разрешения чтения 12, управления приемом 13 и строба приема 14.

Блок 5 (фиг. 2) содержит три триггера 15-17, первый счетчик 18, служащий для приема команды, причем в первый триггер 15 принимается признак записи, во второй триггер 16 - признак чтения, в третий триггер 17 - признак режима обращения.

В счетчик 18, работающий в режиме вычитания, заносится код числа подмассивов. Кроме того, блок 5 содержит второй счетчик 19, первый 20 и второй 21 элементы И. Счетчик 19 предназначен для подсчета числа сдвигов в матрице и содержит N разрядов, где $N = \log_2 n$.

Команда, поступающая на вход 8 устройства, содержит $3 + (1 + \log_2 K_T)$ разрядов, где K_T - максимальное число подмассивов, обрабатываемых одной командой. Первые три разряда команды представляют собой признаки записи, чтения и режима обращения соответственно. Остальные разряды являются кодом начальной установки счетчика 18, при этом старший разряд этого счетчика всегда устанавливается в "1", а код в остальных разрядах равен числу обрабатываемых подмассивов минус единица.

Старший разряд счетчика 18 используется как признак окончания обработки: после $(K_i + 1)$ -го вычитания содержимое счетчика 18 принимает вид 01111...1111, и значение "0" старшего разряда блокирует формирование строба приема.

Устройство работает следующим образом.

Перед началом работы все триггеры 1_{11}- 1_{nn} и счетчик 18 устанавливаются в нулевое состояние, а в счетчик 19 заносится значение "1" (цепи начальной установки не показаны). Поступившая на вход 8 команда принимается в триггеры 15-17 и счетчик 18.

Наличие "1" в триггерах 15 и 16 означает выполнение совмещенной операции чтения хранимого массива и записи нового массива. Признак обращения в триггере 17 имеет следующий смысл: "0" - запись и чтение по строкам; "1" - запись по строкам, чтение по столбцам.

В счетчике 18 находится код числа подмассивов. В общем случае обрабатываются массивы, превышающие объем матрицы, при этом массив делится на подмассивы, равные по величине объему матрицы, и весь период обработки делится на циклы: в течение каждого цикла обрабатывается один подмассив. Код числа подмассивов заносится в счетчик 18, причем в старший разряд заносится "1".

Пусть на вход блока 5 поступила команда вида 1111000...0100, которая означает, что требуется произвести операцию совмещенного чтения записи, причем запись требуется произвести по строкам, а чтение - по столбцам. Количество обрабатываемых подмассивов равно 5. После приема этой команды на выходе блока 5 формируются сигналы разрешения записи (выход 11), разрешения чтения (выход 12) и сигнал управления приемом "0", т.е. первый цикл записи производится по строкам.

Сигнал разрешения записи открывает элементы И 2_1- 2_n, сигнал разрешения чтения - элементы И 4_1- 4_n, сигнал управления приемом поступает на входы триггеров 1_{11}- 1_{nn}. Таким образом, матрица подготовлена к приему информации. Далее производится начальная загрузка первого подмассива: при этом на вход 6 устройства поступают строки информации, сопровождаемые по входу 9 стробом. По этому стробу формируется строб приема на выходе 14 блока 5, который производит прием информации в триггеры 1_{11}- 1_{1n} по вторым информационным входам.

При этом по первому стробу приема первая строка записываемого массива заносится в первую строку мат-

рицы, по второму стробу приема вторая строка информации перемещается во вторую строку матрицы (триггеры 1_{21}- 1_{2n}), а в первую строку матрицы заносится вторая строка информации, по третьему стробу приема первая строка информации продвигается в третью строку матрицы (триггеры 1_{31}- 1_{3n}), вторая строка информации - во вторую строку матрицы, а третья строка информации принимается в первую строку матрицы и так далее до полного заполнения матрицы через n тактов.

Счетчик 19 считает сигналы сдвига и после (n-1)-го сдвига, когда вся матрица заполнена, приходит в нулевое состояние, при этом на выходе счетчика 19 появляется сигнал переноса, который поступает на вход счетчика 18. Состояние младшего разряда счетчика 18 меняется на противоположное, в данном случае становится равным "1". В результате на выходе 13 блока 5 появится сигнал "1", что означает изменение режима приема в матрицу в следующем цикле, а именно: чтение/запись производится по столбцам матрицы.

Затем производится второй цикл обработки: первый подмассив, занесенный в матрицу, считывается по столбцам, а второй - записывается в матрицу по столбцам на освобождающиеся в результате последовательных сдвигов места матрицы. По окончании второго цикла (через n тактов) полностью считывается первый подмассив, а второй - записывается в транспонированном виде.

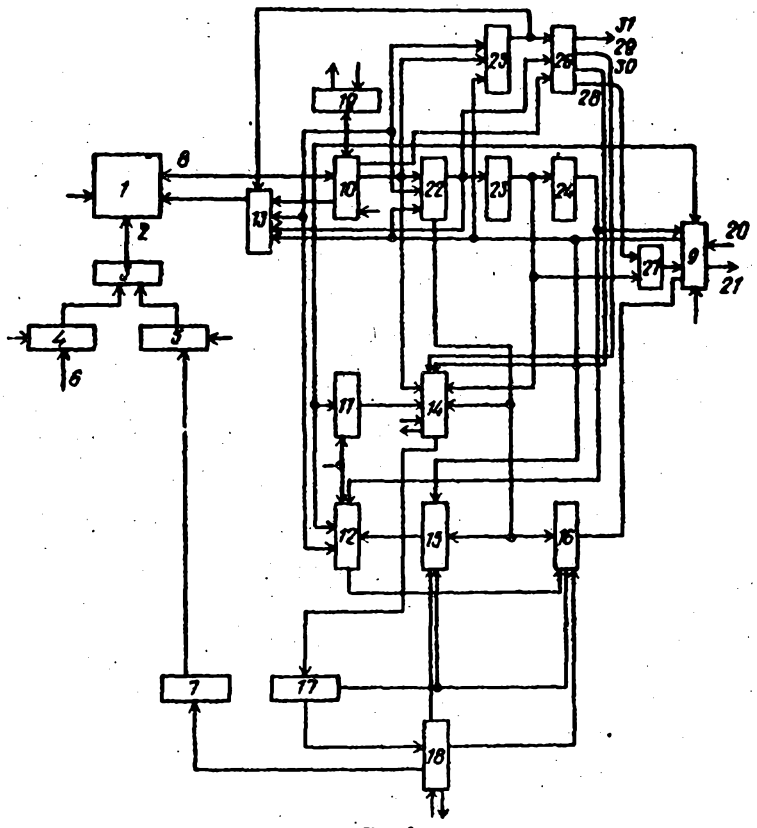
При этом счетчик 19 выдает очередной сигнал переноса, и младший разряд счетчика 18 переходит в состояние "0".

В следующем, третьем, цикле считывается второй подмассив и записывается третий подмассив в прямом, нетранспонированном виде и так далее до полной обработки всех подмассивов в соответствии с кодом числа подмассивов в счетчике 18. Состояние счетчика 18 изменяется в каждом цикле на "1", при этом в каждом цикле чтения запись производится поочередно в соответствии со значением младшего разряда счетчика 18.

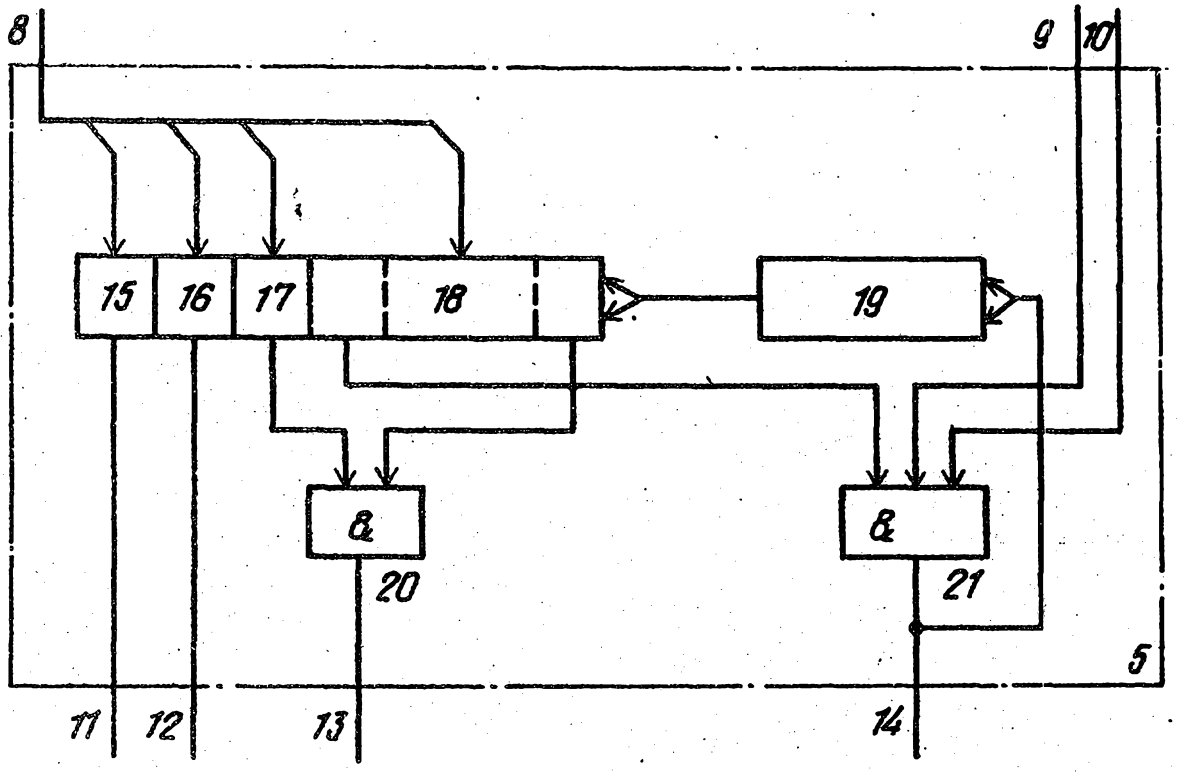
Обработка массива заканчивается, когда счетчик 18 переходит в состояние 011...1, и сигнал с выхода старшего разряда счетчика 18 закрывает элемент И 21 тем самым прекращая формирование импульсов сдвига.

Таким образом, путем совмещения чтения одного массива с одновременной записью следующего достигнуто существенное (в 2 раза) повышение быстродействия устройства. Затраты аппаратуры незначительны по сравнению с объемом матрицы.

Предлагаемое буферное запоминающее устройство имеет применение в цифровой обработке сигналов, корреляционном анализе, а также для вычисления по алгоритму быстрого преобразования Фурье. Повышение быстродействия устройства позволит существенно увеличить производительность всей вычислительной системы в целом, так как простои вычислительного оборудования, связанные с загрузкой матрицы, сведены к минимуму.


1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31

Фиг. 1



Фиг. 2

Составитель В.Рудаков
Редактор Р.Цицика Техред Т.Фанта Корректор Е.Сирохман

Заказ 9954/41 Тираж 583 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д.4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4