(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-228485
(P2004-228485A)
(43)公開日　平成16年8月12日(2004.8.12)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 23/38	H01L 23/38		5F036
H01L 25/065	H01L 25/08	Z	
H01L 25/07			
H01L 25/18			

審査請求 未請求　請求項の数 13　OL　（全 13 頁）

(21)出願番号　特願2003-17344(P2003-17344)
(22)出願日　平成15年1月27日(2003.1.27)

(71)出願人　000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目６番地
(74)代理人　100068504
弁理士　小川　勝男
(74)代理人　100086656
弁理士　田中　恭助
(74)代理人　100094352
弁理士　佐々木　孝
(72)発明者　中里　典生
茨城県土浦市神立町５０２番地　株式会社日立製作所機械研究所内
(72)発明者　大曽根　靖夫
茨城県土浦市神立町５０２番地　株式会社日立製作所機械研究所内

最終頁に続く

(54)【発明の名称】半導体チップ積層パッケージ構造、及び、かかるパッケージ構造に好適な半導体装置

(57)【要約】
【課題】高機能・高集積化に伴う劣悪な放熱環境下でも、半導体内のリーク電流を抑制し安定な動作を可能にする半導体チップ積層パッケージ構造等を提供する。
【解決手段】配線用の基板（１０）上に、発熱する半導体チップであるプロセッサＬＳＩ（ＭＰＵ－ＬＳＩ）（２０）複数積層して搭載し、その周囲を封止部材（６０）で封止した半導体チップ積層パッケージ構造において、この積層したチップ状部材の一部には、冷却機能を有するクーラーチップ（５０）を含み、かつ、このクーラーチップはプロセッサＬＳＩ内で発生する熱をその外部に導出し、さらに、このクーラーチップへの外部からの熱の伝達を抑制する手段を備え、外部温度にもかかわらずこのクーラーチップ内の温度を所定の温度に維持する。
【選択図】　図１

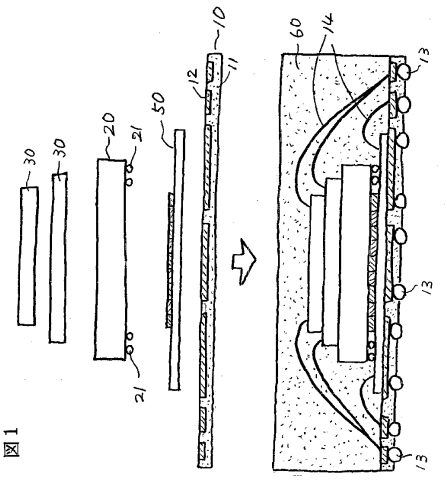


図１

【特許請求の範囲】
【請求項１】
配線基板上に、発熱する半導体チップを含むチップ状部材を内部に複数積層して搭載し、その周囲を封止部材により封止した半導体チップ積層パッケージ構造であって、上記複数積層したチップ状部材は、冷却機能を有するチップ状部材を含んでおり、かつ、当該冷却機能を有するチップ状部材は、前記半導体チップ内で発生する熱をその外部に導出し、もって、外部温度にもかかわらず、当該半導体チップ内でのリーク電流の増大を抑制することを特徴とする半導体チップ積層パッケージ構造。
【請求項２】
前記請求項１に記載した半導体チップ積層パッケージ構造において、前記冷却機能を有するチップ状部材は、前記半導体チップと同程度の線膨張計数を有する基板からなることを特徴とする半導体チップ積層パッケージ構造。
【請求項３】
前記請求項２に記載した半導体チップ積層パッケージ構造において、前記冷却機能を有するチップ状部材は、シリコン基板上にペルチェ素子を形成してなるチップ状部材であることを特徴とする半導体チップ積層パッケージ構造。
【請求項４】
前記請求項１に記載した半導体チップ積層パッケージ構造において、前記冷却機能を有するチップ状部材は、複数の選択動作可能な冷却機能領域を備えていることを特徴とする半導体チップ積層パッケージ構造。
【請求項５】
前記請求項１に記載した半導体チップ積層パッケージ構造において、前記封止部材は、外部から前記半導体チップへの熱の流入を防止する機能を有していることを特徴とする半導体チップ積層パッケージ構造。
【請求項６】
前記請求項１に記載した半導体チップ積層パッケージ構造において、さらに、前記発熱する半導体チップに近接して、断熱部材が積層されていることを特徴とする半導体チップ積層パッケージ構造。
【請求項７】
前記請求項４に記載した半導体チップ積層パッケージ構造において、前記封止部材は、断熱材からなることを特徴とする半導体チップ積層パッケージ構造。
【請求項８】
前記請求項１に記載した半導体チップ積層パッケージ構造において、上記配線基板には、さらに、放熱フィンが取り付けられていることを特徴とする半導体チップ積層パッケージ構造。
【請求項９】
配線基板上に、発熱する半導体チップを含むチップ状部材を内部に複数積層して搭載し、その周囲を封止部材により封止した半導体チップ積層パッケージ構造であって、上記複数積層したチップ状部材は、冷却機能を有するチップ状部材を含んでおり、かつ、当該冷却機能を有するチップ状部材は、前記半導体チップ内で発生する熱をその外部に導出し、さらに、前記配線基板への外部からの熱の伝達を抑制する手段を備えており、もって、外部温度にもかかわらず、当該半導体チップ内の温度を所定の温度に維持することを特徴とする半導体チップ積層パッケージ構造。
【請求項１０】
前記請求項１～９に記載した半導体チップ積層パッケージ構造に適した半導体装置であって、基板の表面上に形成された回路素子が、断熱層で分離された複数の領域に分離されて形成されていることを特徴とする半導体装置。
【請求項１１】
前記請求項１～９に記載した半導体チップ積層パッケージ構造に適した半導体装置であって、基板の表面上に形成された回路素子及び電極の一部が、断熱層により熱的に外部から

分離されていることを特徴とする半導体装置。
【請求項１２】
前記請求項１０又は／及び１１に記載した半導体チップ積層パッケージ構造に適した半導体装置において、ＡＣ結合電極を採用したことを特徴とする半導体装置。
【請求項１３】
前記請求項１０又は／及び１１に記載した半導体チップ積層パッケージ構造に適した半導体装置において、その外表面には、電源電極だけを形成したことを特徴とする半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、例えば、携帯電話機等の携帯機器や自動車用制御装置など、厳しい放熱環境下で使用される半導体装置（チップ）の改良された積層パッケージ構造に関し、特に、外部の温度状況にもかかわらず、発熱する半導体チップを冷却して確実な動作を確保することの可能な半導体チップ積層パッケージ構造、並びに、かかるパッケージ構造に好適な半導体装置に関する。
【０００２】
【従来の技術】
例えば、携帯電話機やモバイルＰＣなどに代表される、いわゆる携帯情報機器では、その制御装置であるプロセッサを構成する集積回路を、低消費電力であるＣＭＯＳ（ＣＭＯＳＬＳＩ）構造とすると共に、更には、特に、近年においては、音声情報や文字情報に加え、映像情報の処理等の機能をも備えるものも出現しており、その高機能化・高集積化（微細化）が著しい。
【０００３】
ところで、かかる携帯情報機器では、その携帯という使用形態からも、その放熱環境は厳しい。特に、プロセッサＬＳＩチップの場合、その高機能化に伴って高集積化が進むと共に、その実装面積を小さくするために、例えば、その周辺回路であるメモリチップを、その上に積層する構造、所謂、積層型パッケージ構造を採用するものも多く、これにより、その放熱環境はますます悪化しており、そのため、プロセッサＬＳＩチップの温度は上昇し易くなっている（高温環境）。
【０００４】
加えて、かかる高温環境下においても、年々、回路素子の高集積化に伴って、半導体チップ上に形成される素子の寸法は微細化しており、これに伴い、ＤＣリークと呼ばれる現象、すなわち、ＭＯＳＦＥＴのソース・ドレイン間（ゲート長）における熱励起によるリーク電流が増大する傾向にある。かかるリーク電流は、本来の回路動作には寄与しない電力の消費であるだけでなく、その増大により回路素子内での消費電力も増大してその温度上昇を招くこととともなり、悪循環の原因ともなっている。
【０００５】
また、プロセッサＬＳＩチップの放熱環境の悪化は、例えば、自動車に搭載される制御装置（車載制御機器）などでもみられ、例えば、ダッシュボード内の極めて狭い空間内に配置されることが多く、そのため、例えば、真夏の炎天下ではその周囲の温度が上がってしまい、通常の冷却構造では、冷却が不充分な場合も多い。
【０００６】
かかる状況の下、半導体素子（ＬＳＩ）を所定の温度に冷却するため、例えば、ペルチェ電子冷却器を利用して冷却するものは、以下の特許文献１により知られている。また、半導体レーザ用金属パッケージでは、パッケージ内にペルチェ電子冷却器を収納し、その上に、発熱体である半導体レーザ素子を搭載している。
加えて、近年、ペルチェ素子を小型の熱電冷却器（ＴＨＥＲＭＯＥＬＥＣＴＲＩＣ　ＣＯＯＬＥＲ）として半導体上に成膜形成する技術については、以下の非特許文献１において既に知られている。

【０００７】
【特許文献１】
特許第３２４６１９９号公報
【非特許文献１】
ＡＳＭＥ論文、ルシアナ・ダブリュウ・シルバ、マサウド・カビニイの共著による”ＭＩＮＩＡＴＵＲＩＺＥＤ　ＴＨＥＲＭＯＥＬＥＣＴＲＩＣ　ＣＯＯＬＥＲ”（ＩＭＥＣＥ２００２－３２４３７）２００２年発行
【０００８】
【発明が解決しようとする課題】
すなわち、上述した従来技術では、特に、ペルチェ素子を利用して半導体素子を冷却するものは既に知られてはいるが、しかしながら、その当時のペルチェ電子冷却器自体は未だ小型化（チップ化）されてはおらず、そのため、従来提案されている構造は、上述した高温環境における劣悪な放熱環境に対応可能であり、かつ、かかる携帯情報機器に適用するに適した構造とは言えなかった。
【０００９】
また、ペルチェ素子をチップ状の熱電冷却器として半導体上に成膜形成する技術については、上記論文により知られており、そのため、その量産効果により安価に提供されることが期待されるが、しかしながら、やはり、上述した携帯情報機器などにおける高温環境という、劣悪な放熱環境に対応可能な実装構造については、何ら提案されていなかった。
【００１０】
そこで、本発明では、上述した従来技術における現状に鑑み、チップ状の熱電冷却器としてのペルチェ素子を利用して、例えば、携帯電話機等の携帯機器や自動車用制御装置など、厳しい放熱環境下で使用される半導体装置（チップ）について、特に、外部の温度状況にもかかわらず、発熱する半導体チップを冷却して確実な動作を確保することの可能な半導体チップ積層パッケージ構造、更には、かかるパッケージ構造に好適な半導体装置を提供することを目的とする。
【００１１】
すなわち、本発明は、その高機能化及び高集積化に伴って劣悪化する放熱環境にもかかわらず、その内部の回路素子からの発熱を、薄膜ペルチェ素子からなるクーラーチップを利用してパッケージの外部に取り出し、もって、高温環境において問題となるリーク電流の増大とそれによる発熱の増大の悪循環を抑制し、もって、実用的にも優れたＬＳＩのパッケージ構造を提供することを目的とするものである。
【００１２】
【課題を解決するための手段】
かかる上記の目的を達成するため、本発明により提案されるのは、まず、配線基板上に、発熱する半導体チップを含むチップ状部材を内部に複数積層して搭載し、その周囲を封止部材により封止した半導体チップ積層パッケージ構造であって、上記複数積層したチップ状部材は、冷却機能を有するチップ状部材を含んでおり、かつ、当該冷却機能を有するチップ状部材は、前記半導体チップ内で発生する熱をその外部に導出し、もって、外部温度にもかかわらず、当該半導体チップ内でのリーク電流の増大を抑制する半導体チップ積層パッケージ構造である。
【００１３】
また、本発明では、前記に記載した半導体チップ積層パッケージ構造において、前記冷却機能を有するチップ状部材は、前記半導体チップと同程度の線膨張計数を有する基板からなることが好ましく、更には、前記冷却機能を有するチップ状部材は、シリコン基板上にペルチェ素子を形成してなるチップ状部材であることが好ましい。
【００１４】
さらには、本発明によれば、前記に記載した半導体チップ積層パッケージ構造において、前記冷却機能を有するチップ状部材は、複数の選択動作可能な冷却機能領域を備えていること、又は、前記封止部材は、外部から前記半導体チップへの熱の流入を防止する機能を

有していることが好ましく、更には、前記発熱する半導体チップに近接して、断熱部材が積層されていることが好ましい。

【００１５】

そして、本発明によれば、前記に記載した半導体チップ積層パッケージ構造において、前記封止部材は、断熱材からなり、上記配線基板には、さらに、放熱フィンが取り付けられている。

【００１６】

また、本発明によれば、やはり上記の目的を達成するため、配線基板上に、発熱する半導体チップを含むチップ状部材を内部に複数積層して搭載し、その周囲を封止部材により封止した半導体チップ積層パッケージ構造であって、上記複数積層したチップ状部材は、冷却機能を有するチップ状部材を含んでおり、かつ、当該冷却機能を有するチップ状部材は、前記半導体チップ内で発生する熱をその外部に導出し、さらに、前記配線基板への外部からの熱の伝達を抑制する手段を備えており、もって、外部温度にもかかわらず、当該半導体チップ内の温度を所定の温度に維持する半導体チップ積層パッケージ構造が提案される。

【００１７】

加えて、本発明によれば、やはり上記の目的を達成するため、前記に記載した半導体チップ積層パッケージ構造に適した半導体装置であって、基板の表面上に形成された回路素子が、断熱層で分離された複数の領域に分離されて形成されている半導体装置、又は、基板の表面上に形成された回路素子及び電極の一部が、断熱層により熱的に外部から分離されていること半導体装置、更には、上記の半導体装置において、ＡＣ結合電極を採用し、又は、その外表面には、電源電極だけを形成した半導体装置が提案されている。

【００１８】

【発明の実施の形態】

以下、本発明の実施の形態について、添付の図面を参照しながら詳細に説明する。

まず、図１には、本発明の一実施の形態になる半導体チップ積層パッケージ構造の断面図が示されている。

【００１９】

この図１において、例えば、ポリイミドフィルム等、可撓性の絶縁テープ１１の表面上に所定の導体層１２を形成してなる、所謂、テープ基板１０上に、主回路素子であるプロセッサＬＳＩ（ＭＰＵ－ＬＳＩ）２０を搭載すると共に、その上部には、さらに、上記プロセッサＬＳＩに比較して発熱量の小さい、例えば、メモリ素子３０、３０が複数層（本例では、二層）搭載されている（所謂、マルチスタック構造）。そして、本発明によれば、上記テープ基板１０の上面と上記プロセッサＬＳＩ２０の下面との間には、以下にその構造を詳細に説明するクーラーチップ５０を積層して搭載するものである。

【００２０】

その後、上記テープ基板１０上に積層して搭載したプロセッサＬＳＩ２０、メモリ素子３０、３０の周囲に、さらに、封止用の樹脂（例えば、エポキシレジン）６０を充填して、図の下部に示すような半導体チップ積層パッケージを得る。なお、この図において、符号１３、１３…は、上記により得られた半導体チップ積層パッケージを、例えば、回路基板上に搭載する際、電極との接続のために用いる、所謂、半田ボールであり、符号１４はワイヤボンディングであり、また、符号２１は、所謂、バンプである。

【００２１】

次に、上記したクーラーチップ５０の詳細な構造、及び、その製造方法について、添付の図２及び図３を参照しながら以下に説明する。

まず、図２の（１）に示すように、絶縁基板１００（具体的には、Ｓｉ基板上にSiO_2膜（絶縁膜）を形成し）、その上に、マスク１１０を介して、金属電極膜１２０を所定の形状で複数形成する（添付の図３（Ａ）を参照）。その後、図２の（２）に示すように、上記金属電極膜の上に絶縁膜１３０を形成し、さらに、図２の（３）に示すように、マスク１４０を介して上記形成した絶縁膜１３０をエッチングし、所定の形状にする（添付の

図３（Ｂ）を参照）。なお、このクーラーチップ５０は、上記プロセッサＬＳＩ２０の上面に接触した搭載されることから、その基板は、上記ＬＳＩの基板であるＳｉと線膨張係数を有するものであることが好ましい。

【００２２】

その後、図２の（４）に示すように、再び、マスク１５０を介して、上記エッチングにより絶縁膜が取り除かれた金属電極膜１２０の表面の一部に、例えば、Sb_2Te_3からなるｐ型熱電薄膜１６０が、例えばパルスレーザ蒸着法により所定の形状で複数形成される（添付の図３（Ｃ）を参照）。さらに、図２の（５）に示すように、上記エッチングにより絶縁膜が取り除かれた金属電極膜の表面の他の部分には、例えば、Bi_2Te_3からなるｎ型熱電薄膜１７０が、やはりマスク１５０’を介して、例えばパルスレーザ蒸着法により所定の形状で複数形成される（添付の図３（Ｃ）を参照）。すなわち、複数の金属電極膜１２０の表面には、それぞれ、その間を絶縁膜１３０で分離されて、Sb_2Te_3からなるｐ型熱電薄膜１６０とBi_2Te_3からなるｎ型熱電薄膜１７０とが、互いに隣接して多数、形成されることとなる。

【００２３】

そして、図２の（６）に示すように、再びマスク１８０を介して、上記隣接して形成されたｐ型熱電薄膜１６０とｎ型熱電薄膜１７０との間に亘るように金属電極膜１９０が形成される（添付の図３（Ｄ）を参照）。その後、その上に、例えばSiO_2膜の絶縁層１９１が表面全体にわったて形成される。すなわち、図４にその一部の素子構造を示すように、絶縁基板の上には、複数のｐ型熱電薄膜とｎ型熱電薄膜とが、その表裏面に形成された金属電極膜を介して直列に、多数が接続されたペルチェ素子の構成を成し、もって、薄膜ペルチェ素子が得られることとなる。

【００２４】

なお、ここでは図示しないが、上記クーラーチップ５０を形成するＳｉ基板上には、駆動用の端子が形成されており、更には、その上面に形成されたペルチェ素子を駆動するための駆動回路（例えば、駆動電流制御用のトランジスタ等）を形成してもよい。また、図示しないが、必要に応じて、その表面の一部に、プロセッサＬＳＩ２０の電極と電気的な接続を行なうための電極用の金属薄膜を形成することも可能である。また、図示しないが、同様の工程を繰り返すことによって薄膜ペルチェ素子を２段以上積み上げたペルチェ素子群を形成することも可能である。さらに、図示しないが、図４のｐ型熱電薄膜において薄膜が多層構成となり、ｐ型とｐ型との間に金属膜等導電性をもつ中間層が介在してもよい。また、図４のｎ型熱電薄膜についても同様にしてもよい。

【００２５】

そして、本発明では、以上のようにして得られる薄膜ペルチェ素子を利用して、すなわち、上記クーラーチップ５０として、複数積層して搭載された発熱素子（チップ：具体的には、プロセッサＬＳＩ２０及びメモリ素子３０、３０）の一部に積層する（本例では、プロセッサＬＳＩ２０の下面に積層）。かかる構成により、上記搭載された発熱素子によって発生した熱を、上記クーラーチップ５０を介して発熱素子の外部へ積極的に移動させることにより、リーク電流が増大する傾向にある発熱素子（特に、本例では、プロセッサＬＳＩ２０）の温度上昇を抑制する。すなわち、その高性能化・高集積化に伴って高温化する半導体チップの発熱温度を、その外部に移動させることにより、上述した高温化に伴うリーク電流の増大により生じる悪循環の原因を解消するものであり、換言すれば、薄膜ペルチェ素子を利用して半導体素子内の熱励起によるリーク電流を抑制することであり、特に、薄膜ペルチェ素子による冷却のための電力消費を、かかる冷却を行なわない場合に生じる半導体素子内の熱励起によるリーク電流に起因する電力消費よりも小さくすることによれば、実用的にも優れた効果が得られることとなる。

【００２６】

なお、本発明者等による種々の実験によれば、特に、かかる半導体チップ積層パッケージを、携帯電話機やモバイルＰＣ等の携帯情報機器に、更には、ダッシュボード内の極めて狭い放熱性の悪い空間内に配置されることの多い自動車用の制御機器に搭載する場合には

、当該機器の外部温度が比較的に高い環境が多いことから、単に、発熱素子内において生じた熱をその外部に移動させるだけではなく、更には、より低温に保持した当該素子に対して外部から侵入する熱を遮断することの重要性を認識するに至った。そこで、上記の半導体チップ積層パッケージ構造においては、特に、上記テープ基板１０上に積層して搭載したプロセッサＬＳＩ２０、メモリ素子３０、３０の周囲に充填される封止用の樹脂としては、より伝熱性の低い樹脂材を使用することが好ましいことが分かった。

【００２７】

すなわち、本発明になる半導体チップ積層パッケージ構造の特徴は、発熱素子によって発生した熱を、上記クーラーチップ５０を介して発熱素子外部へ積極的に移動させると共に、外部からの発熱素子への熱の流入をも遮断（抑制）するものであり、そのことにより、厳しい放熱環境下においてもより効率的にリーク電流の増大により生じる悪循環を絶つ（抑制する）ことができる構造とするものである。

【００２８】

次に、本発明になる、他の実施の形態になる半導体チップ積層パッケージ構造について、添付の図５により、詳細に説明する。

なお、この例では、パッケージ内部に積層搭載されるプロセッサＬＳＩ２０だけ（所謂、シングルスタック構造）として説明するが、しかしながら、この例だけに限定されず、やはり、その上にメモリ素子等の付加的な回路素子を搭載するものであってもよい。

【００２９】

すなわち、この図５に示すように、この他の実施の形態になるパッケージ構造では、上記のテープ基板に換えて、３層ＴＡＢ（２メタル）の配線基板１０’上に、プロセッサＬＳＩ２０に代表される発熱素子を搭載したものであり、そして、この例でも、やはり、上記配線基板１０’の上面と上記プロセッサＬＳＩ２０の下面との間に、上記にその構造を詳細に説明したクーラーチップ５０を積層し、かつ、配線基板１０’上に積層して搭載したプロセッサＬＳＩ２０、メモリ素子３０、３０の周囲に、さらに、封止用の樹脂（例えば、エポキシレジン）を充填して半導体チップ積層パッケージを得ることは上記と同様である。

【００３０】

そして、この他の実施の形態になる半導体チップ積層パッケージ構造では、さらに、上記プロセッサＬＳＩ２０への外部からの熱の流入を遮断するため、断熱材７０（例えば、多孔質ポリイミド）の層を上記プロセッサＬＳＩ２０の上面に設けた構造のものである。

【００３１】

また、本発明者等によれば、パッケージ構造内に積層搭載された発熱回路素子であるプロセッサＬＳＩ２０への外部からの熱の流入は、更には、上記クーラーチップ５０、特に、その電極部分によっても発生し、その影響が比較的大きいことが分かった。なお、これは、電極部分を形成する良電導材は、良伝熱材でもあることに起因する。そこで、この他の実施の形態では、上記クーラーチップ５０の周囲に断熱材（例えば、多孔質ポリイミド）５１を設けている。

【００３２】

さらに、添付の図６にも示すように、本発明の更に他の実施の形態になる半導体チップ積層パッケージ構造では、その図からも明らかなように、プロセッサＬＳＩ２０の上面にメモリ素子３０を搭載すると共に、上記の断熱材６０を、これら積層搭載するプロセッサＬＳＩ２０とメモリ素子３０との間に積層して配置したものである。これは、上記したように、メモリ素子３０の発熱はプロセッサＬＳＩ２０の発熱に比較して小さいことから、外部からの熱の流入による影響は少ないことから、特に、その影響の大きなプロセッサＬＳＩ２０への外部からの熱の流入を防止するに好適な構造となっている。なお、上記クーラーチップ５０の周囲に設けられた断熱材５１は、上記と同様である。

【００３３】

次に、添付の図７には、例えば、モバイルＰＣや車載制御装置など、冷却フィンを備えた構造に好適な、本発明の更に他の実施の形態になる半導体チップ積層パッケージ構造を示

す。なお、この更に他の実施の形態になるパッケージ構造では、発熱回路素子であるプロセッサ（ＭＰＵ－）ＬＳＩ２０’は、その上面に放熱フィン８０が取り付けられたＴＡＢ配線基板１０”の下面側に、上記クーラーチップ５０を介して搭載されており、そして、その周囲を断熱材５２により取り囲み、これにより熱的に外部からの遮断を講じている。

【００３４】

すなわち、上記の構成によれば、発熱回路素子であるＭＰＵ－ＬＳＩ２０’内で発生した熱は、上記クーラーチップ５０の働きによりＴＡＢ配線基板１０”及び放熱フィン７０へ移動され、他方、外部からＭＰＵ－ＬＳＩ２０’内へ流入しようとする熱は断熱材５１、５２により遮断されることとなる。

【００３５】

また、本発明者等は、上述した本発明による新たに知見に基づいて、更に、上記した半導体チップ積層パッケージ構造に好適な半導体チップの構造を提案するものである。すなわち、その高性能化・高集積化に伴って高温化する半導体チップにおけるリーク電流の増大を上記した薄膜ペルチェ素子を利用して抑制すると同時に、当該薄膜ペルチェ素子と共に積層して搭載される半導体チップ（ＬＳＩチップ）についても、外部からの熱がその内部に侵入しにくい構造を提案するものであり、もって、薄膜ペルチェ素子による冷却による半導体チップ内のリーク電流増大を抑制する効果を高めることによって、実用的にも優れた効果を得ることを可能とするものである。

【００３６】

ところで、上記のプロセッサＬＳＩ２０やＭＰＵ－ＬＳＩ２０’は、一般的に、Ｓｉ基板の表面に形成したSiO_2の絶縁層により取り囲まれた領域に多数の回路素子を形成して構成されるが、その場合、当該絶縁層であるSiO_2膜は、熱に対しては断熱効果を生じることとなる。

【００３７】

そこで、例えば、添付の図８に示すように、基板２００の素子形成表面を、上記プロセッサやＭＰＵを形成するための回路素子の機能や種類により、特に、その発熱の大小に基づいて、複数の領域に分離すると共に、その周囲をSiO_2の絶縁層２１０、２１１（図９をも参照）で取り囲み、これによって複数の領域を、熱的に、個別に分離する。そして、図９（上記図８のＩＸ－ＩＸ断面）にも示すように、その表面に形成されるSiO_2の絶縁層２２０を介して形成される電極２３０を、比較的発熱の少ない領域の上に位置させると共に、他の領域は上記クーラーチップ５０に、直接、接触することが可能となるように形成したものである。

【００３８】

すなわち、かかる構成の半導体チップによれば、比較的発熱の大きい領域からの発熱は上記クーラーチップ５０を介して外部（例えば、回路基板）へ移動すると共に、外部からの熱が流入し易い電極の形成部では、たとえ外部からの熱が流入しても、そもそもその内部での発熱が少ないことから、上述したリーク電流の増大により生じる悪循環の原因とはなり得ない。そのため、上記した半導体チップ積層パッケージ構造により、内部で熱リークが発生しにくい、好適な半導体チップの構造となる。

【００３９】

また、上記の半導体チップでは、例えば、添付の図１０に示すように、外部からの信号を回路素子内部に電気的に接続する電極構造を、所謂、ＡＣ結合構造としたものである。すなわち、回路素子が形成された基板２００側の表面に所定の数の電極２４０、２４０…を形成し、その上に、例えば、エポキシ樹脂等、断熱性をも備えた誘電率の低い部材の膜２５０を形成する。そして、これら電極２４０に対向した位置に、外部導出用の電極２４０’、２４０’…を形成した層２６０を積層する。なお、かかるＡＣ結合の電気的な等価回路を図の側方に示している。

【００４０】

なお、かかる電極構造を備えた半導体チップによれば、内部の回路素子は、形成されたエポキシ樹脂により、外部の高温に晒されるであろう外部導出用の電極２４０’、２４０’

…からは熱的に遮断されることから、当該外部導出用の電極２４０’、２４０’…を介して素子内に流入しようとする外部からの熱の悪影響から保護されることとなる。一方、外部からの回路動作に必要な信号は、例えば、数ギガ程度の高周波信号として、上記の等価回路を介して、回路内に入力されることとなる。

【００４１】

あるいは、半導体チップの表面に形成される電極を、電源用の電極のみ（具体的には、電源電極及び接地電極）として、その他の必要な入力信号を交流（ＡＣ）信号として上記電源用の電極に重畳して入力する入力端子構造とすることも可能であろう。

【００４２】

また、上記した発熱素子であるプロセッサＬＳＩ２０やＭＰＵ－ＬＳＩ２０’は、その動作モードなどによって、発熱個所が偏在することが、近年、報告されている。そこで、本発明では、予め、動作モードによる発熱個所の偏在状況などを調査し、これに対応し、例えば、添付の図１１に示すように、上記クーラーチップ５０の動作領域Ｒ－１～Ｒ－３を設定して、これにより、半導体基板２００側の発熱個所の偏在に対応して上記クーラーチップ５０による熱移動（冷却）動作を選択的に制御することも可能である。なお、上記クーラーチップ５０による冷却動作を、その全体ではなく、適宜、部分的に選択しながら行なうことによれば、上記クーラーチップ５０において消費される電力をより低減することが可能となり、特に、携帯電話機のような比較的小容量の電池で駆動する機器においては有利であろう。

【００４３】

なお、その際、上記クーラーチップ５０の動作領域Ｒ－１～Ｒ－３に対応し、半導体チップ２００側の回路形成領域を、上述したような、SiO_2の絶縁層で熱的に分離しておくことによれば、より高い効果が得られることとなる。

【００４４】

【発明の効果】

以上の詳細な説明からも明らかなように、本発明になる半導体チップ積層パッケージ構造、さらには、かかるパッケージ構造に好適な半導体装置によれば、薄膜ペルチェ素子からなるクーラーチップを利用して半導体素子内の熱励起によるリーク電流を抑制することが可能となり、特に、薄膜ペルチェ素子による冷却のための電力消費を、かかる冷却を行なわない場合に生じる半導体素子内の熱励起によるリーク電流に起因する電力消費よりも小さくすることによれば、実用的にも優れた効果が得られることとなり、もって、半導体装置の動作を確実に保持すると共に、当該製品の信頼性を向上することが可能となるという優れた効果を発揮する。

【図面の簡単な説明】

【図１】本発明の一実施の形態になる半導体チップ積層パッケージ構造の詳細を示す断面図である。

【図２】上記実施の形態におけるクーラーチップの製造方法を説明するための工程図である。

【図３】上記実施の形態におけるクーラーチップの詳細な構造を説明するための上面図である。

【図４】上記実施の形態におけるクーラーチップの原理構造を説明するため図である。

【図５】本発明の他の実施の形態になる半導体チップ積層パッケージ構造を示す断面図である。

【図６】本発明の更に他の実施の形態になる半導体チップ積層パッケージ構造を示す断面図である。

【図７】本発明の更に他の実施の形態になる、放熱フィンを備えた半導体チップ積層パッケージ構造を示す断面図である。

【図８】上記本発明になる半導体チップ積層パッケージ構造に適した半導体装置との接合構成を説明する半導体基板の上面図である。

【図９】やはり、上記図８と共に、本発明になる半導体チップ積層パッケージ構造に適し

た半導体装置との接合構成を説明する半導体基板の一部拡大断面図（図８のＩＸ－ＩＸ断面）である。
【図１０】また、上記本発明になる半導体チップ積層パッケージ構造に適した半導体装置の構造について説明する一部拡大断面図である。
【図１１】そして、上記本発明になる半導体チップ積層パッケージ構造の更に他の実施の形態を説明するための図である。
【符号の説明】
１０　テープ基板
１０’、１０”　３層ＴＡＢ（２メタル）配線基板
２０　プロセッサＬＳＩ（ＭＰＵ－ＬＳＩ）
３０　メモリ素子
５０　クーラーチップ
５１、５２　断熱材
６０　封止用樹脂
７０　放熱フィン

【図１】

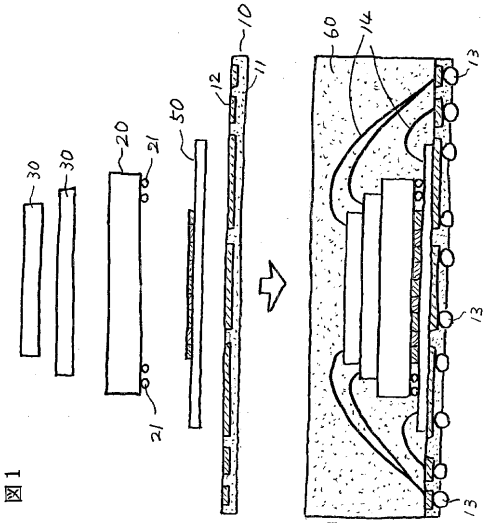
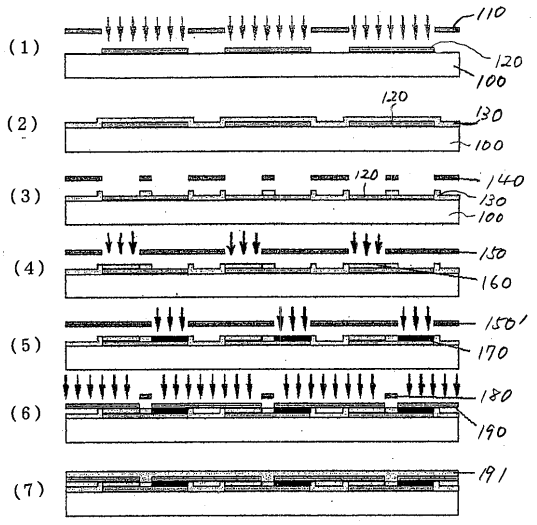


図1

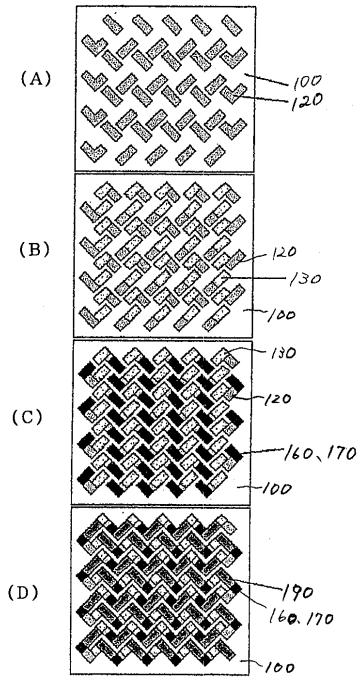
【図２】

図2



【図３】

図3



【図４】

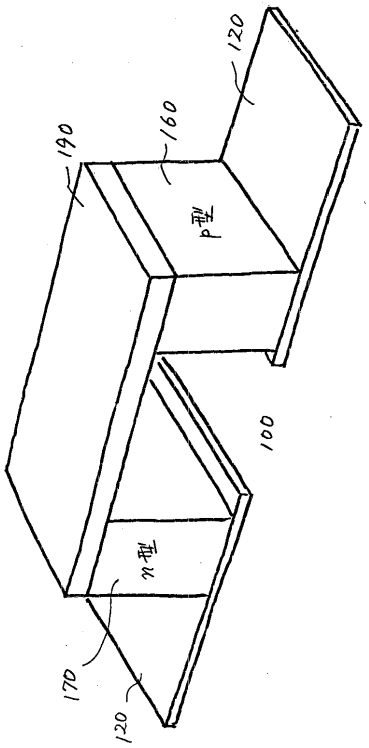
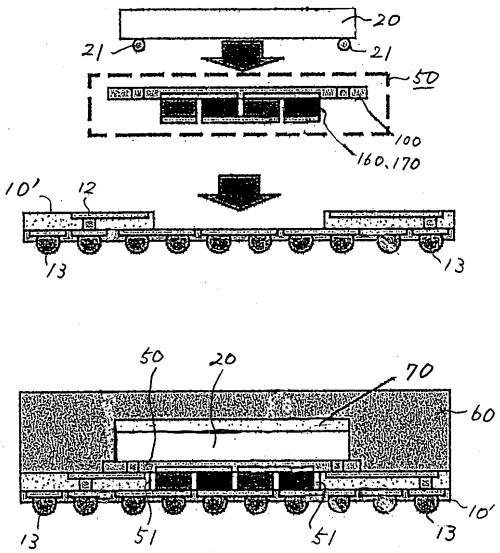


図4

【図５】

図5



【図６】

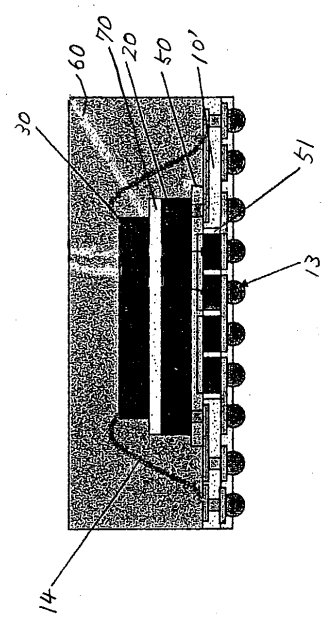


図6

【図７】

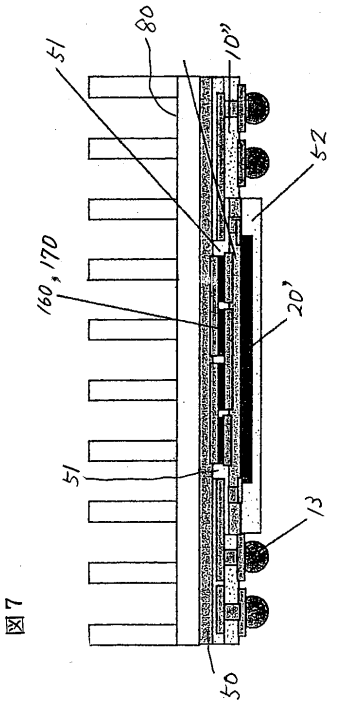
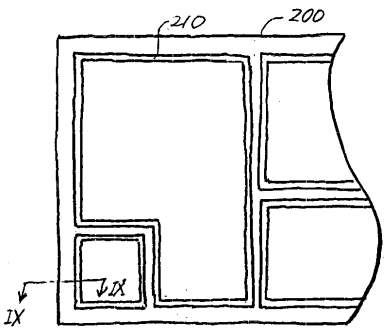


図７

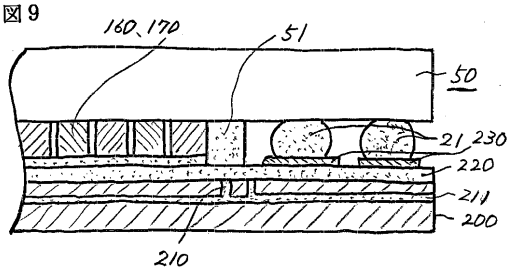
【図８】

図８



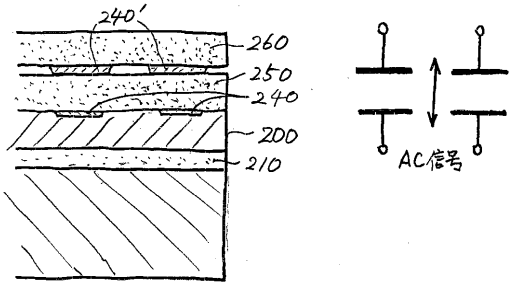
【図９】

図９



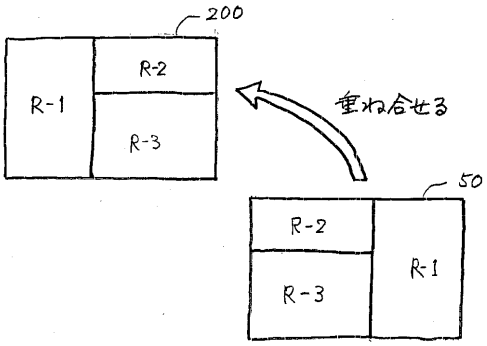
【図１０】

図１０



【図１１】

図１１



フロントページの続き

(72)発明者　久保　貴
茨城県土浦市神立町５０２番地　株式会社日立製作所機械研究所内

Ｆターム(参考) 5F036 AA01　BA23　BA33　BE01