[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 5/14 (2006.01)
G11C 11/4074 (2006.01)

[12] 发明专利说明书

专利号 ZL 200610142540.9

[45] 授权公告日 2009 年 10 月 14 日

[11] 授权公告号 CN 100550185C

[22] 申请日 2003.5.20
[21] 申请号 200610142540.9
分案原申请号 03136750.X
[30] 优先权
[32] 2002. 5.20 [33] JP [31] 144869/2002
[73] 专利权人 三菱电机株式会社
地址 日本东京都
[72] 发明人 山内忠昭 松本淳子 冈本武郎
诹访真人 市口哲一郎 米谷英树
长泽勉 田增成
[56] 参考文献
JP2002093166A 2002.3.29
CN1245595A 2000.2.23
CN1211041A 1999.3.17
审查员 康 健

[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 刘宗杰

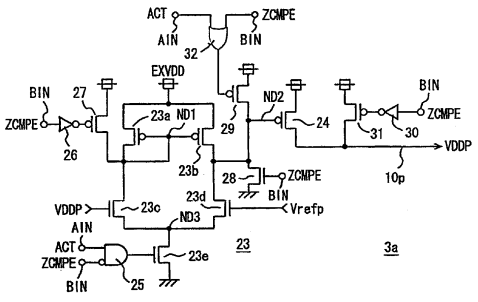
权利要求书 1 页 说明书 53 页 附图 22 页

[54] 发明名称

半导体装置

[57] 摘要

根据电压电平设定信号(ZCMPE)切换高电压、中间电压及内部电源电压等内部电压的发生形态。即具体地说，在外部电源电压(EXVDD)的电压电平低的情况下，将接收比较电路的输出的电流驱动晶体管(24)和辅助驱动晶体管(31)强制地设定为导通状态，在内部电源线(10p)上生成外部电源电压。这时停止比较电路(23)的比较工作。 在外部电源电压的电平高的情况下，将比较电路激活，降低外部电源电压，生成外围电源电压(VDDP)。 因此，能根据外部电源电压电平生成最佳电压电平的外围电源电压。



1. 一种半导体装置，其特征在于备有：连接在接收第一控制信号的第一控制信号输入结点和第一内部结点之间的第一电容元件；

根据上述第一内部结点的电压电平，将第二及第三内部结点分别预充电到外部电源电压电平的第二及第三晶体管；

连接在接收第二控制信号的第二控制信号输入结点和上述第二内部结点之间的第二电容元件；

根据上述第二内部结点的电压电平有选择地呈导通状态，导通时在上述第三内部结点和输出结点之间传递电荷的输出晶体管；

接收外部电源结点及第一内部电压结点的电压作为工作电源电压，根据第三控制信号驱动第四内部结点的驱动电路；

连接在上述第四内部结点和上述第三内部结点之间的第三电容元件；

第四电容元件；以及

在接收第五控制信号的第四控制信号输入结点和上述第一内部电压结点之间、以及在上述第四控制信号输入结点和上述第三内部结点之间两者的任意之间有选择地而且固定地连接上述第四电容元件的布线。

2. 根据权利要求 1 所述的半导体装置，其特征在于：上述布线在上述第四控制信号输入结点和上述第三内部结点之间连接上述第四电容元件。

3. 根据权利要求 1 所述的半导体装置，其特征在于：还备有在接收第六控制信号的第五控制信号输入结点和第六内部结点之间连接的第五电容元件；以及

工作时，根据上述第六内部结点的电压，有选择地呈导通状态，导通时将上述第一内部结点预充电到规定电压电平的第五晶体管，

上述第四电容元件连接在上述第四控制信号输入结点和上述第一内部结点之间。

4. 根据权利要求 1 所述的半导体装置，其特征在于：上述第二控制信号有比上述外部电源电压大的振幅。

半导体装置

本申请是申请号为 03136750.X、申请日为 2003 年 5 月 20 日、发明名称为“半导体装置”的发明专利申请的分案申请。

技术领域

本发明涉及内部装有发生内部电压的内部电压发生电路的半导体装置，特别是涉及对应于多个外部电源电压及多种阻抗规格，也能根据外部电源电压稳定地生成内部电压的内部电压发生电路。

背景技术

图 36 是简略地表示现有的动态随机存取存储器（DRAM）的阵列部的结构图。在图 36 中，对应于位线 BL 及 ZBL 和字线 WL 的交叉部，配置着存储单元 MC。在图 36 中，具有代表性地示出了对应于位线 BL 和字线 WL 的交叉部配置的存储单元 MC。

一般说来，在存储器阵列中，呈行列状配置存储单元 MC，对应于各存储单元行配置着字线 WL。另外，对应于各存储单元列配置着位线 BL 及 ZBL 对。对应于位线对中的一条位线和字线的交叉部配置着存储单元。相辅数据被传输给位线 BL 及 ZBL。

存储单元 MC 包括：以电荷状态存储信息的存储电容器 MQ；以及根据字线 WL 上的信号电压，将存储单元电容器 MQ 耦合在对应的位线 BL（或 ZBL）上的存取晶体管 MT。存取晶体管 MT 通常由 N 沟道 MOS 晶体管（绝缘栅型场效应晶体管）构成，负偏压 Vbb 被供给其反向栅极。通过将负偏压 Vbb 供给存取晶体管 MT 的反向栅极，谋求存取晶体管 MT 的阈值电压的稳定化、降低信号线和基板区域之间的寄生电容、以及降低存取晶体管 MT 的漏极/源极的耦合电容。

对应于位线 BL 及 ZBL 设置着：在等待状态时，将位线 BL 及 ZBL 预充电到位线预充电电压 Vb1 电平，而且进行均衡的位线均衡电路 BPE；以及被激活时，对位线 BL 及 ZBL 的电压进行差动放大、而且进行锁存的读出放大器 SA。

对应于该读出放大器 SA 设置着：读出放大激活信号/SAP 激活时导通，将读出放大器 SA 的高电平电源结点耦合在传递阵列电源电压

Vdds 的读出电源线上的读出激活晶体管 ASPT；以及读出放大激活信号 SAN 激活时导通，激活时将读出放大器 SA 的低电平电源结点耦合在传递接地电压 Vss 的读出地线上的读出放大激活晶体管 ASNT。

位线均衡电路 BPE 根据位线均衡指示信号 BLEQ，将呈阵列电源电压 Vdds 的中间电压（Vdds/2）的位线预充电电压 Vbl 传递给位线 BL 及 ZBL。

选择时，字线 WL 被驱动成比阵列电源电压 Vdds 高的电压电平的高电压 Vpp 电平。通过将选择字线 WL 驱动成高电压 Vpp 电平，在将阵列电源电压 Vdds 电平的高电平数据存储在存储电容器 MQ 的存储结点中时，不伴随存储单元 MC 的存取晶体管 MT 的阈值电压损失。

存储电容器 MQ 在与存储数据的存储结点相对的电极结点（自行延迟结点）上接收一定的自行延迟电压 Vcp。通常，自行延迟电压 Vcp 也与位线预充电电压 Vbl 相同，呈阵列电源电压 Vdds 的中间电压（Vdds/2）的电压电平。

如上所述，在 DRAM 中，分别使用电压电平不同的多种电压。在外部发生这些多种电压后供给 DRAM 的情况下，系统的规模大，还由于外部布线的损失，系统总体的消费电流也增大。另外，在 DRAM 中，由于电源端子数增大，所以其封装体的尺寸增大。因此，一般说来，在 DRAM 内部生成这些多种电压。

图 37 是简略地表示与 DRAM 的内部电压相关联的部分的结构图。在图 37 中，DRAM 包括：有呈行列状排列的多个存储单元（图 36 中的存储单元 MC）的存储单元阵列 902；根据来自外部的命令 CMD，生成实现命令 CMD 指定的工作模式用的工作控制信号的控制电路 904；在控制电路 904 的控制下被激活，根据来自外部的行地址信号 RA，将对应于存储单元阵列 902 的地址指定的行配置的字线驱动到选择状态用的行选择电路 906；有选择地被控制电路 904 激活，激活时检测并放大由行选择电路 906 选择的行上的存储单元的数据，而且进行锁存的读出放大器群 908；在控制电路 904 的控制下工作，激活时根据来自外部的列地址信号 CA，选择存储单元阵列 902 的地址指定的列对应的存储单元的列选择电路 910；以及激活时，根据外部电源电压 EXVDD，生成各种内部电压 Vpp、Vbb、Vbl、Vcp、Vdds、以及 Vddp 的内部电压发生电路 900。

来自内部电压发生电路 900 的外围电源电压 Vddp 被供给控制电路 904 及行选择电路 906。来自内部电压发生电路 900 的高电压 Vpp 还被供给行选择电路 906。

在行选择电路 906 中，由将外围电源电压 Vddp 作为工作电源电压接收的行译码电路生成行选择信号，根据该行选择信号，与字驱动器相比呈高电压 Vpp 电平的字线选择信号被传递给对应于所选择的行配置的字线。

位线预充电电压 Vbl、单元阳极电压 Vcp、以及加在存储单元阵列 902 的基板区域上的负偏压 Vbb 被供给存储单元阵列 902。阵列电源电压 Vdds 作为工作电源电压通过读出电源线被供给读出放大器群 908。

通常，外围电源电压 Vddp 作为工作电源电压被供给列选择电路列选择电路 910。可是，该列选择电路 910 输出的列选择信号即使呈阵列电源电压 Vdds 电平也可以。通常，外围电源电压 Vddp 呈比阵列电源电压 Vdds 高的电压电平。

通过用外围电源电压 Vddp 使控制电路 904 等外围电路工作，而且按照阵列电源电压 Vdds 使与存储单元阵列 902 相关联的读出放大器群 908 工作，而使外围电路高速工作，实现高速存取，另外保证存储单元的存取晶体管及存储单元电容器的绝缘耐压，稳定地存储数据。

在半导体装置中，随着系统规模的增大，为了防止发热等，强烈地要求低功耗。特别是在以电池为电源的携带机器的使用中，从电池寿命的观点看，也要求降低消费电流。特别是不进行数据的存取的等待状态的时间，实际上比进行数据处理的时间长，另外，在 DRAM 中，只要求保持数据，强烈地要求降低该等待状态时的消费电流。

作为这样的等待状态时的降低消费电流的一种方法，采用称为掉电模式的工作模式。在该掉电模式中，在与数据保持无关的地址输入缓冲电路等中，停止工作电源电压的供给。因此，与数据保持无关的电路的直流电流路径被阻断，减少电路的漏电流，降低消费电流。

在携带机器等的使用中，最近要求进一步降低等待功率，根据这样的超低等待电流的要求，采用了一种称为“深度掉电模式”的模式。在该深度掉电模式时，停止内部电压发生电路 900 的内部电压发生工

作。但是，掉电模式是根据来自外部的命令设定的，所以电源电压被供给与接收命令 CMD 的命令译码器等的掉电模式解除相关联的电路。

在给出了该深度掉电模式的指示时，如图 37 所示，从控制电路 904 生成断电信号 PCUT。该断电信号 PCUT 是呈外围电源电压 Vddp 电平的信号。由于停止从外部电源电压 EXVDD 生成内部电压的电路的工作，所以由电平变换电路 915 将该断电信号 PCUT 变换成振幅呈外部电源电压 EXVDD 电平的断电允许信号 PCUTe。该断电允许信号 PCUTe 被供给行选择电路 906 及列选择电路 910 等外围电路，各外围电路的电流路径被阻断。

在控制电路 904 内，该断电允许信号 PCUTe 还被供给进行与深度掉电模式相关联的工作控制的电路以外的部分，阻断该电流路径。

深度掉电模式时，在必要的电路部分以外，不消费电流，还由于阻断电流路径，所以能防止漏电流的发生，能极大地降低消费电流。

在各种各样的系统中使用 DRAM。系统中存在各种电源电压。例如，作为外部电源电压 EXVDD，有 3.3V 及 2.5V。另外，作为接口，除了 LVTTL 等以外，还有 1.8VIO 接口。在该 1.8VIO 接口中，外部电源电压为 2.5V 或 3.3V 时，输入信号的振幅被设定为 1.8V。根据输出电源电压 VDDQ，VIH 及 VIL 被设定为 0.8VDDQ/0.2VDDQ。

在 DRAM 中，在对应于这样的各种外部电源电压，用同一电路结构生成了内部电压的情况下，由于内部电压发生电路的工作条件随着外部电源电压电平的不同而不同，所以存在不能有效地生成呈最佳电压电平的内部电压的问题。

另外，在根据各个外部电源电压电平或接口规格，设计了内部电压发生电路的情况下，由于只对应于外部电源电压的电压电平，所以主要的内部电路结构相同，有必要只制作内部电压发生电路的结构不同的多种芯片，出现制造效率低、成本高的问题。

因此，从产品管理及成本的观点看，最好在主工序中对应于多种外部电源电压/接口，制作公共电路部分，通过屏蔽布线或焊接区的电压的固定，实现对应于外部电源电压电平或接口规格的内部电压发生电路。

发明内容

本发明的目的在于提供一种能与外部电源电压电平及接口规格无

关地稳定地生成内部电压的半导体装置。

本发明的另一个目的在于提供一种能根据所使用的外部电源电压电平，有效地生成所希望的电压电平的内部电压的半导体装置。

本发明的第一种观点的半导体装置包括：激活时，对来自基准电压发生电路的基准电压和内部电压进行比较，输出对应于该比较结果的信号的比较电路；根据该比较电路的输出信号，从电源结点将电流供给内部电压线，生成内部电压的驱动电路；根据内部电压电平设定信号，使比较电路的比较工作停止，将其输出信号固定在规定的电压电平，将驱动电路设定在恒常导通状态用的比较控制电路；以及根据内部电压电平设定信号，将内部电压线耦合在电源结点上的辅助晶体管。

本发明的第二种观点的半导体装置包括：接收第一电源电压作为工作电源电压，响应模式设定信号有选择地激活，根据外部信号生成第一内部信号的第一输入电路；接收第二电源电压作为工作电源电压，响应模式设定信号有选择地激活，根据外部信号生成第二内部信号的第二输入电路；将来自第二输入电路的第二内部信号变换成第一电源电压电平的振幅信号，生成第三内部信号的电平变换电路；以及接收第一电源电压作为工作电源电压，根据第一及第三内部信号，生成传递给内部电路的第四内部信号的输入门电路。该输入门电路在第一及第二输入电路非激活时，根据该非激活的输入电路的输出信号，作为缓冲电路工作，对激活的电平变换电路或第一输入电路的输出信号进行缓冲处理。

本发明的第三种观点的半导体装置包括：连接在接收第一控制信号的第一控制信号输入结点和第一内部结点之间的第一电容元件；根据第一内部结点的电压电平，将第二及第三内部结点分别预充电到外部电源电压电平的第二及第三晶体管；连接在输入第二控制信号的第二控制信号输入结点和第二内部结点之间的第二电容元件；根据第二内部结点的电压电平有选择地导通，导通时在第三内部结点和输出结点之间传递电荷的输出晶体管；接收外部电源结点的电源电压及第一内部电压结点的电压作为工作电源电压，根据第三控制信号驱动第四内部结点的驱动电路；连接在第四内部结点和第三内部结点之间的第三电容元件、第四电容元件；以及在接收第五控制信号的第四控制信

号输入结点和第三内部结点之间、或者在第四控制信号输入结点和第一内部电压结点之间有选择地而且固定地连接第四电容元件的布线。

通过将驱动电路设定为经常导通状态、而且将辅助晶体管设定为导通状态，能增加对内部电压线的供给电流量，在外部电源结点被耦合在内部电压线上的情况下，能稳定地将外部电源电压传递给内部电压线。

另外，由于在输入电路中，对第二输入电路的输出信号进行电平变换，根据第一输入电路的输出信号及电平变换电路的输出信号，生成内部信号，所以即使在输入接口不同的情况下，通过将一个输入电路激活，能稳定地生成内部信号。

另外，由于在生成内部电压的情况下，并联连接电容元件供给电荷，所以在外部电压高的情况下，能有足够的能力供给电荷，能稳定地生成所希望的电压电平的内部电压。

另外，由于用电容元件变更驱动电路的两个工作电源电压中一者的电压电平，所以能通过电容耦合，进行两个阶段的升压工作，能在内部结点上产生大的电压电平变化，即使在外部电源电压电平低的情况下，也能稳定地生成所希望的电压电平的内部电压。

另外，由于能变更地设定电容元件的连接，所以能实现用对应于外部电源电压电平的最佳能力发生内部电压的内部电压发生电路。

附图说明

图 1 是简略地表示本发明的实施形态 1 的内部电压发生电路的结构图。

图 2 是表示图 1 所示的基准电压发生电路的结构之一例图。

图 3 是表示图 1 所示的外围有源 VDC 的结构之一例图。

图 4 是表示图 1 所示的发生电压电平设定信号的部分的结构之一例图。

图 5 是简略地表示电压电平设定信号发生部的变更例的结构图。

图 6 是表示图 1 所示的阵列有源 VDC 及输入有源 VDC 的结构之一例图。

图 7 是表示图 1 所示的等待 VDC 的结构之一例图。

图 8 是表示本发明的实施形态 2 的输入电路的结构图。

图 9 是表示对图 8 所示的输入电路的电源供给的形态的图。

图 10 是表示对图 8 所示的输入电路的电源供给的形态的图。

图 11 是简略地表示本发明的实施形态 3 的内部电压发生部的结构图。

图 12 是表示本发明的实施形态 3 的变更例的图。

图 13 是简略地表示本发明的实施形态 4 的断电允许信号发生部的结构图。

图 14 是表示图 13 所示的断电允许信号发生部的工作的信号波形图。

图 15 是表示本发明的实施形态 5 的内部状态设定信号发生部的结构图。

图 16 是表示本发明的实施形态 6 的阵列有源 VDC 的结构图。

图 17 是表示图 16 所示的阵列有源 VDC 的工作的信号波形图。

图 18 是简略地表示备有本发明的实施形态 6 的阵列有源 VDC 的半导体存储装置的主要部分的结构图。

图 19 是表示图 18 所示的过激控制电路的结构之一例图。

图 20 是表示本发明的实施形态 6 的中间电压发生部的结构图。

图 21 是表示本发明的实施形态 7 的高压发生部的结构图。

图 22 是表示图 21 所示的高压发生电路的工作的信号波形图。

图 23 是简略地表示图 21 所示的 MOS 电容器的剖面结构图。

图 24 是表示图 21 所示的发生输出门控制信号的部分的结构之一例图。

图 25 是表示图 24 所示的输出门控制信号发生部的工作的信号波形图。

图 26 是表示本发明的实施形态 7 的高压发生电路的变更例的结构图。

图 27 是简略地表示本发明的实施形态 8 的高压发生电路的结构图。

图 28 是表示本发明的实施形态 8 的高压发生电路的变更例的结构图。

图 29 是表示本发明的实施形态 8 的高压发生电路的变更例 2 的结构图。

图 30 是简略地表示图 29 所示的连接控制信号发生部的结构图。

图 31 是表示图 30 所示的负电压发生电路的结构之一例图。

图 32 是表示图 30 所示的高压发生电路的结构之一例图。

图 33 是表示本发明的实施形态 9 的高压发生控制部的结构图。

图 34 是表示本发明的实施形态 9 的高压发生控制部的变更例的图。

图 35 是表示本发明的实施形态 9 的基准电压发生电路的结构之一例图。

图 36 是简略地表示现有的半导体存储装置的阵列部的结构图。

图 37 是简略地表示现有的半导体存储装置的总体结构图。

具体实施方式

图 1 是简略地表示本发明的实施形态 1 的内部电压发生电路的结构图。图 37 所示的内部电压发生电路 900 中包括该图 1 所示的内部电压发生电路。

在图 1 中，内部电压发生电路包括：生成恒定电流 ICST 的恒定电流发生电路 1；接收外部电源电平指定信号 ZCMPE 和断电允许信号 PCUTe 的 OR 电路 6；在控制输入端 DIS 接收 OR 电路 6 的输出信号，OR 电路 6 的输出信号呈非激活状态（低电平）时工作，生成外围基准电压 Vrefp 的外围基准电压发生电路 2p；在被供给控制输入端 DIS 的断电允许信号 PCUTe 非激活时工作，生成阵列基准电压 Vrefs 的阵列基准电压发生电路 2s；以及在被供给控制输入端 DIS 的断电允许信号 PCUTe 非激活时工作，生成输入基准电压 Vrefi 的输入基准电压发生电路 2I。

根据对该半导体装置使用的外部电源电压 EXVDD 的电压电平，固定地设定外部电源电平指定信号 ZCMPE。即，外部电源电压 EXVDD 例如在较低的 2.5V 的情况下，外部电源电平指定信号 ZCMPE 被设定成高电平，外部电源电压 EXVDD 例如在较高的 3.3V 的情况下，外部电源电平指定信号 ZCMPE 被设定成低电平。通过屏蔽布线或焊接区的电压固定，设定该外部电源电平指定信号 ZCMPE 的电压电平。

与以往相同，在指定了深掉电模式时，断电允许信号 PCUTe 被设定为高电平。可是，在深掉电模式时，停止发生阵列基准电压 Vrefs、外围基准电压 Vrefp、以及输入基准电压 Vrefi。在深掉电模式时，

有必要受理解除深掉电模式的命令，使进行深掉电模式的解除工作的电路工作。如后面所述，在深掉电模式时，根据外部电源电压从另一路径生成外围电源电压，作为工作电源电压供给与该深掉电模式的设定/解除相关联的控制电路。

内部电压发生电路还包括：根据外围基准电压 Vrefp，在外围电源线 10p 上生成外围电源电压 VDDP 的外围电源电路 3；根据阵列基准电压 Vrefs，在阵列电源线 10s 上生成阵列电源电压（读出电源电压）VDDS 的阵列电源电路 4；以及根据输入基准电压 Vrefi，在输入电源线 10i 上生成输入电源电压 VDDI 的输入电源电路 5。

根据图 37 所示的外围电源电压 Vddp，外围电源线 10p 上的外围电源电压 VDDP 被供给外围电路。根据图 37 所示的读出电源电压 Vdds，阵列电源电压 VDDS 被供给读出放大器群等。接口规格例如为 1.8VIO 接口时，生成输入电源电压 VDDI，作为工作电源电压被供给输入电路初级的输入缓冲器。输出电源电压 VDDQ 输出专用，被从外部供给输出电路。

外围电源电路 3 包括：响应被供给控制输入端 AIN 及 BIN 的阵列激活信号 ACT 及外部电源电平指定信号 ZCMPE，有选择地被激活，激活时根据外围基准电压 Vrefp，在外围电源线 10p 上生成外围电源电压 VDDP 的外围有源 VDC（降压电路）3a；根据被供给控制输入端 CIN 的信号，有选择地被激活，激活时，在外围电源线 10p 上生成外围电源电压 VDDP 的外围等待 VDC3s。

外围等待 VDC3s 工作时，用大电流驱动力将电流供给外围电源线 10p，即使由于内部工作致使外围电源电压 VDDP 被消费，也能将其电压电平维持在规定的电压电平。

外围等待 VDC3s 在被设定为工作状态的情况下，用小电流驱动力将电流供给外围电源线 10p，防止在等待状态时，外围电源电压 VDDP 由于漏电流等致使其电压电平下降。

与外围基准电压发生电路 2p 相同，接收外部电源电平指定信号 ZCMPE 和断电允许信号 PCUTe 的 OR 门 6 的输出信号被供给该外围等待 VDC3s 的控制输入端 CIN。这些外围有源 VDC3a 及外围等待 VDC3s 工作时，对外围基准电压 Vrefp 和外围电源电压 VDDP 进行比较，根据其比较结果，从外部电源结点将电流供给外围电源线 10p，将外围电

源电压 VDDP 维持在与外围基准电压 Vrefp 的电压电平对应的电压电平。

在被供给控制输入端 AIN 的阵列激活信号 ACT 呈激活状态、而且被供给控制输入端 BIN 的外部电源电平指定信号 ZCMPE 呈低电平时，外围有源 VDC3a 被激活，生成外围电源电压 VDDP。在外部电源电平指定信号 ZCMPE 及断电允许信号 PCUTe 都呈低电平时，外围等待 VDC3s 被激活，在选择存储单元的有源循环及存储单元选择结束后的等待循环时工作，生成外围电源电压 VDDP。

阵列电源电路 4 包括:被供给控制输入端 AIN 的阵列激活信号 ACT 激活时工作，对阵列电源电压 VDDS 和阵列基准电压 Vrefs 进行比较，根据其比较结果，从外部电源结点将电流供给阵列电源线 10s 的阵列有源 VDC4a；以及被供给控制输入端 CIN 的断电允许信号 PCUTe 非激活时（呈低电平时）工作，根据阵列基准电压 Vrefs 和阵列电源电压 VDDS 的比较结果，从外部电源结点将电流供给阵列电源线 10s 的阵列等待 VDC4s。

外部电源电平指定信号 ZCMPE 不供给阵列电源电路 4。因为外部电源电压 EXVDD 例如即使为 2.5V 及 3.3V，阵列电源电压 VDDS 例如为 2.0V，对于外部电源电压 EXVDD 的任意的电压电平来说，外部电源电压 EXVDD 都会下降，有必要生成电源电压 VDDS。

输入电源电路 5 包括：被供给控制输入端 AIN 的信号呈激活状态时被激活，对输入基准电压 Vrefi 和输入电源电压 VDDI 进行比较，根据其比较结果，将电流供给输入电源线 10i 的输入有源 VDC5a；以及被供给控制输入端 CIN 的信号呈低电平时被激活，对输入基准电压 Vrefi 和输入电源电压 VDDI 进行比较，根据其比较结果，将电流供给输入电源线 10i 的输入等待 VDC5s。

接收阵列激活信号 ACD 和模式选择信号 MLV 的门电路 7 的输出信号被供给输入有源 VDC5a。阵列激活信号 ACD 呈高电平、而且模式选择信号 MLV 呈低电平时，该门电路 7 输出呈高电平的信号。模式选择信号 MLV 呈低电平时，指定 1.8VIO（接口）模式。接收模式选择信号 MLV 和断电允许信号 PCUTe 的 OR 门 8 的输出信号被供给输入等待 VDC5s 的控制输入端 CIN。

OR 电路 6 及 8 和门电路 7 接收外部电源电压作为工作电源电压，

根据呈外部电源电压电平的断电允许信号 PCUTe 或模式选择信号 MLV，分别生成控制信号。

内部电压发生电路还包括：使模式选择信号 MLV 反相的反相器 11；以及反相器 11 的输出信号呈低电平时导通、导电性地连接外围电源线 10p 和输入电源线 10i 的连接门 12。在图 1 中，连接门 12 由 P 沟道 MOS 晶体管构成。可是，该连接门 12 也可以由 CMOS 传输门构成。

即，模式选择信号 MLV 呈低电平时，连接门 12 呈非导通状态，分别生成外围电源电压 VDDP 及输入电源电压 VDDI。另一方面，如果模式选择信号 MLV 呈高电平，则连接门 12 导通，导电性地连接外围电源线 10p 和输入电源线 10i。在此情况下，用外围电源电压 VDDP 作为输入电源电压 VDDI（因为输入电源电路 5 保持非工作状态）。

即，该模式设定信号 MLV 呈高电平时，作为接口指定 LVTTL 模式，模式设定信号 MLV 呈低电平时，指定 1.8VIO 模式。在 LVTTL 模式中，输入信号的高电平 VIH 为 2.0V，低电平 VIL 为 0.8V。另一方面，在 1.8VIO 模式中，输入信号呈高电平，但比 LVTTL 电平低。

因此，在该模式设定信号 MLV 被设定成低电平的情况下，使输入电源电路 5 工作，生成对应于 1.8VIO 模式的输入电源电压 VDDI。另一方面，在模式设定信号 MLV 呈高电平、指定 LVTTL 模式的情况下，使输入电源电压 VDDI 和外围电源电压 VDDP 为同一电压电平，停止输入电源电路 5 的工作。因此，降低了 LVTTL 模式时的功耗。

图 2 是表示图 1 所示的基准电压发生电路 2p、2s 及 2i 的结构之一例图。这些基准电压发生电路 2p、2s 及 2i 具有同样的结构，所以在图 2 中，具有代表性地示出了一个基准电压发生电路 2。

在图 2 中，基准电压发生电路 2 包括：耦合在外部电源结点上，供给恒定电流 I0 的恒定电流源 20a；连接在恒定电流源 20a 和输出结点 20f 之间，而且其栅极连接在控制输入端 DIS 上的 P 沟道 MOS 晶体管 20b；其一端连接在输出结点 20f 上的电阻元件 20c；连接在电阻元件 20c 和接地结点之间，而且其栅极连接在接地结点上的 P 沟道 MOS 晶体管 20d；以及连接在输出结点 20f 和接地结点之间，而且其栅极连接在控制输入端 DIS 上的 N 沟道 MOS 晶体管 20e。

在该基准电压发生电路 2 中，被供给控制输入端 DIS 的信号呈低电平时，MOS 晶体管 20b 呈导通状态，MOS 晶体管 20e 呈非导通状态。

MOS 晶体管 20d 用二极管模式工作，导通时，产生其阈值电压的绝对值 Vtp 的电压降。利用该 MOS 晶体管 20d 时，外部电源电压 EXVDD 上升，MOS 晶体管 20d 的源极电位超过电压 Vtp 之前，使来自输出结点 20f 的电压 Vref 随着外部电源电压 EXVDD 而上升。因此，外部电源接通时，高速地使基准电压 Vref 的电压电平上升。

因此，被供给该控制输入端 DIS 的信号呈低电平时，来自输出结点 20f 的基准电压 Vref 的电压电平由下式给出

$$Vref = IO \cdot R + Vtp$$

式中，R 表示电阻元件 20c 的电阻值。

被供给该控制输入端 DIS 的控制信号呈高电平时，MOS 晶体管 20b 呈非导通状态，MOS 晶体管 20e 呈导通状态。因此，在此情况下，来自恒定电流源 20a 的电流供给路径被阻断，基准电压 Vref 利用 MOS 晶体管 20e，被固定在接地电压电平。

该基准电压发生电路 2 在图 1 所示的外围基准电压发生电路 2b 的情况下，外部电源电平指定信号 ZCMPE 被供给控制输入端 DIS。该外部电源电平指定信号 ZCMPE 呈高电平时，外部电源电压 EXVDD 例如为 2.5V。在此情况下，后面将详细说明，外围电源电压 VDDP 被设定为与外部电源电压 EXVDD 相同的电压电平。因此，在此情况下，没有必要生成外围基准电压 Vrefp，外围基准电压发生电路 2p 的工作停止。另一方面，在外部电源电压 EXVDD 例如为 3.3V 的情况下，外部电源电平指定信号 ZCMPE 被设定为低电平，随着该外围基准电压 Vrefp 使外部电源电压 EXVDD 下降，生成外围电源电压 VDDP。

图 2 所示的基准电压发生电路 2 在阵列基准电压发生电路 2s 或输入基准电压发生电路 2i 的情况下，断电允许信号 PCUTe 被供给控制输入端 DIS。因此，在深掉电模式时该断电允许信号 PCUTe 呈高电平，这些阵列基准电压发生电路 2s 及输入基准电压发生电路 2i 的基准电压发生工作停止。

在外围基准电压发生电路 2p 的情况下，在控制输入端 DIS 上接收 OR 电路 6 的输出信号，外部电源电平指定信号 ZCMPE 呈高电平时，与工作模式无关，基准电压发生工作停止，外围基准电压 Vrefp 被固定在接地电压电平。外部电源电平指定信号 ZCMPE 呈低电平时，OR 电路 6 的输出信号根据断电允许信号 PCUTe 而呈高电平，深度掉电模式

时，阵列基准电压 Vrefs 及输入基准电压 Vrefi 相同，停止发生外围基准电压 Vrefp。

图 3 是表示图 1 所示的外围有源 VDC3a 的结构之一例图。在图 3 中，外围有源 VDC3a 包括：对外围电源电压 VDDP 和外围基准电压 Vrefp 进行比较的比较电路 23；以及工作时根据比较电路 23 的输出信号，将电流从外部电源结点供给外围电源线 10p 的电流驱动晶体管 24。

比较电路 23 包括：连接在外部电源结点和结点 ND1 之间、而且其栅极连接在结点 ND1 上的 P 沟道 MOS 晶体管 23a；连接在结点 ND1 和结点 ND3 之间、而且在其栅极上接收外围电源电压 VDDP 的 N 沟道 MOS 晶体管 23c；连接在外部电源结点和结点 ND2 之间、而且其栅极连接在结点 ND1 上的 P 沟道 MOS 晶体管 23b；连接在结点 ND2 和结点 ND3 之间、而且在其栅极上接收基准电压 Vrefp 的 N 沟道 MOS 晶体管 23d；以及连接在结点 ND3 和接地结点之间、而且在其栅极上接收门电路 25 的输出信号的 N 沟道 MOS 晶体管 23e。

MOS 晶体管 23a 及 23b 构成电流镜电路，流过 MOS 晶体管 23a 的电流的镜像电流通过 MOS 晶体管 23b。在镜像比为 1 的情况下，在 MOS 晶体管 23a 及 23b 中流过相同大小的电流。

MOS 晶体管 23c 及 23d 构成对外围电源电压 VDDP 和外围基准电压 Vrefp 进行比较的差动级。MOS 晶体管 23e 作为该比较电路 23 的电流源晶体管工作，导通时，允许进行该比较电路 23 的比较工作，非导通状态时，阻断工作电流的路径，使该比较电路 23 的比较工作失效。

门电路 25 接收被供给控制输入端 AIN 的阵列激活信号 ACT 和被供给控制输入端 BIN 的外部电源电平指定信号 ZCMPE。该门电路 25 在阵列激活信号 ACT 呈高电平、而且外部电源电平指定信号 ZCMPE 呈低电平时输出呈高电平的信号。因此，在外部电源电平指定信号 ZCMPE 呈高电平时，门电路 25 的输出信号被固定在低电平，禁止该比较电路 23 的比较工作。即，在外部电源电压 EXVDD 例如为较低的 2.5V 的情况下，该外部电源电平指定信号 ZCMPE 被设定为高电平，比较电路 23 的比较工作被禁止。

外围有源 VDC3a 还包括：接收被供给控制输入端 BIN 的外部电源电平指定信号 ZCMPE 的反相器 26；反相器 26 的输出信号呈低电平时导通，将结点 ND1 耦合在外部电源结点上的 P 沟道 MOS 晶体管 27；接

收被供给控制输入端 AIN 的阵列激活信号 ACT 和被供给控制结点 BIN 的外部电源电平指定信号 ZCMPE 的门电路 32 的输出信号非激活时（呈低电平时）导通，将结点 ND2 耦合在外部电源结点上的 P 沟道 MOS 晶体管 29；接收被供给控制输入端 DIN 的外部电源电平指定信号 ZCMPE 的反相器 30；反相器 30 的输出信号呈低电平时导通，外围电源线 10p 导通时，耦合在外部电源结点上的 P 沟道 MOS 晶体管 31；以及被供给控制输入端 BIN 的外部电源电平指定信号 ZCMPE 呈高电平时导通，导通时，将结点 ND2 保持在接地电压电平的 N 沟道 MOS 晶体管 28。

门电路 32 在阵列激活信号 ACT 呈高电平、而且外部电源电平指定信号 ZCMPE 呈低电平时输出呈高电平的信号。

外部电源电平指定信号 ZCMPE 呈高电平时，反相器 26 及 30 的输出信号呈低电平，MOS 晶体管 27 及 31 导通。另外，门电路 32 的输出信号呈高电平，MOS 晶体管 29 呈非导通状态，结点 ND2 从外部电源结点分离。另外，MOS 晶体管 28 呈导通状态，结点 ND2 被固定在接地电压电平。

在该状态下，结点 ND1 呈外部电源电压电平，MOS 晶体管 23a 及 23b 呈截止状态。比较电路 23 的比较工作被锁定。

另一方面，外围电源线 10p 通过 MOS 晶体管 31 耦合在外部电源结点上，外围电源电压 VDDP 呈外部电源电压 EXVDD 电平。另外，由于结点 ND2 保持接地电压电平，所以 MOS 晶体管 24 被固定在导通状态。在只用电流驱动晶体管 24、外部电源电压 EXVDD 低的情况下，直接连接了外部电源结点和外围电源线 10p 时，由于其沟道电阻而产生电压降，外围电源电压 VDDP 的电压电平比外部电源电压 EXVDD 低，不能获得必要的电压电平。在此情况下，由于沟道电阻降低，所以在增大了电流驱动晶体管 24 的尺寸（沟道宽度和沟道长度的比）的情况下，外部电源电平指定信号 ZCMPE 呈低电平时外围有源 VDC3a 的增益增大，容易振荡，不能稳定地生成外围电源电压 VDDP。另外为了抑制振荡工作，维持比较电路 23 的响应性，有必要增大该比较电路 23 的各晶体管的电流驱动力（尺寸），有产生比较电路 23 的功耗增加的问题的可能性。

与电流驱动晶体管 24 不同地设计 MOS 晶体管 31，只在外部电源电平指定信号 ZCMPE 呈高电平时，使 MOS 晶体管 31 呈导通状态，将

外围电源电压 VDDP 的电压电平设定在外部电源电压 EXVDD 电平。即使该 MOS 晶体管 31 的尺寸增大，外部电源电平指定信号 ZCMPE 呈低电平时，该 MOS 晶体管 31 呈非导通状态，不会影响外围有源 VDC3a 的电流发生工作。

因此，在电源电压 EXVDD 的电压电平例如为 2.5V 低的情况下，能用 MOS 晶体管 24 及 31，将外围电源电压 VDDP 可靠地维持在外部电源电压 EXVDD 电平。另外，在外部电源电压 EXVDD 的电压电平高的情况下，通过电流驱动晶体管 24 的电流驱动，不稳定地产生振荡工作，而能生成所希望的电压电平的外围电源电压 VDDP。另外，能使比较电路 23 的各晶体管的尺寸小，能降低消费电流（工作电流）。

另外，如图 2 所示，外部电源电平指定信号 ZCMPE 呈高电平时，比较基准电压 Vrefp 呈接地电压电平，MOS 晶体管 23d 能维持非导通状态。因此，该外部电源电平指定信号 ZCMPE 呈高电平时，结点 ND2 也被固定在接地电压电平，能防止漏电流从 MOS 晶体管 27 通过 MOS 晶体管 23c 及 23d 流向接地结点。

在外围电路的晶体管被设计成电源电压为 2.5V 时其工作特性为最佳的情况下，在制造对应于 3.3V 的外部电源电压 EXVDD 的 3.3V 制品的情况下，将外部电源电平指定信号 ZCMPE 设定为低电平，使外围有源 VDC3a 工作，使外部电源电压 EXVDD 下降，生成 2.5V 电平的外围电源电压 VDDP。另一方面，在制造适用于 2.5V 的外部电源电压 EXVDD 的 2.5V 制品的情况下，将该外部电源电平指定信号 ZCMPE 设定为高电平，直接连接外围电源线 10p 和外部电源结点。能用同一电路结构实现对应于多种外部电源电压的外围电源电路。

另外，外部电源电平指定信号 ZCMPE 呈低电平时，MOS 晶体管 27、28 及 31 都呈非导通状态。在此情况下，阵列激活信号 ACT 呈高电平，外围电路工作时，MOS 晶体管 23e 呈导通状态，MOS 晶体管 29 呈非导通状态，比较电路 23 工作，电流驱动晶体管 24 根据该比较电路 23 的输出信号，将电流供给外围电源线 10b。

阵列激活信号 ACT 呈低电平时，MOS 晶体管 23e 呈非导通状态，MOS 晶体管 31 呈导通状态，结点 ND2 被设定为外部电源电压 EXVDD 电平，电流驱动晶体管 24 呈非导通状态。

图 4 是表示发生外部电源电平指定信号 ZCMPE 的部分的结构之一

例图。在图 4 中，外部电源电平指定信号发生部包括其连接路径利用金属布线 35a 设定在外部电源结点或接地结点两者中的任意一者上的金属开关 35。通过设定该金属开关 35 的连接路径，能固定地设定外部电源电平指定信号 ZCMPE 的电压电平。该金属布线 35a 是屏蔽布线，通过切片工序形成。在图 4 中，作为一例示出了金属布线 35a 被耦合在外部电源结点上，生成呈高电平的外部电源电平指定信号 ZCMPE 的状态。因此，在切片工序中，通过设定该金属布线 35a 的连接路径，用同一芯片结构的 DRAM，能制造与 3.3V 制品及 2.5V 制品等不同的外部电源电压电平对应的制品。

图 5 是简略地表示发生外部电源电平指定信号 ZCMPE 的部分的另一结构图。在图 5 中，外部电源电平指定信号发生部包括焊接区 40；以及根据该焊接区 40 的电压电平，生成外部电源电平指定信号 ZCMPE 的 ZCMPE 发生电路 41。焊接区 40 焊接时，根据设定为外部电源电压及接地电压两者中的某一者，决定 ZCMPE 发生电路 41 的内部结构。基本上，该 ZCMPE 发生电路 41 包括锁存焊接区 40 的电位的锁存电路。即，在该 ZCMPE 发生电路 41 中，焊接区 40 被连接在外部电源结点或接地结点上，或者设定为开放状态。

另外，该外部电源电平指定信号 ZCMPE 也可以用能熔断的连接元件，从设定其输出信号的电压电平的程序电路生成。

另外，外部电源电平指定信号 ZCMPE 的高电平是外部电源电压 EXVDD 电平，图 3 所示的反相器 26 及 30 和门电路 32 接收外部电源电压 EXVDD 作为工作电源电压。门电路 25 也可以接收外围电源电压 VDDP 作为工作电源电压。

图 6 是表示图 1 所示的阵列有源 VDC4a 及输入有源 VDC5a 的结构之一例图。这些阵列有源 VDC4a 及输入有源 VDC5a 有相同的结构，所以在图 6 中，示出了阵列有源 VDC4a 的结构，将输入有源 VDC5a 的结构要素的参照标号示于括弧内。

在图 6 中，阵列有源 VDC4a 包括：被供给控制输入端 AIN 的信号呈高电平时被激活，对阵列电源线 10s 上的阵列电源电压 VDDS 和阵列基准电压 Vrefs 进行比较的比较电路 50；根据比较电路 50 的输出信号，将电流从外部电源结点供给阵列电源线 10s 的电流驱动晶体管 51；以及被供给控制输入端 AIN 的信号呈低电平时导通，将电流驱动

晶体管 51 的栅极结点 ND4 维持在外部电源电压 EXVDD 电平的 P 沟道 MOS 晶体管 52。

在该阵列有源 VDC4a 的结构中，比较电路 50 由电流镜像型差动放大电路构成，被供给控制输入端 AIN 的信号呈高电平时，通过比较电路 50 的比较工作，在结点 ND4 上出现与阵列基准电压 Vrefs 和阵列电源电压 VDDS 的差对应的电压电平的信号。电流驱动晶体管 51 根据该结点 ND4 上的信号，将电流从外部电源结点供给阵列电源线 10s。因此，在该结构中，阵列电源电压 VDDS 被维持在阵列基准电压 Vrefs 的电压电平。

被供给控制输入端 AIN 的信号呈低电平时，在比较电路 50 中，流过工作电流的路径被阻断，停止比较工作。另外，MOS 晶体管 52 导通，结点 ND4 被维持在外部电源电压 EXVDD 电平，电流驱动晶体管 51 呈非导通状态。因此，具有较大的电流驱动力的阵列有源 VDC4a 在内部电路工作时（如后面所述，读出工作时）工作，用大的电流驱动力生成阵列电源电压 VDDS，防止其电压电平的下降。

在输入有源 VDC5a 的情况下，电流驱动晶体管 51 根据输入电源线 10i 上的输入电源电压 VDDI 和输入基准电压 Vtefi 的差，将电流供给输入电源线 10i，将输入电源电压 VDDI 的电压电平设定为输入基准电压 Vrefi 的电压电平。

在阵列有源 VDC4a 中，阵列激活信号 ACT 被供给控制输入端 AIN。另一方面，在输入有源 VDC5a 的情况下，图 1 所示的门电路 7 的输出信号被供给其控制输入端 AIN。因此，在模式设定信号 MLV 被设定为高电平、输入接口被设定为 LVTTL 模式的情况下，该输入有源 VDC5a 的工作停止。在该状态下，如图 1 所示，输入电源电压 VDDI 和外围电源电压 VDDP 被设定为同一电压电平。另一方面，在模式设定信号 MLV 被设定为低电平、指定了 1.8VIO 模式作为接口模式的情况下，该输入有源 VDC5a 根据阵列激活信号 ACT 有选择地被激活。

模式选择信号 MLV 与外部电源电平指定信号 ZCMPE 相同，通过屏蔽布线或焊接区选择性的导线连接，设定其电压电平。

另外，在发生输入基准电压 Vrefi 的输入基准电压发生电路 2i 中，断电允许信号 PCUTe 被供给其控制输入端 DIS。可是，接收断电允许信号 PCUTe 和模式设定信号 MLV 的门电路的输出信号也可以供给

该输入基准电压发生电路 2i 的控制输入端 DIS。即，模式设定信号 MLV 被设定为高电平，指定了 LVTTL 模式时，没有必要生成输入电源电压 VDDI，所以该输入基准电压发生电路 2i 的基准电压发生工作停止。因此，能降低消费电流。作为将信号供给该输入基准电压发生电路 2i 的控制输入端 DIS 的门电路，也可以使用 OR 电路。

图 7 是表示图 1 所示的等待 VDC3s、4s 及 5s 的结构之一例图。这些等待 VDC3s、4s 及 5s 有相同的结构，所以在图 7 中，代表性地示出了一个等待 VDC。在图 7 中，等待 VDC 包括：被供给控制输入端 CIN 的信号呈高电平时被激活，激活时，对基准电压 Vref（Vrefi、Vrefp、Vrefs）和电源电压 VDD（VDDI、VDDP、VDDS）进行比较的比较电路 60；根据比较电路 60 的输出信号，将电流从外部电源结点供给内部电压线（10i、10p、10s）的电流驱动晶体管 61；以及被供给控制输入端 CIN 的信号呈低电平时导通，导通时将外部电源电压 EXVDD 传递给电流驱动晶体管 61 的栅极结点 ND5 的 P 沟道 MOS 晶体管 62。

在外围等待 VDC3a 的情况下，图 1 所示的 OR 门 6 的输出信号被供给控制输入端 CIN。因此在外围等待 VDC3a 的情况下，断电允许信号 PCUTe 及外部电源电平指定信号 ZCMPE 都呈高电平时被激活，根据基准电压 Vref 和内部电源电压 VDD 的差，调整内部电源电压 VDD 的电压电平。即，在外部电源电压例如为 2.5V、外部电源电平指定信号 ZCMPE 被设定为高电平的情况下，外围等待 VDC3a 的工作停止，另外在外部电源电压 EXVDD 为 3.3V 的情况下，如果断电允许信号 PCUTe 被激活，则该内部电源电压发生工作停止。

在阵列等待 VDC4s 的情况下，断电允许信号 PCUTe 被供给其控制输入端 CIN。因此，只在深度掉电模式时，该阵列等待 VDC4s 停止阵列电源电压 VDDS 的发生工作。

在输入等待 VDC5s 的情况下，接收模式设定信号 MLV 和断电允许信号 PCUTe 的 OR 门的输出信号被供给控制输入端 CIN。因此，在指定 LVTTL 模式、模式设定信号 MLV 呈高电平时及深度掉电模式时，如果断电允许信号 PCUTe 被设定为高电平，则该输入等待 VDC5s 停止输入电源电压 VDDI 的发生工作。

如上所述，如果按照本发明的实施形态 1，则根据电源电平指定信号、模式设定信号、以及断电允许信号，有选择地将等待 VDC 及有

源 VDC 激活，根据各工作模式/外部电源电压电平，只使必要的电路工作，能降低功耗，稳定地生成必要的电压电平的内部电源电压。

特别是在外围电源电路中，设有在外部电源电压例如为 2.5V 时直接连接传递外围电源电压 VDDP 的外围电源线和外部电源结点用的专用辅助驱动晶体管，不使响应比较电路的输出而工作的电流驱动晶体管的沟道电阻下降，能将外围电源电压设定为外部电源电压电平，不会对该外部电源电压为 3.3V 时的外围电源电路的工作特性产生不良影响，能稳定地生成所希望的电压电平的外围电源电压。

另外，指定了该 1.8VIO 接口模式时，使发生输入电源电压的电路的工作停止，连接外围电源线和输入电源线，能降低 1.8VIO 接口模式时的功耗，生成必要的电压电平的内部电源电压。

[实施形态 2]

图 8 是表示本发明的实施形态 2 的输入电路的结构之一例图。在图 8 中，在根据外部信号生成内部信号的信号输入部中，相对于公用的外部信号 EXSG，设有接收外围电源电压 VDDP 作为工作电源电压的输入缓冲电路 72；以及接收输入电源电压 VDDI 作为工作电源电压的输入缓冲电路 78。为了选择启动这些输入缓冲电路 72 及 78 中的一个，设有接收输入启动信号 EN 和模式设定信号 MLV 的门电路 70 及 76。

门电路 70 在输入启动信号 EN 及模式设定信号 MLV 都呈高电平时，启动输入缓冲电路 72。门电路 76 在输入启动信号 EN 呈高电平、而且模式设定信号 MLV 呈低电平时，启动输入缓冲电路 78。

输入缓冲电路 72 包括：串联连接在外围电源结点和内部结点 ND10 之间的 P 沟道 MOS 晶体管 72a 及 72b；以及并联连接在内部结点 ND10 和接地结点之间的 N 沟道 MOS 晶体管 72c 及 72d。

门电路 70 的输出信号被供给 MOS 晶体管 72a 及 72d 的栅极，外部信号 EXSG 被供给 MOS 晶体管 72b 及 72c 的栅极。因此，在该输入缓冲电路 72 中，门电路 70 的输出信号呈高电平时，内部结点 ND10 由 MOS 晶体管 72d 固定在接地电压电平。门电路 70 的输出信号呈低电平时，MOS 晶体管 72d 呈非导通状态，MOS 晶体管 72a 呈导通状态，使外部信号 EXSG 反相的信号被输入给结点 ND10。

门电路 70 的输出信号呈高电平时，MOS 晶体管 72a 呈非导通状态，另外，MOS 晶体管 72d 被设定为导通状态，内部结点 ND10 被固定在接

地电压电平。

输入缓冲电路 78 包括：串联连接在输入电源结点和内部结点 ND11 之间的 P 沟道 MOS 晶体管 78a 及 78b；以及并联连接在内部结点 ND11 和接地结点之间的 N 沟道 MOS 晶体管 78c 及 78d。门电路 76 的输出信号被供给 MOS 晶体管 78a 及 78d 的栅极，外部信号 EXSG 被供给 MOS 晶体管 78b 及 78c 的栅极。

门电路 76 在启动信号 EN 呈高电平、而且模式设定信号 MLV 呈低电平时输出呈低电平的信号。

该输入缓冲电路 78 也与输入缓冲电路 72 一样，门电路 76 的输出信号呈低电平时，MOS 晶体管 78a 呈导通状态，MOS 晶体管 78d 呈非导通状态，在结点 ND11 上生成使外部信号 EXSG 反相的信号。另一方面，门电路 76 的输出信号呈高电平时，MOS 晶体管 78a 呈非导通状态，MOS 晶体管 78d 呈导通状态，不管外部信号 EXSG 的逻辑电平如何，结点 ND11 都被固定在接地电压电平。

输入电路还包括：使输入缓冲电路 72 的输出信号反相的 CMOS 反相器 74；使输入缓冲电路 78 的输出信号反相的 CMOS 反相器 80；根据输入缓冲器 78 的输出信号和反相器 80 的输出信号，将该反相器 80 的输出信号变换成其振幅呈外围电源电压 VDDP 电平的信号的电平变换电路 82；以及接收 CMOS 反相器 74 的输出信号和电平变换电路 82 的输出信号，生成内部信号 INSG 的与电路 84。

CMOS 反相器 74 接收外围电源电压 VDDP 作为工作电源电压，CMOS 反相器 80 接收输入电源电压 VDDI 作为工作电源电压。电平变换电路 82 接收外围电源电压 VDDP 作为工作电源电压，与电路 84 接收外围电源电压 VDDP 作为工作电源电压。

电平变换电路 82 包括：连接在外围电源结点和结点 NG12 之间、而且其栅极连接在结点 ND13 上的 P 沟道 MOS 晶体管 82a；连接在外围电源结点和结点 NG13 之间、而且其栅极连接在结点 ND12 上的 P 沟道 MOS 晶体管 82b；连接在结点 ND12 和接地结点之间、而且在其栅极上接收 CMOS 反相器 80 的输出信号的 N 沟道 MOS 晶体管 82c；连接在结点 ND13 和接地结点之间、而且在其栅极上接收输入缓冲电路 78 的输出信号的 N 沟道 MOS 晶体管 82d。

该电平变换电路 82 在 CMOS 反相器 80 的输出信号呈输入电源电

压 VDDI 的高电平时，输出呈外围电源电压 VDDP 电平的信号。CMOS 反相器 80 的输出信号呈低电平（接地电压电平）时，输入缓冲电路 78 的输出信号呈输入电源电压 VDDI 电平，MOS 晶体管 82d 导通，呈低电平的信号被输出给电平变换电路 82 的输出结点 ND13。因此，该电平变换电路 82 将输入缓冲电路 78 的呈低电平的输出信号变换成呈外围电源电压电平的信号，将呈高电平的信号变换成呈接地电压电平的信号。

与电路 84 包括：接收 CMOS 反相器 74 的输出信号和电平变换电路 82 的输出信号的与非门 84a；以及使与非门 84a 的输出信号反相，生成内部信号 INSG 的反相器 84b。

由该与电路 84 将 CMOS 反相器 74 的输出信号及电平变换电路 82 的输出信号合并，生成与被启动的输入缓冲电路的输出信号对应的内部信号 INSG。

输入缓冲电路 72 及 78 根据模式设定信号 MLV，有选择地被启动其中的一个，失效时其输出信号呈接地电压电平。CMOS 反相器 74 及电平变换电路 82 分别使输入缓冲电路 72 及 78 的输出信号反相。因此，呈失效状态的输入缓冲电路的输出信号反相后被供给与电路 84，与电路 84 根据被启动的输入缓冲电路的输出信号，生成内部信号 INSG。

图 9 是简略地表示模式设定信号 MLV 呈高电平、指定了 LVTTL 模式时的输入缓冲电路和内部电压发生电路的状态的图。该模式设定信号 MLV 呈高电平时，指定 LVTTL 模式，输入信号的高电平 VIH 为 2.0V，输入信号的低电平 VIL 为 0.8V。在此情况下，如图 1 所示，输入电源电压发生电路 5 被设定为失效状态，外围电源线 10p 被供给输入电源线 10i。输入缓冲电路 72 接收外围电源电压 VDDP 作为工作电源电压而工作，根据外部信号，通过门电路 84 生成内部信号 INSG。在此情况下，输入缓冲电路 78 呈失效状态，其输出信号被固定在低电平。

在输入缓冲电路 72 中，根据该外围电源电压 VDDP 的电压电平（2.5V），对 VIH/VIL 来说，使容限最佳化。因此，对 LVTTL 模式的输入信号，能正确地生成内部信号 INSG。另外，使输入电源电压发生电路 5 的工作停止，能降低消费电流。

图 10 是简略地表示模式设定信号 MLV 呈低电平时的输入缓冲电

路及内部电压发生电路的状态的图。该模式设定信号 MLV 呈低电平时，指定 1.8VI/O 接口模式。在该模式中，输入信号的高电平 VIH 及低电平 VIL 比 LVTTL 模式的电平低。例如，在该 1.8VIO 模式（1.8VIO 接口模式）中，输入信号的 H/L 电平 VIH/VIL 例如被设定为 0.65VDDQ/0.35VDDQ 或 0.8VDDQ/0.2VDDQ。这里，VDDQ 是被供给输出电路的输出电源电压的电压电平，是等于外部电源电压电平的电压电平。外围电源电压 VDDP 通常为 2.5V。

因此，在用该输入缓冲器 72 以 1.8VI/O 模式工作的情况下，对该输入信号电平 VIH/VIL 的容限不同，不能进行正确的输入信号的逻辑电平判断，不能正确地生成内部信号 INSG（在 1.8VI/O 模式中，输入信号的逻辑电平的基准值 VIH 及 VIL 都比 LVTTL 模式时的电平低）。因此，该 1.8VI/O 模式专用时生成 1.8V 的输入电源电压 VDDI，使输入缓冲电路 78 工作。在此情况下，使输入缓冲电路 78 的输入逻辑阈值与该 1.8VI/O 模式的 VIH/VIL 一致而最佳化。根据该输入缓冲电路 78 的输出信号，通过门电路 84 生成内部信号 INSG。

在该 1.8VI/O 模式中，图 1 所示的连接门 12 呈非导通状态，外围电源线 10p 及输入电源线 10s 被分离，外围电源电压发生电路 3 及输入电源电压发生电路 5 都分别在外围电源线 10p 及输入电源线 10s 上生成外围电源电压 VDDP 及输入电源电压 VDDI。

另外，外围电源电压发生电路 3 根据外部电源电平指定信号 ZCMPE，设定成失效状态或启动状态。

如上所述，如果按照本发明的实施形态 2，则分别设置 LVTTL 模式及 1.8VI/O 模式专用时工作的输入缓冲电路，根据指定的接口有选择地使这些输入缓冲电路工作，能稳定地实现用指定的接口模式进行工作的输入电路。另外，在 LVTTL 模式时，通过使输入电源电压发生电路的工作停止，能降低功耗。

另外，在时钟同步型半导体存储装置的情况下，输入启动信号 EN 相当于使内部时钟信号有效而使内部电路工作的时钟启动信号 CKE。在该半导体装置中根据外部信号指定生成输入信号时，输入启动信号 EN 被激活。

[实施形态 3]

图 11 是简略地表示本发明的实施形态 3 的内部电压发生部的结

构图。在图 11 中，对外围电源线 10p 设置外围电源电压发生电路 3，另外对输入电源线 10i 设置输入电源电压发生电路 5。对阵列电源线 10s 设置阵列电源电压发生电路 4。断电允许信号 PCUTe 被供给这些外围电源电压发生电路 3、输入电源电压发生电路 5 及阵列电源电压发生电路 4。在掉电模式时，由于阵列激活信号 ACT 呈非激活状态，所以在断电允许信号 PCUTe 被设定为高电平的情况下，外围电源电压发生电路 3、输入电源电压发生电路 5 及阵列电源电压发生电路 4 停止其内部电源电压发生工作（参照图 1）。这些外围电源电压发生电路 3、输入电源电压发生电路 5 及阵列电源电压发生电路 4 的结构与前面的图 1 至图 7 所示的结构相同。

对外围电源线 10p 设置 N 沟道 MOS 晶体管 90，该 N 沟道 MOS 晶体管 90 在断电允许信号 PCUTe 激活时导通，导通时，将外围电源线 10p 耦合在外部电源结点上。该 MOS 晶体管 90 有阈值电压 Vthn。在使外部电源电压 EXVDD 下降生成外围电源电压 VDDP 的模式时，断电允许信号 PCUTe 呈高电平时，该外围电源线 10p 上的外围电源电压 VDDP 变成电压 EXVDD－Vthn。

但是，在外部电源电平指定信号 ZCMPE 被设定为高电平、外部电源电压 EXVDD 例如为 2.5V 时，在外围电源电压发生电路 3 中，图 3 所示的 MOS 晶体管 31 呈导通状态，外围电源线 10p 被耦合在外部电源结点上。因此，在此情况下，与断电允许信号 PCUTe 的激活/非激活无关，外围电源电压 VDDP 被维持在外部电源电压 EXVDD 电平。

另一方面，外部电源电压 EXVDD 为 3.3V 时，在断电允许信号 PCUTe 被激活的深度掉电模式时，外围电源电压 VDDP 变成外部电源电压 EXVDD－Vthn。

在电源接通时，如果由于噪声等的影响，断电允许信号 PCUTe 被激活，则外围电源电压发生电路 3 使外围电源电压 VDDP 的发生工作停止。在此情况下，即使电源接通检测信号 POR 未被激活，但在工作电源电压不被供给外围电路的情况下，断电允许信号 PCUTe 不能复位，不能在内部生成外围电源电压 VDDP。在断电允许信号 PCUTe 被激活时，通过将外围电源线 10p 耦合在外部电源结点上，能将电源电压 VDDP 供给与掉电模式的控制相关联的外围电路。电源接通后，使该外围电路工作，使断电允许信号 PCUTe 复位，将电源电压发生电路 3 激活，

生成内部外围电源电压。

电源接通时，在断电允许信号 PCUTe 维持在非激活状态的情况下，电源接通后，外围电源电压发生电路 3 工作，生成外围电源电压 VDDP。

另外，在深度掉电模式时，在与深度掉电控制相关的电路以外，电流路径被阻断。另一方面，通过使供给与该深度掉电模式的控制相关联的电路的外围电源电压 VDDP 的电压电平比外部电源电压 EXVDD 低 MOS 晶体管 90 的阈值电压 Vthn，来抑制该电路部分的漏电流。

对输入电源线 10i 设置接收模式设定信号 MLV 的反相器 11；以及反相器 11 的输出信号呈低电平时导通，连接输入电源线 10i 和外围电源线 10p 的 P 沟道 MOS 晶体管 12。这些反相器 11 和 MOS 晶体管 12 与图 1 所示的相同。

对输入电源线 10i 还设置接收反相器 11 的输出信号和断电允许信号 PCUTe 的与电路 92；以及与电路 92 的输出信号呈低电平时导通，将外部电源结点连接在输入电源线 10i 上的 P 沟道 MOS 晶体管 93。

模式设定信号 MLV 呈高电平时，指定 LVTTL 模式。在该 LVTTL 模式时，输入电源电压 VDDI 被设定为与外围电源电压 VDDP 电平相同的电压电平，输入电源电压发生电路 5 的工作停止。这时，与非电路 92 的输出信号呈高电平，MOS 晶体管 93 呈非导通状态，供给外部电源电压 EXVDD 的外部电源结点和输入电源线 10I 分离。

另一方面，在设定了 1.8VI/O 模式时，模式设定信号 MLV 呈低电平。在此情况下，MOS 晶体管 12 呈非导通状态，外围电源线 10p 和输入电源线 10i 分离。如果断电允许信号 PCUTe 呈高电平，则与非电路 92 的输出信号呈低电平，MOS 晶体管 93 导通，外部电源结点和输入电源线 10i 连接，输入电源电压 VDDI 变成外部电源电压 EXVDD 电平。

在输入电源电压 VDDI 被设定为 1.8V 的情况下，深度掉电模式时，使该输入电源电压 VDDI 比 1.8V 低，特别是在下降到 N 沟道 MOS 晶体管及 P 沟道 MOS 晶体管的阈值电压的绝对值左右的情况下，CMOS 电路有可能误工作。使用该输入电源电压 VDDI 的输入电路接收来自进行深度掉电模式输入及输出的指示的外部的控制信号（命令）。因此，在根据外部信号不能正确地生成内部信号的情况下，有可能不能正确地解除深度掉电模式。因此，在该深度掉电模式时，将输入电源电压 VDDI 设定为外部电源电压 EXVDD。因此使命令输入电路正确地工作，

解除深度掉电模式。

另外，电源接通时，即使断电允许信号 PCUTe 被错误地设定为激活状态，也能根据外部电源电压 EXVDD 生成输入电源电压 VDDI。因此，外围电路工作，断电允许信号 PCUTe 复位后，能高速地根据该输入电源电压 VDDI 进行输入电路的初始设定。

对阵列电源线 10s 设置：接收断电允许信号 PCUTe 和外部电源电平指定信号 ZCMPE 的门电路 95；门电路 95 的输出信号呈高电平时导通，连接外部电源结点 EXVDD 和阵列电源线 10s 的 N 沟道 MOS 晶体管 96；接收断电允许信号 PCUTe 和外部电源电平指定信号 ZCMPE 的与电路 97；与电路 97 的输出信号呈低电平时导通，连接外部电源结点和阵列电源线 10s 的 N 沟道 MOS 晶体管 98。

N 沟道 MOS 晶体管 98 是阈值电压低的低 Vth 晶体管。

外部电源电压为 3.3V 时，外部电源电平指定信号 ZCMPE 呈低电平，与电路 97 的输出信号被固定在呈低电平，MOS 晶体管 98 呈非导通状态。另一方面，如果断电允许信号 PCUTe 呈高电平，则门电路 95 输出呈低电平的信号，MOS 晶体管 96 呈导通状态。在此情况下，阵列电源电压 VDDS 变成电压 EXVDD－Vthn（96）。这里，Vthn（96）表示 MOS 晶体管 96 的阈值电压。

另一方面，外部电源电压 EXVDD 例如为 2.5V 时，外部电源电平指定信号 ZCMPE 被设定为高电平，门电路 95 的输出信号变成低电平，MOS 晶体管 96 变成非导通状态。另一方面，如果断电允许信号 PCUTe 呈高电平，则与电路 97 的输出信号呈高电平，MOS 晶体管 98 导通。在该状态下，阵列电源电压 VDDS 变成电压 EXVDD－Vth（98）。这里，Vthn（98）表示 MOS 晶体管 98 的阈值电压。

因为外部电源电压 EXVDD 低，所以用低 Vth 晶体管 98，防止阵列电源电压 VDDS 的电压电平过低。因此，深度掉电模式时，在电流路径被阻断的情况下，该深度掉电模式解除时，在该阵列电源电压 VDDS 返回规定的电压（Vrefs）电平之前，能防止使用该阵列电源电压 VDDS 的电路的误工作。

另外，电源接通时即使断电允许信号 PCUTe 错误地被激活，也能按照外部电源电压 EXVDD 驱动阵列电源电压 VDDS，另外，在电压 EXVDD－Vthn（98）的电压电平为外部电源电压 EXVDD 附近的电压电平、断

电允许信号 PCUTe 的非激活转移时，能对使用阵列电源电压的电路进行初始设定。

因此，能降低深度掉电模式时的消费电流，可靠地、正确地进行深度掉电模式的输出，正确地使内部电路工作。另外，电源接通时即使断电允许信号 PCUTe 错误地被激活，也能可靠地根据外部电源电压生成内部电源电压。

另外，与电路 92 及 97、门电路 95、以及反相器 11 用外部电源电压 EXVDD 作为工作电源电压进行工作。

[变更例]

图 12 是简略地表示本发明的实施形态 3 的变更例的图。在图 12 中，对阵列电源线 10s 设置：接收断电允许信号 PCUTe 和外部电源电平指定信号 ZCMPE 的与电路 100；以及与电路 100 的输出信号呈低电平时导通，将阵列电源线 10s 连接在外部电源结点上的 P 沟道 MOS 晶体管 102。与图 11 所示的结构相同，对该阵列电源线 10s 还设置门电路 95 及 N 沟道 MOS 晶体管 96。

在图 12 所示的结构中，外部电源电压 EXVDD 例如为 2.5V 时，外部电源电平指定信号 ZCMPE 被设定为高电平。如果断电允许信号 PCUTe 被激活，则相应地 MOS 晶体管 102 导通，阵列电源电压 VDDS 被设定为外部电源电压 EXVDD 电平。在此情况下，在深度掉电模式时，由于阵列电源电压 VDDS 被设定为比外部电源电压 EXVDD 为 3.3V 时还低的电压电平，所以能获得与前面的图 11 所示的结构相同的效果，深度掉电模式解除时或断电允许信号的非激活转移时，能使利用阵列电源电压的电路正确地而且稳定地工作。

外部电源电平指定信号 ZCMPE 被设定为低电平时，在断电允许信号 PCUTe 被激活时，MOS 晶体管 96 导通，将电压 EXVDD－Vthn（96）传递给阵列电源线 10s。因此，与图 11 所示的结构相同，能将比外部电源电压低的电压供给使用阵列电源电压的电路，能使阵列电源电压系统的电路稳定地工作。

另外，对外围电源线 10p 及输入电源线 10i 设置的结构与图 11 所示的结构相同。

如上所述，如果按照本发明的实施形态 3，则深度掉电模式时，通过将内部电源电压设定为与外部电源电压电平对应的电压电平，在

深度掉电模式解除时，能根据来自外部的深度掉电模式输出命令，使内部电路正确地工作。

另外，外部电源接通时即使断电允许信号 PCUTe 错误地被激活，但如果外部电源电压达到一定的电压电平以上，则能可靠地使断电允许信号 PCUTe 复位，生成内部电源电压。

[实施形态 4]

图 13 是简略地表示本发明的实施形态 4 的电源控制部的结构图。在图 13 中，电源控制部包括：检测外围电源电压 VDDP 的接通的外围电源接通检测电路 110；外围电源接通检测信号/PORP 激活时其内部状态复位，再根据来自外部的命令 CMD，生成断电信号 PCUT 的外围电路 112；将来自外围电路 112 的断电信号 PCUT 变换成呈外部电源电压 EXVDD 的振幅的信号的电平变换电路 114；使电平变换电路 114 的输出信号反相的 CMOS 反相器 116；检测外部电源电压 EXVDD 的接通的外部电源接通检测电路 118；以及接收来自外部电源接通检测电路 118 的外部电源接通检测信号/POREX 和 CMOS 反相器 116 的输出信号，生成断电允许信号 PCUTe 的与电路 120。

外围电路 112 接收外围电源电压 VDDP 作为工作电源电压。CMOS 反相器 116 及与电路 120 接收外部电源电压 EXVDD 作为工作电源电压。

电平变换电路 114 使从外围电路 112 输出的断电信号 PCUT 的逻辑电平反相，而且变换其振幅。

如果外围电源电压 VDDP 达到规定的电压电平以上或稳定在规定的电压电平，则外围电源接通检测电路 110 将外围电源接通检测信号/PORP 设定为高电平。

如果外部电源电压 EXVDD 达到规定的电压电平或稳定在规定的电压电平，则外部电源接通检测电路 118 将外部电源接通检测信号/POREX 设定为高电平。

根据外部电源电压 EXVDD，生成外围电源电压 VDDP。因此，外部电源电压 EXVDD 接通时，由于外围电源电压 VDDP 未达到规定的电压电平，所以从外围电路 112 输出的断电信号 PCUT 的逻辑电平呈不稳定状态。该断电信号 PCUT 的逻辑电平增大，在电平变换电路 114 中，如果其输出信号被驱动成低电平，则 CMOS 反相器 116 的输出信号变成高电平。在此情况下，外部电源接通检测信号/POREX 如果维持低电

平，则来自与电路 120 的断电允许信号 PCUTe 被固定在低电平。因此，断电允许信号 PCUTe 随着外部电源接通时呈不稳定状态的断电信号 PCUT 而被激活，能防止内部电源电压发生电路的内部电压发生工作停止，外部电源电压接通时能稳定地生成包括内部电源电压的内部电压。

即，如图 14 所示，外部电源电压 EXVDD 接通时，外部电源接通检测信号/POREX 在外部电源电压 EXVDD 达到规定的电压电平或稳定之前呈低电平，在此期间，能可靠地将断电允许信号 PCUTe 设定为低电平。

另外，如图 14 所示，外部电源电压 EXVDD 接通后，外围电源电压 VDDP 的电压电平的上升比该外部电源电压 EXVDD 慢(特别是在 3.3V 模式时：外部电源电平指定信号 ZCMPE 被设定为低电平时)。在此情况下，来自外围电源接通检测电路 110 的外围电源接通检测信号/PORP 在外围电源电压 VDDP 稳定之前维持低电平。

该外围电源电压 VDDP 呈不稳定状态时，来自外围电路 112 的断电信号 PCUT 的逻辑电平呈不稳定状态。因此该断电信号 PCUT 的电位电平上升，如果电平变换电路 114 的输出信号呈低电平，则 CMOS 反相器 116 的输出信号变成高电平。因此，在此情况下，外部电源接通检测信号/POREX 呈低电平，来自与电路 120 的断电允许信号 PCUTe 维持低电平，外围电源电压 VDDP 随着外部电源电压 EXVDD 的上升而被驱动到规定的电压电平。该外围电源电压 VDDP 如果达到规定的电压电平，则外围电路 112 的内部状态稳定，该断电信号/PORP 的状态确定，被驱动成接地电压电平（由于外围电源接通检测信号/PORP 呈低电平，所以根据该外围电源接通检测信号/PORP，外围电路 112 的内部状态被可靠地设定为初始状态）。

该外围电源接通检测信号/PORP 上升到高电平后，外部电源接通检测信号/POREX 上升到高电平。因此，断电信号 PCUT 被可靠地设定为低电平后，能将与电路 120 作为缓冲电路工作，能根据来自外部的深度掉电模式指示，将断电允许信号 PCUTe 激活。

另外，外部电源电压 EXVDD 接通后，也可以考虑外围电源电压 VDDP 达到规定电压电平的时间，在适当的时间内规定该外部电源接通检测信号/POREX 的非激活。即外部电源电压 EXVDD 稳定后，如果经过了规

定时间，则将该外部电源接通检测信号/POREX 驱动成高电平。因此，断电信号 PCUT 复位后，通过将外部电源接通检测信号/POREX 驱动成高电平，能可靠地防止电源接通时断电允许信号 PCUTe 被错误地激活。

外部电源接通检测电路 118 及外围电源接通检测电路 110 的结构能利用通常的电源接通检测电路，例如通过用延迟电路延迟其输出信号至高电平的上升时间，能按照规定的时序，将这些电源接通检测信号/PORP 及/POREX 驱动到高电平。

如上所述，如果按照本发明的实施形态 4，则外部电源接通时，用外部电源电压的接通检测信号，将断电允许信号维持在复位状态，电源接通后，能可靠地根据该外部电源电压生成内部电源电压，另外能可靠地用快的时序，将内部电源电压驱动成规定的电压电平。

[实施形态 5]

图 15 是简略地表示本发明的实施形态 5 的模式设定信号发生部的结构之一例图。在图 15 中，模式设定信号发生部包括：使连接在焊接区 130 上的结点 ND20 上的信号反相的反相器 131；使反相器 131 的输出信号反相后生成模式设定信号 MOD 的反相器 132；根据反相器 131 的输出信号，将结点 ND20 耦合在接地结点上的 N 沟道 MOS 晶体管 133；接收断电允许信号 PCUTe 的反相器 134；以及根据反相器 134 的输出信号有选择地导通，导通时将将结点 ND20 耦合在接地结点上的 N 沟道 MOS 晶体管 135。

反相器 131、132 及 134 接收外部电源电压 EXVDD 作为工作电源电压。MOS 晶体管 135 由沟道长度长的 MOS 晶体管构成，沟道电阻等效地增大，其电流驱动力足够小。

模式设定信号 MOD 例如为外部电源电平指定信号 ZCMPE 或模式指定信号 MLV。该模式设定信号 MOD 还可以是设定输入输出数据的位数的字结构指定信号，或者也可以是设定快速循环等的内部工作模式的信号，通过对焊接区 130 的电压设定，其电压电平被固定，是固定地设定内部状态的信号即可。

在该图 15 所示的模式设定信号发生部中，焊接区 130 通过焊丝 137 有选择地连接在外部电源端子 136 上。在焊接区 130 通过焊丝 137 连接在外部电源端子 136 上的情况下，结点 20 的电压电平变成外部电源电压 EXVDD 电平，模式设定信号 MOD 也变成外部电源电压 EXVDD 电

平的信号。在此情况下，反相器 131 的输出信号呈低电平，MOS 晶体管 133 呈非导通状态。

通常工作模式时，断电允许信号 PCUTe 呈低电平，MOS 晶体管 135 维持导通状态。因此，在该状态下，微小电流通过 MOS 晶体管 135 从结点 ND20 流到接地结点。为了使从该结点 ND20 通过 MOS 晶体管 135 流到接地结点的电流量足够小，使该 MOS 晶体管 135 的沟道长度足够长，能使其沟道电阻足够大。

深度掉电模式时，断电允许信号 PCUTe 被设定为高电平，MOS 晶体管 135 呈非导通状态。因此，深度掉电模式时，流过结点 ND20 和接地结点之间的电流的路径被阻断，从外部电源端子 136 通过焊丝 137、焊接区 130、MOS 晶体管 135 流向接地结点的电流路径被阻断，能降低深度掉电模式时的消费电流。

在焊接区 130 呈断开状态的情况下，MOS 晶体管 135 在通常工作模式时呈导通状态，结点 ND20 被固定在接地电压电平。在此情况下，反相器 131 的输出信号变成高电平，MOS 晶体管 133 导通，由反相器 131 及 MOS 晶体管 133 构成锁存电路，结点 ND20 被固定在接地电压电平。

深度掉电模式时，如果断电允许信号 PCUTe 被激活，则 MOS 晶体管 135 呈非导通状态。在该状态下，根据反相器 131 的输出信号，MOS 晶体管 133 呈导通状态，所以结点 ND20 被维持在接地电压电平，模式设定信号 MOD 相应地被维持在低电平。

因此，在该结点 ND20 被设定为断开状态的情况下，通过深度掉电模式时将把结点 ND20 固定在规定电压电平用的 MOS 晶体管 135 设定为非导通状态，在焊接区 130 被耦合在电源端子上的模式时，能降低深度掉电模式时的消费电流。

另外，在焊接区 130 被设定为外部电源电压 EXVDD 电平的情况下，即使在深度掉电模式时，结点 ND20 也呈外部电源电压 EXVDD 电平，模式设定信号 MOD 维持高电平。另外，在焊接区 130 呈断开状态时，利用 MOS 晶体管 133，结点 ND20 呈接地电压电平，模式设定信号 MOD 维持低电平。因此，在深度掉电模式时，也将防止结点 ND20 未接地用的 MOS 晶体管 135 设定为非导通状态，该模式设定信号 MOD 的逻辑电平没有任何变化。

另外，在图 15 所示的结构中，根据连接到焊接区 130 的焊丝 137 的有无，设定模式设定信号 MOD 的逻辑电平。可是，也可以根据能熔断的连接元件的熔断/非熔断，设定该模式设定信号 MOD 的逻辑电平。固定地设定内部结点 ND20 的电压电平，深度掉电模式时将防止该内部结点的未接地状态用的 MOS 晶体管阻断。因此，能降低深度掉电模式时的消费电流。

焊接区 130 在用导线连接在接地端子上的情况下，该未接地防止用的 MOS 晶体管被连接在外部电源结点和结点 ND20 之间。

如上所述，如果按照本发明的实施形态 5，则在固定地设定内部状态设定信号的逻辑电平用的程序电路中，在深度掉电模式时将焊接区未接地防止用的晶体管设定为非导通状态，能降低深度掉电模式时的消费电流。

[实施形态 6]

图 16 是表示本发明的实施形态 6 的阵列有源 VDC4a 的结构图。在图 16 中，阵列有源 VDC4a 包括：电流镜电路的 P 沟道 MOS 晶体管 140 及 141；对阵列电源电压 VDDS 和阵列基准电压 Vrefs 进行比较的构成差动级的 N 沟道 MOS 晶体管 142 及 143；响应被供给控制输入端 AIN 的阵列激活信号 ACT 的激活，将阵列有源 VDC4a 激活的 N 沟道 MOS 晶体管 144；以及根据结点 ND32 的输出信号，将电流从外部电源结点供给阵列电源线 10s 的电流驱动用的 P 沟道 MOS 晶体管 145。

MOS 晶体管 140 及 141 的栅极连接在结点 ND30 上，MOS 晶体管 140 构成电流镜电路的主级。MOS 晶体管 142 及 143 分别在栅极上接收阵列电源电压 VDDS 及阵列基准电压 Vrefs。

阵列有源 VDC4a 还包括过激信号 ZOVR 激活时导通，将阵列电源电压 VDDS 供给结点 ND30 的过激用的 P 沟道 MOS 晶体管 146。过激信号 ZOVR 在读出放大器工作时在规定期间（例如 10ns）被激活。

图 17 是表示图 16 所示的阵列有源 VDC4a 的工作的信号波形图。以下，参照图 17 说明图 16 所示的阵列有源 VDC4a 的工作。

如果指定存储单元选择工作，则阵列激活信号 ACT 被激活。如果该阵列激活信号 ACT 被激活，则阵列有源 VDC4a 被激活，进行阵列电源线 10s 上的阵列电源电压 VDDS 和阵列基准电压 Vrefs 的比较，根据该比较结果，将电流从外部电源结点供给阵列电源线 10s。

进行该比较工作时，阵列基准电压 Vrefs 比阵列电源电压 VDDS 高时，MOS 晶体管 143 的电导比 MOS 晶体管 142 的电导大，使从 MOS 晶体管 141 供给的电流放电，结点 ND32 的电压电平下降，电流驱动晶体管 145 的驱动电流增大，阵列电源电压 VDDS 的电压电平上升。

反之，在阵列电源电压 VDDS 比阵列基准电压 Vrefs 高的情况下，MOS 晶体管 142 的电导比 MOS 晶体管 143 的电导大，驱动电流增大，MOS 晶体管 140 的供给电流相应地增大。MOS 晶体管 143 不能使从 MOS 晶体管 141 供给的电流全部放电，结点 ND32 的电压电平上升。相应地电流驱动晶体管 145 的驱动电流减少、或电流供给停止。

如果该阵列激活信号 ACT 被激活后经过了规定期间，则读出触发信号 SON 被激活，选择存储单元数据的读出工作开始。响应该读出触发信号 SON 的激活，过激信号 ZOVR 被激活规定期间。如果过激信号 ZOVR 被激活，则过激用 MOS 晶体管 146 导通，在规定期间将结点 30 固定在阵列电源电压 VDDS 电平。通过将结点 30 固定在阵列电源电压 VDDS 电平，在阵列有源 VDC4a 的比较电路内，等效地强制地实现阵列电源电压 VDDS 下降的状态，减少 MOS 晶体管 141 的供给电流，降低结点 ND32 的电压电平，增加电流驱动晶体管 145 的供给电流量。

读出放大器响应读出触发信号 SON 的激活而工作，消费阵列电源线 10s 上的阵列电源电压 VDDS，即使在其电压电平下降的情况下，电流驱动晶体管 145 的电流驱动力也增大，能抑制阵列电源电压 VDDS 的下降，能稳定地进行读出工作。

阵列电源电压 VDDS 例如为 1.6V。在外部电源电压 EXVDD 为 2.5V 的情况下，MOS 晶体管 141 的栅－源间的电压为 0.9V，能使该 MOS 晶体管 141 的电流供给量足够小，利用 MOS 晶体管 143 的放电工作，能使结点 ND32 的电压电平足够低。

另一方面，在外部电源电压 EXVDD 为 3.3V 的情况下，MOS 晶体管 141 的栅－源间的电压为－1.7V，该 MOS 晶体管 141 供给比外部电源电压 EXVDD 为 2.5V 时大的电流，抑制结点 ND32 的电压电平过度下降。因此，在外部电源电压 EXVDD 例如为 3.3V 高的情况下，电流被过剩地供给阵列电源线 10s，能抑制该阵列电源电压 VDDS 电平过剩而比规定电压电平高。

图 18 是简略地表示本发明的实施形态 6 的半导体存储装置的行

系统电路的结构图。

在图 18 中，行系统电路包括：接收来自外部的命令 CMD，该命令 CMD 指示行选择时将阵列激活信号 ACT 激活的阵列激活控制电路 150；响应阵列激活信号 ACT 的激活，按照规定的时序生成字线驱动时序信号 RXT 的字线驱动控制电路 152；以及响应字线驱动控制电路 152 的输出信号，经过了规定期间后将读出触发信号 SON 激活的读出控制电路 154。控制电路 150、152 及 154 接收外围电源电压 VDDP 作为工作电源电压。

在半导体装置为与时钟信号同步工作的同步型存储器的情况下，阵列激活控制电路 150 与该时钟信号的例如上升边同步地取入多个外部控制信号，根据这些控制信号的逻辑电平的组合，生成内部工作控制信号。如果阵列激活信号 ACT 被激活，则经过规定时间后，字线驱动控制电路 152 及读出控制电路 154 分别将字线驱动时序信号 RXT 及读出触发信号 SON 激活。如果阵列激活信号 ACT 例如通过施加预充电命令而被非激活，则字线驱动时序信号 RXT 被非激活，其次，读出触发信号 SON 被非激活。

行系统外围电路包括：根据字线驱动时序信号 RXT，将指定了地址的字线 WL 驱动到选择状态的字线选择电路 160；以及根据读出触发信号 SON，生成读出放大激活信号 S1N 并供给读出放大器 SA 的读出放大激活电路 162。外围电源电压 VDDP 及高电压 Vpp 被供给字线选择电路 160，选择字线 WL 被驱动成高电压 Vpp 电平。

读出放大器 SA 包括：由进行交叉耦合的 P 沟道 MOS 晶体管构成的 P 读出放大器；以及由进行交叉耦合的 N 沟道 MOS 晶体管构成的 N 读出放大器。读出放大器 SA 根据该读出放大激活信号 S1N 的激活，N 读出放大器被耦合在地线上，使低电位的位线放电到接地电压电平。

读出放大激活电路 162 还根据读出触发信号 SON，生成激活 P 读出放大器的 P 读出激活信号 SPE，供给读出放大器 SA。P 读出放大器根据该 P 读出放大激活信号 SPE，被耦合在阵列电源线 10s 上，将位线 BL 及 ZBL 的高电位的位线驱动成阵列电源电压 VDDS 电平。因此，该读出放大器 SA 工作时，进行位线 BL 及 ZBL 的充放电，该位线充电时消费阵列电源电压 VDDS。

读出放大器 SA 对应于各存储单元列（位线对）配置，读出工作

时，多个读出放大器 SA 同时进行充放电工作。为了补偿该读出工作时的位线充电电流，如图 16 所示，采用过激用 MOS 晶体管 146，增大阵列有源 VDC4a 的电流驱动力，抑制阵列电源电压 VDDS 的下降。

对该阵列有源 VDC4a 设置过激控制电路 156，该过激控制电路 156 响应读出触发信号 SON 的激活，生成单次过激信号 ZOVR。该过激控制电路 156 接收外部电源电压 EXVDD 作为工作电源电压。

通常，存储单元阵列被分割成多个行块，对包括选择存储单元的行块进行读出工作。根据读出触发信号 SON 对选择行块设置的读出放大器根据读出放大激活信号 S1N 而被激活。

另外，在等待状态时，位线 BL 及 ZBL 利用位线预充电/均衡电路 BPE，预充电到规定的位线预充电电压 Vb1 电平，而且进行均衡。

图 19 是表示图 18 所示的过激控制电路 156 的结构之一例图。在图 19 中，过激控制电路 156 包括：将读出触发信号 SON 的振幅变换成外部电源电压 EXVDD 电平的电平变换电路 156a；使电平变换电路 156a 的输出信号反相，而且延迟规定时间的反相/延迟电路 156b；以及接收反相/延迟电路 156b 的输出信号和电平变换电路 156a 的输出信号，生成过激信号 ZOVR 的与非电路 156c。外部电源电压 EXVDD 作为工作电源电压被供给反相/延迟电路 156b 及与非电路 156c。

电平变换电路 156a 只进行读出触发信号 SON 的振幅变换，不进行逻辑电平的变换。因此，如果读出触发信号 SON 被激活、其电压电平上升，则电平变换电路 156a 的输出信号也上升。反相/延迟电路 156b 例如由奇数级的串联连接的反相器构成，经过规定时间后，根据电平变换电路 156a 的输出信号，将其输出信号驱动成低电平。因此，在该反相/延迟电路 156b 所具有的延迟时间内，与非电路 156c 的两个输入端呈高电平，将该过激信号 XOVR 驱动成低电平。

如果外部电源电压 EXVDD 的电压电平上升，则反相/延迟电路 156b 的延迟时间变短，而且与非电路 156c 的栅极延迟也变短。因此，在外部电源电压 EXVDD 变高的情况下，激信号 XOVR 的激活期间也变短，能使读出过激期间短，在阵列有源 VDC4a 中，能使其电流驱动力大的期间短，阵列电源电压 VDDS 能抑制过度地进行过激，能降低消费电流。

图 20 是表示本发明的实施形态 6 的发生中间电压 Vb1 及 Vcp 的

中间电压电路的结构之一例图。在图 20 中，中间电压发生电路 170 包括对阵列基准电压 Vrefs 进行分压的分压电路；以及根据该分压电路的输出信号，生成中间电压 Vb1 及 Vcp 的输出电路。

分压电路包括：连接在基准电压输入结点 ND 和内部结点 ND41 之间的电阻元件 170a；串联连接在结点 ND41 及 ND42 之间的 MOS 晶体管 170b 及 170c；以及连接在结点 ND42 和接地结点之间的电阻元件 170d。

MOS 晶体管 170b 是 N 沟道 MOS 晶体管，其栅极及漏极连接在结点 ND41 上，以二极管模式工作。MOS 晶体管 170c 是 P 沟道 MOS 晶体管，其栅极及漏极连接在结点 ND42 上，以二极管模式工作。

电阻元件 170a 及 170d 有足够大的电阻值，流过微小电流。因此 MOS 晶体管 170b 及 170c 分别以二极管模式工作，结点 ND41 的电压电平为 Vrefs/2+Vthn，结点 ND42 的电压电平为 Vrefs/2－Vthp。这里，Vthn 表示 MOS 晶体管 170b 的阈值电压，Vthp 表示 MOS 晶体管 170c 的阈值电压的绝对值。

输出电路包括：连接在外部电源结点和输出结点 ND43 之间、而且其栅极连接在结点 ND41 上的 N 沟道 MOS 晶体管 170e；以及连接在结点 ND43 和接地结点之间、而且其栅极连接在结点 ND42 上的 P 沟道 MOS 晶体管 170f。

由于结点 ND41 的电压电平比外部电源电压 EXVDD 低，所以 MOS 晶体管 170e 以源极跟踪模式工作，在结点 ND43 上将阈值电压 Vthn 箝位到比结点 ND41 的电位低的电压电平。另外，MOS 晶体管 170f 的源极电压也是接地电压电平，比其栅极电压低，所以以源极跟踪模式工作，将结点 ND43 的电压 Vthp 箝位到比结点 ND42 的电压高的电压电平。

如果来自 ND 接点 3 的中间电压 Vb1（或 Vcp）比电压 Vrefs/2 低，则 MOS 晶体管 170e 导通，将电流供给结点 ND43。这时，MOS 晶体管 170f 呈非导通状态。如果中间电压 Vb1（或 Vcp）比电压 Vrefs/2 高，则 MOS 晶体管 170e 呈截止状态，另一方面，MOS 晶体管 170f 导通，将电流从结点 ND43 放电到接地结点。因此，该中间电压 Vb1（或 Vcp）维持在 Vrefs/2 的电压电平。这里，假设 MOS 晶体管 170b 及 170e 的阈值电压的大小相等，另外 MOS 晶体管 170c 及 170f 的阈值电压的大小相等。

为了生成该中间电压 Vb1（或 Vcp），由于使用基准电压 Vrefs，所以即使过激阵列电源电压 VDDS，也不受其影响，这些中间电压 Vb1 及 Vcp 的电压电平能维持在 Vrefs/2 的电压电平。因此，读出工作时，能将参照位线的电压电平准确地维持在中间电压 Vrefs/2 的电压电平。

除了过激期间以外，阵列电源电压 VDDS 是该基准电压 Vrefs 的电压电平，在由读出放大器进行的恢复工作时，存储在存储单元中的高电平数据呈电压 Vrefs 电平。因此，等待时，能将位线预充电电压电平准确地维持在存储单元存储数据的中间电压电平，即使采用读出过激方式，也能准确地生成呈中间电压电平的位线预充电电压 Vb1 及单元阳极电压 Vcp。

关于单元阳极电压，存储单元电容器的蓄积电荷量也随着该单元阳极电压而变化（Q = C·(Vcp－V(data))）。

因此，由于根据该阵列基准电压 Vrefs 生成单元阳极电压 Vcp，所以不受读出过激的影响，关于高电平及低电平数据，能使蓄积电荷量的绝对值相等，对于高电平及低电平数据来说，存储单元选择时能使位线上出现的读出电压的绝对值相同，能稳定地进行读出工作。

如上所述，如果按照本发明的实施形态 6，则读出工作时过激阵列电源电压，读出工作时，不消费阵列电源电压，能稳定地将阵列电源电压供给读出放大器。

另外，根据决定阵列电源电压的电压电平的阵列基准电压，生成位线预充电电压及单元阳极电压，根据读出过激方式，即使阵列电源电压被过激、其电压电平上升，也能稳定地维持该位线预充电电压及单元阳极电压的电压电平，能准确地进行位线的预充电，另外对于高电平数据及低电平数据来说，在位线上能生成大小相同的读出电压，能准确地进行读出工作。

[实施形态 7]

图 21 是表示本发明的实施形态 7 的高压发生电路的结构图。如图 18 所示，在选择字线上传递高电压 Vpp。

在图 21 中，高压发生电路包括：根据预充电控制信号 PRE，将电荷供给结点 ND50 的电容元件 180；将结点 ND50 的电压电平从外部电源电压箝位到其阈值电压低的电压 EXVDD－Vthn 的电平的 N 沟道 MOS

晶体管 181；根据结点 ND50 的电压电平有选择地导通，导通时，将外部电源电压 EXVDD 传递给结点 ND53 的 N 沟道 MOS 晶体管 182；根据结点 ND50 的电压电平有选择地导通，导通时，将外部电源电压 EXVDD 传递给结点 ND51 的 N 沟道 MOS 晶体管 183；以及根据输出门控制信号 GATEE，将电荷供给结点 ND51 的电容元件 184。

预充电控制信号 PRE 是振幅呈外部电源电压 EXVDD 电平的信号，输出门控制信号 GATEE 有振幅呈高电压 Vpp 或 2 · VDDS 的振幅 Vg。因此结点 ND51 上的电压 GATE 在电压 Vg+EXVDD 和外部电源电压 EXVDD 之间变化。结点 ND50 利用 MOS 晶体管 181，其电压的下限电平被箝位到 EXVDD－Vthn，MOS 晶体管 182 及 183 导通时，分别传递外部电源电压 EXVDD。

高压发生电路还包括：泵控制信号 ZPUMP 呈低电平时导通，将外部电源电压 EXVDD 传递给结点 ND52 的 P 沟道 MOS 晶体管 185；泵控制信号 ZPUMP 呈高电平时导通，将结点 ND54 的电压 VBTB 传递给结点 ND52 的 N 沟道 MOS 晶体管 186；根据负升压控制信号 ZVBTB，从结点 ND54 取出电荷的电容元件 187；根据负升压预充电控制信号 ZPREB，从结点 ND55 取出电荷的电容元件 188；将结点 ND55 的上限电压箝位到电压 Vthp 电平的 P 沟道 MOS 晶体管 189；以及根据结点 ND55 上的电压，将结点 ND54 预充电到接地电压电平的 P 沟道 MOS 晶体管 190。

泵控制信号 ZPUMP 是振幅呈外部电源电压 EXVDD 电平的信号。负升压控制信号 ZVBTB 是振幅呈外部电源电压 EXVDD 的信号。负升压预充电控制信号 ZPREB 是振幅呈外部电源电压 EXVDD 电平的信号。

电容元件 187 由 P 沟道 MOS 晶体管构成，其反向栅极、源极及漏极共同连接，接收负升压控制信号 ZVBTB，其栅极连接在结点 ND54 上。如后面所述，结点 ND54 被驱动成负电压电平，所以通过将结点 ND54 连接在其电容元件 187 的栅极上，防止电荷流过构成电容元件 187 的 MOS 晶体管的衬底区域。

高压发生电路还包括：根据结点 ND54 的电压电平，对结点 ND53 进行电荷的供给/取出的电容元件 191；以及根据结点 ND51 上的电压 GATE 有选择地导通，导通时，将电荷从结点 ND53 供给输出结点，生成高电压 Vpp 的 N 沟道 MOS 晶体管 192。

电容元件 191 由 P 沟道 MOS 晶体管构成，其栅极连接在结点 ND52

上，反向栅极、源极及漏极共同连接在结点 ND53 上。在该电容元件 191 中，结点 ND52 被驱动成负电压，所以电容元件 191 的栅极连接在结点 ND52 上，反向栅极、源极及漏极连接在结点 ND53 上。通过在栅极上接收负电压，防止电荷流入衬底区域。

图 22 是表示图 21 所示的高压发生电路的工作的信号波形图。以下参照图 22，说明图 21 所示的高压发生电路的工作。

在时刻 t0 之前，负升压控制信号 ZVBTB 呈高电平，另外负升压预充电控制信号 ZPREB 呈接地电压电平。在该状态下，结点 ND55 呈 Vthp－EXVDD 电平，MOS 晶体管 190 导通，结点 ND54 被预充电到接地电压电平。负升压预充电控制信号 ZPREB 上升到高电平，如果结点 ND55 的电压电平上升到 MOS 晶体管 198 的阈值电压 Vthp，则 MOS 晶体管 190 呈非导通状态，结点 ND54 的预充电工作结束。

其次，在时刻 t0，如果负升压控制信号 ZVBTB 被驱动成接地电压电平，则通过电容元件 187 的电容耦合，结点 ND54 的电压 VBTB 下降到负电压－Vb 电平。该结点 ND54 的电压电平下降时，即使控制信号 ZPUMP 呈接地电压电平，但由于 MOS 晶体管 186 导通，所以通过电容元件 187 及 191 的电容值 C1 及 C2 的电容分割，供给结点 ND54 的电压 VBTB 的到达电压电平。即，用下式表示电压 Vb。

$$Vb = C1 \cdot EXVDD/(C1+C2) - L1s$$

这里，L1s 表示耦合损失。另外，电容值 C1 及 C2 的值相等，在没有耦合损失的情况下，结点 ND50 的电压 VBTB 到达－EXVDD/2 的电压电平。

其次，在时刻 t1，预充电控制信号 PRE 上升到外部电源电压 EXVDD 电平，通过电容元件 180 的电容耦合，结点 ND50 的电压电平上升到 2·EXVDD－Vthn 的电压电平（这里假定没有耦合损失）。根据该结点 ND50 的电压电平的上升，MOS 晶体管 182 及 183 导通，结点 ND53 的电压电平呈外部电源电压 EXVDD 电平，另外，结点 ND51 的电压 GATE 的电压电平被预充电到外部电源电压 EXVDD 电平。

在时刻 t1b，如果预充电控制信号 PRE 下降到接地电压电平，则结点 ND50 的电压电平下降，通过 MOS 晶体管 181 的箝位工作，结点 ND50 的电压电平呈 EXVDD－Vthn 电平，MOS 晶体管 182 及 183 呈非导通状态。

在时刻 t2，使负上压预充电控制信号 ZPREB 下降到接地电压电平，另外几乎同时在时刻 t3，使负升压控制信号 ZVBTB 上升到外部电源电压 EXVDD 电平。通过电容元件 188 的电容耦合，MOS 晶体管 190 导通，结点 ND54 上的电压 VBTB 被预充电到接地电压电平。在该状态下，在时刻 t0，泵控制信号 ZPUMP 被驱动成外部电源电压 EXVDD 电平，MOS 晶体管 186 呈导通状态。因此，如果该结点 ND54 的电压 VBTB 上升到接地电压电平，则结点 ND52 的电压电平也相应地上升，通过电容元件 191 的电容耦合，结点 ND53 的电压电平上升，变成电压 EXVDD+Vb 电平。

在时刻 t4，如果使泵控制信号 ZPUMP 从外部电源电压 EXVDD 下降到接地电压电平，则 MOS 晶体管 185 导通，另一方面，MOS 晶体管 186 呈非导通状态，结点 ND52 的电压电平从接地电压电平上升到外部电源电压 EXVDD 电平。因此，通过电容元件 191 的电容耦合，结点 ND53 的电压电平再上升 EXVDD，变成 2 · EXVDD+Vb 电压电平。

其次，在时刻 t5，如果输出门控制信号 GATEE 上升到高电压 Vg 电平，则结点 ND51 的电压 GATE 从外部电源电压 EXVDD 通过电容元件 184 的电容耦合而上升到电压 Vg+EXVDD 电平。电压 Vg 呈 2 · VDDS 或高电压 Vpp 附近的电压电平，MOS 晶体管 192 导通，蓄积在结点 ND53 上的电荷被传递给输出结点，高电压 Vpp 的电压电平上升。

在时刻 t6，如果输出门控制信号 GATEE 下降到接地电压电平，则结点 ND51 的电压电平通过电容元件 184 的电容耦合而下降。在该时刻 t6 之后的时刻 t7，预充电控制信号 PRE 再次上升到外部电源电压 EXVDD 电平，结点 ND51 及 53 分别被预充电到外部电源电压 EXVDD 电平。

另一方面，在时刻 t2，结点 ND50 的电压 VBTB 被预充电到接地电压电平，准备下一次的升压工作。以后，通过反复进行从时刻 t0 开始的工作，使高电压 Vpp 的电压电平上升。高电压 Vpp 的最高到达电压电平随着外部电源电压 EXVDD、阵列电源电压 VDDS 及 MOS 晶体管 192 的阈值电压的不同而不同。在电压 GATE 的最高电压电平比 2 · EXVDD+Vb+Vthn 高的情况下，高电压 Vpp 最大能达到 2 · EXVDD+Vb 电压电平。

如该图 21 所示，通过利用泵工作将电荷传递给结点 ND53 的电容

元件 191 进行的使结点的最低电压升压到负电压电平，能将结点 ND53 的电压电平提高该负的升压电压 Vb，在 C1 = C2 的情况下，能理想地上升到 2.5 · EXVDD 电压电平。因此，即使利用外部电源电压 EXVDD 的标准值的下限电压电平进行工作，也能充分地提高高电压 Vpp 的电压电平。

图 23 是简略地表示电容元件 187 及 191 的剖面结构图。该电容元件 187 及 191 有相同的结构，所以在图 23 中，示出了电容元件 187 的剖面结构。

在图 23 中，在 P 型衬底区域 200 的表面上形成的 N 阱 202 内形成电容元件 187。P 型衬底区域 200 被偏压到接地电压电平。

电容元件 187 包括：在 N 阱 202 的表面上相间地形成的 P 型杂质区域 203a 及 203b；在这些杂质区域 203a 及 203b 之间的沟道形成区域上通过图中未示出的栅极绝缘膜形成的栅极 203；以及在 N 阱 202 的表面上形成的 N 阱杂质区域 204。这些杂质区域 203a、203b 及 204 互相连接，共同接收负升压控制信号 ZVBTB。栅极 203 连接在图 21 所示的结点 ND50 上，接收电压 VBTB。

如该图 23 所示，在电容元件 187 中，即使电压 VBTB 低于负电压 - Vb，但杂质区域 203a、203b 及 204 都呈接地电压电平。P 型衬底区域 200 被偏压到接地电压电平，该 P 型衬底区域 200 及 N 阱 202 之间的 PN 结呈非导通状态。因此，能防止电荷从 N 阱 202 流到 P 型衬底区域 200。

在高压发生电路中，即使在内部结点升压到负电压电平的情况下，只通过在形成 P 沟道 MOS 晶体管的 P 型衬底区域 200 内将 N 阱 202 分离，形成通常结构的 MOS 晶体管，能作为负电压升压电容利用。

另外，高电压 Vpp 通常被设定为 1.5 · VDDS 电压电平。

图 24 是表示输出门控制信号 GATEE 发生部的结构之一例图。在图 24 中，输出门控制信号发生部包括：导通时将外部电源电压 EXVDD 传递给结点 ND60 的 N 沟道 MOS 晶体管 211；将 MOS 晶体管 211 的栅极的下限电压箝位到 EXVDD - Vthn 电平的 N 沟道 MOS 晶体管 212；根据控制信号 GAT0，将电荷供给 MOS 晶体管 211 的栅极的电容元件 210；根据控制信号 GAT1，将电荷供给结点 ND60 的电容元件 213；控制信号 GAT2 呈低电平时导通，将结点 ND60 的电压传递给输出结点，生成

输出门控制信号 GATEE 的 P 沟道 MOS 晶体管 214；以及控制信号 GAT2 呈高电平时导通，将输出门控制信号 GATEE 驱动成接地电压电平的 N 沟道 MOS 晶体管 215。控制信号 GAT0－GAT2 的振幅为外部电源电压 EXVDD 电平。

图 25 是表示图 24 所示的输出门控制信号发生部的工作的信号波形图。以下，参照图 25 说明图 24 所示的门控制信号发生电路的工作。

控制信号 GAT1 从外部电源电压 EXVDD 下降到接地电压电平。这时，控制信号 GAT0 呈接地电压电平，MOS 晶体管 211 的栅极电位为电压 EXVDD－Vthn 电平。随着控制信号 GAT1 的电压电平的下降，结点 ND60 的电压电平下降。控制信号 GAT2 的电压电平几乎与该控制信号 GAT1 的下降的同时上升到外部电源电压 EXVDD 电平，MOS 晶体管 215 呈导通状态，输出门控制信号 GATEE 被驱动成接地电压电平。这时，结点 ND60 的电压电平为最大外部电源电压 EXVDD 电平，MOS 晶体管 214 维持非导通状态。

接着，控制信号 GAT0 上升到电源电压 EXVDD，MOS 晶体管 211 导通，结点 ND60 的电压电平被预充电到外部电源电压 EXVDD 电平。

如果控制信号 GAT0 下降到接地电压电平，则 MOS 晶体管 211 的源极及漏极电压变得比其栅极电压高，MOS 晶体管 211 呈非导通状态。

接着，在规定的时刻，控制信号 GAT1 上升到外部电源电压 EXVDD 电平，结点 ND60 的电压电平上升到 2·EXVDD 电平。几乎与该控制信号 GAT1 上升的同时，控制信号 GAT2 下降到接地电压电平，MOS 晶体管 214 导通，而 MOS 晶体管 215 呈非导通状态，输出门控制信号 GATEE 的电压电平上升到结点 ND60 上的电压电平、即电压 2·EXVDD 电平。

以后，通过反复进行该工作，能生成振幅为 2·EXVDD 电平的输出门控制信号 GATEE。控制信号 GAT1 及 GAT2 由互相相辅的控制信号构成，通过用几乎与输出门控制信号 GATEE 相同的信号波形驱动控制信号 GAT1，能根据振幅为外部电源电压 EXVDD 电平的控制信号，生成振幅为 2·EXVDD 电平的输出门控制信号 GATEE。

另外，设有该输出门控制信号 GATEE 专用的升压电路，用该专用的升压电路的输出电压，对振幅呈外部电源电压 EXVDD 电平的输出门控制信号 GATEE 进行电平变换，也可以生成输出门控制信号 GATEE。

[变更例]

图 26 是表示本发明的实施形态 7 的高压发生电路的变更例的结构图。在图 26 所示的结构中，电容元件 187 的主电极连接在结点 ND53 上，生压控制信号 ZVBTB 由 CMOS 反相器 220 供给电容元件 187 的另一电极。该 CMOS 反相器 220 将与泵控制信号 ZPUMP 同相的控制信号 ZPUMPA 反相，生成负升压控制信号 ZVBTB。

另外，驱动电容元件 191 的一个电极结点电位的 MOS 晶体管 186 的源极结点被耦合在接地结点上。驱动结点 ND51 及 ND53 的电路部分与图 21 所示的高压发生电路的结构相同，对应的部分标以同一参照编号，其详细说明从略。

在该图 26 所示的高压发生电路中，对结点 ND53 并联地设置电容元件 187 及 191。因此，电荷通过两个电容元件 187 及 191 被供给该结点 ND53。因此，结点 ND53 对振幅为 2 · EXVDD 的输出结点的电荷供给力增大，能快速且稳定地生成高电压 Vpp。

另外，在图 26 所示的结构中，与双升压时相同，电容元件 191 的栅极连接在结点 ND52 上。可是，在单升压时，结点 ND52 只在接地电压和电源电压 EXVDD 之间变化，不被驱动成负电位。因此，也可以将电容元件 191 的栅极连接在结点 ND53 上，将源/漏/衬底区域连接在结点 ND52 上。在该配置的情况下，电容元件 191 的栅极电容和电容元件 187 的栅极电容连接在结点 ND53 上。因此，与电容元件 191 的衬底区域等的寄生电容连接在结点 ND53 上的结构相比，能降低结点 ND53 的寄生电容，能提高结点 ND52 和结点 ND53 之间的耦合系数，能改善泵效率。

如上所述，如果按照本发明的实施形态 7，则将内部结点升压到负电压，然后将内部结点驱动成外部电源电压电平，能将内部结点的最大电压振幅设定为 2 · EXVDD+0.5 · EXVDD，外部电源电压 EXVDD 即使下降到下限电平，也能稳定地生成呈规定的电压电平的高电压 Vpp。

[实施形态 8]

图 27 是简略地表示本发明的实施形态 8 的高压发生电路的结构图。在图 27 中，为了将内部结点 ND53 的振幅设定为 2 · EXVDD 及 2.5 · EXVDD 两者中的某一者而使用屏蔽金属布线。

即，在将内部结点 ND53 的电压电平设定成振幅为 2.5 · EXVDD 的情况下，有必要采用双升压型。在此情况下，配置屏蔽金属布线 235a、

235b、以及 242。因此，电容元件 187 连接在 MOS 晶体管 186 的源极结点上，另外在其另一个电极上通过屏蔽金属布线 242 接收偏压升压信号 ZVBTB。另外，MOS 晶体管 190 的漏极结点通过屏蔽金属布线 235a，被耦合在 MOS 晶体管 186 的源极结点上。因此，能实现与图 21 所示的结构相同的双升压型高压发生电路。

另一方面，在将结点 ND53 的电压振幅设定为 2 · EXVDD 的情况下，指定单升压结构。在此情况下，配置金属屏蔽布线 240a、240b、以及 237。因此，在此情况下，泵控制信号 ZPUMPA 通过反相器 220 供给电容元件 187，另外电容元件 187 的电极不用 MOS 晶体管 186、而是通过屏蔽金属布线 240a 连接在结点 ND53 上。

另外，MOS 晶体管 186 的源极结点通过屏蔽金属布线 240c 连接在接地结点上，另外 MOS 晶体管 190 的漏极结点通过屏蔽金属布线 240b 连接在接地结点上。负电压升压预充电控制信号 ZPREB 在单升压模式时被固定在低电平。

因此在此情况下，由电容元件 191 及 187 并联地驱动结点 ND53，能实现单升压型的内部电压发生电路。

因此，通过主工序作成同一电路结构，然后，对应于电源电压 EXVDD 的电压电平，通过切片工序有选择地配置屏蔽金属布线，能有选择地形成双升压型及单升压型的内部高压发生电路。

另外，在图 27 所示的结构中，电容元件 191 的栅极连接在 ND52 上，而且衬底区域及杂质区域（源/漏区）连接在结点 ND53 上。因此，在单升压时，在使电容元件 191 的连接方向相反的情况下，对应于单升压型/双升压型，用布线切换电容元件 191 的栅极和衬底区域/杂质区域的连接端。

在图 21 及图 26 所示的结构中，电压发生部包括生成电压 GATE 及结点 ND53 的预充电电压的电路部分，示出了根据预充电控制信号 PRE 及输出门控制信号 GATEE 工作的电路部分。

[变更例 1]

图 28 是表示本发明的实施形态 8 的变更例的结构图。在图 28 中，金属开关 250 配置在 MOS 晶体管 186 的源极结点上，金属开关 251 配置在 MOS 晶体管 190 的漏极结点上，对结点 ND53 配置金属开关 253。另外，金属开关 252 配置在电容元件 187 的电极结点上。在切片工序

中用金属布线设定这些金属开关 250－253 的连接路径。

在双升压方式的情况下，金属开关 250 将布线 245 和电容元件 187 的栅极连接在 MOS 晶体管 186 的源极结点上。金属开关 251 将 MOS 晶体管 190 的漏极结点连接在布线 245 上。金属开关 253 将接地结点连接在布线 247 上。金属开关 252 将负电压生压控制信号 ZVBTB 耦合在电容元件 187 的源/漏/衬底区域上。

在单升压结构时，金属开关 250 将接地结点连接在 MOS 晶体管 186 的源极结点上，另外将电容元件 187 的栅极连接在布线 245 上。金属开关 251 将布线 245 连接在布线 247 上，而且将 MOS 晶体管 190 的漏极结点耦合在接地结点上。金属开关 253 将布线 247 连接在结点 ND53 上。金属开关 252 将反相器 220 的输出信号连接在电容元件 187 的源/漏/反向栅极结点上。

因此，通过在切片工序中用金属布线设定这些金属开关 250－253 的连接路径，能对应于外部电源电压 EXVDD 电压电平，实现双升压结构的高压发生电路及单升压结构的高压发生电路。

另外，在该图 28 所示的结构中，在单升压型及双升压型两者中不能变更电容元件 191 的连接。可是，在单升压型的情况下，在将电容元件 191 的栅极连接在结点 ND53 上的情况下，配置对电容元件 191 的栅极及衬底区域/杂质区域切换连接端用的金属开关。

另外，在图 28 所示的结构中，示出了电压发生部 230 根据预充电控制信号 PRE 及输出门控制信号 GATEE，生成结点 ND53 的电压及电压 GATE 的电路部分。

[变更例 2]

图 29 是简略地表示本发明的实施形态 8 的变更例 2 的结构图。在图 29 中，示出了对结点 ND53 的电压电平进行预充电的电压发生部的结构。

在图 29 中，高压发生电路包括：连接在 MOS 晶体管 186 的源极结点和接地结点之间、而且在其栅极上接收控制信号 CTL1 的 N 沟道 MOS 晶体管 260；连接在结点 ND60 和结点 ND61 之间、而且在其栅极上接收控制信号 CTL2 的 N 沟道 MOS 晶体管 261；连接在结点 ND61 和结点 ND62 之间、而且其栅极连接在接地结点上的 P 沟道 MOS 晶体管 262；连接在结点 ND62 和接地结点之间、而且在其栅极上接收控制信号 CTL3

的 N 沟道 MOS 晶体管 263；连接在结点 ND62 和结点 ND53 之间的 P 沟道 MOS 晶体管 264；根据控制信号 CTL4，将 MOS 晶体管 264 的栅极耦合在结点 ND53 上的 P 沟道 MOS 晶体管 265；以及根据控制信号 CTL5，将 MOS 晶体管 264 的栅极耦合在接地结点上的 N 沟道 MOS 晶体管 266。

接收负电压生压控制信号 ZVBTB 和反相器 220 的输出信号的 OR 电路 270 的输出信号被供给电容元件 187 的电极结点。

在双升压结构时，控制信号 CTL1 被设定为负电压 VBB 电平，控制信号 CTL2 被设定为外部电源电压。另外，控制信号 CTL3 被设定为高电平（外部电源电压电平）。因此，MOS 晶体管 260 呈非导通状态，MOS 晶体管 263 呈导通状态，结点 ND62 被固定在接地电压电平。

另外，控制信号 CTL4 及 CTL5 被设定为低电平，MOS 晶体管 265 呈导通状态，MOS 晶体管 266 呈截止状态，MOS 晶体管 264 的栅极连接在结点 ND53 上。

在双升压结构时，结点 ND61 在负电压－Vb 和接地电压电平之间变化。因此，MOS 晶体管 262 在结点 ND61 的电压电平高于其阈值电压以上时呈导通状态，所以在该双升压结构时，MOS 晶体管 262 维持非导通状态。另一方面，MOS 晶体管 261 呈导通状态，另外由于该控制信号 CTL2 维持在外部电源电压 EXVDD 电平，所以结点 ND61 的电压能被正确地传递给结点 ND60。

在双升压结构时，结点 ND53 在外部电源电压 EXVDD 和 2.5·EXVDD 之间变化。因此，由于结点 ND62 维持在接地电压电平，所以 MOS 晶体管 264 经常维持非导通状态。

在双升压模式时，泵控制信号 ZPUMPA 被固定在高电平，反相器 220 的输出信号呈低电平。相应地，OR 电路 270 作为缓冲电路工作，根据负电压生压控制信号 ZVBTB，驱动电容元件 187。

另一方面，在单升压结构时，控制信号 CTL1 被设定为外部电源电压电平，MOS 晶体管 260 被设定为导通状态。另外控制信号 CTL2 被维持在接地电压电平，MOS 晶体管 261 呈非导通状态。同样，控制信号 CTL3 被维持在接地电压电平，MOS 晶体管 263 呈截止状态。因此，在单升压模式时，结点 ND60 被固定在接地电压电平。

在单升压结构时，负电压生压控制信号 ZVBTB 被固定在低电平，OR 电路 270 根据反相器 220 的输出信号，驱动电容元件 187。因此结

点 ND61 在接地电压和外部电源电压 EXVDD 之间变化，MOS 晶体管 262 导通，将外部电源电压 EXVDD 的振幅信号传递给结点 ND62。

另外，在单升压模式时，控制信号 CTL4 被设定为高电压电平的高电平，MOS 晶体管 265 呈截止状态，另一方面，控制信号 CTL5 被设定为外部电源电压电平，MOS 晶体管 266 呈导通状态，MOS 晶体管 264 的栅极被固定在接地电压电平。因此在此情况下，结点 ND62 上的外部电源电压 EXVDD 电平的振幅信号通过 MOS 晶体管 264 被传递给结点 ND53。因此，结点 ND53 的电压电平能在外部电源电压 EXVDD 和 2 ·EXVDD 电压电平之间变化。

结点 ND53 的预充电电压电平为外部电源电压 EXVDD 电平，结点 ND61 的预充电电压也能通过 MOS 晶体管 264 及 262 设定为外部电源电压 EXVDD 电平，利用电容元件 187 的充电泵作用，能使结点 ND61 在外部电源电压 EXVDD 和 2 · EXVDD 之间变化。

另外，在以上的说明中，没有特别说明电容元件 191 的连接方向。在按照单升压型和双升压型切换电容元件 191 的连接方向的情况下，同样，根据控制信号切换连接端。在此情况下，利用泵工作通过电容元件 191 传输电荷，所以能防止晶体管开关电路中的电荷损失，所以也可以用金属布线进行电容元件 191 的连接端的切换。

另外，为了连接端的切换，CMOS 传输门也可以作为开关电路用。在电容元件 191 的连接端的切换中使用开关电路的情况下，在双升压结构中结点 ND52 被驱动成负电压，所以对连接在该结点 ND52 上的开关电路来说，作为控制信号与控制信号 CTL1 相同，有必要利用进行负电压电平变换的控制信号。对于连接结点 ND53 用的开关电路来说，作为控制信号，与控制信号 CTL4 相同，使用呈高电压 VP 电平的信号。因此，能对应于泵电路的结构，切换电容元件 191 的连接端。

图 30 是简略地表示图 29 所示的发生控制信号的部分的结构之一例图。在图 30 中，控制信号发生部包括：双升压指示信号 DBLE 激活时被激活，发生负电压 VBB 的负电压发生电路 300；接收外部电源电压 EXVDD 及负电压 VBB 作为工作电源电压，对双升压指示信号 DBLE 进行变换，生成控制信号 CTL1 的电平变换电路 302；双升压指示信号 DBLE 非激活时被激活，激活时生成高电压 VP 的高电压发生电路 304；接收来自高电压发生电路 304 的高电压 VP 和接地电压作为工作电源

电压，进行双升压指示信号 DBLE 的电平变换，生成控制信号 CTL4 的电平变换电路 306；以及使双升压指示信号 DBLE 反相后生成控制信号 CTL5 的反相器 308。

根据双升压指示信号 DBLE，生成控制信号 CTL2 及 CTL3。

由金属布线、焊接区的电压固定、或模式指定信号，决定双升压指示信号 DBLE 的逻辑电平。作为一例，在双升压模式设定时，双升压指示信号 DBLE 被设定为高电平，在单升压模式设定时，被设定为低电平。

负电压发生电路 300 在指定了双升压结构时生成负电压 VBB。该负电压 VBB 是图 21 所示的结点 ND54 的电压 VBTB 的负电压－Vb 以下的电压电平。负电压发生电路 300 非激活时输出接地电压。

电平变换电路 302 根据双升压指示信号 DBLE，生成控制信号 CTL1。如果指定了双升压结构时，控制信号 CTL1 被设定为负电压 VBB 电平，在指定了单升压结构时，被固定在高电平（外部电源电压 EXVDD 电平）。电平变换电路 302 用众所周知的电路结构构成，例如在图 13 所示的电平变换电路 114 中，通过使电源结点的电压极性及 MOS 晶体管的极性全部相反就能实现。

在指定了单升压结构时，控制信号 CTL2 及 CTL3 呈低电平（接地电压电平），在指定了双升压结构时，呈高电平。

高压发生电路 304 在单升压结构时被激活，生成高电压 VP。该高电压 VP 呈 2·EXVDD 以上的电压电平。高压发生电路 304 非激活时输出呈外部电源电压 EXVDD 电平的电压。

电平变换电路 306 将双升压指示信号 DBLE 反相，而且将其输出信号的高电平设定为高电压 VP 电平。因此，在单升压结构时，控制信号 CTL4 呈电压 VP 电平，在双升压结构时，呈接地电压电平的低电平。

反相器 308 接收外部电源电压作为工作电源电压，使双升压指示信号 DBLE 反相，生成控制信号 CTL5。因此控制信号 CTL5 在双升压结构时呈低电平，在单升压结构时呈高电平。

另外，负电压发生电路 300 及高电压发生电路 304 分别由利用电容器的充电泵作用的充电泵电路构成。

图 31 是简略地表示图 30 所示的负电压发生电路 300 的结构之一

例图。在图 31 中，负电压发生电路 300 包括：激活时，利用电容器的充电泵作用，在输出结点 ND70 上生成负电压 VBB 的充电泵电路 300a；对双升压指示信号 DBLE 的电平进行变换的电平变换电路 300b；以及根据电平变换电路 300b 的输出信号，有选择地导通，导通时将结点 ND70 耦合在接地结点上的 N 沟道 MOS 晶体管 300c。

充电泵电路 300a 在双升压指示信号 DBLE 呈高电平激活时，根据来自图中未示出的时钟控制信号发生电路的时钟控制信号，进行充电泵工作，在结点 ND70 上生成负电压。在此情况下，双升压指示信号 DBLE 呈高电平时，电平变换电路 300b 的输出信号呈输出结点 ND70 的电压电平，MOS 晶体管 300c 维持非导通状态。因此，随着充电泵工作，生成来自充电泵电路 300a 的负电压 VBB。

另一方面，双升压指示信号 DBLE 呈低电平时，电平变换电路 300b 的输出信号呈外部电源电压 EXVDD 电平，MOS 晶体管 300c 呈导通状态，结点 ND70 被固定在接地电压电平。充电泵电路 300a 在双升压指示信号 DBLE 呈低电平时停止充电泵工作。因此，来自该输出结点 ND70 的负电压 VBB 呈接地电压电平。

另外，也可以利用该图 31 所示的电平变换电路 300b 作为图 30 所示的电平变换电路 302。在此情况下，电平变换电路 300b 的输出信号相当于控制信号 CTL1。

图 32 是表示图 30 所示的高压发生电路 304 的结构之一例图。在图 32 中，高压发生电路 304 包括：激活时，利用电容器的充电泵作用，在结点 ND72 上生成高电压 VP 的充电泵电路 304a；使双升压指示信号 DBLE 反相，而且单升压结构时变换起电平的电平变换电路 304b；根据电平变换电路 304b 的输出信号，将结点 ND72 设定为外部电源电压 EXVDD 电平的 P 沟道 MOS 晶体管 304c。

充电泵电路 304a 在双升压指示信号 DBLE 呈低电平、表示单升压结构时进行充电泵工作，在输出结点 ND72 上生成高电压 VP。在该单升压结构时，电平变换电路 304b 的输出信号呈结点 ND72 上的电压 VP 电平，MOS 晶体管 304c 呈非导通状态。因此，在结点 ND72 上被设定为该充电泵电路 304a 生成的呈高电压的电压电平。另一方面，在双升压结构时，双升压指示信号 DBLE 呈高电平，该电平变换电路 304b 的输出信号呈低电平（接地电压电平），MOS 晶体管 304c 导通，将外

部电源电压 EXVDD 传递给结点 ND72。充电泵电路 304a 在双升压结构时不进行充电泵工作。因此，该结点 ND72 上的高电压 VP 在双升压结构时变成外部电源电压 EXVDD 电平。

另外，在该图 32 所示的高压发生电路 304 的结构中，电平变换电路 304b 也可以作为生成控制信号 CTL4 的电平变换电路 306 用。从电平变换电路 304b 供给 MOS 晶体管 304c 的栅极的信号被作为控制信号 CTL4 用。

另外，关于图 29 所示的控制信号 ZVBTB 及 ZPNPA 的状态，也可以根据双升压指示信号 DBLE 设定其状态。例如，将取得了双升压指示信号 DBLE 和控制信号 ZVBTB 的与的信号作为负电压生压控制信号 ZVBTB 利用。另一方面，根据取得了双升压指示信号 DBLE 和泵控制信号 ZPNPA 的 OR 的信号，生成泵控制信号 ZPNPA。

如上所述，如果按照本发明的实施形态 8，则在外部电源电压的电压电平低的情况下，分成两个阶段进行电容器的充电泵工作，增大内部结点的输出电压振幅，在外部电源电压高的情况下，并行地使该电容器同时工作，蓄积电荷，能根据外部电源电压有效地生成呈必要的电压电平的高电压。

[实施形态 9]

图 33 是简略地表示本发明的实施形态 9 的高压发生电路的控制部的结构图。在图 33 中，高电压发生控制部包括：对高电压 Vpp 进行分压，生成分电压 VPDIV 的分压电路 400；对分电压 VPDIV 和基准电压 Vrefd 进行比较的比较电路 402；根据比较电路 402 的输出信号和分电压 VPDIV，生成电平检测信号 DETN 的偏压补偿电路 404；响应电平检测信号 DETN，有选择地被激活，激活时按照规定的周期进行振荡工作，生成泵时钟信号 PCLK 的环形振荡器 406；以及将泵时钟信号 PCLK 作为基本时序信号，生成泵控制信号 PRE、GATEE、ZPNP 等的控制信号发生电路 408。

来自该控制信号发生电路 408 的泵控制信号 PRE 等被供给前面的实施形态 7 及 8 所示的高压发生电路。

分压电路 400 包括串联连接在高压输入结点和接地结点之间的电阻元件 400a 及 400b。该分压电路 400 的分压比被设定为 0.43，分电压 VPDIV 被设定为比高电压 Vpp 的 1/2 电压电平低的电压电平。

比较电路 402 包括：构成对分电压 VPDIV 和基准电压 Vrefd 进行比较的差动级的 N 沟道 MOS 晶体管 NQ1 及 NQ2；构成将电流供给这些 MOS 晶体管 NQ1 及 NQ2 的电流镜像级的 P 沟道 MOS 晶体管 PQ1 及 PQ2；以及供给该比较电路工作电流的 MOS 晶体管 NQ3。

MOS 晶体管 PQ1 构成电流镜像级的主级，流过 MOS 晶体管 PQ1 的电流的镜像电流流过 MOS 晶体管 PQ2。

激活信号 EN 被供给该比较电路 402 的电流源晶体管 NQ3 的栅极。该激活信号 EN 也可以是阵列激活信号，还可以是断电允许信号的反相信号。

在该比较电路 402 中，在分电压 VPDIV 比基准电压 Vrefd 高的情况下，比较电路 402 的输出信号呈高电平，另一方面，在分电压 VPDIV 比基准电压 Vrefd 低的情况下，比较电路 402 的输出信号呈低电平。

偏压补偿电路 404 包括：在栅极上接收比较电路 402 的输出信号，该比较电路 402 的输出信号呈高电平时，将电平检测信号 DATN 驱动成高电平的 P 沟道 MOS 晶体管 PQ3；以及在栅极上接收分电压 VPDIV，对 MOS 晶体管 PQ3 的驱动电流进行补偿的 N 沟道 MOS 晶体管 NQ4。MOS 晶体管 NQ4 连接在电流源晶体管 NQ3 上。因此，偏压补偿电路 404 也在激活信号 EN 激活时，进行生成电平检测信号 DETN 的工作。

在外部电源电压 EXVDD 变低的情况下，分电压 VPDIV 为 Vpp/2 电压电平时，外部电源电压 EXVDD 和分电压 VPDIV 的差变小，差动级的 MOS 晶体管 NQ1 及 NQ2 在线性区域内工作，该比较电路 402 的灵敏度有可能下降。因此，使分电压 VPDIV 的分压比小，例如为 43/100，降低分电压 VPDIV 的电压电平，另外，基准电压 Vrefd 的电压电平也下降，使 MOS 晶体管 NQ1 及 NQ2 在饱和区域内工作。

另外，该差动级的分电压 VPDIV 与外部电源电压 EXVDD 的电压电平相比即使相对地高，但设有偏压补偿电路 404，以便其电平检测的灵敏度不下降。在分电压 VPDIV 比基准电压 Vrefd 高的情况下，比较电路 402 的输出信号呈高电平，MOS 晶体管 NQ3 的电导下降，另一方面，MOS 晶体管 NQ4 的电导增大，偏压补偿电路 404 的输出信号被驱动成低电平。

另一方面，在分电压 VPDIV 比基准电压 Vrefd 低的情况下，比较电路 402 的输出信号呈低电平，MOS 晶体管 PQ3 的电导增大，另外，MOS

晶体管 NQ4 的电导下降。因此，在该状态下，偏压补偿电路 404 的输出信号被驱动成高电平。

即，关于 MOS 晶体管 PQ3 及 NQ4，使它们的栅压随着比较电路 402 的输入信号和输出信号的变化而向同一方向变化，另外，通过使 MOS 晶体管 NQ4 在饱和区域内工作，能使 MOS 晶体管 NQ4 及 PQ3 随着比较电路 402 的输出信号的变化，而使电导相辅地变化，能使输出信号随着比较电路 402 的输出信号的变化而高速地变化。

因此，在比较电路 402 的灵敏度低的情况下，能根据该比较电路 402 的输出信号高速地驱动偏压补偿电路 404 的输出信号 DETEN，在分电压 VPDIV 的电压电平高的情况下，也能正确地进行电压电平的检测工作。

环形振荡器 496 包括偶数级的反相器；以及接收其最后一级的反相器的输出信号和电平检测信号 DETN 的门电路。该门电路的输出信号被供给反相器列中的初级反相器。电平检测信号 DETN 呈高电平，分电压 VPDIV 比基准电压 Vrefd 低时，进行振荡工作。在分电压 VPDIV 比基准电压 Vrefd 高的情况下，电平检测信号 DETN 呈低电平，环形振荡器 406 停止振荡工作。因此，作为高电压 Vpp 的电压电平，能将高电压 Vpp 维持在 100 · Vrefd/43 电压电平。

[变更例]

图 34 是简略地表示本发明的实施形态 9 的变更例的高压发生控制部的结构图。在该图 34 所示的结构中，在分压电路 400 中，电阻元件 400ba 及 400bb 串联连接在分压输出结点 ND75 和接地结点之间。在栅极上接收双升压指示信号的辅助信号 ZDBLE 的 N 沟道 MOS 晶体管 400c 与该电阻元件 400ba 并联连接。另外，双升压指示信号 DBLE 被供给控制信号发生电路 408。该图 34 所示的高压发生控制部的其他结构与图 33 所示的结构相同，对应的部分标以同一参照编号，其详细说明从略。

在外部电源电压 EXVDD 例如为 1.8V 或 2.5V 低的情况下，指定双升压结构，进行双升压工作，生成高电压 Vpp。在此情况下，辅助双升压指示信号 ZDBLE 被设定为低电平，MOS 晶体管 400c 呈导通状态。因此，在此情况下，用分压比 0.43 对高电压 Vpp 进行分压，生成分电压 VPDIV。

另一方面，在外部电源电压 EXVDD 例如为 3.3V 高的情况下，用单升压结构生成高电压 Vpp。在此情况下辅助双升压指示信号 ZDBLE 被设定为高电平，MOS 晶体管 400c 导通，电阻元件 400b 短路。因此，通过使电阻元件 400a 及 400bb 的电阻值相同，用分压比 1/2 从高电压 Vpp 生成来自输出结点 ND75 的分电压 VPDIV。在该单升压结构时，控制信号发生电路 408 根据双升压指示信号 DBLE，切换控制信号的发生形态（参照实施形态 8）。

因此，通过利用该图 34 所示的结构，利用一个高压发生控制部，就能实现对应于多种外部电源电压的控制形态，另外，对应于高电压发生方式进行最佳的电平检测工作，能控制高电压发生工作。

另外，在图 34 中，也可以用屏蔽金属布线、或者用连接元件（熔丝元件）代替 MOS 晶体管 400c。

图 35 是表示发生基准电压 Vrefd 的部分的结构之一例图。

在图 35 中，基准电压发生电路包括：耦合在外部电源结点上，供给恒定电流 i0 的恒定电流源 420a；响应被供给控制输入端 DIS 的信号而有选择地导通，导通时将来自恒定电流源 420a 的电流供给结点 ND78 的 P 沟道 MOS 晶体管 420b；串联连接在结点 ND78 及 ND79 之间的电阻元件 420c 及 420d；连接在结点 ND79 和接地结点之间、其栅极连接在接地结点上的 P 沟道 MOS 晶体管 420e；与电阻元件 420c 并联连接、而且在其栅极上接收双升压指示信号 DBLE 的 N 沟道 MOS 晶体管 DBLE；以及响应被供给控制输入端 DIS 的信号而有选择地导通，导通时将输出结点 ND78 耦合在接地结点上的 N 沟道 MOS 晶体管 420g。

图 34 所示的激活信号 EN 的反相信号被供给控制输入端 DIS。

在外部电源电压 EXVDD 的电压电平低、双升压指示信号 DBLE 被设定为高电平的情况下，MOS 晶体管 420f 导通，电阻元件 420c 短路。因此，用电阻元件 420d 的电阻值和恒定电流 i0 的积与 MOS 晶体管 420e 的阈值电压的绝对值 Vthp 的和供给结点 ND78 的基准电压 Vrefd。

另一方面，在外部电源电压 EXVDD 高、高压发生电路被设定成双升压结构的情况下，双升压指示信号 DBLE 被设定为低电平，MOS 晶体管 420f 呈非导通状态。在此情况下，用电阻元件 420c 及 420d 的合成电阻值与 MOS 晶体管 420e 的阈值电压的绝对值的和供给基准电压 Vrefd。

因此，在外部电源电压EXVDD被设定得高的情况下，基准电压Vrefd的电压电平被设定得高、为Vpp/2，另一方面，在外部电源电压EXVDD被设定得低的情况下，基准电压 Vrefd 的电压电平被设定得低，例如为 0.43Vpp.

另外，在图 35 所示的基准电压发生电路中，MOS 晶体管 420e 也可以省略。

如上所述，如果按照本发明的实施形态 9，则在外部电源电压被设定得低、用双升压方式生成内部高电压的情况下，检测该高电压的电平时，将供给比较电路的偏压设定得低，能用比较电路的所谓的“瞬时中断区域”进行比较工作，能准确地进行电平检测工作。

另外，根据该高电压的分压，调整最后输出电平检测信号的电路的驱动电流，补偿比较电路的灵敏度下降，能正确地生成电平检测信号。

另外，在该图 35 所示的基准电压发生电路的结构中，也可以用能熔断的连接元件、或者用屏蔽金属布线有选择地使电阻元件 420c 短路，来代替 MOS 晶体管 420f。

如上所述，如果按照本发明，则根据外部电源电压的电压电平，调整内部电压发生形态，能能用一个芯片实现能对应于多种外部电源电压的半导体装置。

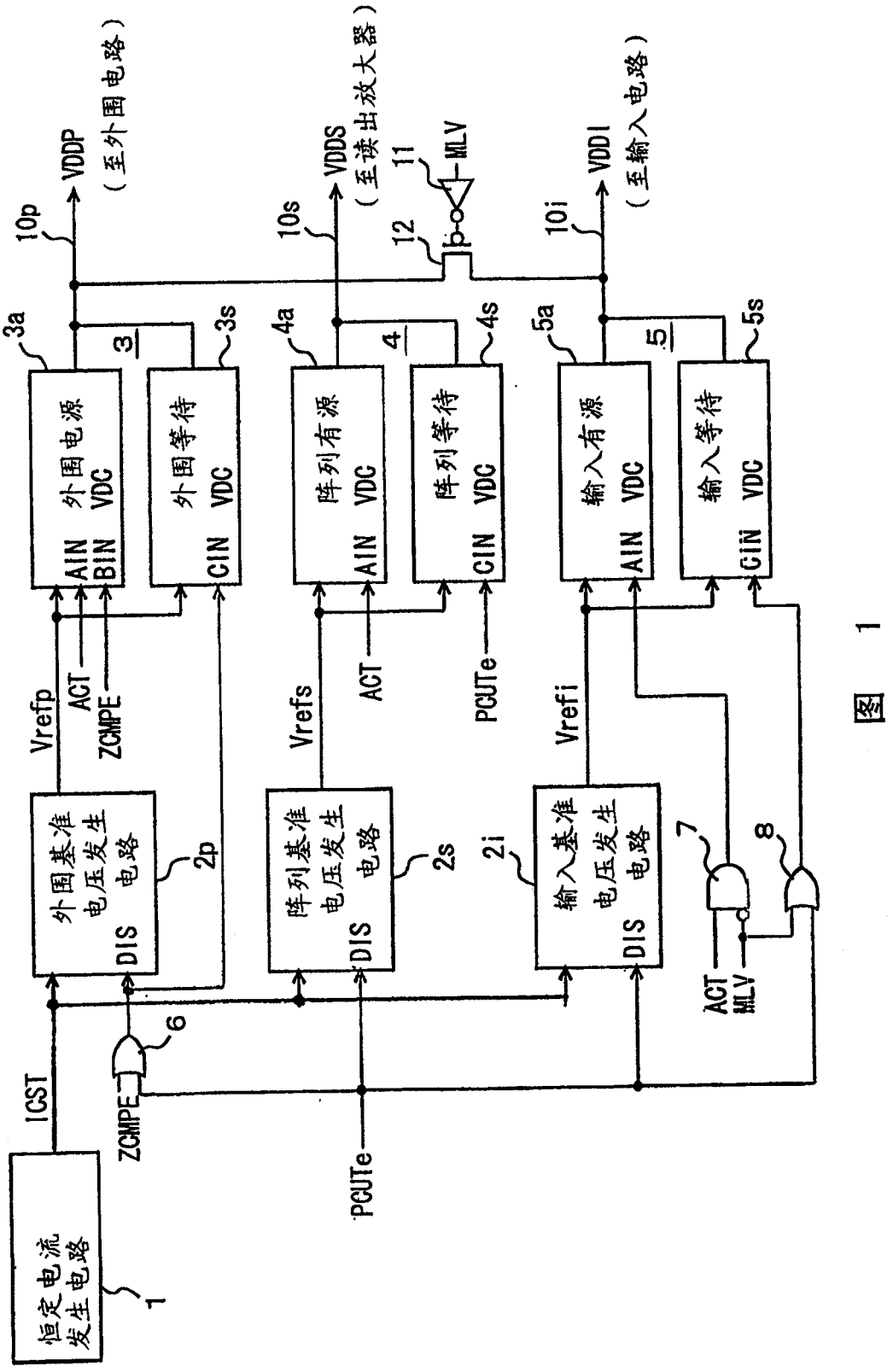

恒定电流发生电路
1
ICST
ZCMPE
6
外围基准电压发生电路
2p
DIS
Vrefp
ACT
ZCMPE
外围电源 VDC
AIN
BIN
3a
3
外围等待 VDC
CIN
3s
VDDP
（至外围电路）
10p
阵列基准电压发生电路
2s
DIS
Vrefs
ACT
PCUTe
阵列有源 VDC
AIN
4a
4
阵列等待 VDC
CIN
4s
VDDS
（至读出放大器）
10s
11
MLV
12
输入基准电压发生电路
2i
DIS
Vrefi
输入有源 VDC
AIN
5a
5
输入等待 VDC
CIN
5s
VDDI
（至输入电路）
10i
7
8
ACT
MLV

图 1

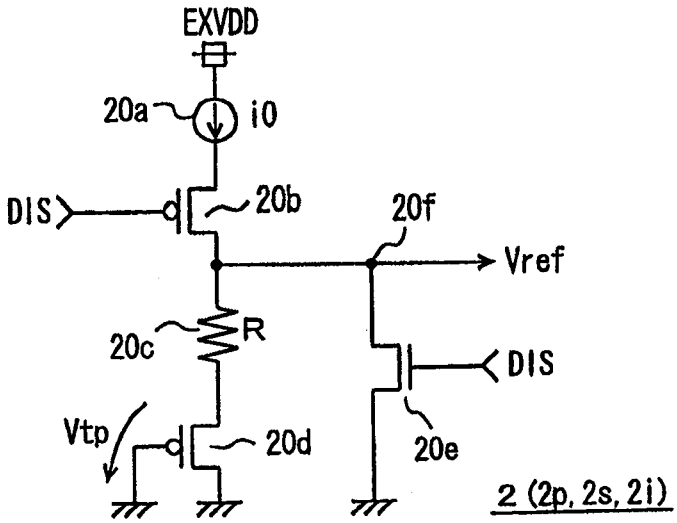


图 2

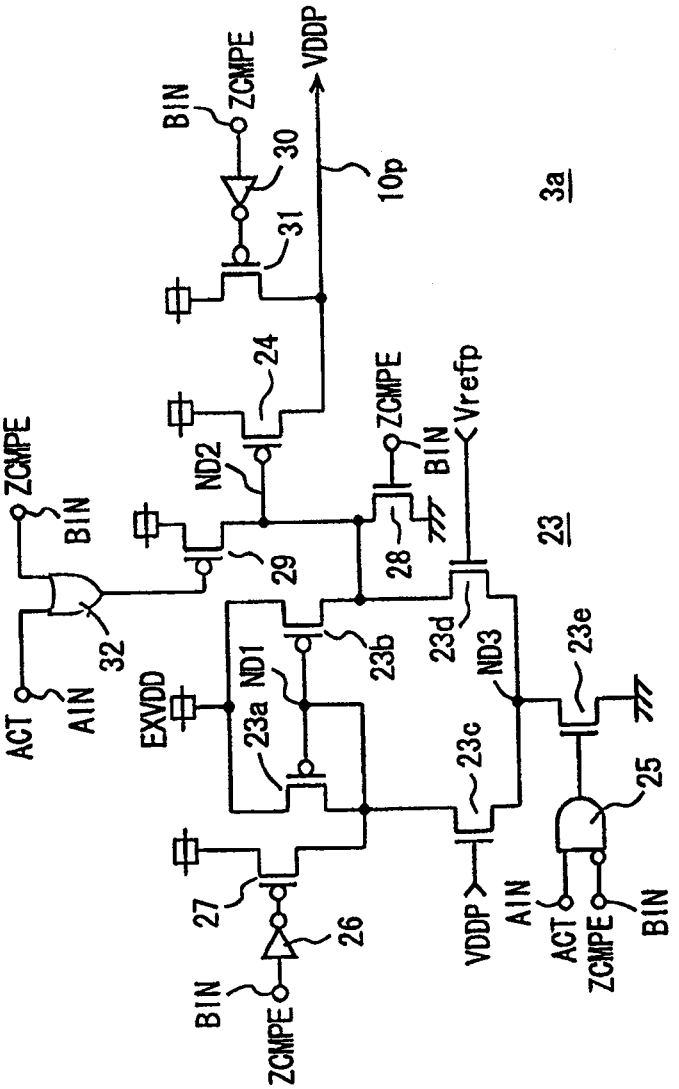

ACT
AIN
EXVDD
ZCMPE
BIN
ND1
ND2
ND3
VDDP
Vrefp
23
23a
23b
23c
23d
23e
24
25
26
27
28
29
30
31
32
10p
3a

图 3

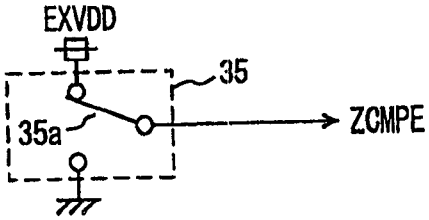

EXVDD
35
35a
ZCMPE

图 4

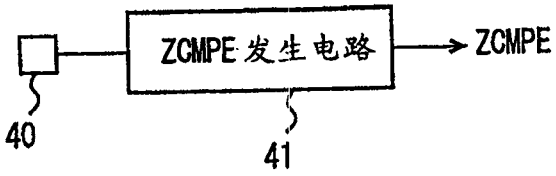

ZCMPE发生电路
ZCMPE
40
41

图 5

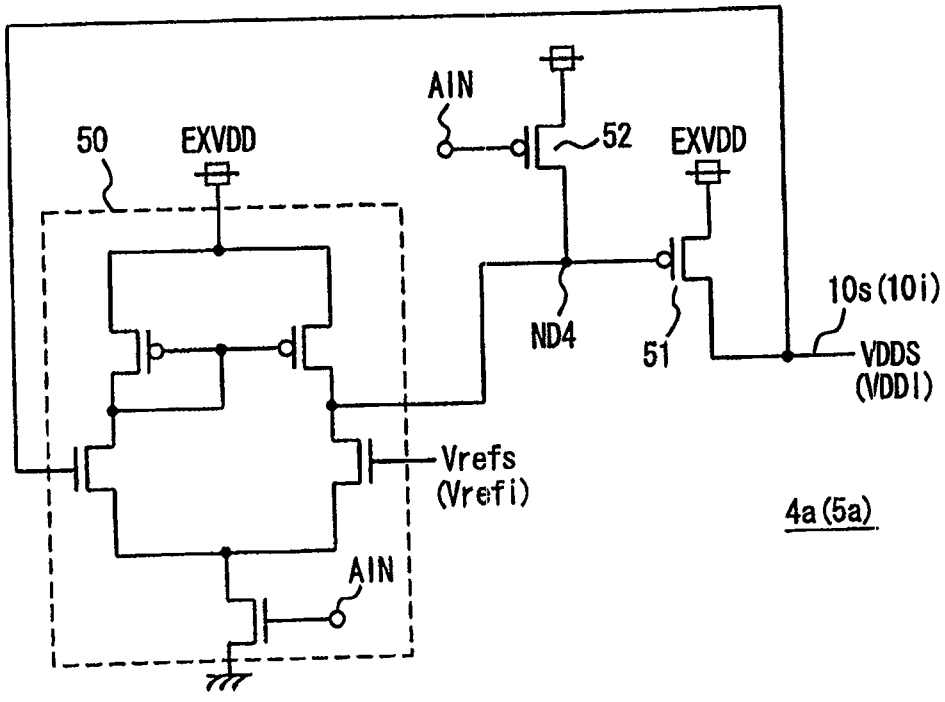

AIN
50
EXVDD
52
EXVDD
10s(10i)
ND4
51
VDDS
(VDDI)
Vrefs
(Vrefi)
4a(5a)
AIN

图 6

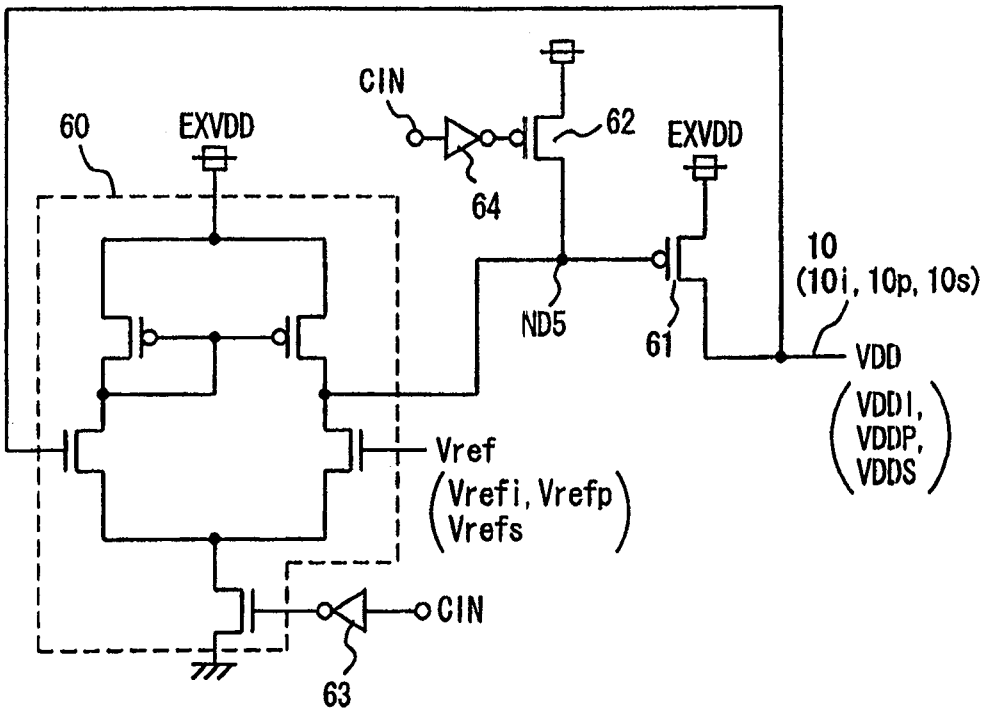

CIN
60
EXVDD
62
EXVDD
64
10
(10i, 10p, 10s)
ND5
61
VDD
(VDDI,
VDDP,
VDDS
Vref
(Vrefi, Vrefp
Vrefs
CIN
63

图 7

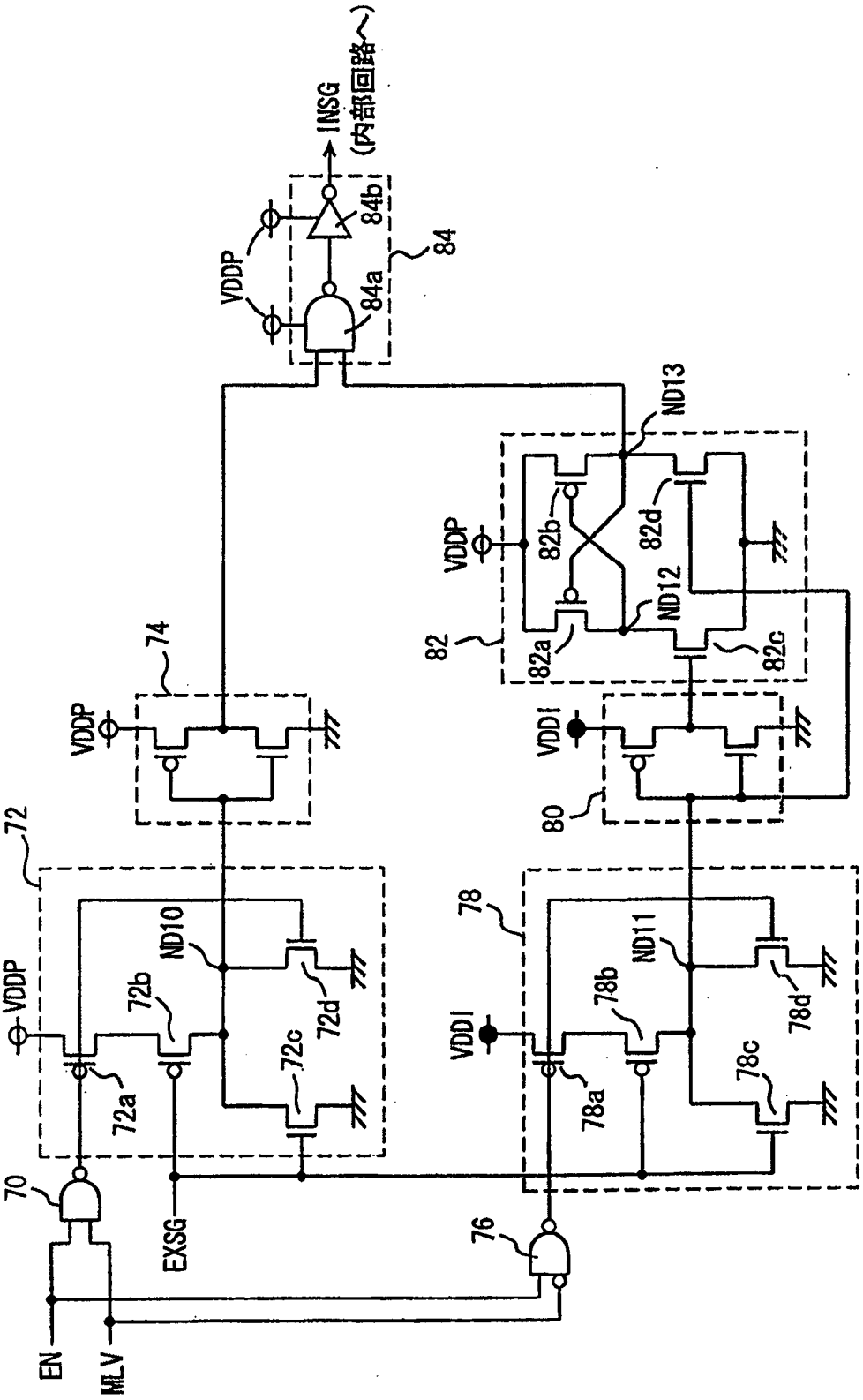

INSG
(内部回路)
84
84b
84a
VDDP
ND13
82
82a
82b
82c
82d
ND12
VDDP
VDDI
74
80
72
78
ND10
ND11
72a
72b
72c
72d
78a
78b
78c
78d
70
76
EXSG
EN
MLV

图 8

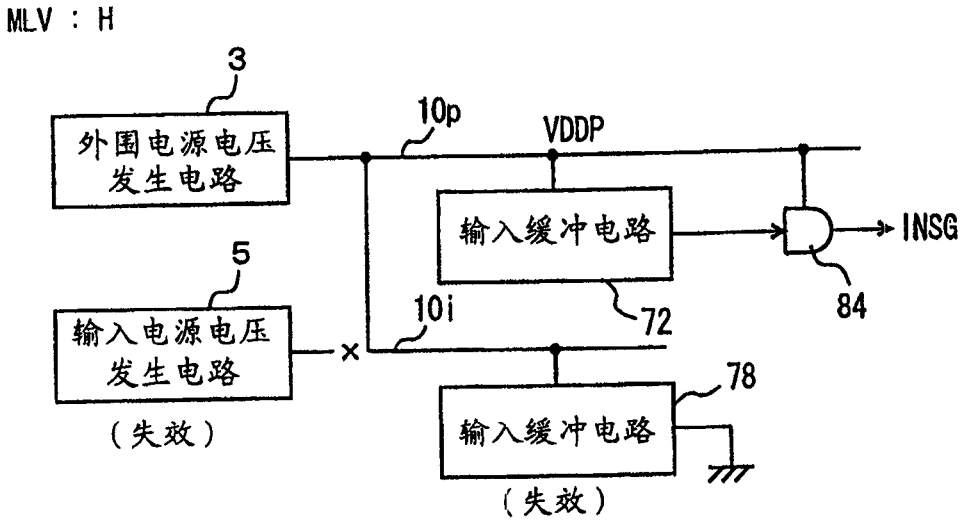

MLV : H
3
外围电源电压
发生电路
10p
VDDP
输入缓冲电路
INSG
84
5
输入电源电压
发生电路
（失效）
10i
72
78
输入缓冲电路
（失效）

图 9

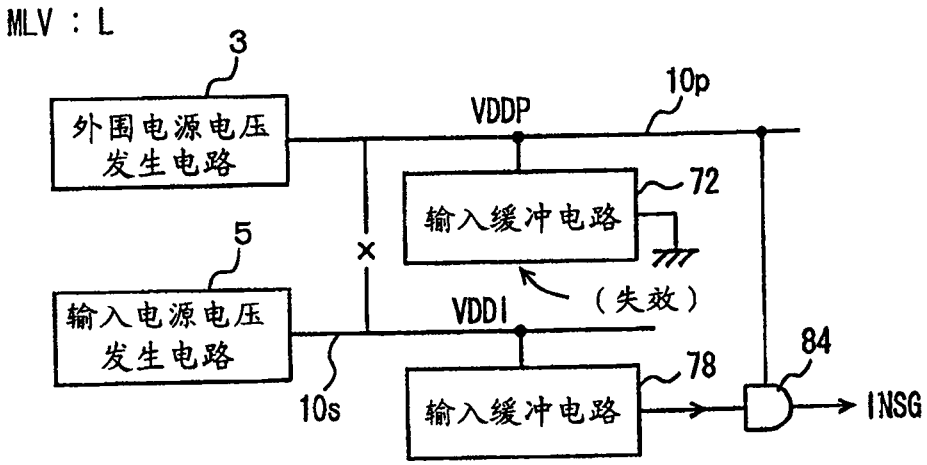

MLV : L
3
外围电源电压
发生电路
VDDP
10p
72
输入缓冲电路
（失效）
5
输入电源电压
发生电路
VDDI
10s
78
84
输入缓冲电路
INSG

图 10

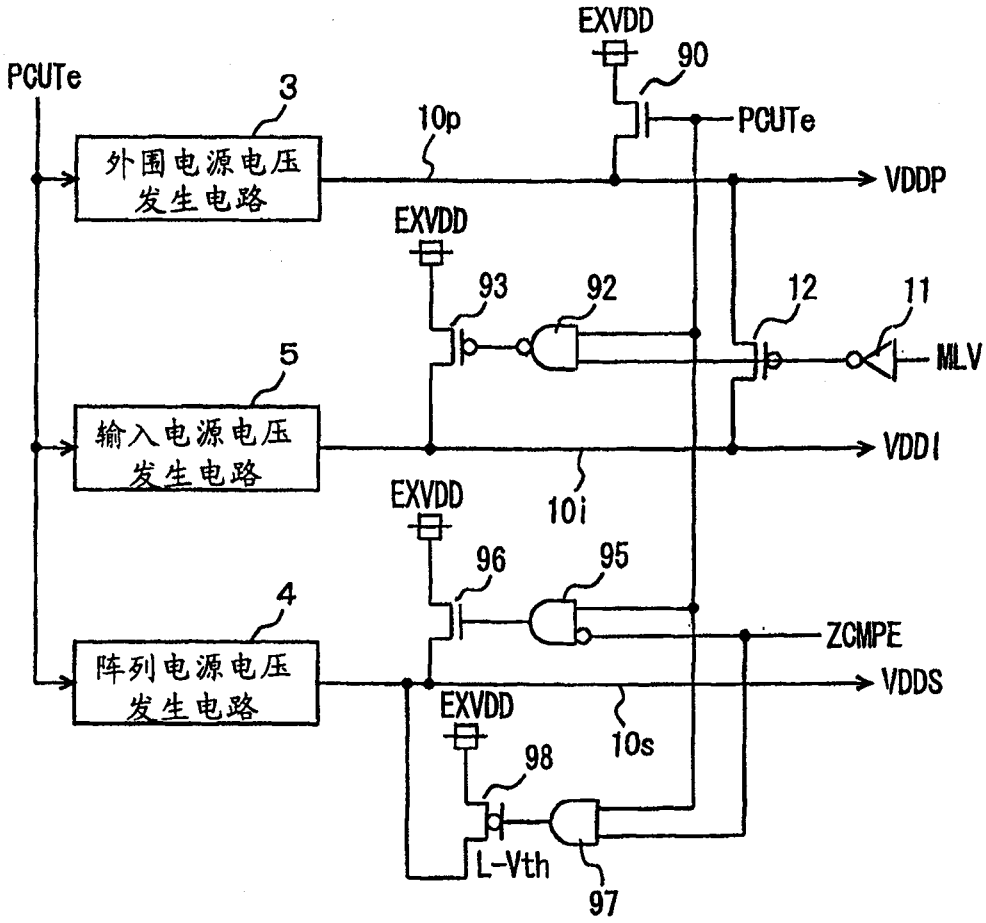

PCUTe
3
外围电源电压
发生电路
10p
EXVDD
90
PCUTe
VDDP
EXVDD
93
92
12
11
MLV
5
输入电源电压
发生电路
VDDI
10i
EXVDD
96
95
4
阵列电源电压
发生电路
ZCMPE
VDDS
EXVDD
10s
98
L-Vth
97

图 11

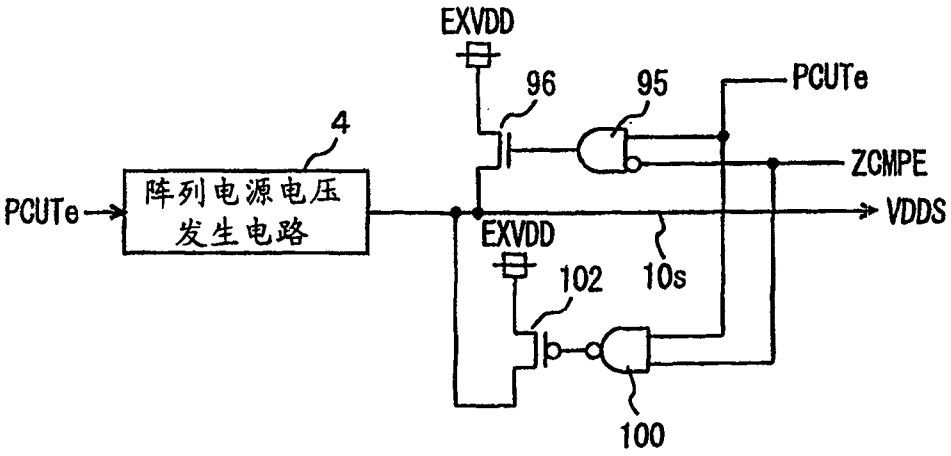

EXVDD
96
95
PCUTe
4
ZCMPE
PCUTe
阵列电源电压
发生电路
VDDS
EXVDD
102
10s
100

图 12

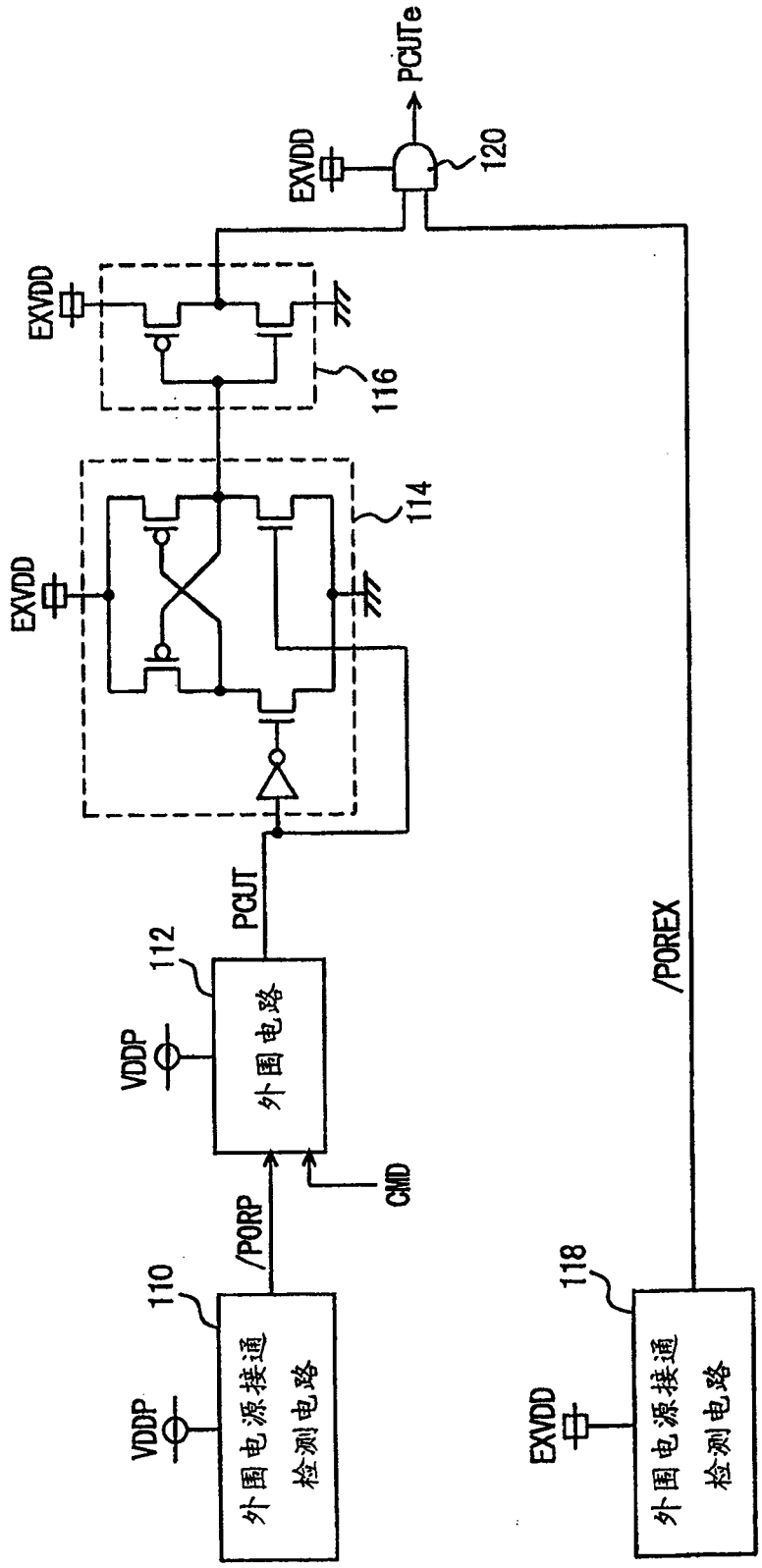

PCUTe
EXVDD
120
EXVDD
116
114
EXVDD
PCUT
112
VDDP
外围电路
CMD
/PORP
110
VDDP
外围电源接通检测电路
/POREX
118
EXVDD
外围电源接通检测电路

图 13

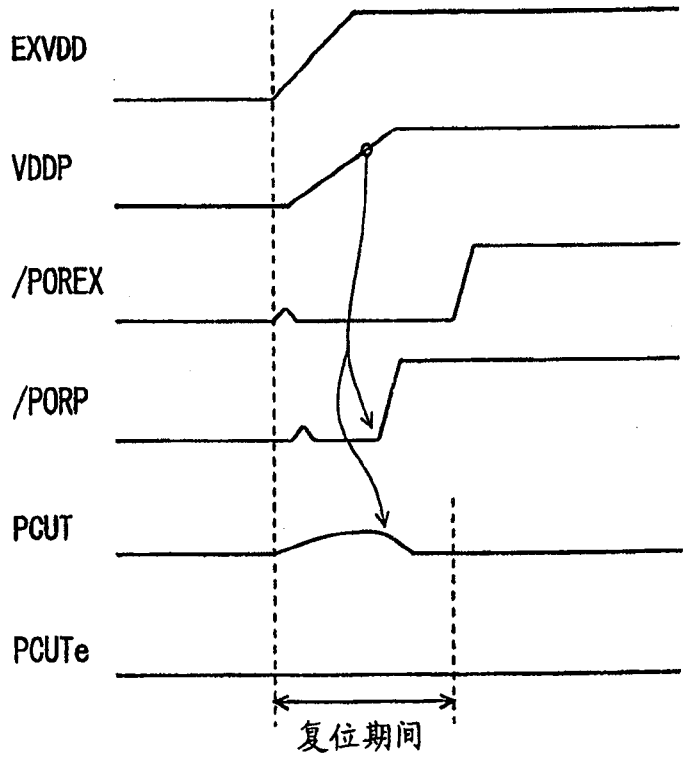

EXVDD
VDDP
/POREX
/PORP
PCUT
PCUTe
复位期间

图 14

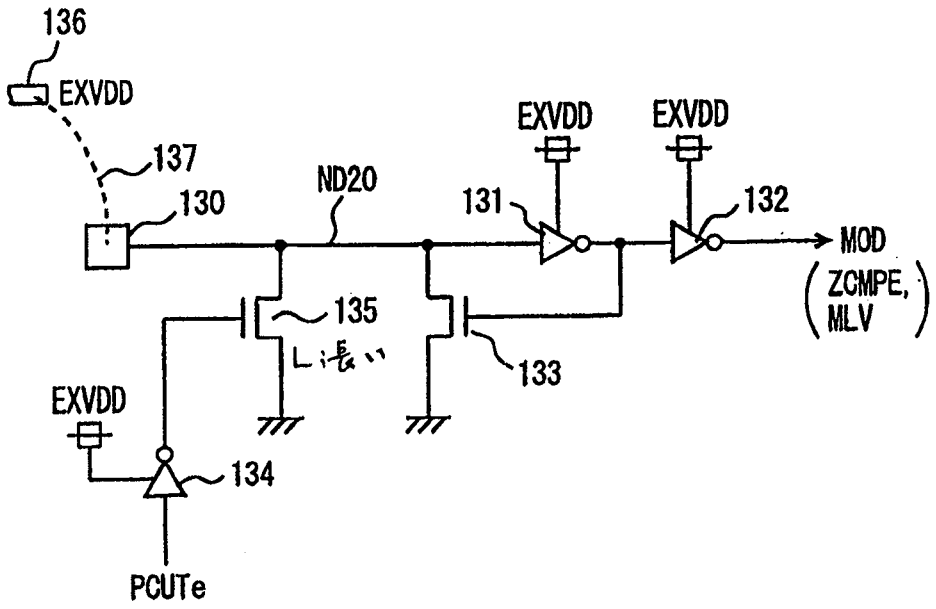

136
EXVDD
137
130
ND20
EXVDD
EXVDD
131
132
MOD
(ZCMPE, MLV)
135
L调节
133
EXVDD
134
PCUTe

图 15

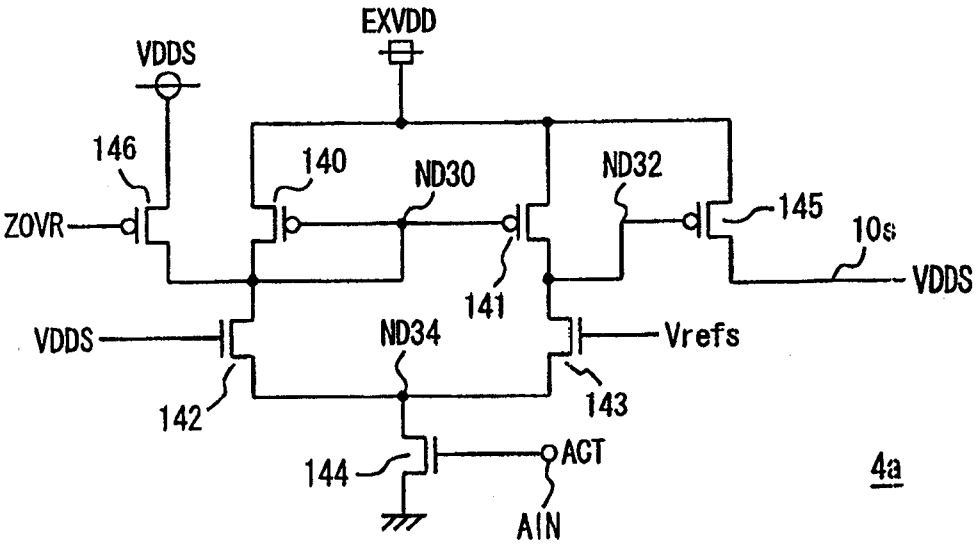

EXVDD
VDDS
146
140
ND30
ND32
145
10s
ZOVR
VDDS
141
VDDS
ND34
Vrefs
142
143
144
ACT
AIN
4a

图 16

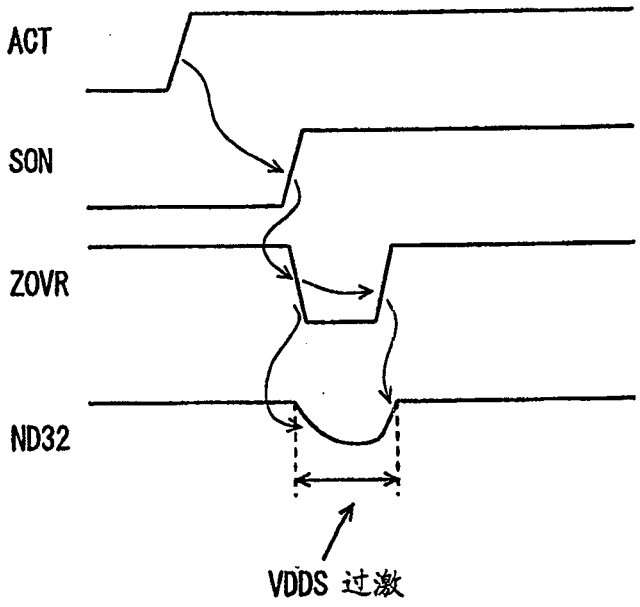

ACT
SON
ZOVR
ND32
VDDS 过激

图 17

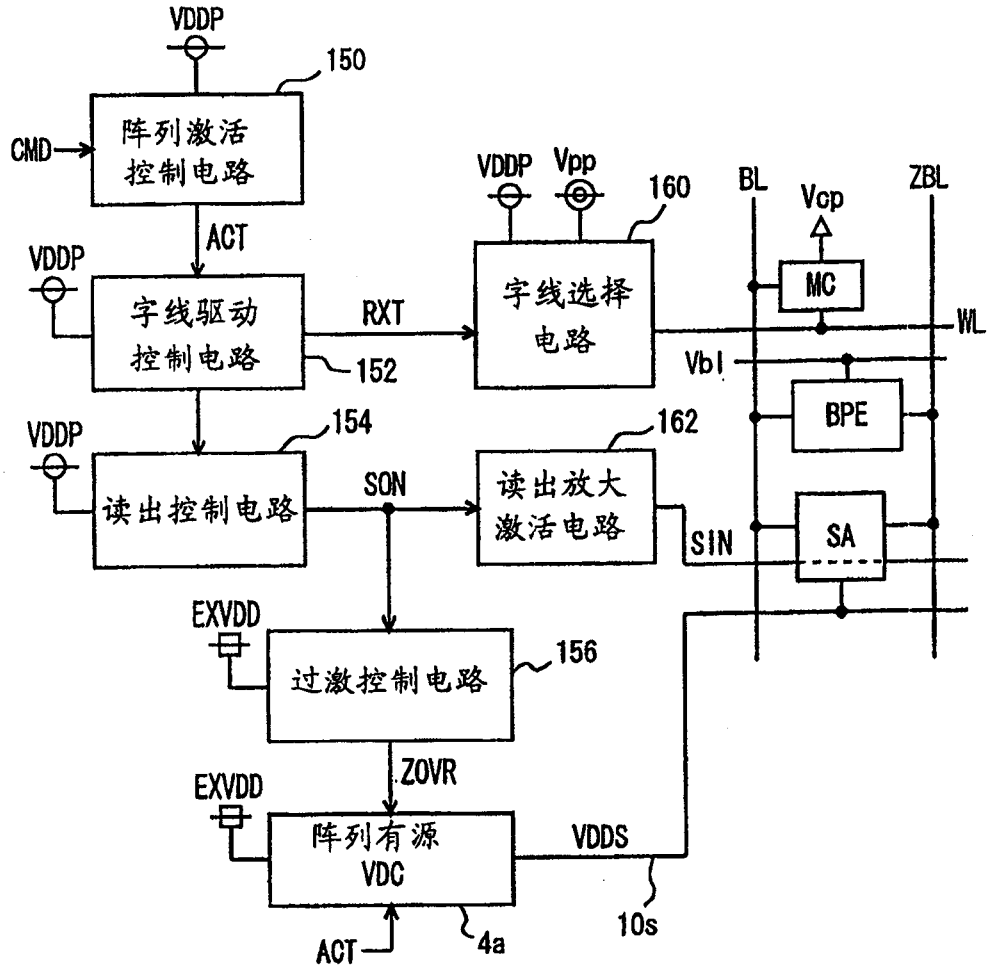

VDDP
150
CMD
阵列激活
控制电路
ACT
VDDP
字线驱动
控制电路
RXT
152
VDDP
154
读出控制电路
SON
VDDP
Vpp
160
字线选择
电路
BL
Vcp
ZBL
MC
WL
Vbl
BPE
162
读出放大
激活电路
SIN
SA
EXVDD
过激控制电路
156
ZOVR
EXVDD
阵列有源
VDC
VDDS
ACT
4a
10s

图 18

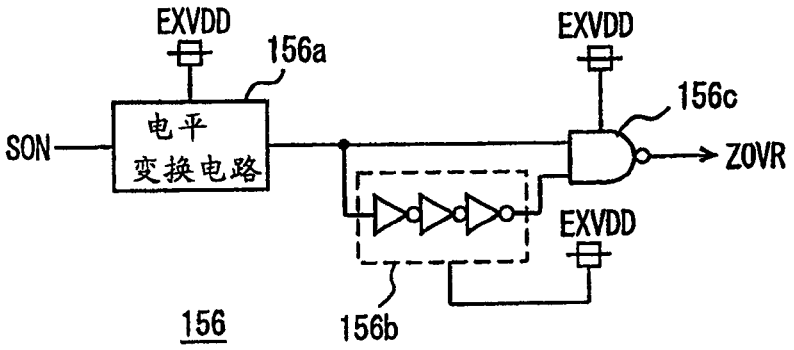

EXVDD
156a
SON
电平
变换电路
EXVDD
156c
ZOVR
EXVDD
156
156b

图 19

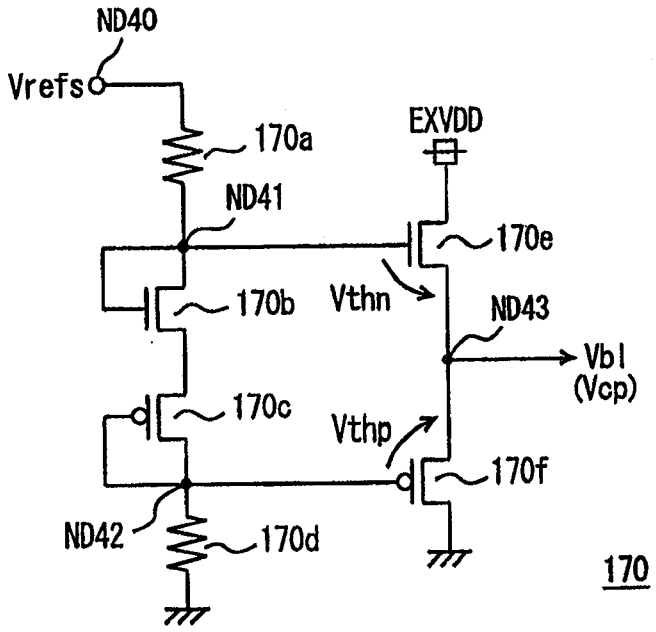

ND40
Vrefs
170a
EXVDD
ND41
170e
170b
Vthn
ND43
Vbl
(Vcp)
170c
Vthp
170f
ND42
170d
170

图 20

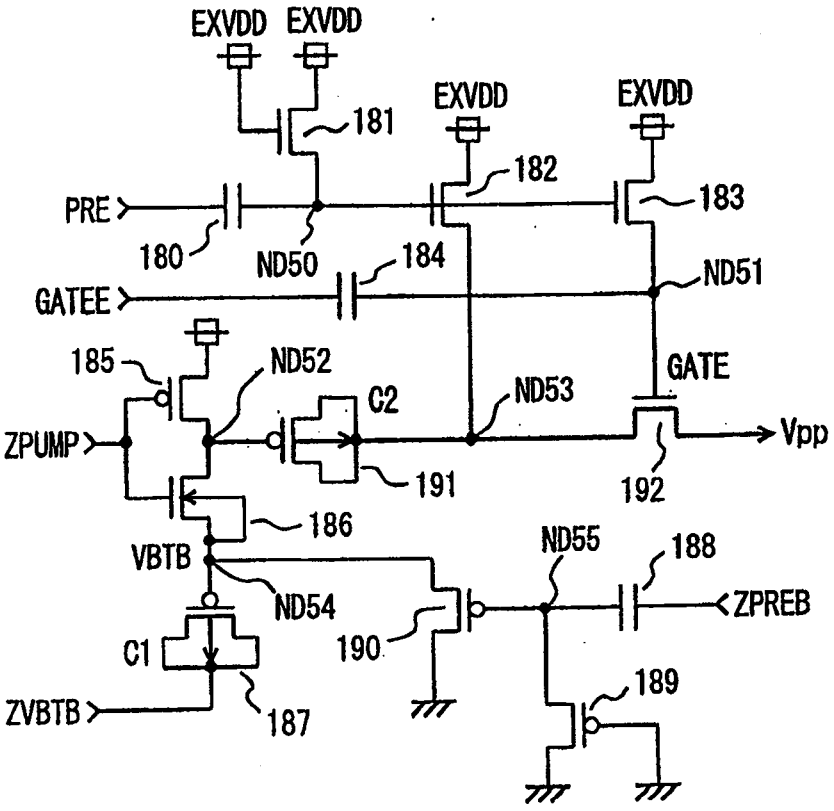

EXVDD
EXVDD
181
EXVDD
EXVDD
182
183
PRE
180
ND50
184
ND51
GATEE
185
ND52
C2
ND53
GATE
ZPUMP
Vpp
191
192
186
VBTB
ND55
188
ND54
ZPREB
C1
190
189
ZVBTB
187

图 21

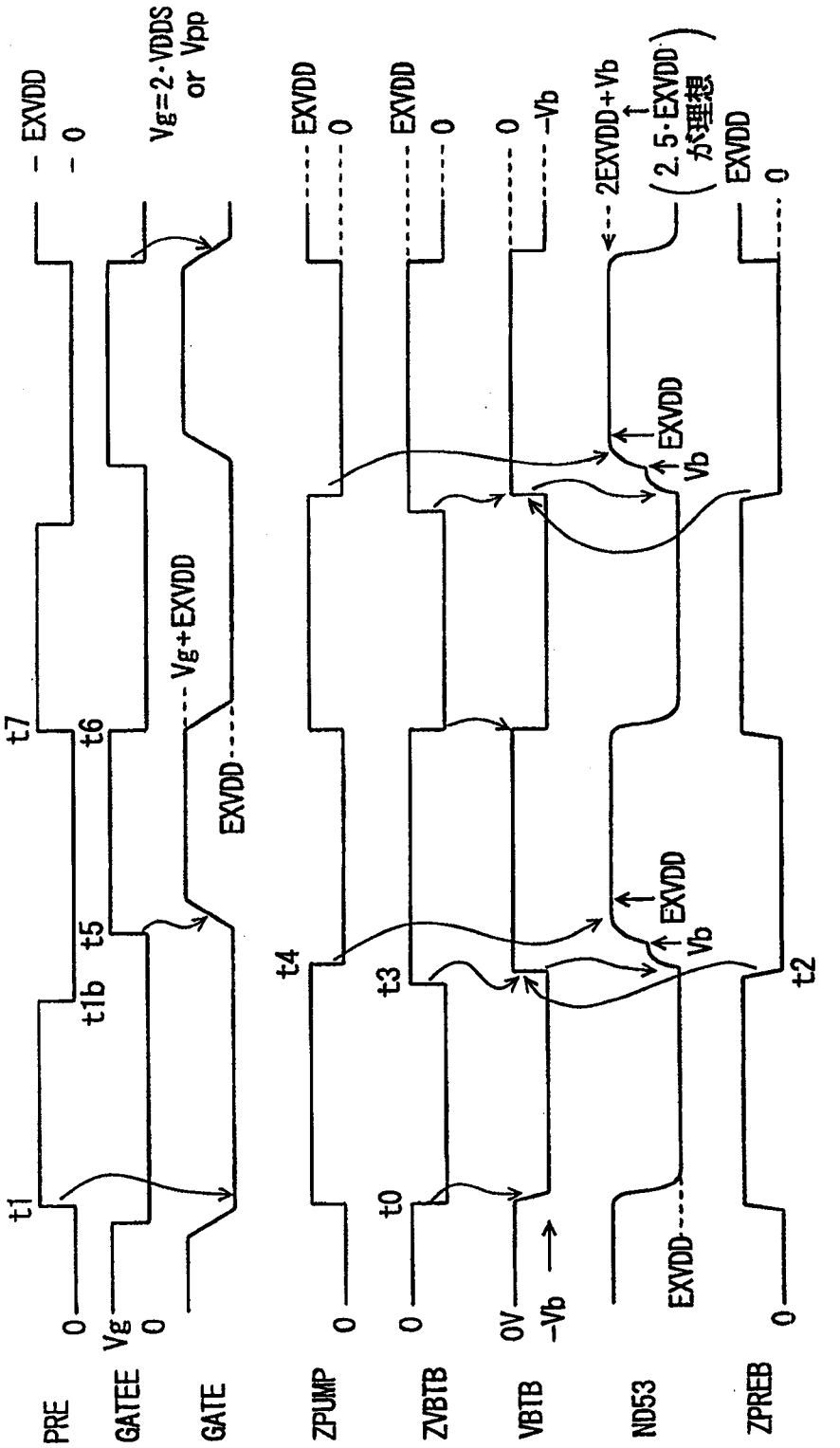

PRE
GATEE
GATE
ZPUMP
ZVBTB
VBTB
ND53
ZPREB
EXVDD
0
Vg
Vg=2·VDDS or Vpp
Vg+EXVDD
-Vb
2EXVDD+Vb
(2.5·EXVDD 为理想)
Vb
t0
t1
t1b
t2
t3
t4
t5
t6
t7

图 22

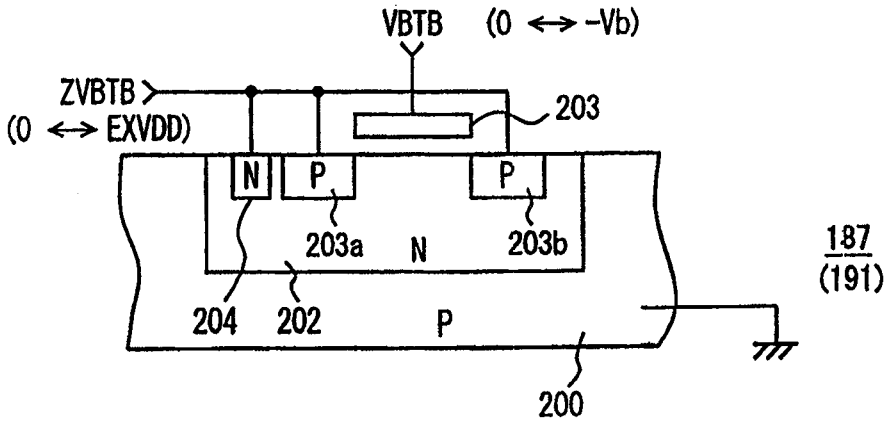

VBTB (0 ↔ -Vb)
ZVBTB
(0 ↔ EXVDD)
203
N
P
P
203a
N
203b
187
(191)
204
202
P
200

图 23

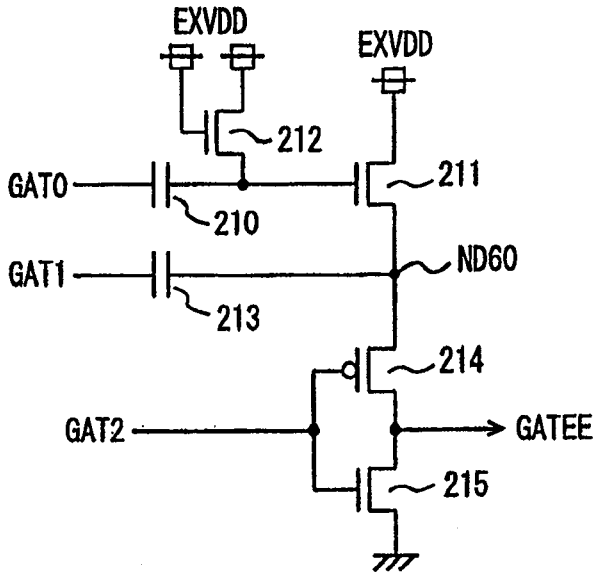

EXVDD
EXVDD
212
GAT0
211
210
GAT1
ND60
213
214
GAT2
GATEE
215

图 24

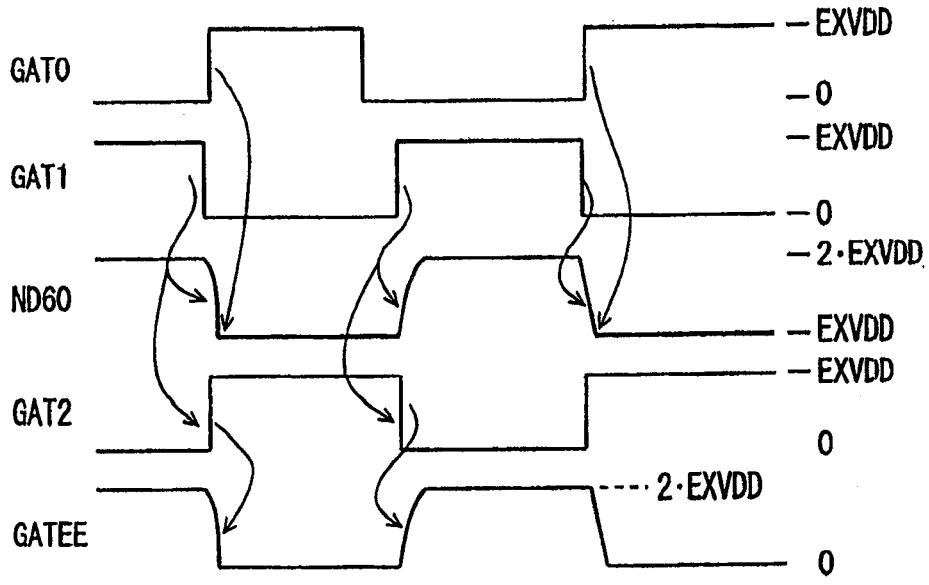

GAT0
GAT1
ND60
GAT2
GATEE
-EXVDD
-0
-EXVDD
-0
-2·EXVDD
-EXVDD
-EXVDD
0
2·EXVDD
0

图 25

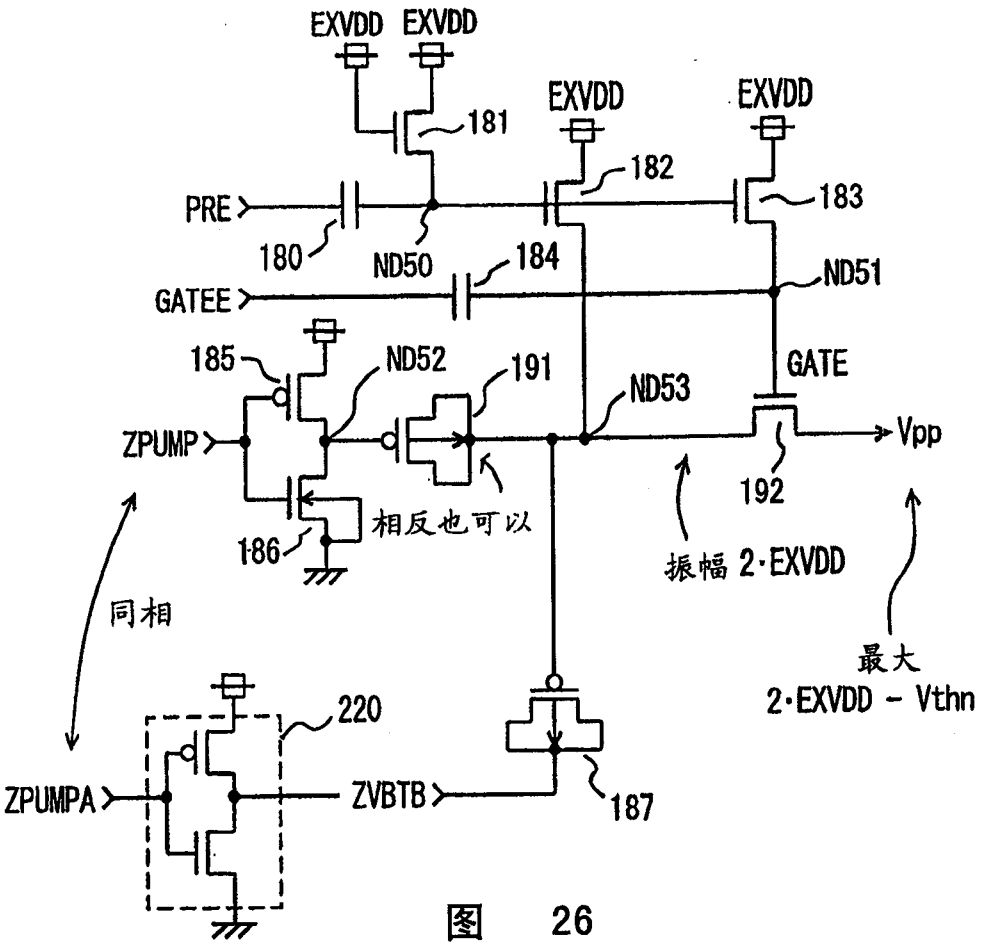

EXVDD
EXVDD
EXVDD
EXVDD
181
182
183
PRE
180
ND50
184
ND51
GATEE
185
ND52
191
ND53
GATE
ZPUMP
Vpp
186
相反也可以
192
振幅 2·EXVDD
同相
最大
2·EXVDD - Vthn
220
ZPUMPA
ZVBTB
187

图 26

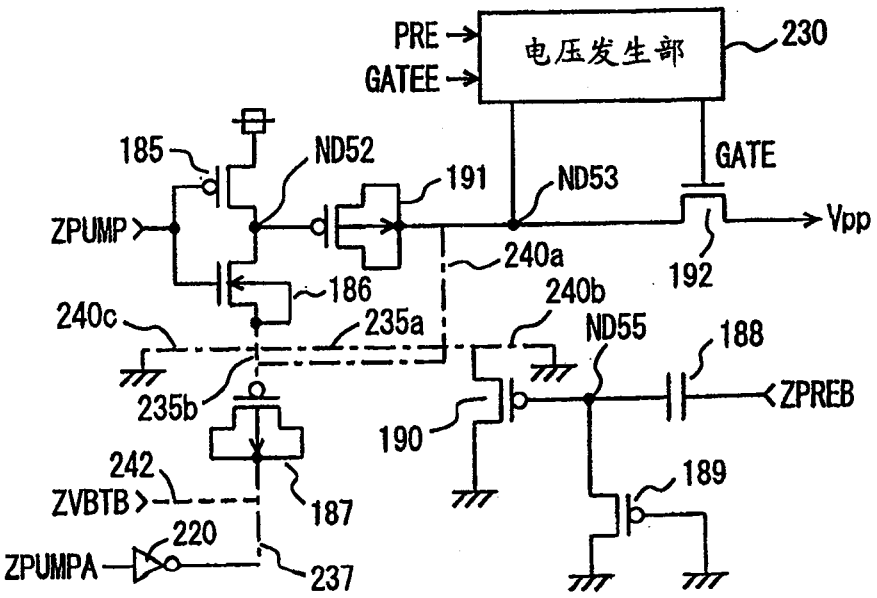

PRE
GATEE
电压发生部
230
185
ND52
191
ND53
GATE
ZPUMP
Vpp
240a
186
192
240b
240c
235a
ND55
188
235b
ZPREB
190
242
ZVBTB
187
189
220
ZPUMPA
237

图 27

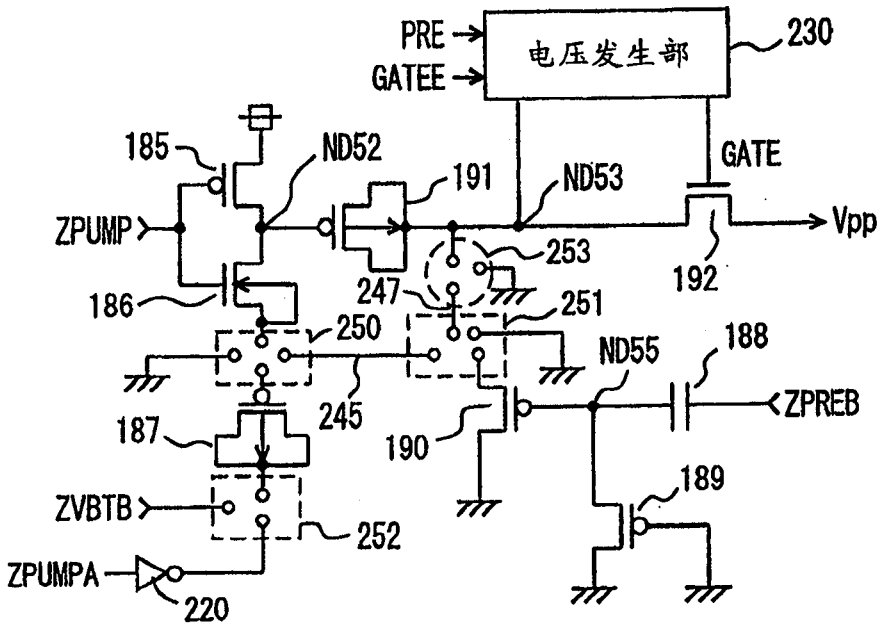

PRE
GATEE
电压发生部
230
185
ND52
191
ND53
GATE
ZPUMP
Vpp
253
192
247
186
251
250
ND55
188
245
ZPREB
187
190
189
ZVBTB
252
ZPUMPA
220

图 28

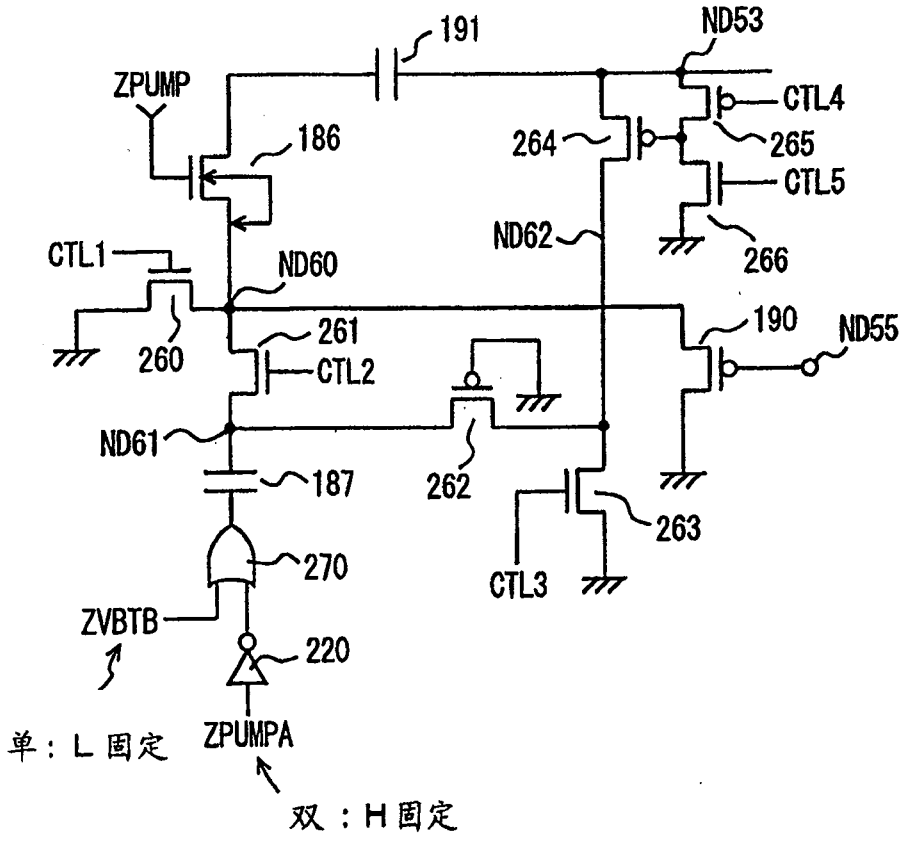

191
ND53
ZPUMP
CTL4
186
264
265
CTL5
ND62
CTL1
ND60
266
190
ND55
260
261
CTL2
ND61
187
262
263
270
CTL3
ZVBTB
220
单：L 固定
ZPUMPA
双：H 固定

图 29

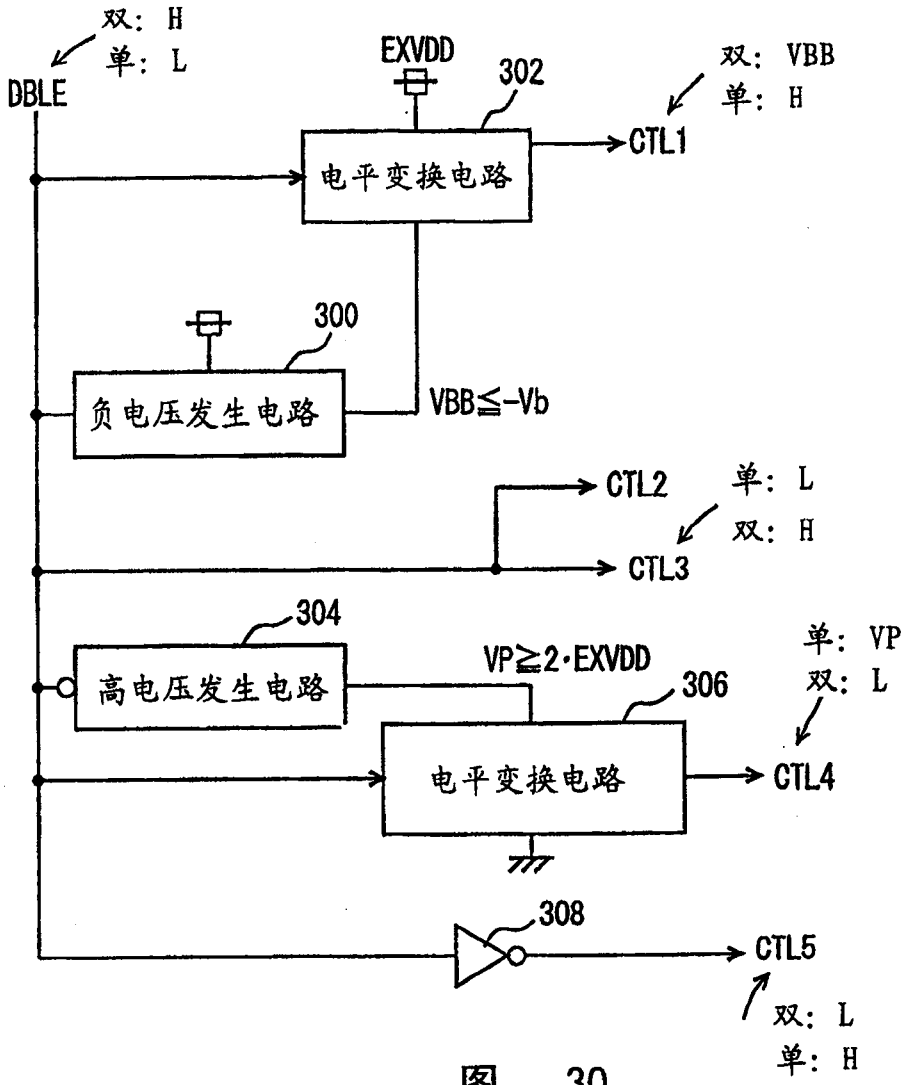

双：H
单：L
DBLE
EXVDD
302
双：VBB
单：H
CTL1
电平变换电路
300
负电压发生电路
VBB≦-Vb
CTL2
单：L
双：H
CTL3
304
高电压发生电路
VP≧2·EXVDD
306
单：VP
双：L
电平变换电路
CTL4
308
CTL5
双：L
单：H

图 30

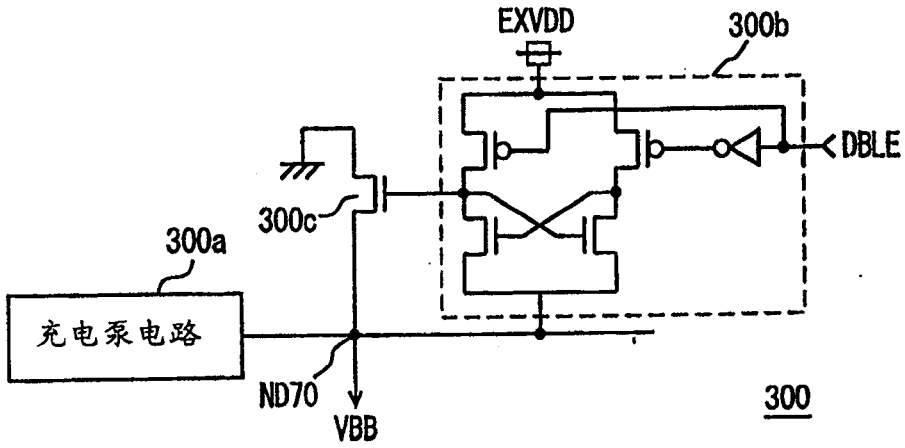

EXVDD
300b
DBLE
300c
300a
充电泵电路
ND70
VBB
300

图 31

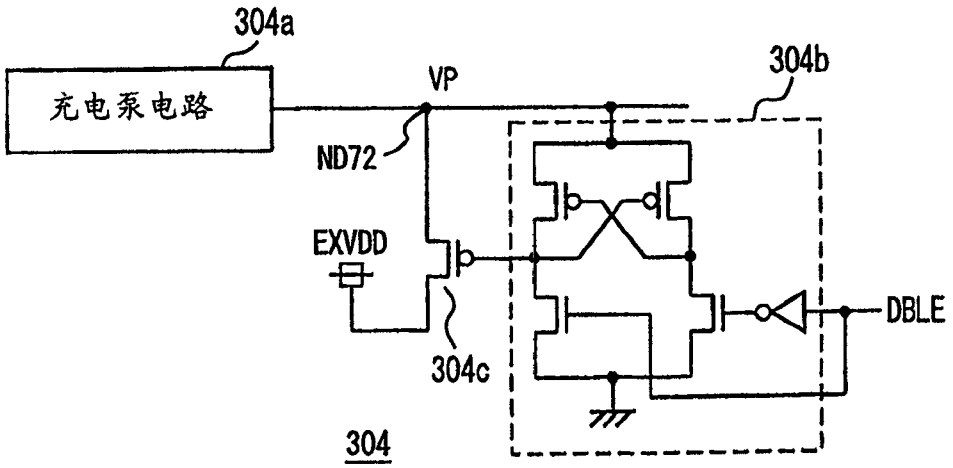

304a
充电泵电路
VP
304b
ND72
EXVDD
DBLE
304c
304

图 32

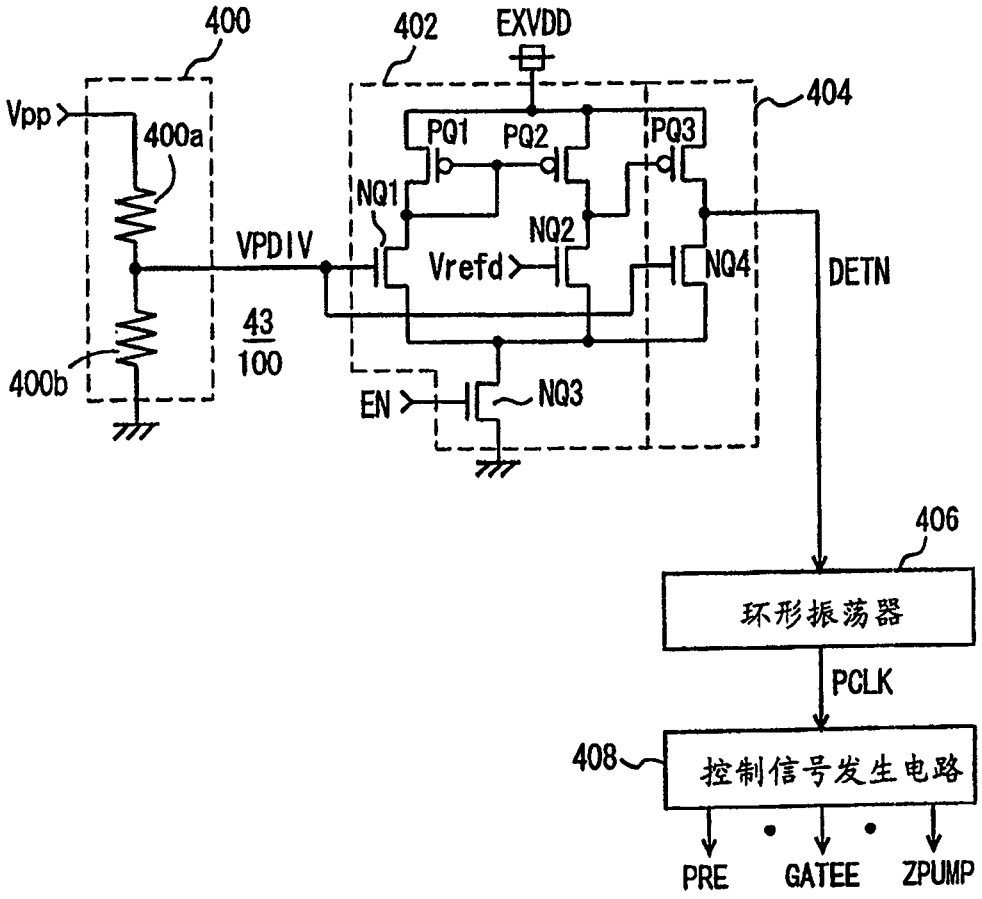

400
402
EXVDD
404
Vpp
400a
PQ1
PQ2
PQ3
NQ1
NQ2
VPDIV
Vrefd
NQ4
DETN
43
100
400b
EN
NQ3
406
环形振荡器
PCLK
408
控制信号发生电路
PRE
GATEE
ZPUMP

图 33

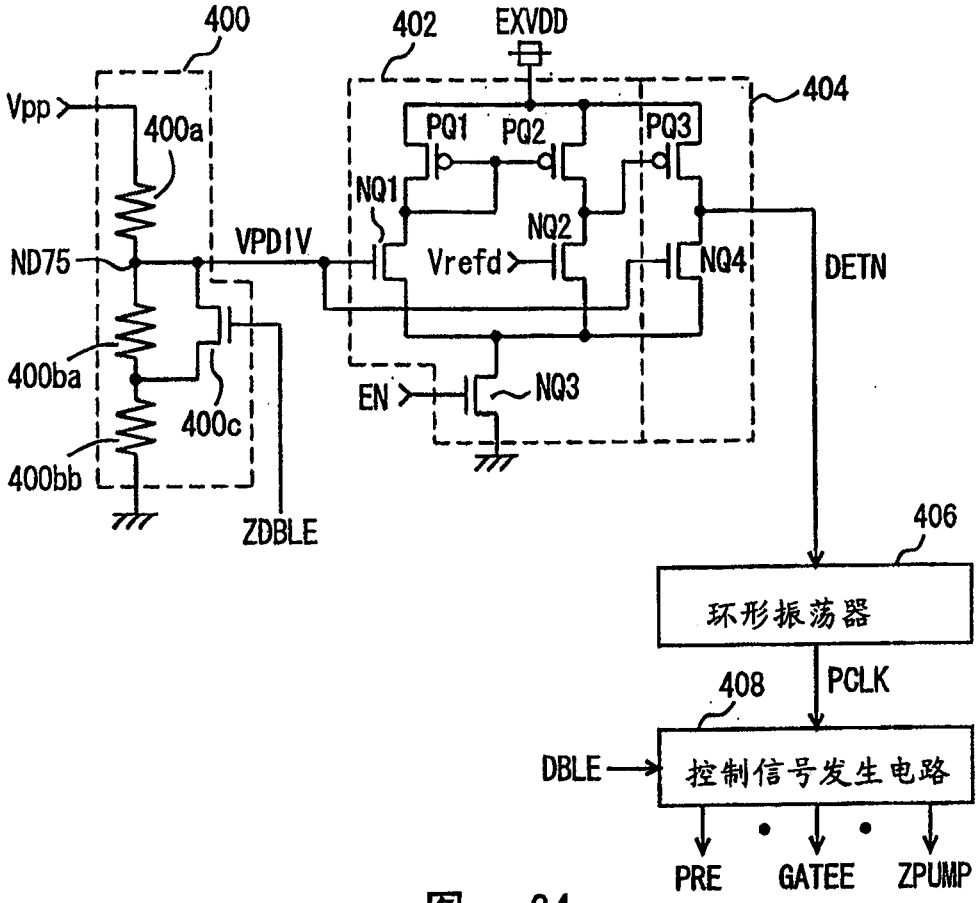

400
402
EXVDD
404
Vpp
400a
PQ1
PQ2
PQ3
NQ1
NQ2
ND75
VPD1V
Vrefd
NQ4
DETN
400ba
400c
EN
NQ3
400bb
ZDBLE
406
环形振荡器
PCLK
408
DBLE
控制信号发生电路
PRE
GATEE
ZPUMP

图 34

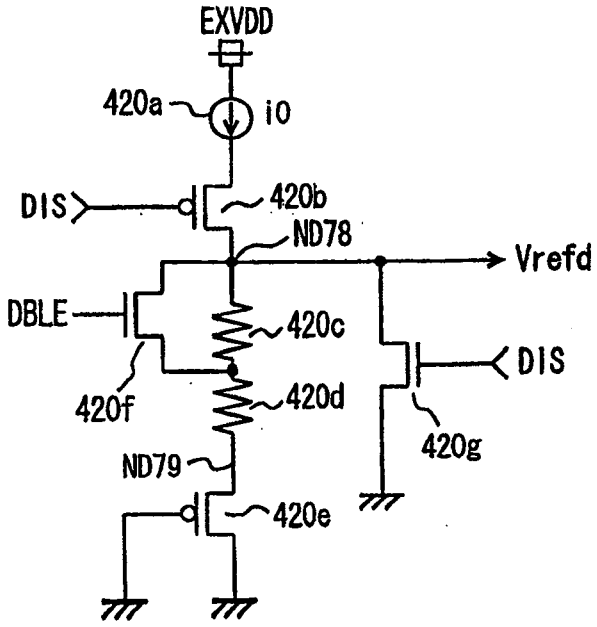

EXVDD
420a
i0
DIS
420b
ND78
Vrefd
DBLE
420c
DIS
420f
420d
420g
ND79
420e

图 35

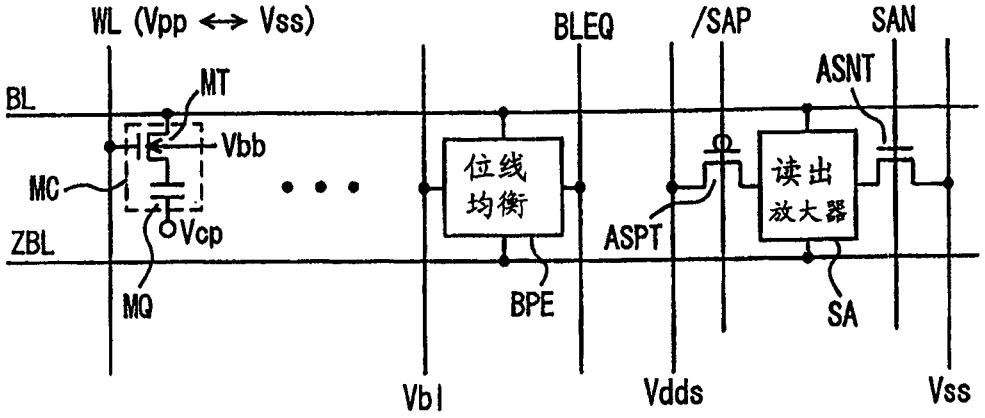

WL (Vpp ↔ Vss)
BLEQ
/SAP
SAN
ASNT
BL
MT
Vbb
MC
ZBL
Vcp
MQ
位线
均衡
BPE
ASPT
读出
放大器
SA
Vbl
Vdds
Vss

图 36

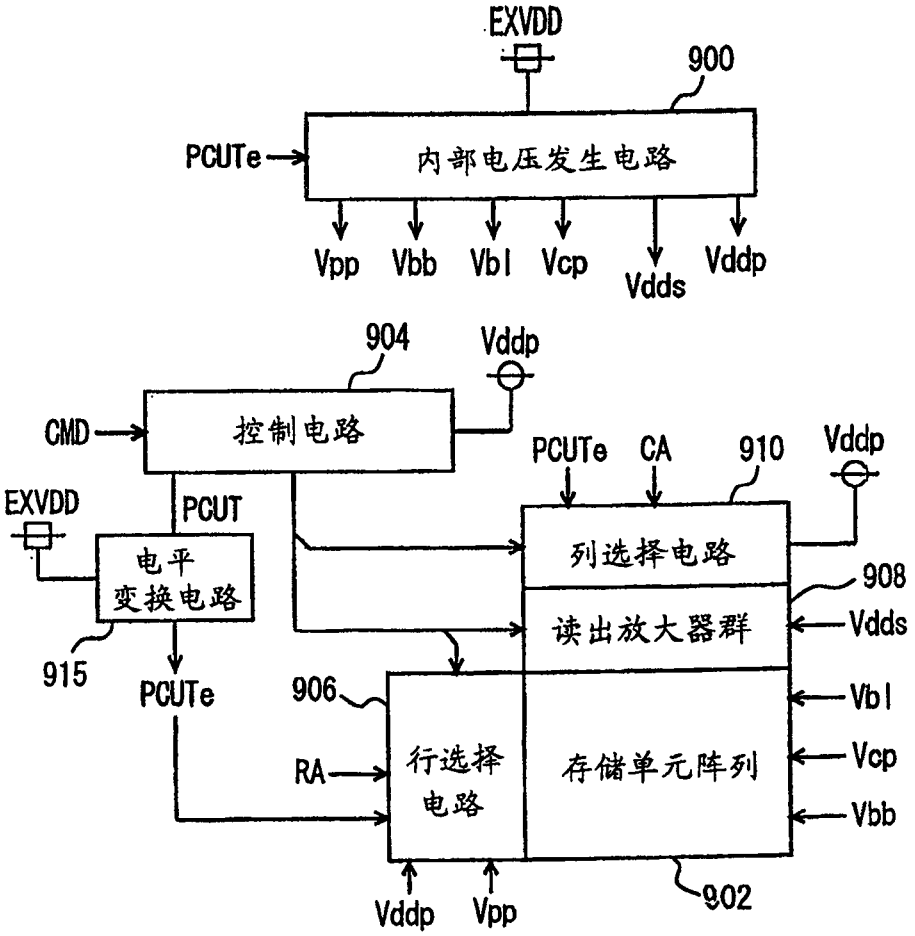

EXVDD
900
PCUTe
内部电压发生电路
Vpp
Vbb
Vbl
Vcp
Vdds
Vddp
904
Vddp
CMD
控制电路
PCUTe
CA
910
Vddp
EXVDD
PCUT
电平
变换电路
列选择电路
908
读出放大器群
Vdds
915
PCUTe
906
Vbl
RA
行选择
电路
存储单元阵列
Vcp
Vbb
902
Vddp
Vpp

图 37