

申請日期	88.1.11
案 號	
類 別	G11C 17/00

A4
C4

439061

(以上各欄由本局填註)

公告本

發明專利說明書

一、發明 名稱	中 文	電子式可程式化之唯讀記憶體及其 程式化和讀出時所用之方法
	英 文	Electrically Programmable Read-only Memory and Method for Programming and Reading the Memory
二、發明 創作人	姓 名	1. 厄德基特瓦爾雷比 (Erdmute Wohlrab) 2. 渥納威伯 (Werner Weber)
	國 籍	1. 德國 2. 德國
	住、居所	1. 德國慕尼黑 D-81825 佛萊拉斯辛格 17 號 2. 德國慕尼黑 D-80637 佛蘭茲馬克街 6/3 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

經濟部中央標準局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

德 國(地區) 申請專利，申請日期： 1998年2月12日 案號： 19805782.2

， 有 無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

本發明係相關於電子式程式化唯讀記憶體，即快閃EEPROM單元，不只可清除，且可由Fowler Nordheim通道程式化。因為選擇性的需要，在EEPROM單元中，在去除時，初始電壓相當高，如5V，而在程式化例子中則相當低，如1V。高臨界電壓指在對應的單元(cell)電晶體的浮動閘極中具有高的負電荷。反之，低臨界電壓指浮動閘極不放電。對應單元電晶體的控制閘極連接一字元線，且對應單元電晶體的汲極端連接一位元線。例如，程式化可在施加-10V至字元線及5V至位元線時發生。有時候，個別單元可相當簡單地加以程式化，此可導致熟知的"過程式化"，在此這些單元包含由在浮動閘極上之正電荷所產生的負臨界電壓。在讀取單元時，例如，選擇的字元線為2.5V，對應位元線為1V，而非選擇之字元線及位元線仍為0V。如果選擇單元的臨界電壓相當低，則位元線電流在這些電壓狀態下流動，且此單元被視為已程式化。如果單元已清除，則位元線電流通常不流動，但是，如果由於過程式化而使得臨界電壓為負，則電流不流過這些單元，即使並未選擇這些單元時。例如，如果讀取一實際上為已清除之單元，則可導致錯誤運算。因此之故，一般必需防止臨界電壓的負值。另外，對於小的操作電壓或多位準應用，一單元場之初始電壓的分佈最好為低位準，且臨界電壓的值應可加以調整。

在1995年3月的IEEE Electronic Device Letters, 第

五、發明說明(>)

16卷第3號121-123頁中，提出一機構，其中位元線可經充電電晶體而加以充電至5V，或可經放電電晶體放電到0V。而過程式化的問題可利用自行收斂程式化來防止。後者之發生可見於在字元線脈波的負相位期間，在浮動閘極上的負電荷下降，且在單元的初始電壓亦下降，而在字元線脈波的正相位期間，則檢測對是否達到所需要的臨界電壓。如果達到必需的臨界電壓，則單元開啓，位元線也因而放電，藉此其後的負脈波不再影響程式化。但是，從量測中證明由於電流洩到基體中，因此位元線可先放電，因此常常發生不完全程式化。

在IEEE論文中IEDM 96, 7.4.1到7.4.4 181到184頁中提出可由微弱的開路電晶體而再充電位元線，有可能依據此方式防止過低程式化。但是，缺點是此功能只在再充電電晶體中具有一特定位元線電壓時才實行而在即使如0.1V的偏離下，則可發生過低程式化或在所需臨界電壓之不收斂，另一缺點為程式化相不再長於約 $1\mu s$ ，因為不然該位元線可於位元線程式化期間經再充電電晶體而再度充電，且該單元因而更進一步程式化。由於過低程式化的脈波寬度，需要許多程式/讀取循環，因而不必要地延長了總程式化的時間。

發明概述

因此，本發明的目的係提供一唯讀記憶體，具有一機構可計算及控制位元線電壓，且提供一用於程式化及讀取此記憶體的方法，而可防止上述缺點，且記憶單元

五、發明說明()

所需要的臨界電壓多可自由選擇，且可精確地加以設定。

因此本發明提供一種電子式程式化唯讀記憶體，包含：至少一記憶單元(memory cell)，其包含一電晶體，具有一浮動閘極，一連接字元線的控制閘極，一連接位元線的汲極端，及一連接參考電位的源極端；該位元線經一第一 p 通道 MOS 電晶體連接位元線供應電壓。該第一電晶體的閘極經一第二 p 通道 MOS 電晶體連接該位元線供應電壓，且經一 n 通道 MOS 電晶體連接參考電位。該位元線連接該第二 p 通道 MOS 電晶體的閘極，而該 n 通道 MOS 電晶體的閘極連接一用於脈波波形電壓的輸入端。

本發明提供一種用於程式化唯讀記憶體的方法在 n 通道 MOS 電晶體及第一 p 通道 MOS 電晶體的輔助下，經脈波波形電壓，連接位元線到位元線供應電壓；隨後，將一含正及負脈波的脈波序列作用在字元線上，使得在負脈波期間，程式化至少一記憶單元，且在正脈波期間，核對是否已得到至少一記憶單元之電晶體的所需要之臨界電壓；而在達到所需要的臨界電壓後，至少一記憶體導通，且位元線的電壓因此降低，使得第二 p 通道 MOS 電晶體開路而 p 通道 MOS 電晶體閉路，因此位元線與位元線供應電壓解聯，且目前導通的至少一記憶單元放電至一參考電位。

本發明的其他優點為該機構的功能與供應電壓的振盪無關，而只需要先前共同程式化 / 讀取電壓位準，且可

五、發明說明(4)

439061

容忍位元線之高漏電流。

由下文中的說明可更進一步了解本發明之特徵及優點，閱讀時並請參考附圖。

圖式之簡單說明

第1圖為本發明實施例的方塊圖；以及

第2圖示第1圖之機構功能所需要的脈波圖。

較佳實施例之詳細說明

第1圖示一單元(cell)Z，其表示多個快閃EEPROM記憶單元，該單元Z可由具有浮動閘極的電晶體形成，其控制閘極連接字元線WL，其汲極端連接位元線BL，而其源極端則連接參考電位GND。在位元線BL上用於計算及控制位元線電壓的實際機構包含兩個P通道MOS電晶體M1及M2及一n通道電晶體M3，且可以連接位元線BL經電晶體M1到位元線供應電壓VBL。電晶體M2的閘極連接位元線BL，且脈波形電壓PHI作用在電晶體M3的閘極。兩電晶體M2，M3串連，因此電晶體M2的第一端連接位元線供應電壓VBL，電晶體M3的第一端連接參考電位GND，且兩電晶體的連接點CH連接電晶體M1的閘極。

如第2圖所示，在程式化開始時，在電晶體M3閘極處的正脈波PHI開啓了電晶體M3，在此節點CH，或電晶體M1的對應閘極接收接地電位，電晶體M1開路，然後，位元線供應電壓VBL置於位元線BL處，此時電壓為V。可由字元線的負脈波之施加進行程式化作業，如上述已知的機構一般。如上述習知技術中所說明者，在脈波的正

五、發明說明(5)

相位期間，測試了該單元是否已充分地程式化。如果已達到所需要的臨界電壓 V_{thend} ，則單元導通，且在該位元線上的電壓減少，使得電晶體 M2 開路，致使電晶體 M1 關斷。此導致與位元線供應電壓 V_{BL} 解聯，且位元線 BL 經現在導通的單元而放電到參考電位為止。因此完成單元 Z 的程式化。如習知技術中所示者，一單元場的位元線應執行該機制一次，使得所有連接字元線的單元均同時程式化。

多值記憶體亦可以可靠地並簡單地程式化，有可能程式化不同的臨界電壓，因此可由修改程式化脈波的振幅而超過兩個邏輯狀態。

該機構亦可以一感測放大器來操作，在此取代程式化脈波的是選擇數值高於所需要臨界電壓 V_{thend} 的讀取電壓並施加到字元線 WL 上。然後 n 通道 MOS 電晶體 (M3) 列線，使得其可經由 p 通道 MOS 電晶體 (M1) 預先對位元線充電到位元線讀取電壓 V_{BL}' ，此電壓通常低於位元線供應電壓 V_{BL} 。在讀取時，在位元線 BL 上的邏輯 0 或邏輯 1 指示該單元是否已清除或程式化。

因此，如果在該字元線上應用不同的電壓讀取該單元的話，則可設計出多值記憶體的感測放大器。

雖然文中已應較佳實施例說明本發明，但嫻熟本技術者需了解可對上述實施例加以更改及變更，而不偏離本發明的精神及觀點。

五、發明說明(6)

參考符號說明

Z.....單元

M1, M2, M3.....電晶體

WL.....字元線

GND.....參考電位

VBL.....位元線供應電壓

VBL'.....位元線讀取電壓

PHI.....脈波波形電壓

CH.....節點

Vthend.....臨界電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:)

439061

電子式可程式化之唯讀記憶體及其
程式化和讀出時所用之方法

一種用於電子式程式化唯讀記憶體，及用於程式化及
讀取該記憶體的方法，提供快閃EEPROM的自行收斂程式
化，其中快速且可靠地設定一記憶單元的初始電壓。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱: Electrically Programmable Read-only Memory
and Method for Programming and Reading
the Memory

In an electrically programmable read-only memory and method for the
programming and reading of the memory, a self-convergent programming of a flash
EEPROM is provided in which it is possible to rapidly and reliably set an inception
voltage of a memory cell.

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1. 一種電子式程式化唯讀記憶體，包含：

至少一記憶單元 (memory cell)，其包含一電晶體，具有一浮動閘極，一連接字元線的控制閘極，一連接位元線的汲極端，及一連接參考電位的源極端；

該位元線經一第一 p 通道 MOS 電晶體連接位元線供應電壓，且該第一電晶體的閘極經一第二 p 通道 MOS 電晶體連接該位元線供應電壓，且經一 n 通道 MOS 電晶體連接參考電位；以及

該位元線連接該第二 p 通道 MOS 電晶體的閘極，且該 n 通道 MOS 電晶體的閘極連接一用於脈波波形電壓的輸入端。

2. 一種用於程式化一唯讀記憶體的方法，其中唯讀記憶體提供至少一記憶單元，其包含一電晶體，具有一浮動閘極，一連接字元線的控制閘極，一連接位元線的汲極端，及一連接參考電位的源極端；，其中該位元線經一第一 p 通道 MOS 電晶體連接位元線供應電壓，且該第一電晶體的閘極經一第二 p 通道 MOS 電晶體連接該位元線供應電壓，且經一 n 通道 MOS 電晶體連接參考電位；其中該位元線連接該第二 p 通道 MOS 電晶體的閘極，且該 n 通道 MOS 電晶體的閘極連接一用於脈波波形電壓的輸入端，該方法包含下列步驟：

在 n 通道 MOS 電晶體及第一 p 通道 MOS 電晶體的輔助下，經脈波波形電壓，連接位元線到位元線供應電壓；

隨後，將一含正及負脈波的脈波序列作用在字元線

六、申請專利範圍

上，使得在負脈波期間，程式化至少一記憶單元，且在正脈波期間，核對是否已得到至少一記憶單元之電晶體的所需要之臨界電壓；以及

在達到所需要的臨界電壓且至少一記憶單元導通，且位元線的電壓因而降低後，使第二 p 通道 MOS 電晶體開路而 p 通道 MOS 電晶體閉路，因此位元線與位元線供應電壓解聯，且目前導通的至少一記憶單元放電至參考電位。

3. 如申請專利範圍第 2 項之方法，其中包含步驟為：產生不同的需要之臨界電壓，並由一正脈波的對應振幅設定對應需要的臨界電壓。

4. 一種用於讀取一唯讀記憶體的方法，該記憶體具有至少一記憶單元，其包含一電晶體，具有一浮動閘極，一連接字元線的控制閘極，一連接位元線的汲極端，及一連接參考電位的源極端；其中該位元線經一第一 p 通道 MOS 電晶體連接位元線供應電壓，且該第一電晶體的閘極經一第二 p 通道 MOS 電晶體連接該位元線供應電壓，且經一 n 通道 MOS 電晶體連接參考電位；其中該位元線連接該第二 p 通道 MOS 電晶體的閘極，且該 n 通道 MOS 電晶體的閘極連接一用於脈波波形電壓的輸入端，該方法包含下列步驟：

連接 n 通道 MOS 電晶體，使得其經由 p 通道電晶體預充電位元線到位元線讀取電壓；

隨後，加一讀取電壓到對應記憶單元的字元線，該

六、申請專利範圍

電壓比該記憶單元之電晶體的程式化臨界電壓具有更大的正值；以及

隨後，經由位元線的電壓，而給予該記憶單元一邏輯狀態。

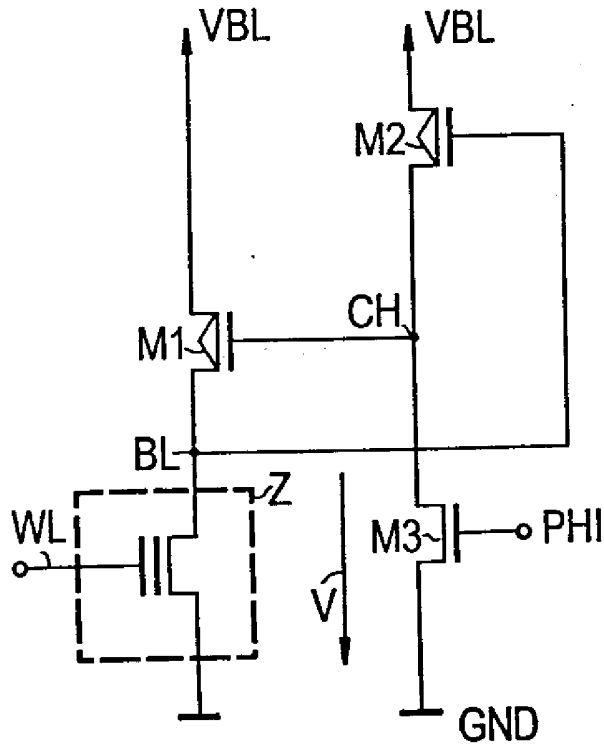
5. 如申請專利範圍第4項之方法，其中包含步驟為在將讀取之記憶單元的字元線處，應用不同的讀取電壓讀取記憶單元。

(請先閱讀背面之注意事項再填寫本頁)

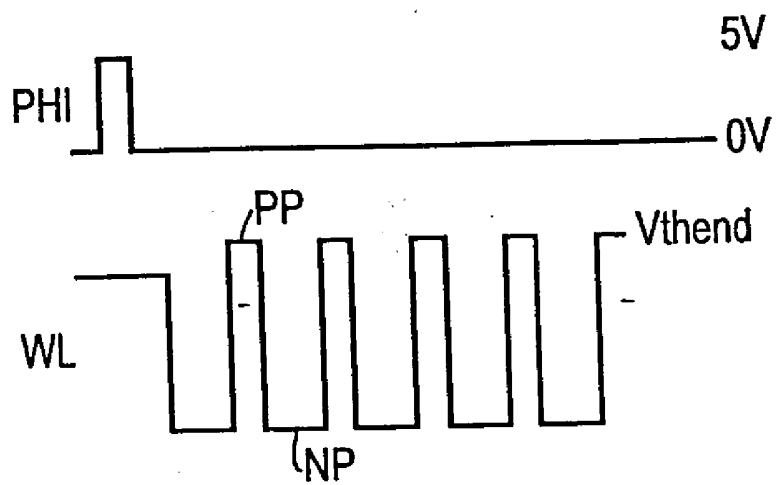
裝

訂

線



第 1 圖



第 2 圖