

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2015-191336

(P2015-191336A)

(43) 公開日 平成27年11月2日 (2015.11.2)

(51) Int. Cl.	F I	テーマコード (参考)
G 0 6 F 21/60 (2013.01)	G 0 6 F 21/24 1 6 0 B	5 B 0 6 0
G 0 6 F 12/02 (2006.01)	G 0 6 F 12/02 5 7 0 A	
G 0 6 F 12/00 (2006.01)	G 0 6 F 12/02 5 3 0 E	
	G 0 6 F 12/00 5 9 7 U	

審査請求 未請求 請求項の数 12 O L (全 21 頁)

(21) 出願番号 特願2014-66810 (P2014-66810)
 (22) 出願日 平成26年3月27日 (2014. 3. 27)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

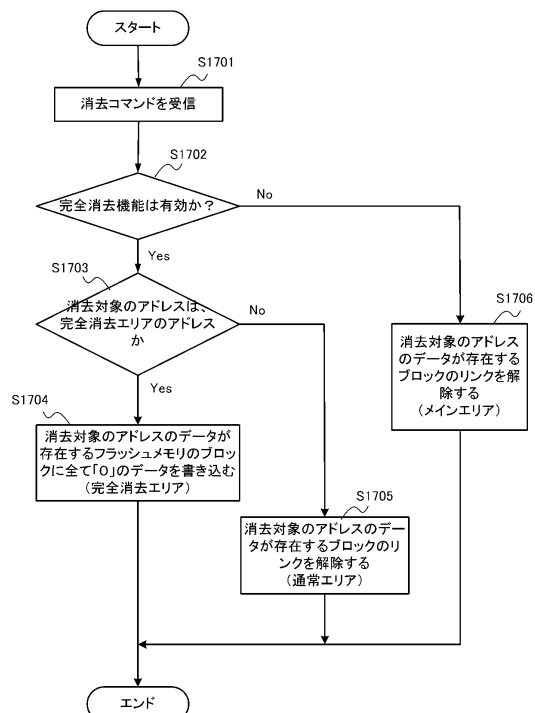
(54) 【発明の名称】 メモリ制御装置、情報処理装置とその制御方法、及びプログラム

(57) 【要約】

【課題】 全てのデータを完全消去すると多くの時間を要し、パフォーマンスが低下するおそれがある。

【解決手段】 論理アドレスと不揮発性記憶装置の物理アドレスとを対応付けておき、不揮発性記憶装置のデータを完全に消去する完全消去モードが設定されている場合、不揮発性記憶装置の物理アドレスを完全消去対象とそれ以外とに分割して管理する。論理アドレスに基づいて不揮発性記憶装置に記憶されているデータの消去が指示されると、当該論理アドレスに対応付けられた物理アドレスが完全消去対象に属しているか否かを判定し、完全消去対象に属していると判定されると、その論理アドレスに対応付けられた物理アドレスのデータを完全に消去し、完全消去対象に属していないと判定されると、その論理アドレスに対応付けられた物理アドレスのデータのリンクを解除する。

【選択図】 図 1 7



【特許請求の範囲】**【請求項 1】**

不揮発性記憶装置へのアクセスを制御するメモリ制御装置であって、
論理アドレスと前記不揮発性記憶装置の物理アドレスとを対応付けるアドレス手段と、
前記不揮発性記憶装置のデータを完全に消去する完全消去モードを設定する設定手段と

、

前記設定手段により前記完全消去モードが設定されている場合に、前記不揮発性記憶装置の物理アドレスを完全消去対象とそれ以外とに分割して管理する管理手段と、

前記論理アドレスに基づいて前記不揮発性記憶装置に記憶されているデータの消去が指示されると、当該論理アドレスに対応付けられた物理アドレスが前記完全消去対象に属しているか否かを判定する判定手段と、

前記判定手段により前記完全消去対象に属していると判定されると前記論理アドレスに対応付けられた物理アドレスのデータを完全に消去し、前記判定手段により前記完全消去対象に属していないと判定されると前記論理アドレスに対応付けられた物理アドレスのデータのリンクを解除するように制御する制御手段と、
を有することを特徴とするメモリ制御装置。

【請求項 2】

前記設定手段は、外部装置からのコマンドに従って前記完全消去モードを設定することを特徴とする請求項 1 に記載のメモリ制御装置。

【請求項 3】

前記コマンドは更に、前記完全消去モードの対象となる前記不揮発性記憶装置のアドレスを含むことを特徴とする請求項 2 に記載のメモリ制御装置。

【請求項 4】

前記不揮発性記憶装置は、NAND型フラッシュメモリであることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のメモリ制御装置。

【請求項 5】

不揮発性記憶装置にアクセスする情報処理装置であって、
論理アドレスと前記不揮発性記憶装置の物理アドレスとを対応付けるアドレス手段と、
前記不揮発性記憶装置のデータを完全に消去する完全消去モードを設定する設定手段と

、

前記設定手段により前記完全消去モードが設定されている場合に、前記不揮発性記憶装置の物理アドレスを完全消去対象とそれ以外とに分割して管理する管理手段と、

前記不揮発性記憶装置に記憶されているデータの消去が指示されると、前記データの物理アドレスが前記完全消去対象に属しているか否かを判定する判定手段と、

前記判定手段により前記完全消去対象に属していると判定されると前記データを完全に消去し、前記判定手段により前記完全消去対象に属していないと判定されると前記データと前記論理アドレスとのリンクを解除するように制御する制御手段と、
を有することを特徴とする情報処理装置。

【請求項 6】

前記制御手段は、前記完全消去モードでは前記不揮発性記憶装置に記憶されているデータの消去が指示されると、前記データを全て 0 のデータに書き換えることを特徴とする請求項 5 に記載の情報処理装置。

【請求項 7】

前記アドレス手段は、前記論理アドレスと前記不揮発性記憶装置の物理アドレスとをブロック単位で対応付けることを特徴とする請求項 5 又は 6 に記載の情報処理装置。

【請求項 8】

前記完全消去対象に属している物理アドレスのブロックにデータを書き込む際は、当該ブロックに全て 1 のデータを書き込んだ後に前記データを書き込み、前記完全消去対象に属していない物理アドレスのブロックにデータを書き込む際は、当該ブロックに全て 0 のデータを書き込み、その後、全て 1 のデータを書き込んだ後に前記データを書き込む書き

10

20

30

40

50

込み手段を更に有することを特徴とする請求項 7 に記載の情報処理装置。

【請求項 9】

不揮発性記憶装置へのアクセスを制御するメモリ制御装置を制御する制御方法であって、

論理アドレスと前記不揮発性記憶装置の物理アドレスとを対応付けるアドレス工程と、
前記不揮発性記憶装置のデータを完全に消去する完全消去モードを設定する設定工程と

前記設定工程で前記完全消去モードが設定されている場合に、前記不揮発性記憶装置の物理アドレスを完全消去対象とそれ以外とに分割して管理する管理工程と、

前記論理アドレスに基づいて前記不揮発性記憶装置に記憶されているデータの消去が指示されると、当該論理アドレスに対応付けられた物理アドレスが前記完全消去対象に属しているか否かを判定する判定工程と、

前記判定工程で前記完全消去対象に属していると判定されると前記論理アドレスに対応付けられた物理アドレスのデータを完全に消去し、前記判定工程で前記完全消去対象に属していないと判定されると前記論理アドレスに対応付けられた物理アドレスのデータのリンクを解除するように制御する制御工程と、

を有することを特徴とするメモリ制御装置の制御方法。

【請求項 10】

不揮発性記憶装置にアクセスする情報処理装置を制御する制御方法であって、

論理アドレスと前記不揮発性記憶装置の物理アドレスとを対応付けるアドレス工程と、
前記不揮発性記憶装置のデータを完全に消去する完全消去モードを設定する設定工程と

前記設定工程で前記完全消去モードが設定されている場合に、前記不揮発性記憶装置の物理アドレスを完全消去対象とそれ以外とに分割して管理する管理工程と、

前記不揮発性記憶装置に記憶されているデータの消去が指示されると、前記データの物理アドレスが前記完全消去対象に属しているか否かを判定する判定工程と、

前記判定工程で前記完全消去対象に属していると判定されると前記データを完全に消去し、前記判定工程で前記完全消去対象に属していないと判定されると前記データと前記論理アドレスとのリンクを解除するように制御する制御工程と、

を有することを特徴とする情報処理装置の制御方法。

【請求項 11】

コンピュータを、請求項 1 乃至 4 のいずれか 1 項にメモリ制御装置として機能させるためのプログラム。

【請求項 12】

コンピュータを、請求項 5 乃至 8 のいずれか 1 項に情報処理装置として機能させるためのプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリ制御装置、情報処理装置とその制御方法、及びプログラムに関する。

【背景技術】

【0002】

NANDフラッシュメモリを制御するNANDフラッシュメモリコントローラは、NANDフラッシュメモリの寿命を延ばすために、ウェアレベリング(Wear-Leveling)を行うことが一般的に知られている。このウェアレベリングは、NANDフラッシュメモリコントローラによって様々な手法があり、そのウェアレベリングの実行タイミングもNANDフラッシュメモリコントローラにより異なる。

【0003】

いまシステムコントローラがNANDフラッシュメモリコントローラと接続される構成の場合、ウェアレベリングの実行後、システムコントローラが管理するテーブルのデータ

10

20

30

40

50

は、NANDフラッシュメモリの他のブロックにコピーされている可能性がある。このためシステムコントローラが、あるデータをセキュリティのために消去したとしても、そのデータが別の場所に残存している可能性がある。そこでこのような残存しているデータを完全に消去するために、NANDフラッシュメモリコントローラには、完全消去機能を有するものがある。この完全消去機能は、NANDフラッシュメモリコントローラが書き込んだデータに上書きして、そのデータを完全に消去する機能で、このデータの消去はNANDフラッシュメモリのブロック単位で実行される。このためNANDフラッシュメモリのブロックよりも小さいデータを消去する場合はパフォーマンスの低下が発生するおそれがあるため、例えば特許文献1には、これを解決する提案がなされている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2012-191370号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記特許文献1では、完全消去モードが有効になったときに、ジョブのセキュリティレベルによって画像処理のパスを動的に切り替えることが記載されている。

【0006】

完全消去モードをオンにすると、フラッシュメモリに記憶されたデータが完全に消去されるためセキュリティレベルを維持できる。しかしながら、この場合は、ユーザ領域の全てのデータが完全消去の対象となってしまうため、完全消去をする必要がないデータに対しても完全消去を行ってしまう。このため、全てのデータを完全消去すると多くの時間を要し、パフォーマンスが低下するおそれがある。

【0007】

本発明の目的は、上記従来技術の問題点を解決することにある。

【0008】

本発明の特徴は、不揮発性記憶装置のメモリの全てを完全消去対象のエリアとせず、完全消去対象のエリアとそれ以外のエリアとに分けて管理することにより、セキュリティレベルを維持しながら、パフォーマンスの低下を少なくすることにある。

【課題を解決するための手段】

【0009】

上記目的を達成するために本発明の一態様に係るメモリ制御装置は以下のような構成を備える。即ち、

不揮発性記憶装置へのアクセスを制御するメモリ制御装置であって、

論理アドレスと前記不揮発性記憶装置の物理アドレスとを対応付けるアドレス手段と、

前記不揮発性記憶装置のデータを完全に消去する完全消去モードを設定する設定手段と

、
前記設定手段により前記完全消去モードが設定されている場合に、前記不揮発性記憶装置の物理アドレスを完全消去対象とそれ以外とに分割して管理する管理手段と、

前記論理アドレスに基づいて前記不揮発性記憶装置に記憶されているデータの消去が指示されると、当該論理アドレスに対応付けられた物理アドレスが前記完全消去対象に属しているか否かを判定する判定手段と、

前記判定手段により前記完全消去対象に属していると判定されると前記論理アドレスに対応付けられた物理アドレスのデータを完全に消去し、前記判定手段により前記完全消去対象に属していないと判定されると前記論理アドレスに対応付けられた物理アドレスのデータのリンクを解除するように制御する制御手段と、を有することを特徴とする。

【発明の効果】

【0010】

本発明によれば、不揮発性記憶装置のデータのセキュリティレベルを維持しながら、不

10

20

30

40

50

揮発性記憶装置のデータを消去する際のパフォーマンスの低下を少なくできる効果がある。

【 0 0 1 1 】

本発明のその他の特徴及び利点は、添付図面を参照とした以下の説明により明らかになるであろう。なお、添付図面においては、同じ若しくは同様の構成には、同じ参照番号を付す。

【図面の簡単な説明】

【 0 0 1 2 】

添付図面は明細書に含まれ、その一部を構成し、本発明の実施の形態を示し、その記述と共に本発明の原理を説明するために用いられる。

【図 1】本実施形態に係る情報処理装置の構成を示すブロック図。

【図 2】実施形態に係るフラッシュメモリのアドレス管理を説明する概念図。

【図 3】実施形態に係る 4 ギガビットのフラッシュメモリのブロックとページの概念を説明する図。

【図 4】実施形態に係るフラッシュメモリコントローラのリンクテーブルの概念図。

【図 5】実施形態に係るフラッシュメモリコントローラが書き込みコマンド（ライトコマンド）を受信した場合の処理を説明するフローチャート。

【図 6】実施形態に係るフラッシュメモリコントローラがライトコマンドを受信した場合のリンクテーブルの遷移を説明する図。

【図 7】実施形態に係るフラッシュメモリコントローラが消去コマンドを受信した場合の処理を説明するフローチャート。

【図 8】実施形態に係るフラッシュメモリコントローラが消去コマンドを受信した場合のリンクテーブルの遷移を説明する図。

【図 9】実施形態に係るフラッシュメモリコントローラが消去コマンドを受信した場合のリンクテーブルの接続変化を説明する図。

【図 10】実施形態に係るフラッシュメモリコントローラによるフラッシュメモリのブロック初期化処理を説明するフローチャート。

【図 11】実施形態に係るフラッシュメモリコントローラによるフラッシュメモリのブロック初期化処理におけるリンクテーブルの遷移を説明する図。

【図 12】実施形態 1 に係るフラッシュメモリコントローラが、リンクテーブルのメインエリアに完全消去エリアを設ける処理を説明するフローチャート。

【図 13】実施形態 1 に係るフラッシュメモリコントローラが、リンクテーブルのメインエリアを完全消去エリアと通常エリアとに分割した状態を説明する図。

【図 14】実施形態 1 に係るフラッシュメモリコントローラが、リンクテーブルのメインエリアを完全消去エリアと通常エリアとに分割して管理しているときにライトコマンドを受信した場合の処理を示すフローチャート。

【図 15】実施形態 1 に係るフラッシュメモリコントローラが完全消去エリアにデータを書き込むときのリンクテーブルの遷移を説明する図。

【図 16】実施形態 1 に係るフラッシュメモリコントローラが通常エリアにデータを書き込むときのリンクテーブルの遷移を説明する図。

【図 17】実施形態 1 に係るフラッシュメモリコントローラが、完全消去エリアと通常エリアとに分割して管理している場合に消去コマンドを受信したときの処理を説明するフローチャート。

【図 18】実施形態 1 に係るフラッシュメモリコントローラが完全消去エリアのデータを消去するときのリンクテーブルの遷移を説明する図。

【図 19】実施形態 1 に係るフラッシュメモリコントローラが通常エリアのアドレスのデータを消去するコマンドを受信した場合のブロックの変化を説明する図。

【図 20】実施形態 1 に係るフラッシュメモリコントローラが、完全消去エリアと通常エリアとに分けて管理している場合のブロック初期化処理を説明するフローチャート。

【図 21】図 20 のブロック初期化処理におけるリンクテーブルの遷移を説明する図。

10

20

30

40

50

【発明を実施するための形態】

【0013】

以下、添付図面を参照して本発明の実施形態を詳しく説明する。尚、以下の実施形態は特許請求の範囲に係る本発明を限定するものでなく、また本実施形態で説明されている特徴の組み合わせの全てが本発明の解決手段に必須のものとは限らない。以下の実施形態では、本発明のメモリ制御装置を、不揮発性記憶装置であるNAND型フラッシュメモリへのデータの読み書き（アクセス）を制御するフラッシュメモリコントローラを例に説明する。

【0014】

図1は、本実施形態に係る情報処理装置の構成を示すブロック図である。

10

【0015】

この情報処理装置は、装置全体の動作を制御するシステムコントローラ10と、NANDフラッシュメモリ（以下、フラッシュメモリ）30を制御するNANDフラッシュメモリコントローラ（以下、フラッシュメモリコントローラ）20とを有している。

【0016】

システムコントローラ10は、フラッシュメモリコントローラ20と汎用のバス40で接続される。システムコントローラ10は、CPU101、記憶部102、外部I/F103、UI（ユーザインターフェース）104、RAM105、ROM106を有し、これらはバスを介して相互に接続されている。CPU101は、装置の起動時、ROM106からブートプログラムを読み出して実行し、記憶部102に格納されているプログラムをRAM105へ展開する。そしてCPU101は、そのRAM105に展開されたプログラムを実行して、この装置の動作を制御する。またCPU101は、UI104に画像データを出力してユーザインターフェースの画面を表示する。また外部I/F103にはUSBメモリ等が接続される。

20

【0017】

フラッシュメモリコントローラ20は、CPU110、ROM111、RAM112を有する。フラッシュメモリコントローラ20は、システムコントローラ10のCPU101が指定した、フラッシュメモリ30のアドレスへのデータのリード/ライト/イレース等のコマンドを受信する。フラッシュメモリコントローラ20は、システムコントローラ10からコマンドを受け取ると、そのコマンドに応じた処理をフラッシュメモリ30に対して行う。

30

【0018】

フラッシュメモリコントローラ20のCPU110は、ROM111に格納されているプログラムに従ってフラッシュメモリコントローラ20の動作を制御する。RAM112は、CPU110による制御の際にCPU110が使用する各種データを一時的に保存するワークエリアを提供している。

【0019】

図2は、実施形態に係るフラッシュメモリのアドレス管理を説明する概念図である。ここで汎用バス40は、SATA/IFを例に説明する。

【0020】

40

システムコントローラ10のCPU101は、LBA方式で指定したアドレスに対してリード/ライト等のコマンドをフラッシュメモリコントローラ20へ発行する。フラッシュメモリコントローラ20は、CPU101から受信したライト/イレースのコマンドから論理ブロック（LBlock）210と物理ブロック230の関係を表すリンクテーブル220を作成する。リンクテーブル220を図2の例で説明すると、LBlock0はPBlock2と接続され、LBlock2はPBlock1と接続されるリンクテーブル220となっており、この関係はウェアレベリングが実行されることで更新される。フラッシュメモリコントローラ20の物理ブロック230であるPBlock0, 1, 2, ..., nは、それぞれフラッシュメモリ30のブロック311のBlock0, 1, 2..., nと1対1で接続され、この関係が崩れることはない。

50

【 0 0 2 1 】

図 3 は、実施形態に係る 4 ギガビットのフラッシュメモリ 3 0 のブロックとページの概念を説明する図である。

【 0 0 2 2 】

フラッシュメモリ 3 0 は、4 ギガビット (= 2 5 6 K ビット × 2 0 4 8) のサイズで、それぞれが 2 5 6 キロビットの 2 0 4 8 個のブロック 3 1 1 で構成される。ここで各ブロック 3 1 1 は 6 4 個のページ 3 1 1 1 で構成され、一つのページ 3 1 1 1 のサイズは 4 K ビットである。フラッシュメモリコントローラ 2 0 は、フラッシュメモリ 3 0 へデータを書き込む場合は、ページ単位でデータを書き込む。またフラッシュメモリコントローラ 2 0 が、フラッシュメモリ 3 0 のデータを消去する場合は、ブロック単位でデータの消去を行う。

10

【 0 0 2 3 】

図 4 は、実施形態に係るフラッシュメモリコントローラ 2 0 のリンクテーブル 2 2 0 の概念図で、ここではフラッシュメモリ 3 0 へデータを書き込んだ後の状態を示している。

【 0 0 2 4 】

リンクテーブル 2 2 0 は、ユーザ領域であるメインエリア 4 1 0 とリザーブエリア 4 2 0 の二つの領域を備えている。尚、このユーザ領域以外にも、フラッシュメモリコントローラ 2 0 が管理するシステム領域が存在するが、本実施形態ではそれらの領域に関する説明を割愛する。メインエリア 4 1 0 には、有効データが記憶されているフラッシュメモリ 3 0 のブロック 3 1 1 に対応する使用済ブロック 4 1 1 と、論理ブロック 2 1 0 とのリンクが解除されたフラッシュメモリ 3 0 のブロックに対応するブロック 4 1 2 とが存在する。この論理ブロック 2 1 0 とリンクが解除されたブロック 4 1 2 に対応するフラッシュメモリ 3 0 のブロック 3 1 1 のデータは、リンクが解除されているためシステムコントローラ 1 0 から読み出すことはできない。しかし、フラッシュメモリ 3 0 に対して直接リードコマンドを発行した場合は、そのデータ自体はフラッシュメモリ 3 0 に残存しているため読み出すことができる。リザーブエリア 4 2 0 には、複数の書き込み可能な空きブロック 4 2 1 を含んでいる。この書き込み可能な空きブロック 4 2 1 とは、フラッシュメモリ 3 0 が書き込み可能なように、全ビットが「 1 」に初期化されたブロックである。

20

【 0 0 2 5 】

メインエリア 4 1 0 とリザーブエリア 4 2 0 のブロック数は、フラッシュメモリコントローラ 2 0 のファームウェア等で予め決まっており、フラッシュメモリ 3 0 が未使用状態では、メインエリア 4 1 0 のブロックは全て空きブロックである。

30

【 0 0 2 6 】

図 5 は、実施形態に係るフラッシュメモリコントローラ 2 0 が書き込みコマンド (ライトコマンド) を受信した場合の処理を説明するフローチャートである。この処理を実行するプログラムは R O M 1 1 1 に記憶されており、C P U 1 1 0 がそのプログラムを実行することによりこの処理が達成される。

【 0 0 2 7 】

図 6 は、実施形態に係るフラッシュメモリコントローラ 2 0 がライトコマンドを受信した場合のリンクテーブル 2 2 0 の遷移を説明する図である。図 5 のフローチャートを図 6 のリンクテーブルのブロック遷移を参照しながら説明する。

40

【 0 0 2 8 】

図 5 の処理は、フラッシュメモリコントローラ 2 0 がシステムコントローラ 1 0 からライトコマンドを受信することにより開始される。このときリンクテーブル 2 2 0 の状態は、図 6 (A) に示す状態であるとし、ライトコマンドで書き込まれるデータはライトデータ A 4 0 0 で示されている。

【 0 0 2 9 】

まず S 5 0 1 で C P U 1 1 0 は、その受信したライトデータ A 4 0 0 をフラッシュメモリ 3 0 に書き込むために、そのライトデータ A 4 0 0 のデータサイズから、そのデータを書き込むのに必要なブロック数を求める。そして、その求めた数のブロックをリザーブエ

50

リア 4 2 0 から選定する。尚、図 6 (A) では、ライトデータ A 4 0 0 のサイズは、1 ブロック以下のサイズとする。

【 0 0 3 0 】

次に S 5 0 2 に進み C P U 1 1 0 は、S 5 0 1 で選定した数のブロックを、リザーブエリア 4 2 0 からメインエリア 4 1 0 に移動する。この状態を図 6 (B) に示す。図 6 (B) では、リンクテーブル 2 2 0 のリザーブエリア 4 2 0 にある一つの空きブロック 4 2 1 をメインエリア 4 1 0 へ移動している。

【 0 0 3 1 】

次に S 5 0 3 に進み C P U 1 1 0 は、メインエリア 4 1 0 へ移動したブロック 4 2 1 に対応するフラッシュメモリ 3 0 のブロックへ、そのデータ A 4 0 0 を書き込んで、図 6 (C) に示すように、リンクテーブル 2 2 0 を更新する。

【 0 0 3 2 】

ここでライトデータ A 4 0 0 のサイズは、一つのブロックのサイズ以下となっているため、リザーブエリア 4 2 0 からメインエリア 4 1 0 に移動する空きブロック 4 2 1 の数は一つである。しかしながら、そのデータサイズが複数ブロックのサイズに相当している場合は、リザーブエリア 4 2 0 から複数の空きブロック 4 2 1 をメインエリア 4 1 0 へ移動する。

【 0 0 3 3 】

図 7 は、実施形態に係るフラッシュメモリコントローラ 2 0 が消去コマンドを受信した場合の処理を説明するフローチャートである。この処理を実行するプログラムは R O M 1 1 1 に記憶されており、C P U 1 1 0 がそのプログラムを実行することによりこの処理が達成される。

【 0 0 3 4 】

図 8 は、実施形態に係るフラッシュメモリコントローラ 2 0 が消去コマンドを受信した場合のリンクテーブル 2 2 0 の遷移を説明する図である。

【 0 0 3 5 】

図 9 は、実施形態に係るフラッシュメモリコントローラ 2 0 が消去コマンドを受信した場合のリンクテーブル 2 2 0 の接続変化を説明する図である。以下、図 7 のフローチャートを、図 8、図 9 を参照して説明する。

【 0 0 3 6 】

図 7 の処理は、フラッシュメモリコントローラ 2 0 が、システムコントローラ 1 0 から、フラッシュメモリ 3 0 の B l o c k 2 (9 0 1) のデータを消去する消去コマンドを受信することにより開始される。このときリンクテーブル 2 2 0 は、図 8 (A) に示す状態であり、リンクテーブル 2 2 0 の接続は図 9 (A) に示す状態とする。

【 0 0 3 7 】

まず S 7 0 1 で C P U 1 1 0 は、消去対象のデータの論理アドレス (L B l o c k 0) と物理アドレス (P B l o c k 2) のリンクを解除する。図 9 (A) では、フラッシュメモリコントローラ 2 0 は、フラッシュメモリ 3 0 のブロック 9 0 1 を、論理アドレス 2 1 0 (L B l o c k 0) と物理ブロック 2 3 0 (P B l o c k 2) に対応付けて管理している。

【 0 0 3 8 】

図 9 (B) では、フラッシュメモリコントローラ 2 0 が、フラッシュメモリ 3 0 の B l o c k 2 (9 0 1) のデータの消去コマンドを受信することにより、L B l o c k 0 と P B l o c k 2 のリンクが解除された状態を示している。

【 0 0 3 9 】

次に S 7 0 2 に進み C P U 1 1 0 は、S 7 0 1 でリンクを解除したリンクテーブル 2 2 0 を更新する。このとき図 8 (B) に示すように、フラッシュメモリコントローラ 2 0 は、フラッシュメモリ 3 0 の B l o c k 2 (9 0 1) に対応するメインエリア 4 1 0 のブロック 8 0 1 のリンクを解除する。このとき図 9 (B) に示すように、ブロック 9 0 1 とリンクテーブル 2 2 0 の論理アドレスとのリンクは解除されているが、フラッシュメモリ 3

10

20

30

40

50

0 の B l o c k 2 のデータは、フラッシュメモリ 3 0 に残存している。

【 0 0 4 0 】

このようにフラッシュメモリ 3 0 のあるブロックのデータの消去コマンドを受信すると、そのブロックと論理アドレスとのリンクが解除されることにより、そのフラッシュメモリ 3 0 のブロックのデータは読み出せなくなる。しかしながら、フラッシュメモリ 3 0 のそのブロックのデータは残存したままとなる。

【 0 0 4 1 】

図 1 0 は、実施形態に係るフラッシュメモリコントローラ 2 0 によるフラッシュメモリ 3 0 のブロック初期化処理を説明するフローチャートである。この処理を実行するプログラムは R O M 1 1 1 に記憶されており、C P U 1 1 0 がそのプログラムを実行することによりこの処理が達成される。

10

【 0 0 4 2 】

図 1 1 は、実施形態に係るフラッシュメモリコントローラ 2 0 によるフラッシュメモリ 3 0 のブロック初期化処理によるリンクテーブル 2 2 0 の遷移を説明する図である。以下、図 1 0 のフローチャートを図 1 1 を参照しながら説明する。

【 0 0 4 3 】

まず S 1 0 0 1 で C P U 1 1 0 は、リザーブエリア 4 2 0 の空きブロックの数が所定値以下になったかどうか判定する。図 1 1 (A) では、リザーブエリア 4 2 0 の空きブロック 4 2 1 の数が「 5 」になっている。ここでは、所定値を「 8 」として説明する。図 1 1 (A) は、リザーブエリア 4 2 0 の空きブロックの数が 5 であるため、リザーブエリア 4 2 0 のブロック数が所定値以下になったと判定して S 1 0 0 2 へ進む。

20

【 0 0 4 4 】

S 1 0 0 2 で C P U 1 1 0 は、リザーブエリア 4 2 0 へ移動するブロックをメインエリア 4 1 0 の中のリンクのないブロック 4 1 2 から選定する。ここでは図 1 1 (A) に示すブロック 1 1 1 1 , 1 1 1 2 , 1 1 1 3 を選定する。この実施形態では、ブロックの消去回数が少ない順にブロックを選定するが、この選定手法は他の手法でも構わない。

【 0 0 4 5 】

次に S 1 0 0 3 に進み C P U 1 1 0 は、S 1 0 0 2 で選定したブロック 1 1 1 1 , 1 1 1 2 , 1 1 1 3 に対応するフラッシュメモリ 3 0 のブロックに全て「 0 」を書き込んでイレーズする。このイレーズは、ブロックの電荷を抜くことである (図 1 1 (B)) 。

30

【 0 0 4 6 】

次に S 1 0 0 4 に進み C P U 1 1 0 は、S 1 0 0 2 で選定したブロック 1 1 1 1 , 1 1 1 2 , 1 1 1 3 に対応するフラッシュメモリ 3 0 のブロックに全て「 1 」を書き込んで初期化する。

【 0 0 4 7 】

次に S 1 0 0 5 に進み C P U 1 1 0 は、S 1 0 0 2 で選定したブロックを、メインエリア 4 1 0 からリザーブエリア 4 2 0 へ移動する。図 1 1 (C) は、このときのリンクテーブル 2 2 0 のイメージ図である。図 1 1 (C) では、S 1 0 0 2 で選定したメインエリア 4 1 0 のブロック 1 1 1 1 , 1 1 1 2 , 1 1 1 3 をリザーブエリア 4 2 0 へ移動している。

40

【 0 0 4 8 】

尚、リザーブエリア 4 2 0 へ移動されたブロック 1 1 1 1 ~ 1 1 1 3 に対応するフラッシュメモリ 3 0 のブロックは全て「 1 」で初期化されているため、そのブロックには直ぐにデータを書き込むことができる。

【 0 0 4 9 】

[実施形態 1]

以下、本実施形態 1 に係るリンクテーブル 2 2 0 のメインエリア 2 2 0 に、完全消去エリア 1 3 0 0 と通常エリア 1 3 1 0 を設けた例について説明する。

【 0 0 5 0 】

図 1 2 は、実施形態 1 に係るフラッシュメモリコントローラ 2 0 が、リンクテーブル 2

50

20のメインエリアに完全消去エリアを設ける処理を説明するフローチャートである。この処理を実行するプログラムはROM111に記憶されており、CPU110がそのプログラムを実行することによりこの処理が達成される。

【0051】

この処理は、実施形態1に係る情報処理装置の電源がオンされることにより開始される。まずS1201でCPU110は、完全消去機能の設定変更があるかどうかを判定し、設定変更がある場合はS1202に進むが、設定変更がないときは、そのまま処理を終了する。尚、この完全消去機能の設定は、フラッシュメモリ30に保持されており、情報処理装置の電源オフ時の設定が、情報処理装置の電源オン時に反映される。S1202でCPU110は、完全消去機能を有効にするか否かを判定する。ここではCPU110は、システムコントローラ10から完全消去機能を有効にするコマンドを受信したかどうかを判定し、そのコマンドを受信した場合はS1203に進み、そのコマンドを受信しないときはS1206へ移行する。

【0052】

S1203でCPU110は、システムコントローラ10から完全消去エリア1300の開始アドレスと終了アドレスを受信し、フラッシュメモリ30へ、その設定を格納してS1204へ進む。S1204でCPU110は、システムコントローラ10から他に完全消去エリア1300の指定のコマンドを受信したかどうかを判定し、他に完全消去エリアの指定コマンドを受信した場合はS1203に進んで前述の処理を実行する。一方、他に完全消去エリアの指定コマンドを受信していないときはS1205に進む。S1205でCPU110は、完全消去機能の有効コマンドをシステムコントローラ10から受信して、この処理を終了する。一方、S1206でCPU110は、システムコントローラ10から完全消去機能の無効コマンドを受信して、この処理を終了する。

【0053】

尚、事前に設定されている完全消去エリア1300の開始アドレスと終了アドレスは、フラッシュメモリ30で保持される。また完全消去機能が無効になったとしても、フラッシュメモリ30で保持される完全消去エリア1300の開始アドレスと終了アドレスはマスクされるだけである。また完全消去機能の設定と開始アドレス、終了アドレスの設定は、フラッシュメモリ30のシステム領域に保存される。

【0054】

このように実施形態1に係るフラッシュメモリコントローラ20は、システムコントローラ10から完全消去エリア1300の指定のコマンドを受信すると、図13に示すように、メインエリア220に完全消去エリア1300と通常エリア1310を設ける。

【0055】

図13は、実施形態1に係るフラッシュメモリコントローラ20が、リンクテーブル220のメインエリア410を完全消去エリア1300と通常エリア1310とに分割した例を説明する図である。図13では、フラッシュメモリ30のブロックが、完全消去エリア1300と通常エリア1310、リザーブエリア420のブロックに対応している。

【0056】

完全消去エリア1300は、使用中のフラッシュメモリ30のブロックに対応するブロック1331と、イレーズ済みのフラッシュメモリ30のブロックに対応するブロック1332とを含む。通常エリア1310のブロックは、使用中のフラッシュメモリ30のブロックに対応するブロック1341と、システムコントローラ10の論理ブロックとのリンクが解除されたブロック1342とを含む。

【0057】

ここで、イレーズ済みのフラッシュメモリ30のブロックには、全て「1」のデータが書き込まれて初期化されている。

【0058】

図14は、実施形態に係るフラッシュメモリコントローラ20が、リンクテーブル220のメインエリア410を完全消去エリア1300と通常エリア1310とに分割して管

10

20

30

40

50

理しているときにライトコマンドを受信した場合の処理を示すフローチャートである。この処理を実行するプログラムはROM 111に記憶されており、CPU 110がそのプログラムを実行することによりこの処理が達成される。

【0059】

この処理は、フラッシュメモリコントローラ20がシステムコントローラ10からライトコマンドを受信することにより開始される。まずS1401でCPU110は、フラッシュメモリ30に格納される完全消去機能の設定を読み出し、その完全消去機能が有効かどうかを判定する。ここで完全消去機能が有効であると判定するとS1402に進み、無効であればS1407へ移行する。S1402でCPU110は、受信したライトコマンドの書き込みアドレスが示すブロックは、完全消去エリア1300のブロックに対応しているかどうかを判定する。ここで完全消去エリア1300のブロックに対応していると判定するとS1403に進みそうでないときはS1405に進む。

10

【0060】

S1403でCPU110は、リザーブエリア420のブロックを完全消去エリア1300へ移動する。

【0061】

図15は、実施形態に係るフラッシュメモリコントローラ20が完全消去エリアにデータを書き込むときのリンクテーブル220の遷移を説明する図である。

【0062】

図15(A)は、完全消去エリア1300、通常エリア1310、リザーブエリア420に各ブロックが配置されている状態を示す。ここで、フラッシュメモリコントローラ20がフラッシュメモリ30に書き込みたいデータはライトデータA400である。図15(B)では、完全消去エリア1300のブロックに対応するフラッシュメモリ30のブロックにデータを書き込むために、完全消去エリア1300へリザーブエリア420の空きブロック1501を移動した状態を示す図である。

20

【0063】

こうしてS1403の処理を実行するとS1404へ処理を進めCPU110は、S1403で完全消去エリア1300に移動した空きブロック1501に対応するフラッシュメモリ30のブロックにデータA400を書き込んで処理を終了する(図15(C))。

【0064】

これにより、ライトコマンドで指定されたデータは、フラッシュメモリ30の完全消去エリアに対応するブロックに書き込まれる。従って、このブロックに書き込まれたデータが消去されるときは、完全消去モードで消去されることになる。

30

【0065】

一方、S1405でCPU110は、リザーブエリア420の空きブロック421を通常エリア1310へ移動する。

【0066】

図16は、実施形態に係るフラッシュメモリコントローラ20が通常エリア1310にデータを書き込むときのリンクテーブル220の遷移を説明する図である。

【0067】

図16(A)では、完全消去エリア1300、通常エリア1310、リザーブエリア420に各ブロックが配置されている状態を示す。ここでも、フラッシュメモリコントローラ20がフラッシュメモリ30に書き込みたいデータはライトデータA400である。図16(B)は、通常エリア1310のデータライトコマンドを受信したことにより、S1405で、リザーブエリア420の空きブロック1601を通常エリア1310へ移動した状態を示す。

40

【0068】

次にS1406に進みCPU110は、通常エリア1310へ移動した空きブロック1601に対応するフラッシュメモリ30のブロックにデータA400を書き込んで、この処理を終了する。この状態を図16(C)に示す。

50

【 0 0 6 9 】

また S 1 4 0 7 で C P U 1 1 0 は、図 5 及び図 6 を参照して説明した完全消去エリア 1 3 0 0 と通常エリア 1 3 1 0 とに分けていない場合の通常の書き込み処理で、リザーブエリア 4 2 0 のブロックをメインエリア 4 1 0 へ移動する。そして S 1 4 0 8 に進み C P U 1 1 0 は、S 1 4 0 7 でメインエリア 4 1 0 へ移動したブロックに対応するフラッシュメモリ 3 0 のブロックにデータ A 4 0 0 を書き込んで、この処理を終了する。

【 0 0 7 0 】

このようにして、ライコマンドを受信すると、完全消去機能が有効であるとき、そのデータを書き込むブロックが完全消去エリアに対応するかどうかにより、リンクテーブル 2 2 0 で、その書き込んだブロックを完全消去エリアに配置するかどうかを制御する。これにより、そのデータの消去コマンドを受信したときの処理が、以下に説明するように異なってくる。

【 0 0 7 1 】

図 1 7 は、実施形態 1 に係るフラッシュメモリコントローラ 2 0 が、リンクテーブル 2 2 0 のメインエリア 4 1 0 を完全消去エリア 1 3 0 0 と通常エリア 1 3 1 0 とに分割している場合に、消去コマンドを受信したときの処理を説明するフローチャートである。この処理を実行するプログラムは R O M 1 1 1 に記憶されており、C P U 1 1 0 がそのプログラムを実行することによりこの処理が達成される。

【 0 0 7 2 】

まず S 1 7 0 1 で C P U 1 1 0 は、システムコントローラ 1 0 から消去コマンドを受信する。次に S 1 7 0 2 に進み C P U 1 1 0 は、フラッシュメモリ 3 0 に格納された完全消去機能の設定に基づいて、完全消去機能が有効かどうかを判定する。ここで完全消去機能が有効に設定されていると判定すると S 1 7 0 3 へ進み、無効と判定すると S 1 7 0 6 へ進む。S 1 7 0 3 で C P U 1 1 0 は、消去対象に指示されたアドレスが、完全消去エリア 1 3 0 0 のブロックに属するアドレスかどうかを判定する。ここで消去対象のアドレスが、完全消去エリア 1 3 0 0 のブロックに属するアドレスであると判定すると S 1 7 0 4 に進むが、消去対象のアドレスが通常エリア 1 3 1 0 のブロックに対応するアドレスであると判定したときは S 1 7 0 5 へ進む。

【 0 0 7 3 】

S 1 7 0 4 で C P U 1 1 0 は、消去対象のアドレスを含むフラッシュメモリ 3 0 のブロックを全て「0」で上書きして、この処理を終了する。一方、S 1 7 0 5 で C P U 1 1 0 は、通常エリア 1 3 1 0 のブロックに対応しているため、消去対象のアドレスが存在するブロックのリンクを解除して、この処理を終了する。

【 0 0 7 4 】

また完全消去機能が無効に設定されているときは S 1 7 0 6 に進み C P U 1 1 0 は、完全消去機能が無効なので図 7 で説明した通常の動作と同様の処理を実行する。即ち、メインエリア 4 1 0 に存在する、指定されたアドレスを含むフラッシュメモリ 3 0 のブロックのリンクを解除して、この処理を終了する。

【 0 0 7 5 】

図 1 8 は、実施形態 1 に係るフラッシュメモリコントローラ 2 0 が完全消去エリア 1 3 0 0 のデータを消去するときのリンクテーブル 2 2 0 の遷移を説明する図である。

【 0 0 7 6 】

図 1 8 (A) は、フラッシュメモリコントローラ 2 0 が完全消去エリア 1 3 0 0 の対象アドレスのデータを消去するコマンドを受信する前のリンクテーブル 2 2 0 の状態を示す図である。

【 0 0 7 7 】

フラッシュメモリコントローラ 2 0 が、完全消去エリア 1 3 0 0 のブロック 1 3 3 1 に対応するフラッシュメモリ 3 0 のブロックを消去する場合、完全消去が実行される。このときブロック 1 3 3 1 に対応するフラッシュメモリ 3 0 のブロックはイレースされ、そのブロックに全て「0」のデータが書き込まれる。その状態を図 1 8 (B) に示す。

10

20

30

40

50

【 0 0 7 8 】

このように実施形態 1 では、完全消去エリア 1 3 0 0 のブロック 1 3 3 1 に対応するフラッシュメモリ 3 0 のブロックのデータを消去するときは、そのブロックに全て「 0 」のデータが書き込まれる。

【 0 0 7 9 】

図 1 9 は、実施形態 1 に係るフラッシュメモリコントローラ 2 0 が通常エリア 1 3 1 0 のアドレスのデータを消去するコマンドを受信した場合のブロックの変化を説明する図である。

【 0 0 8 0 】

図 1 9 (A) は、通常エリア 1 3 1 0 のアドレスのデータを消去するコマンドを受信する前のリンクテーブル 2 2 0 の状態を示す。

10

【 0 0 8 1 】

図 1 9 (B) は、通常エリア 1 3 1 0 のブロック 1 3 4 1 に対応するフラッシュメモリ 3 0 のデータを消去すると、リンクテーブル 2 2 0 でブロック 1 3 4 1 のリンクが解除された状態を示している。

このように実施形態 1 では、完全消去エリアに該当しないブロックに対応するフラッシュメモリ 3 0 のブロックのデータを消去するときは、そのブロックのデータを残したままでデータのリンクを解除する。

【 0 0 8 2 】

図 2 0 は、実施形態 1 に係るフラッシュメモリコントローラ 2 0 が、リンクテーブル 2 2 0 のメインエリア 4 1 0 を完全消去エリア 1 3 0 0 と通常エリア 1 3 1 0 に分けて管理している場合のブロック初期化処理を説明するフローチャートである。この処理を実行するプログラムは R O M 1 1 1 に記憶されており、C P U 1 1 0 がそのプログラムを実行することによりこの処理が達成される。

20

【 0 0 8 3 】

図 2 1 は、図 2 0 のブロック初期化処理におけるリンクテーブルの遷移を説明する図である。図 2 1 (A) は、ブロック初期化処理を実行する前の状態を示し、図 2 1 (B) は、ブロック初期化処理を実行している状態を示し、図 2 1 (C) は、ブロック初期化処理が完了した状態を示している。以下、図 2 0 のフローチャートを、図 2 1 を参照して説明する。

30

【 0 0 8 4 】

まず S 2 0 0 1 で C P U 1 1 0 は、リンクテーブル 2 2 0 のリザーブエリア 4 2 0 の空きブロック 4 2 1 の数が所定値以下になったかどうかを判定する。図 2 1 (A) では、リザーブエリア 4 2 0 の空きブロック 4 2 1 の数は 5 つであり、ここでは所定値を「 8 」とする。S 2 0 0 1 で空きブロック 4 2 1 の数が所定値以下になったと判定すると S 2 0 0 2 に進み C P U 1 1 0 は、フラッシュメモリ 3 0 に格納される完全消去エリアの設定情報を読み出して、完全消去機能が有効かどうかを判定する。ここで C P U 1 1 0 は有効であると判定すると S 2 0 0 3 へ進み、無効と判定すると S 2 0 0 6 へ進む。

【 0 0 8 5 】

S 2 0 0 3 で C P U 1 1 0 は、リザーブエリア 4 2 0 へ移動するブロックを完全消去エリア 1 3 0 0 と通常エリア 1 3 1 0 から選定する。この選定条件としては、例えばブロックの消去回数が少ないものからリザーブエリア 4 2 0 へ移動するように決めても良いが、他の手法でも良いものとする。図 2 1 (A) では、完全消去エリア 1 3 0 0 のイレース済のブロック 1 3 3 1 , 1 3 3 2 の数が 2 つ、通常エリア 1 3 1 0 のリンク解除済みのブロック 1 3 4 1 の数が 1 つであるため、これらのブロックをリザーブエリア 4 2 0 へ移行するように選定する。

40

【 0 0 8 6 】

次に S 2 0 0 4 に進み C P U 1 1 0 は、完全消去エリア 1 3 0 0 の中の選定したブロック 1 3 3 1 , 1 3 3 2 に対応するフラッシュメモリ 3 0 のブロックに全て「 1 」のデータを書き込む。また通常エリア 1 3 1 0 で選定されたブロック 1 3 4 1 に対応するフラッシュ

50

メモリ 30 のブロックに全て「0」のデータを書き込んでイレースした後、全て「1」のデータを書き込んで初期化する。次に S 2 0 0 5 に進み CPU 1 1 0 は、S 2 0 0 3 で選定したブロックをリザーブエリア 4 2 0 へ移動する。

【0087】

図 2 1 (B) は、S 2 0 0 4 の処理が完了した状態を示す。また図 2 1 (C) は、初期化したブロック 1 3 3 1 , 1 3 3 2 , 1 3 4 1 をリザーブエリア 4 2 0 へ移動した状態を示す。

【0088】

S 2 0 0 6 ~ S 2 0 0 8 の処理は、図 1 0 の S 1 0 0 2 ~ S 1 0 0 5 の処理と同じであるため、簡単に説明する。

10

【0089】

S 2 0 0 6 で CPU 1 1 0 は、リザーブエリア 4 2 0 へ移動するブロックをメインエリア 4 1 0 から選定する。そして S 2 0 0 7 へ進み CPU 1 1 0 は、S 2 0 0 6 で選定したブロックに全て「0」のデータを書き込んでイレースした後、そのブロックに全て「1」のデータを書き込んで初期化する。そして S 2 0 0 8 に進み CPU 1 1 0 は、S 2 0 0 6 で選定したブロックを、メインエリア 4 1 0 からリザーブエリア 4 2 0 へ移動して、この処理を終了する。

【0090】

こうして、リザーブエリア 4 2 0 の空きブロックの数が所定値以下になると、メインエリア、或いは完全消去機能が有効であれば、完全消去エリア或いは通常エリアのイレース済或いはリンク解除済みのブロックで補充できる。

20

【0091】

このような本実施形態 1 によれば、メインエリアのブロックを完全消去対象エリアと、従来のメインエリアと同じ通常エリアとに分割し、完全消去対象エリアに対応するブロックのデータだけを完全に消去し、それ以外のブロックはリンクの解除だけを行う。これにより、メインエリアの全てのブロックに対応するブロックのデータを完全に消去する場合に比べて、データの消去に要する時間を短縮できる。

【0092】

(その他の実施形態)

また、本発明は、以下の処理を実行することによっても実現される。即ち、上述した実施形態の機能を実現するソフトウェア (プログラム) を、ネットワーク又は各種記憶媒体を介してシステム或いは装置に供給し、そのシステム或いは装置のコンピュータ (又は CPU や MPU 等) がプログラムを読み出して実行する処理である。

30

【0093】

本発明は上記実施の形態に制限されるものではなく、本発明の精神及び範囲から離脱することなく、様々な変更及び変形が可能である。従って、本発明の範囲を公にするために、以下の請求項を添付する。

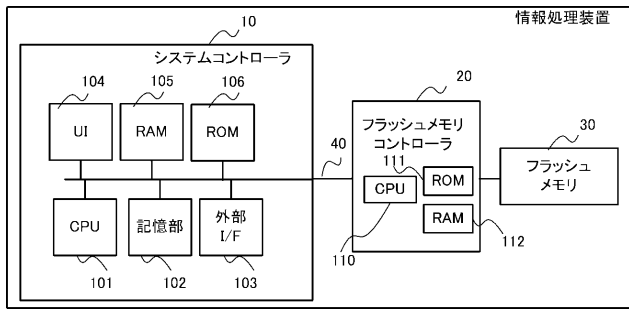
【符号の説明】

【0094】

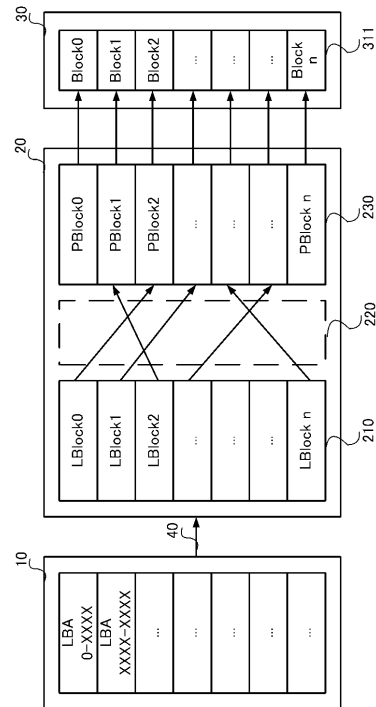
1 0 ... システムコントローラ、 2 0 ... フラッシュメモリコントローラ、 3 0 ... フラッシュメモリ

40

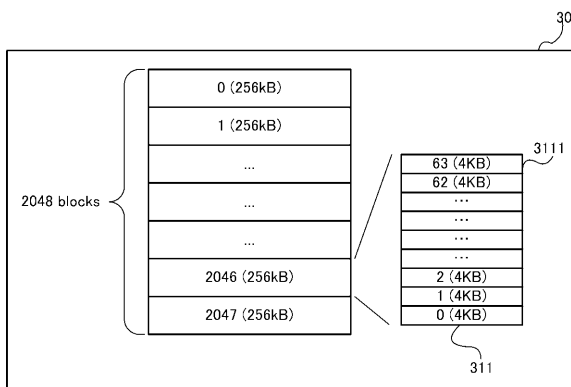
【図 1】



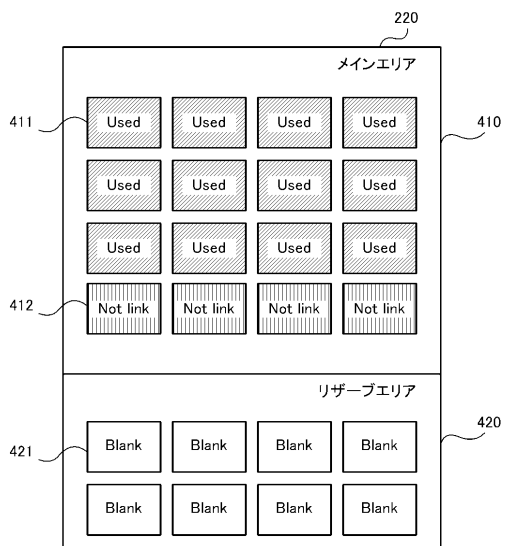
【図 2】



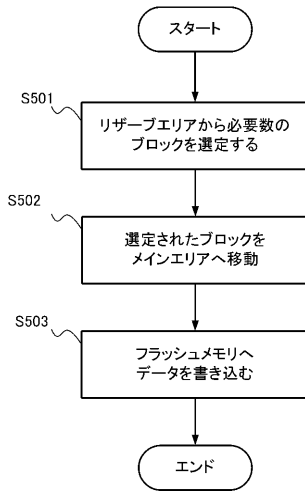
【図 3】



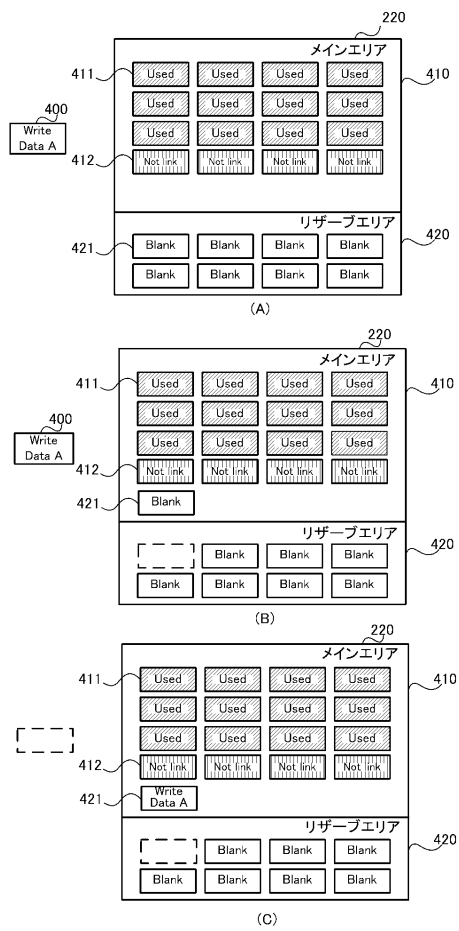
【図 4】



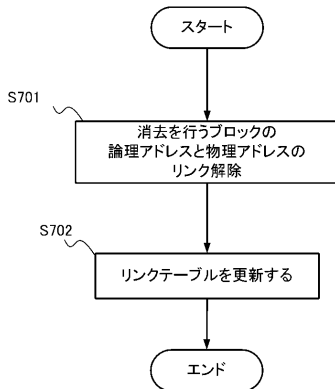
【図 5】



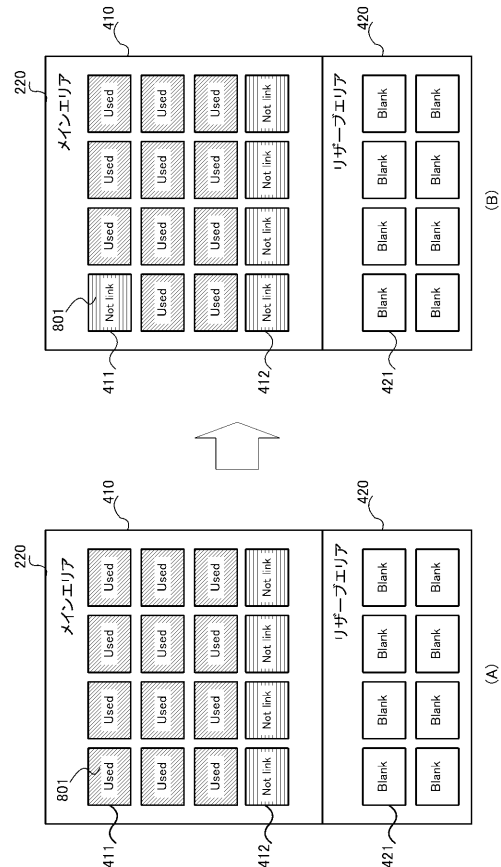
【図 6】



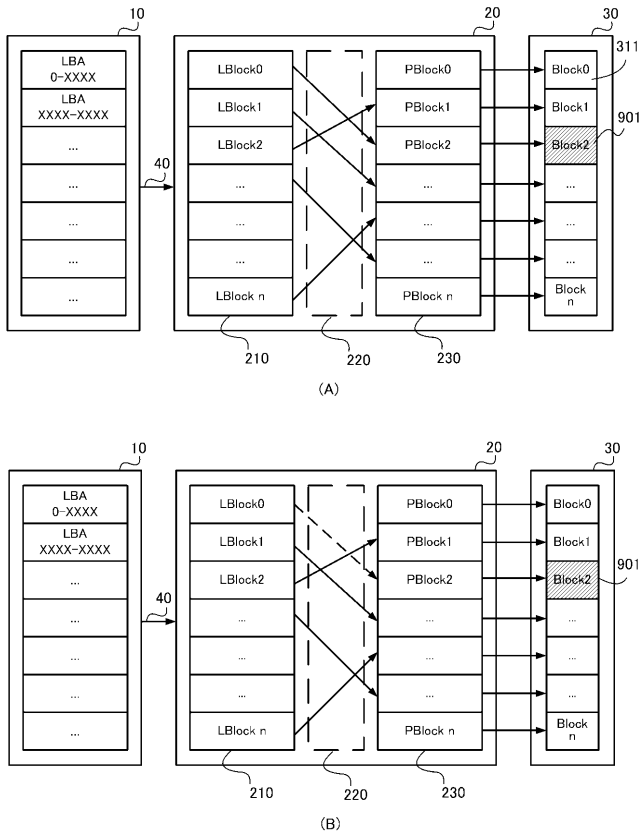
【図 7】



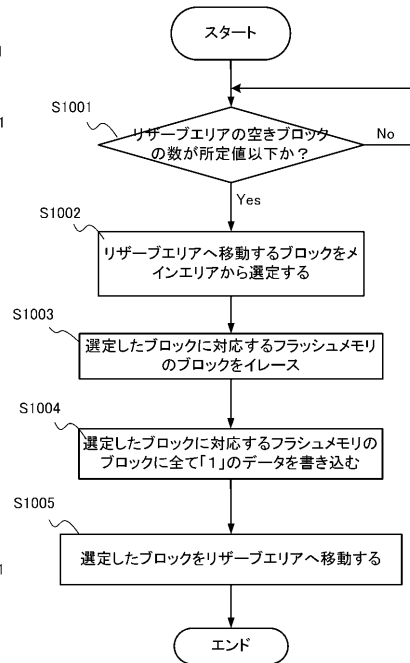
【図 8】



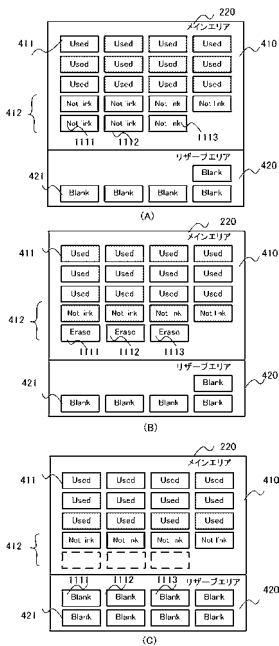
【図 9】



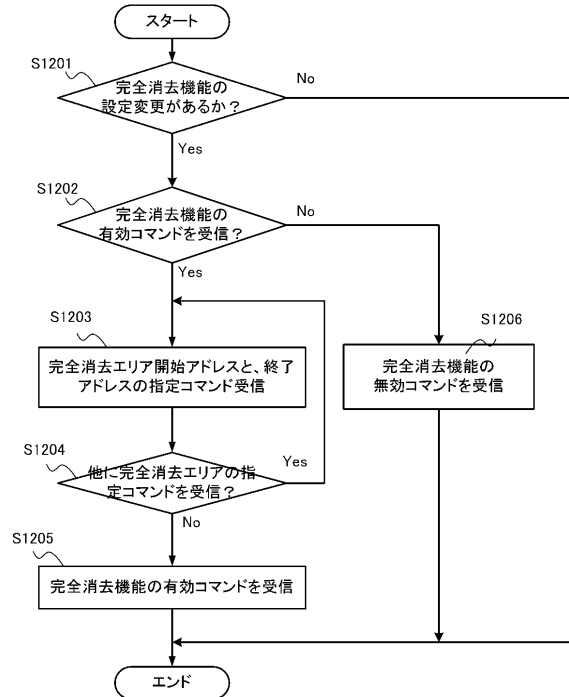
【図 10】



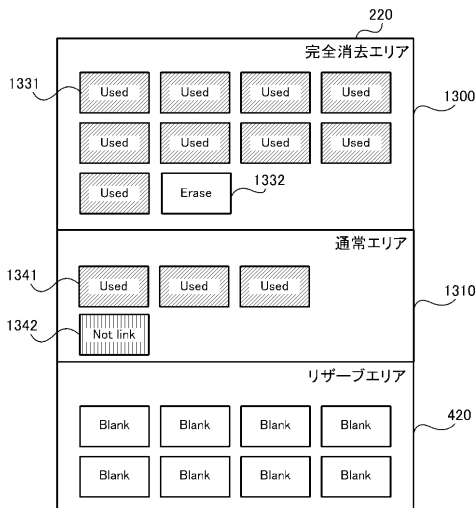
【図 11】



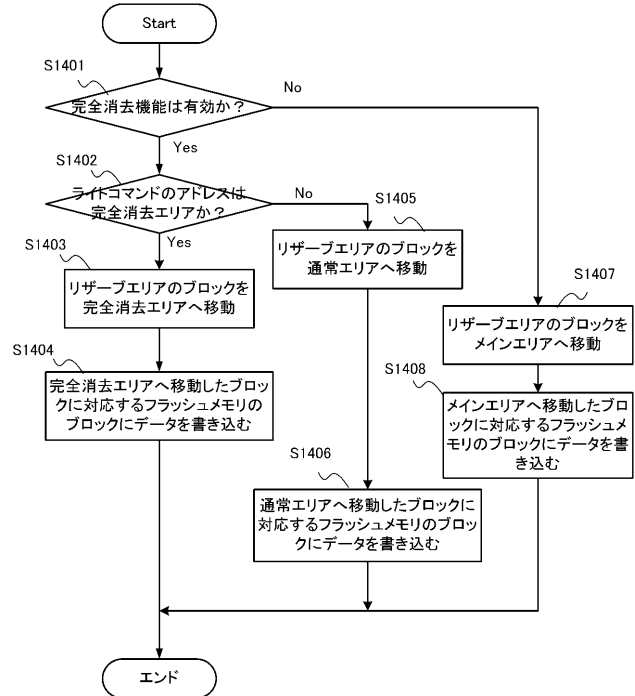
【図 12】



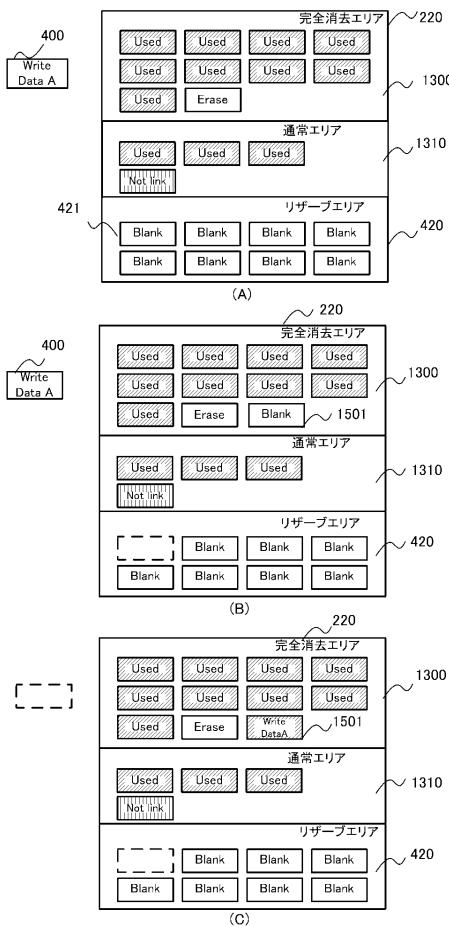
【図 13】



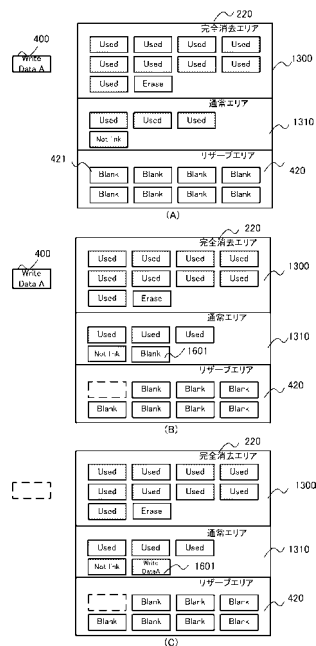
【図 14】



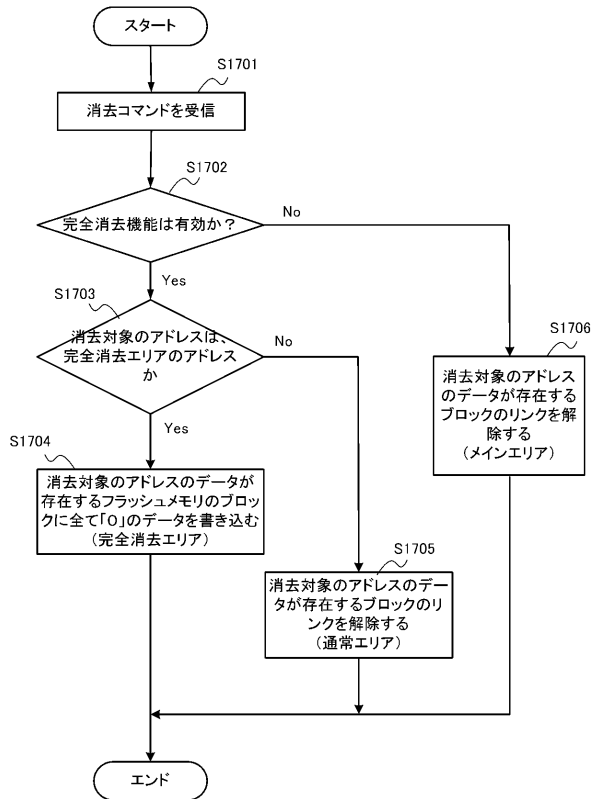
【図 15】



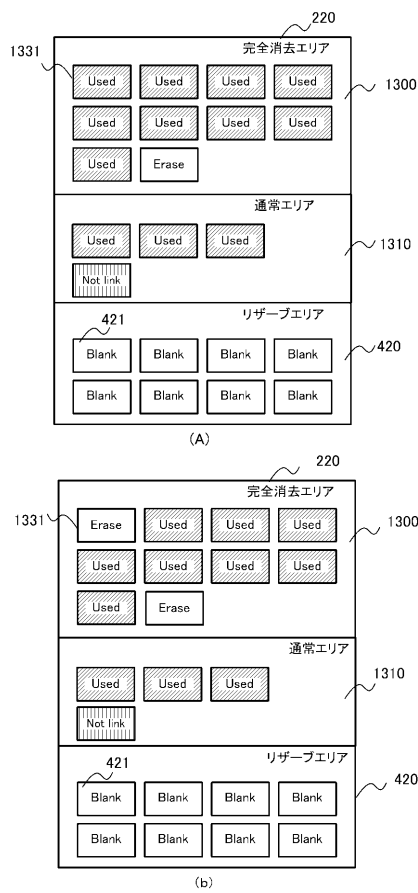
【図 16】



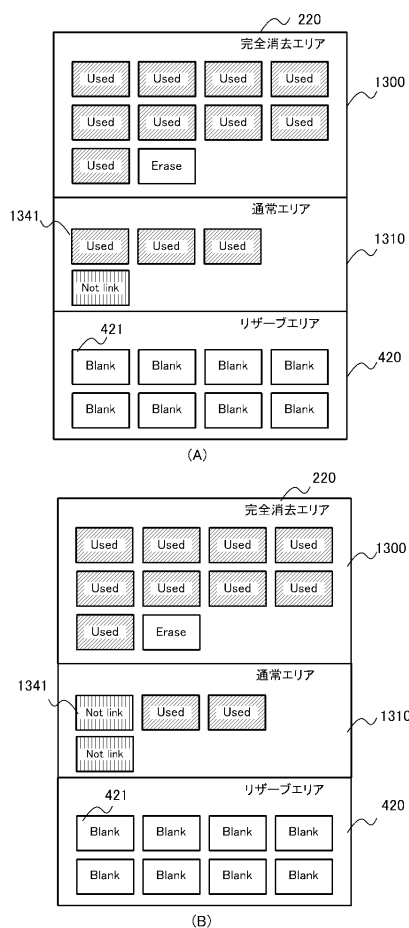
【図 17】



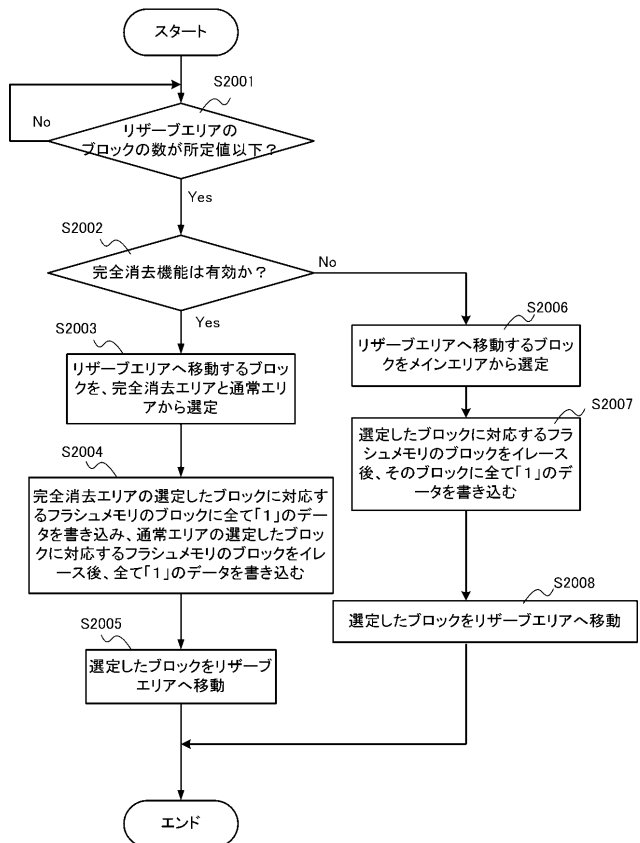
【図 18】



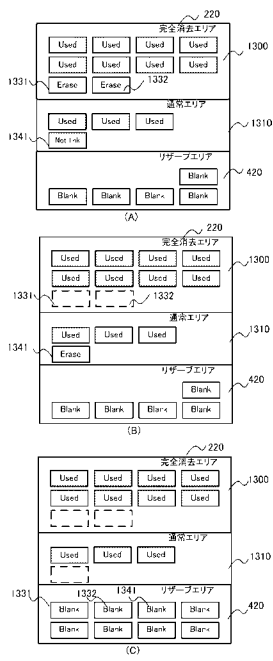
【図 19】



【図 20】



【図 21】



フロントページの続き

(72)発明者 伊藤 武弘

東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社内

F ターム(参考) 5B060 AA09 AB26