

(12) 发明专利

(10) 授权公告号 CN 101628705 B

(45) 授权公告日 2012. 10. 31

(21) 申请号 200910159812. X

H01L 25/00(2006. 01)

(22) 申请日 2009. 07. 10

(56) 对比文件

(30) 优先权数据  
2008-182577 2008. 07. 14 JP

CN 101023517 A, 2007. 08. 22, 说明书第 1 页  
第 5 行 - 第 3 页第 3 行, 附图 1A-1E.

(73) 专利权人 欧姆龙株式会社  
地址 日本京都府京都市

CN 1198013 A, 1998. 11. 04, 说明书第 1 页第  
12 行 - 第 2 页第 6 行, 附图 1.

(72) 发明人 咸崎真良 森口诚

US 2006/0237810 A1, 2006. 10. 26, 说明书第  
[0010]-[0013] 段, 附图 1-7.

(74) 专利代理机构 北京三友知识产权代理有限  
公司 11127

审查员 祁恒

代理人 丁香兰

(51) Int. Cl.

H01L 21/316(2006. 01)

B81C 3/00(2006. 01)

H01L 21/50(2006. 01)

H01L 21/603(2006. 01)

B81C 5/00(2006. 01)

H01L 21/78(2006. 01)

B81B 7/02(2006. 01)

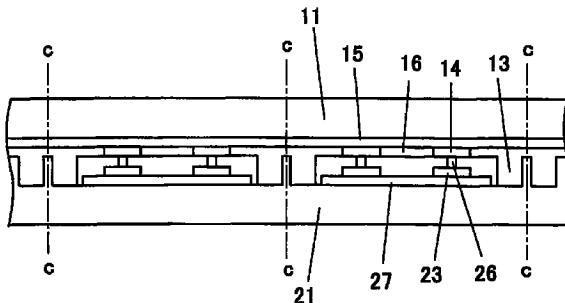
权利要求书 1 页 说明书 9 页 附图 11 页

(54) 发明名称

基板接合方法和电子部件

(57) 摘要

本发明涉及基板接合方法和电子部件。本发明提供一种晶片级接合方法，该方法能够利用较低温的工艺形成平滑的  $\text{SiO}_2$  膜，并能够通过平滑的  $\text{SiO}_2$  膜使晶片之间可靠地接合起来。利用以 TEOS 为原材料的等离子体 CVD 法，在晶片 (11) 的接合面上形成绝缘密封部 (13)。在晶片 (21) 的电极 (23) 上设置 Au 突起电极 (26)。将晶片 (11)、(21) 纵向集成，使晶片 (21) 的 Au 突起电极 (26) 与晶片 (11) 的电极 (14) 压接以使电极 (23)、(14) 之间电连接，同时将绝缘密封部 (13) 常温接合在晶片 (21) 的接合面上，从而形成一体。



1. 一种基板接合方法, 第 1 基板为晶片基板, 第 2 基板为其上制作有 2 个以上元件的晶片基板, 该方法具有成膜工序和接合工序,

在所述成膜工序中, 通过利用以 TEOS 为原材料的 CVD 法使  $\text{SiO}_2$  膜沉积在至少所述第 2 基板上, 形成接合用绝缘膜,

在所述成膜工序中, 以设置有元件的区域为单位设置接合用绝缘膜, 以使得接合用绝缘膜将元件包围起来;

在所述接合工序中, 通过所述接合用绝缘膜使所述第 1 基板和所述第 2 基板接合;

所述接合用绝缘膜在 500℃ 以下的温度形成。

2. 如权利要求 1 所述的基板接合方法, 其特征在于, 在所述第 1 基板的电极和所述第 2 基板的电极之中的一方电极上设置由能塑性变形的金属形成的接合用电极,

当在所述接合工序中将第 1 基板和第 2 基板重叠来接合时, 使所述接合用电极与另一方基板的电极抵接后, 再使所述接合用绝缘膜抵接, 由此使所述接合用电极与另一方基板的电极压接。

3. 如权利要求 1 所述的基板接合方法, 其特征在于, 在所述接合工序中, 利用使接合表面活化的接合方法, 通过所述接合用绝缘膜使所述第 1 基板和所述第 2 基板接合。

4. 如权利要求 1 所述的基板接合方法, 其特征在于,

将所述第 1 基板和所述第 2 基板接合后, 以设置有所述元件的区域为单位切断接合起来的基板。

5. 如权利要求 4 所述的基板接合方法, 其特征在于, 在相邻的接合用绝缘膜彼此的中间切断接合起来的基板。

6. 如权利要求 4 所述的基板接合方法, 其特征在于, 在将接合用绝缘膜分割开的位置切断接合起来的基板。

7. 如权利要求 1 所述的基板接合方法, 其特征在于, 将 3 片以上的多片基板接合。

8. 一种电子部件, 其特征在于, 第 1 基板为晶片基板, 第 2 基板为其上制作有元件的晶片基板, 所述第 1 基板和所述第 2 基板通过接合用绝缘膜接合, 从而在两基板间密封所述元件,

所述接合用绝缘膜是通过利用以 TEOS 为原材料的 CVD 法使  $\text{SiO}_2$  膜至少沉积在其上制作有元件的所述第 2 基板上而形成的,

所述接合用绝缘膜是以设置有元件的区域为单位进行设置的, 以使得所述接合用绝缘膜将元件包围起来,

所述接合用绝缘膜在 500℃ 以下的温度形成。

## 基板接合方法和电子部件

### 技术领域

[0001] 本发明涉及基板接合方法和电子部件。具体地说，本发明涉及将其上制作有 IC 元件和 MEMS 元件的基板集成的基板接合方法。特别是涉及用于通过将晶片基板直接纵向集成来进行晶片级封装 (Wafer Level Packaging) 的基板接合方法。

### 背景技术

[0002] 在 MEMS (Micro Electromechanical System) 装置的制造工序中，一般，对其上制作有 2 个以上 MEMS 元件的晶片进行切割而制成芯片，并将分割开的一个一个的芯片 (MEMS 元件) 安装在封装盒体中，用罩 (cover) 盖住封装盒体的开口。

[0003] 但是，在这样的制造方法中，由于用封装盒体和罩一个一个地封装 MEMS 元件，因此不仅 MEMS 装置的制造工序变得繁杂，而且在制造过程中，污物和尘埃会附着在 MEMS 元件上，从而成品率易降低。并且，受封装盒体的制约，MEMS 元件的小型化也受到限制。

[0004] 因此，将 MEMS 元件等以原有晶片状态封装的晶片级接合技术或者晶片级封装这样的技术受到瞩目。在该方法中，将其上制作有 2 个以上元件的晶片（例如其上制作有 2 个以上 CMOS 等 IC 元件的晶片和其上制作有 2 个以上 MEMS 元件的晶片）相互纵向集成（叠合），使晶片相互接合起来，各个成对的 MEMS 元件和 IC 元件被封入一个一个的晶片间的格子 (cell) 内。此后，如果以各格子为单位通过切割等将接合起来的晶片切开，则可以得到在原本是晶片的封装体内容纳有 MEMS 元件和 IC 元件的 MEMS 装置。

[0005] 利用这样的制造方法，在 MEMS 元件和 IC 元件被封入晶片间的状态下被单个切割下来，因此 MEMS 元件等不易附着污物和尘埃，并且还不会将具有可动部的 MEMS 元件以裸芯片状态进行操作，其结果 MEMS 装置的成品率得到提高。此外，还能够实现 MEMS 装置的小型化，同时由于能够增大每片晶片可得到的 MEMS 装置数，因此在降低成本方面也有效果。

[0006] 但是，为了将这样的晶片级接合技术实用化，存在如下必须解决的课题。

[0007] 当将在其上制作有 CMOS 等 IC 元件和 MEMS 元件等的晶片纵向集成来进行晶片级接合（封装）时，需要在纵向集成后的晶片间同时实现绝缘和导通。例如，在晶片间的接合面需要绝缘，在元件的电极之间需要导通。因此，在晶片间的接合面上设置绝缘膜后，将 2 片晶片接合（专利文献 1）。此时，为了获得晶片间的接合强度和可靠性，对成为接合面的绝缘膜要求充分的平滑性。并且，当需要确保晶片间的气密封性时，绝缘膜也需要具有充分的平滑性。

[0008] 作为用于接合面的一般的绝缘膜，有 SiO<sub>2</sub> 膜（专利文献 1）。作为形成 SiO<sub>2</sub> 膜的方法，包括利用热氧化的成膜方法（专利文献 2）和利用以溅射为代表的 PVD (Physical Vapor Deposition : 物理气相沉积) 的成膜方法（专利文献 3）。

[0009] 如果利用使 Si 晶片的表面发生热氧化来形成绝缘膜 (SiO<sub>2</sub> 膜) 的热氧化法，则形成的 SiO<sub>2</sub> 膜具有充分的表面平滑性和膜厚均匀性。但是，热氧化法是在氧气气氛中将晶片加热到约 1000℃ 来成膜的高温工艺，因此会对设置在晶片上的布线图案造成热损害，布线图案有断线之虞。

[0010] 并且,如果利用以溅射所代表的 PVD 法,则能够利用 100℃左右的低温工艺来形成 SiO<sub>2</sub> 膜,不会对布线图案造成热损害。但是,在 PVD 法中,由于形成的 SiO<sub>2</sub> 膜的表面平滑性和膜厚均匀性不够,因此存在不能充分得到与晶片的接合强度和可靠性这样的问题。

[0011] 在 LSI 等的制造中,有时通过研磨 (CMP : 化学机械抛光) 接合面来得到平滑性,但是对 MEMS 元件来说,在晶片的正反面设置有结构物和电极等,具有复杂的结构,因此研磨有可能造成 MEMS 元件破损,所以不能通过研磨得到平滑性。因而,也就无法通过研磨使利用 PVD 法形成的 SiO<sub>2</sub> 膜平滑。

[0012] 专利文献 1 : 日本特开 2007-184546 号公报

[0013] 专利文献 2 : 日本特开 2004-160607 号公报

[0014] 专利文献 3 : 日本特表 2007-509578 号公报

## 发明内容

[0015] 本发明是鉴于这样的技术课题而作出的,其目的在于提供一种基板接合方法,该方法能够利用较低温的工艺形成平滑的 SiO<sub>2</sub> 膜,并能够通过平滑的 SiO<sub>2</sub> 膜使基板彼此可靠地接合起来。

[0016] 本发明的基板接合方法的特征在于,其具有成膜工序和接合工序,在所述成膜工序中,通过利用以 TEOS 为原材料的 CVD 法使 SiO<sub>2</sub> 膜沉积在第 1 基板和第 2 基板之中的至少一方基板上,形成接合用绝缘膜;在所述接合工序中,通过上述接合用绝缘膜使上述第 1 基板和上述第 2 基板接合。

[0017] 在本发明的基板接合方法中,通过使以 TEOS 为原材料生成的 SiO<sub>2</sub> 膜沉积来形成接合用绝缘膜,这样成膜得到的绝缘膜 (TEOS-SiO<sub>2</sub> 膜) 的表面平滑性高,并且膜厚均匀性高,因此通过使该接合用绝缘膜与配对的另一方基板进行面接触,能够在确保绝缘性的同时将基板彼此牢固地接合起来。并且,接合用绝缘膜的表面平滑性和膜厚均匀性较高,因此不需要如利用溅射制造的绝缘膜那样在成膜后进行研磨,不存在因研磨导致元件破损的可能性,能够简化基板接合前的工艺,并且工艺的自由度得到提高。此外,在通过 CVD 法以 TEOS 为原材料生成 SiO<sub>2</sub> 膜的方法中,能够使用较低温的成膜装置在约 500℃以下的温度形成 TEOS-SiO<sub>2</sub> 膜,因此不存在 Al 的布线图案发生熔化或破损的可能性,最终制品的成品率得到提高的同时,可靠性亦获提高。

[0018] 另外,作为通过接合用绝缘膜使第 1 基板和第 2 基板接合的方式,包括使设置在一方基板上的接合用绝缘膜与另一方基板的表面接合的情况,以及使设置在一方基板上的接合用绝缘膜与设置在另一方基板上的接合用绝缘膜接合的情况。

[0019] 本发明的基板接合方法的一个实施方式的特征在于,在上述第 1 基板的电极和上述第 2 基板的电极之中的一方电极上设置由能塑性变形的金属形成的接合用电极,在上述接合工序中将第 1 基板和第 2 基板重叠来接合时,使上述接合用电极与另一方基板的电极抵接后,再使上述接合用绝缘膜抵接,由此使上述接合用电极与另一方基板的电极压接。此处所说的能塑性变形的金属是指硬度小于基板硬度的金属,例如 Au、Al、Cu、Ag 等。利用所述的实施方式,能够在通过接合用绝缘膜将基板彼此绝缘接合的同时,通过接合用电极将两基板的电极彼此导电接合起来。

[0020] 本发明的基板接合方法的另一实施方式的特征在于,在上述接合工序中,利用使

接合表面活化的接合方法，通过上述接合用绝缘膜使上述第1基板和上述第2基板接合起来。此处所说的使接合表面活化的接合方法是指，利用离子枪或等离子体使接合表面活化后再进行接合的方法，例如有常温接合、等离子体接合等。利用所述的实施方式，将基板彼此接合时能够在较低温下（特别优选常温下）接合，因此接合时元件的布线图案等无损伤之虞。并且，接合后不需要冷却制品，因此生产率得到提高。

[0021] 本发明的基板接合方法的另一实施方式的特征在于，上述第1基板为晶片基板，上述第2基板为其上制作有2个以上元件的晶片基板，将上述第1基板和上述第2基板接合后，将接合起来的基板以设置有上述元件的区域为单位进行切断。利用所述的实施方式，在将晶片基板彼此接合起来后，以各元件为单位将晶片基板切断，制作出制品，因此能够一直以晶片状态进行处理，直至制品完成的最终阶段，从而制造合格率得到提高。此时，接合起来的晶片基板也可以在相邻的接合用绝缘膜彼此的中间切断。在这样的切断方法中，不易对接合用绝缘膜施加负荷。另外，接合起来的晶片基板也可以在将接合用绝缘膜分割开的位置切断。利用这样的切断方法，能够简化接合用绝缘膜的成膜图案。

[0022] 本发明的基板接合方法的再一实施方式的特征在于，将3片以上的多片基板接合。这是因为，可以通过将2片基板的接合方法应用于各基板间，从而将3片以上的基板集成一体化。

[0023] 本发明的电子部件的特征在于，利用以TEOS为原材料生成的SiO<sub>2</sub>膜，在第1基板和其上制作有元件的第2基板之中的至少一方基板上形成接合用绝缘膜，通过上述接合用绝缘膜将上述第1基板和上述第2基板接合起来，从而在两基板间密封上述元件。

[0024] 在本发明的电子部件中，通过使以TEOS为原材料生成的SiO<sub>2</sub>膜沉积而形成接合用绝缘膜，由于这样成膜得到的绝缘膜（TEOS-SiO<sub>2</sub>膜）的表面平滑性高，并且膜厚均匀性高，因此通过使该接合用绝缘膜与配对的另一方基板进行面接触，能够将基板彼此牢固地接合起来。并且，接合用绝缘膜的表面平滑性和膜厚均匀性高，因此不需要如利用溅射制造的绝缘膜那样在成膜后进行研磨，不存在因研磨导致元件破损的可能性，能够简化基板的接合工艺。并且，在以TEOS为原材料生成SiO<sub>2</sub>膜的方法中，能够使用较低温的成膜装置，因此元件的布线图案等不易受损。

[0025] 另外，用于解决本发明中的上述课题的方法具有适当组合以上说明的构成要件的特征，并且在本发明中，通过所述的构成要件的组合而能够进行多种变形。

## 附图说明

[0026] 图1是表示本发明的一实施方式中的晶片级接合的状态的立体图，表示要将其上制作有MEMS元件的晶片和其上制作有IC元件的晶片接合的状态。

[0027] 图2是将图1的晶片相互接合起来并进行切割所得到的MEMS装置的分解立体图。

[0028] 图3(a)～图3(d)是表示直到在一方晶片上形成Au突起电极的工序的示意性截面图。

[0029] 图4(a)～图4(d)是表示直到在另一方晶片上形成绝缘密封部的工序的示意性截面图。

[0030] 图5是表示将其上形成有Au突起电极的晶片和其上形成有绝缘密封部的晶片纵向集成而接合一体化的状态的示意性截面图。

- [0031] 图 6 是将纵向集成后的晶片切割得到的 MEMS 装置的示意性截面图。
- [0032] 图 7 是说明用于形成 TEOS-SiO<sub>2</sub> 膜的 CVD 装置的构成的示意图。
- [0033] 图 8(a) ~图 8(c) 是说明将晶片彼此常温接合的工序的示意图。
- [0034] 图 9 表示用显微镜观察到的 TEOS-SiO<sub>2</sub> 膜的样子。
- [0035] 图 10 表示用显微镜观察到的通过溅射形成的 SiO<sub>2</sub> 膜的样子。
- [0036] 图 11 是表示形成了 TEOS-SiO<sub>2</sub> 膜的晶片上的、SiO<sub>2</sub> 膜的面内膜厚偏差的图。
- [0037] 图 12 是表示通过溅射形成了 SiO<sub>2</sub> 膜的晶片上的、SiO<sub>2</sub> 膜的面内膜厚偏差的图。
- [0038] 图 13 是表示本发明的另一实施方式中的 MEMS 装置的分解立体图。
- [0039] 符号说明
- [0040] 11 晶片
- [0041] 11a 罩基板
- [0042] 12 IC 元件
- [0043] 13 绝缘密封部
- [0044] 14 电极
- [0045] 21 晶片
- [0046] 21a 基板
- [0047] 22 MEMS 元件
- [0048] 23 电极
- [0049] 26 Au 突起电极
- [0050] 31 MEMS 装置
- [0051] 41 等离子体 CVD 装置
- [0052] 42 腔室
- [0053] 43 原料容器
- [0054] 44 供给管
- [0055] 45 TEOS 罐
- [0056] 47 喷淋头
- [0057] 51 离子枪
- [0058] 52 Ar<sup>+</sup> 离子
- [0059] 53 SiO<sub>2</sub> 分子
- [0060] 54 结合键

## 具体实施方式

- [0061] 下面，参照附图，对本发明的优选实施方式进行说明。
- [0062] 下面参照附图来说明本发明的一实施方式。图 1 表示将通过纵向集成而被晶片级接合的 2 片晶片。分别使用 MEMS 制造技术和半导体制造技术在各晶片上制作了 2 个以上微小元件。可以安装任意的元件作为在 2 片晶片上制作的元件，例如，MEMS 元件（诸如传感器和转换器等）与 IC 元件（诸如 IC、LSI 和 ASIC 等）的组合、IC 元件与 IC 元件的组合、MEMS 元件与 MEMS 元件的组合等。并且，一方晶片也可以是无元件的仅密封用的晶片。在下文中，对第一种组合（即在一方晶片上制作了 2 个以上的 MEMS 元件，而在另一方晶片上制

作 IC 元件的情况) 进行说明。

[0063] 在图 1 所示的一方晶片 11(Si 晶片) 上每隔一定间距制作了 2 个以上的 IC 元件 12, 各 IC 元件 12 的周围被由 TEOS-SiO<sub>2</sub> 膜形成的绝缘密封部 13(接合用绝缘膜) 包围。在另一方晶片 21(Si 晶片) 上与 IC 元件 12 对应地每隔一定间距制作了 2 个以上 MEMS 元件 22。

[0064] 图 2 是 MEMS 装置 31 的分解立体图, 该 MEMS 装置 31 是通过将晶片 11 和晶片 21 纵向集成而接合一体化后, 通过切割将晶片 11、21 切成一个一个而得到的。在由晶片 21 的一部分形成的基板 21a 上形成有 MEMS 元件 22。在图 2 中, MEMS 元件 22 表示单轴加速度传感器, 位于基板 21a 的凹部 34 内的重锤(重り)32 被悬臂 33 支持着。重锤 32 通过感应加速度而会上下位移, 可以利用静电电容式或压电电阻式对该位移进行计测, 并将计测信号向一部分电极 23 输出。

[0065] 在由晶片 11 的一部分形成的罩基板 11a 上设置 IC 元件 12, 该 IC 元件 12 用于对来自 MEMS 元件 22 的计测信号进行信号处理。并且, 绝缘密封部 13 以框状包围罩基板 11a 的内表面外周部。

[0066] 在罩基板 11a 下表面的周边部设有与 IC 元件 12 导通的 2 个以上电极 14。在基板 21a 的周边部上表面上还设有 2 个以上电极 23。电极 14 和电极 23 是在 Cr 电极膜的表面上镀覆 Au 而成的, 两电极 14、23 设置在相互对应的位置上。各电极 23 通过贯通基板 21a 的通孔(ピアホール)24 与下表面的凸点(パンプ)25 导通。

[0067] 并且, 在各电极 23 的上表面设置有由 Au 形成的突起电极 26(接合用电极), 电极 14 和电极 23 通过分别与 Au 突起电极 26 压接而被导通。因此, 罩基板 11a 侧的电极 14 还与下表面的凸点 25 导通。另外, 突起电极 26 的材质为硬度低于 6.5GPa(即低于 Si 的硬度) 的金属即可, 并不限于 Au, 还可以是 Al、Cu、Ag 等。

[0068] 这样, 对于设置在罩基板 11a 上的绝缘密封部 13 来说, 在如图 1 所示的晶片状态下, 通过常温接合(Direct Bonding)、等离子体接合(Plasma Bonding) 等使接合表面活化的接合方法, 将绝缘密封部 13 接合在基板 21a 的上表面, 从而使罩基板 11a 和基板 21a 一体化。

[0069] 并且, 在与电路基板等凸点连接的 MEMS 装置 31 中, 按照一条凸点 25 → 通孔 24 → 电极 23 → Au 突起电极 26 → 电极 14 的路径对 IC 元件 12 供给电力。此外, 按照一条电极 23 → Au 突起电极 26 → 电极 14 的路径向 IC 元件 12 输送由 MEMS 元件 22 输出的计测信号。经 IC 元件 12 信号处理的输出信号按照一条电极 14 → Au 突起电极 26 → 电极 23 → 通孔 24 → 凸点 25 的路径向外部输出。

[0070] 接下来, 通过图 3 ~ 图 6, 对从如图 1 所示的晶片状态到制作如图 2 所示的 MEMS 装置 31 的工序进行更详细地说明。图 3(a) ~ 图 3(d) 是表示直到在晶片 21 上形成 Au 突起电极 26 的工序的示意性截面图。图 4(a) ~ 图 4(d) 是表示直到在晶片 11 上形成绝缘密封部 13 的工序的示意性截面图。图 5 是表示将形成有 Au 突起电极 26 的晶片 21 和形成有绝缘密封部 13 的晶片 11 纵向集成而接合一体化的状态的示意性截面图。图 6 为 MEMS 装置 31 的示意性截面图, 该 MEMS 装置 31 是对纵向集成后的晶片 11、21 进行切割而得到的。

[0071] 图 3(a) 的晶片 21 是使用 MEMS 制造技术在 Si 晶片上制作 2 个以上的 MEMS 元件 22 并且在必要之处形成了通孔 24 的晶片。通过对该晶片 21 进行清洗后, 利用 CVD(chemical

vapor deposition :化学气相沉积) 法在晶片 21 的上表面形成 TEOS-SiO<sub>2</sub> 膜, 从而如图 3(b) 所示, 在晶片 21 上表面形成基板绝缘膜 27。此时, 成为与晶片 11 接合的接合面的区域(各 MEMS 元件 22 的周围) 通过预先遮盖而没有形成基板绝缘膜 27, 从而使所述区域的晶片 21 的表面露出。接着, 如图 3(c) 所示, 在基板绝缘膜 27 上的预定位置形成由下层 Cr/ 上层 Au 构成的二层结构的电极 23, 进而如图 3(d) 所示, 在各电极 23 之上设置 Au 突起电极 26。

[0072] 图 4(a) 的晶片 11 是通过半导体制造工艺在 Si 晶片上制作了 2 个以上 IC 元件 12 的晶片。对该晶片 11 进行清洗后, 利用 CVD 法在晶片 11 的上表面形成 TEOS-SiO<sub>2</sub> 膜, 从而如图 4(b) 所示, 在晶片 11 整个上表面形成下层绝缘膜 15。接着, 如图 4(c) 所示, 在下层绝缘膜 15 之上的预定位置形成由下层 Cr/ 上层 Au 构成的二层结构的电极 14。进而如图 4(d) 所示, 通过利用 CVD 法在下层绝缘膜 15 之上形成 TEOS-SiO<sub>2</sub> 膜, 来形成上层绝缘膜 16, 再利用 CVD 法由 TEOS-SiO<sub>2</sub> 膜在成为与晶片 21 接合的接合面的区域形成绝缘密封部 13, 绝缘密封部 13 包围 IC 元件 12 的周围。此时使电极 14 从上层绝缘膜 16 中露出。绝缘密封部 13 的厚度充分厚于上层绝缘膜 16, 基板绝缘膜 27、电极 23 和 Au 突起电极 26 的厚度之和 H 大于从电极 14 的表面起测量的到绝缘密封部 13 的上表面的高度 h。

[0073] 这样, 做好将 IC 元件晶片 11 和 MEMS 元件晶片 21 接合的准备后, 利用有机溶剂或酸清洗晶片 11、21 后, 如图 5 所示, 将晶片 11 上下翻转, 并叠放在晶片 21 之上, 使晶片 11 的绝缘密封部 13 与晶片 21 的接合面相对, 同时使晶片 21 的 Au 突起电极 26 与晶片 11 的电极 14 相对。由于基板绝缘膜 27、电极 23 和 Au 突起电极 26 的厚度之和 H 大于从电极 14 的表面起测量的到绝缘密封部 13 的上表面的高度 h, 因此重叠晶片 11、21 后, Au 突起电极 26 与晶片 11 的电极 14 接触。由于 Au 突起电极 26 柔软, 所以如果将晶片 11 压在晶片 21 上, 直到绝缘密封部 13 与晶片 21 的表面接触, 则 Au 突起电极 26 被压扁而与电极 14 压接, 从而电极 14 与电极 23 电导通。接着, 通过常温接合或者等离子体接合, 使由 TEOS-SiO<sub>2</sub> 膜形成的绝缘密封部 13 与晶片 21 的表面接合, 从而将晶片 11 和晶片 21 一体化。由此, 能够在确保电导通的同时, 通过用绝缘密封部 13 完全密封来完全隔绝外部气氛。

[0074] 接着, 在晶片 21 的背面设置凸点 25 后, 若利用划片刀等在跨过相邻的绝缘密封部 13 间的位置(图 5 的 c-c 线) 切断纵向集成后的晶片 11、21, 则如图 6 所示, 制成了在由基板 21a 和罩基板 11a 构成的封装体内密封有 MEMS 元件 22 和 IC 元件 12 的 MEMS 装置 31。需要说明的是, 在图 5 中, 在相邻的绝缘密封部 13 之间进行了切断, 然而也可以预先使绝缘密封部 13 的宽度充分大于划片刀的厚度, 在将绝缘密封部 13 分割开的位置切断晶片 11、21。

[0075] 在上述制造工艺中描述的 TEOS-SiO<sub>2</sub> 膜是指以 TEOS(即“四乙氧基硅烷”(Tetraethoxysilane) Si(OCH<sub>3</sub>)<sub>4</sub>) 为原材料并将以 TEOS 为原材料生成的 SiO<sub>2</sub> 沉积在成膜面上而得到的膜。此处, 利用 CVD 法以 TEOS 为原材料生成了 SiO<sub>2</sub>。

[0076] 用于形成 TEOS-SiO<sub>2</sub> 膜的等离子体 CVD 装置 41 示于图 7。在该等离子体 CVD 装置 41 中, 由供给管 44 将成膜用的腔室 42 和原料容器 43 连接。在原料容器 43 内储存着由 TEOS 罐 45 供给的液态 TEOS。原料容器 43 保持在 50℃左右的温度, 在原料容器 43 内气化的 TEOS 的蒸气通过供给管 44 送至腔室 42。

[0077] 腔室 42 内保持在 1Torr ~ 10Torr 的低压, 晶片 11 或 21 被保持在台 46 上。利用加热器等对台 46 上的晶片 11 或 21 进行加热, 并保持基板温度在 200℃~ 500℃(优选

300℃左右)。

[0078] 由供给管44供给的气化TEOS由腔室42内的喷淋头47喷出。由喷淋头47喷出的TEOS被等离子体放电的能量分解(切断除Si-O键以外的键),生成SiO<sub>2</sub>分子。通过将该SiO<sub>2</sub>分子沉积在晶片11或21上,在晶片11或21上形成TEOS-SiO<sub>2</sub>膜。

[0079] 需要说明的是,上述成膜条件和其他成膜条件汇总如下。

[0080] 原料室温度:50℃左右

[0081] 成膜压力:1Torr~10Torr

[0082] 成膜温度:200℃~500℃

[0083] 等离子体功率:400W左右

[0084] 承载盘(サセプタ)距离:5mm~20mm

[0085] 在上述制造工艺中,通过常温接合等将形成有TEOS-SiO<sub>2</sub>膜的晶片彼此接合,该常温接合这样的接合方法是以如图8所示的原理进行接合的方法。将要接合的晶片11、21放入接合装置的腔室内。腔室内为常温,真空间度(活化前真空间度)被保持在 $1.0 \times 10^{-5}$ Pa左右的高真空。如图8(a)所示,当由离子枪51对设置在腔室内的晶片照射Ar<sup>+</sup>离子52时,Ar<sup>+</sup>离子52喷射于SiO<sub>2</sub>分子53,使SiO<sub>2</sub>分子53被冲击吹掉。照射1~10分钟Ar<sup>+</sup>离子52后,如图8(b)所示,在整个接合面上SiO<sub>2</sub>分子53被吹掉,使结合键54露出,从而将晶片11、21的表面(接合面)活化。如后所述,TEOS-SiO<sub>2</sub>膜的表面平滑性高,因此这样活化晶片表面时,能够均匀一致地活化。如果将这样活化的接合面相互叠合而使它们接合起来,则如图8(c)所示,能够在常温下且不使用粘接树脂等来进行牢固的接合。

[0086] 需要说明的是,在图8的原理说明中,对将形成有TEOS-SiO<sub>2</sub>膜的接合面彼此常温接合的情况进行了说明,然而如图5的制造工艺那样,也可以将形成在一方晶片的接合面上的TEOS-SiO<sub>2</sub>膜(绝缘密封部13)和在另一方晶片的接合面露出的Si晶片面常温接合(仅将一方的接合面活化的情况)。并且,当一方晶片为未形成元件的仅密封用的晶片时,可以在密封用的晶片的接合面上利用热氧化形成SiO<sub>2</sub>膜,或者也可以通过研磨(CMP)来将利用溅射形成的SiO<sub>2</sub>膜平滑化。

[0087] 以上,对本发明的一实施方式的接合方法进行了说明,利用该方法,能够得到具有充分的表面平滑性和膜厚均匀性的接合用绝缘膜。即,利用以CVD法形成TEOS-SiO<sub>2</sub>膜的方法,通过较低温的成膜工艺能够得到具有充分的表面平滑性和膜厚均匀性的SiO<sub>2</sub>膜。

[0088] 此处所说的较低温是指不对制作在晶片上的IC元件等元件和布线图案造成损害这种程度的温度,例如对于Cu布线的情况而言,为500℃以下,对于Al布线的情况而言,为400℃以下。

[0089] 对利用CVD法形成的TEOS-SiO<sub>2</sub>膜、利用热氧化法形成的SiO<sub>2</sub>膜和利用溅射法形成的SiO<sub>2</sub>膜的表面平滑性、膜厚均匀性、成膜工艺的温度进行比较,在下表1中列出了比较结果。

[0090] 表1

	CVD法(TEOS)	热氧化法	溅射法
[0091]	表面平滑性	◎	×
	膜厚均匀性	◎	×
	工艺温度	良	可行

[0092] 此外,图 9 为利用 CVD 法形成的 TEOS-SiO<sub>2</sub> 膜的放大的显微镜照片。图 10 是利用溅射法形成的 SiO<sub>2</sub> 膜的放大的显微镜照片。

[0093] 在溅射法的情况下,如由图 10 可以看到的那样,表面粗糙度非常大,平均表面粗糙度 Ra = 3.7nm、最大高低差 Rmax = 34.3nm。为了通过常温接合使晶片彼此接合起来,要求平均表面粗糙度为 1nm 以下、最大高低差为 10nm 以下,因此对于利用溅射法制造的 SiO<sub>2</sub> 膜,必须通过研磨将表面平滑化。但是,由于 MEMS 元件等结构物存在,因此不能研磨晶片,导致溅射法无法使用。因而,对于表 1 的表面平滑性,溅射法评价为“×(差)”。

[0094] 相对于此,在 TEOS-SiO<sub>2</sub> 膜的 CVD 法的情况下,如由图 9 可以看到的那样,表面粗糙度非常小,平均表面粗糙度 Ra = 0.2nm,最大高低差 Rmax = 5.7nm。这些值满足平均表面粗糙度为 1nm 以下、最大高低差为 10nm 以下这样的要求。因而,对于表 1 的表面平滑性,TEOS-SiO<sub>2</sub> 膜的 CVD 法与热氧化法同样评价为“◎(优)”。

[0095] 接下来,图 11 是表示利用 CVD 法形成了 TEOS-SiO<sub>2</sub> 膜的直径 8 英寸的晶片上的、SiO<sub>2</sub> 膜的面内膜厚偏差的图。图 12 是表示利用溅射法形成了 SiO<sub>2</sub> 膜的直径 8 英寸的晶片上的、SiO<sub>2</sub> 膜的面内膜厚偏差的图。将各膜厚以最大膜厚为 1.000 进行了归一化。

[0096] 在溅射法的情况下,如图 12 所示,面内膜厚偏差为 5% 以上。因而,对于表 1 的膜厚均匀性,溅射法评价为“×(差)”。

[0097] 相对于此,在 TEOS-SiO<sub>2</sub> 膜的 CVD 法的情况下,如图 11 所示,对于面内膜厚偏差来说,除端部的一小部分以外,得到了相当良好的膜厚均匀性,面内膜厚偏差为 1% 以下。因而,对于表 1 的表面平滑性,TEOS-SiO<sub>2</sub> 膜的 CVD 法与热氧化法同样地评价为“◎(优)”。

[0098] 并且,在溅射法的情况下,成膜工艺中的基板温度非常低,约为 100℃,因此布线图案等出现损伤的可能性非常小。因而,对于表 1 的工艺温度,溅射法评价为“优”。

[0099] 另一方面,在热氧化法的情况下,基板温度约为 1000℃,因此布线图案等出现损伤的可能性较高。因而,对于表 1 的工艺温度,热氧化法评价为“不可行”。

[0100] 相对于此,在 TEOS-SiO<sub>2</sub> 膜的 CVD 法的情况下,基板温度为 200℃~500℃、优选为 300℃ 左右,因此虽然比溅射法的温度高,但在这样的温度下,布线图案等无损伤之虞,因此对于表 1 的工艺温度,TEOS-SiO<sub>2</sub> 膜的 CVD 法评价为“良”。

[0101] 如上所述,利用本实施方式的晶片级接合方法,通过低温工艺能够形成表面平滑性和膜厚均匀性优异的接合用绝缘膜。由于能够使成膜工艺为 500℃ 以下的低温工艺,因此通过与常温接合等组合,能够使 MEMS 装置 31 的制造工序本身成为低温工艺,从而不易对 A1 等的布线图案和 MEMS 结构物造成损伤。并且,通过使用常温接合等,不需要对 MEMS 装置 31 进行冷却,因此制造效率得到提高。

[0102] 并且,通过使用以 CVD 法形成的 TEOS-SiO<sub>2</sub> 膜作为接合用绝缘膜,能够得到高的表面平滑性和膜厚均匀性,因此,借助该接合用绝缘膜,能够使晶片彼此在保持绝缘状态下接合起来,由此能够得到高接合强度,同时接合处的可靠性也得到提高。并且,通过将晶片彼

此接合,还能够得到高密封性和高气密性。此外,不需要如溅射等的 PVD 法的情况那样来研磨接合用绝缘膜,能够使用保持着成膜后状态的 (as deposition) 接合用绝缘膜,因此 MEMS 装置 31 的制造工艺的自由度也得到提高。

[0103] 需要说明的是,在图 8 中,对常温接合的情况进行了说明,利用本接合方法能够得到具有充分的平滑性和膜厚均匀性的 SiO<sub>2</sub> 膜,并且由于低温工艺是可行的,因此不限于常温接合,还能够使用等离子体接合。

[0104] 并且,在上述实施方式中,对接合 2 片晶片的情况进行了说明,但也可以是接合 3 片以上的多片晶片的情况。例如,在图 13 所示的 MEMS 装置 61 中,在设置于基板 21a 中的上下贯通的贯通孔 64 内配置重锤 62,由两方向的悬臂 63 支持着重锤 62。即,在基板 21a 内设置了双轴型的加速度传感器作为 MEMS 元件 22。

[0105] 在这样的 MEMS 装置 61 中,贯通孔 64 也在下表面开口,因此为了密封 MEMS 元件 22,用罩基板 11a 仅覆盖上表面是不够的,还需要密封下表面。因此,下表面也要用罩基板 71a 覆盖。

[0106] 罩基板 71a 也具有与罩基板 11a 同样的结构,罩基板 71a 具备 IC 元件 72、电极 74,并且在周边部具有由 TEOS-SiO<sub>2</sub> 膜形成的基板密封部 73(接合用绝缘膜)。需要说明的是,在基板 21a 的下表面与电极 74 相对地设置有电极 65 和 Au 突起电极。

[0107] 对于这样的 3 层结构的 MEMS 装置 61 的情况,也与 2 层的情况同样地制造。即,通过绝缘密封部 13 将晶片 11(其上制作有 2 个以上 IC 元件 12) 和晶片 21(其上制作有 2 个以上 MEMS 元件 22) 常温接合,并且通过基板密封部 73 将其上制作有 2 个以上 IC 元件 72 的晶片(罩基板 71a 的母基板)和晶片 21 常温接合,得到 3 层结构的晶片,通过对该 3 层结构的晶片进行切割,制作 MEMS 装置 61。

[0108] 需要说明的是,在上述实施方式中,对将基板以晶片状态接合并将接合起来的晶片切断的晶片级接合(晶片级封装)进行了说明,然而本发明也能够适用于芯片级的接合。例如,可以切断晶片 11,制作芯片状的基板 11a,并且切断晶片 21,制作芯片状的基板 21a 后,通过 TEOS-SiO<sub>2</sub> 膜和常温接合等将该芯片状态下的基板 11a、21a 相互接合起来。

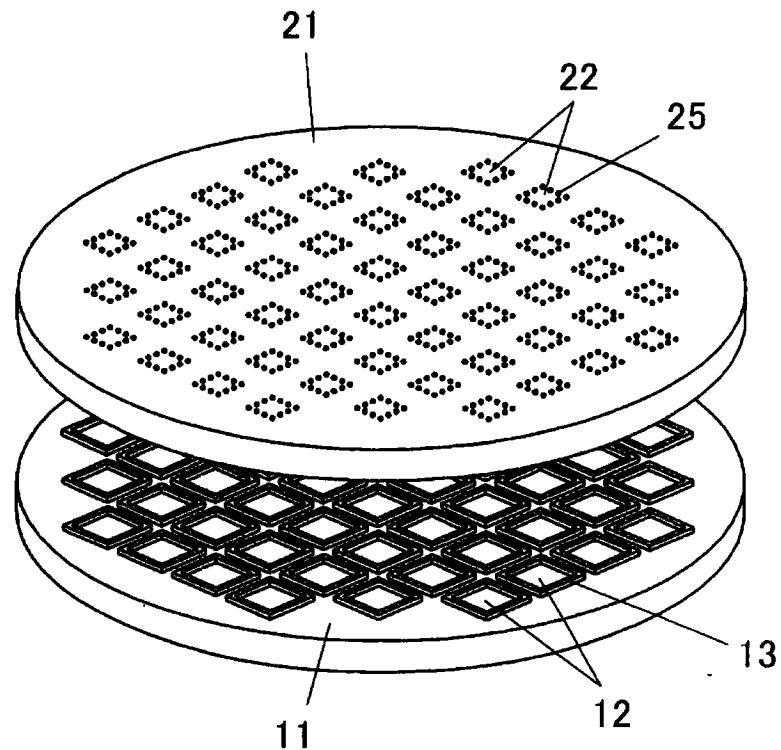


图 1

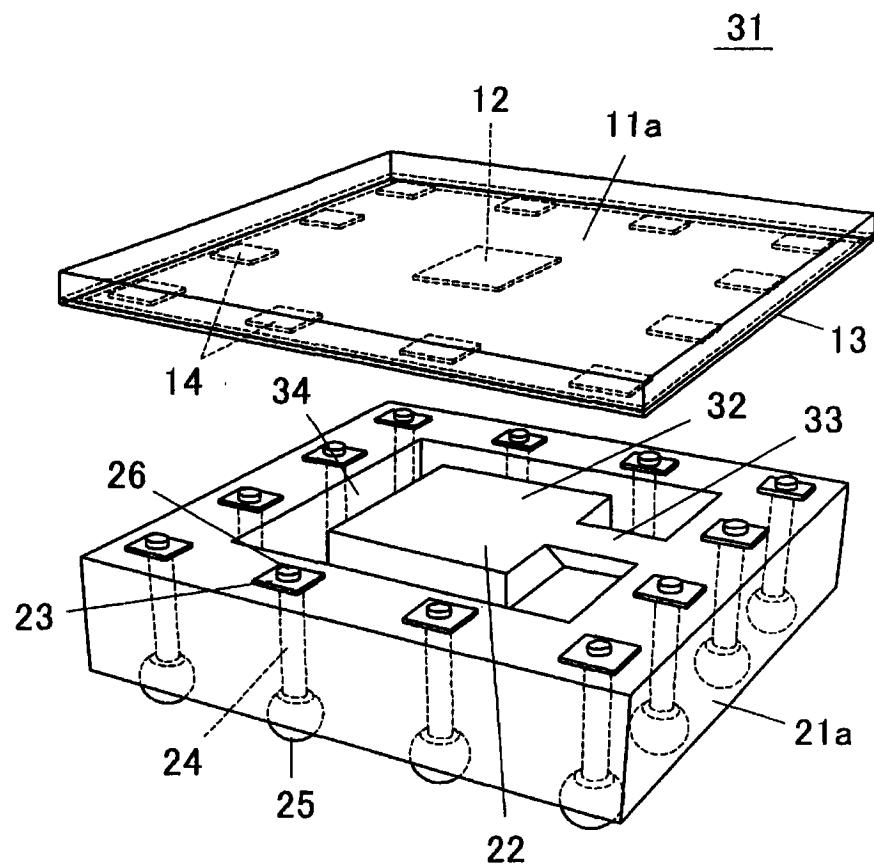


图 2

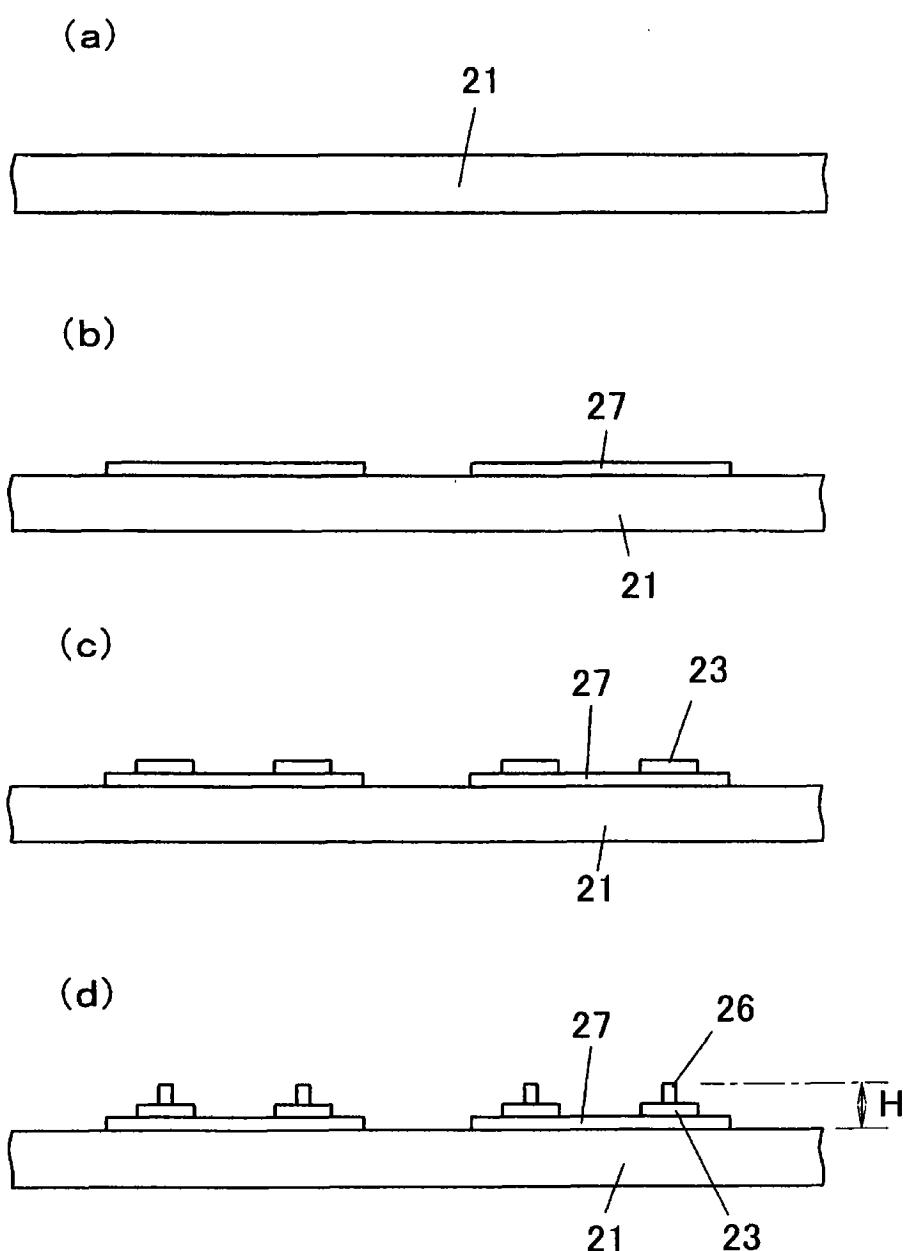


图 3

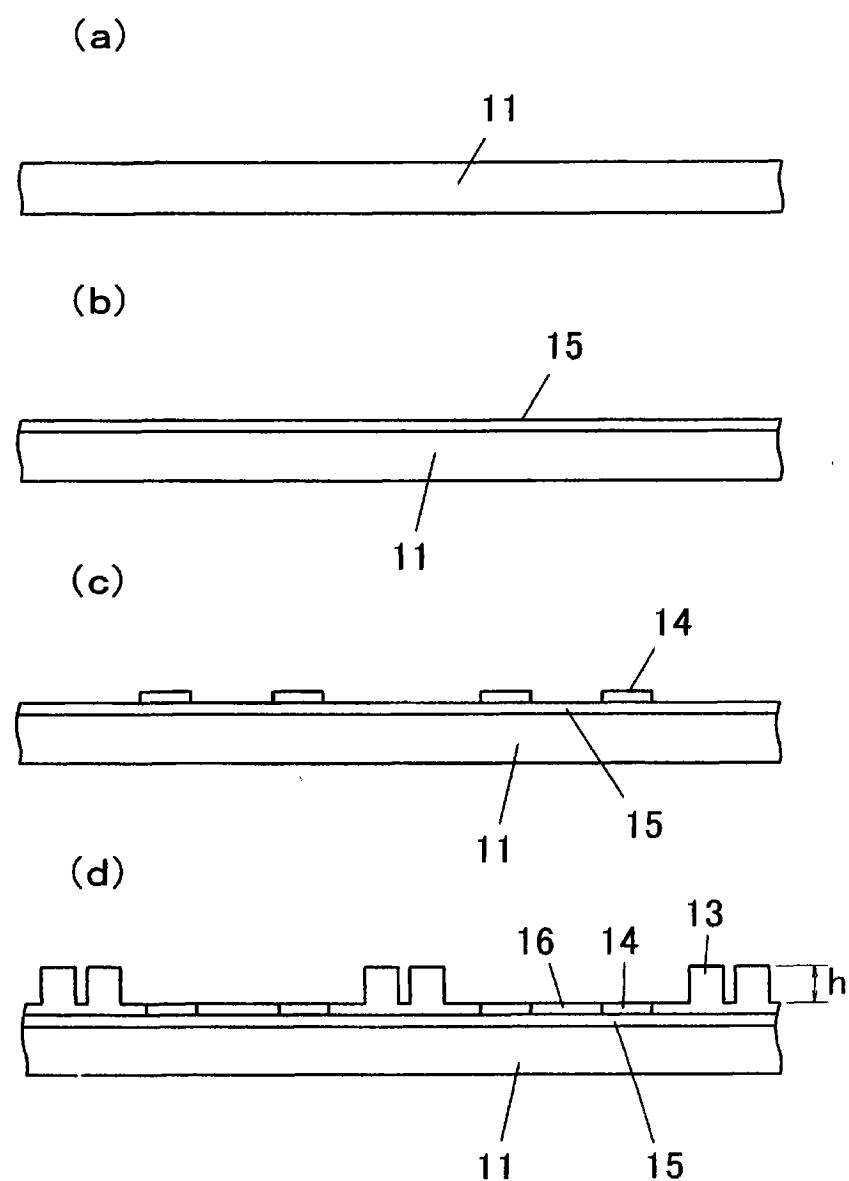


图 4

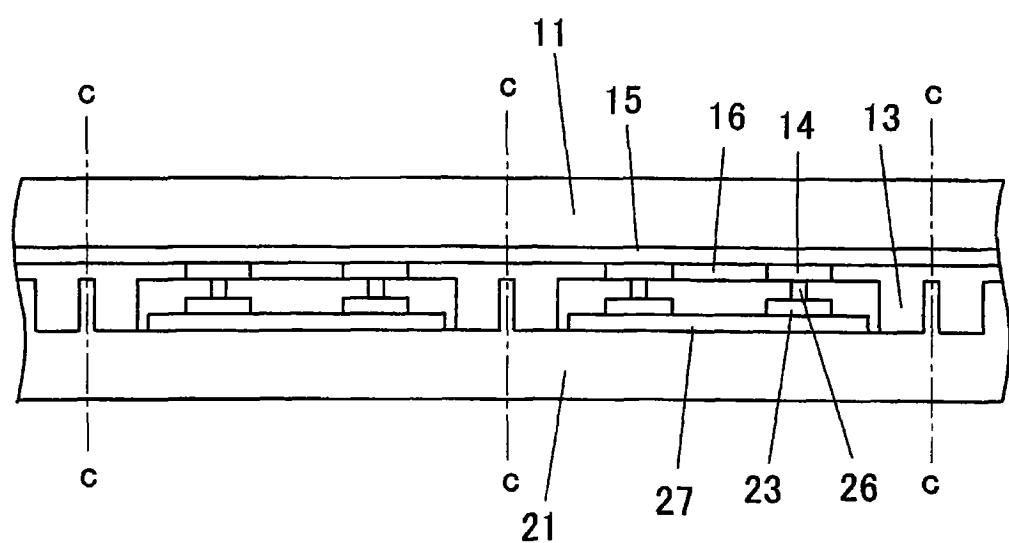


图 5

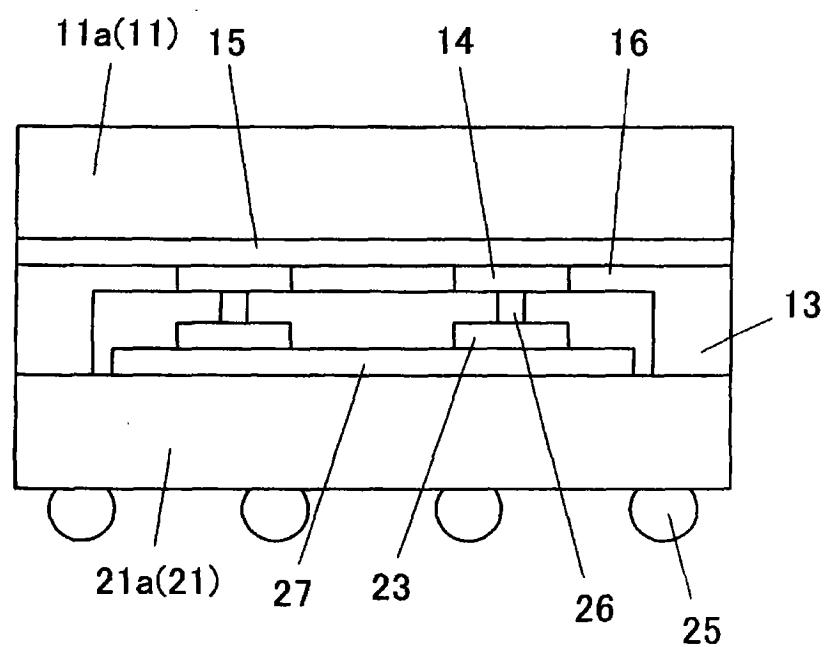


图 6

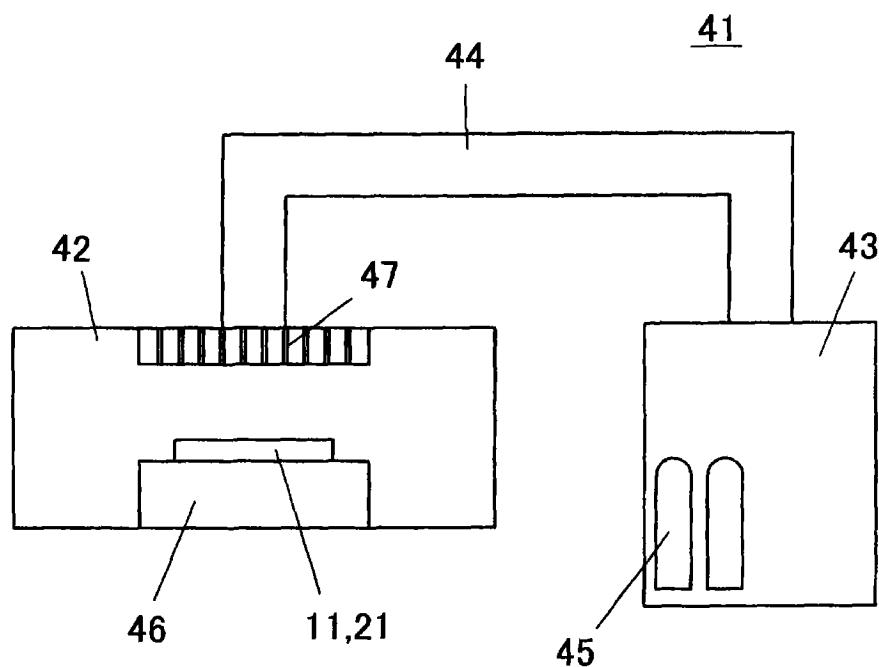


图 7

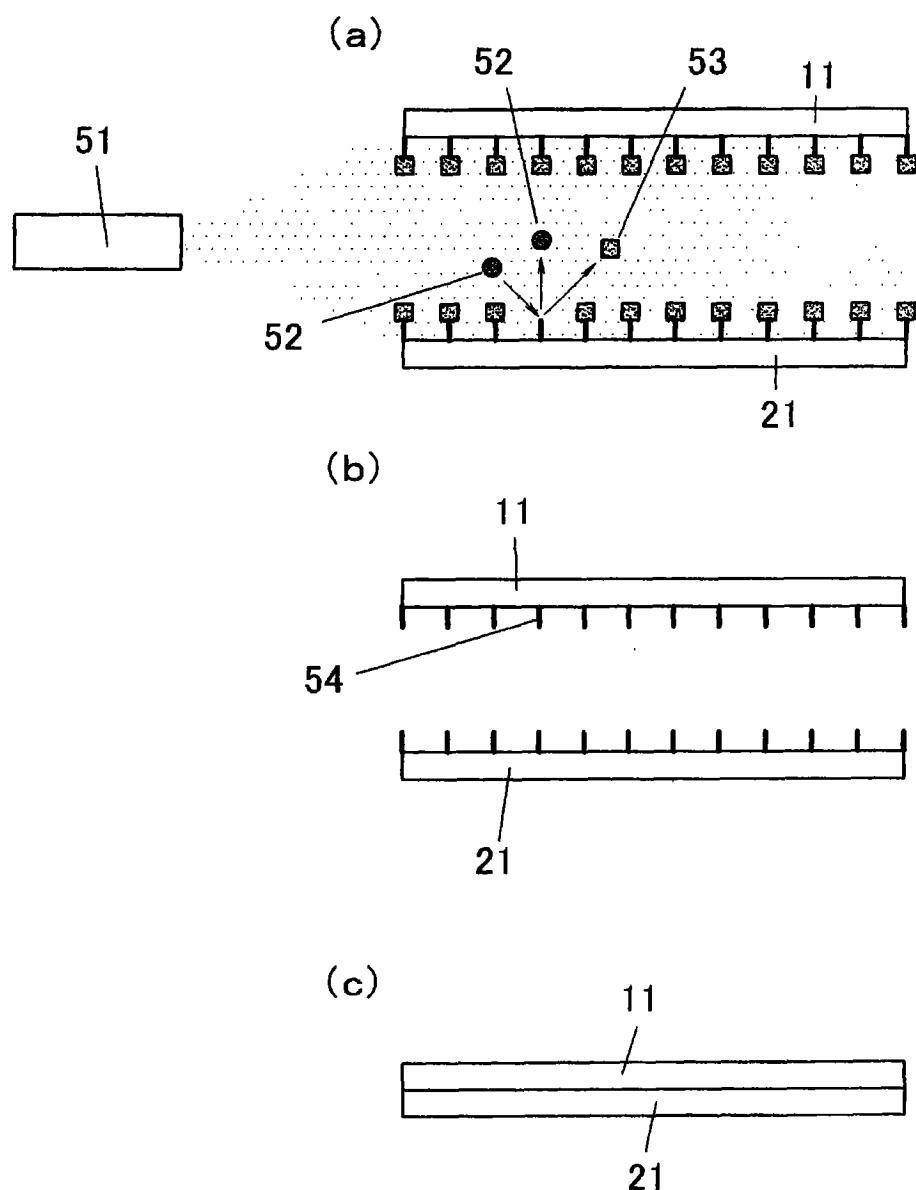


图 8

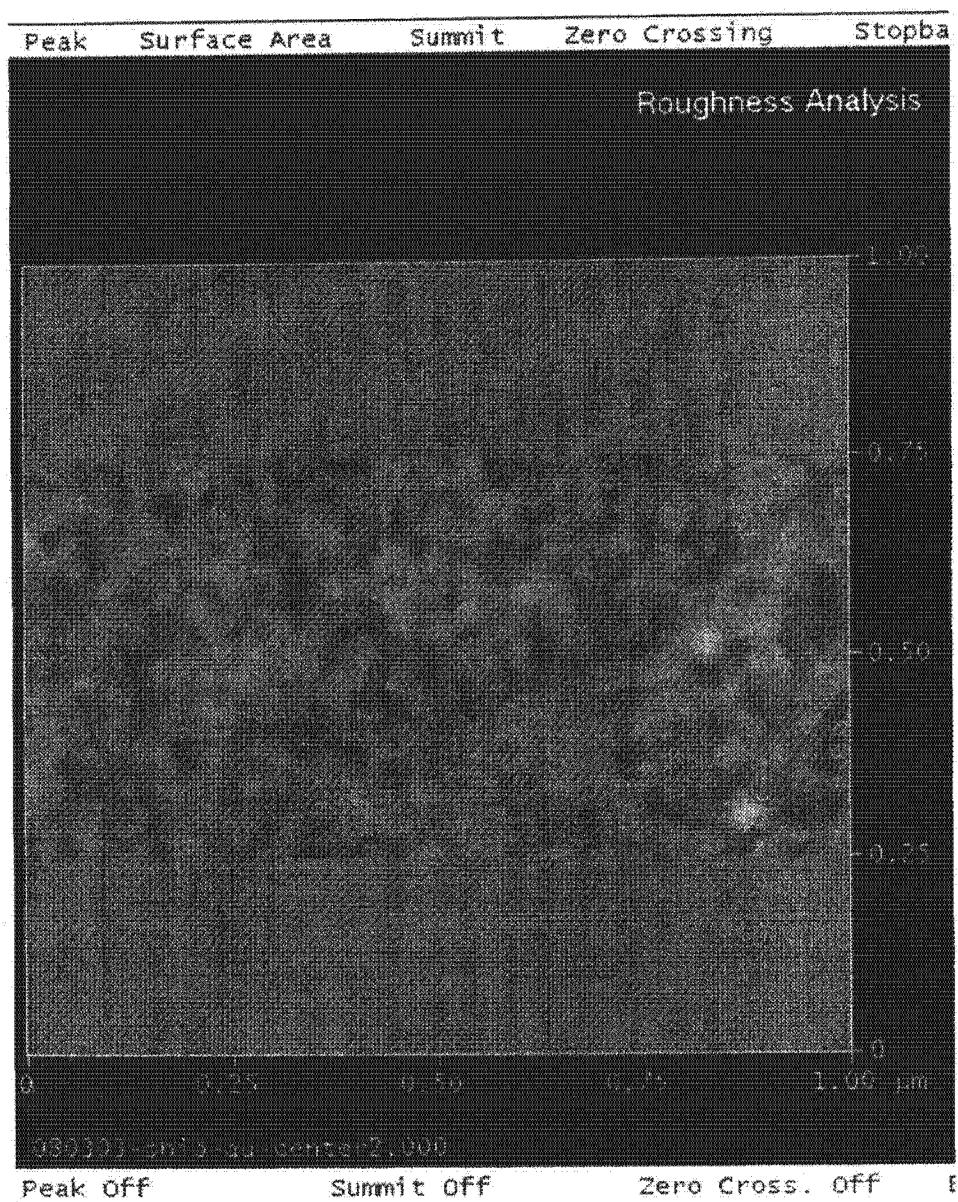


图 9

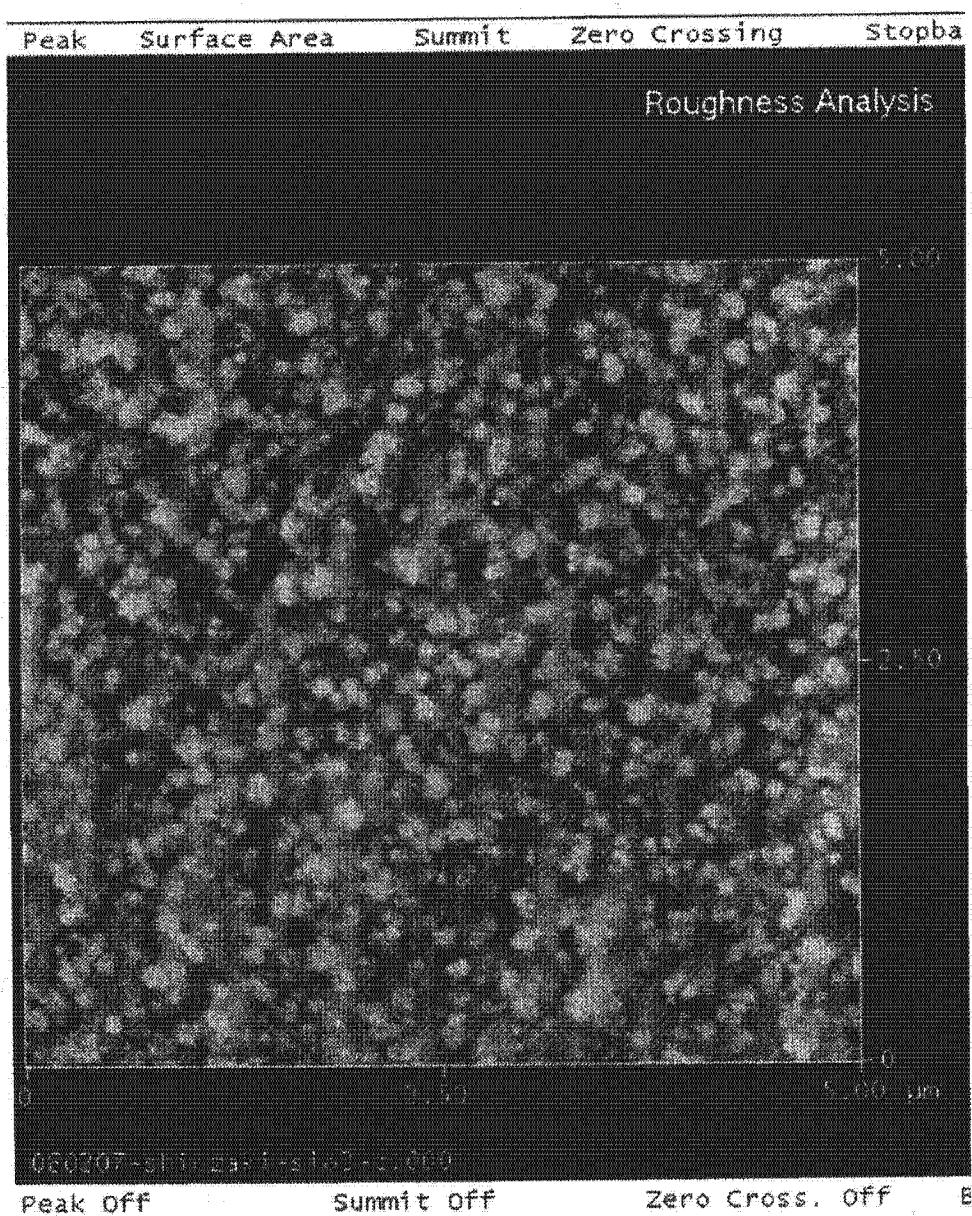


图 10

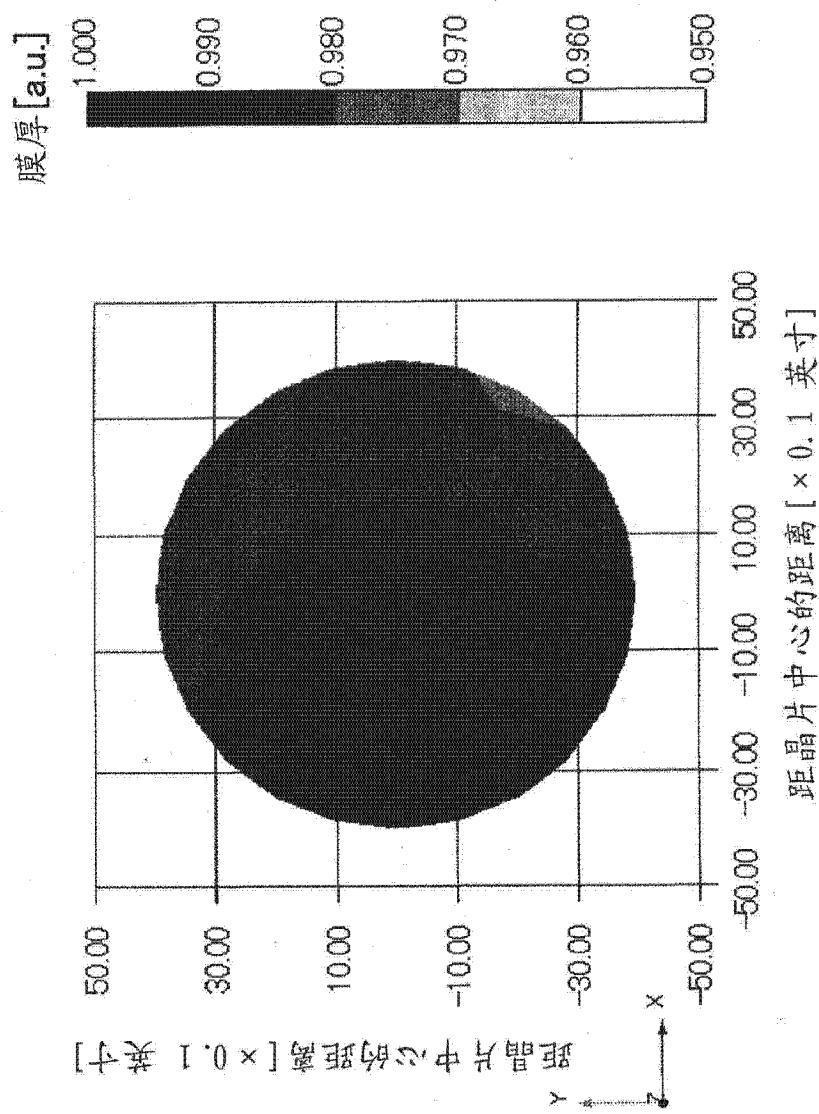


图 11

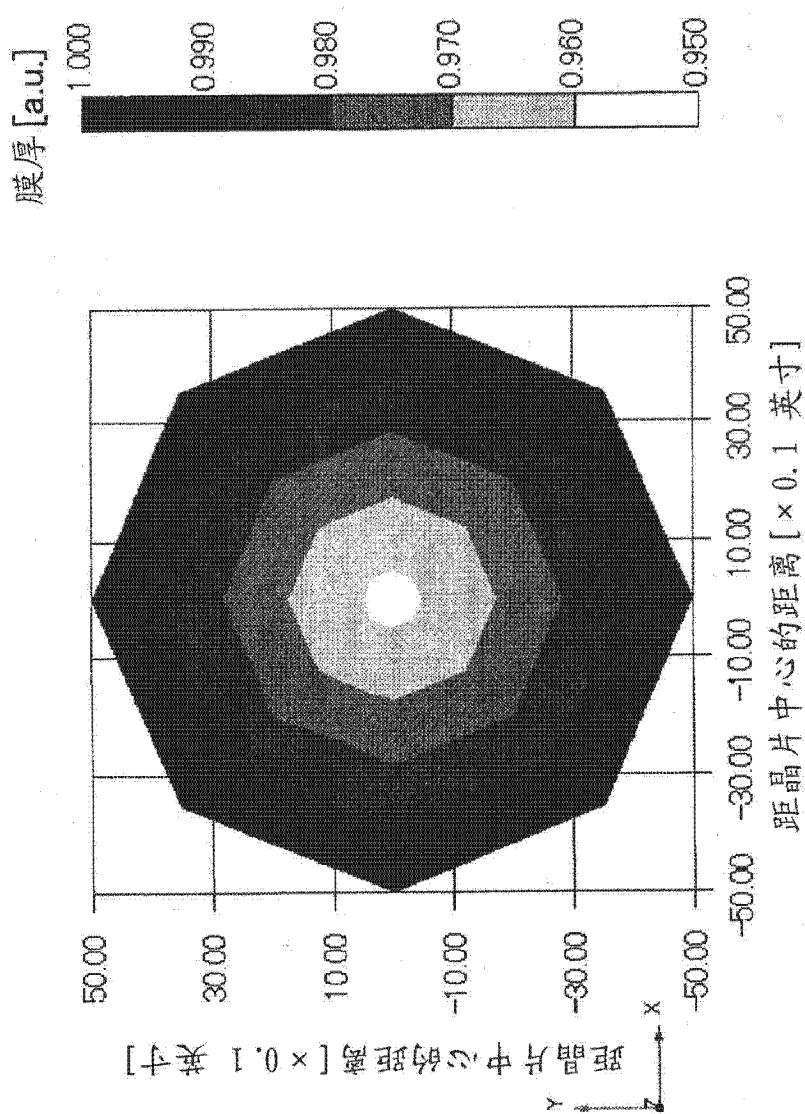


图 12

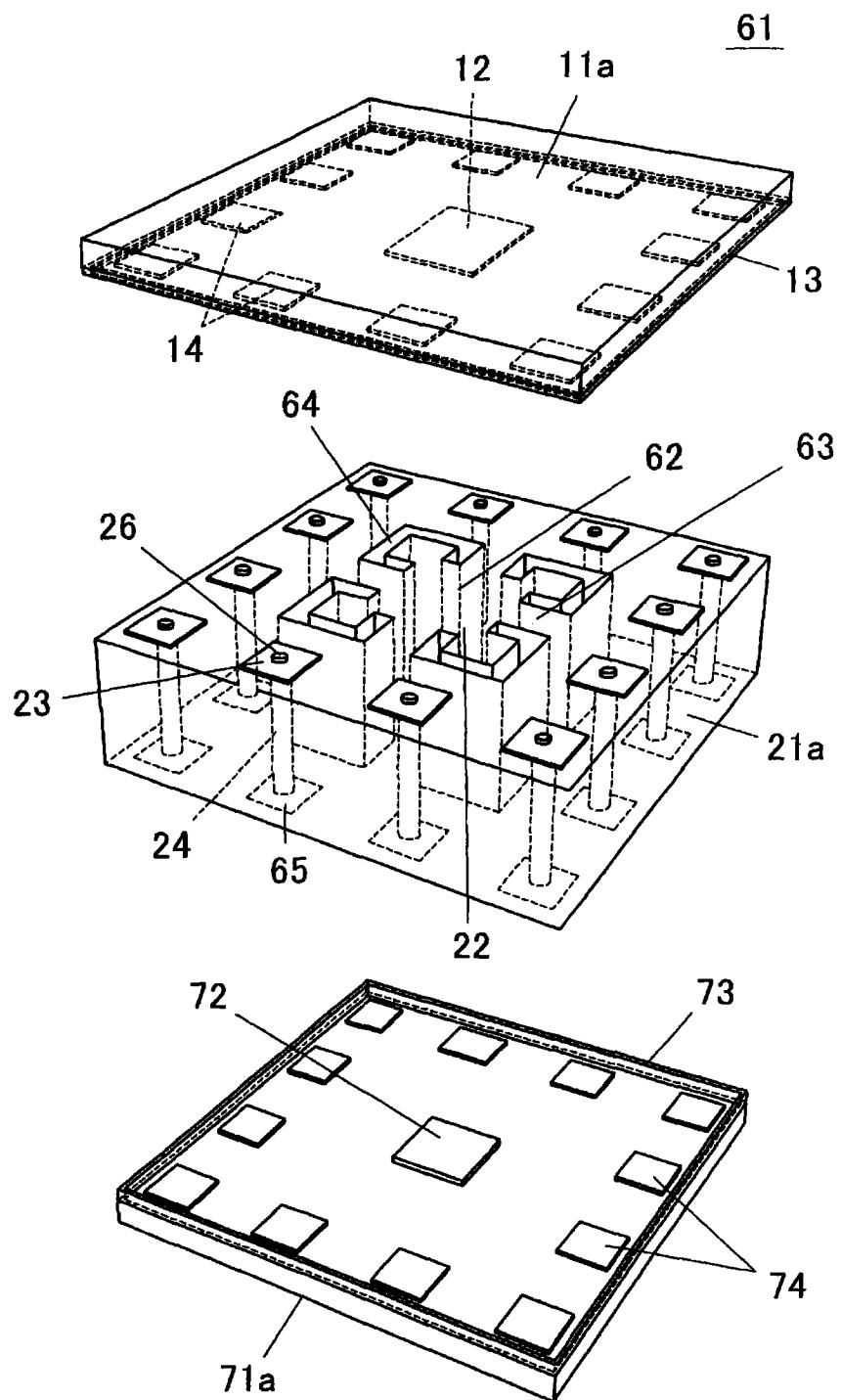


图 13