

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 6 月 7 日(07.06.2012)



(10) 国際公開番号
WO 2012/073571 A1

- (51) 国際特許分類:
H02M 7/48 (2007.01) H01L 25/18 (2006.01)
H01L 25/07 (2006.01) H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2011/070126
- (22) 国際出願日: 2011 年 9 月 5 日(05.09.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-268744 2010 年 12 月 1 日(01.12.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社安川電機 (KABUSHIKI KAISHA YASKAWA DENKI) [JP/JP]; 〒8060004 福岡県北九州市八幡西区黒崎城石 2 番 1 号 Fukuoka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 樋口 雅人 (HIGUCHI, Masato) [JP/JP]; 〒8060004 福岡県北九州市八幡西区黒崎城石 2 番 1 号 株式会社安川電機内 Fukuoka (JP). 川波 靖彦 (KAWANAMI, Yasuhiko) [JP/JP]; 〒8060004 福岡県北九州市八幡西区黒崎城石 2 番 1 号 株式会社安川電機内 Fukuoka (JP).

- (74) 代理人: 宮園 博一 (MIYAZONO, Hirokazu); 〒5320011 大阪府大阪市淀川区西中島 5 丁目 1 3 番 9 号 新大阪MTビル 1 号館 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

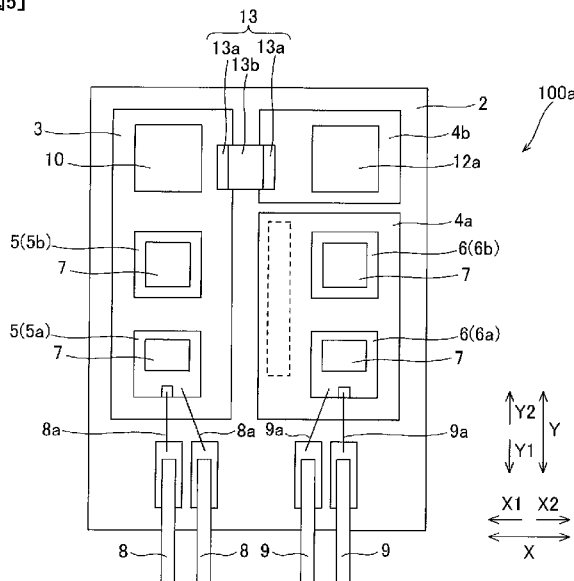
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: POWER CONVERSION DEVICE

(54) 発明の名称: 電力変換装置

[図5]



(57) Abstract: Provided is a power conversion device which can reduce wiring inductance of the device as a whole while destruction of the power conversion semiconductor elements caused by surge voltage is suppressed. A power module (100) comprises a power module main unit (100a). The power module main unit (100a) includes: a P-side electrically conductive plate (3), a first N-side electrically conductive plate (4a), and a second N-side electrically conductive plate (4b) that are arranged with spaces therebetween within the power module main unit (100a); a P-side semiconductor element (5) that is arranged on the surface of the P-side electrically conductive plate (3); an N-side semiconductor element (6) that is arranged on the surface of the first N-side electrically conductive plate (4a) and is electrically connected with the P-side semiconductor element (5); and a capacitor (13) for suppressing surge voltage that is arranged so as to connect with the P-side electrically conductive plate (3) and the second N-side electrically conductive plate (4b), between the P-side semiconductor element (5) and the N-side semiconductor element (6), within the power module main unit (100a).

(57) 要約:

[続葉有]



サージ電圧に起因する電力変換用半導体素子の破壊を抑制しながら、装置全体の配線インダクタンスを小さくすることが可能な電力変換装置を提供する。このパワーモジュール100は、パワーモジュール本体部100aを備え、パワーモジュール本体部100aは、パワーモジュール本体部100a内に間隔を隔てて配置されたP側導電板3、第1N側導電板4aおよび第2N側導電板4bと、P側導電板3の表面上に配置されるP側半導体素子5と、第1N側導電板4aの表面上に配置され、P側半導体素子5と電氣的に接続されるN側半導体素子6と、パワーモジュール本体部100aの内部において、P側半導体素子5とN側半導体素子6との間にP側導電板3と第2N側導電板4bとに接続するように配置され、サージ電圧を抑制するためのコンデンサ13とを含む。

明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本発明は、電力変換装置に関し、特に、電力変換用半導体素子を備える電力変換装置に関する。

背景技術

[0002] 従来、電力変換用半導体素子を備える電力変換装置が知られている（たとえば、特許文献1参照）。

[0003] 上記特許文献1には、IGBT（電力変換用半導体素子）と、IGBTに電氣的に接続されるリードフレームと、IGBTとリードフレームとを内部に含むように設けられるモールド樹脂とを備える半導体装置（電力変換装置）が開示されている。この半導体装置では、IGBTがスイッチングされることにより、IGBTのコレクタとエミッタとの間で、電流が流れるように構成されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2008-103623号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記特許文献1に記載の半導体装置では、IGBT（電力変換用半導体素子）がスイッチングされる際に、サージ電圧が発生することにより、電力変換用半導体素子が破壊される場合があるという問題点がある。また、一般に、上記のような従来の電力変換装置では、装置全体の配線インダクタンスを小さくすることが望まれている。

[0006] この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、サージ電圧に起因する電力変換用半導体素子の破壊を抑制しながら、装置全体の配線インダクタンスを小さくすることが可能な

電力変換装置を提供することである。

課題を解決するための手段および発明の効果

[0007] 上記目的を達成するために、この発明の一の局面による電力変換装置は、電力変換装置本体部を備え、電力変換装置本体部は、電力変換装置本体部内に間隔を隔てて配置された第1導電板および第2導電板と、第1導電板の表面上に配置される第1電力変換用半導体素子と、第2導電板の表面上に配置され、第1電力変換用半導体素子と電気的に接続される第2電力変換用半導体素子と、電力変換装置本体部の内部において、第1電力変換用半導体素子と第2電力変換用半導体素子との間に第1導電板と第2導電板とに接続するように配置され、サージ電圧を抑制するためのコンデンサとを含む。

[0008] この一の局面による電力変換装置では、上記のように、第1導電板の表面上に配置される第1電力変換用半導体素子と、第2導電板の表面上に配置され、第1電力変換用半導体素子と電気的に接続される第2電力変換用半導体素子とを電力変換装置本体部に設けることによって、第1電力変換用半導体素子と第2電力変換用半導体素子とが、それぞれ、異なる2つの電力変換装置本体部に別個に設けられる場合と比べて、第1電力変換用半導体素子と第2電力変換用半導体素子との間の距離を小さくすることができるので、第1電力変換用半導体素子と第2電力変換用半導体素子との間の配線インダクタンスを小さくすることができる。また、電力変換装置本体部の内部において、第1電力変換用半導体素子と第2電力変換用半導体素子との間に第1導電板と第2導電板とに接続するようにコンデンサを設けることによって、サージ電圧に起因する電力変換用半導体素子の破壊を抑制することができるとともに、コンデンサが電力変換装置本体部の外部に設けられる場合と比べて、第1電力変換用半導体素子および第2電力変換用半導体素子とコンデンサとの間の距離が小さくなるので、第1電力変換用半導体素子および第2電力変換用半導体素子とコンデンサとの間の配線インダクタンスを小さくすることができる。

図面の簡単な説明

[0009] [図1]本発明の第1実施形態によるパワーモジュールの構成を示す分解斜視図である。

[図2]本発明の第1実施形態によるパワーモジュールの構成を示すX方向に沿った断面図である。

[図3]本発明の第1実施形態によるパワーモジュールを側方から見た図である。

[図4]本発明の第1実施形態によるパワーモジュール本体部の平面図である。

[図5]本発明の第1実施形態によるパワーモジュール本体部のケースをはずした状態の平面図である。

[図6]図4の400-400線に沿った断面図である。

[図7]図4の500-500線に沿った断面図である。

[図8]図4の600-600線に沿った断面図である。

[図9]図4の700-700線に沿った断面図である。

[図10]本発明の第1実施形態によるパワーモジュール本体部の内部の構成を説明するための分解斜視図である。

[図11]本発明の第1実施形態によるパワーモジュールの回路図である。

[図12]本発明の第1実施形態によるパワーモジュールが適用されたチョッパ回路の回路図である。

[図13]比較例によるパワーモジュールが適用されたチョッパ回路の回路図である。

[図14]比較例によるパワーモジュールが適用されたチョッパ回路のシミュレーションの結果を示す図である。

[図15]本発明の第1実施形態によるパワーモジュールが適用されたチョッパ回路のシミュレーションの結果を示す図である。

[図16]本発明の第2実施形態によるパワーモジュール本体部のP側半導体素子が設けられる側の平面図である。

[図17]本発明の第2実施形態によるパワーモジュール本体部のN側半導体素子が設けられる側の平面図である。

[図18]本発明の第2実施形態によるパワーモジュール本体部の矢印Y1方向側から見た側面図である。

[図19]本発明の第2実施形態によるパワーモジュール本体部の矢印X2方向側から見た側面図である。

[図20]本発明の第2実施形態によるパワーモジュール本体部の内部の構成を説明するための分解斜視図である。

発明を実施するための形態

[0010] 以下、本発明の実施形態を図面に基づいて説明する。

[0011] (第1実施形態)

まず、図1～図3を参照して、本発明の第1実施形態によるパワーモジュール100の構成について説明する。なお、パワーモジュール100は、本発明の「電力変換装置」の一例である。

[0012] 図1に示すように、本発明の第1実施形態によるパワーモジュール100は、3つのパワーモジュール本体部100a、100bおよび100cと、配線基板200とにより構成されている。なお、パワーモジュール本体部100a、100bおよび100cは、それぞれ、本発明の「電力変換装置本体部」の一例である。

[0013] パワーモジュール100は、モータなどに接続される3相インバータ回路を構成している。このパワーモジュール100を構成するパワーモジュール本体部100a、100bおよび100cのそれぞれの矢印X1方向側の部分は、3相インバータ回路の上側アーム(P側)として機能する。また、パワーモジュール本体部100a、100bおよび100cのそれぞれの矢印X2方向側の部分は、3相インバータ回路の下側アーム(N側)として機能する。なお、パワーモジュール本体部100a、100bおよび100cは、それぞれ、U相、V相、W相の電力変換を行うものとする。また、パワーモジュール本体部100a、100bおよび100cは、それぞれ、略同様の構成を有しているので、以下では、主としてパワーモジュール本体部100aについて説明する。

[0014] 図2に示すように、配線基板200の内部には、導電性の金属板からなるP相ブスバ200a、U相ブスバ200bおよびN相ブスバ200cが設けられている。また、図1に示すように、これらのP相ブスバ200a、U相ブスバ200bおよびN相ブスバ200cの一部は、パワーモジュール本体部100aの後述するP側端子接続部10a、U相端子接続部11cおよびN側端子接続部12bに対応するように配線基板200の下面（矢印Z2方向側の面）から露出している。なお、配線基板200の内部には、パワーモジュール本体部100bおよび100cの後述するV相端子接続部およびW相端子接続部に対応するように、V相ブスバおよびW層ブスバが設けられている。

[0015] パワーモジュール本体部100aは、パワーモジュール本体部100aの上（矢印Z1方向側の面）において配線基板200に電氣的に接続されるように構成されている。具体的には、図1～図3に示すように、パワーモジュール本体部100aの後述するP側端子接続部10a、U相端子接続部11cおよびN側端子接続部12b（細かい点状の網掛け部参照）と、配線基板200のP相ブスバ200a、U相ブスバ200bおよびN相ブスバ200cの配線基板200の下面（矢印Z2方向側の面）から露出した部分とがバンプ電極300を介して接合されるように構成されている。

[0016] また、図3に示すように、パワーモジュール本体部100aと配線基板200とは、所定の距離（空間）を隔てて配置されるように構成されている。この空間には、たとえば、熱伝導性を有する樹脂などが充填される。これにより、パワーモジュール100の放熱性を高めながら、パワーモジュール本体部100a、パワーモジュール本体部100bおよびパワーモジュール本体部100cと、配線基板200とを固定することが可能になる。また、樹脂により、パワーモジュール本体部100aと配線基板200とを接続するP相ブスバ200a、N相ブスバ200c、U相ブスバ200bが腐食するのを抑制することが可能になる。なお、樹脂の代わりに、熱伝導性のコンパウンドを用いてもよい。

[0017] 次に、図４～図１１を参照して、本発明の第１実施形態によるパワーモジュール本体部１００ａの詳細な構成について説明する。

[0018] 図４～図１０に示すように、パワーモジュール本体部１００ａには、金属板１と、絶縁基板２と、Ｐ側導電板３と、第１Ｎ側導電板４ａと、第２Ｎ側導電板４ｂと、２つのＰ側半導体素子５と、２つのＮ側半導体素子６と、４つの柱状電極７と、２つのＰ側制御端子８と、２つのＮ側制御端子９と、Ｐ側端子１０と、Ｕ相端子１１と、Ｎ側端子１２と、スナバコンデンサ１３とが設けられている。なお、金属板１は、本発明の「裏面側電極」の一例である。また、Ｐ側導電板３は、本発明の「第１導電板」の一例である。また、第１Ｎ側導電板４ａは、本発明の「第２導電板」および「素子側第２導電板」の一例である。また、第２Ｎ側導電板４ｂは、本発明の「第２導電板」および「端子側第２導電板」の一例である。また、柱状電極７は、本発明の「電極用導体」の一例である。また、Ｎ側端子１２は、本発明の「負側入出力端子」の一例である。また、スナバコンデンサ１３は、本発明の「コンデンサ」の一例である。

[0019] また、パワーモジュール本体部１００ａのＰ側導電板３と、第１Ｎ側導電板４ａと、第２Ｎ側導電板４ｂと、Ｐ側半導体素子５と、Ｎ側半導体素子６と、柱状電極７と、スナバコンデンサ１３とは、樹脂などからなるケース１４に覆われている。また、Ｐ側端子１０と、Ｕ相端子１１と、Ｎ側端子１２とは、ケース１４の上面（矢印Ｚ１方向側の面）から露出している。また、金属板１、Ｐ側導電板３、第１Ｎ側導電板４ａおよび第２Ｎ側導電板４ｂは、銅などの金属からなる。また、絶縁基板２は、セラミックなどの絶縁物からなる。このパワーモジュール本体部１００ａでは、金属板１、絶縁基板２およびＰ側導電板３により、Ｐ側の絶縁回路基板が構成され、金属板１、絶縁基板２、第１Ｎ側導電板４ａおよび第２Ｎ側導電板４ｂにより、Ｎ側の絶縁回路基板が構成されている。なお、Ｐ側半導体素子５は、本発明の「第１電力変換用半導体素子」の一例である。また、Ｎ側半導体素子６は、本発明の「第２電力変換用半導体素子」の一例である。

[0020] 2つのP側半導体素子5は、1つのP側トランジスタ素子5 aと、1つのP側ダイオード素子5 bとにより構成されている。このP側トランジスタ素子5 aは、たとえば、MOSFET（電界効果型トランジスタ）である。また、P側ダイオード素子5 bは、たとえば、SBD（ショットキーバリアダイオード）である。なお、P側ダイオード素子5 bは、還流ダイオードとしての機能を有する。図11に示すように、P側トランジスタ素子5 aと、P側ダイオード素子5 bとは、電氣的に並列に接続されている。具体的には、P側ダイオード素子5 bのカソード電極は、P側トランジスタ素子5 aのドレイン電極に電氣的に接続されている。また、P側ダイオード素子5 bのアノード電極は、P側トランジスタ素子5 aのソース電極に電氣的に接続されている。なお、P側トランジスタ素子5 aは、本発明の「電圧駆動型トランジスタ素子」の一例である。また、P側ダイオード素子5 bは、本発明の「還流ダイオード素子」の一例である。

[0021] P側トランジスタ素子5 aのドレイン電極およびP側ダイオード素子5 bのカソード電極は、P側導電板3に電氣的に接続されている。図10に示すように、P側トランジスタ素子5 aおよびP側ダイオード素子5 bの下面（矢印Z2方向側の面）は、半田からなる接合材15を介してP側導電板3の上面（矢印Z1方向側の面）に接合されている。なお、P側トランジスタ素子5 aおよびP側ダイオード素子5 bは、P側導電板3の表面においてY方向に所定の間隔を隔てて並んで配置されている。また、P側トランジスタ素子5 aは、P側ダイオード素子5 bよりも矢印Y1方向側に配置されている。なお、半田からなる接合材15の代わりに、Agナノペーストからなる接合材を用いてもよい。

[0022] 同様に、2つのN側半導体素子6は、1つのN側トランジスタ素子6 aと、1つのN側ダイオード素子6 bとにより構成されている。このN側ダイオード素子6 bは、還流ダイオードとしての機能を有する。図11に示すように、N側トランジスタ素子6 aと、N側ダイオード素子6 bとは、電氣的に並列に接続されている。具体的には、N側ダイオード素子6 bのカソード電

極は、N側トランジスタ素子6 aのドレイン電極に電氣的に接続されている。また、N側ダイオード素子6 bのアノード電極は、N側トランジスタ素子6 aのソース電極に電氣的に接続されている。なお、N側トランジスタ素子6 aは、本発明の「電圧駆動型トランジスタ素子」の一例である。また、N側ダイオード素子6 bは、本発明の「還流ダイオード素子」の一例である。

[0023] 図10に示すように、N側トランジスタ素子6 aおよびN側ダイオード素子6 bは、第1 N側導電板4 aの上面（矢印Z 1方向側の面）においてY方向に並んで配置されている。また、N側トランジスタ素子6 aは、N側ダイオード素子6 bよりも矢印Y 1方向側に配置されている。なお、P側トランジスタ素子5 aおよびN側トランジスタ素子6 aと、P側ダイオード素子5 bおよびN側ダイオード素子6 bとは、それぞれ、X方向に並んで配置されている。また、P側トランジスタ素子5 aおよびP側ダイオード素子5 bは、N側トランジスタ素子6 aおよびN側ダイオード素子6 bよりも矢印X 1方向側に配置されている。

[0024] 2つのP側制御端子8は、それぞれ、P側トランジスタ素子5 aの上面（矢印Z 1方向側の面）に設けられたゲート電極およびソース電極に対してワイヤボンディングによりワイヤ8 aを介して接続されている。同様に、2つのN側制御端子9は、それぞれ、N側トランジスタ素子6 aの上面に設けられたゲート電極およびソース電極に対してワイヤボンディングによりワイヤ9 aを介して接続されている。これら2つのP側制御端子8および2つのN側制御端子9は、パワーモジュール本体部100 aのケース14の矢印Y 1方向側の側面から矢印Y 1方向側に突出している。

[0025] P側端子10は、接合材15を介してP側導電板3の上面（矢印Z 1方向側の面）に接合されるように構成されている。また、P側端子10は、P側導電板3を介してP側トランジスタ素子5 aのドレイン電極およびP側ダイオード素子5 bのカソード電極に電氣的に接続されるように構成されている。なお、P側端子10は、Z方向に延びる柱状に形成されている。

[0026] U相端子11は、U相端子部11 aと、P側－N側接続用電極部11 bと

により構成されている。図10に示すように、U相端子部11aは、X方向およびY方向に延びる平板状に形成されている。また、P側－N側接続用電極部11bは、Y方向およびZ方向に延びる柱状に形成されている。

[0027] U相端子部11aは、P側トランジスタ素子5aおよびP側ダイオード素子5bのそれぞれの上面（矢印Z1方向側の面）に接合材15を介して接合された2つの柱状電極7の上面に接合されるように構成されている。また、U相端子部11aは、2つの柱状電極7を介して、P側トランジスタ素子5aのソース電極およびP側ダイオード素子5bのアノード電極に対して電氣的に接続されるように構成されている。なお、柱状電極7は、上端面が略平坦に形成されるZ方向に延びる柱状に形成されている。

[0028] P側－N側接続用電極部11bは、接合材15を介して第1N側導電板4aの上面（矢印Z1方向側の面）に接合されるように構成されている。このP側－N側接続用電極部11bは、U相端子部11aに接続されるP側半導体素子5（P側トランジスタ素子5aおよびP側ダイオード素子5b）と、第1N側導電板4aに接続されるN側半導体素子6（N側トランジスタ素子6aおよびN側ダイオード素子6b）とを電氣的に接続するために設けられている。具体的には、P側トランジスタ素子5aのソース電極およびP側ダイオード素子5bのアノード電極と、N側トランジスタ素子6aのドレイン電極およびN側ダイオード素子6bのカソード電極とがP側－N側接続用電極部11bにより電氣的に接続される。

[0029] N側端子12は、X方向およびY方向に延びる平板状に形成されており、接続電極12aを介して、第2N側導電板4bの上面（矢印Z1方向側の面）に接合されている。また、N側端子12は、N側トランジスタ素子6aおよびN側ダイオード素子6bのそれぞれの上面（矢印Z1方向側の面）に接合材15を介して接合された2つの柱状電極7の上面に接合されるように構成されている。また、N側端子12は、2つの柱状電極7を介してN側トランジスタ素子6aのソース電極およびN側ダイオード素子6bのアノード電極に対して電氣的に接続されるように構成されている。

[0030] また、P側端子10、U相端子11およびN側端子12の上面（矢印Z1方向側の面）には、それぞれ、P側端子接続部10a、U相端子接続部11cおよびN側端子接続部12b（図1、図4および図10の細かい点状の網掛け部参照）が設けられている。これらのP側端子接続部10a、U相端子接続部11cおよびN側端子接続部12bは、配線基板200との電氣的接続をとるために設けられている。また、これらのP側端子接続部10a、U相端子接続部11cおよびN側端子接続部12bは、パワーモジュール本体部100aと配線基板200との間で流入および流出する電流の流入口および流出口として機能する。なお、上記したP側端子接続部10a、U相端子接続部11cおよびN側端子接続部12bに対応するように、パワーモジュール本体部100bにはP側端子接続部、V相端子接続部およびN側端子接続部が設けられ、パワーモジュール本体部100cにはP側端子接続部、W相端子接続部およびN側端子接続部が設けられている。

[0031] ここで、第1実施形態では、P側導電板3と第2N側導電板4bとに直接接続されるように、スナバコンデンサ13が設けられている。また、スナバコンデンサ13は、P側導電板3と第2N側導電板4bとに跨るように配置されている。なお、スナバコンデンサ13の矢印X1方向の端部、および、矢印X2方向の端部には、それぞれ、電極13aが設けられている。また、スナバコンデンサ13の電極13aの間の部分13bは、セラミックから構成されている。そして、電極13aと、P側導電板3および第2N側導電板4bとが半田13cにより接合されている。これにより、スナバコンデンサ13は、P側トランジスタ素子5aのドレイン電極と、N側トランジスタ素子6aのソース電極に電氣的に接続される。また、スナバコンデンサ13は、P側ダイオード素子5bのカソード電極と、N側ダイオード素子6bのアノード電極に電氣的に接続される。なお、スナバコンデンサ13は、P側トランジスタ素子5aやN側トランジスタ素子6aがスイッチングされる際に発生するサージ電圧を抑制する機能を有する。なお、半田13cの代わりに、Agナノペーストからなる接合材を用いてもよい。

[0032] また、第1実施形態では、スナバコンデンサ13は、平面的に見て（上方から見て）、柱状電極7に囲まれた領域に配置されている。また、スナバコンデンサ13は、パワーモジュール本体部100aの内部の配線基板200（図1参照）と反対側において、P側導電板3および第2N側導電板4bに配線を介さずに直接接続するように配置されている。

[0033] 次に、図12～図15を参照して、パワーモジュール本体部がスイッチングされる際に発生するサージ電圧の抑制について行ったシミュレーションについて説明する。

[0034] このシミュレーションでは、図12に示すように、第1実施形態によるパワーモジュール本体部100a（点線）に、直流電源21と、電解コンデンサ22と、ゲート回路23と、負荷用リアクトル24とを接続したチョッパ回路25を仮定した。直流電源21は、パワーモジュール本体部100aのP側端子10とN側端子12とに接続されている。また、電解コンデンサ22は、直流電源21とP側端子10との間、および、直流電源21とN側端子12との間に接続されている。ゲート回路23は、N側制御端子9に接続されている。そして、このチョッパ回路25において、パワーモジュール本体部100aのN側端子12に流れるソース電流 I_s をシミュレーションにより求めた。また、パワーモジュール本体部100aのN側端子12と、U相端子11との間の電圧 V_{ds} をシミュレーションにより求めた。

[0035] また、比較例として、図13に示すように、2つのパワーモジュール本体部800aおよび800b（点線）に、直流電源21と、電解コンデンサ22と、ゲート回路23とを接続したチョッパ回路801を仮定した。なお、比較例によるパワーモジュール本体部800a（800b）には、1つのP側トランジスタ素子802（N側トランジスタ素子804）と、1つのP側ダイオード素子803（N側ダイオード素子805）とが設けられる。また、チョッパ回路801には、パワーモジュール本体部800aのP側端子806と、パワーモジュール本体部800bのN側端子807との間にスナバコンデンサ808が設けられている。そして、このチョッパ回路801にお

いて、パワーモジュール本体部 800b の N 側端子 807 に流れるソース電流 I_s をシミュレーションにより求めた。また、パワーモジュール本体部 800b の N 側端子 807 と、U 相端子 809 との間の電圧 V_{ds} をシミュレーションにより求めた。

[0036] なお、このシミュレーションでは、直流電源 21 の電圧を 300V と仮定し、パワーモジュール本体部がオン状態の際のソース電流 I_s を 200A と仮定した。また、キャリア周波数（PWM 制御の際、インバータで出力電圧のパルス幅を決めるための変調波の周波数）を 100kHz と仮定した。また、比較例によるパワーモジュール本体部 800a および 800b の内部の配線インダクタンスを 7.426nH と仮定するとともに、第 1 実施形態によるパワーモジュール本体部 100a の内部の配線インダクタンスを 3.0898nH と仮定した。なお、第 1 実施形態によるパワーモジュール本体部 100a では、1 つのパワーモジュール本体部 100a の内部に P 側トランジスタ素子 5a、P 側ダイオード素子 5b、N 側トランジスタ素子 6a、および、N 側ダイオード素子 6b が設けられる一方、比較例によるパワーモジュール本体部 800a および 800b では、P 側トランジスタ素子 802 および P 側ダイオード素子 803 と、N 側トランジスタ素子 804 および N 側ダイオード素子 805 とが別個のパワーモジュール本体部に設けられている。このため、比較例によるパワーモジュール本体部 800a および 800b の内部の配線インダクタンスを、第 1 実施形態によるパワーモジュール本体部 100a の内部の配線インダクタンスよりも大きくした。

[0037] 図 14 は、比較例によるシミュレーションの結果を示している。縦軸は、電圧 (V) と、ソース電流 I_s (A) を表わし、横軸は、時間を表わしている。そして、このシミュレーションにより、パワーモジュール本体部 800a および 800b をオン状態からオフ状態にした場合に、配線インダクタンスに蓄積されていたエネルギーが、図 13 に示す閉回路（1 点鎖線、LC 回路）の中で共振した結果、サージ電圧が発生するとともに、リングング（パルス状などの急峻な変化をする信号が、回路網を通過したときに生じる波状の

波形)が発生することが判明した。

[0038] また、図15は、第1実施形態によるシミュレーションの結果を示している。そして、このシミュレーションにより、パワーモジュール本体部100aをオン状態からオフ状態にした場合に、配線インダクタンスに蓄積されていたエネルギーが、図12に示す閉回路(1点鎖線、LC回路)の中で共振した結果、サージ電圧が発生するとともに、リングングが発生することが判明した。なお、図14に示す比較例によるシミュレーションにおけるリングングは、パワーモジュール本体部800aおよび800bがオフ状態にされてから、 $0.775\mu\text{s}$ ($=239.2-238.425$) 後に終了した一方、図15に示す第1実施形態によるシミュレーションにおけるリングングは、パワーモジュール本体部100aがオフ状態にされてから、 $0.3\mu\text{s}$ ($=238.53-238.23$) 後に終了することが判明した。すなわち、示す第1実施形態によるシミュレーションにおけるリングングの方が早く終了することが確認された。また、サージ電圧の最大値は、図14に示す比較例では、 375V になる一方、図15に示す第1実施形態では、 339V になることが判明した。すなわち、第1実施形態では、サージ電圧が減少することが確認された。これは、第1実施形態の配線インダクタンス(3.0898nH)が、比較例の配線インダクタンス(7.426nH)よりも小さいので、サージ電圧が減少したと考えられる。なお、第1実施形態(比較例)において、スナバコンデンサ13(808)を設けない場合では、サージ電圧の最大値は、比較例によるサージ電圧の最大値(375V)よりもさらに大きくなる。

[0039] 第1実施形態では、上記のように、P側導電板3の表面上に配置されるP側半導体素子5と、第2N側導電板4bの表面上に配置され、P側半導体素子5と電氣的に接続されるN側半導体素子6とをパワーモジュール本体部100aに設けることによって、P側半導体素子5とN側半導体素子6とが、それぞれ、異なる2つのパワーモジュール本体部に別個に設けられる場合と比べて、P側半導体素子5とN側半導体素子6との間の距離を小さくするこ

とができるので、P側半導体素子5とN側半導体素子6との間の配線インダクタンスを小さくすることができる。また、パワーモジュール本体部100aの内部において、P側半導体素子5とN側半導体素子6との間にP側導電板3と第2N側導電板4bとに接続するようにスナバコンデンサ13を設けることによって、サージ電圧に起因するP側半導体素子5およびN側半導体素子6の破壊を抑制することができるとともに、スナバコンデンサ13がパワーモジュール本体部100aの外部の基板などに設けられる場合と比べて、P側半導体素子5およびN側半導体素子6とスナバコンデンサ13との間の距離が小さくなるので、P側半導体素子5およびN側半導体素子6とスナバコンデンサ13との間の配線インダクタンスを小さくすることができる。

[0040] また、第1実施形態では、上記のように、スナバコンデンサ13を、P側半導体素子5とN側半導体素子6との間にP側導電板3と第2N側導電板4bとに直接接続するように配置する。これにより、スナバコンデンサ13が配線などを介して配置される場合と比べて、スナバコンデンサ13とP側導電板3および第2N側導電板4bとの間の配線インダクタンスを小さくすることができる。

[0041] また、第1実施形態では、上記のように、スナバコンデンサ13を、P側半導体素子5とN側半導体素子6との間にP側導電板3と第2N側導電板4bとに跨るように配置する。これにより、スナバコンデンサ13とP側導電板3とを容易に直接接続することができるとともに、スナバコンデンサ13と第2N側導電板4bとを容易に直接接続することができる。

[0042] また、第1実施形態では、上記のように、P側半導体素子5のソース電極と、N側半導体素子6のドレイン電極とを互いに電氣的に接続し、スナバコンデンサ13を、P側導電板3を介してP側半導体素子5のドレイン電極に電氣的に接続するとともに、第2N側導電板4bを介してN側半導体素子6のソース電極に電氣的に接続する。これにより、P側半導体素子5およびN側半導体素子6のスイッチング時に生じるサージ電圧を、スナバコンデンサ13により抑制することができる。

[0043] また、第1実施形態では、上記のように、パワーモジュール本体部100aが、P側導電板3の表面上に形成されるP側半導体素子5と、第1N側導電板4aの表面上に形成されるN側半導体素子6との表面上に形成され、上方に延びる柱状を有するとともに、柱状の上端面が略平坦に形成されている柱状電極7を含み、スナバコンデンサ13を、平面的に見て、柱状電極7に囲まれた領域に配置する。これにより、スナバコンデンサ13が柱状電極7に囲まれた領域の外に配置されている場合と異なり、パワーモジュール本体部100aが大きくなるのを抑制することができる。また、柱状電極7を上方に延びる柱状を有するとともに、柱状の上端面を略平坦に形成することにより、電極がたとえば細いワイヤ状である場合と異なり、配線インダクタンスを小さくすることができる。その結果、配線インダクタンスが大きいことに起因して、P側半導体素子5およびN側半導体素子6が高速に動作できなくなるのを抑制することができる。また、柱形状の柱状電極7により、細いワイヤー状の電極を用いる場合よりも放熱量を増加させることができるので、放熱性を向上させることができる。

[0044] また、第1実施形態では、上記のように、パワーモジュール本体部100aが、表面にP側導電板3、第1N側導電板4aおよび第2N側導電板4bが形成され、裏面に金属板1が形成される絶縁基板2を含み、スナバコンデンサ13を、P側導電板3と第2N側導電板4bとを直接接続するように配置する。これにより、P側導電板3、第1N側導電板4a、第2N側導電板4bおよびスナバコンデンサ13が、1つの絶縁基板2の表面上に形成されるので、P側導電板3、第1N側導電板4a、第2N側導電板4bおよびスナバコンデンサ13が、それぞれ、異なる絶縁基板に形成される場合と異なり、パワーモジュール本体部100aが大きくなるのを抑制することができる。

[0045] また、第1実施形態では、上記のように、スナバコンデンサ13を、パワーモジュール本体部100aの内部の配線基板200と反対側において、P側導電板3および第2N側導電板4bに直接接続するように配置する。これ

により、スナバコンデンサ 1 3 が、P 側導電板 3 および第 2 N 側導電板 4 b 側に配置されるので、スナバコンデンサ 1 3 と、P 側導電板 3 および第 2 N 側導電板 4 b との間の距離が小さくなる。これにより、スナバコンデンサ 1 3 と、P 側導電板 3 および第 2 N 側導電板 4 b との間の配線インダクタンスを小さくすることができる。

[0046] (第 2 実施形態)

次に、図 1 6 ～図 2 0 を参照して、第 2 実施形態のパワーモジュール本体部 1 0 1 について説明する。この第 2 実施形態では、上記 1 つの絶縁基板の表面上に、P 側半導体素子と N 側半導体素子とが設けられる上記第 1 実施形態と異なり、2 つの絶縁基板に挟まれるように P 側半導体素子と N 側半導体素子とが設けられている。

[0047] 図 1 6、図 1 8 ～図 2 0 に示すように、パワーモジュール本体部 1 0 1 では、絶縁基板 1 1 2 a と絶縁基板 1 1 2 b とが対向するように配置されている。絶縁基板 1 1 2 a には、金属板 1 1 1 a と、絶縁基板 1 1 2 a と、P 側導電板 1 1 3 と、第 1 N 側導電板 1 1 4 a と、2 つの P 側半導体素子 1 1 5 と、2 つの柱状電極 1 1 7 と、2 つの P 側制御端子 1 1 8 と、P 側端子 1 2 0 と、N 側端子 1 2 2 と、スナバコンデンサ 1 2 3 とが設けられている。また、金属板 1 1 1 a は、接地されている。なお、金属板 1 1 1 a は、本発明の「裏面側電極」の一例である。また、絶縁基板 1 1 2 a および絶縁基板 1 1 2 b は、それぞれ、本発明の「第 1 絶縁基板」および「第 2 絶縁基板」の一例である。また、P 側導電板 1 1 3 は、本発明の「第 1 導電板」の一例である。また、第 1 N 側導電板 1 1 4 a は、本発明の「第 2 導電板」の一例である。また、柱状電極 1 1 7 は、本発明の「電極用導体」の一例である。また、N 側端子 1 2 2 は、本発明の「負側入出力端子」の一例である。また、スナバコンデンサ 1 2 3 は、本発明の「コンデンサ」の一例である。

[0048] また、図 1 7 ～図 2 0 に示すように、パワーモジュール本体部 1 0 1 の絶縁基板 1 1 2 b には、金属板 1 1 1 b と、第 2 N 側導電板 1 1 4 b と、2 つの N 側半導体素子 1 1 6 と、2 つの柱状電極 1 1 7 と、2 の N 側制御端子 1

19と、U相端子121とが設けられている。また、金属板111bは、上記金属板111aと異なり、接地（図18および図19参照）されない。これにより、金属板111aおよび金属板111bの両方が接地されている場合と異なり、U相端子121と接地（アース）との間の浮遊容量が小さくなる。その結果、コモンモードノイズを低減することが可能となる。

[0049] また、金属板111a、P側導電板113、第1N側導電板114a、金属板111bおよび第2N側導電板114bは、銅などの金属からなる。また、絶縁基板112aおよび112bは、セラミックなどの絶縁物からなる。このパワーモジュール本体部101では、金属板111a、絶縁基板112aおよびP側導電板113により、P側の絶縁回路基板が構成され、金属板111a、絶縁基板112a、第1N側導電板114aにより、N側の絶縁回路基板が構成されている。また、金属板111b、絶縁基板112b、第2N側導電板114bにより、N側の絶縁回路基板が構成されている。なお、P側半導体素子115は、本発明の「第1電力変換用半導体素子」の一例である。また、N側半導体素子116は、本発明の「第2電力変換用半導体素子」の一例である。

[0050] 図16に示すように、2つのP側半導体素子115は、1つのP側トランジスタ素子115aと、1つのP側ダイオード素子115bとにより構成されている。このP側トランジスタ素子115aは、たとえば、MOSFET（電界効果型トランジスタ）である。また、P側ダイオード素子115bは、たとえば、SBD（ショットキーバリアダイオード）である。なお、P側ダイオード素子115bは、還流ダイオードとしての機能を有する。図11に示す上記第1実施形態と同様に、P側トランジスタ素子115aと、P側ダイオード素子115bとは、電氣的に並列に接続されている。具体的には、P側ダイオード素子115bのカソード電極は、P側トランジスタ素子115aのドレイン電極に電氣的に接続されている。また、P側ダイオード素子115bのアノード電極は、P側トランジスタ素子115aのソース電極に電氣的に接続されている。なお、P側トランジスタ素子115aは、本発

明の「電圧駆動型トランジスタ素子」の一例である。また、P側ダイオード素子115bは、本発明の「還流ダイオード素子」の一例である。

[0051] P側トランジスタ素子115aのドレイン電極およびP側ダイオード素子115bのカソード電極は、P側導電板113に電氣的に接続されている。図20に示すように、P側トランジスタ素子115aおよびP側ダイオード素子115bの下面（矢印Z2方向側の面）は、半田からなる接合材125を介してP側導電板113の上面（矢印Z1方向側の面）に接合されている。なお、P側トランジスタ素子115aおよびP側ダイオード素子115bは、P側導電板113の表面においてY方向に所定の間隔を隔てて並んで配置されている。また、P側トランジスタ素子115aは、P側ダイオード素子115bよりも矢印Y2方向側に配置されている。なお、半田からなる接合材125の代わりに、Agナノペーストからなる接合材を用いてもよい。

[0052] 同様に、図17に示すように、2つのN側半導体素子116は、1つのN側トランジスタ素子116aと、1つのN側ダイオード素子116bとにより構成されている。このN側ダイオード素子116bは、還流ダイオードとしての機能を有する。図11に示す上記第1実施形態と同様に、N側トランジスタ素子116aと、N側ダイオード素子116bとは、電氣的に並列に接続されている。具体的には、N側ダイオード素子116bのカソード電極は、N側トランジスタ素子116aのドレイン電極に電氣的に接続されている。また、N側ダイオード素子116bのアノード電極は、N側トランジスタ素子116aのソース電極に電氣的に接続されている。なお、N側トランジスタ素子116aは、本発明の「電圧駆動型トランジスタ素子」の一例である。また、N側ダイオード素子116bは、本発明の「還流ダイオード素子」の一例である。

[0053] 図20に示すように、N側トランジスタ素子116aおよびN側ダイオード素子116bは、第2N側導電板114bの上面（矢印Z2方向側の面）においてY方向に並んで配置されている。また、N側トランジスタ素子116aは、N側ダイオード素子116bよりも矢印Y2方向側に配置されてい

る。なお、絶縁基板 1 1 2 a と絶縁基板 1 1 2 b とが対向するように配置された状態では、P 側トランジスタ素子 1 1 5 a および N 側トランジスタ素子 1 1 6 a と、P 側ダイオード素子 1 1 5 b および N 側ダイオード素子 1 1 6 b とは、それぞれ、X 方向に並んで配置されている。また、P 側トランジスタ素子 1 1 5 a および P 側ダイオード素子 1 1 5 b は、N 側トランジスタ素子 1 1 6 a および N 側ダイオード素子 1 1 6 b よりも矢印 X 1 方向側に配置されている。

[0054] 図 1 6 に示すように、2 つの P 側制御端子 1 1 8 は、それぞれ、P 側トランジスタ素子 1 1 5 a の上面（矢印 Z 1 方向側の面）に設けられたゲート電極およびソース電極に対してワイヤボンディングによりワイヤ 1 1 8 a を介して接続されている。同様に、図 1 7 に示すように、2 つの N 側制御端子 1 1 9 は、それぞれ、N 側トランジスタ素子 1 1 6 a の上面に設けられたゲート電極およびソース電極に対してワイヤボンディングによりワイヤ 1 1 9 a を介して接続されている。

[0055] 図 1 6 に示すように、P 側端子 1 2 0 は、P 側導電板 1 1 3 の上面（矢印 Z 1 方向側の面）に接合されるように構成されている。また、P 側端子 1 2 0 は、P 側導電板 1 1 3 を介して P 側トランジスタ素子 1 1 5 a のドレイン電極および P 側ダイオード素子 1 1 5 b のカソード電極に電氣的に接続されるように構成されている。なお、P 側端子 1 2 0 は、X 方向および Y 方向に延びる平板状に形成されている。

[0056] また、N 側端子 1 2 2 は、第 1 N 側導電板 1 1 4 a の上面（矢印 Z 1 方向側の面）に接合されるように構成されている。また、N 側端子 1 2 2 は、絶縁基板 1 1 2 a と絶縁基板 1 1 2 b とが対向するように配置された状態では、第 1 N 側導電板 1 1 4 a を介して N 側トランジスタ素子 1 1 6 a のソース電極および N 側ダイオード素子 1 1 6 b のアノード電極に電氣的に接続されるように構成されている。なお、N 側端子 1 2 2 は、X 方向および Y 方向に延びる平板状に形成されている。

[0057] 図 1 7 に示すように、U 相端子 1 2 1 は、第 2 N 側導電板 1 1 4 b の上面

(矢印Z 2方向側の面)に接合されるように構成されている。また、U相端子1 2 1は、第2 N側導電板1 1 4 bを介してN側トランジスタ素子1 1 6 aのドレイン電極およびN側ダイオード素子1 1 6 bのカソード電極に電氣的に接続されるように構成されている。なお、U相端子1 2 1は、X方向およびY方向に延びる平板状に形成されている。

[0058] また、P側端子1 2 0、N側端子1 2 2およびU相端子1 2 1は、図示しない配線基板との電氣的接続をとるために設けられている。また、これらのP側端子1 2 0、N側端子1 2 2およびU相端子1 2 1は、パワーモジュール本体部1 0 1と配線基板との間で流入および流出する電流の流入口および流出口として機能する。

[0059] ここで、第2実施形態では、図1 6に示すように、絶縁基板1 1 2 a側に設けられるP側導電板1 1 3と第1 N側導電板1 1 4 aとに配線を介さずに直接接続するようにスナバコンデンサ1 2 3が配置されている。また、スナバコンデンサ1 2 3は、P側導電板1 1 3と第1 N側導電板1 1 4 aとに跨るように配置されている。なお、スナバコンデンサ1 2 3の矢印X 1方向の端部、および、矢印X 2方向の端部には、それぞれ、電極1 2 3 aが設けられている。また、スナバコンデンサ1 2 3の電極1 2 3 aの間の部分1 2 3 bは、セラミックから構成されている。そして、電極1 2 3 aと、P側導電板1 1 3および第1 N側導電板1 1 4 aとが半田1 2 3 cにより接合されている。これにより、絶縁基板1 1 2 aと絶縁基板1 1 2 bとが対向するように配置された状態では、スナバコンデンサ1 2 3は、P側トランジスタ素子1 1 5 aのドレイン電極と、N側トランジスタ素子1 1 6 aのソース電極に電氣的に接続される。また、スナバコンデンサ1 2 3は、P側ダイオード素子1 1 5 bのカソード電極と、N側ダイオード素子1 1 6 bのアノード電極に電氣的に接続される。なお、パワーモジュール本体部1 0 1は、U相の電力変換が行われる。また、V相、W相の電力変換を行うパワーモジュール本体部もパワーモジュール本体部1 0 1と略同様の構成を有している。

[0060] 第2実施形態では、上記のように、パワーモジュール本体部1 0 1が、表

面にP側導電板113および第1N側導電板114aが形成され、裏面に金属板111aが形成される絶縁基板112aと、絶縁基板112bとの間にP側半導体素子115およびN側半導体素子116を挟んで絶縁基板112aに対向するように配置される絶縁基板112bとを含み、スナバコンデンサ123を、絶縁基板112a側において、P側導電板113と第1N側導電板114aとに直接接続するように配置する。これにより、スナバコンデンサ123が、P側導電板113および第1N側導電板114a側に配置されるので、スナバコンデンサ123と、P側導電板113および第1N側導電板114aとの間の距離が小さくなる。これにより、スナバコンデンサ123と、P側導電板113および第1N側導電板114aとの間の配線インダクタンスを小さくすることができる。

[0061] なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

[0062] たとえば、上記第1および第2実施形態では、本発明の電力変換用半導体素子としてMOSFET（電界効果型トランジスタ）およびSBD（ショットキーバリアダイオード）を用いる例を示したが、本発明はこれに限らない。本発明では、電力変換用半導体素子であれば、MOSFETおよびSBD以外の半導体素子を用いてもよい。

[0063] また、上記第1および第2実施形態では、本発明の電圧駆動型トランジスタとしてMOSFETを用いる例を示したが、本発明はこれに限らない。本発明では、電圧駆動型トランジスタであれば、IGBT（絶縁ゲートバイポーラトランジスタ）などのその他のトランジスタを用いてもよい。

[0064] また、上記第1および第2実施形態では、還流ダイオードとして、SBDを用いる例を示したが、本発明はこれに限らない。本発明では、還流ダイオードであれば、FRD（ファーストリカバリーダイオード）などのその他のダイオードを用いてもよい。

[0065] また、上記第1および第2実施形態では、パワーモジュール本体部のP側およびN側のそれぞれに、MOSFETとSBDとを1セットずつ配置する例を示したが、本発明はこれに限らない。本発明では、パワーモジュール本体部のP側およびN側のそれぞれに、MOSFETとSBDとを複数セットずつ配置してもよい。

[0066] また、上記第1および第2実施形態では、P側導電板および第1N側導電板に配線を介さずに直接半田により接続するようにスナバコンデンサが配置される例を示したが、本発明はこれに限らない。本発明では、スナバコンデンサは、パワーモジュール本体部の内部に設けられていればよい。たとえば、スナバコンデンサを、短い配線を介してP側導電板および第1N側導電板との間にP側導電板および第1N側導電板と接続するようにしてもよい。

符号の説明

- [0067] 1、111a 金属板（裏面側電極板）
2 絶縁基板
3、113 P側導電板（第1導電板）
4a 第1N側導電板（第2導電板、素子側第2導電板）
4b 第2N側導電板（第2導電板、端子側第2導電板）
5、115 P側半導体素子（第1電力変換用半導体素子）
5a、115a P側トランジスタ素子（電圧駆動型トランジスタ素子）
5b、115b P側ダイオード素子（還流ダイオード素子）
6、116 N側半導体素子（第2電力変換用半導体素子）
6a、116a P側トランジスタ素子（電圧駆動型トランジスタ素子）
6b、116b P側ダイオード素子（還流ダイオード素子）
7、117 柱状電極（電極用導体）
12、122 N側端子（負側入力端子）
13、123 スナバコンデンサ（コンデンサ）
100 パワーモジュール（電力変換装置）
100a、100b、100c、101 パワーモジュール本体部（電力

变换装置本体部)

1 1 2 a 絶縁基板 (第 1 絶縁基板)

1 1 2 b 絶縁基板 (第 2 絶縁基板)

1 1 4 a 第 1 N 側導電板 (第 2 導電板)

2 0 0 配線基板

請求の範囲

- [請求項1] 電力変換装置本体部を備え、
前記電力変換装置本体部は、
前記電力変換装置本体部内に間隔を隔てて配置された第1導電板および第2導電板と、
前記第1導電板の表面上に配置される第1電力変換用半導体素子と、
前記第2導電板の表面上に配置され、前記第1電力変換用半導体素子と電氣的に接続される第2電力変換用半導体素子と、
前記電力変換装置本体部の内部において、前記第1電力変換用半導体素子と前記第2電力変換用半導体素子との間に前記第1導電板と前記第2導電板とに接続するように配置され、サージ電圧を抑制するためのコンデンサとを含む、電力変換装置。
- [請求項2] 前記コンデンサは、前記第1電力変換用半導体素子と前記第2電力変換用半導体素子との間に前記第1導電板と前記第2導電板とに直接接続するように配置されている、請求項1に記載の電力変換装置。
- [請求項3] 前記コンデンサは、前記第1電力変換用半導体素子と前記第2電力変換用半導体素子との間に前記第1導電板と前記第2導電板とに跨るように配置されている、請求項1または2に記載の電力変換装置。
- [請求項4] 前記第1電力変換用半導体素子の一方電極と、前記第2電力変換用半導体素子の一方電極とが互いに電氣的に接続され、
前記コンデンサは、前記第1導電板を介して前記第1電力変換用半導体素子の他方電極に電氣的に接続されるとともに、前記第2導電板を介して前記第2電力変換用半導体素子の他方電極に電氣的に接続されている、請求項1～3のいずれか1項に記載の電力変換装置。
- [請求項5] 前記電力変換装置本体部は、表面に前記第1導電板および前記第2導電板が形成され、裏面に裏面側導電板が形成される絶縁基板をさらに含み、

前記第2導電板は、前記第2電力変換用半導体素子が形成される素子側第2導電板と、負側入出力端子が形成される端子側第2導電板とを含み、

前記コンデンサは、前記第1導電板と前記端子側第2導電板とに直接接続するように配置されている、請求項1～4のいずれか1項に記載の電力変換装置。

[請求項6] 前記第1電力変換用半導体素子および前記第2電力変換用半導体素子の前記第1導電板および前記第2導電板とは反対側において、前記第1電力変換用半導体素子および前記第2電力変換用半導体素子に電氣的に接続される配線基板をさらに備え、

前記コンデンサは、前記電力変換装置本体部の内部の前記配線基板と反対側において、前記第1導電板および前記第2導電板に直接接続するように配置されている、請求項5に記載の電力変換装置。

[請求項7] 前記電力変換装置本体部は、

表面に前記第1導電板および前記第2導電板が形成され、裏面に裏面側導電板が形成される第1絶縁基板と、

前記第1絶縁基板との間に前記第1電力変換用半導体素子および前記第2電力変換用半導体素子を挟んで前記第1絶縁基板に対向するように配置される第2絶縁基板とをさらに含み、

前記コンデンサは、前記第1絶縁基板側において、前記第1導電板と前記第2導電板とに直接接続するように配置されている、請求項1～4のいずれか1項に記載の電力変換装置。

[請求項8] 前記第1電力変換用半導体素子および前記第2電力変換用半導体素子は、電圧駆動型トランジスタ素子を含み、

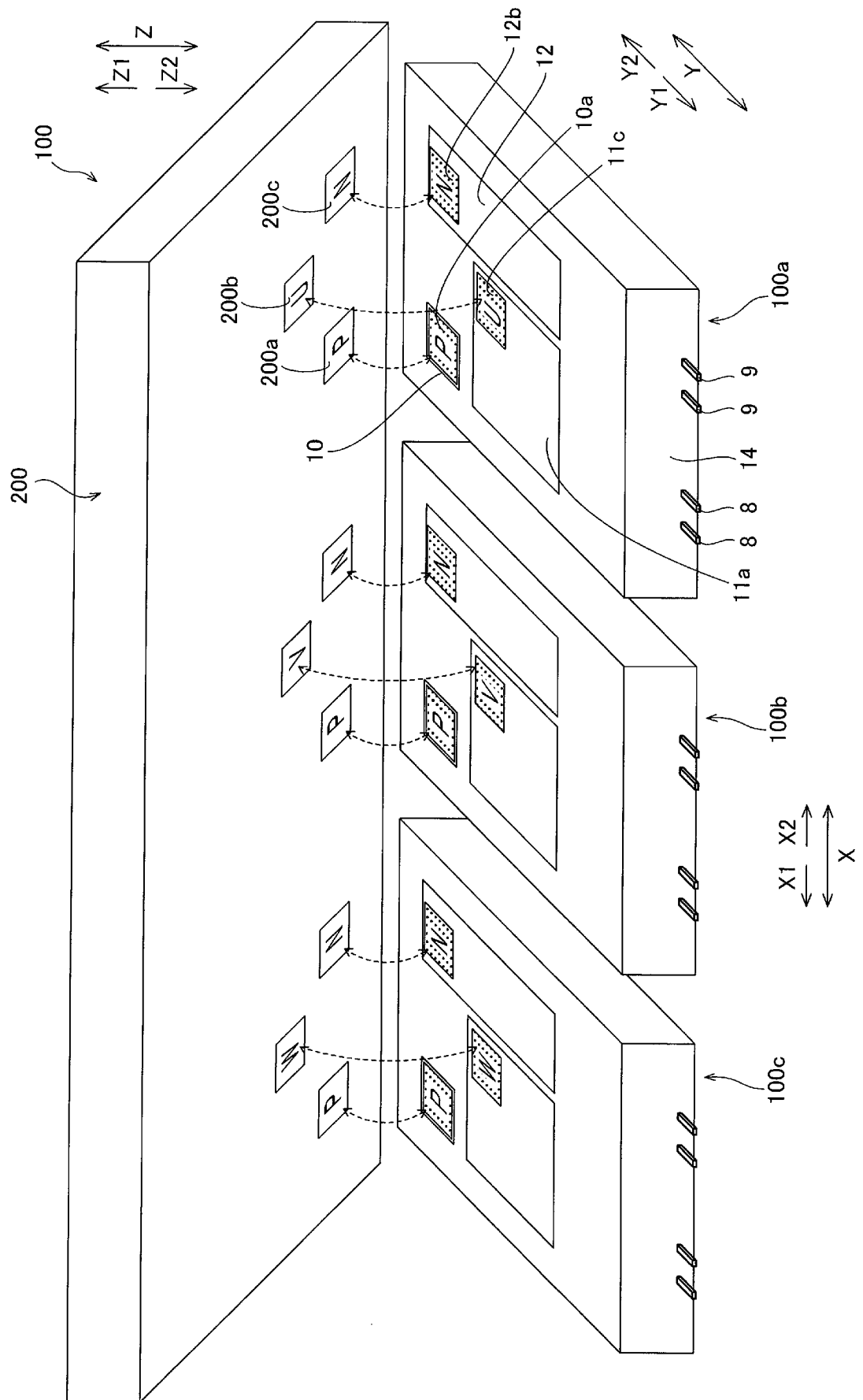
前記コンデンサは、前記電力変換装置本体部の内部において、前記第1導電板に形成される前記電圧駆動型トランジスタ素子と前記第2導電板に形成される前記電圧駆動型トランジスタ素子との間に前記第1導電板と前記第2導電板とに直接接続するように配置されている、

請求項 1 ～ 7 のいずれか 1 項に記載の電力変換装置。

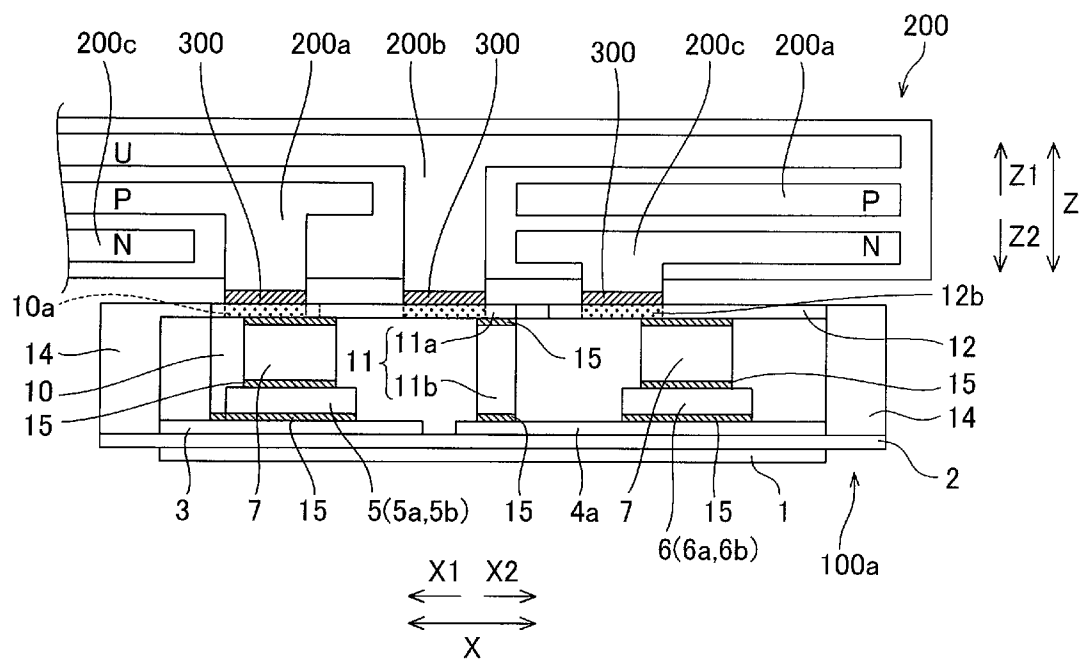
[請求項9] 前記第 1 電力変換用半導体素子および前記第 2 電力変換用半導体素子は、前記電圧駆動型トランジスタ素子に並列接続される還流ダイオード素子を含み、

前記コンデンサは、前記電力変換装置本体部の内部において、前記第 1 導電板に形成される前記還流ダイオード素子と前記第 2 導電板に形成される前記還流ダイオード素子との間に前記第 1 導電板と前記第 2 導電板とに直接接続するように配置されている、請求項 8 に記載の電力変換装置。

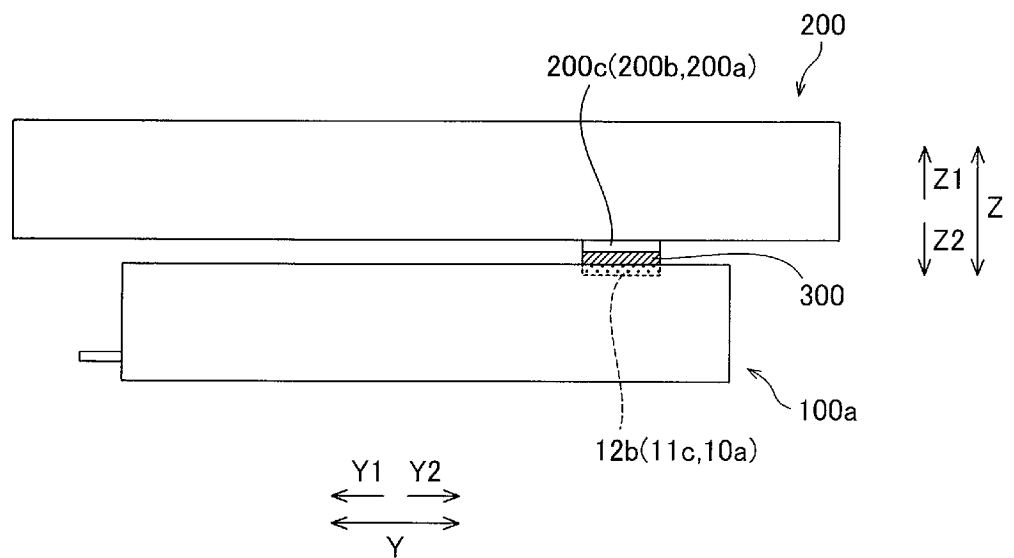
[図1]



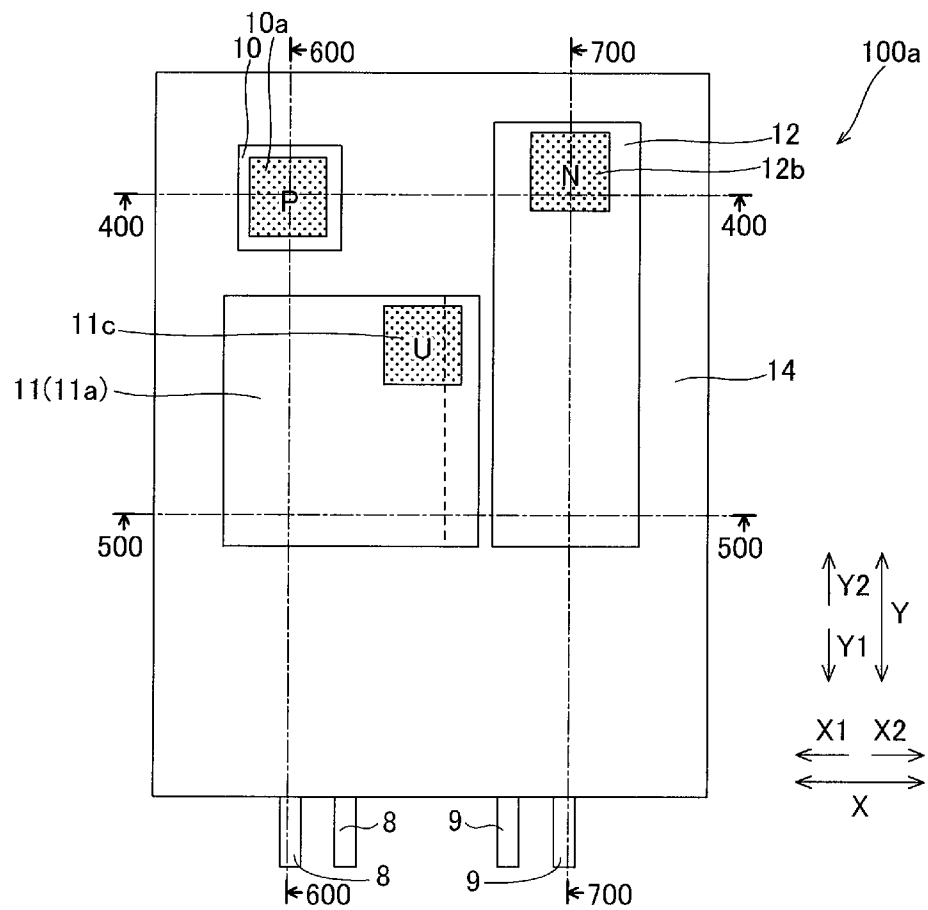
[図2]



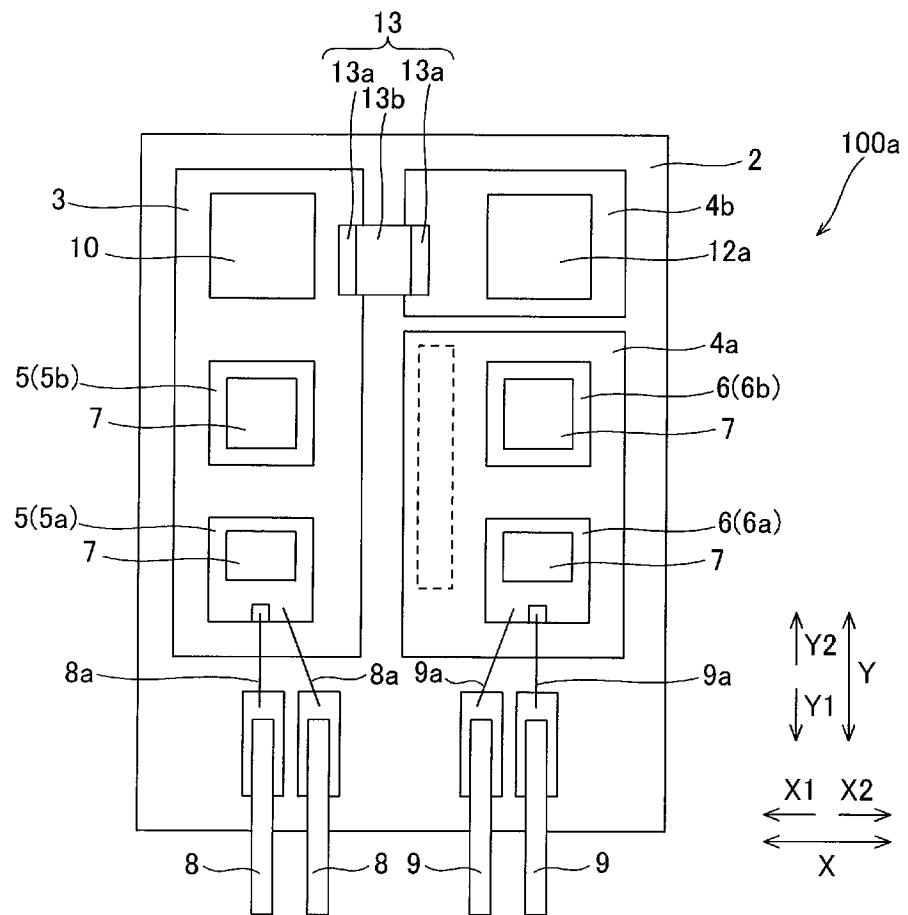
[図3]



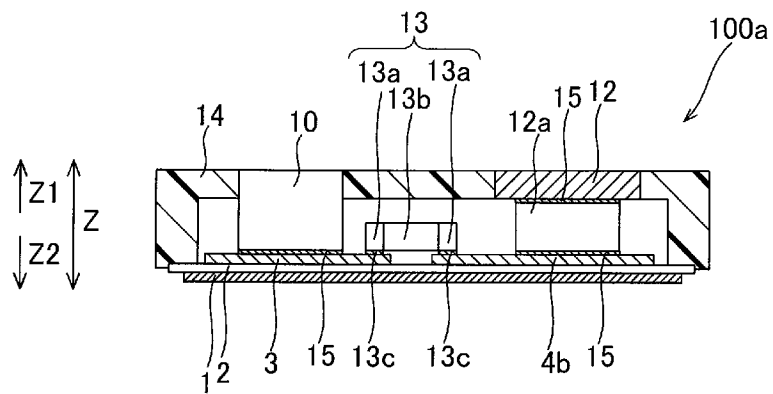
[図4]



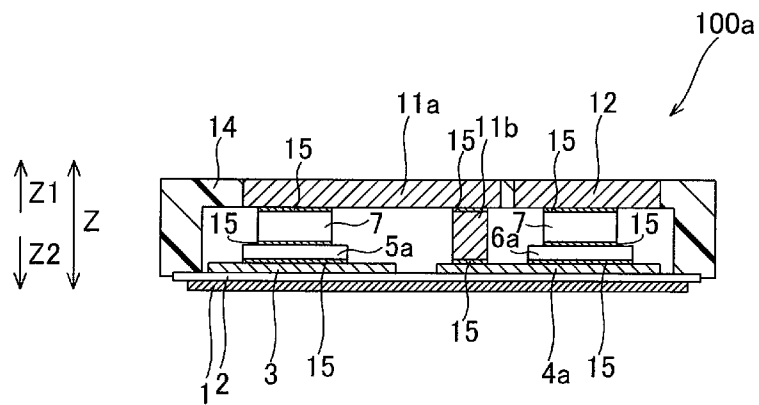
[図5]

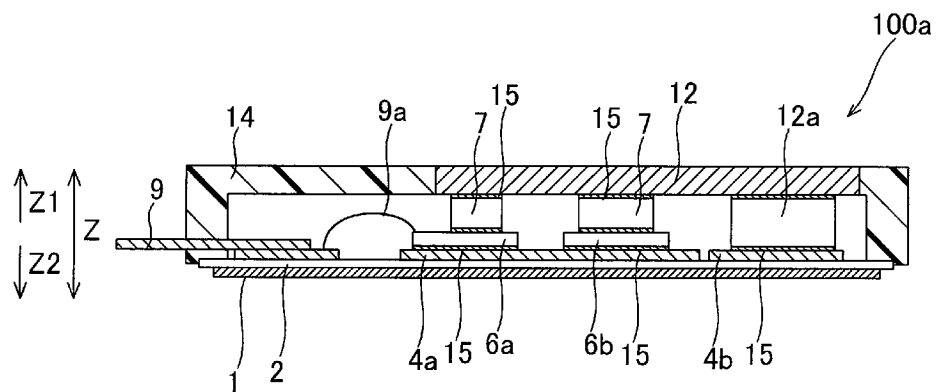
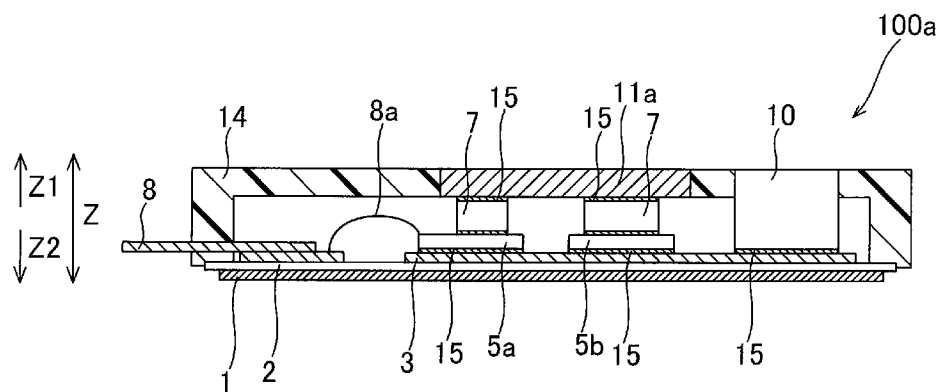


[図6]

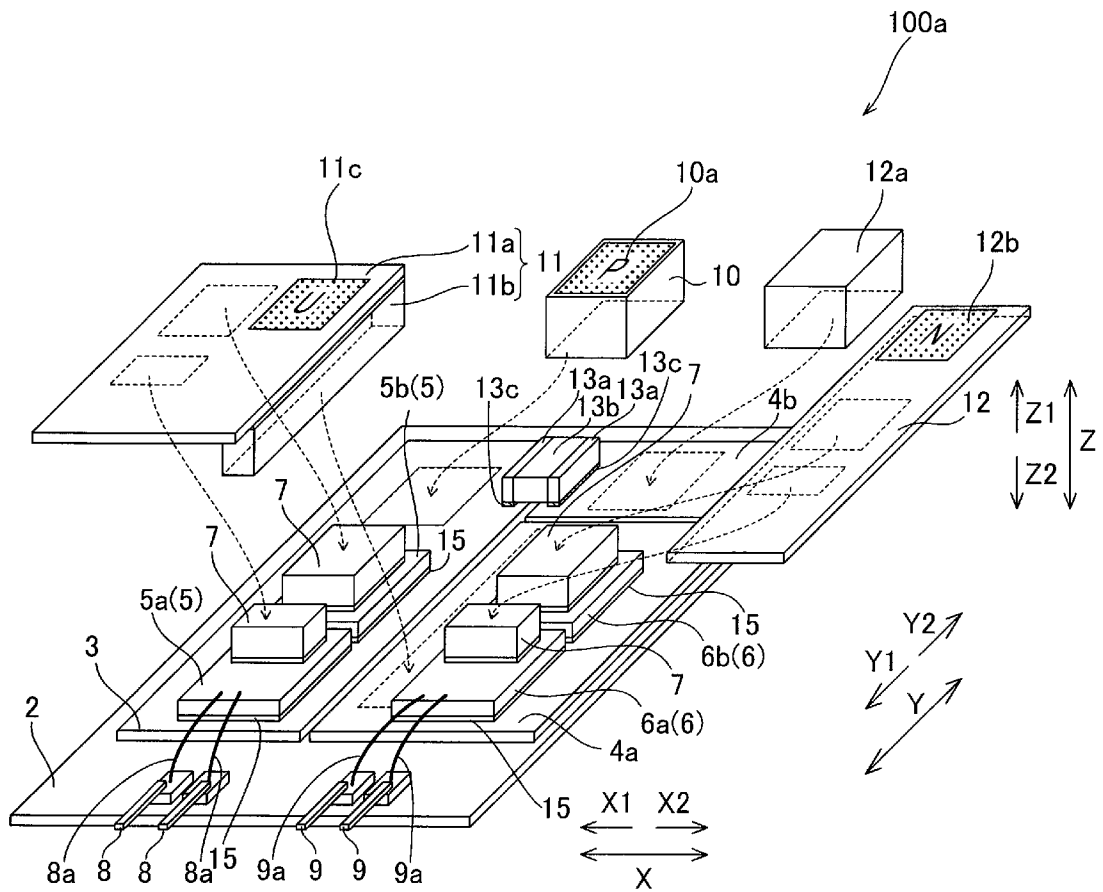


[図7]

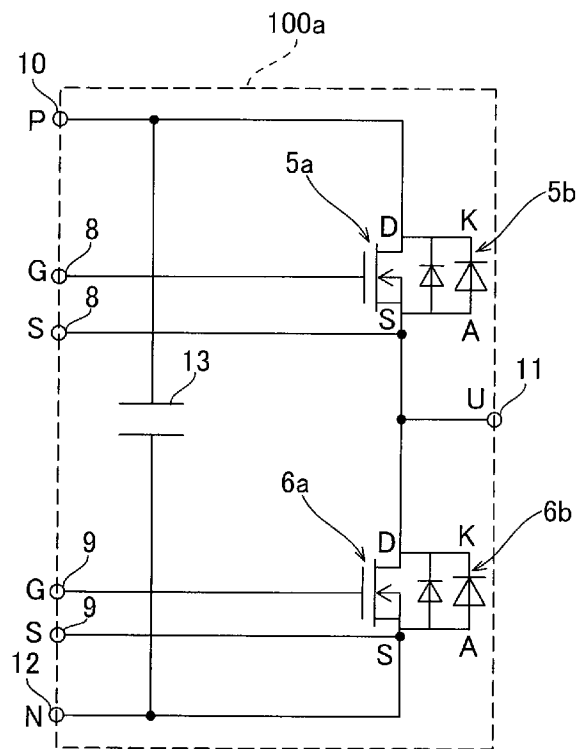




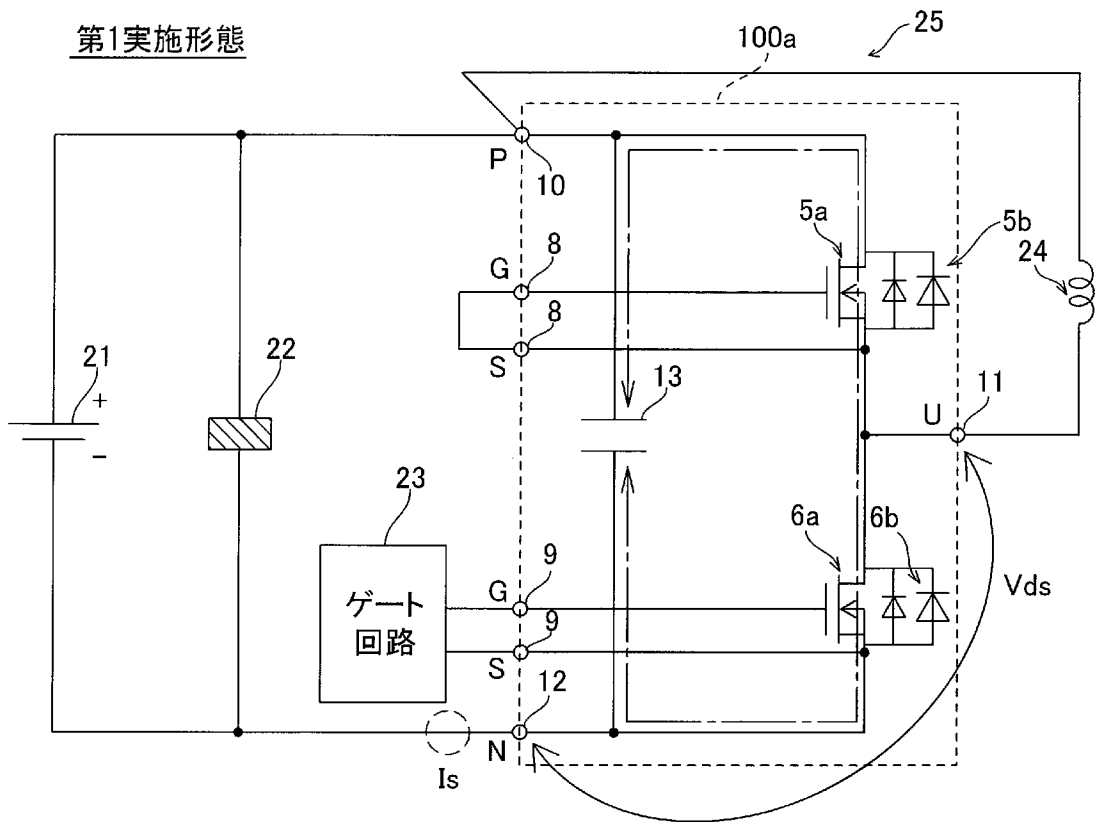
[図10]



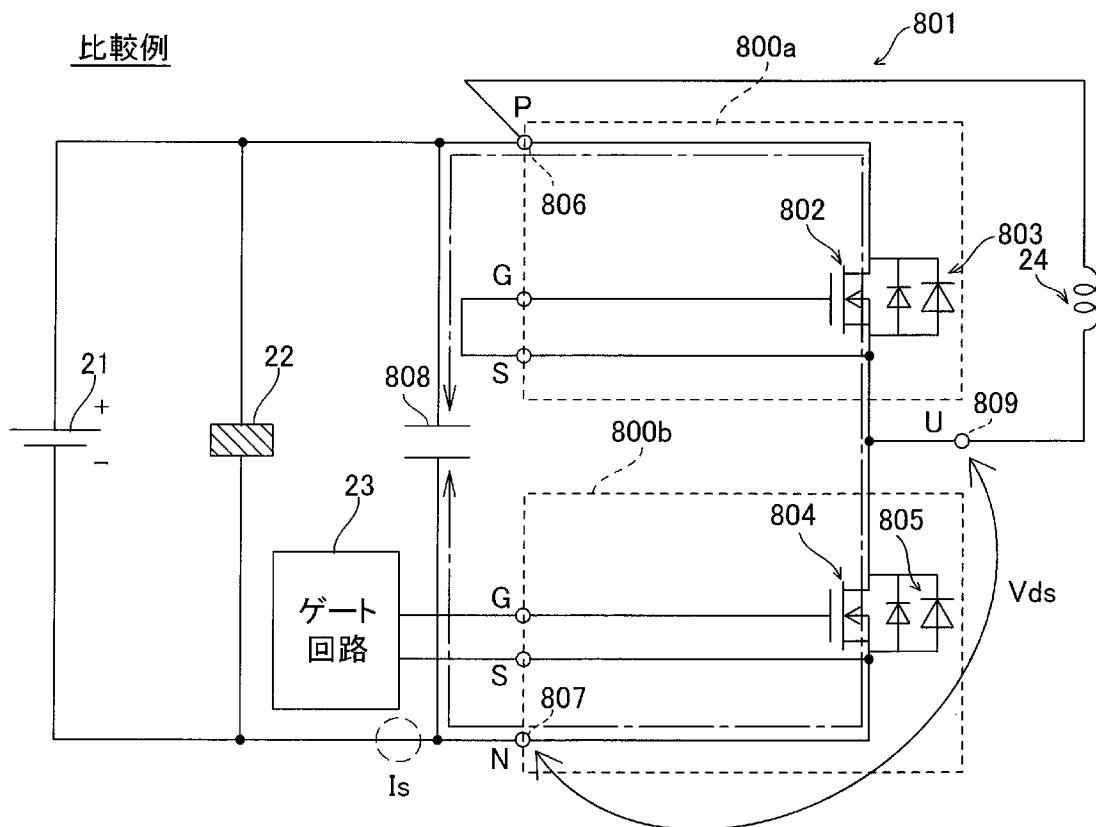
[図11]



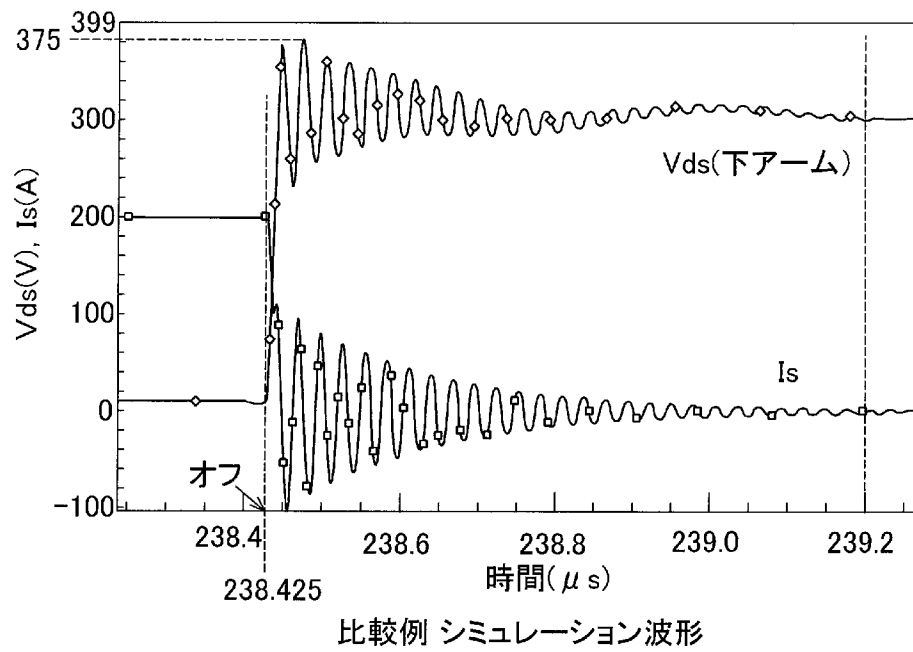
[図12]



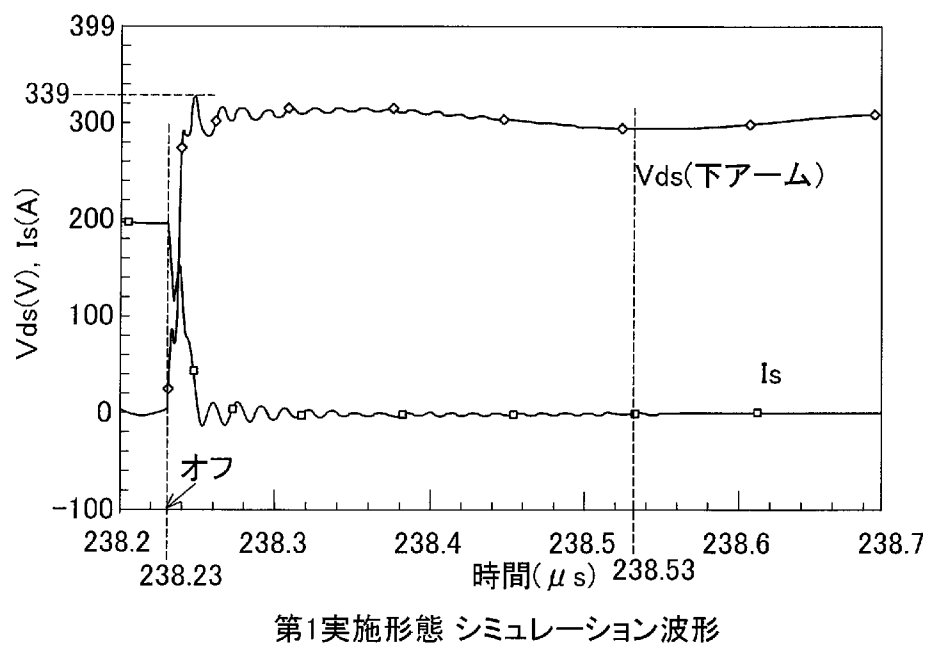
[図13]



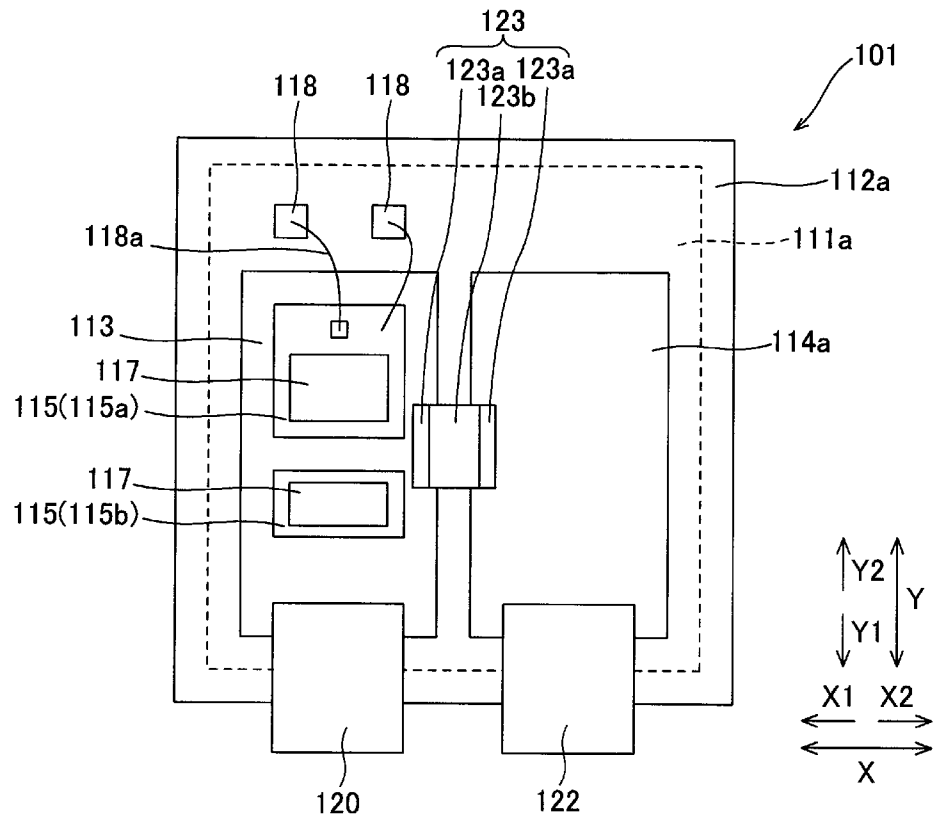
[図14]



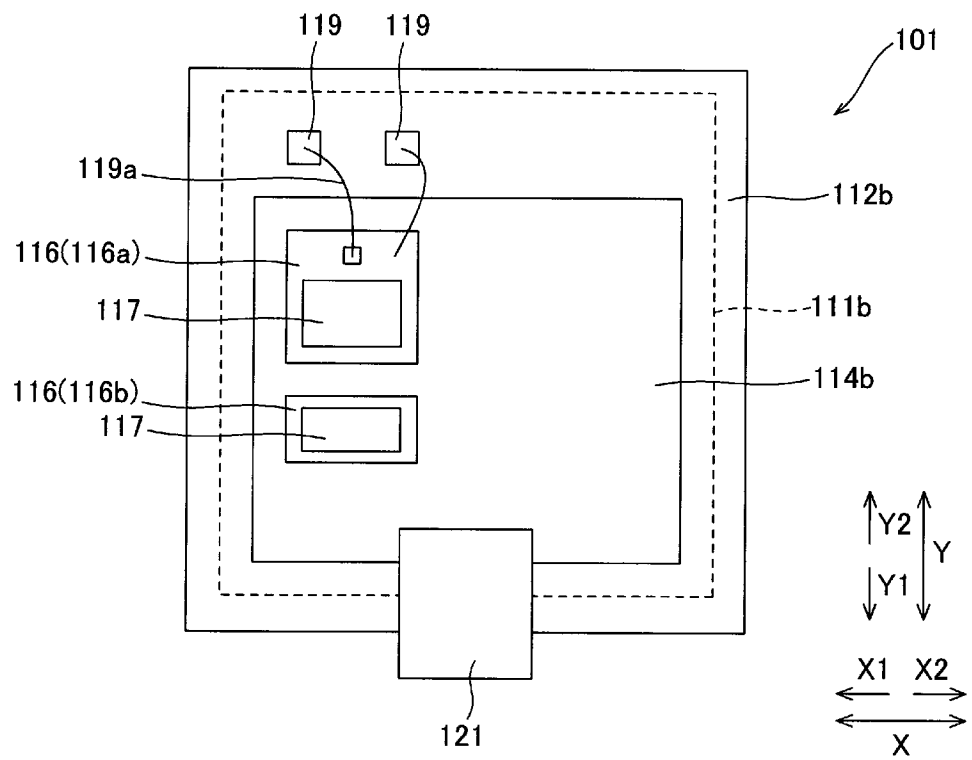
[図15]



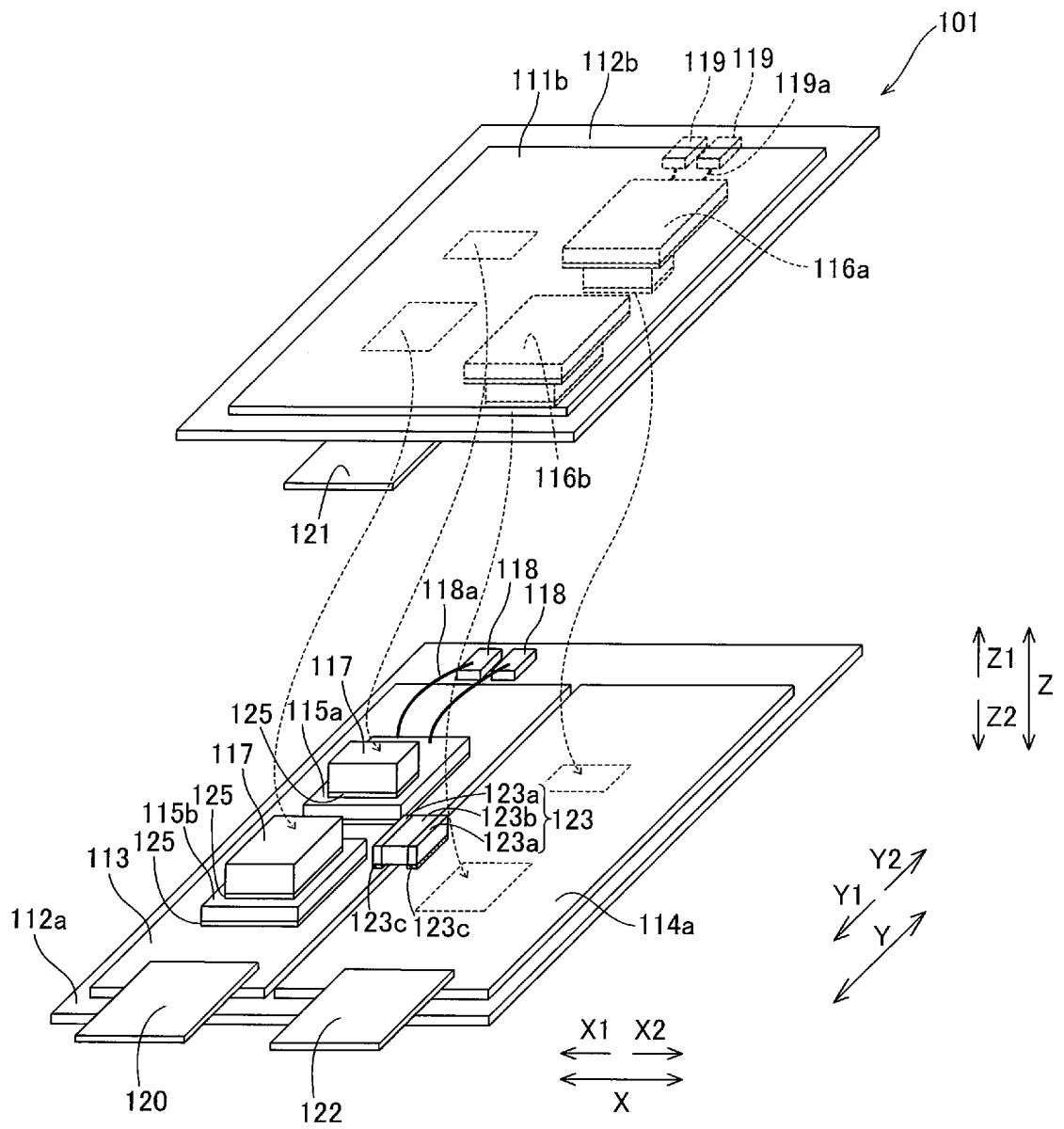
[図16]



[図17]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/070126

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/48(2007.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M3/155(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/48, H01L25/07, H01L25/18, H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-53295 A (Hitachi, Ltd.), 01 March 2007 (01.03.2007), entire text; all drawings & US 2007/0096278 A1 & US 2009/0160048 A1	1-9
A	JP 2009-225612 A (Mitsubishi Electric Corp.), 01 October 2009 (01.10.2009), entire text; all drawings (Family: none)	1-9
A	JP 6-14562 A (Fuji Electric Co., Ltd.), 21 January 1994 (21.01.1994), entire text; all drawings (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 October, 2011 (27.10.11)

Date of mailing of the international search report
08 November, 2011 (08.11.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/070126

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2007/094162 A1 (Yaskawa Electric Corp.), 23 August 2007 (23.08.2007), entire text; all drawings & US 2009/0015992 A1 & DE 112007000366 T & KR 10-2008-0094917 A & CN 101385225 A	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M7/48(2007.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M3/155(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M7/48, H01L25/07, H01L25/18, H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-53295 A（株式会社日立製作所）2007.03.01, 全文, 全図 & US 2007/0096278 A1 & US 2009/0160048 A1	1-9
A	JP 2009-225612 A（三菱電機株式会社）2009.10.01, 全文, 全図 （ファミリーなし）	1-9
A	JP 6-14562 A（富士電機株式会社）1994.01.21, 全文, 全図 （ファミリーなし）	1-9
A	WO 2007/094162 A1（安川電機株式会社）2007.08.23, 全文, 全図 & US 2009/0015992 A1 & DE 112007000366 T & KR 10-2008-0094917 A & CN 101385225 A	1-9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 7 . 1 0 . 2 0 1 1

国際調査報告の発送日

0 8 . 1 1 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松本 泰典

3 V

3 3 2 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8