

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7693545号
(P7693545)

(45)発行日 令和7年6月17日(2025.6.17)

(24)登録日 令和7年6月9日(2025.6.9)

(51)国際特許分類		F I	
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30 3 3 9 Z
H 1 0 K	59/121 (2023.01)	G 0 9 F	9/30 3 3 8
H 1 0 K	59/124 (2023.01)	G 0 9 F	9/30 3 6 5
H 1 0 K	59/123 (2023.01)	H 1 0 K	59/121
H 1 0 K	50/813 (2023.01)	H 1 0 K	59/124
請求項の数 25 (全66頁) 最終頁に続く			
(21)出願番号	特願2021-539892(P2021-539892)	(73)特許権者	510280589
(86)(22)出願日	令和3年3月23日(2021.3.23)		京東方科技集團股▲ふん▼有限公司
(65)公表番号	特表2023-518619(P2023-518619 A)		BOE TECHNOLOGY GROU P CO. , LTD.
(43)公表日	令和5年5月8日(2023.5.8)		中華人民共和國100015北京市朝陽區酒仙橋路10號
(86)国際出願番号	PCT/CN2021/082427		No. 10 Jiuxianqiao R d. , Chaoyang Distri ct, Beijing 100015, CHINA
(87)国際公開番号	WO2021/190508		
(87)国際公開日	令和3年9月30日(2021.9.30)	(73)特許権者	511121702
審査請求日	令和6年3月21日(2024.3.21)		成都京東方光電科技有限公司
(31)優先権主張番号	PCT/CN2020/081154		CHENGDU BOE OPTOELE CTRONICS TECHNOLOGY CO. , LTD.
(32)優先日	令和2年3月25日(2020.3.25)		最終頁に続く
(33)優先権主張国・地域又は機関	中国(CN)		

(54)【発明の名称】 表示基板及び表示装置

(57)【特許請求の範囲】

【請求項1】

表示基板であって、
ベース基板と、
半導体層を有する複数の画素駆動回路と、
前記半導体層の前記ベース基板から離れた一側に位置する第1の導電層と、
前記第1の導電層の前記ベース基板から離れた一側に位置する第1の平坦層と、
前記第1の平坦層の前記第1の導電層から離れた一側に位置する第2の導電層と、
前記第2の導電層の前記ベース基板から離れた一側に位置する第2の平坦層と、
前記第2の平坦層の前記第2の導電層から離れた一側に位置する複数の発光素子群と、
を備え、
前記第2の導電層は、第1の方向に沿って配置され、それぞれの前記第1の方向におけるサイズよりも前記第1の方向と交差する第2の方向におけるサイズの方が大きい複数の導電部を備え、
前記複数の導電部は、前記第1の方向に隣接する少なくとも1つの前記導電部と前記第2の導電層で互いに分離された密閉環状部を有する第1の導電部を備え、
各前記発光素子群は、前記ベース基板での正射影が前記密閉環状部の前記ベース基板での正射影と重なる第1のアノードを有する第1の発光素子を備え、
前記複数の導電部は、前記第1の導電部に隣接し、前記ベース基板での正射影が前記第1のアノードの前記ベース基板での正射影と重なる第2の導電部をさらに備える、

表示基板。

【請求項 2】

前記第 1 の方向における前記密閉環状部のサイズは少なくとも前記第 1 の方向における第 1 の導電部の一部のサイズよりも大きく、

前記複数の画素駆動回路は、前記半導体層に半導体パターンを有する第 1 の画素駆動回路を備え、前記第 1 の導電部の前記ベース基板での正射影と前記第 1 の画素駆動回路の前記半導体パターンの前記ベース基板での正射影とが重なり、

前記第 1 の画素駆動回路は、駆動トランジスタを備え、

前記第 1 の導電層は、前記駆動トランジスタのゲートと同じ電位を有し、前記駆動トランジスタのゲートとともにゲート電位金属を構成する第 1 の導電パターンを備え、前記密閉環状部の内側の中空領域の前記ベース基板での正射影と前記ゲート電位金属とが重なる、

請求項 1 に記載の表示基板。

【請求項 3】

前記密閉環状部の内側は、中空領域を有し、

前記第 1 の導電部は、前記第 2 の方向に沿って配置された複数の前記中空領域を有し、隣接する 2 つの前記中空領域の形状及びサイズはほぼ同じである、

請求項 1 に記載の表示基板。

【請求項 4】

前記第 1 の発光素子は、有効発光領域を備え、

前記第 1 の発光素子の有効発光領域の中心を通り且つ前記第 2 の方向に沿って延伸する直線の前記ベース基板での正射影は、前記第 1 の導電部の前記ベース基板での正射影と前記第 2 の導電部の前記ベース基板での正射影との間にある、

請求項 1 ～ 3 のいずれか一項に記載の表示基板。

【請求項 5】

前記密閉環状部の前記第 1 の方向における 2 つのエッジのそれぞれと、前記発光素子群内の複数の発光素子のアノードの前記ベース基板での正射影とが重なり、前記密閉環状部の中空領域と前記複数の発光素子の有効発光領域の前記ベース基板での正射影とが分離して設置されている、

請求項 2 ～ 3 のいずれか一項に記載の表示基板。

【請求項 6】

前記第 1 の導電層は、前記画素駆動回路に電源を供給するように構成される導電性金属をさらに備え、

前記導電部は、前記第 1 の平坦層に含まれた導電性金属ビアによって前記導電性金属と電氣的に接続されており、

前記第 1 の画素駆動回路は、第 1 の発光制御トランジスタと、第 1 の電極ブロック及び前記第 1 の電極ブロックの前記ベース基板から離れる一側に位置する第 2 の電極ブロックを有するストレージコンデンサとをさらに備え、

前記導電性金属は、前記第 1 の発光制御トランジスタのソース及び前記第 2 の電極ブロックとそれぞれ電氣的に接続されている、

請求項 2 に記載の表示基板。

【請求項 7】

前記密閉環状部の前記ベース基板での正射影と前記第 1 の電極ブロックの前記ベース基板での正射影とが重なり、

前記第 2 の電極ブロックは、前記ベース基板での正射影が前記第 1 の電極ブロックの前記ベース基板での正射影と重なる開口孔を備え、前記密閉環状部の前記ベース基板での正射影と前記開口孔の前記ベース基板での正射影とも重なる、

請求項 6 に記載の表示基板。

【請求項 8】

前記第 1 の画素駆動回路は、データ書き込みトランジスタと、補償トランジスタと、リセットトランジスタと、アノード初期化トランジスタと、第 2 の発光制御トランジスタと

10

20

30

40

50

をさらに備え、

前記表示基板は、

前記リセットトランジスタのゲートと接続されているリセット信号線と、

前記補償トランジスタのゲートと接続されているゲート線と、

前記第 1 の発光制御トランジスタのゲートと接続されている発光制御線と、

前記リセットトランジスタのソースと接続されている初期化信号線と、をさらに備え、

前記密閉環状部の前記ベース基板での正射影のそれぞれと、前記リセット信号線、前記ゲート線、前記初期化信号線の前記ベース基板での正射影とが重なる、

請求項 7 に記載の表示基板。

【請求項 9】

前記第 1 の導電パターン的一端は、前記開口孔を介して前記駆動トランジスタのゲートと電氣的に接続されており、

前記第 1 の導電パターンの他端は、前記補償トランジスタのソース又はドレインと電氣的に接続されている、

請求項 8 に記載の表示基板。

【請求項 10】

前記密閉環状部は、前記第 1 の方向に沿って配置された第 1 の部分及び第 2 の部分と、前記第 2 の方向に沿って配置された第 3 の部分及び第 4 の部分と、を備え、

前記第 1 の部分、前記第 3 の部分、前記第 2 の部分、前記第 4 の部分はエンドツーエンドで接続して前記密閉環状部を形成し、前記第 1 の部分及び前記第 2 の部分の前記ベース基板での正射影と、前記第 2 の電極ブロックの前記ベース基板での正射影とが重なる、

請求項 8 に記載の表示基板。

【請求項 11】

前記第 1 の部分の前記ベース基板での正射影と前記第 1 の導電パターンの前記ベース基板での正射影とが重なり、

前記第 1 の導電パターン及び前記第 1 の部分の形状はいずれも長尺状であり、前記第 1 の導電パターンの長辺の延伸方向と前記第 1 の部分の長辺の延伸方向とが同じである、

請求項 10 に記載の表示基板。

【請求項 12】

前記第 1 の導電層は、前記初期化信号線及び前記リセットトランジスタのソースとそれぞれ接続されている第 2 の導電パターンと、第 3 の導電パターンとをさらに備え、前記第 2 の導電層は、アノード接続部をさらに備え、前記第 3 の導電パターンは、前記第 2 の発光制御トランジスタのドレイン及び前記アノード接続部と接続されており、

前記第 3 の部分の前記ベース基板での正射影と、前記初期化信号線の前記ベース基板での正射影とが重なり、前記第 3 の部分の前記ベース基板での正射影と、前記第 2 の導電パターンの前記ベース基板での正射影とも重なり、前記第 4 の部分の前記ベース基板での正射影と、前記第 1 の導電パターンの前記ベース基板での正射影とが重なる、

請求項 10 に記載の表示基板。

【請求項 13】

前記中空領域の前記ベース基板での正射影と、前記初期化信号線の前記ベース基板での正射影とが重なり、前記中空領域の前記ベース基板での正射影と、前記第 2 の導電パターンの前記ベース基板での正射影とも重なり、前記中空領域の前記ベース基板での正射影と、前記第 2 の電極ブロックの前記ベース基板での正射影とも重なる、

請求項 12 に記載の表示基板。

【請求項 14】

前記複数の発光素子群は、前記第 1 の方向に沿って配置することで複数の発光素子列を形成し、前記第 2 の方向に沿って配置することで複数の発光素子行を形成し、

前記発光素子群のそれぞれは、1つの前記第 1 の発光素子と、1つの第 2 の発光素子と、1つの第 3 の発光素子と、1つの第 4 の発光素子とを備え、

前記第 1 のアノードは、本体部を備え、前記第 1 の発光素子の有効発光領域の前記ベー

10

20

30

40

50

ス基板での正射影が前記第 1 のアノードの本体部の前記ベース基板での正射影の内部に位置し、且つ前記第 1 のアノードの本体部と前記第 1 のアノードとが少なくとも部分的に同じ境界を有し、

前記第 1 の導電部及び前記複数の導電部に含まれた第 2 の導電部は、それぞれ前記第 1 の発光素子の有効発光領域の前記第 1 の方向における両側に位置し、前記密閉環状部のベース基板での正射影から前記第 1 の発光素子の有効発光領域の中心の前記ベース基板での正射影までの距離と、前記第 2 の導電部の前記ベース基板での正射影から前記第 1 の発光素子の有効発光領域の中心の前記ベース基板での正射影までの距離とがほぼ同じである、

請求項 8 ～ 13 のいずれか一項に記載の表示基板。

【請求項 15】

前記第 1 のアノードの前記ベース基板での正射影と前記第 1 の画素駆動回路の前記発光制御線の前記ベース基板での正射影とが重なり、前記中空領域の中心と前記第 2 の方向において隣接する位置に、アノードの前記ベース基板での正射影と、前記ゲート線、前記リセット信号線、前記初期化信号線の前記ベース基板での正射影とがいずれも重なる 1 つの第 4 の発光素子が設置されている、

請求項 13 に記載の表示基板。

【請求項 16】

前記ゲート線の前記ベース基板での正射影と前記第 1 の導電パターンの前記ベース基板での正射影とが重なり、

1 つの前記画素駆動回路では、前記第 1 の電極ブロック及び前記第 2 の電極ブロックの前記ベース基板での正射影が、前記ゲート線の前記ベース基板での正射影と前記発光制御線の前記ベース基板での正射影との間に位置し、

前記リセット信号線の前記ベース基板での正射影が、前記ゲート線の前記ベース基板での正射影と前記初期化信号線の前記ベース基板での正射影との間に位置し、

前記発光制御線、前記第 1 の電極ブロック、前記ゲート線、前記リセット信号線及び前記初期化信号線は前記第 2 の方向に沿って配置されている、

請求項 12 に記載の表示基板。

【請求項 17】

前記複数の画素駆動回路は、前記第 1 の導電層の前記ベース基板に近い一側に位置する第 2 のゲート電極層をさらに備え、前記第 2 の電極ブロックは前記第 2 のゲート電極層に位置し、

少なくとも 2 つの前記第 2 の電極ブロックは前記第 2 のゲート電極層において接続されている、

請求項 14 ～ 16 のいずれか一項に記載の表示基板。

【請求項 18】

前記第 1 の発光素子の有効発光領域及び前記第 2 の発光素子の有効発光領域のベース基板での正射影と、前記導電部の前記ベース基板での正射影とが重ならず、前記第 2 の発光素子は、緑色光を発するように構成されており、

前記第 4 の発光素子の有効発光領域の中心の前記ベース基板での正射影と前記導電部の前記ベース基板での正射影とが重なり、

前記導電部と前記第 4 の発光素子の有効発光領域の中心の前記ベース基板での正射影は、その重なる部分の中実部分であり、前記第 4 の発光素子は青色光を発するように構成されている、

請求項 14 に記載の表示基板。

【請求項 19】

前記第 2 の発光素子は、第 2 のアノードを備え、前記第 2 の発光素子の有効発光領域の前記ベース基板での正射影が前記第 2 のアノードの本体部の前記ベース基板での正射影の内部に位置し、且つ前記第 2 のアノードの本体部と前記第 2 のアノードとが少なくとも部分的に同じ境界を有し、

前記第 2 のアノードの本体部と、前記第 2 のアノードの前記第 1 の方向において隣接す

10

20

30

40

50

る 2 つの前記導電部との重なり面積はほぼ同じである、

請求項 1 4 または 1 8 に記載の表示基板。

【請求項 2 0】

前記中空領域の前記ベース基板での正射影が前記第 1 の発光素子の有効発光領域と前記第 2 の発光素子の有効発光領域との間に位置し、前記第 1 の発光素子及び前記第 2 の発光素子は、第 1 の方向において距離が最も近い前記第 1 の発光素子及び前記第 2 の発光素子である、

請求項 1 4、および 1 8 ～ 1 9 のいずれか一項に記載の表示基板。

【請求項 2 1】

赤色光を発するように構成されている発光素子のアノードの前記第 2 の方向における中間部分の、前記第 1 の方向におけるサイズが、前記アノードの前記第 2 の方向におけるエッジ部分の、前記第 1 の方向におけるサイズよりも大きく、

青色光を発するように構成されている発光素子のアノードの前記第 2 の方向における中間部分の、前記第 1 の方向におけるサイズが、前記アノードの前記第 2 の方向におけるエッジ部分の、前記第 1 の方向におけるサイズよりも大きい、

請求項 1 4 ～ 1 9 のいずれか一項に記載の表示基板。

【請求項 2 2】

1 つの前記発光素子群においては、少なくとも 2 つの発光素子のアノードの前記ベース基板での正射影と前記第 2 の電極ブロックの前記開口孔の前記ベース基板での正射影とが重なり、少なくとも 1 つの発光素子の有効発光領域の前記ベース基板での正射影と前記第 1 の電極ブロック又は前記第 2 の電極ブロックの前記ベース基板での正射影とが重ならない、

請求項 1 4 ～ 1 9 のいずれか一項に記載の表示基板。

【請求項 2 3】

前記第 1 の発光素子、前記第 2 の発光素子、前記第 3 の発光素子、前記第 4 の発光素子のうちのいずれかの発光素子において、前記発光素子のアノードは前記第 1 の平坦層に含まれたアノード孔を介して前記発光素子に対応する画素駆動回路と接続されており、

赤色光を発するように構成されている発光素子のアノードのアノード孔の前記ベース基板での正射影と前記アノードの本体部の前記ベース基板での正射影とが前記第 2 の方向において重ならず、赤色光を発するように構成されている発光素子のアノードのアノード孔の前記ベース基板での正射影と、赤色光を発するように構成されている発光素子の有効発光領域の前記ベース基板での正射影とが、前記第 2 の方向において重ならず、

青色光を発するように構成されている発光素子のアノードのアノード孔の前記ベース基板での正射影と前記アノードの本体部の前記ベース基板での正射影とが前記第 2 の方向において重ならず、青色光を発するように構成されている発光素子のアノードのアノード孔の前記ベース基板での正射影と、青色光を発するように構成されている発光素子の有効発光領域の前記ベース基板での正射影とが、前記第 2 の方向において重ならない、

請求項 1 8 に記載の表示基板。

【請求項 2 4】

隣接する 2 つの前記導電部の間には、データ線が設置されており、隣接する前記導電部と前記データ線の前記ベース基板での正射影の間の距離が、隣接する 2 つの前記導電部の前記ベース基板での正射影の間の距離よりも短い、

請求項 1 ～ 2 3 のいずれか一項に記載の表示基板。

【請求項 2 5】

請求項 1 ～ 2 4 のいずれか一項に記載の表示基板を備える、
表示装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本願は 2 0 2 0 年 0 3 月 2 5 日に提出された P C T 国際出願 P C T / C N 2 0 2 0 / 0

10

20

30

40

50

81154号の優先権を主張しており、ここで上記中国特許出願に開示されている全内容を本願の一部として引用している。

【0002】

本開示の実施例は表示基板及び表示装置に関する。

【背景技術】

【0003】

表示技術の継続的な発展に伴って、有機発光ダイオード（Organic Light Emitting Diode、OLED）表示技術は自己発光、広視野角、高コントラスト、低電力、高応答速度等のメリットによりさまざまな電子機器に適用されている。

【0004】

一方では、有機発光ダイオード表示技術の継続的な発展に伴って、有機発光ダイオード表示製品の電力、色かぶり、輝度、安定性等の性能に対する要求が高まっている。

【発明の概要】

【課題を解決するための手段】

【0005】

本開示の実施例は表示基板及び表示装置を提供している。一方では、密閉環状部により、第1のアノードの平坦度が高いことを確保でき、それにより第1のアノードの異なる方向における発光強度が一致することを確保し、さらに色かぶり現象が効果的に改善され、他方では、密閉環状部は中空設計であるため、該表示基板の光透過率を向上させることができ、且つ画面下指紋認識装置が信号を受信するのに有利である。

【0006】

本開示の少なくとも1つの実施例は、ベース基板と、半導体層を有する複数の画素駆動回路と、前記半導体層の前記ベース基板から離れた一側に位置する第1の導電層と、前記第1の導電層の前記ベース基板から離れた一側に位置する第1の平坦層と、前記第1の平坦層の前記第1の導電層から離れた一側に位置する第2の導電層と、前記第2の導電層の前記ベース基板から離れた一側に位置する第2の平坦層と、前記第2の平坦層の前記第2の導電層から離れた一側に位置する複数の発光素子群と、を備え、前記第2の導電層は、第1の方向に沿って配置され、それぞれの前記第1の方向におけるサイズよりも前記第1の方向と交差する第2の方向におけるサイズの方が大きい複数の導電部を備え、前記複数の導電部は、前記第1の方向に隣接する少なくとも1つの前記導電部と前記第2の導電層で互いに分離された密閉環状部を有する第1の導電部を備え、各前記発光素子群は、前記ベース基板での正射影が前記密閉環状部の前記ベース基板での正射影と重なる第1のアノードを有する第1の発光素子を備え、前記複数の導電部は、前記第1の導電部に隣接して、ベース基板での正射影が前記第1のアノードの前記ベース基板での正射影と重なる第2の導電部をさらに備える表示基板をさらに提供する。

【0007】

たとえば、本開示の一実施例により提供されている表示基板において、前記第1の方向における前記密閉環状部のサイズは少なくとも前記第1の方向における第1の導電部の一部のサイズよりも大きく、前記複数の画素駆動回路は、前記半導体層に半導体パターンを有する第1の画素駆動回路を備え、前記第1の導電部の前記ベース基板での正射影と前記第1の画素駆動回路の前記半導体パターンの前記ベース基板での正射影とが重なり、前記第1の画素駆動回路は、駆動トランジスタを備え、前記第1の導電層は、前記駆動トランジスタのゲートと同じ電位を有し、且つ前記駆動トランジスタのゲートとともにゲート電位金属を構成する第1の導電パターンを備え、前記密閉環状部の内側の中空領域の前記ベース基板での正射影と前記ゲート電位金属とが重なる。

【0008】

たとえば、本開示の一実施例により提供されている表示基板において、前記密閉環状部の内側は、中空領域を有し、前記第1の導電部は、前記第2の方向に沿って配置された複数の前記中空領域を有し、隣接する2つの前記中空領域の形状及びサイズはほぼ同じである。

10

20

30

40

50

【0009】

たとえば、本開示の一実施例により提供されている表示基板において、前記第1の発光素子は、有効発光領域を備え、前記第1の発光素子の有効発光領域の中心を通り且つ前記第2の方向に沿って延伸する直線の前記ベース基板での正射影は、前記第1の導電部の前記ベース基板での正射影と前記第2の導電部の前記ベース基板での正射影との間にある。

【0010】

たとえば、本開示の一実施例により提供されている表示基板において、前記密閉環状部の前記第1の方向における2つのエッジのそれぞれと、前記発光素子群内の複数の発光素子のアノードの前記ベース基板での正射影とが重なり、前記密閉環状部の中空領域と前記複数の発光素子の有効発光領域の前記ベース基板での正射影とが分離して設置されている。

10

【0011】

たとえば、本開示の一実施例により提供されている表示基板において、前記第1の導電層は、前記画素駆動回路に電源を供給するように構成される導電性金属をさらに備え、前記第1の平坦層は導電性金属ビアを備え、前記導電部は、前記導電性金属ビアによって前記導電性金属と電氣的に接続されており、前記第1の画素駆動回路は、第1の発光制御トランジスタと、第1の電極ブロック及び前記第1の電極ブロックの前記ベース基板から離れる一側に位置する第2の電極ブロックを有するストレージコンデンサとをさらに備え、前記導電性金属は、前記第1の発光制御トランジスタのソース及び前記第2の電極ブロックとそれぞれ電氣的に接続されている。

【0012】

20

たとえば、本開示の一実施例により提供されている表示基板において、前記密閉環状部の前記ベース基板での正射影と前記第1の電極ブロックの前記ベース基板での正射影とが重なり、前記第2の電極ブロックは、前記ベース基板での正射影が前記第1の電極ブロックの前記ベース基板での正射影と重なる開口孔を備え、前記密閉環状部の前記ベース基板での正射影と前記開口孔の前記ベース基板での正射影とも重なる。

【0013】

たとえば、本開示の一実施例により提供されている表示基板において、前記第1の画素駆動回路は、データ書き込みトランジスタと、補償トランジスタと、リセットトランジスタと、アノード初期化トランジスタと、第2の発光制御トランジスタとをさらに備え、前記表示基板は、前記リセットトランジスタのゲートと接続されているリセット信号線と、前記補償トランジスタのゲートと接続されているゲート線と、前記第1の発光制御トランジスタのゲートと接続されている発光制御線と、前記リセットトランジスタのソースと接続されている初期化信号線と、をさらに備え、前記密閉環状部の前記ベース基板での正射影のそれぞれと、前記リセット信号線、前記ゲート線、前記初期化信号線の前記ベース基板での正射影とが重なる。

30

【0014】

たとえば、本開示の一実施例により提供されている表示基板において、前記第1の導電パターンの一端は、前記開口孔を介して前記駆動トランジスタのゲートと電氣的に接続されており、前記第1の導電パターンの他端は、前記補償トランジスタのソース又はドレインと電氣的に接続されている。

40

【0015】

たとえば、本開示の一実施例により提供されている表示基板において、前記密閉環状部は、前記第1の方向に沿って配置された第1の部分及び第2の部分と、前記第2の方向に沿って配置された第3の部分及び第4の部分と、を備え、前記第1の部分、前記第3の部分、前記第2の部分、前記第4の部分はエンドツーエンドで接続して前記密閉環状部を形成し、前記第1の部分及び前記第2の部分の前記ベース基板での正射影と、前記第2の電極ブロックの前記ベース基板での正射影とが重なる。

【0016】

たとえば、本開示の一実施例により提供されている表示基板において、前記第1の部分の前記ベース基板での正射影と前記第1の導電パターンの前記ベース基板での正射影とが

50

重なり、前記第 1 の導電パターン及び前記第 1 の部分の形状はいずれも長尺状であり、前記第 1 の導電パターンの長辺の延伸方向と前記第 1 の部分の長辺の延伸方向とが同じである。

【0017】

たとえば、本開示の一実施例により提供されている表示基板において、前記第 1 の導電層は、前記初期化信号線及び前記リセットトランジスタのソースとそれぞれ接続されている第 2 の導電パターンと、第 3 の導電パターンとをさらに備え、前記第 2 の導電層は、アノード接続部をさらに備え、前記第 3 の導電パターンは、前記第 2 の発光制御トランジスタのドレイン及び前記アノード接続部と接続されており、前記第 3 の部分の前記ベース基板での正射影と、前記初期化信号線の前記ベース基板での正射影とが重なり、前記第 3 の部分の前記ベース基板での正射影と、前記第 2 の導電パターンの前記ベース基板での正射影とが重なり、前記第 4 の部分の前記ベース基板での正射影と前記第 1 の導電パターンの前記ベース基板での正射影とが重なる。

10

【0018】

たとえば、本開示の一実施例により提供されている表示基板において、前記中空領域の前記ベース基板での正射影と、前記初期化信号線の前記ベース基板での正射影とが重なり、前記中空領域の前記ベース基板での正射影と、前記第 2 の導電パターンの前記ベース基板での正射影とが重なり、前記中空領域の前記ベース基板での正射影と前記第 2 の電極ブロックの前記ベース基板での正射影とが重なる。

【0019】

たとえば、本開示の一実施例により提供されている表示基板において、前記複数の発光素子群は、前記第 1 の方向に沿って配置することで複数の発光素子列を形成し、前記第 2 の方向に沿って配置することで複数の発光素子行を形成し、前記発光素子群のそれぞれは、1つの前記第 1 の発光素子と、1つの第 2 の発光素子と、1つの第 3 の発光素子と、1つの第 4 の発光素子とを備え、前記第 1 のアノードは、本体部を備え、前記第 1 の発光素子の有効発光領域の前記ベース基板での正射影が前記第 1 のアノードの本体部の前記ベース基板での正射影の内部に位置し、且つ前記第 1 のアノードの本体部と前記第 1 のアノードとが少なくとも部分的に同じ境界を有し、前記第 1 の導電部及び前記複数の導電部に含まれた第 2 の導電部は、それぞれ前記第 1 の発光素子の有効発光領域の前記第 1 の方向における両側に位置し、前記密閉環状部分のベース基板での正射影から前記第 1 の発光素子の有効発光領域の中心の前記ベース基板での正射影までの距離と、前記第 2 の導電部の前記ベース基板での正射影から前記第 1 の発光素子の有効発光領域の中心の前記ベース基板での正射影までの距離とがほぼ同じである。

20

30

【0020】

たとえば、本開示の一実施例により提供されている表示基板において、前記第 1 のアノードの前記ベース基板での正射影と前記第 1 の画素駆動回路の前記発光制御線の前記ベース基板での正射影とが重なり、前記中空領域の中心と前記第 2 の方向において隣接する位置に、アノードの前記ベース基板での正射影と、前記ゲート線、前記リセット信号線、前記初期化信号線の前記ベース基板での正射影とがいずれも重なる 1 つの第 4 の発光素子が設置されている。

40

【0021】

たとえば、本開示の一実施例により提供されている表示基板において、前記ゲート線の前記ベース基板での正射影と前記第 1 の導電パターンの前記ベース基板での正射影とが重なり、1つの前記画素駆動回路では、前記第 1 の電極ブロック及び前記第 2 の電極ブロックの前記ベース基板での正射影が、前記ゲート線の前記ベース基板での正射影と前記発光制御線の前記ベース基板での正射影との間に位置し、前記リセット信号線の前記ベース基板での正射影が、前記ゲート線の前記ベース基板での正射影と前記初期化信号線の前記ベース基板での正射影との間に位置し、前記発光制御線、前記第 1 の電極ブロック、前記ゲート線、前記リセット信号線及び前記初期化信号線は前記第 2 の方向に沿って配置されている。

50

【0022】

たとえば、本開示の一実施例により提供されている表示基板において、前記複数の画素駆動回路は、前記第1の導電層の前記ベース基板に近い側に位置する第2のゲート電極層をさらに備え、前記第2の電極ブロックは前記第2のゲート電極層に位置し、少なくとも2つの前記第2の電極ブロックは前記第2のゲート電極層に接続されている。

【0023】

たとえば、本開示の一実施例により提供されている表示基板において、前記第1の発光素子の有効発光領域及び前記第2の発光素子の有効発光領域のベース基板での正射影と、前記導電部の前記ベース基板での正射影とが重ならず、前記第2の発光素子は、緑色光を発するように構成されており、前記第4の発光素子の有効発光領域の中心の前記ベース基板での正射影と前記導電部の前記ベース基板での正射影とが重なり、前記導電部と前記第4の発光素子の有効発光領域の中心の前記ベース基板での正射影が重なる部分は中実部分であり、前記第4の発光素子は青色光を発するように構成されている。

10

【0024】

たとえば、本開示の一実施例により提供されている表示基板において、前記第2の発光素子は、第2のアノードを備え、前記第2の発光素子の有効発光領域の前記ベース基板での正射影が前記第2のアノードの本体部の前記ベース基板での正射影の内部に位置し、且つ前記第2のアノードの本体部と前記第2のアノードとが少なくとも部分的に同じ境界を有し、前記第2のアノードの本体部と、前記第2のアノードの前記第1の方向において隣接する2つの前記導電部との重なり面積はほぼ同じである。

20

【0025】

たとえば、本開示の一実施例により提供されている表示基板において、前記中空領域の前記ベース基板での正射影が前記第1の発光素子の有効発光領域と前記第2の発光素子の有効発光領域との間に位置し、前記第1の発光素子及び前記第2の発光素子は、第1の方向において距離が最も近い前記第1の発光素子及び前記第2の発光素子である。

【0026】

たとえば、本開示の一実施例により提供されている表示基板において、赤色光を発するように構成されている発光素子のアノードの前記第2の方向における中間部分の前記第1の方向におけるサイズが、前記アノードの前記第2の方向におけるエッジ部分の前記第1の方向におけるサイズよりも大きく、青色光を発するように構成されている発光素子のアノードの前記第2の方向における中間部分の前記第1の方向におけるサイズが、前記アノードの前記第2の方向におけるエッジ部分の前記第1の方向におけるサイズよりも大きい。

30

【0027】

たとえば、本開示の一実施例により提供されている表示基板において、1つの前記発光素子群においては、少なくとも2つの発光素子のアノードの前記ベース基板での正射影と前記第2の電極ブロックの前記開口孔の前記ベース基板での正射影とが重なり、少なくとも1つの発光素子の有効発光領域の前記ベース基板での正射影と前記第1の電極ブロック又は前記第2の電極ブロックの前記ベース基板での正射影とが重ならない。

【0028】

たとえば、本開示の一実施例により提供されている表示基板において、前記第1の発光素子、前記第2の発光素子、前記第3の発光素子、前記第4の発光素子のうちのいずれかの発光素子において、前記発光素子のアノードは、前記第1の平坦層に含まれたアノード孔を介して前記発光素子に対応する画素駆動回路と接続されており、赤色光を発するように構成されている発光素子のアノードのアノード孔の前記ベース基板での正射影と前記アノードの本体部の前記ベース基板での正射影とが前記第2の方向において重ならず、赤色光を発するように構成されている発光素子のアノードのアノード孔の前記ベース基板での正射影と、赤色光を発するように構成されている発光素子の有効発光領域の前記ベース基板での正射影とが、前記第2の方向において重ならず、青色光を発するように構成されている発光素子のアノードのアノード孔の前記ベース基板での正射影と前記アノードの本体部の前記ベース基板での正射影とが前記第2の方向において重ならず、青色光を発するよ

40

50

うに構成されている発光素子のアノードのアノード孔の前記ベース基板での正射影と、青色光を発するように構成されている発光素子の有効発光領域の前記ベース基板での正射影とが、前記第2の方向において重ならない。

【0029】

たとえば、本開示の一実施例により提供されている表示基板において、隣接する2つの前記導電部の間には、データ線が設置されており、隣接する前記導電部と前記データ線の前記ベース基板での正射影の間の距離が、隣接する2つの前記導電部の前記ベース基板での正射影の間の距離よりも短い。

【0030】

本開示の少なくとも1つの実施例は、上記いずれかに記載の表示基板を備える表示装置をさらに提供している。

【図面の簡単な説明】

【0031】

本開示の実施例の技術案をより明確に説明するために、以下、実施例の図面を簡単に説明し、明らかなように、以下の記述における図面は本開示のいくつかの実施例に過ぎず、本開示を限定するものではない。

【図1】表示基板の部分断面概略図である。

【図2】図1に示されている表示基板が発光する概略図を示す。

【図3】本開示の一実施例に係る表示基板の概略平面図である。

【図4A】本開示の一実施例に係る図3のAA方向における表示基板の断面概略図である。

【図4B】本開示の一実施例に係る図3のAA方向における表示基板の他の断面概略図である。

【図5A】本開示の一実施例に係る図3のBB方向における表示基板の断面概略図である。

【図5B】本開示の一実施例に係る図3のGB方向における表示基板の断面概略図である。

【図6】本開示の一実施例に係る表示基板の発光素子の概略平面図である。

【図7】本開示の一実施例に係る表示基板の第2の導電層とアノード層との平面関係の概略図である。

【図8】本開示の一実施例に係る表示装置の概略図である。

【図9】他の表示基板の部分断面概略図である。

【図10】他の表示基板の部分断面概略図である。

【図11】本開示の一実施例に係る他の表示基板の概略平面図である。

【図12A】本開示の一実施例に係る図11のHH方向における表示基板の断面概略図である。

【図12B】本開示の一実施例に係る図11のJJ方向における表示基板の断面概略図である。

【図13】本開示の一実施例に係る他の表示基板の概略平面図である。

【図14】本開示の一実施例に係る他の表示基板の概略平面図である。

【図15】本開示の一実施例に係る他の表示基板の概略平面図である。

【図16】本開示の一実施例に係る表示装置の概略図である。

【図17】ファインメタルマスクで蒸着するプロセスの概略図である。

【図18】本開示の一実施例に係る表示基板の概略平面図である。

【図19】本開示の一実施例に係る図18のCC方向における表示基板の断面概略図である。

【図20】本開示の一実施例に係る他の表示基板の概略平面図である。

【図21】本開示の一実施例に係る図20のDD方向における表示基板の断面概略図である。

【図22】本開示の一実施例に係る図20のEE方向における表示基板の断面概略図である。

【図23】本開示の一実施例に係る表示装置の概略図である。

【図24】本開示の一実施例に係る表示基板の製造方法である。

10

20

30

40

50

【図 2 5】本開示の一実施例に係るマスク板グループの概略平面図である。
【図 2 6】本開示の一実施例に係るマスク板グループの概略平面図である。
【図 2 7】本開示の一実施例に係るマスク板グループの概略平面図である。
【図 2 8 A】本開示の一実施例に係る他の表示基板の部分概略図である。
【図 2 8 B】本開示の一実施例に係る他の表示基板の部分概略図である。
【図 2 9】本開示の一実施例に係る図 2 8 A の F F 方向における表示基板の断面概略図である。

【図 3 0 A】本開示の一実施例に係る表示基板の複数のフィルム層の概略平面図である。
【図 3 0 B】本開示の一実施例に係る表示基板の複数のフィルム層の概略平面図である。
【図 3 0 C】本開示の一実施例に係る表示基板の複数のフィルム層の概略平面図である。
【図 3 0 D】本開示の一実施例に係る表示基板の複数のフィルム層の概略平面図である。
【図 3 1】は本開示の一実施例に係る表示基板の画素駆動回路の等価概略図である。
【図 3 2】本開示の一実施例に係る表示装置の概略図である。
【図 3 3】本開示の一実施例に係る表示基板の部分概略図である。
【図 3 4】本開示の一実施例に係る図 3 3 の K K 方向における表示基板の断面概略図である。

【図 3 5 A】本開示の一実施例に係る図 3 3 の M M 方向における表示基板の断面概略図である。

【図 3 5 B】本開示の一実施例に係る図 3 3 の N N 方向における表示基板の断面概略図である。

【図 3 5 C】本開示の一実施例に係る図 3 3 の Q Q 方向における表示基板の断面概略図である。

【図 3 6】本開示の一実施例に係る他の表示基板の概略平面図である。
【図 3 7 A】本開示の一実施例に係る他の表示基板の部分概略図である。
【図 3 7 B】本開示の一実施例に係る他の表示基板の部分概略図である。
【図 3 8】本開示の一実施例に係る表示装置の概略図である。
【図 3 9】本開示の一実施例に係る表示基板の概略図である。
【図 4 0】本開示の一実施例に係る図 3 9 の T T 線に沿う表示基板の断面概略図である。
【図 4 1】本開示の一実施例に係る表示基板の第 2 の導電層及びアノード層の概略図である。

【図 4 2】本開示の一実施例に係る表示装置の概略図である。

【発明を実施するための形態】

【0032】

本開示の実施例の目的、技術案、及びメリットをより明確に説明するために、以下、本開示の実施例の図面を参照しながら、本開示の実施例の技術案について明確かつ完全に説明する。明らかなように、説明される実施例は本開示のいくつかの実施例に過ぎず、すべての実施例ではない。説明される本開示の実施例に基づいて、当業者が創造的な労働を必要とせずに行うことができるその他の実施例は、いずれも本開示の範囲に属するものとなる。

【0033】

特に定義されていない限り、ここで使用される専門用語又は科学用語は当業者が理解できる通常の意味であるべきである。本開示において使用される「第 1」、「第 2」及び類似の用語は、いかなる順序、数量又は重要性も示さず、異なる構成要素を区別するためにのみ使用される。「備える」又は「含む」等のような用語は、該用語の前に示される素子又は要素が該用語の後に挙げられた素子又は要素及びその同等物をカバーするが、その他の素子又は要素を排除しないことを意味する。

【0034】

表示装置は電力、輝度、色座標等の多くの性能仕様があり、色かぶりはそのうちの 1 つの重要なパラメータである。通常、有機発光ダイオード (O L E D) 表示装置の色かぶりに影響を与える要素は多く、表示基板 (有機発光ダイオードのアレイ基板又はリアパネル

10

20

30

40

50

) の設計の視点から、アノードの平坦度は色かぶりに対して大きな影響を与えている。

【0035】

図1は表示基板の部分断面概略図である。図2は図1に示されている表示基板が発光する概略図を示す。図1に示すように、該表示基板のサブ画素は、順に設置されているベース基板110と、半導体層120と、第1のゲート層130と、第2のゲート層140と、第1の導電層150と、第1の平坦層241と、第2の導電層160と、第2の平坦層242と、アノード175と、画素画定層190と、を備える。半導体層120、第1のゲート層130、第2のゲート層140、及び第1の導電層150は、薄膜トランジスタ及びストレージコンデンサを備える画素駆動回路を形成でき、第2の導電層160は、第1の平坦層241のビア（図示せず）を介して画素駆動回路と接続されている接続電極161を備え、アノード170は、第2の平坦層242のビア271を介して接続電極161と接続されている。画素画定層190は、一部のアノード170を露出させるための開口部191を備え、後続の有機発光層180が開口部191内に形成される場合、アノード175は有機発光層180に接触して有機発光層が発光するように駆動でき、開口部191により画定された領域は該サブ画素の有効発光領域である。

【0036】

第2の平坦層242のビア271はアノード175の平坦性に影響を与え、ビア271と開口部191（すなわち、有効発光領域）との距離が近い場合、開口部191の位置にあるアノード175は「傾斜」して、該サブ画素の発光方向がずれることを引き起こす。異なる色のサブ画素のアノードの「傾斜」方向が異なる場合、異なる色（たとえば赤色、緑色、青色）のサブ画素から異なる方向へ発する光の強度が一致せず、色かぶり現象が発生する。たとえば、該表示基板を有する表示装置の一側から観察する時に表示画面が赤くなるが、該表示装置の他側から観察する時に表示画面が青くなるという現象である。

【0037】

これに対して、本開示の実施例は表示基板及び表示装置を提供している。該表示基板は、ベース基板と、第1の導電層と、第1の平坦層と、第2の導電層と、第2の平坦層と、複数の発光素子群と、を備え、第1の導電層は、ベース基板上に位置し、第1の平坦層は、第1の導電層のベース基板から離れた一側に位置し、第2の導電層は、第1の平坦層の第1の導電層から離れた一側に位置し、第2の平坦層は、第2の導電層の第1の平坦層から離れた一側に位置し、複数の発光素子群は、第2の平坦層のベース基板から離れた一側に位置する。複数の発光素子群は、第1の方向に沿って配置することで複数の発光素子列を形成し、第2の方向に沿って配置することで複数の発光素子行を形成し、発光素子群のそれぞれは、1つの第1の発光素子と、1つの第2の発光素子と、1つの第3の発光素子と、1つの第4の発光素子と、を備え、第2の発光素子及び第3の発光素子は、第2の方向に沿って配置して発光素子対を形成し、第1の発光素子、発光素子対及び第3の発光素子は第1の方向に沿って配置しており、第1の発光素子は第1のアノードを備え、第2の発光素子は第2のアノードを備え、第3の発光素子は第3のアノードを備え、第4の発光素子は第4のアノードを備え、第2の導電層は第1の接続電極、第2の接続電極、第3の接続電極及び第4の接続電極を備え、第2の平坦層は第1のビア、第2のビア、第3のビア及び第4のビアを備え、第1のアノードは、第1のビアを介して第1の接続電極と接続されており、第2のアノードは、第2のビアを介して第2の接続電極と接続されており、第3のアノードは、第3のビアを介して第3の接続電極と接続されており、第4のアノードは、第4のビアを介して第4の接続電極と接続されており、1つの発光素子行に対応する複数の第3のビアは、ほぼ、第1の方向に沿って延伸する第1の直線上にあり、第1の直線との距離が最も近い第4のビアのベース基板での正射影が第1の直線の第4のビアに対応する第4のアノードに近い一側に位置する。それによって、該表示基板は第4のビアの位置を第4のアノードに近い方向へ移動することで、第4のビアと隣接する第1の発光素子の有効発光領域との間の距離を増加させ、それにより第1の発光素子の有効発光領域に位置する第1のアノードの平坦性を確保し、さらに色かぶり現象の発生を回避し、第4のビアと第4の発光素子の有効発光領域との間の距離を短縮させることにより、第4の発

光素子の有効発光領域に位置する第４のアノードと第４の接続電極との間の抵抗を低減させ、且つ第１のアノードと第４のアノードとの間の距離を増加することで、製造過程での残留物による第１のアノードと第４のアノードとの短絡を回避できる。

【００３８】

以下、図面を参照しながら、本開示の実施例により提供されている表示基板及び表示装置を詳細に説明する。

【００３９】

本開示の一実施例は表示基板を提供している。図３は本開示の一実施例に係る表示基板の概略平面図であり、図４Ａ及び図４Ｂは本開示の一実施例に係る図３のＡＡ方向における表示基板の断面概略図であり、図５Ａは本開示の一実施例に係る図３のＢＢ方向における表示基板の断面概略図であり、図５Ｂは本開示の一実施例に係る図３のＧＢ方向における表示基板の断面概略図であり、図６は本開示の一実施例に係る表示基板の発光素子の概略平面図である。

【００４０】

図３、図４Ａ、図４Ｂ、図５Ａ、図５Ｂ、及び図６に示すように、該表示基板１００は、ベース基板１１０と、第１の導電層１５０と、第１の平坦層２４１と、第２の導電層１６０と、第２の平坦層２４２と、複数の発光素子群３１０と、を備え、第１の導電層１５０は、ベース基板１１０上に位置し、第１の平坦層２４１は、第１の導電層１５０のベース基板１１０から離れた一側に位置し、第２の導電層１６０は、第１の平坦層２４１の第１の導電層１５０から離れた一側に位置し、第２の平坦層２４２は、第２の導電層１６０の第１の平坦層２４１から離れた一側に位置し、複数の発光素子群３１０は、第２の平坦層２４２のベース基板１１０から離れた一側に位置する。複数の発光素子群３１０は第１の方向に沿って配置することで複数の発光素子列３２０を形成し、第２の方向に沿って配置することで複数の発光素子行３３０を形成し、発光素子群３１０のそれぞれは、１つの第１の発光素子３１１と、１つの第２の発光素子３１２と、１つの第３の発光素子３１３と、１つの第４の発光素子３１４と、を備え、第２の発光素子３１２及び第３の発光素子３１３は第２の方向に沿って配置して発光素子対３１５を形成し、第１の発光素子３１１、発光素子対３１５及び第４の発光素子３１４は第１の方向に沿って配置しており、第１の発光素子３１１は第１のアノード１７５１を備え、第２の発光素子３１２は第２のアノード１７５２を備え、第３の発光素子３１３は第３のアノード１７５３を備え、第４の発光素子３１４は第４のアノード１７５４を備え、第２の導電層１６０は、第１の接続電極１６１１、第２の接続電極１６１２、第３の接続電極１６１３及び第４の接続電極１６１４を備え、第２の平坦層２４２は、第１のビア２４２１、第２のビア２４２２、第３のビア２４２３及び第４のビア２４２４を備え、第１のアノード１７５１は、第１のビア２４２１を介して第１の接続電極１６１１と接続されており、第２のアノード１７５２は、第２のビア２４２２を介して第２の接続電極１６１２と接続されており、第３のアノード１７５３は、第３のビア２４２３を介して第３の接続電極１６１３と接続されており、第４のアノード１７５４は、第４のビア２４２４を介して第４の接続電極１６１４と接続されており、１つの発光素子行３３０に対応する複数の第３のビア２４２３は、ほぼ、第１の方向に沿って延伸する第１の直線３０１上にあり、第１の直線３０１との距離が最も近い第４のビア２４２４のベース基板１１０での正射影が、第１の直線３０１の第４のビア２４２４に対応する第４のアノード１７５４に近い一側に位置する。ただし、上記第１の導電層及び第２の導電層はベース基板から離れる方向に沿って順に積層して設けられる。

【００４１】

本開示の実施例により提供されている表示基板において、第２の発光素子及び第３の発光素子は、第２の方向に沿って配置して発光素子対を形成し、第１の発光素子、発光素子対及び第３の発光素子は第１の方向に沿って配置しており、つまり、第２のアノード及び第３のアノードは第２の方向に沿って配置してアノード対を形成し、第１のアノード、アノード対及び第３のアノードは第１の方向に沿って配置している。第１の直線との距離が最も近い第４のビアのベース基板での正射影が、第１の直線の第４のアノードに近い一側

に位置し、すなわち、該表示基板は第4のビアの位置を第4のアノードに近い方向へ移動する。それにより、該表示基板は、以下の有益な効果を有する。(1)第4のビアと隣接する第1の発光素子の有効発光領域との間の距離を増加することで、第1の発光素子の有効発光領域に位置する第1のアノードの平坦性を確保し、さらに色かぶり現象の発生を回避し、(2)第4のビアと第4の発光素子の有効発光領域との間の距離を短縮させることにより、第4の発光素子の有効発光領域に位置する第4のアノードと第4の接続電極との間の抵抗を低減させ、(3)第1のアノードと第4のアノードとの間の距離を増加することで、製造過程での残留物による第1のアノードと第4のアノードとの短絡を回避できる。

【0042】

たとえば、図5A、図5B、及び図6に示すように、該表示基板は第4のビア2424の位置を第4のアノード1754に近い方向へ移動し、従って第4のビア2424と隣接する第1の発光素子の有効発光領域(すなわち、開口部1951により画定された領域)との間の距離が増加する。且つ、第4のアノードはその下方の画素駆動回路と接続されている接続部を有するため、第4のビア2424の位置を第4のアノード1754に近い方向に移動しても、第4の発光素子の有効発光領域(すなわち、開口部1954により画定された領域)と重なることがない。この時、第4のビア2424と隣接する第1の発光素子の有効発光領域及び第4の発光素子の有効発光領域との間にいずれも適切な距離があり、それにより第1の発光素子の有効発光領域に位置する第1のアノード及び第4の発光素子の有効発光領域に位置する第4のアノードの平坦性を同時に確保でき、さらに色かぶり現象の発生を回避する。

【0043】

たとえば、図5A、図5B、及び図6に示すように、該表示基板は第4のビア2424の位置を第4のアノード1754に近い方向へ移動することにより、さらに第4のビア2424と第4の発光素子の有効発光領域との間の距離を短縮させ、それにより第4の発光素子の有効発光領域に位置する第4のアノードと第4の接続電極との間の抵抗を低減させる。一方、該表示基板は第4のビア2424の位置を第4のアノード1754に近い方向へ移動することにより、さらに第1のアノード1751と第4のアノード1754との間の距離を増加させ、それにより製造過程での残留物による第1のアノード1751と第4のアノード1754との短絡を回避できる。

【0044】

たとえば、第1のアノードのベース基板での正射影と隣接する第4のアノードのベース基板での正射影との間の最短距離は第1の発光素子の有効発光領域の第1の方向における幅の0.8倍を超えることで、製造過程での残留物による第1のアノードと第4のアノードとの短絡を効果的に回避できる。

【0045】

たとえば、図6に示すように、第4のアノード1754は、本体部1754Aと、接続部1754Bとを備え、第4の発光素子314の有効発光領域は本体部1754Aのベース基板110での正射影の内部にあり、接続部1754Bは第4のビア2424を介して対応する第4の接続電極1614と接続されており、第1の直線301の本体部1754Aに近い一側に位置し、それにより接続部の面積を効果的に減少させることができ、それにより、第4の発光素子の有効発光領域に位置する第4のアノードと第4の接続電極との間の抵抗を低減させる。たとえば、図6に示すように、第4のアノード1754は、第1の補足部1754Cをさらに備え、第1の補足部1754Cは、対応する画素駆動回路の補償薄膜トランジスタの2つのチャネル領域をカバーでき、それにより補償薄膜トランジスタの安定性を高め、耐用年数を延ばし、該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

【0046】

いくつかの例において、図6に示すように、第1の補足部1754Cは、第4の本体部1754Aから第3のアノード1753へ突出し、第4の接続部1754Bの第4の本体部1754Aに近い一側に位置する。

【0047】

いくつかの例において、図6に示すように、第1の補足部1754Cは、第4の本体部1754A及び第4の接続部1754Bの両方と接続されている。それにより、該表示基板は、表示基板上の面積を十分に利用して、第1のアノード、第2のアノード、第3のアノード及び第4のアノードを密接に配置して、それにより表示基板の解像度を確保できる。

【0048】

たとえば、図4Aに示すように、該表示基板は、順に設置されたベース基板110と、半導体層120と、第1の絶縁層361と、第1のゲート層130と、第2の絶縁層362と、第2のゲート層140と、層間絶縁層363と、第1の導電層150と、第1の平坦層241と、第2の導電層160と、第2の平坦層242と、を備える。第1のゲート層130は、ゲート線131及び第1の電極ブロックCE1を備えてもよく、第2のゲート層は、第2のゲートブロックCE2を備えてもよく、第1の電極ブロックCE1のベース基板110での正射影と第2の電極ブロックCE2のベース基板110での正射影とが少なくとも部分的に重なり、それによりストレージコンデンサを形成できる。

10

【0049】

たとえば、図4Aに示すように、第1の導電層150は、電源線及びデータ線をさらに備えてもよく、第2の導電層160は、電源線と重なり、電源線と電気的に接続されてもよく、電源線の抵抗を低減させることができる導電部を備えてもよい。

【0050】

たとえば、図4Bに示すように、該表示基板は、第1の導電層150と第1の平坦層241との間に位置する保護層364をさらに備えてもよい。もちろん、本開示の実施例はこれに制限されず、該表示基板には保護層が設置されなくてもよい。

20

【0051】

いくつかの例において、図6に示すように、第1の直線301に対応する発光素子行330に隣接する発光素子行330に対応する複数の第2のビア2422もほぼ第1の直線301上にある。

【0052】

いくつかの例において、図3に示すように、1つの発光素子群310の第4のビア2424は、第2の方向において該発光素子群310に隣接する発光素子群310の第1のアノード1751の第2の方向に沿う二等分線の一侧、たとえば、第1のアノード1751の第2の方向に沿う二等分線の、該第1のアノード1751の位置する発光素子群310の第2のアノード1752に近い一侧に位置する。つまり、1つの発光素子群の第4のビアは、第2の方向において発光素子群に隣接する発光素子群の第1のアノードの第2の方向に沿う二等分線の一侧に位置する。いくつかの例において、図3に示すように、1つの発光素子群310において、第1のビア2421は第1のアノード1751の第2の方向に沿う二等分線の一侧、たとえば、第1のアノード1751の第2の方向に沿う二等分線の、第3のアノード1753に近い一侧に位置し、第2のビア2422は、第2のアノード1752の第2の方向に沿う二等分線の、第1のアノード1751に近い一侧に位置し、第3のビア2423は、第3のアノード1753の第2の方向に沿う二等分線の、第1のアノード1751に近い一侧に位置する。

30

40

【0053】

いくつかの例において、図6に示すように、1つの発光素子行330に対応する複数の第4のビア2424は、ほぼ、第1の方向に沿って延伸し、該発光素子行330に対応する複数の第1のアノード1751又は複数の第1のビア2421を通過する直線上にある。

【0054】

いくつかの例において、図6に示すように、1つの発光素子列320に対応する複数の第4のビア2424は、ほぼ、第2の方向に沿って延伸し、該発光素子列320に対応する複数の第1のアノード1751又は複数の第1の発光素子311の有効発光領域を通過する第2の直線上にある。

【0055】

50

いくつかの例において、図 6 に示すように、第 4 のアノード 1 7 5 4 からそれとの距離が最も近い第 1 のアノード 1 7 5 1 までの距離は、同じ行に位置する第 1 のアノード 1 7 5 1 からそれとの距離が最も近い第 4 のアノード 1 7 5 4 までの距離よりも小さい。

【0056】

いくつかの例において、図 6 に示すように、発光素子群 3 1 0 は、第 2 の方向において隣接して、それぞれ隣接する 2 つの発光素子行 3 3 0 内に設置されている第 1 の発光素子群と、第 2 の発光素子群とを備え、第 1 の発光素子群の第 4 のアノード 1 7 5 4 の接続部と第 2 の発光素子群の第 1 のアノード 1 7 5 1 の接続部とはいずれも、該第 4 のアノード 1 7 5 4 の第 2 の方向に沿う二等分線の同じ側に位置する。つまり、第 4 のアノードの本体部の第 2 の方向に沿う二等分線の同じ側には、第 4 のアノードの接続部及び第 2 の方向において第 4 のアノードに隣接する第 1 のアノードの接続部が設置されている。

10

【0057】

いくつかの例において、図 6 に示すように、第 1 のアノード 1 7 5 1 の本体部の形状は六角形を含み、第 1 のアノード 1 7 5 1 の、第 2 の方向において第 1 のアノード 1 7 5 1 に隣接する第 4 のアノード 1 7 5 4 との距離が最も近い点は六角形の頂点である。

【0058】

いくつかの例において、図 6 に示すように、隣接する 2 つの発光素子行 3 3 0 は $1/2$ ピッチずれて設置されており、上記ピッチは、第 1 の方向に隣接する 2 つの発光素子群 3 1 0 の 2 つの第 1 の発光素子 3 1 1 の有効発光領域の中心間の距離に等しい。

【0059】

いくつかの例において、図 6 に示すように、第 1 の直線 3 0 1 は隣接する 2 つの発光素子行 3 3 0 の間に位置する。

20

【0060】

いくつかの例において、図 5 A、図 5 B、及び図 6 に示すように、第 1 の直線 3 0 1 との距離が最も近い第 1 のビア 2 4 2 1 のベース基板 1 1 0 での正射影は、第 1 の直線 3 0 1 の該第 1 のビア 2 4 2 1 に対応する第 1 のアノード 1 7 5 1 に近い一側に位置する。つまり、該表示基板は、第 1 のビアの位置を第 1 のアノードに近い方向へ移動する。それにより、該表示基板は以下の有益な効果を有する。(1) 第 1 のビアと第 2 の方向に距離が最も近い第 4 の発光素子の有効発光領域との間の距離を増加させ、それにより隣接する第 4 の発光素子の有効発光領域に位置する第 4 のアノードの平坦性を確保し、さらに色かぶり現象の発生を回避し、(2) 第 1 のビアと第 1 の発光素子の有効発光領域との間の距離を短縮させ、それにより第 1 の発光素子の有効発光領域に位置する第 1 のアノードと第 1 の接続電極との間の抵抗を低減させ、(3) 第 1 のアノードと第 4 のアノードとの間の距離を増加させ、それにより製造過程での残留物による第 1 のアノードと第 4 のアノードとの短絡を回避できる。もちろん、本開示の実施例はこれに制限されず、第 1 のビアのベース基板での正射影は第 1 の直線上にあってもよい。

30

【0061】

いくつかの例において、図 6 に示すように、第 4 のビア 2 4 2 4 のベース基板 1 1 0 での正射影と第 1 の直線 3 0 1 のベース基板 1 1 0 での正射影との間の距離は、第 1 のビア 2 4 2 1 のベース基板 1 1 0 での正射影と第 1 の直線 3 0 1 のベース基板 1 1 0 での正射影との間の距離よりも大きい。つまり、第 1 の直線に比べて、第 4 のビアのオフセット量の方が大きい。もちろん、本開示の実施例はこれに制限されず、第 1 の直線に比べて、第 4 のビアのオフセット量は第 1 のビアのオフセット量と同じであってもよい。

40

【0062】

いくつかの例において、図 6 に示すように、第 2 の発光素子 3 1 2 の有効発光領域のベース基板 1 1 0 での正射影と第 2 のビア 2 4 2 2 のベース基板 1 1 0 での正射影との間には第 1 の最短距離 L_1 を有し、第 3 の発光素子 3 1 3 の有効発光領域のベース基板 1 1 0 での正射影と前記第 3 のビア 2 4 2 3 のベース基板 1 1 0 での正射影との間には第 2 の最短距離 L_2 を有し、第 1 の最短距離 L_1 と第 2 の最短距離 L_2 とはほぼ同じである。ただし、上記第 1 の最短距離と第 2 の最短距離とがほぼ同じであることは、第 1 の最短距離と

50

第2の最短距離とが完全に同じである場合を含むだけでなく、第1の最短距離と第2の最短距離との差が1ミクロン未満である場合を含む。

【0063】

それにより、該表示基板によれば、第2の発光素子の有効発光領域に位置する第2のアノードと第3の発光素子の有効発光領域に位置する第3のアノードの傾斜程度が同じであるが、傾斜方向が反対であることを可能にすることで、色かぶり現象の発生を効果的に回避できる。ただし、第2の発光素子の有効発光領域に位置する第2のアノードと第3の発光素子の有効発光領域に位置する第3のアノードが傾斜しない場合、第2の発光素子の有効発光領域の第2のアノードと第3の発光素子の有効発光領域に位置する第3のアノードの傾斜程度はゼロであると考えられ、また、上記第2の発光素子の有効発光領域のベース基板での正射影と第2のビアのベース基板での正射影との間の第1の最短距離は、第2の発光素子の有効発光領域のベース基板での正射影のエッジと第2のビアのベース基板での正射影のエッジとの間の最短距離であってもよく、同様に、第3の発光素子の有効発光領域のベース基板での正射影と前記第3のビアのベース基板での正射影との間の第2の最短距離は、第3の発光素子の有効発光領域のベース基板での正射影のエッジと前記第3のビアのベース基板での正射影のエッジとの間の最短距離であってもよい。

10

【0064】

いくつかの例において、図6に示すように、第4のビア2424のベース基板110での正射影と第2の方向に隣接する第1の発光素子311の有効発光領域のベース基板110での正射影との間の距離Cは、第2の方向に隣接する第1の発光素子311の有効発光領域の第1の方向における幅Aの1.2倍を超えている。それにより、該表示基板は、第1の発光素子の有効発光領域に位置する第1のアノードが比較的高い平坦性を有することを確保できる。

20

【0065】

いくつかの例において、図6に示すように、1つの発光素子群310の第4のビア2424と、隣接する発光素子群310の第1のアノード1751との最短距離Bは、該発光素子群310の第4のビア2424と、対応する第4の発光素子314の有効発光領域との間の距離E未満である。

【0066】

いくつかの例において、図6に示すように、1つの発光素子群310の第4のアノード1754と第2の方向において該第4のアノード1754との距離が最も近い発光素子群310の第1のアノード1751との最短距離は、隣接する発光素子群310の第1のアノード1751の頂点と発光素子群310の第4のアノード1754との間の距離である。つまり、隣接する発光素子群310の第1のアノード1751の頂点は、発光素子群310の第4のアノード1754との距離が最も近い点である。たとえば、第1のアノード1751のベース基板110での正射影の形状は六角形であり、上記頂点は六角形の長軸上の頂点である。

30

【0067】

いくつかの例において、図3、図4A、図4B、図5A、図5B、及び図6に示すように、該表示基板100は、第1のアノード1751、第2のアノード1752、第3のアノード1753及び第4のアノード1754のベース基板110から離れた一側に位置し、第1の開口部1951、第2の開口部1952、第3の開口部1953及び第4の開口部1954を有する画素画定層190をさらに備える。第1の発光素子311は第1の発光部1851を備え、第2の発光素子312は第2の発光部1852を備え、第3の発光素子313は第3の発光部1853を備え、第4の発光素子314は第4の発光部1854を備える。第1の開口部1951は、第1のアノード1751のベース基板110での正射影の内部にあり、第1の発光部1851の少なくとも一部は第1の開口部1951に位置して第1のアノード1751の露出された部分をカバーし、第2の開口部1952は、第2のアノード1752のベース基板110での正射影の内部にあり、第2の発光部1852の少なくとも一部は第2の開口部1952に位置して第2のアノード1752の露

40

50

出された部分をカバーし、第3の開口部1953は、第3のアノード1753のベース基板110での正射影の内部にあり、第3の発光部1853の少なくとも一部は第3の開口部1953に位置して第3のアノード1753の露出された部分をカバーし、第4の開口部1954は、第4のアノード1754のベース基板110での正射影の内部にあり、第4の発光部1854の少なくとも一部は第4の開口部1954に位置して第4のアノード1754の露出された部分をカバーする。第1の開口部1951により画定された領域は第1の発光素子311の有効発光領域であり、第2の開口部1952により画定された領域は第2の発光素子312の有効発光領域であり、第3の開口部1953により画定された領域は第3の発光素子313の有効発光領域であり、第4の開口部1954により画定された領域は第4の発光素子314の有効発光領域である。

10

【0068】

いくつかの例において、図6に示すように、第4のビア2424のベース基板110での正射影と第2の方向に隣接する第1の開口部1951のベース基板110での正射影との間の距離Cは、第1の開口部1951の第1の方向における幅Aの1.2倍を超えている。それにより、該表示基板は、第1の開口部に位置する第1のアノード（すなわち、第1のアノードの第1の開口部により露出された部分）が比較的高い平坦性を有することを確保できる。

【0069】

いくつかの例において、図3、図4A、図4B、図5A、図5B、及び図6に示すように、該表示基板100は、第1の平坦層241と、第1の導電層150とを備え、第1の平坦層241は第2の導電層160のベース基板110に近い側に位置し、第1の導電層150は第1の平坦層241のベース基板110に近い側に位置する。第1の導電層150は、第1のドレイン1511、第2のドレイン1512、第3のドレイン1513及び第4のドレイン1514を備え、第1の平坦層241は、第5のビア2415、第6のビア2416、第7のビア2417及び第8のビア2418を備え、第1の接続電極1611は第5のビア2415を介して第1のドレイン1511と接続されており、第2の接続電極1612は第6のビア2416を介して第2のドレイン1512と接続されており、第3の接続電極1613は第7のビア2417を介して第3のドレイン1513と接続されており、第4の接続電極1614は第8のビア2418を介して第4のドレイン1514と接続されている。

20

30

【0070】

いくつかの例において、図4A及び図4Bに示すように、該表示基板100は、第1の画素駆動回路2651と、第2の画素駆動回路2652と、第3の画素駆動回路2653と、第4の画素駆動回路2654と、をさらに備え、第1のドレイン1511は第1の画素駆動回路2651の一部であり、第2のドレイン1512は第2の画素駆動回路2652の一部であり、第3のドレイン1513は第3の画素駆動回路2653の一部であり、第4のドレイン1514は第4の画素駆動回路2654の一部である。第1の画素駆動回路2651は、第1の接続電極1611を介して第1のアノード1751と接続して、第1のアノード1751に駆動信号を印加し、第2の画素駆動回路2652は、第2の接続電極1612を介して第2のアノード1752と接続して、第2のアノード1752に駆動信号を印加し、第3の画素駆動回路2653は、第3の接続電極1613を介して第3のアノード1753と接続して、第3のアノード1753に駆動信号を印加し、第4の画素駆動回路2654は、第4の接続電極1614を介して第4のアノード1754と接続して、第4のアノード1754に駆動信号を印加する。

40

【0071】

図7は本開示の一実施例に係る表示基板の第2の導電層とアノード層との平面関係の概略図である。図6及び図7に示すように、第2のアノード1752及び第3のアノード1753は第2の方向に沿って配置してアノード対1755を形成し、第1のアノード1751、アノード対1755及び第4のアノード1754は第1の方向に沿って配置しており、第2の導電層160は、第2の方向に沿って延伸する第1の導電部1621、第2の

50

導電部 1622、第3の導電部 1623 及び第4の導電部 1624 をさらに備え、第1の導電部 1621 は、第1のアノード 1751 のアノード対 1755 から離れた一側に位置し、第2の導電部 1622 は第1のアノード 1751 とアノード対 1755 との間に位置し、第3の導電部 1623 はアノード対 1755 と第4のアノード 1754 との間に位置し、第4の導電部 1624 と第4のアノード 1754 とは重なる。該表示基板において、第2の方向に沿って延伸する第1の導電部 1621、第2の導電部 1622、第3の導電部 1623 及び第4の導電部 1624 は、第1の導電層 150 の電源線と接続して、電源線の抵抗を低減させることができる。

【0072】

いくつかの例において、図7に示すように、第1の導電部 1621 及び第2の導電部 1622 のベース基板 110 での正射影と第1のアノード 1751 のベース基板 110 での正射影とが重ならず、第2の導電部 1622 及び第3の導電部 1623 のベース基板 110 での正射影と前記アノード対 1755 のベース基板 110 での正射影とが重ならない。それにより、第1の導電部 1621 及び第2の導電部 1622 は第1のアノード 1751 の平坦性に対してほとんど影響を与えず、第2の導電部 1622 及び第3の導電部 1623 はアノード対 1755 の第2のアノード 1752 及び第3のアノード 1753 の平坦性に対してほとんど影響を与えない。もちろん、本開示の実施例はこれに制限されず、第1の導電部、第2の導電部及び第3の導電部はアノードと重なってもよい。

【0073】

たとえば、第1の導電部 1621 及び第2の導電部 1622 のベース基板 110 での正射影は、それぞれ第1のアノード 1751 のベース基板 110 での正射影と第1の重なり部及び第2の重なり部を有し、第1の重なり部と第2の重なり部の面積はほぼ同じであり、それにより第1のアノード 1751 の平坦性を向上させることができる。同様に、第2の導電部 1622 及び第3の導電部 1623 のベース基板 110 での正射影は、それぞれアノード対 1755 のベース基板 110 での正射影と第3の重なり部及び第4の重なり部を有し、第3の重なり部と第4の重なり部の面積はほぼ同じであり、それによりアノード対 1755 の第2のアノード 1752 及び第3のアノード 1753 の平坦性を向上させることができる。ただし、上記「ほぼ同じ」は、完全に同じである場合と、両者の差が両者の平均値の10%未満である場合とを含む。

【0074】

たとえば、第1の重なり部及び第2の重なり部は第1のアノード 1751 の本体部、すなわち、第1の発光素子 311 の有効発光領域の第2の方向に沿う二等分線に対して対称的であり、それにより第1の発光素子 311 の有効発光領域の平坦性をさらに高めることができ、第3の重なり部及び第4の重なり部は、アノード対 1755 の第2の方向に沿う二等分線に対して対称的であり、それによりアノード対 1755 の第2のアノード 1752 及び第3のアノード 1753 の平坦性をさらに高めることもできる。

【0075】

いくつかの例において、図7に示すように、第4の導電部 1624 のベース基板 110 での正射影は第4のアノード 1754 のベース基板 110 での正射影の中心を通過し、第4の導電部 1624 の第2の方向に沿う二等分線のベース基板 110 での正射影と、第4の発光素子 314 の有効発光領域の第2の方向に沿う二等分線のベース基板 110 での正射影とが重なる。それにより第4のアノード 1754 の平坦性を向上させることもできる。

【0076】

いくつかの例において、図7に示すように、第2の導電層 160 は、第1の方向に沿って延伸する第5の導電部 1625 及び第6の導電部 1626 をさらに備え、第5の導電部 1625 は、第2の導電部 1622 及び第3の導電部 1623 とそれぞれ接続されており、且つ第2のアノード 1752 と第3のアノード 1753 との間に位置し、第6の導電部 1626 は、第3の導電部 1623 及び第4の導電部 1624 とそれぞれ接続されており、且つ第2の方向において隣接する第1のアノード 1751 と第4のアノード 1754 との間に位置する。それにより、上記第1の導電部 1621、第2の導電部 1622、第3

10

20

30

40

50

の導電部 1 6 2 3、第 4 の導電部 1 6 2 4、第 5 の導電部 1 6 2 5 及び第 6 の導電部 1 6 2 6 は網状の構造を形成でき、それにより、第 1 の導電層の電源線の抵抗をさらに低減させ、さらに該表示基板の電氣的性能を高めることができる。

【0077】

いくつかの例において、図 7 に示すように、第 2 の導電部 1 6 2 2 は、第 2 の方向に沿って延伸する本体部 1 6 2 2 A、スペーサブロック 1 6 2 2 B 及び接続ブロック 1 6 2 2 C を備え、スペーサブロック 1 6 2 2 B は、本体部 1 6 2 2 A の第 1 のアノード 1 7 5 1 に近い一側に位置し、且つ本体部 1 6 2 2 A と間隔をおいて設置されており、接続ブロック 1 6 2 2 C を介して本体部 1 6 2 2 A と接続されている。一般的には、第 1 のアノードの第 1 の方向におけるサイズ（すなわち、幅）が小さいため、第 1 の導電部と第 2 の導電部の本体部との間の距離が大きく、上記スペーサブロックを設置すると、第 1 のアノードの両側の第 1 の導電部と第 2 の導電部の対称性を向上させることができ、それにより、第 1 のアノードの平坦性を向上させることができる。

10

【0078】

いくつかの例において、第 1 の発光素子は第 1 の色の光を発するように構成されており、第 2 の発光素子及び第 3 の発光素子は、第 2 の色の光を発するように構成されており、第 4 の発光素子は、第 3 の色の光を発するように構成されている。

【0079】

たとえば、第 1 の色は赤色（R）、第 2 の色は緑色（G）、第 3 の色は青色（B）である。つまり、該表示基板は G G R B の画素配置構造を用いている。

20

【0080】

本開示の一実施例は表示装置をさらに提供している。図 8 は本開示の一実施例に係る表示装置の概略図である。図 8 に示すように、該表示装置 4 0 0 は、上記いずれかに記載の表示基板 1 0 0 を備える。それにより、該表示装置は、該表示基板の有益な効果に対応する有益な効果を有する。たとえば、該表示装置は、第 1 の発光素子の有効発光領域に位置する第 1 のアノードの平坦性を確保して、それにより色かぶり現象の発生を回避でき、第 4 の発光素子の有効発光領域に位置する第 4 のアノードと第 4 の接続電極との間の抵抗を低減させることができ、且つ第 1 のアノードと第 4 のアノードとの間の距離を増加させ、それにより製造過程での残留物による第 1 のアノードと第 4 のアノードとの短絡を回避できる。

30

【0081】

たとえば、該表示装置は表示パネルであってもよく、テレビ、コンピュータ、ノートパソコン、タブレットコンピュータ、携帯電話、ナビゲータ、及びデジタルフォトフレームなど表示機能を有する電子製品であってもよい。

【0082】

一方、本願の発明者は、アノード下の第 2 のソース／ドレイン金属層の厚さが大きく、不均一に分布しているため、第 2 のソース／ドレイン金属層もアノードが平坦ではない現象を引き起こすことを見出した。

【0083】

図 9 は他の表示基板の部分断面概略図であり、図 1 0 は他の表示基板の部分断面概略図である。図 9 に示すように、第 2 のソース／ドレイン金属層 1 6 0 は、複数の配線 1 6 8 を備え、アノード 1 7 5 の下方の一側に配線 1 6 8 があるが、他側に配線 1 6 8 がない場合、該アノード 1 7 5 の両側に高さ差があり、それによりアノード 1 7 5 の「傾斜」現象を引き起こし、さらに色かぶり現象を引き起こす。図 1 0 に示すように、アノード 1 7 5 の両側にはいずれも配線 1 6 8 があるかアノード 1 7 5 の下方に配線 1 6 8 がない場合、アノード 1 7 5 はより高い平坦度を確保でき、それによりアノード 1 7 5 の異なる方向における発光強度が一致することを確保でき、さらに色かぶり現象を効果的に改善できる。

40

【0084】

これに対して、本開示の実施例は表示基板及び表示装置を提供している。該表示基板は、ベース基板と、第 1 の導電層と、第 1 の平坦層と、第 2 の導電層と、第 2 の平坦層と、

50

複数の発光素子群と、を備え、第1の導電層は、ベース基板上に位置し、第1の平坦層は第1の導電層のベース基板から離れた一側に位置し、第2の導電層は第1の平坦層の第1の導電層から離れた一側に位置し、第2の平坦層は第2の導電層の第1の平坦層から離れた一側に位置し、複数の発光素子群は第2の平坦層の第2の導電層から離れた一側に位置する。複数の発光素子群は、第1の方向に沿って配置することで複数の発光素子列を形成し、第2の方向に沿って配置することで複数の発光素子行を形成し、発光素子群のそれぞれは、1つの第1の発光素子と、1つの第2の発光素子と、1つの第3の発光素子と、1つの第4の発光素子と、を備え、第1の発光素子は第1のアノードを備え、第2の導電層は第2の方向に沿って延伸する第1の導電部及び第2の導電部を備え、第1の導電部は第1のアノードの一側に位置し、第2の導電部は第1のアノードの第1の導電部から離れた一側に位置し、第1の導電部は延伸部及びオフセット部を備え、第1の発光素子の有効発光領域の第2の方向に沿って延伸する直線上での正射影がオフセット部の該直線上での正射影により被覆され、オフセット部のベース基板での正射影と第1のアノードのベース基板での正射影とが間隔をおいて設置されており、延伸部は第2の導電部に近く且つ第2の方向に沿って延伸するエッジの位置する直線が第1の直線であり、オフセット部は第1の直線と間隔をおいて設置されており且つ第1の直線の第2の導電部から離れた一側に位置する。それにより、第1の導電部は第1のアノードの一側に位置し、第2の導電部は第1のアノードの第1の導電部から離れた一側に位置し、且つオフセット部のベース基板での正射影と第1のアノードのベース基板での正射影とが間隔をおいて設置されているため、第2の導電層の第1の導電部及び第2の導電部は第1のアノードの平坦度に対してほとんど影響を与えず、それにより、第1のアノードはより高い平坦度を確保でき、それにより、第1のアノードの異なる方向における発光強度が一致することを確保でき、さらに色かぶり現象を効果的に改善できる。

【0085】

以下、図面を参照しながら本開示の実施例により提供されている表示基板及び表示装置を詳細に説明する。

【0086】

本開示の一実施例は表示基板を提供している。図11は本開示の一実施例に係る他の表示基板の概略平面図であり、図12Aは本開示の一実施例に係る図11のHH方向における表示基板の断面概略図であり、図12Bは本開示の一実施例に係る図11のJJ方向における表示基板の断面概略図であり、図13は本開示の一実施例に係る他の表示基板の概略平面図であり、図14は本開示の一実施例に係る他の表示基板の概略平面図である。第2の導電層の各導電部とアノードとの位置関係を明確に示すために、図14には第2の導電層及びアノード層のみが示されている。

【0087】

図11-14に示すように、該表示基板100は、ベース基板110と、第1の導電層150と、第1の平坦層241と、第2の導電層160と、第2の平坦層242と、複数の発光素子群310と、を備え、第2の導電層160はベース基板110上に位置し、第2の平坦層242は第2の導電層160のベース基板110から離れた一側に位置し、複数の発光素子群310は、第2の平坦層242のベース基板110から離れた一側に位置する。複数の発光素子群310は第1の方向に沿って配置することで複数の発光素子列320を形成し、第2の方向に沿って配置することで複数の発光素子行330を形成し、発光素子群310のそれぞれは、1つの第1の発光素子311と、1つの第2の発光素子312と、1つの第3の発光素子313と、1つの第4の発光素子314と、を備え、第1の発光素子311は第1のアノード1751を備え、第2の発光素子312は第2のアノード1752を備え、第3の発光素子313は第3のアノード1753を備え、第4の発光素子314は第4のアノード1754を備え、第2のアノード1752及び第3のアノード1753は第2の方向に沿って配置してアノード対1755を形成し、第1のアノード1751、アノード対1755及び第4のアノード1754は第1の方向に沿って配置している。第2の導電層160は、第2の方向に沿って延伸する第1の導電部1621及

び第2の導電部1622を備え、第1の導電部1621は、第1のアノード1751のアノード対1755から離れた一側に位置し、第2の導電部1622は第1のアノード1751とアノード対1755との間、すなわち第1のアノード1751の第1の導電部1621から離れた一側に位置する。第1の導電部1621は、延伸部1621A及びオフセット部1621Bを備え、第1の発光素子311の有効発光領域の第2の方向に沿って延伸する直線上での正射影がオフセット部1621Bの直線上での正射影により被覆され、すなわち、第1の発光素子311の有効発光領域の第1の導電部1621での正射影がオフセット部1621Bの位置にあり、つまり、オフセット部1621Bは第1の発光素子311の有効発光領域に対応する。オフセット部1621Bのベース基板110での正射影と第1のアノード1751のベース基板110での正射影とが間隔をおいて設置されており、延伸部1621Aは第2の導電部1622に近く且つ第2の方向に沿って延伸するエッジの位置する直線が第1の直線302であり、オフセット部1621Bは第1の直線302と間隔をおいて設置されており且つ第1の直線302の第2の導電部1622から離れた一側に位置する。ただし、上記第1の導電層及び第2の導電層はベース基板から離れる方向に沿って順に積層して設けられている。

10

【0088】

本開示の実施例により提供されている表示基板において、第1の導電部は第1のアノードの一側に位置し、第2の導電部は第1のアノードの第1の導電部から離れた一側に位置し、且つオフセット部のベース基板での正射影と第1のアノードのベース基板での正射影とが間隔をおいて設置されているため、第2の導電層の第1の導電部及び第2の導電部は第1のアノードの平坦度に対してほとんど影響を与えず、それにより第1のアノードはより高い平坦度を確保でき、それにより、第1のアノードの異なる方向における発光強度が一致することを確保でき、さらに色かぶり現象を効果的に改善できる。また、オフセット部は第1の直線と間隔をおいて設置されており且つ第1の直線の第2の導電部から離れた一側に位置するため、オフセット部は第1のアノードから離れる方向へオフセットし、第1のアノードの設置のために空間を提供し、それによりアノードの密接配置を実現すると同時に第1のアノードのより高い平坦度を確保できる。

20

【0089】

ただし、上記複数の発光素子の配置態様は図6に示される配置態様を参照してもよく、すなわち、隣接する2つの発光素子行は1/2ピッチずれて設置されており、上記ピッチは第1の方向に隣接する2つの発光素子群の2つの第1の発光素子の有効発光領域の中心間の距離に等しい。

30

【0090】

いくつかの例において、第1の発光素子311は第1の色の光を発するように構成されており、第2の発光素子312及び第3の発光素子313は第2の色の光を発するように構成されており、第4の発光素子314は第3の色の光を発するように構成されている。

【0091】

いくつかの例において、第1の色は赤色、第2の色は緑色、第3の色は青色である。

【0092】

いくつかの例において、図11-14に示すように、第1の直線302のベース基板110での正射影は第1のアノード1751のベース基板110での正投影を通過する。それにより、該表示基板はアノードの密接配置を実現すると同時に第1のアノードのより高い平坦度を確保できる。

40

【0093】

いくつかの例において、図11-14に示すように、延伸部1621Aの第2の方向に延伸する二等分線の位置する直線は第2の直線303であり、オフセット部1621Bは第2の直線303と間隔をおいて設置されており且つ第2の直線303の第2の導電部1622から離れた一側に位置する。それにより、オフセット部が第2の直線と間隔をおいて設置されており且つ第2の直線のアノード対から離れた一側に位置するため、オフセット部は第1のアノードから離れる方向へオフセットし、第1のアノードの設置のために空

50

間を提供しており、それによりアノードの密接配置を実現すると同時に第1のアノードのより高い平坦度を確保できる。

【0094】

いくつかの例において、図11-14に示すように、第2の直線303のベース基板110での正射影は第1のアノード1751のベース基板110での正投影を通過する。それにより、該表示基板はアノードの密接配置を実現すると同時に第1のアノードのより高い平坦度を確保できる。

【0095】

いくつかの例において、図11-14に示すように、第1のアノード1751は第2の方向に沿って延伸し、第2の導電部1622は第2の方向に沿って延伸する本体部1622A及びスペーサブロック1622Bを備え、本体部1622Aのベース基板110での正射影と第1のアノード1751のベース基板110での正射影とが間隔をおいて設置されており、スペーサブロック1622Bは、本体部1622Aの第1のアノード1751に近い側に位置し、スペーサブロック1622Bのベース基板110での正射影と第1の発光素子311の有効発光領域の中心のベース基板110での正射影との間の距離と、第1の導電部1621のベース基板110での正射影と第1の発光素子311の有効発光領域の中心のベース基板110での正射影との間の距離とはほぼ同じである。

【0096】

該表示基板において、一般的には、第1のアノードの第1の方向におけるサイズ（すなわち、幅）が小さいため、第1の導電部と第2の導電部の本体部との間の距離が大きく、スペーサブロックのベース基板での正射影と第1の発光素子の有効発光領域の中心のベース基板での正射影との間の距離と、第1の導電部のベース基板での正射影と第1の発光素子の有効発光領域の中心のベース基板での正射影との間の距離とはほぼ同じであり、従って上記スペーサブロックを設置すると、第1のアノードの両側の第1の導電部と第2の導電部との対称性を向上させることができ、さらに第1のアノードの平坦性を向上させることができる。

【0097】

いくつかの例において、図11-14に示すように、第1の導電部1621のベース基板110での正射影と第1の発光素子311の有効発光領域の中心のベース基板110での正射影との間の距離は、本体部1622Aのベース基板110での正射影と第1の発光素子311の有効発光領域の中心のベース基板110での正射影との間の距離未満である。

【0098】

たとえば、第1の導電部1621のベース基板110での正射影と第1の発光素子311の有効発光領域の中心のベース基板110での正射影との間の距離と、本体部1622Aのベース基板110での正射影と第1の発光素子311の有効発光領域の中心のベース基板110での正射影との間の距離の比は、 $1/3$ 以下である。

【0099】

いくつかの例において、図11-14に示すように、スペーサブロック1622Bのベース基板110での正射影と本体部1622Aのベース基板110での正射影とが間隔をおいて設置されており、第2の導電部1622は接続部1622Cをさらに備え、スペーサブロック1622Bは接続部1622Cを介して本体部1622Aと接続されている。それにより、スペーサブロック1622Bは接続部1622Cを介して本体部1622Aと接続されており、本体部1622Aと一体に形成するものではないため、第2の導電部1622と、半導体層、ゲート層等のような下方のフィルム層との間の過度の重なりを回避でき、それにより第2の導電部1622下のフィルム層の負荷を増加させることを回避する。それにより、該表示基板はスペーサブロックを増加させるとともに、各サブ画素の通常動作を確保できる。

【0100】

たとえば、図12Bに示すように、第1の導電層150は、第2の方向に沿って延伸する電源線151及びデータ線152、第1の接続ブロック1541及び第2の接続ブロッ

10

20

30

40

50

ク 1 5 4 2 を備える。第 1 の接続ブロック 1 5 4 1 は初期化信号線と画素駆動回路の対応するソース領域を接続し、第 2 の接続ブロック 1 5 4 2 は補償薄膜トランジスタのドレイン領域と第 1 の電極ブロック C E 1 を接続し、第 1 の電極ブロック C E 1 は第 2 の電極ブロック C E 2 とストレージコンデンサを形成できるとともに、薄膜トランジスタを駆動するためのゲートとして使用されている。従って、スペーサーブロック 1 6 2 2 B は接続部 1 6 2 2 C を介して本体部 1 6 2 2 A と接続されており、本体部 1 6 2 2 A と一体に形成するものではないため、第 2 の導電部 1 6 2 2 と第 2 の接続ブロック 1 5 4 2 との過度の重なりを回避でき、それにより第 2 の接続ブロック 1 5 4 2 の負荷、すなわち、補償薄膜トランジスタのドレインと駆動薄膜トランジスタのゲートの負荷を低減させることができ、さらに該表示基板の性能を向上させることができる。ただし、該表示基板が用いたのは 7 T 1 C の画素駆動回路であり、もちろん、本開示の実施例はこれに制限されず、該表示基板はその他の適切な画素駆動回路構造を用いてもよい。

10

【0101】

たとえば、図 1 2 B に示すように、オフセット部 1 6 2 1 B のベース基板 1 1 0 での正射影と第 1 のアノード 1 7 5 1 のベース基板での正射影とが間隔をおいて設置されており、スペーサーブロック 1 6 2 2 B のベース基板 1 1 0 での正射影と第 1 のアノード 1 7 5 1 のベース基板 1 1 0 での正射影とが間隔をおいて設置されている。たとえば、図 1 2 B に示すように、該表示基板は、第 1 の導電層 1 5 0 と第 1 の平坦層 2 4 1 との間に位置する保護層 3 6 4 をさらに備えてもよい。もちろん、本開示の実施例はこれに制限されず、該表示基板には保護層が設置されなくてもよい。

20

【0102】

いくつかの例において、図 1 1 - 1 4 に示すように、スペーサーブロック 1 6 2 2 B のベース基板 1 1 0 での正射影と本体部 1 6 2 2 A のベース基板 1 1 0 での正射影との間の距離は、スペーサーブロック 1 6 2 2 B のベース基板 1 1 0 での正射影の前記第 1 の方向に沿う幅を超えている。それにより、該表示基板は、第 2 の導電部 1 6 2 2 と、半導体層、ゲート層等のような下方のフィルム層との過度の重なりをさらに回避でき、それにより半導体層、ゲート層等のフィルム層の負荷を増加させることを回避できる。それにより、該表示基板はスペーサーブロックを増加させるとともに、各サブ画素の通常動作を確保できる。

【0103】

いくつかの例において、図 1 1 - 1 4 に示すように、第 2 の導電部 1 6 2 2 は 2 つの接続部 1 6 2 2 C を備え、2 つの接続部 1 6 2 2 C はそれぞれスペーサーブロック 1 6 2 2 B の第 2 の方向における両端に位置し、スペーサーブロック 1 6 2 2 B、2 つの接続部 1 6 2 2 C 及び本体部 1 6 2 2 A は 1 つの長方形開口部を囲む。それにより、該表示基板は、第 2 の導電部 1 6 2 2 と、半導体層、ゲート層等のような下方のフィルム層との過度の重なりをさらに回避でき、それにより半導体層、ゲート層等の負荷を増加させることを回避できる。それにより、該表示基板はスペーサーブロックを増加させるとともに、各サブ画素の通常動作を確保できる。

30

【0104】

いくつかの例において、スペーサーブロックの第 1 の方向における幅と本体部の第 1 の方向における幅との比は $1/2$ 以下であり、スペーサーブロックの第 1 の方向における幅と、本体部からスペーサーブロックまでの距離との比は $1/2$ 以下である。

40

【0105】

いくつかの例において、スペーサーブロックの第 2 の方向における長さ第 1 の発光素子の有効発光領域の第 2 の方向における長さとの比は $7/8$ 以上である。

【0106】

いくつかの例において、第 1 の発光素子の有効発光領域とスペーサーブロックとの中心接続線と、第 1 の方向との間の夾角は 30 度未満である。たとえば、第 1 の発光素子の有効発光領域とスペーサーブロックとの中心接続線と、第 1 の方向との間の夾角はゼロであり、すなわち、第 1 の発光素子の有効発光領域とスペーサーブロックとの中心接続線は第

50

1 の方向に平行である。

【0107】

いくつかの例において、スペーサーブロックのベース基板での正射影と第1のアノードのベース基板での正射影とが間隔をおいて設置されており、第1の導電部のベース基板での正射影と第1のアノードのベース基板での正射影とが間隔をおいて設置されている。

【0108】

いくつかの例において、スペーサーブロックのベース基板での正射影と第1のアノードのベース基板での正射影との重なり面積と、第1の導電部のベース基板での正射影と第1のアノードのベース基板での正射影との重なり面積とはほぼ同じである。いくつかの例において、図11-14に示すように、第2の導電層160は、第2の方向に沿って延伸する第3の導電部1623及び第4の導電部1624をさらに備え、第3の導電部1623はアノード対1755と第4のアノード1754との間に位置し、第4の導電部1624と第4のアノード1754とは重なる。

10

【0109】

いくつかの例において、図11-14に示すように、第2の導電部1622の本体部1622Aのベース基板110での正射影と第2の発光素子312の有効発光領域の第2の方向に沿う二等分線のベース基板110での正射影との間の距離と、第3の導電部162のベース基板110での正射影と第2の発光素子312の有効発光領域の第2の方向に沿う二等分線のベース基板110での正射影との間の距離とはほぼ同じである。それにより、該表示基板はアノード対の両側の第2の導電部と第3の導電部との対称性を向上させることができ、それにより第2のアノードと第3のアノードの平坦性をさらに向上させることができる。

20

【0110】

いくつかの例において、図11-14に示すように、第4のアノード1754は第2の方向に沿って延伸し、第4の導電部1624のベース基板110での正射影は第4の発光素子314の有効発光領域のベース基板110での正射影の中心を通過する。それにより、第4の導電部162と第4のアノード1754とが重なっても、第4の導電部1624のベース基板110での正射影が第4の発光素子314の有効発光領域のベース基板110での正射影の中心を通過するため、第4の導電部は第4のアノードのより高い平坦度を確保でき、それにより第4のアノードの異なる方向における発光強度が一致することを確保でき、さらに色かぶり現象を効果的に改善できる。

30

【0111】

いくつかの例において、図11-14に示すように、第2の導電層160は、第1の方向に沿って延伸する第5の導電部1625及び第6の導電部1626をさらに備え、第5の導電部1625は本体部1622A及び第3の導電部1623とそれぞれ接続されており、アノード対1755の第2のアノード1752と第3のアノード1753との間に位置し、第6の導電部1626は第3の導電部1623及び第4の導電部1624とそれぞれ接続されており、第2の方向において隣接する第1のアノード1751と第4のアノード1754との間に位置する。それにより、上記第1の導電部1621、第2の導電部1622、第3の導電部1623、第4の導電部1624、第5の導電部1625及び第6の導電部1626は網状の構造を形成でき、それにより第1の導電層の電源線の抵抗をさらに低減させることができ、さらに該表示基板の電氣的性能を向上させることができる。

40

【0112】

いくつかの例において、図11-14に示すように、第2の導電層160は、第1の接続電極1611、第2の接続電極1612、第3の接続電極1613及び第4の接続電極1614を備え、第2の平坦層242は、第1のビア2421、第2のビア2422、第3のビア2423及び第4のビア2424を備え、第1のアノード1751は、第1のビア2421を介して第1の接続電極1611と接続されており、第2のアノード1752は、第2のビア2422を介して第2の接続電極1612と接続されており、第3のアノード1753は、第3のビア2423を介して第3の接続電極1613と接続されており

50

、第4のアノード1754は、第4のビア2424を介して第4の接続電極1614と接続されている。

【0113】

いくつかの例において、図11-14に示すように、第1の平坦層241は第2の導電層160のベース基板110に近い側に位置し、第1の導電層150は第1の平坦層241のベース基板110に近い側に位置する。第1の導電層150は、第1のドレイン1511、第2のドレイン1512、第3のドレイン1513及び第4のドレイン1514を備え、第1の平坦層241は第5のビア2415、第6のビア2416、第7のビア2417及び第8のビア2418を備え、第1の接続電極1611は第5のビア2415を介して第1のドレイン1511と接続されており、第2の接続電極1612は第6のビア2416を介して第2のドレイン1512と接続されており、第3の接続電極1613は第7のビア2417を介して第3のドレイン1513と接続されており、第4の接続電極1614は第8のビア2418を介して第4のドレイン1514と接続されている。

10

【0114】

いくつかの例において、図11-14に示すように、該表示基板100は、第1の画素駆動回路2651と、第2の画素駆動回路2652と、第3の画素駆動回路2653と、第4の画素駆動回路2654と、をさらに備え、第1のドレイン1511は第1の画素駆動回路2651の一部であり、第2のドレイン1512は第2の画素駆動回路2652の一部であり、第3のドレイン1513は第3の画素駆動回路2653の一部であり、第4のドレイン1514は第4の画素駆動回路2654の一部である。第1の画素駆動回路2651は、第1の接続電極1611を介して第1のアノード1751と接続して、第1のアノード1751に駆動信号を印加し、第2の画素駆動回路2652は、第2の接続電極1612を介して第2のアノード1752と接続して、第2のアノード1752に駆動信号を印加し、第3の画素駆動回路2653は、第3の接続電極1613を介して第3のアノード1753と接続して、第3のアノード1753に駆動信号を印加し、第4の画素駆動回路2654は、第4の接続電極1614を介して第4のアノード1754と接続して、第4のアノード1754に駆動信号を印加する。

20

【0115】

たとえば、第2の導電層の厚さ範囲は0.6-0.8ミクロンであってもよく、たとえば0.7ミクロンであり、第2の平坦層の厚さ範囲は1.3-1.7ミクロンであってもよく、たとえば1.5ミクロンである。

30

【0116】

図15は本開示の一実施例に係る他の表示基板の概略平面図である。第2の導電層の各導電部とアノードとの位置関係を明確に示すために、図15には第2の導電層及びアノード層のみが示されている。図15に示すように、第2の導電層160の第2の導電部1622にはスペーサブロックが設置されておらず、第2の導電層160の第1の導電部1621は延伸部1621A及びオフセット部1621Bを備え、第1の発光素子311の有効発光領域の第1の導電部1621での正射影がオフセット部1621Bの位置にあり、つまり、オフセット部1621Bは第1の発光素子311の有効発光領域に対応する。オフセット部1621Bのベース基板110での正射影と第1のアノード1751のベース基板110での正射影とが間隔をおいて設置されており、延伸部1621Aは第1のアノード1751に近く且つ第2の方向に沿って延伸するエッジの位置する直線は第1の直線302であり、オフセット部1621Bは第1の直線302と間隔をおいて設置されており且つ第1の直線302のアノード対1755から離れた一侧に位置する。

40

【0117】

本開示の実施例により提供されている表示基板において、第1の導電部は第1のアノードのアノード対から離れた一侧に位置し、第2の導電部は第1のアノードとアノード対との間に位置し、且つオフセット部のベース基板での正射影と第1のアノードのベース基板での正射影とが間隔をおいて設置されているため、第2の導電層の第1の導電部及び第2の導電部は第1のアノードの平坦度に対してほとんど影響を与えず、それにより第1のア

50

ノードのより高い平坦度を確保でき、それにより、第1のアノードの異なる方向における発光強度が一致することを確保でき、さらに色かぶり現象を効果的に改善できる。また、オフセット部と第1の直線とが間隔をおいて設置されており且つ第1の直線のアノード対から離れた一側に位置するため、オフセット部は第1のアノードから離れる方向へオフセットし、第1のアノードの設置のために空間を提供しており、それによりアノードの密接配置を実現すると同時に第1のアノードのより高い平坦度を確保できる。

【0118】

たとえば、図15に示すように、第1のアノード1751は本体部1751A、接続部1751B及び補足部1751Cを備えてもよく、第1の発光素子の有効発光領域は本体部1751Aにあり、接続部1751Bは第1のアノード1751を対応する画素駆動回路と接続し、補足部1751Cは対応する画素駆動回路の駆動薄膜トランジスタT1のゲートG1と補償薄膜トランジスタT3のドレインD3での電位をカバーし、それにより駆動薄膜トランジスタT1のゲートG1と補償薄膜トランジスタT3のドレインD3での電位を安定化して、さらに該表示基板の長期発光安定性を高め、耐用年数を延ばす。

【0119】

たとえば、図15に示すように、第1のアノード1751とオフセット部1621Bとの間の距離の範囲は2.5-3.2ミクロンであってもよく、たとえば2.9ミクロンであり、第1のアノード1751の本体部1751Aと第2の導電部1622との間の距離の範囲は9-11ミクロンであってもよく、たとえば、10.5ミクロンであり、第1のアノード1751の接続部1751Bと第2の導電部1622との間の距離の範囲は5-7ミクロンであってもよく、第1のアノード1751の補足部1751Cと第2の導電部1622とが部分的に重なってもよく、且つ重なり部分の第1の方向における幅は1ミクロン未満であり、たとえば、0.79ミクロンである。補足部の第2の導電部に近いエッジと本体部との間の距離が大きいため、補足部1751Cは第2の導電部1622と部分的に重なり第1のアノードの平坦性にほとんど影響を与えない。

【0120】

本開示の一実施例は表示装置をさらに提供している。図16は本開示の一実施例に係る表示装置の概略図である。図16に示すように、該表示装置400は、上記いずれかに記載の表示基板100を備える。それにより、該表示装置は、該表示基板の有益な効果に対応する有益な効果を有する。たとえば、該表示装置は、第1の発光素子の有効発光領域に位置する第1のアノードの平坦性を確保し、それにより色かぶり現象の発生を回避でき、第4の発光素子の有効発光領域に位置する第4のアノードと第4の接続電極との間の抵抗を低減させることができ、且つ第1のアノードと第4のアノードとの間の距離を増加させ、製造過程での残留物による第1のアノードと第4のアノードとの短絡を回避できる。

【0121】

たとえば、該表示装置は、テレビ、コンピュータ、ノートパソコン、タブレットコンピュータ、携帯電話、ナビゲータ、デジタルフォトフレームなど表示機能を有する電子製品であってもよい。

【0122】

一方、有機発光ダイオード表示装置の製造過程において、通常、蒸着プロセスで発光層を製造する。且つ、ファインメタルマスク(FMM)が蒸着プロセス中に有機発光ダイオード表示基板にタッチし且つそれを損傷させることを防止するために、通常、有機発光ダイオード表示基板上にスペーサーを形成し、且つファインメタルマスクをスペーサー上に置く必要がある。この場合、スペーサーはファインメタルマスクを支持し、それにより有機発光ダイオード表示基板を保護できる。

【0123】

しかしながら、研究を行ったところ、本願の発明者は、一般的に、スペーサーがサブ画素の有効発光領域の直辺の中間位置にあり、ファインメタルマスクで蒸着プロセスを行う時、ファインメタルマスクの開口縁がスペーサーの中間位置にあり、スペーサーの中間位置は製造プロセス等の理由で、通常、スペーサーの最も厚い位置(すなわち、スペーサー

10

20

30

40

50

の最上部)であり、ファインメタルマスクの開口縁がスペーサーの最上部にちょうど接触し、それによりスペーサーを傷つけたり、粒子(Particle)等の異物が発生しやすいことを見出した。図17はファインメタルマスクで蒸着するプロセスの概略図である。図17に示すように、ファインメタルマスク250の開口縁252はスペーサー220の最上部に位置し、スペーサー220の最上部を傷つけたり、粒子等の異物が発生しやすく、蒸着プロセスの後、表示基板上にパッケージ層等のフィルム層を形成するが、発生した粒子等の異物によりパッケージ層のクラック(Crack)等の欠陥が発生しやすくなり、それにより製品の安定性及び信頼性の低下を引き起こす。

【0124】

これに対して、本開示の実施例は、表示基板及びその製造方法、表示装置をさらに提供している。該表示基板は、ベース基板と、発光層と、スペーサーと、を備え、発光層は、ベース基板上に位置し且つ複数の発光部を備え、スペーサーは発光層のベース基板から離れた一側に位置し、スペーサーのベース基板から離れた最上部のベース基板での正射影と発光部のベース基板での正射影のエッジとが間隔をおいて設置されている。それにより、ファインメタルマスクで蒸着プロセスを行って上記発光部を形成する時、ファインメタルマスクの開口縁のベース基板での正射影とスペーサーの最上部のベース基板での正射影とが間隔をおいて設置されており、それによりファインメタルマスクの開口縁がスペーサーの最上部に接触することを回避し、粒子等の異物の発生を回避でき、さらに該表示基板の歩留まり率を向上させることができる。

【0125】

以下、図面を参照しながら本開示の実施例により提供されている表示基板及びその製造方法、表示装置を詳細に説明する。

【0126】

本開示の一実施例は表示基板を提供している。図18は本開示の一実施例に係る表示基板の概略平面図であり、図19は本開示の一実施例に係る図18のCC方向における表示基板の断面概略図である。

【0127】

図18及び図19に示すように、該表示基板100は、ベース基板110、発光層180及びスペーサー220を備え、発光層180はベース基板110上に位置し且つ複数の発光部185を備え、スペーサー220はベース基板110の発光層180の位置する一側に位置する。スペーサー220のベース基板110から離れた最上部225のベース基板110での正射影と発光部185のベース基板110での正射影のエッジとが間隔をおいて設置されている。ただし、上記スペーサーの最上部とは、スペーサーのベース基板から離れた部分、すなわち、厚さが大きい部分であり、また、上記した「間隔をおいて設置されている」とは、スペーサーのベース基板から離れた最上部のベース基板での正射影と発光部のベース基板での正射影との間に所定の間隔を有し、互いに重ならず又は接触していないことを指す。

【0128】

本開示の実施例により提供されている表示基板の製造過程において、ファインメタルマスク250で蒸着プロセスを行って上記発光部185を形成する時、図19に示すように、ファインメタルマスク250の開口縁252のベース基板110での正射影とスペーサー220の最上部225のベース基板110での正射影とが間隔をおいて設置されており、それによりファインメタルマスク250の開口縁252がスペーサー220の最上部225に接触することを回避し、且つ粒子等の異物の発生を回避できる。たとえば、図11に示すように、ファインメタルマスク250の開口縁252はスペーサー220のエッジ部分に位置し、スペーサー220のエッジ部分の厚さがスペーサー220の最上部225の厚さ未満であるため、ファインメタルマスク250の開口縁252は宙吊り状態にあり、スペーサー220に接触しておらず、それにより、傷つけによる粒子等の異物の発生を回避できる。それにより、該表示基板は、表示基板の安定性、信頼性及び製品の歩留まり率を向上させることができる。

【0129】

いくつかの例において、図19に示すように、スペーサー220の中間部分のベース基板110に垂直な方向におけるサイズは、スペーサー220のエッジ部分のベース基板110に垂直な方向におけるサイズよりも大きい。つまり、スペーサー220の中間部分の厚さは、スペーサー220のエッジ部分の厚さよりも大きい。それにより、ファインメタルマスクの開口縁のベース基板での正射影とスペーサーの中間部分（すなわち、スペーサーの最上部）のベース基板での正射影とが間隔をおいて設置されている時、ファインメタルマスクの開口縁は宙吊り状態にあり、スペーサーに接触していないため、傷つけによる粒子等の異物の発生を回避できる。

【0130】

たとえば、図19に示すように、スペーサー220のベース基板110に垂直な平面での横断面形状は半円形を含んでもよい。もちろん、本開示の実施例はこれに制限されていない。たとえば、スペーサー220の横断面形状が半円形である場合、該半円形の傾斜度の範囲は8-10度である。

【0131】

いくつかの例において、図18に示すように、スペーサー220のベース基板110での正射影の形状は長方形であり、スペーサー220の長さ方向における中軸線のベース基板110での正射影と発光部185のベース基板110での正射影のエッジとが間隔をおいて設置されている。それにより、該表示基板はファインメタルマスクの開口縁がスペーサーの最上部に接触することを回避でき、且つ粒子等の異物の発生を回避でき、それにより、表示基板の安定性、信頼性及び製品の歩留まり率を向上させることができる。もちろん、本開示の実施例のスペーサーのベース基板での正射影の形状は上記長方形を含むが、これに制限されず、その他の形状であってもよい。

【0132】

いくつかの例において、図18に示すように、スペーサー220の長さ方向における中軸線のベース基板110での正射影と発光部185のベース基板110での正射影のエッジとの間の距離は6ミクロンよりも大きい。それにより、該表示基板はファインメタルマスクの開口縁がスペーサーの最上部に接触することを効果的に回避でき、且つ粒子等の異物の発生を回避でき、それにより、表示基板の安定性、信頼性及び製品の歩留まり率を向上させることができる。

【0133】

図20は本開示の一実施例に係る他の表示基板の概略平面図であり、図21は本開示の一実施例に係る図20のDD方向における表示基板の断面概略図である。スペーサーと発光部との間の関係を明確に示すために、図20にはベース基板、アノード層、発光層及びスペーサーのみが示されている。図20に示すように、スペーサー220のベース基板110から離れた最上部225のベース基板110での正射影と発光部185のベース基板110での正射影のエッジとが間隔をおいて設置されている。図21に示すように、ファインメタルマスクで蒸着プロセスを行って上記発光部を形成する時、ファインメタルマスク250の開口縁252は宙吊り状態にあり、スペーサー220に接触していない。従って、該表示基板は、ファインメタルマスクの開口縁がスペーサーの最上部に接触することを回避でき、且つ粒子等の異物の発生を回避でき、それにより、表示基板の安定性、信頼性及び製品の歩留まり率をさらに向上させることができる。

【0134】

いくつかの例において、図20に示すように、複数の発光部185は、第1の方向に沿って配置することで複数の発光グループ列280を形成し、第2の方向に沿って配置することで複数の発光グループ行290を形成する複数の発光グループ1850を備え、各発光グループ1850は、1つの第1の発光部1851、1つの第2の発光部1852、1つの第3の発光部1853及び1つの第4の発光部1854を備え、隣接する2つの発光グループ行290は1/2ピッチずれて設置されており、上記ピッチは第1の方向に隣接する2つの発光グループ1850の2つの第1の発光部1851の中心間の距離に等しく

10

20

30

40

50

、第2の発光部1852及び第3の発光部1853は第2の方向に沿って配置して発光対1855を形成し、第1の発光部1851、発光対1855及び第4の発光部1854は第1の方向に沿って配置されている。図20に示すように、スペーサー220の最上部225のベース基板110での正射影は、1つの発光グループ1850の第1の発光部1851のベース基板110での正射影と第3の発光部1853のベース基板110での正射影、及び、第2の方向に隣接するもう1つの発光グループ1850の第2の発光部1852及び第4の発光部1854のベース基板110での正射影の間に位置する。それにより、該表示基板は、スペーサー220の最上部225のベース基板110での正射影と、第1の発光部1851、第2の発光部1852、第3の発光部1853及び第4の発光部1854のベース基板110での正射影とがいずれも間隔をおいて設置されていることを確保でき、且つ表示基板上の空間を十分に利用できる。

10

【0135】

たとえば、第1の方向と第2の方向とがほぼ垂直である。ただし、上記第1の方向と第2の方向とがほぼ垂直であることは、第1の方向と第2の方向との間の夾角が90度である場合を含むだけでなく、第1の方向と第2の方向との間の夾角の範囲が85-95度である場合を含む。

【0136】

たとえば、図20に示すように、該表示基板100において、第2の方向に隣接する2つの発光グループ1850は、第1の発光グループ1850A及び第2の発光グループ1850Bであってもよく、スペーサー220の最上部225のベース基板110での正射影は、第1の発光グループ1850Aの第1の発光部1851のベース基板110での正射影、第1の発光グループ1850Aの第3の発光部1853のベース基板110での正射影、第2の発光グループ1850Bの第2の発光部1852のベース基板110での正射影及び第2の発光グループ1850Bの第4の発光部1854のベース基板110での正射影の間に位置する。それにより、該表示基板は、スペーサー220の最上部225のベース基板110での正射影と、第1の発光部1851、第2の発光部1852、第3の発光部1853及び第4の発光部1854のベース基板110での正射影とがいずれも間隔をおいて設置されていることを確保でき、且つ表示基板上の空間を十分に利用できる。

20

【0137】

たとえば、スペーサー220のベース基板110での正射影は、長さが20ミクロン、幅が9.5ミクロンの長方形であってもよい。この場合、スペーサー220のベース基板110での正射影と第1の発光グループ1850Aの第3のアノード1753のベース基板110での正射影との間の距離範囲は8.5-9.5ミクロンであってもよく、たとえば8.9ミクロンであり、スペーサー220のベース基板110での正射影と第2の発光グループ1850Bの第4のアノード1754のベース基板110での正射影との間の距離範囲は6-7ミクロンであってもよく、たとえば6.3ミクロンである。

30

【0138】

たとえば、スペーサー220のベース基板110での正射影と第1の発光グループ1850Aの第3の発光部1853のベース基板110での正射影との間の距離範囲は0ミクロンであってもよく、さらに互いに重なってもよい。スペーサー220のベース基板110での正射影と第2の発光グループ1850Bの第2の発光部1852のベース基板110での正射影との間の距離範囲は0ミクロンであってもよく、さらに互いに重なってもよい。

40

【0139】

いくつかの例において、図20及び図21に示すように、該表示基板100は、アノード層170及び画素画定層190をさらに備え、アノード層170は、ベース基板110とスペーサー220との間に位置し、画素画定層190はアノード層170のスペーサー220に近い側に位置する。アノード層170は、複数のアノード175を備え、画素画定層190は、複数のアノード175を露出させるように複数の開口部195を備える。複数のアノード175は複数の発光部185と対応して設置されており、複数の開口部

50

195は、複数の発光部185と対応して設置されており、複数の開口部グループ1950を備え、開口部グループ1950のそれぞれは、1つの第1の開口部1951、1つの第2の開口部1952、1つの第3の開口部1953及び1つの第4の開口部1954を備え、複数のアノード175は複数の発光部185と対応して設置されており、複数のアノードグループ1750を備え、アノードグループ1750のそれぞれは、1つの第1のアノード1751、1つの第2のアノード1752、1つの第3のアノード1753及び1つの第4のアノード1754を備え、第1の発光部1851は、少なくとも部分的に第1の開口部1951内に位置し且つ露出された第1のアノード1751をカバーし、第2の発光部1852は、少なくとも部分的に第2の開口部1952内に位置し且つ露出された第2のアノード1752をカバーし、第3の発光部1853は、少なくとも部分的に第3の開口部1953内に位置し且つ露出された第3のアノード1753をカバーし、第4の発光部1854は、少なくとも部分的に第4の開口部1954内に位置し且つ露出された第4のアノード1754をカバーする。

【0140】

たとえば、図20及び図21に示すように、スペーサー220のベース基板110での正射影と第1のアノード1751のベース基板110での正射影とが部分的に重なってもよい。

【0141】

たとえば、図20及び図21に示すように、第1の仮想直線はスペーサー220の長さ方向に平行であり且つスペーサー220の中心を通過し、第1の開口部1951のベース基板110での正射影の形状は略楕円形であり、該楕円形の長軸方向における頂点から第1の仮想直線までの距離と、第1の開口部1951から第1の仮想直線までの最短距離との比の範囲は、1.5-1である。

【0142】

たとえば、第1の開口部1951と第2の開口部1952との間の距離範囲は20-25ミクロンであり、第1の開口部1951と第3の開口部1953との間の距離も20-25ミクロンであり、第1の開口部1951と第4の開口部1954との間の距離範囲も20-25ミクロンである。もちろん、本開示の実施例はこれに制限されず、各開口部の間の距離は、実際の製品のサイズにより決められてもよい。

【0143】

いくつかの例において、図20及び図21に示すように、スペーサー220のベース基板110での正射影と第1の開口部1951のベース基板110でのスペーサーブロックとが設置されている。それにより、本開示の実施例により提供されている表示基板の製造過程において、ファインメタルマスクで蒸着プロセスを行って上記発光部を形成する時、該表示基板は、ファインメタルマスクの開口縁がスペーサーの最上部に接触することを回避でき、且つ粒子等の異物の発生を回避できる。

【0144】

たとえば、図20及び図21に示すように、スペーサー220のベース基板110での正射影と第1の開口部1951のベース基板110での正射影とが間隔をおいて設置されている。

【0145】

いくつかの例において、図20及び図21に示すように、第1の開口部1951のベース基板110での正射影の形状は略楕円形であり、スペーサー220のベース基板110での正射影の形状は長方形であり、第1の開口部1951のベース基板110での正射影の形状の長軸方向とスペーサー220のベース基板110での正射影の延伸方向との間の夾角の範囲は20-70度である。

【0146】

いくつかの例において、図20及び図21に示すように、該表示基板100は、アノード層170のベース基板110に近い一側に位置し、且つ複数の画素駆動回路265を有する画素回路層260をさらに備え、複数の画素駆動回路265は複数のアノード175

10

20

30

40

50

と対応して設置されており、各アノード 175 は対応する画素駆動回路 265 と電氣的に接続されており、第 1 のアノード 175 1 は、本体部 175 1 A と、本体部 175 1 A と接続されている接続部 175 1 B とを備え、第 1 の開口部 195 1 のベース基板 110 での正射影は本体部 175 1 A のベース基板 110 での正射影の内部にあり、接続部 175 1 B は対応する画素駆動回路 265 と電氣的に接続されている。

【0147】

いくつかの例において、図 20 及び図 21 に示すように、スペーサー 220 のベース基板 110 での正射影と接続部 175 1 B のベース基板 110 での正射影とが少なくとも部分的に重なる。それにより、該表示基板は、ファインメタルマスクの開口縁がスペーサーの最上部に接触することを回避でき、且つ粒子等の異物の発生を回避すると同時に、表示基板上の空間を十分に利用できる。

10

【0148】

いくつかの例において、図 20 及び図 21 に示すように、接続部 175 1 B は、本体部 175 1 A の、同じ発光グループ 185 0 の第 3 のアノード 175 3 及び第 2 の方向に隣接する発光グループ 185 0 の第 4 のアノード 175 4 に近い位置にある。

【0149】

いくつかの例において、第 1 の開口部 195 1 により画定された領域は第 1 のサブ画素の第 1 の有効発光領域であり、第 2 の開口部 195 2 により画定された領域は第 2 のサブ画素の第 2 の有効発光領域であり、第 3 の開口部 195 3 により画定された領域は第 3 のサブ画素の第 3 の有効発光領域であり、第 4 の開口部 195 4 により画定された領域は第 4 のサブ画素の第 4 の有効発光領域である。それにより、上記複数の発光グループ、複数の開口部グループ及び複数のアノードグループは、それぞれ、複数の画素構造に対応する。

20

【0150】

いくつかの例において、第 1 の発光部は第 1 の色の光を発するように構成されており、第 2 の発光部と第 3 の発光部とは接続されており、第 2 の色の光を発するように構成されており、第 4 の発光部は第 3 の色の光を発するように構成されている。

【0151】

たとえば、第 1 の色は赤色 (R)、第 2 の色は緑色 (G)、第 3 の色は青色 (B) である。つまり、該表示基板は G G R B の画素配置構造を用いている。

【0152】

図 22 は本開示の一実施例に係る図 20 の E E 方向における表示基板の断面概略図である。図 22 に示すように、実際の製造過程において、ファインメタルマスクで形成した発光部 185 (たとえば、第 1 の発光層 185 1 及び第 4 の発光層 185 4) は拡散して、薄い拡散部 (たとえば、拡散部 185 1 A 及び 185 4 A) を形成するため、最終的に得た発光層 185 のサイズがファインメタルマスクの開口部のサイズよりも大きいことを引き起こし、その結果、スペーサー 220 と重なるようになり、さらに隣接する発光部が接触し又は重なるようになる。この場合、上記発光層とは、発光層の厚さが拡散部の厚さ以上の部分であり、拡散部を含まない。

30

【0153】

本開示の一実施例は表示装置をさらに提供している。図 23 は本開示の一実施例に係る表示装置の概略図である。図 23 に示すように、該表示装置 400 は、上記いずれかに記載の表示基板 100 を備える。それにより、該表示装置は、該表示基板の有益な効果に対応する有益な効果を有する。たとえば、該表示装置は、製造過程においてファインメタルマスクの開口縁 252 がスペーサーの最上部に接触することを回避でき、且つ粒子等の異物の発生を回避でき、それにより、表示基板の安定性、信頼性及び製品の歩留まり率を向上させることができる。

40

【0154】

たとえば、該表示装置は、テレビ、コンピュータ、ノートパソコン、タブレットコンピュータ、携帯電話、ナビゲータ、デジタルフォトフレームなど表示機能を有する電子製品であってもよい。

50

【0155】

本開示の一実施例は、表示基板の製造方法をさらに提供している。図24は本開示の一実施例に係る表示基板の製造方法である。図24に示すように、該表示基板の製造方法は、以下のステップS101-S103を含む。

【0156】

ステップS101：ベース基板上に、複数の開口部を備える画素画定層を形成する。

【0157】

たとえば、ベース基板は、石英基板、ガラス基板、プラスチック基板等を用いてもよく、画素画定層は、気相成長プロセスで製造されてもよく、複数の開口部はエッチングプロセスで製造されてもよい。もちろん、本開示の実施例はこれに制限されない。

【0158】

ステップS102：画素画定層のベース基板から離れた一側にスペーサーを形成する。

【0159】

たとえば、スペーサーは画素画定層とともに、同じフィルム層を使用することによりハーフトーンマスク又はグレートンマスクを介して形成され、それによりマスクプロセスを省き、コストを削減させることができる。たとえば、まず、ベース基板上に画素画定層及びスペーサーを形成するための層構造を形成し、そして、ハーフトーンマスク又はグレートンマスクを利用して層構造のベース基板から離れた一側に、完全保持部分、部分保持部分及び完全除去部分を有する第1のフォトリジストパターンを形成し、第1のフォトリジストパターンを利用して層構造に対してエッチング（たとえば、ウェットエッチングプロセス）を行い、完全除去部分に対応する層構造を除去して、画素画定層の複数の開口部を形成し、その後、第1のフォトリジストパターンに対して灰化プロセスを行い、部分保持部分を除去して第2のフォトリジストパターンを形成し、第2のフォトリジストパターンを利用して層構造をさらにエッチングして、完全保持部分に対応する層構造にスペーサーを形成し、部分保持部分に対応する層構造に画素画定層を形成する。もちろん、本開示の実施例はこれに制限されず、スペーサーは単独に形成してもよい。

【0160】

ステップS103：スペーサーのベース基板から離れた一側にマスク板を置き、且つマスク板をマスクとして複数の開口部内に発光材料を蒸着させて複数の発光部を有する発光層を形成し、マスク板は複数のマスク開口部を備え、スペーサーのベース基板から離れた最上部のベース基板での正射影とマスクの開口部のベース基板での正射影のエッジとが間隔をおいて設置されている。

【0161】

本開示の実施例により提供されている表示基板の製造過程において、スペーサーのベース基板から離れた一側にマスク板を置き、且つマスク板をマスクとして複数の開口部内に発光材料を蒸着させて複数の発光部を有する発光層を形成する時、マスク板の開口縁のベース基板での正射影とスペーサーの最上部のベース基板での正射影とが間隔をおいて設置されており、それにより、マスク板の開口縁がスペーサーの最上部に接触することを回避でき、且つ粒子等の異物の発生を回避できる。それにより、該表示基板の製造方法は、表示基板の安定性、信頼性及び製品の歩留まり率を向上させることができる。

【0162】

いくつかの例において、上記マスク板はファインメタルマスク（FMM）である。

【0163】

いくつかの例において、スペーサーのベース基板での正射影の形状は長方形であり、スペーサーの長さ方向における中軸線のベース基板での正射影と発光部のベース基板での正射影のエッジとが間隔をおいて設置されている。それにより、該表示基板の製造方法は、ファインメタルマスクの開口縁がスペーサーの最上部に接触することを回避でき、且つ粒子等の異物の発生を回避でき、それにより、表示基板の安定性、信頼性及び製品の歩留まり率を向上させることができる。

【0164】

いくつかの例において、スペーサーのベース基板での正射影と発光部のベース基板での正射影のエッジとが間隔をおいて設置されている。それにより、該表示基板は、ファインメタルマスクの開口縁がスペーサーの最上部に接触することをさらに回避でき、且つ粒子等の異物の発生を回避でき、それにより、表示基板の安定性、信頼性及び製品の歩留まり率をさらに向上させることができる。

【0165】

図25－図27は本開示の一実施例に係るマスク板グループの概略平面図である。図25－図27に示すように、該マスク板グループは、第1のマスク板510、第2のマスク板520及び第3のマスク板530を備え、第1のマスク板510は、それぞれが上記第1の発光部1851を形成するための複数の第1のマスク開口部412を備え、第2のマスク板520は、それぞれが上記第2の発光部1852及び第3の発光部1853を形成するための複数の第2のマスク開口部422を備え、つまり、第2の発光部1852及び第3の発光部1853は同じマスク開口部を介して形成されており、第3のマスク板530は、それぞれが上記第4の発光部1854を形成するための複数の第3のマスク開口部432を備える。

【0166】

たとえば、図25－図27に示すように、該表示基板の製造方法において、上記ステップS103は、図25に示すように、スペーサー220のベース基板110から離れた一側に第1のマスク板510を置き、且つ第1のマスク板510をマスクとして複数の開口部1951内に発光材料を蒸着させて複数の第1の発光部1851を形成するステップと、第1のマスク板510を除去するステップと、図26に示すように、スペーサー220のベース基板110から離れた一側に第2のマスク板520を置き、且つ第2のマスク板520をマスクとして複数の開口部1951及び1952内に発光材料を蒸着させて複数の第2の発光部1852及び複数の第3の発光部1853を形成するステップと、第2のマスク板520を除去するステップと、図27に示すように、スペーサー220のベース基板110から離れた一側に第3のマスク板530を置き、且つ第3のマスク板530をマスクとして複数の開口部1954内に発光材料を蒸着させて複数の第4の発光部1854を形成するステップと、を含む。

【0167】

たとえば、図25－図27に示すように、スペーサー220のベース基板110から離れた最上部のベース基板110での正射影と第1の発光部1851又は第4の発光部1854のベース基板110での正射影のエッジとが間隔をおいて設置されている。

【0168】

一方、有機発光ダイオード（OLED）表示技術の継続的な発展に伴って、表示効果に対する要件もますます高くなる。研究を行ったところ、本願の発明者は、有機発光ダイオード表示装置の表示効果に影響を与える要素が多く、ゲート層の負荷（Loading）は画素駆動回路の充電時間に影響を与えて、画素駆動回路の充電時間は表示効果に大きな影響を与えることを見出した。通常、ゲート層の負荷は主にゲート線及びリセット信号線の負荷からなる。一方、データ線（又はソース線）の負荷はICの電力に直接関係しており、データ線の負荷は大きければ大きいほど、ICドライバに対する要件が高くなり、それにより、ICの電力も大きくなる。従って、ゲート線とリセット信号線との間の負荷及びデータ線上の負荷を制御すると、有機発光ダイオード表示装置の表示効果を向上させることができ、有機発光ダイオード表示装置の電力を低減させることができる。

【0169】

これに対して、本開示の実施例は表示基板及び表示装置を提供している。該表示基板は、ベース基板と、第1のゲート層と、第2のゲート層と、第1の導電層とを備え、第1のゲート層はベース基板上に位置し、第2のゲート層は第1のゲート層のベース基板から離れた一側に位置し、第1の導電層は第2のゲート層のベース基板から離れた一側に位置し、第1のゲート層は、第1の方向に沿って延伸するリセット信号線及び第1の電極ブロックを備え、第2のゲート層は、第1の電極ブロックとストレージコンデンサを形成するよ

うに第2の電極ブロックを備え、第1の導電層は、第2の方向に沿って延伸する電源線を備え、リセット信号線と電源線とは第1の重なり領域を有し、第2の電極ブロックと電源線とは第2の重なり領域を有し、第1の重なり領域に位置する電源線の幅が、第2の重なり領域に位置する電源線の幅未満であり、第1の方向と第2の方向とは交差する。それにより、リセット信号線と電源線が重なる第1の重なり領域内の電源線の幅を減少させることにより、該表示基板は、リセット信号線の負荷を低減させることができ、それにより、画素駆動回路の充電時間を長くし、さらに該表示基板の表示効果を向上させることができる。

【0170】

以下、図面を参照しながら本開示の実施例により提供されている表示基板及び表示装置を詳細に説明する。

【0171】

本開示の一実施例は表示基板を提供している。図28Aは本開示の一実施例に係る他の表示基板の部分概略図であり、図28Bは本開示の一実施例に係る他の表示基板の部分概略図であり、図29は本開示の一実施例に係る図28AのFF方向における表示基板の断面概略図である。該表示基板内の画素駆動回路構造の各フィルム層の積層構造を明確に示すために、図28Bにはアノード層及び第2の導電層が省略されている。

【0172】

図28A、図28B、及び図29に示すように、該表示基板100は、ベース基板110、第1のゲート層130、第2のゲート層140及び第1の導電層150を備え、第1のゲート層130はベース基板110上に位置し、第2のゲート層140は第1のゲート層130のベース基板110から離れた一側に位置し、第1の導電層150は第2のゲート層140のベース基板110から離れた一側に位置する。第1のゲート層130は、第1の方向に沿って延伸するリセット信号線131及び第1の電極ブロックCE1を備え、第2のゲート層140は、第1の電極ブロックCE1とストレージコンデンサを形成するように構成されている第2の電極ブロックCE2を備え、第1の導電層150は、第2の方向に沿って延伸する電源線151を備え、リセット信号線131と電源線151とは第1の重なり領域351を有し、第2の電極ブロックCE2と電源線151とは第2の重なり領域352を有し、第1の重なり領域351に位置する電源線151の幅が、第2の重なり領域352に位置する電源線151の幅未満である。つまり、電源線151の第1の重なり領域351での幅は縮小されており、第1の方向と第2の方向とは交差し、たとえば、互いに直交する。ただし、上記電源線の幅とは、電源線の第1の方向におけるサイズであり、対応して、電源線の長さとは、電源線の第2の方向におけるサイズである。

【0173】

本開示の実施例により提供されている表示基板において、リセット信号線と電源線が重なる第1の重なり領域内の電源線の幅を減少させると、リセット信号線と電源線との重なり面積を減少させることができ、それにより、リセット信号線と電源線との間の寄生容量の大きさを減少させることができる。それにより、リセット信号線と電源線が重なる第1の重なり領域内の電源線の幅を減少させると、該表示基板は、リセット信号線の負荷を低減させることができ、それにより、画素駆動回路の充電時間を長くし、さらに、該表示基板の表示効果を向上させることができる。

【0174】

いくつかの例において、第1の導電層は第1のソース／ドレイン金属層であってもよく、該表示基板はさらに第2の導電層、すなわち第2のソース／ドレイン金属層を備えてもよい。ただし、表示基板上のフィルム層構造を明確に示すために、図28Aに示されている表示基板には第2の導電層（第2のソース／ドレイン金属層）が示されておらず、もちろん、本開示の実施例はこれに制限されず、該表示基板は第2の導電層を備えない単層ソース／ドレイン金属層の表示基板であってもよい。

【0175】

いくつかの例において、第1の重なり領域351に位置する電源線151の幅は電源線

10

20

30

40

50

151の平均幅未満である。

【0176】

いくつかの例において、図28A及び図28Bに示すように、第1の重なり領域351の電源線151の幅は電源線151の最大幅の5/7未満である。それにより、該表示基板は、リセット信号線の負荷を効果的に低減させることができる。

【0177】

いくつかの例において、図28Bに示すように、電源線151は本体延伸部151A及び縮小部151Bを備え、縮小部151Bの幅は本体延伸部151Aの幅未満であり、縮小部151Bのベース基板110での正射影とリセット信号線131のベース基板110での正射影とが重なる。

【0178】

いくつかの例において、図28A及び図28Bに示すように、第1のゲート層130は、第1の方向に沿って延伸するゲート線132をさらに備え、ゲート線132と電源線151とは第3の重なり領域353を有し、第3の重なり領域353の電源線151の幅は第2の重なり領域352に位置する電源線151の幅未満である。つまり、第3の重なり領域の電源線の幅も縮小されている。それにより、ゲート線と電源線が重なる第2の重なり領域内の電源線の幅を減少させることにより、該表示基板は、ゲート線の負荷を低減させることができ、それにより、画素駆動回路の充電時間をさらに長くし、さらに、該表示基板の表示効果を向上させることができる。

【0179】

いくつかの例において、第3の重なり領域353の電源線151の幅は電源線151の平均幅未満である。

【0180】

いくつかの例において、図28A及び図28Bに示すように、第3の重なり領域353の電源線151の幅は電源線151の最大幅の5/7未満である。それにより、該表示基板は、リセット信号線の負荷を効果的に低減させることができる。

【0181】

いくつかの例において、図28Bに示すように、電源線151は本体延伸部151A及び縮小部151Bを備え、縮小部151Bの幅は本体延伸部151Aの幅未満であり、縮小部151Bのベース基板110での正射影とゲート線132のベース基板110での正射影とが重なる。

【0182】

いくつかの例において、図28A及び図28Bに示すように、第1の導電層150は、第2の方向に沿って延伸するデータ線152をさらに備え、データ線152とリセット信号線131とは第4の重なり領域354を有し、第4の重なり領域354のリセット信号線131の幅はリセット信号線131の平均幅未満である。該表示基板において、第4の重なり領域のリセット信号線の幅を減少させると、リセット信号線とデータ線との重なり面積を減少させることができ、それにより、リセット信号線とデータ線との間の寄生容量の大きさを減少させることができる。それにより、第4の重なり領域のリセット信号線の幅を減少させることにより、該表示基板は、データ線の負荷を低減させることができ、それにより、駆動電力を低減させ、さらに該表示基板の電力を低減させることができる。ただし、上記リセット信号線の幅とはリセット信号線の第2の方向におけるサイズであり、対応して、リセット信号線の長さとはリセット信号線の第1の方向におけるサイズである。

【0183】

いくつかの例において、図28A及び図28Bに示すように、第4の重なり領域354のリセット信号線131の幅はリセット信号線131の最大幅の3/4未満である。それにより、該表示基板は、データ線の負荷を効果的に低減させることができる。

【0184】

いくつかの例において、図28A及び図28Bに示すように、該表示基板100は、第1のゲート層130のベース基板110に近い一側に位置する半導体層120をさらに備

10

20

30

40

50

え、第2のゲート層140は、前記第1の方向に沿って延伸する初期化信号線141を備え、データ線152と初期化信号線141とは第5の重なり領域355を有し、初期化信号線141と半導体層120とは第6の重なり領域356を有し、第5の重なり領域355に位置する初期化信号線141の幅は第6の重なり領域356に位置する初期化信号線141の幅未満である。該表示基板において、第5の重なり領域の初期化信号線の幅を減少させると、初期化信号線とデータ線との重なり面積を減少させることができ、それにより初期化信号線とデータ線との間の寄生容量の大きさを減少させることができる。それにより、第5の重なり領域の初期化信号線の幅を減少させることにより、該表示基板は、データ線の負荷をさらに低減させることができ、それにより駆動電力を低減させて、さらに該表示基板の電力を低減させることができる。ただし、上記初期化信号線の幅とは、初期化信号線の第2の方向におけるサイズであり、対応して、初期化信号線の長さとは、初期化信号線の第1の方向におけるサイズである。

10

【0185】

いくつかの例において、第4の重なり領域354に位置する初期化信号線141の幅は初期化信号線141の平均幅未満である。

【0186】

たとえば、図28Bに示すように、リセット信号線131と重なる縮小部151Bのベース基板110での正射影は初期化信号線141のベース基板110での正射影とも重なる。

【0187】

いくつかの例において、図28Bに示すように、電源線151は本体延伸部151A及び縮小部151Bを備え、縮小部151Bの幅は本体延伸部151Aの幅未満であり、縮小部151Bのベース基板110での正射影と半導体層110のベース基板110での正射影とが重ならない。

20

【0188】

いくつかの例において、図28Bに示すように、第2のゲート層140は導電性ブロック143をさらに備え、本体延伸部151Aは導電性ブロック143と接続されており、ベース基板110での正射影と半導体層110のベース基板110での正射影とが部分的に重なり、縮小部151Bと第2の方向に隣接する接続部151Cを備える。

【0189】

たとえば、図28Bに示すように、接続部151Cは2つの縮小部151Bの間に位置してもよい。

30

【0190】

いくつかの例において、図28A及び図28Bに示すように、第4の重なり領域354の初期化信号線141の幅は初期化信号線151の最大幅の3/4未満である。それにより、該表示基板は、データ線の負荷を効果的に低減させることができる。

【0191】

たとえば、半導体層120は多結晶シリコンのようなシリコン系半導体材料を用いてもよい。もちろん、本開示の実施例はこれに制限されず、半導体層はさらに半導体材料を用いてもよい。

40

【0192】

図30A-図30Dは本開示の一実施例に係る表示基板の複数のフィルム層の概略平面図であり、図31は本開示の一実施例に係る表示基板の画素駆動回路の等価概略図である。

【0193】

たとえば、図30Aに示すように、半導体層120は、第1のユニット121と、第2のユニット122と、第3のユニット123と、第4のユニット124と、第5のユニット125と、第6のユニット126と、第7のユニット127と、を備え、第1のユニット121は、第1のチャネル領域C1、第1のチャネル領域C1の両側に位置する第1のソース領域S1及び第1のドレイン領域D1を備え、第2のユニット122は第2のチャネル領域C2、第2のチャネル領域C2の両側に位置する第2のソース領域S2及び第2

50

のドレイン領域D 2を備え、第3のユニット1 2 3は第3のチャネル領域C 3、第3のチャネル領域C 3の両側に位置する第3のソース領域S 3及び第3のドレイン領域D 3を備え、第4のユニット1 2 4は第4のチャネル領域C 4、第4のチャネル領域C 4の両側に位置する第4のソース領域S 4及び第4のドレイン領域D 4を備え、第5のユニット1 2 5は第5のチャネル領域C 5、第5のチャネル領域C 5の両側に位置する第5のソース領域S 5及び第5のドレイン領域D 5を備え、第6のユニット1 2 6は第6のチャネル領域C 6、第6のチャネル領域C 6の両側に位置する第6のソース領域S 6及び第6のドレイン領域D 6を備え、第7のユニット1 2 7は、第7のチャネル領域C 7、第7のチャネル領域C 7の両側に位置する第7のソース領域S 7及び第7のドレイン領域D 7を備える。

【0194】

たとえば、図30A及び図31に示すように、第6のドレイン領域D 6は第3のドレイン領域D 3と接続されており、第3のソース領域S 3、第1のドレイン領域D 1及び第5のソース領域S 5は第1のノードN 1に接続されており、第1のソース領域S 1、第2のドレイン領域D 2及び第4のドレイン領域D 4は第2のノードN 2に接続されており、第5のドレイン領域D 5は第7のドレイン領域D 7と接続されている。

【0195】

たとえば、図30Bに示すように、第1のゲート層1 3 0は、第1の方向に沿って延伸するリセット信号線1 3 1と、第1の方向に沿って延伸するゲート線1 3 2と、第1の電極ブロックC E 1と、第1の方向に沿って延伸する送信制御線1 3 3とを備える。

【0196】

たとえば、図30Cに示すように、第2のゲート層1 4 0は、第1の方向に沿って延伸する初期化信号線1 4 1と、第2の電極ブロックC E 2と、導電性ブロック1 4 3とを備える。たとえば、導電性ブロック1 4 3は電源線に接続されており、それにより電源線の抵抗を低減させる。

【0197】

図31に示すように、第6のソース領域S 6及び第7のソース領域S 7は初期化信号線1 4 1と接続されており、第1の電極ブロックC E 1と第2の電極ブロックC E 2はストレージコンデンサC s tを形成することができる。

【0198】

たとえば、図30Dに示すように、第1の導電層1 5 0は、第2の方向に沿って延伸する電源線1 5 1及びデータ線1 5 2と、第1の接続ブロック1 5 4 1と、第2の接続ブロック1 5 4 2と、第3の接続ブロック1 5 4 3と、を備える。第1の接続ブロック1 5 4 1は、初期化信号線1 4 1を第6のソース領域S 6及び第7のソース領域S 7と接続し、第2の接続ブロック1 5 4 2は、第3のドレイン領域D 3を第1の電極ブロックC E 1と接続し、第3の接続ブロック1 5 4 3は第5のドレイン領域D 5と接続されており、ドレインとして対応するアノードと接続することができる。

【0199】

たとえば、図31に示すように、第2のソース領域S 2はデータ線1 5 2と接続されており、第4のソース領域S 4は電源線1 5 1と接続されている。それにより、半導体層1 2 0の第1のユニット1 2 1、第2のユニット1 2 2、第3のユニット1 2 3、第4のユニット1 2 4、第5のユニット1 2 5、第6のユニット1 2 6及び第7のユニット1 2 7は上記リセット信号線1 3 1及びゲート線1 3 2と第1の薄膜トランジスタT 1、第2の薄膜トランジスタT 2、第3の薄膜トランジスタT 3、第4の薄膜トランジスタT 4、第5の薄膜トランジスタT 5、第6の薄膜トランジスタT 6及び第7の薄膜トランジスタT 7を形成することができる。

【0200】

以下、図31に示されている画素駆動回路の1つの動作モードを概略的に説明する。まず、リセット信号線1 3 1にリセット信号を送信し且つ第7の薄膜トランジスタT 7を導通させる時、各サブ画素のアノードを流れた残り電流は、第7の薄膜トランジスタT 7を介して第6の薄膜トランジスタT 6に放電され、それにより、各サブ画素のアノードを流

10

20

30

40

50

れた残り電流による発光を抑制する。そして、リセット信号線 131 にリセット信号を送り、かつ初期化信号線 141 に初期化信号を送る時、第 6 の薄膜トランジスタ T6 を導通させ、かつ第 6 の薄膜トランジスタ T6 を介して第 1 の薄膜トランジスタ T1 の第 1 のゲート及びストレージコンデンサ Cst の第 1 の電極ブロック CE1 に初期化電圧 V_{int} を印加することにより、第 1 のゲート及びストレージコンデンサ Cst を初期化する。第 1 のゲートを初期化させると、第 1 の薄膜トランジスタ T1 を導通させることができる。

【0201】

その後、ゲート線 132 にゲート信号を送り、かつデータ線 152 にデータ信号を送る時、第 2 の薄膜トランジスタ T2 及び第 3 の薄膜トランジスタ T3 をいずれも導通させ、第 2 の薄膜トランジスタ T2 及び第 3 の薄膜トランジスタ T3 を介して第 1 のゲートにデータ電圧 V_d を印加する。この場合、第 1 のゲートに印加した電圧は補償電圧 $V_d + V_{th}$ であり、かつ第 1 のゲートに印加した補償電圧もストレージコンデンサ Cst の第 1 の電極ブロック CE1 に印加される。

【0202】

その後、電源線 151 はストレージコンデンサ Cst の第 2 の電極ブロック CE2 に駆動電圧 V_{el} を印加し、第 1 の電極ブロック CE1 に補償電圧 $V_d + V_{th}$ を印加し、それぞれストレージコンデンサ Cst の 2 つの電極に印加された電圧の差に対応する電荷をストレージコンデンサ Cst 内に格納し、第 1 の薄膜トランジスタ T1 が所定の時間導通している。

【0203】

その後、送信制御線 133 に送信制御信号を印加する時、第 4 の薄膜トランジスタ T4 と第 5 の薄膜トランジスタ T5 をいずれも導通させ、第 4 の薄膜トランジスタ T4 が第 5 の薄膜トランジスタ T5 に駆動電圧 V_{el} を印加するようにする。駆動電圧 V_{el} はストレージコンデンサ Cst により導通された第 1 の薄膜トランジスタ T1 を通過する時、対応する駆動電圧 V_{el} とストレージコンデンサ Cst を介して第 1 のゲートに印加した電圧との差により駆動電流 I_d が第 1 の薄膜トランジスタ T1 の第 1 のドレイン領域 D3 を流れ、駆動電流 I_d が第 5 の薄膜トランジスタ T5 を介して各サブ画素に印加され、それにより各サブ画素の発光層が発光する。

【0204】

いくつかの例において、図 29 及び図 31 に示すように、該表示基板 100 は、第 1 の平坦層 241、第 2 の導電層 160、第 2 の平坦層 242 及びアノード 175 をさらに備え、第 1 の平坦層 241 は、第 1 の導電層 150 のベース基板 110 から離れた一側に位置し、第 2 の導電層 160 は、第 1 の平坦層 241 の第 1 の導電層 150 から離れた一側に位置し、接続電極 161 を備え、第 2 の平坦層 242 は、第 2 の導電層 160 の第 1 の平坦層 241 から離れた一側に位置し、アノード 175 は、第 2 の平坦層 242 の第 2 の導電層 160 から離れた一側に位置し、第 1 の平坦層 241 は、第 1 のビア H1 を備え、接続電極 161 は第 1 のビア H1 を介して第 5 のドレイン領域 S5 と接続されており、第 2 の平坦層 242 は第 2 のビア H2 を備え、アノード 175 は第 2 のビア H2 を介して接続電極 161 と接続されている。

【0205】

本開示の一実施例は表示装置をさらに提供している。図 32 は本開示の一実施例に係る表示装置の概略図である。図 32 に示すように、該表示装置 400 は、上記いずれかに記載の表示基板 100 を備える。それにより、該表示装置は、該表示基板の有益な効果に対応する有益な効果を有する。たとえば、該表示装置は、ゲート層の負荷を低減させることができ、それにより、画素駆動回路の充電時間を長くし、さらに、該表示基板の表示効果を向上させることができる。

【0206】

たとえば、該表示装置は、テレビ、コンピュータ、ノートパソコン、タブレットコンピュータ、携帯電話、ナビゲータ、デジタルフォトフレームなど表示機能を有する電子製品

10

20

30

40

50

であってもよい。

【0207】

一方、有機発光ダイオード（OLED）表示装置の長期発光安定性も有機発光ダイオード表示装置の1つの重要な仕様又は指標である。研究を行ったところ、本願の発明者は、有機発光ダイオード表示装置の長期発光安定性に影響を与える要素が多く、発光材料自体の耐用年数に加えて、画素駆動回路内の薄膜トランジスタの動作状態が発光輝度及び長期発光安定性のいずれにもある程度の影響を与えることを見出した。

【0208】

これに対して、本開示の実施例は表示基板及び表示装置を提供している。該表示基板は、ベース基板と、画素回路層と、アノード層と、を備え、画素回路層はベース基板上に位置し且つ複数の画素駆動回路を備え、アノード層は画素回路層のベース基板から離れた一側に位置し且つ複数のアノードを備える。複数の画素駆動回路は複数のアノードと一対一で対応して設置されており、それぞれ機能薄膜トランジスタを備え、隣接して設置されている第1の画素駆動回路及び第2の画素駆動回路を備え、第1の画素駆動回路内の機能薄膜トランジスタのチャンネル領域及び第2の画素駆動回路内の機能薄膜トランジスタのチャンネル領域のベース基板での正射影はいずれも第1の画素駆動回路に対応するアノードのベース基板での正射影と重なる。それにより、該表示基板はアノードを介して第1の画素駆動回路内の機能薄膜トランジスタのチャンネル領域及び第2の画素駆動回路内の機能薄膜トランジスタのチャンネル領域を同時に遮り、それにより機能薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、それにより該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

【0209】

以下、図面を参照しながら本開示の実施例により提供されている表示基板及び表示装置を詳細に説明する。

【0210】

本開示の一実施例は表示基板を提供している。図33は本開示の一実施例に係る表示基板の部分概略図であり、図34は本開示の一実施例に係る図33のKK方向における表示基板の断面概略図であり、図35Aは本開示の一実施例に係る図33のMM方向における表示基板の断面概略図であり、図35Bは本開示の一実施例に係る図33のNN方向における表示基板の断面概略図であり、図35Cは本開示の一実施例に係る図33のQQ方向における表示基板の断面概略図である。

【0211】

図33及び図34に示すように、該表示基板100は、ベース基板110と、画素回路層260と、アノード層170と、を備え、画素回路層260はベース基板110上に位置し且つ複数の画素駆動回路265を備え、アノード層170は、画素回路層260のベース基板110から離れた一側に位置し且つ複数のアノード175を備える。複数の画素駆動回路265は複数のアノード175と一対一で対応して設置されており、各画素駆動回路265は、補償薄膜トランジスタT3のような機能薄膜トランジスタを備え、複数の画素駆動回路265は、隣接して設置されている第1の画素駆動回路2657及び第2の画素駆動回路2658を備え、第1の画素駆動回路2657内の補償薄膜トランジスタT3のチャンネル領域及び第2の画素駆動回路2658内の補償薄膜トランジスタT3のチャンネル領域のベース基板110での正射影はいずれも第1の画素駆動回路2657に対応するアノード175のベース基板110での正射影と重なる。ただし、上記第1の画素駆動回路及び第2の画素駆動回路内の「第1」及び「第2」は文字上で2つの画素駆動回路を区別するだけであり、この2つの画素駆動回路の具体的な構造は同じであり、また、上記機能薄膜トランジスタは画素駆動回路内のその他の薄膜トランジスタであってもよい。

【0212】

本開示の実施例により提供されている表示基板において、第1の画素駆動回路2657内の補償薄膜トランジスタT3のチャンネル領域及び第2の画素駆動回路2658内の補償薄膜トランジスタT3のチャンネル領域のベース基板110での正射影がいずれも第1の画

素駆動回路 2 6 5 7 に対応するアノード 1 7 5 のベース基板 1 1 0 での正射影と重なるため、第 1 の画素駆動回路 2 6 5 7 に対応するアノード 1 7 5 は第 1 の画素駆動回路 2 6 5 7 内の補償薄膜トランジスタ T 3 のチャネル領域及び第 2 の画素駆動回路 2 6 5 8 内の補償薄膜トランジスタ T 3 のチャネル領域を部分的に遮り又は完全に遮ることができる。それにより、該表示基板は、第 1 の画素駆動回路内の補償薄膜トランジスタ T 3 及び第 2 の画素駆動回路 2 6 5 8 内の補償薄膜トランジスタ T 3 の安定性を高め、耐用年数を延ばすことができ、それにより該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。図 3 0 A - 図 3 0 D は本開示の一実施例に係る表示基板の複数のフィルム層の概略平面図であり、図 3 1 は本開示の一実施例に係る表示基板の画素駆動回路の等価概略図である。該画素駆動回路は 7 T 1 C の画素駆動構造を用い、発光段階で、N 3 ノードの電圧は第 1 の薄膜トランジスタ T 1 (すなわち、駆動薄膜トランジスタ) のオンオフ状態を制御でき、第 1 の薄膜トランジスタ T 1 の安定性は有機発光ダイオード表示装置の長期発光安定性に直接影響を与えており、充電段階で、N 3 ノードの充電電圧は第 3 の薄膜トランジスタ T 3 (すなわち、補償薄膜トランジスタ)、第 1 の薄膜トランジスタ T 1 及び第 2 の薄膜トランジスタ T 2 の状態に関係がある。通常、薄膜トランジスタは特に光に敏感であり、薄膜トランジスタ (特にチャネル領域) は光にさらされる時、薄膜トランジスタの特性がドリフトしやすくなり、画素駆動回路の通常動作に影響を与える。本開示の実施例はアノードを介して補償薄膜トランジスタのチャネル領域を遮り、補償薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、それにより該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

10

20

【0 2 1 3】

いくつかの例において、図 3 3 - 図 3 5 C に示すように、第 1 の画素駆動回路 2 6 5 7 内の補償薄膜トランジスタ T 3 のチャネル領域及び第 2 の画素駆動回路 2 6 5 8 内の補償薄膜トランジスタ T 3 のチャネル領域がいずれも第 1 の画素駆動回路 2 6 5 7 に対応するアノード 1 7 5 (すなわち、第 4 のアノード 1 7 5 4) のベース基板 1 1 0 での正射影にあり、第 1 の画素駆動回路 2 6 5 7 に対応するアノード 1 7 5 は第 1 の画素駆動回路 2 6 5 7 内の補償薄膜トランジスタ T 3 のチャネル領域及び第 2 の画素駆動回路 2 6 5 8 内の補償薄膜トランジスタ T 3 のチャネル領域を完全に遮ることができる、それによりさらに補償薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、さらに該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

30

【0 2 1 4】

いくつかの例において、図 3 0 A に示すように、補償薄膜トランジスタ T 3 はダブルゲート構造の薄膜トランジスタであってもよく、それにより補償薄膜トランジスタの信頼性を向上させることができる。補償薄膜トランジスタ T 3 のチャネル領域は、間隔において設置されている第 1 のチャネル領域 C 1 及び第 2 のチャネル領域 C 2 を備え、補償薄膜トランジスタ T 3 は、第 1 のチャネル領域 C 1 と第 2 のチャネル領域 C 2 との間に位置する共通電極 S E をさらに備える。図 3 3 - 図 3 5 B に示すように、第 1 の画素駆動回路 2 6 5 7 内の補償薄膜トランジスタ T 3 の共通電極 S E 及び第 2 の画素駆動回路 2 6 5 8 内の補償薄膜トランジスタ T 3 の共通電極 S E のベース基板 1 1 0 での正射影はいずれも第 1 の画素駆動回路 2 6 5 7 に対応するアノード 1 7 5 のベース基板 1 1 0 での正射影と重なる。それにより、第 1 の画素駆動回路 2 6 5 7 に対応するアノード 1 7 5 は、第 1 の画素駆動回路 2 6 5 7 内の補償薄膜トランジスタ T 3 の共通電極 S E 及び第 2 の画素駆動回路 2 6 5 8 内の補償薄膜トランジスタ T 3 の共通電極 S E を部分的に遮り又は完全に遮ることができる、それによりさらに補償薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、さらに該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

40

【0 2 1 5】

図 3 6 は本開示の一実施例に係る他の表示基板の概略平面図である。図 3 6 に示すように、複数のアノード 1 7 5 は複数のアノードグループ 1 7 5 0 を備え、各アノードグループ 1 7 5 0 は、1 つの第 1 のアノード 1 7 5 1、1 つの第 2 のアノード 1 7 5 2、1 つの第 3 のアノード 1 7 5 3 及び 1 つの第 4 のアノード 1 7 5 4 を備える。ただし、上記第 1

50

のアノード、第2のアノード、第3のアノード及び第4のアノードは異なる形状及び異なる色のサブ画素のアノードであってもよい。もちろん、本開示の実施例はこれに制限されず、上記第1のアノード、第2のアノード、第3のアノード及び第4のアノードのうちの少なくとも2つは同じ形状及び同じ色のサブ画素のアノードであってもよい。

【0216】

いくつかの例において、図36に示すように、複数のアノード175は、第1の方向に沿って配置することで複数のアノードグループ列380を形成し、第2の方向に沿って配置することで複数のアノードグループ行390を形成する複数のアノードグループ1750を備え、各アノードグループ1750は、1つの第1のアノード1751、1つの第2のアノード1752、1つの第3のアノード1753及び1つの第4のアノード1754を備え、隣接する2つのアノードグループ行390は1/2ピッチずれて設置されており、ピッチは第1の方向に隣接する2つのアノードグループ1750の2つの第1のアノード1751の中心間の距離に等しい。第2のアノード1752及び第3のアノード1753は第2の方向に沿って配置してアノード対1755を形成し、第1のアノード1751、アノード対1755及び第4のアノード1754は第2の方向に沿って配置している。それにより、該表示基板は画素配置構造を提供し、それにより該表示基板を用いた表示装置の表示効果を向上させることができる。ただし、本開示の実施例により提供されているアノードグループは上記画素配置構造を含むがこれに制限されず、また、上記第1のアノードの中心は第1のアノードの本体部の中心であり、すなわち、第1のアノードに対応する第1の発光素子の有効発光領域である。たとえば、第1の方向と第2の方向とは略垂直である。ただし、上記第1の方向と第2の方向とが略垂直であることは、第1の方向と第2の方向との間の夾角が90度である場合を含むだけでなく、第1の方向と第2の方向との間の夾角の範囲が85-95度である場合を含む。

【0217】

いくつかの例において、図33に示すように、第1の画素駆動回路2657及び第2の画素駆動回路2658は前記第1の方向に沿って設置されており、1つのアノードグループ1750内の第4のアノード1754は第1の画素駆動回路2657に対応して設置されており且つ電氣的に接続されており、もう1つのアノードグループ1750内の第2のアノード1752は第2の画素駆動回路2658に対応して設置されており且つ電氣的に接続されている。

【0218】

いくつかの例において、図33、図34、及び図36に示すように、該表示基板100は、アノード層170のベース基板110から離れた一側に位置し且つ複数の開口部195を備える画素画定層190をさらに備え、複数の開口部195は、複数の開口部グループ1950を備え、開口部グループ1950のそれぞれは、1つの第1の開口部1951、1つの第2の開口部1952、1つの第3の開口部1953及び1つの第4の開口部1954を備え、第1の開口部1951は第1のアノード1751と対応して設置されており且つ第1のアノード1751を露出させ、第2の開口部1952は第2のアノード1752と対応して設置されており且つ第2のアノード1752を露出させ、第3の開口部1953は第3のアノード1753と対応して設置されており且つ第3のアノード1753を露出させ、第4の開口部1954は第4のアノード1754と対応して設置されており且つ第4のアノード1754を露出させる。

【0219】

図33及び図36に示すように、第1のアノード1751は第1の本体部1751A及び第1の接続部1751Bを備え、第1の開口部1951のベース基板110での正射影は第1の本体部1751Aのベース基板110での正射影の内部にあり、第1の接続部1751Bは第1のアノード1751に対応する画素駆動回路265と接続されており、第2のアノード1752は第2の本体部1752A及び第2の接続部1752Bを備え、第2の開口部1952のベース基板110での正射影は第2の本体部1752Aのベース基板110での正射影の内部にあり、第2の接続部1752Bは第2のアノード1752に

対応する画素駆動回路 2 6 5 と接続されており、第 3 のアノード 1 7 5 3 は第 3 の本体部 1 7 5 3 A 及び第 3 の接続部 1 7 5 3 B を備え、第 3 の開口部 1 9 5 3 のベース基板 1 1 0 での正射影は第 3 の本体部 1 7 5 3 A のベース基板 1 1 0 での正射影の内部にあり、第 3 の接続部 1 7 5 3 B は第 3 のアノード 1 7 5 3 に対応する画素駆動回路 2 6 5 と接続されており、第 4 のアノード 1 7 5 4 は第 4 の本体部 1 7 5 4 A 及び第 4 の接続部 1 7 5 4 B を備え、第 4 の開口部 1 9 5 4 のベース基板 1 1 0 での正射影は第 4 の本体部 1 7 5 4 A のベース基板 1 1 0 での正射影の内部にあり、第 4 の接続部 1 7 5 4 B は第 4 のアノード 1 7 5 4 に対応する画素駆動回路 2 6 5 (たとえば、上記第 1 の画素駆動回路 2 6 5 7) と接続されている。

【0 2 2 0】

いくつかの例において、図 3 3 及び図 3 6 に示すように、第 1 の本体部 1 7 5 1 A の形状と第 1 の開口部 1 9 5 1 の形状とはほぼ同じであり、第 2 の本体部 1 7 5 2 A の形状と第 2 の開口部 1 9 5 2 の形状とはほぼ同じであり、第 3 の本体部 1 7 5 3 A の形状と第 3 の開口部 1 9 5 3 の形状とはほぼ同じであり、第 4 の本体部 1 7 5 4 A の形状と第 4 の開口部 1 9 5 4 の形状とはほぼ同じである。たとえば、第 4 の開口部 1 9 5 4 の形状が六角形である時、第 4 の本体部 1 7 5 4 A の形状も六角形である。もちろん、第 4 の開口部及び第 4 の本体部の形状は六角形に制限されず、たとえば、楕円形等のその他の形状であってもよい。

【0 2 2 1】

たとえば、図 3 3 - 図 3 6 に示すように、第 4 のアノード 1 7 5 4 は第 1 の補足部 1 7 5 4 C をさらに備え、第 4 のアノード 1 7 5 4 に対応する第 1 の画素駆動回路 2 6 5 7 内の補償薄膜トランジスタ T 3 の第 1 のチャネル領域 C 3 1 及び第 2 のチャネル領域 C 3 2 のベース基板 1 1 0 での正射影は、それぞれ、第 1 の補足部 1 7 5 4 C のベース基板 1 1 0 での正射影と重なる。該表示基板において、第 4 のアノードに第 1 の補足部を増加させることにより、第 4 のアノードに対応する画素駆動回路内の補償薄膜トランジスタの 2 つのチャネル領域をカバーでき、それにより補償薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、それにより該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

【0 2 2 2】

いくつかの例において、図 3 3 - 図 3 6 に示すように、第 1 の補足部 1 7 5 4 C は第 4 の本体部 1 7 5 4 A から第 3 のアノード 1 7 5 3 へ突出し、第 4 の接続部 1 7 5 4 B の第 4 の本体部 1 7 5 4 A に近い一側に位置する。いくつかの例において、図 3 3 - 図 3 6 に示すように、第 1 の補足部 1 7 5 4 C は、第 4 の本体部 1 7 5 4 A 及び第 4 の接続部 1 7 5 4 B といずれも接続されている。それにより、該表示基板は、表示基板上の面積を十分に利用して、第 1 のアノード、第 2 のアノード、第 3 のアノード及び第 4 のアノードを密接に配置し、それにより表示基板の解像度を確保できる。

【0 2 2 3】

たとえば、図 3 5 A に示すように、第 1 の補足部 1 7 5 4 C のベース基板 1 1 0 での正射影と補償薄膜トランジスタ T 3 の共通電極 S E のベース基板 1 1 0 での正射影とが部分的に重なる。

【0 2 2 4】

たとえば、図 3 5 A に示すように、第 1 の補足部 1 7 5 4 C のベース基板 1 1 0 での正射影は補償薄膜トランジスタ T 3 の第 2 のチャネル領域 C 3 2 のベース基板 1 1 0 での正射影をカバーする。

【0 2 2 5】

たとえば、図 3 5 A に示すように、第 4 の本体部 1 7 5 4 A のベース基板 1 1 0 での正射影は補償薄膜トランジスタ T 3 のドレイン領域 D 3 をカバーする。たとえば、図 3 5 C に示すように、第 1 の導電層 1 5 0 は、補償薄膜トランジスタのドレイン領域を第 1 の電極ブロック C E 1 と接続するための第 2 の接続ブロック 1 5 4 2 を備え、第 1 の電極ブロック C E 1 は第 2 の電極ブロック C E 2 とストレージコンデンサを形成できると同時に、

10

20

30

40

50

駆動薄膜トランジスタのゲートとして使用できる。第2のアノード1752の接続部1752Bは第3のアノード1753から離れる方向へ延伸し且つ上記第2の接続ブロック1542と重なり、さらに上記第2の接続ブロック1542をカバーするため、接続部1752は駆動薄膜トランジスタのゲート及び補償薄膜トランジスタのドレイン上での電位を安定化でき、それによりさらに該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

【0226】

図37Aは本開示の一実施例に係る他の表示基板の部分概略図であり、図37Bは本開示の一実施例に係る他の表示基板の部分概略図である。各アノードの形状を明確に示すために、図37Bにはアノード層のみが示されている。

10

【0227】

図37A及び図37Bに示すように、第4のアノード1754は、第2の補足部1754Dをさらに備え、第2の画素駆動回路2658内の補償薄膜トランジスタT3の第2のチャンネル領域C2のベース基板110での正射影と第2の補足部1754Dのベース基板110での正射影とが重なる。第4のアノードに第2の補足部を増加させることにより、第4のアノードが第2の画素駆動回路2658内の補償薄膜トランジスタT3の第2のチャンネル領域C2を部分的さらに完全にカバーでき、それにより補償薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、それにより該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

【0228】

20

いくつかの例において、図37A及び図37Bに示すように、第2の補足部1754Dは第4の本体部1754Aから第1の方向において隣接するアノードグループ1750内の第1のアノード1751へ突出する。

【0229】

ただし、図37A及び図37Bに示すように、第2の画素駆動回路2658内の補償薄膜トランジスタT3の第1のチャンネル領域C1のベース基板110での正射影は第4の本体部1754Aのベース基板110での正射影の内部にある。

【0230】

いくつかの例において、図37A及び図37Bに示すように、第1の画素駆動回路2657内の補償薄膜トランジスタT3の共通電極SEと第1の補足部1754Cのベース基板110での正射影とが重なり、第2の画素駆動回路2658内の補償薄膜トランジスタT3の共通電極SEのベース基板110での正射影と第1の画素駆動回路2657に対応する第4のアノード1754の第4の本体部1754Aのベース基板110での正射影とが重なる。

30

【0231】

いくつかの例において、図37A及び図37Bに示すように、第1のアノード1751に対応する画素駆動回路265内の補償薄膜トランジスタT3のチャンネル領域のベース基板110での正射影は第1の本体部1751Aのベース基板110での正射影の内部にある。

【0232】

40

いくつかの例において、図31に示すように、画素駆動回路265は、ゲートG1が補償薄膜トランジスタT3のドレインD3と接続されている駆動薄膜トランジスタT1をさらに備える。図37Aに示すように、第1のアノード1751は、第3の補足部1751Cをさらに備え、第1の本体部1751Aから第3のアノード1753へ突出し、第1のアノード1751に対応する画素駆動回路265内の駆動薄膜トランジスタT1のゲートG1及び補償薄膜トランジスタT3のドレインD3のベース基板110での正射影は、第3の補足部1751Cのベース基板110での正射影の内部にある。それにより、該表示基板は、第3の補足部1751Cを介して駆動薄膜トランジスタT1のゲートG1及び補償薄膜トランジスタT3のドレインD3での電位を安定化し、それによりさらに該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

50

【0233】

いくつかの例において、図37A及び図37Bに示すように、第3のアノード1753に対応する画素駆動回路265内の補償薄膜トランジスタT3の第1のチャネル領域C31のベース基板110での正射影は第3の本体部1753Aのベース基板110での正射影の内部にある。

【0234】

いくつかの例において、図37A及び図37Bに示すように、第3のアノード1753は、第4の補足部1753Cをさらに備え、第3のアノード1753に対応する画素駆動回路265内の補償薄膜トランジスタT3の第2のチャネル領域C32のベース基板110での正射影は、第4の補足部1753Cのベース基板110での正射影の内部にある。それにより、第3のアノードの本体部及び第4の補足部は、第3のアノード1753に対応する画素駆動回路265内の補償薄膜トランジスタT3の第1のチャネル領域C31及び第2のチャネル領域C32を部分的に遮り又は完全に遮り、それにより補償薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、それにより該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

【0235】

いくつかの例において、図33及び図34に示すように、画素回路層260は、半導体層120と、第1のゲート層130と、第2のゲート層140と、第1の導電層150と、をさらに備え、第1のゲート層130は半導体層120のベース基板110から離れた一側に位置し、第2のゲート層140は第1のゲート層130のベース基板110から離れた一側に位置し、第1の導電層150は第2のゲート層140のベース基板110から離れた一側に位置する。

【0236】

たとえば、図30Aに示すように、半導体層120は、複数の画素駆動ユニット1200を備え、複数のアノード175と対応して設置されており、各画素駆動ユニット1200は、第1のユニット121と、第2のユニット122と、第3のユニット123と、第4のユニット124と、第5のユニット125と、第6のユニット126と、第7のユニット127と、を備え、第1のユニット121は第1のチャネル領域C1、第1のチャネル領域C1の両側に位置する第1のソース領域S1及び第1のドレイン領域D1を備え、第2のユニット122は第2のチャネル領域C2、第2のチャネル領域C2の両側に位置する第2のソース領域S2及び第2のドレイン領域D2を備え、第3のユニット123は第3のチャネル領域C3、第3のチャネル領域C3の両側に位置する第3のソース領域S3及び第3のドレイン領域D3を備え、第4のユニット124は第4のチャネル領域C4、第4のチャネル領域C4の両側に位置する第4のソース領域S4及び第4のドレイン領域D4を備え、第5のユニット125は第5のチャネル領域C5、第5のチャネル領域C5の両側に位置する第5のソース領域S5及び第5のドレイン領域D5を備え、第6のユニット126は第6のチャネル領域C6、第6のチャネル領域C6の両側に位置する第6のソース領域S6及び第6のドレイン領域D6を備え、第7のユニット127は第7のチャネル領域C7、第7のチャネル領域C7の両側に位置する第7のソース領域S7及び第7のドレイン領域D7を備える。

【0237】

たとえば、図30A及び図31に示すように、第6のドレイン領域D6は第3のドレイン領域D3と接続されており、第3のソース領域S3、第1のドレイン領域D1及び第5のソース領域S5は第1のノードN1に接続されており、第1のソース領域S1、第2のドレイン領域D2及び第4のドレイン領域D4は第2のノードN2に接続されており、第5のドレイン領域D5は第7のドレイン領域D7と接続されている。

【0238】

たとえば、図30Bに示すように、第1のゲート層130は第1の方向に沿って延伸するリセット信号線131と、第1の方向に沿って延伸するゲート線132と、第1の電極ブロックCE1と、第1の方向に沿って延伸する送信制御線133と、を備える。リセッ

10

20

30

40

50

ト信号線 131 は第 7 のチャンネル領域 C 7 及び第 6 のチャンネル領域 C 6 と重なり、第 7 のユニット 127 及び第 6 のユニット 126 と第 7 の薄膜トランジスタ T 7 及び第 6 の薄膜トランジスタ T 6 を形成し、ゲート線 132 はそれぞれ第 3 のチャンネル領域 C 3 及び第 2 のチャンネル領域 C 2 と重なり、第 3 のユニット 123 及び第 2 のユニット 122 と第 3 の薄膜トランジスタ T 3 及び第 2 の薄膜トランジスタ T 2 を形成し、第 1 の電極ブロック C E 1 は第 1 のチャンネル領域 C 1 と重なり、第 1 のユニット 121 と第 1 の薄膜トランジスタ T 1 を形成し、送信制御線 133 は第 4 のチャンネル領域 C 4 及び第 5 のチャンネル領域 C 5 と重なり、第 4 のユニット 124 及び第 5 のユニット 125 と第 4 の薄膜トランジスタ T 4 及び第 5 の薄膜トランジスタ T 5 を形成する。よって、上記第 3 の薄膜トランジスタ T 3 は補償薄膜トランジスタである。

10

【0239】

たとえば、図 30B に示すように、リセット信号線 131、ゲート線 132 及び送信制御線 133 はいずれも第 1 の方向に沿って延伸し、リセット信号線 131、ゲート線 132、第 1 の電極ブロック C E 1 及び送信制御線 133 は第 2 の方向に沿って配置している。

【0240】

たとえば、図 30C に示すように、第 2 のゲート層 140 は、第 1 の方向に沿って延伸する初期化信号線 141 と、第 2 の電極ブロック C E 2 と、導電性ブロック 143 と、を備える。たとえば、導電性ブロック 143 は電源線と接続されており、それにより電源線の抵抗を低減させる。また、初期化信号線 141 は第 7 のソース領域 S 7 及び第 1 のソース領域 S 1 と接続されており、第 2 の電極ブロック C E 2 のベース基板 110 での正射影と第 1 の電極ブロック C E 1 のベース基板 110 での正射影とが少なくとも部分的に重なりストレージコンデンサ C s t を形成する。ただし、導電性ブロックも所定の遮光役割を果たすことができ、また、図 33 の最左側の導電性ブロックは一部のみが示されており、図 33 の最左側の導電性ブロックの形状はその他の導電性ブロックの形状と同じである。

20

【0241】

たとえば、図 30D に示すように、第 1 の導電層 150 は、第 2 の方向に沿って延伸する電源線 151 及びデータ線 152、第 1 の接続ブロック 1541、第 2 の接続ブロック 1542 及び第 3 の接続ブロック 1543 を備える。データ線 152 は第 2 のソース領域 S 2 と接続されており、第 4 のソース領域 S 4 は電源線 151 と接続されており、第 1 の接続ブロック 1541 は初期化信号線 141 を第 6 のソース領域 S 6 及び第 7 のソース領域 S 7 と接続し、第 2 の接続ブロック 1542 は第 3 のドレイン領域 D 3 を第 1 の電極ブロック C E 1 と接続し、第 3 の接続ブロック 1543 は第 5 のドレイン領域 D 5 と接続されており、ドレインとして対応するアノードと接続することができる。

30

【0242】

以下、図 31 に示されている画素駆動回路の 1 つの動作モードを概略的に説明する。まず、リセット信号線 131 にリセット信号を送信し且つ第 7 の薄膜トランジスタ T 7 を導通させる時、各サブ画素のアノードを流れた残り電流は、第 7 の薄膜トランジスタ T 7 を介して第 6 の薄膜トランジスタ T 6 に放電され、それにより、各サブ画素のアノードを流れた残り電流による発光を抑制する。そして、リセット信号線 131 にリセット信号を送信し且つ初期化信号線 141 に初期化信号を送信する時、第 6 の薄膜トランジスタ T 6 を導通させ、且つ第 6 の薄膜トランジスタ T 6 を介して第 1 の薄膜トランジスタ T 1 の第 1 のゲート及びストレージコンデンサ C s t の第 1 の電極ブロック C E 1 に初期化電圧 V i n t を印加することにより、第 1 のゲート及びストレージコンデンサ C s t を初期化する。第 1 のゲートを初期化させると、第 1 の薄膜トランジスタ T 1 を導通させることができる。

40

【0243】

その後、ゲート線 132 にゲート信号を送信し且つデータ線 152 にデータ信号を送信する時、第 2 の薄膜トランジスタ T 2 及び第 3 の薄膜トランジスタ T 3 をいずれも導通させ、第 2 の薄膜トランジスタ T 2 及び第 3 の薄膜トランジスタ T 3 を介して第 1 のゲートにデータ電圧 V d を印加する。この場合、第 1 のゲートに印加した電圧は補償電圧 V d +

50

V_{t h}であり、且つ第1のゲートに印加した補償電圧もストレージコンデンサC_{s t}の第1の電極ブロックC E 1に印加される。

【0244】

その後、電源線151はストレージコンデンサC_{s t}の第2の電極ブロックC E 2に駆動電圧V_{e l}を印加し、第1の電極ブロックC E 1に補償電圧V_d+V_{t h}を印加し、それぞれストレージコンデンサC_{s t}の2つの電極に印加された電圧の差に対応する電荷をストレージコンデンサC_{s t}内に格納し、第1の薄膜トランジスタT1が所定の時間導通している。

【0245】

その後、送信制御線133に送信制御信号を印加する時、第4の薄膜トランジスタT4と第5の薄膜トランジスタT5をいずれも導通させ、第4の薄膜トランジスタT4が第5の薄膜トランジスタT5に駆動電圧V_{e l}に印加するようにする。駆動電圧V_{e l}がストレージコンデンサC_{s t}により導通された第1の薄膜トランジスタT1を通過する時、対応する駆動電圧V_{e l}とストレージコンデンサC_{s t}を介して第1のゲートに印加した電圧との差により駆動電流I_dが第1の薄膜トランジスタT1の第1のドレイン領域D3を流れ、駆動電流I_dが第5の薄膜トランジスタT5を介して各サブ画素に印加され、それにより各サブ画素の発光層が発光する。

【0246】

いくつかの例において、図33及び図34に示すように、該表示基板100は、第1の平坦層241と、第2の導電層160と、第2の平坦層242と、アノード175と、をさらに備え、第1の平坦層241は、第1の導電層150のベース基板110から離れた一側に位置し、第2の導電層160は、第1の平坦層241の第1の導電層150から離れた一側に位置し、且つ接続電極161を備え、第2の平坦層242は、第2の導電層160の第1の平坦層241から離れた一側に位置し、アノード175は、第2の平坦層242の第2の導電層160から離れた一側に位置し、第1の平坦層241は、第1のビアH1を備え、接続電極161は第1のビアH1を介して第6のドレイン領域S6と接続されており、第2の平坦層242は第2のビアH2を備え、アノード175は第2のビアH2を介して接続電極161と接続されている。

【0247】

いくつかの例において、図33、図34、及び図36に示すように、該表示基板100は、アノード層170のベース基板110から離れた一側に位置し、且つ複数の発光部185を備える発光層180をさらに備え、複数の発光部185は複数の発光グループ1850を備え、各発光グループ1850は、1つの第1の発光部1851、1つの第2の発光部1852、1つの第3の発光部1853及び1つの第4の発光部1854を備え、第1の発光部1851は少なくとも部分的に第1の開口部1951に位置し且つ露出された第1のアノード1751をカバーし、第2の発光部1852は少なくとも部分的に第2の開口部1952に位置し且つ露出された第2のアノード1752をカバーし、第3の発光部1753は少なくとも部分的に第3の開口部1953に位置し且つ露出された第3のアノード1753をカバーし、第4の発光部1854は少なくとも部分的に第4の開口部1954に位置し且つ露出された第4のアノード1754をカバーし、第1の発光部1851は第1の色の光を発するように構成されており、第2の発光部1852及び第3の発光部1853は第2の色の光を発するように構成されており、第4の発光部1854は第3の色の光を発するように構成されている。

【0248】

たとえば、第1の色は赤色(R)、第2の色は緑色(G)、第3の色は青色(B)である。つまり、該表示基板はGGRBの画素配置構造を用いている。

【0249】

たとえば、図34に示すように、第1のアノード1751の第2のアノード1752から離れた一側に位置する第1の導電部1621と第1の導電層150内に位置する電源線151との重なり面積は、第1のアノード1751の第2のアノード1752に近い一側

10

20

30

40

50

に位置する第２の導電部１６２２と第１の導電層１５０内の電源線１５１との重なり面積未満である。

【０２５０】

本開示の一実施例は表示装置をさらに提供している。図３８は本開示の一実施例に係る表示装置の概略図である。図３８に示すように、該表示装置４００は、上記いずれかに記載の表示基板１００を備える。それにより、該表示装置は、該表示基板の有益な効果に対応する有益な効果を有する。たとえば、該表示装置は、補償薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、それにより該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

【０２５１】

たとえば、該表示装置は、テレビ、コンピュータ、ノートパソコン、タブレットコンピュータ、携帯電話、ナビゲータ、デジタルフォトフレームなど表示機能を有する電子製品であってもよい。

【０２５２】

本開示の一実施例は表示基板をさらに提供している。図３９は本開示の一実施例に係る表示基板の概略図であり、図４０は本開示の一実施例に係る図３９のＴＴ線に沿う表示基板の断面概略図であり、図４１は本開示の一実施例に係る表示基板の第２の導電層及びアノード層の概略図である。

【０２５３】

図３９－４１に示すように、該表示基板は、ベース基板１１０と、画素回路層６１０と、第１の導電層１５０と、第１の平坦層２４１と、第２の導電層１６０と、第２の平坦層２４２と、複数の発光素子群３１０と、を備える。画素回路層６１０は、半導体層１２０を有する複数の画素駆動回路２６５を備え、第１の導電層１５０は、半導体層１２０のベース基板１１０から離れた一側に位置し、第１の平坦層２４１は、第１の導電層１５０の半導体層１２０から離れた一側に位置し、第２の導電層１６０は、第１の平坦層２４１の第１の導電層１５０から離れた一側に位置し、第２の平坦層２４２は、第２の導電層１６２のベース基板１１０から離れた一側に位置し、複数の発光素子群３１０は、第２の平坦層２４２の第２の導電層１６２から離れた一側に位置する。第２の導電層１６０は、第１の方向に沿って配置され、それぞれの第２の方向におけるサイズが前記第２の方向と交差する第１の方向におけるサイズよりも大きい複数の導電部１６２を備え、複数の導電部１６２は、中空領域１６２２Ｈを有する密閉環状部１６２２Ｅを含む第１の導電部１６２２を備える。

【０２５４】

図３９－４１に示すように、各発光素子群３１０は、ベース基板１１０での正射影が密閉環状部１６２２Ｅのベース基板１１０での正射影と重なる第１のアノード１７５１を有する第１の発光素子３１１を備え、複数の導電部１６２は、第１の導電部１６２２に隣接して、ベース基板１１０での正射影が第１のアノード１７５１のベース基板１１０での正射影と重なる第２の導電部１６２１をさらに備える。

【０２５５】

本開示の実施例により提供されている表示基板において、密閉環状部１６２２Ｅを設置すると、第１のアノード１７５１は密閉環状部１６２２Ｅ及び第２の導電部１６２１と同時に重なることができ、それにより第１のアノード１７５１の平坦性を維持でき、傾斜による色かぶりの発生を回避できる。また、密閉環状部１６２２Ｅは中空設計を有するため、該表示基板の光透過率を向上させることができ、且つ画面下指紋認識装置が信号を受信することに有利である。

【０２５６】

いくつかの例において、図３９－４１に示すように、密閉環状部１６２２Ｅは、第１の方向に隣接する少なくとも１つの導電部１６２と第２の導電層１６０で互いに分離され、第１の方向におけるサイズは少なくとも第１の導電部１６２２の一部の第１の方向におけるサイズよりも大きく、複数の画素駆動回路２６５は、半導体層１２０に半導体パターン

10

20

30

40

50

を有する第1の画素駆動回路2651を備え、第1の導電部1622のベース基板110での正射影と第1の画素駆動回路2651の半導体パターンのベース基板110での正射影とが重なり、第1の画素駆動回路2651は駆動トランジスタT1を備え、第1の導電層150は、駆動トランジスタT3のゲートと同じ電位を有し、前記駆動トランジスタT1のゲートとともにゲート電位金属を構成している第1の導電パターン1542を備え、密閉環状部1622Eの内側の中空領域1622Hのベース基板110での正射影とゲート電位金属のベース基板での正射影とが重なる。

【0257】

本開示の実施例により提供されている表示基板において、一方では、密閉環状部1622Eにより第1のアノード1751のより高い平坦度を確保でき、それにより第1のアノード1751の異なる方向における発光強度が一致することを確保し、さらに色かぶり現象を効果的に改善でき、他方では、密閉環状部1622Eの内側の中空領域1622Hのベース基板110での正射影とゲート電位金属のベース基板での正射影とが重なるため、駆動トランジスタのゲートのリセット速度及び充電速度を向上させることができる。

【0258】

いくつかの例において、図39-41に示すように、密閉環状部1622Eの内側は中空領域1622Hを備え、第1の導電部1622は、第2の方向に沿って配置されている複数の中空領域1622Hを有し、隣接する2つの中空領域1622Hの形状及びサイズはほぼ同じである。第1の導電部1622は複数の第1のアノード1751に対応してもよい。そのため、複数の中空領域1622Hを有する。

【0259】

いくつかの例において、図39-41に示すように、第1の発光素子311は有効発光領域を備え、第1の発光素子311の有効発光領域の中心を通り且つ第2の方向に沿って延伸する直線のベース基板110での正射影は、第1の導電部1622及び第2の導電部1621のベース基板110での正射影の間に位置する。

【0260】

いくつかの例において、図39-41に示すように、密閉環状部1622Eの第1の方向における2つのエッジは、それぞれ、発光素子群内の複数の発光素子のアノードのベース基板での正射影と重なり、密閉環状部1622Eの中空領域1622Hは複数の発光素子の有効発光領域のベース基板110での正射影から分離している（すなわち、間隔を置いて設置されている）。それにより、該表示基板は、一方では、表示基板上の空間を十分に利用でき、他方では、発光素子の表示への悪影響を回避できる。

【0261】

いくつかの例において、図39-41に示すように、第1の導電層150は、画素駆動回路265に電源を供給するように構成されている導電性金属152をさらに備え、第1の平坦層241は導電性金属ビア241Sを備え、導電部162は電源線ビア241Sを介して導電性金属152と電気的に接続されており、第1の画素駆動回路2651は第1の発光制御トランジスタT4及びストレージコンデンサCsetをさらに備え、ストレージコンデンサは、第1の電極ブロックCE1と、第1の電極ブロックCE1のベース基板110から離れた一側に位置する第2の電極ブロックCE2と、を備え、導電性金属152は第1の発光制御トランジスタT4のソース及び第2の電極ブロックCE2とそれぞれ電気的に接続されている。それにより、該表示基板は第2の導電層の複数の導電部を介して導電性金属の抵抗を低減させ、電圧降下を低減させ、表示パネル全体の均一性を向上させることができる。

【0262】

いくつかの例において、図39-41に示すように、密閉環状部1622Eのベース基板110での正射影と第1の電極ブロックCE1のベース基板110での正射影とが重なり、第2の電極ブロックCE2は、ベース基板110での正射影が第1の電極ブロックCE1のベース基板110での正射影と重なる開口孔620を備え、密閉環状部1622Eのベース基板110での正射影と開口孔620のベース基板110での正射影とも重なる

。それにより、コンデンサの電極を遮ることにより、コンデンサが光に過度にさらされることを回避でき、コンデンサの電位を安定化し、充放電速度を速くする役割を果たすことができる。

【0263】

いくつかの例において、図39-41に示すように、第1の画素駆動回路2651は、データ書き込みトランジスタT2と、補償トランジスタT3と、リセットトランジスタT6と、アノード初期化トランジスタT7と、第2の発光制御トランジスタT5と、をさらに備える。表示基板は、それぞれリセットトランジスタT6のゲート及びアノード初期化トランジスタT7のゲートと接続されているリセット信号線131と、それぞれ補償トランジスタT3のゲート及びデータ書き込みトランジスタT2のゲートと接続されているゲート線132と、それぞれ第1の発光制御トランジスタT4のゲート及び第2の発光制御トランジスタT5のゲートと接続されている発光制御線133と、それぞれリセットトランジスタT6のソース及びアノード初期化トランジスタT7のソースと接続されている初期化信号線141と、をさらに備え、密閉環状部1622Eのベース基板110での正射影は、それぞれ、リセット信号線131、ゲート線132及び初期化信号線133のベース基板110での正射影と重なる。密閉環状部は中空であるため、リセット信号線131、ゲート線132及び初期化信号線133との重なり面積が比較的小さく、それらの信号線の電位への干渉を回避できる。ただし、上記画素駆動回路の層状の概略図及び各トランジスタの接続関係は図30A-30D及び図31の関連説明を参照できる。

【0264】

いくつかの例において、図39-41に示すように、第1の導電パターン1542の一端は開口孔620を介して駆動トランジスタT1のゲートと電氣的に接続されており、第1の導電パターン1542の他端は補償トランジスタT3のドレイン又はソースと電氣的に接続されている。それにより、第1の導電パターン1542は駆動トランジスタT1のゲートと同じ電位を有する。

【0265】

いくつかの例において、図39-41に示すように、密閉環状部1622Eは、第1の方向に沿って配置された第1の部分631及び第2の部分632と、第2の方向に沿って配置された第3の部分633及び第4の部分634と、を備え、第1の部分631、第3の部分633、第2の部分632及び第4の部分634はエンドツーエンドで密閉環状部1622Eを形成し、第1の部分631及び第2の部分632のベース基板110での正射影と第2の電極ブロックCE2のベース基板110での正射影とが重なる。それにより、ストレージコンデンサCstの静電容量を増加させることができる。

【0266】

たとえば、第3の部分633のベース基板110での正射影と第2の電極ブロックCE2のベース基板110での正射影とが重なり、それにより、ストレージコンデンサCstの静電容量をさらに増加させることができる。

【0267】

いくつかの例において、図39-41に示すように、第1の部分631のベース基板110での正射影と第1の導電パターン1542のベース基板110での正射影とが重なり、第1の導電パターン1542及び第1の導電パターン1542の形状はいずれも長尺状であり、第1の導電パターン1542の長辺の延伸方向と第1の部分631の長辺の延伸方向とは同じである。第1の部分と第1の導電パターンの延伸方向を同じにすることにより、両者の重なり面積をできるだけ小さくし、それにより駆動トランジスタのゲートの負荷を減少させ、それにより駆動トランジスタゲートのリセット速度及び充電速度を向上させることができる。

【0268】

いくつかの例において、図39-41に示すように、第1の導電層150は、初期化信号線141及びリセットトランジスタT6のソースとそれぞれ接続されている第2の導電パターン1541をさらに備え、第3の部分633のベース基板110での正射影と初期

10

20

30

40

50

化信号線 1 4 1 のベース基板 1 1 0 での正射影とが重なり、第 3 の部分 6 3 3 のベース基板 1 1 0 での正射影と第 2 の導電パターン 1 5 4 1 のベース基板 1 1 0 での正射影とが重なり、第 4 の部分 6 3 4 のベース基板 1 1 0 での正射影と第 1 の導電パターン 1 5 4 2 のベース基板 1 1 0 での正射影とが重なる。

【 0 2 6 9 】

いくつかの例において、図 3 9 - 4 1 に示すように、中空領域 1 6 2 2 H のベース基板 1 1 0 での正射影と初期化信号線 1 4 1 のベース基板 1 1 0 での正射影とが重なり、中空領域 1 6 2 2 H のベース基板 1 1 0 での正射影と第 2 の導電パターン 1 5 4 1 のベース基板 1 1 0 での正射影とが重なり、中空領域 1 6 2 2 H のベース基板 1 1 0 での正射影と第 2 の電極ブロック C E 2 のベース基板 1 1 0 での正射影とが重なる。

【 0 2 7 0 】

いくつかの例において、図 3 9 - 4 1 に示すように、該表示基板は、第 2 の導電層 1 6 0 のベース基板 1 1 0 から離れた一側に位置する第 2 の平坦層 2 4 2 と、第 2 の平坦層 2 4 2 の第 2 の導電層 1 6 0 から離れた一側に位置する複数の発光素子群 3 1 0 と、をさらに備える。複数の発光素子群 3 1 0 は第 1 の方向に沿って配置することで複数の発光素子列 3 2 0 を形成し、第 2 の方向に沿って配置することで複数の発光素子行 3 3 0 を形成し、発光素子群 3 1 0 のそれぞれは、1 つの第 1 の発光素子 3 1 1 と、1 つの第 2 の発光素子 3 1 2 と、1 つの第 3 の発光素子 3 1 3 と、1 つの第 4 の発光素子 3 1 4 と、を備え、第 2 の発光素子 3 1 2 及び第 3 の発光素子 3 1 3 は第 2 の方向に沿って配置して発光素子対 3 1 5 を形成し、第 1 の発光素子 3 1 1、発光素子対 3 1 5 及び第 4 の発光素子 3 1 4 は第 1 の方向に沿って配置しており、第 1 の発光素子 3 1 1 は第 1 のアノード 1 7 5 1 を備え、第 2 の発光素子 3 1 2 は第 2 のアノード 1 7 5 2 を備え、第 3 の発光素子 3 1 3 は第 3 のアノード 1 7 5 3 を備え、第 4 の発光素子 3 1 4 は第 4 のアノード 1 7 5 4 を備え、第 2 の導電層 1 6 0 は、第 1 の接続電極 1 6 1 1、第 2 の接続電極 1 6 1 2、第 3 の接続電極 1 6 1 3 及び第 4 の接続電極 1 6 1 4 を備え、第 2 の平坦層 2 4 2 は、第 1 のビア 2 4 2 1、第 2 のビア 2 4 2 2、第 3 のビア 2 4 2 3 及び第 4 のビア 2 4 2 4 を備え、第 1 のアノード 1 7 5 1 は、第 1 のビア 2 4 2 1 を介して第 1 の接続電極 1 6 1 1 と接続されており、第 2 のアノード 1 7 5 2 は、第 2 のビア 2 4 2 2 を介して第 2 の接続電極 1 6 1 2 と接続されており、第 3 のアノード 1 7 5 3 は、第 3 のビア 2 4 2 3 を介して第 3 の接続電極 1 6 1 3 と接続されており、第 4 のアノード 1 7 5 4 は、第 4 のビア 2 4 2 4 を介して第 4 の接続電極 1 6 1 4 と接続されている。

【 0 2 7 1 】

いくつかの例において、第 1 のアノード 1 7 5 1 は本体部を備え、第 1 の発光素子 3 1 1 の有効発光領域のベース基板 1 1 0 での正射影は、第 1 のアノード 1 7 5 1 の本体部のベース基板 1 1 0 での正射影の内部に位置し、且つ第 1 のアノード 1 7 5 1 の本体部と第 1 のアノード 1 7 5 1 とは少なくとも部分的に同じである境界を有し、第 2 のアノード 1 7 5 2 は本体部を備え、第 2 の発光素子 3 1 2 の有効発光領域のベース基板 1 1 0 での正射影は、第 2 のアノード 1 7 5 2 の本体部のベース基板 1 1 0 での正射影の内部に位置し、且つ第 2 のアノード 1 7 5 2 の本体部と第 2 のアノード 1 7 5 2 とは少なくとも部分的に同じである境界を有し、第 3 のアノード 1 7 5 3 は本体部を備え、第 3 の発光素子 3 1 3 の有効発光領域のベース基板 1 1 0 での正射影は、第 3 のアノード 1 7 5 3 の本体部のベース基板 1 1 0 での正射影の内部に位置し、且つ第 3 のアノード 1 7 5 3 の本体部と第 3 のアノード 1 7 5 3 とは少なくとも部分的に同じである境界を有し、第 4 のアノード 1 7 5 4 は本体部を備え、第 4 の発光素子 3 1 4 の有効発光領域のベース基板 1 1 0 での正射影は、第 4 のアノード 1 7 5 4 の本体部のベース基板 1 1 0 での正射影の内部に位置し、且つ第 4 のアノード 1 7 5 4 の本体部と第 4 のアノード 1 7 5 4 とは少なくとも部分的に同じである境界を有する。

【 0 2 7 2 】

いくつかの例において、複数の導電部 1 6 2 は第 2 の導電部 1 6 2 1 を備え、第 1 の導電部 1 6 2 1 及び第 2 の導電部 1 6 2 2 はそれぞれ第 1 の発光素子 3 1 1 の有効発光領域

10

20

30

40

50

の第1の方向における両側に位置し、密閉環状部分1622Eのベース基板110での正射影と第1の発光素子311の有効発光領域の中心のベース基板110での正射影との間の距離と、第2の導電部1621のベース基板110での正射影と第1の発光素子311の有効発光領域の中心のベース基板110での正射影との間の距離とはほぼ同じである。それにより、密閉環状部1622Eにより第1のアノード1751のより高い平坦度を確保でき、それにより第1のアノード1751の異なる方向における発光強度が一致することを確保でき、さらに色かぶりを効果的に改善できる。

【0273】

いくつかの例において、図39-41に示すように、第1のアノード1751のベース基板110での正射影と第1の画素駆動回路2651の発光制御線133のベース基板110での正射影とが重なる。第1のアノードが発光制御線と重なることにより、第2の導電層の第1のアノードに位置する接続電極を下へ移動させ、さらに第1の導電層内の第3の導電パターンの中心が発光制御線と重なり、第3の導電パターンの平坦性を確保し、ビア接続の有効性を向上させることができる。

【0274】

いくつかの例において、図39-41に示すように、中空領域1622Hの中心と第2の方向に隣接する位置には1つの第4の発光素子314が設置されており、該第4の発光素子314（たとえば、第4の発光素子314の第4のアノード1754）のベース基板110での正射影とゲート線132、リセット信号線131、初期化信号線141のベース基板110での正射影とがいずれも重なる。

【0275】

いくつかの例において、図39-41に示すように、第1の導電層151は、第3の導電パターン1543をさらに備え、第2の導電層160はアノード接続部161、すなわち、上記接続電極をさらに備え、第3の導電パターン1543は第2の発光制御トランジスタT5のドレイン及びアノード接続部161と接続されている。

【0276】

いくつかの例において、図39-41に示すように、ゲート線132のベース基板110での正射影と第1の導電パターン1542のベース基板110での正射影とが重なる。

【0277】

いくつかの例において、図39-41に示すように、第1の電極ブロックCE1及び第2の電極ブロックCE2のベース基板110での正射影は、ゲート線132のベース基板110での正射影と発光制御線133のベース基板110での正射影との間に位置し、つまり、ストレージコンデンサCstのベース基板110での正射影はゲート線132のベース基板110での正射影と発光制御線133のベース基板110での正射影との間に位置し、それにより空間を合理的に利用できる。

【0278】

いくつかの例において、図39-41に示すように、リセット信号線131のベース基板110での正射影は、ゲート線132のベース基板110での正射影と初期化信号線141のベース基板110での正射影との間に位置し、且つ、1つの画素駆動回路265において、発光制御線133、第1の電極ブロックCE1、ゲート線132、リセット信号線131及び初期化信号線141は第2の方向に沿って配置されており、それにより表示基板上の空間を合理的に利用できる。

【0279】

いくつかの例において、図39-41に示すように、複数の画素駆動回路265は第2のゲート層140を備え、第2の電極ブロックCE2は第2のゲート層140に位置し、少なくとも2つの第2の電極ブロックCE2は第1の方向に接続されている。つまり、第2のゲート層140に位置する少なくとも2つの第2の電極ブロックCE2は互いに電氣的に接続されており、それにより表示パネル全体の異なるサブ画素のストレージコンデンサの均一性を向上させることができる。

【0280】

10

20

30

40

50

いくつかの例において、図 3 9 - 4 1 に示すように、第 1 の発光素子 3 1 1 の有効発光領域及び第 2 の発光素子 3 1 2 の有効発光領域のベース基板 1 1 0 での正射影と導電部 1 6 2 のベース基板 1 1 0 での正射影とが重ならない。それにより、導電部による第 1 の発光素子 3 1 1 及び第 2 の発光素子 3 1 2 の平坦性への悪影響を回避できる。たとえば、第 2 の発光素子 3 1 2 は緑色光を発するように構成されている。

【 0 2 8 1 】

いくつかの例において、図 3 9 - 4 1 に示すように、第 4 の発光素子 3 1 4 の有効発光領域の中心のベース基板 1 1 0 での正射影と導電部 1 6 2 のベース基板 1 1 0 での正射影とが重なる。導電部 1 6 2 と第 4 の発光素子 3 1 4 の有効発光領域の中心のベース基板 1 1 0 での正射影の重なり部分は中実部分である。それにより、第 4 の発光素子 3 1 4 の有効発光領域と導電部 1 6 2 とが重なっても、第 4 の発光素子 3 1 4 の有効発光領域の中心のベース基板 1 1 0 での正射影と導電部 1 6 2 のベース基板 1 1 0 での正射影とが重なり、導電部による第 4 の発光素子 3 1 4 の平坦性への悪影響を回避できる。たとえば、第 4 の発光素子 3 1 4 は青色光を発するように構成されている。ただし、上記「中実部分」とは、該部分が中空を含まないことを指す。

【 0 2 8 2 】

いくつかの例において、図 3 9 - 4 1 に示すように、第 2 の発光素子 3 1 2 は第 2 のアノード 1 7 5 2 を備え、第 3 の発光素子 3 1 3 は第 3 のアノード 1 7 5 3 を備え、第 2 のアノード 1 7 5 2 の本体部と第 2 のアノード 1 7 5 2 の第 1 の方向に隣接する 2 つの導電部 1 6 2 との重なり面積はほぼ同じであり、第 3 のアノード 1 7 5 3 の本体部と第 2 のアノード 1 7 5 3 の第 1 の方向に隣接する 2 つの導電部 1 6 2 との重なり面積はほぼ同じである。それにより、さらに第 2 のアノード及び第 3 のアノードの平坦性を向上させることができる。

【 0 2 8 3 】

いくつかの例において、図 3 9 - 4 1 に示すように、中空領域 1 6 2 2 H のベース基板 1 1 0 での正射影は、第 1 の発光素子 3 1 1 の有効発光領域と第 2 の発光素子 3 1 2 の有効発光領域との間に位置する。それにより、中空領域は有効発光領域を回避し、有効発光領域内のアノードの凹みによる色かぶりを回避できる。ただし、上記第 1 の発光素子及び第 2 の発光素子は第 1 の方向に距離が最も近い第 1 の発光素子及び第 2 の発光素子である。

【 0 2 8 4 】

いくつかの例において、図 3 9 - 4 1 に示すように、赤色光を発するように構成されている発光素子のアノード（たとえば、第 1 のアノード）の第 2 の方向における中間部分の第 1 の方向におけるサイズは、該アノードの第 2 の方向におけるエッジ部分の第 1 の方向におけるサイズよりも大きく、たとえば、該アノードの形状は略長い六角形であり、青色光を発するように構成されている発光素子のアノード（たとえば、第 4 のアノード）の第 2 の方向における中間部分の第 1 の方向におけるサイズは、該アノードの第 2 の方向におけるエッジ部分の第 1 の方向におけるサイズよりも大きい。それにより、該表示基板は、異なるアノード間の空間を十分に利用でき、同一のプロセス精度下で、赤色光を発するように構成されている発光素子のアノード及び青色光を発するように構成されている発光素子の面積を最大化する。

【 0 2 8 5 】

いくつかの例において、図 3 9 - 4 1 に示すように、1 つの発光素子群において、少なくとも 2 つの発光素子のアノード 1 7 5 のベース基板 1 1 0 での正射影と第 2 の電極ブロック C E 2 の開口孔のベース基板 1 1 0 での正射影とが重なり、従って、第 2 の電極ブロックの開口孔を遮ることにより、さらに駆動トランジスタのゲートを遮り、駆動トランジスタのゲートが光に過度にさらされることを回避できる。少なくとも 1 つの発光素子 3 1 1、3 1 2、3 1 3 又は 3 1 4 の有効発光領域のベース基板 1 1 0 での正射影と第 1 の電極ブロック C E 1 又は第 2 の電極ブロック C E 2 のベース基板 1 1 0 での正射影とが重ならず、それによりコンデンサによる有効発光領域の突出を回避でき、色かぶりを回避できる。

10

20

30

40

50

【0286】

いくつかの例において、第1の発光素子311、第2の発光素子312、第3の発光素子313及び第4の発光素子314のうちのいずれかの発光素子において、第1の平坦層241はアノード孔を有し、発光素子のアノードはアノード孔を介して発光素子に対応する画素駆動回路と接続されている。

【0287】

いくつかの例において、図39-41に示すように、赤色光を発するように構成されている発光素子のアノード（たとえば、第1のアノード1751）のアノード孔（たとえば、第1のビア2421）のベース基板110での正射影と該アノードの本体部のベース基板での正射影とが第2の方向に重ならず、該アノードのアノード孔のベース基板110での正射影と赤色光を発するように構成されている発光素子の有効発光領域のベース基板110での正射影とが第2の方向に重ならず、それにより赤色光を発するように構成されている発光素子のアノードのアノード孔による第1の発光素子の平坦性への悪影響を回避できる。

10

【0288】

いくつかの例において、図39-41に示すように、青色光を発するように構成されている発光素子のアノード（たとえば、第4のアノード1754）のアノード孔（たとえば、第4のビア2424）のベース基板110での正射影と該アノードの本体部のベース基板での正射影とが第2の方向に重ならず、該アノードのアノード孔のベース基板110での正射影と赤色光を発するように構成されている発光素子の有効発光領域のベース基板110での正射影とが第2の方向に重ならず、それにより赤色光を発するように構成されている発光素子のアノードのアノード孔による第1の発光素子の平坦性への悪影響を回避できる。

20

【0289】

いくつかの例において、図39-41に示すように、隣接する2つの導電部162の間にはデータ線152が設置されており、隣接する導電部162とデータ線152のベース基板110での正射影との間の距離は、隣接する2つの導電部162のベース基板110での正射影の間の距離未満である。

【0290】

本開示の一実施例は表示装置をさらに提供している。図42は本開示の一実施例に係る表示装置の概略図である。図42に示すように、該表示装置400は、上記いずれかに記載の表示基板100を備える。それにより、該表示装置は、該表示基板の有益な効果に対応する有益な効果を有する。たとえば、該表示装置は、補償薄膜トランジスタの安定性を高め、耐用年数を延ばすことができ、それにより該表示基板の長期発光安定性を高め、耐用年数を延ばすことができる。

30

【0291】

たとえば、該表示装置は、テレビ、コンピュータ、ノートパソコン、タブレットコンピュータ、携帯電話、ナビゲータ、デジタルフォトフレームなど表示機能を有する電子製品であってもよい。

【0292】

なお、

40

(1) 本開示の実施例の図面は本開示の実施例に関する構造のみに関し、他の構造は通常の設計を参照すればよい。

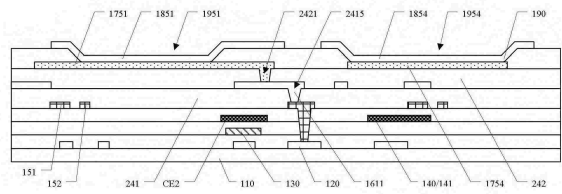
(2) 矛盾しない場合、本開示の同一実施例及び異なる実施例の特徴は互いに組み合わせることができる。

【0293】

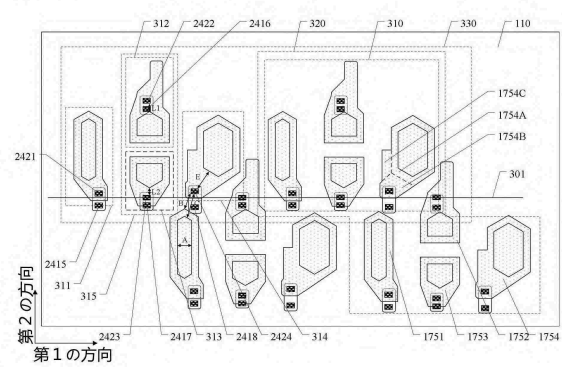
以上、本開示の特定の実施形態を説明したが、本開示の保護範囲を制限するものではなく、本開示の特許範囲は添付特許請求の範囲に準じるべきである。

50

【図 5 B】

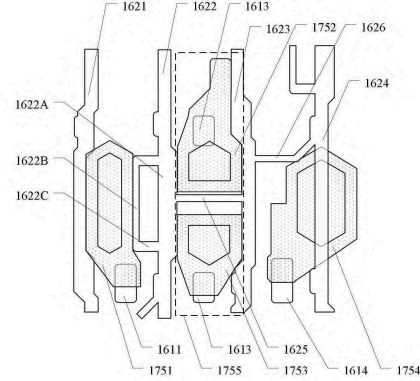


【図 6】



10

【図 7】

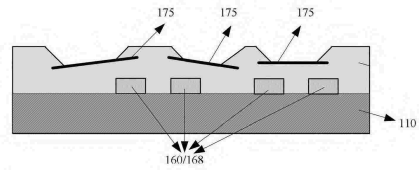


【図 8】

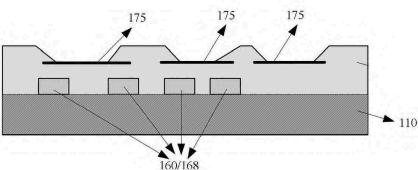


20

【図 9】



【図 10】

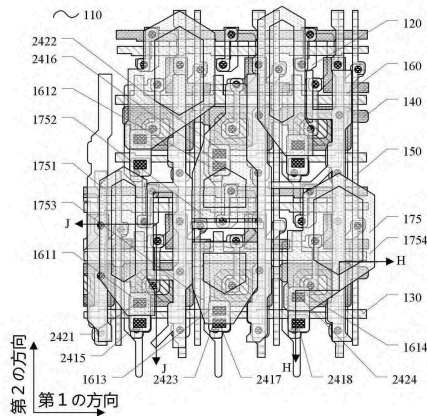


30

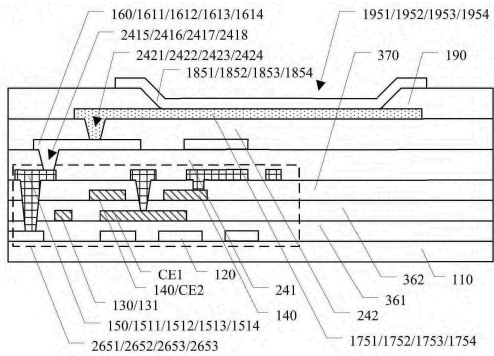
40

50

【図 1 1】

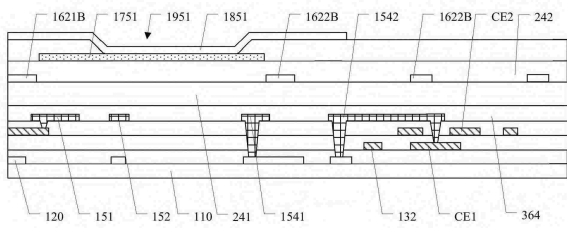


【図 1 2 A】

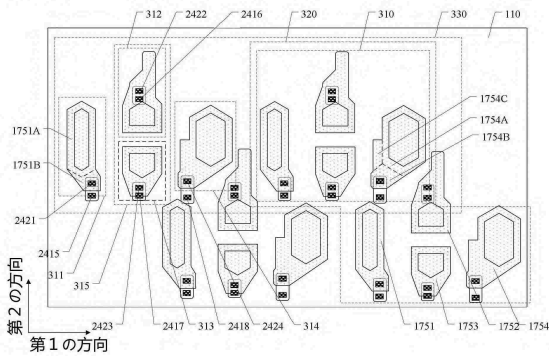


10

【図 1 2 B】



【図 1 3】



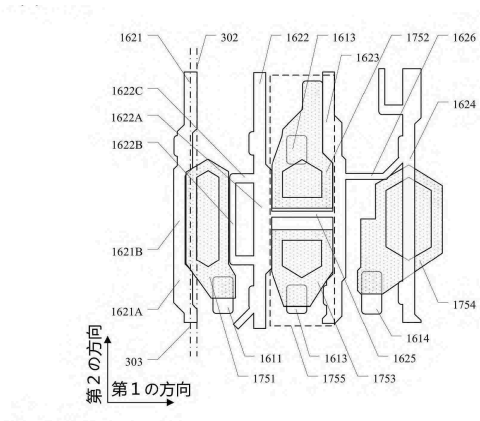
20

30

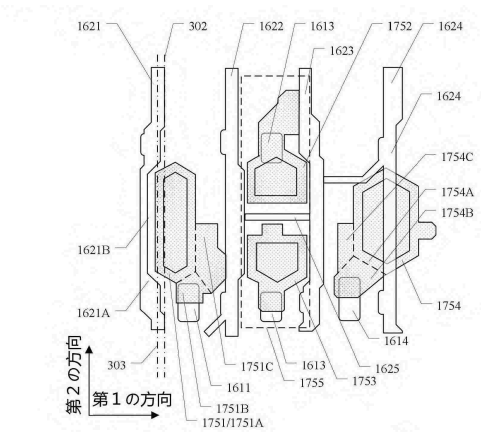
40

50

【図 1 4】



【図 1 5】

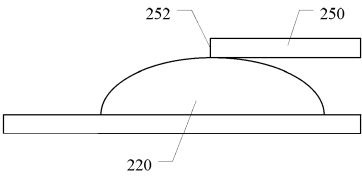


10

【図 1 6】



【図 1 7】



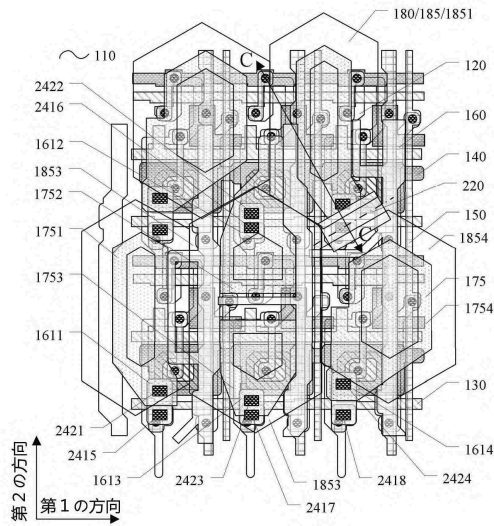
20

30

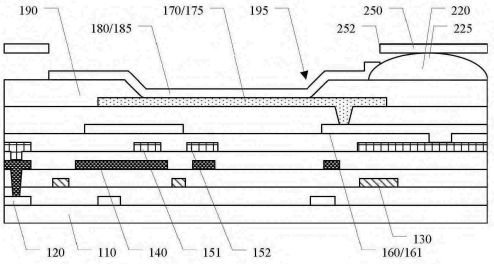
40

50

【図 18】

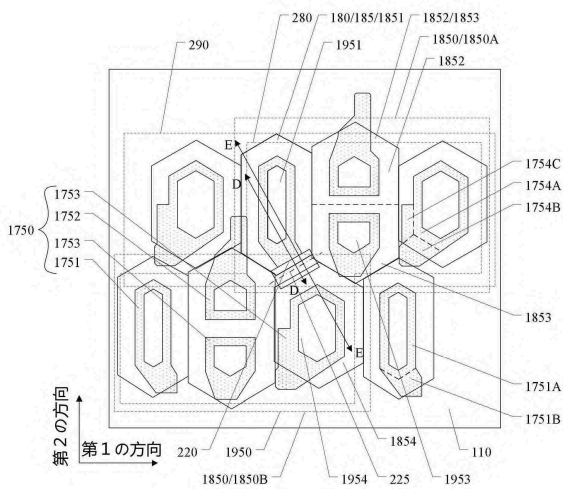


【図 19】

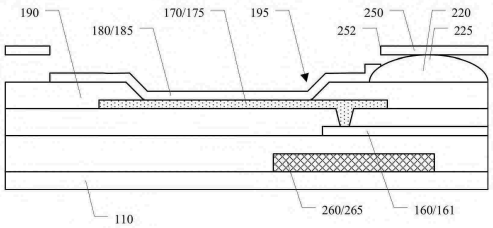


10

【図 20】



【図 21】



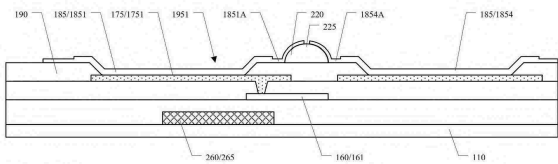
20

30

40

50

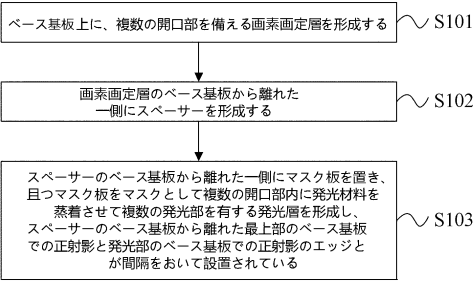
【図 2 2】



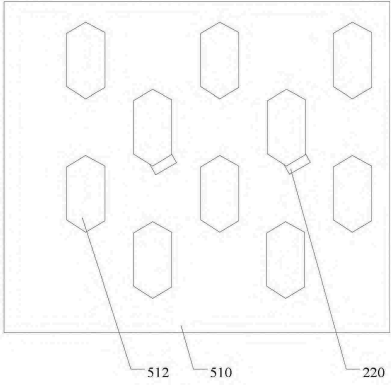
【図 2 3】



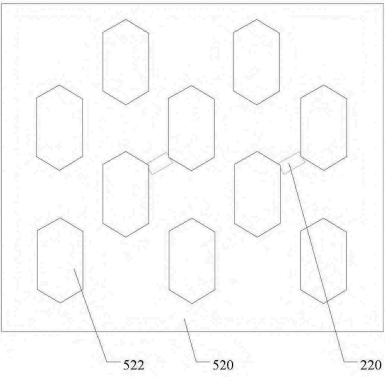
【図 2 4】



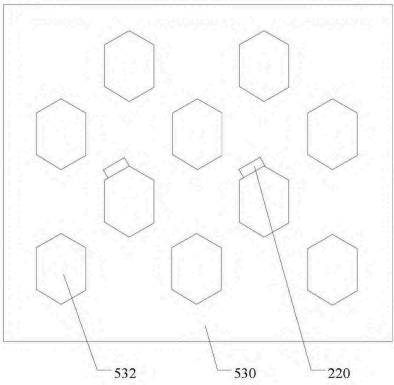
【図 2 5】



【図 2 6】



【図 2 7】



10

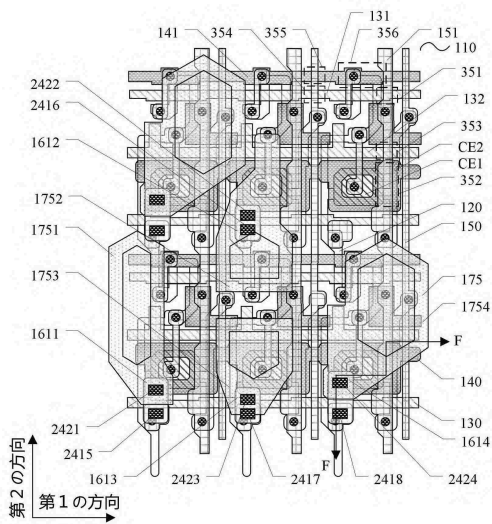
20

30

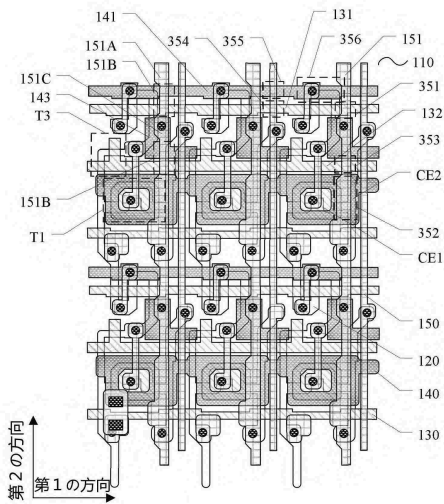
40

50

【図 2 8 A】

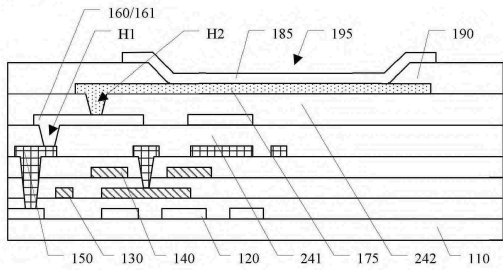


【図 2 8 B】

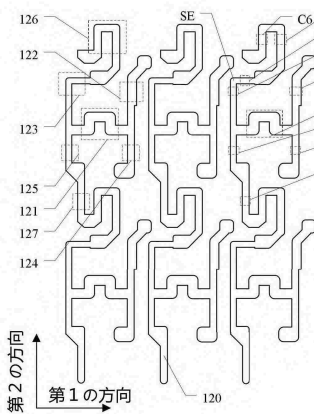


10

【図 2 9】



【図 3 0 A】



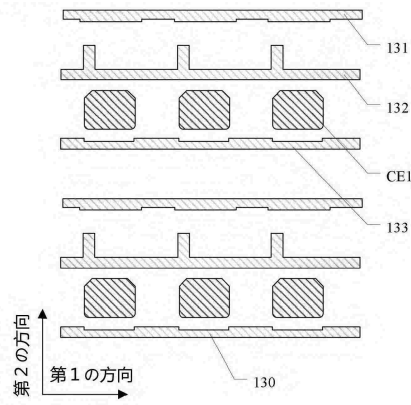
20

30

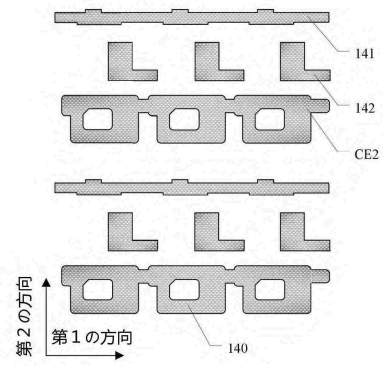
40

50

【図 30 B】

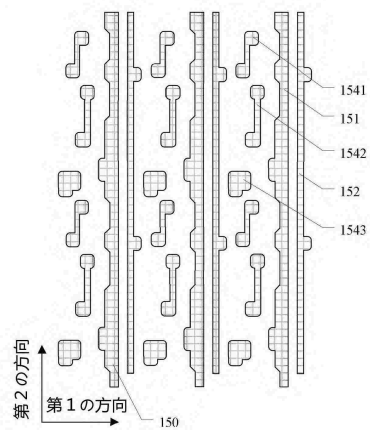


【図 30 C】

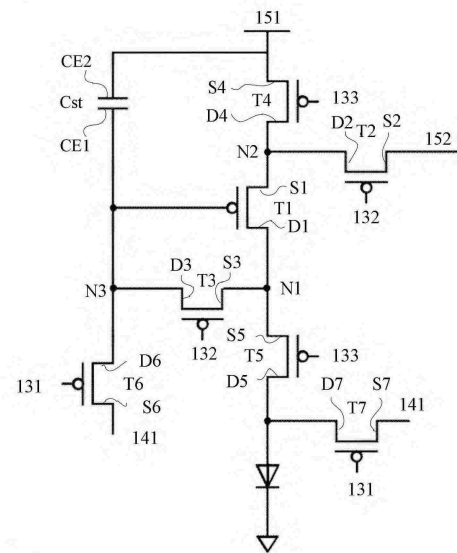


10

【図 30D】



【図 3 1】



20

30

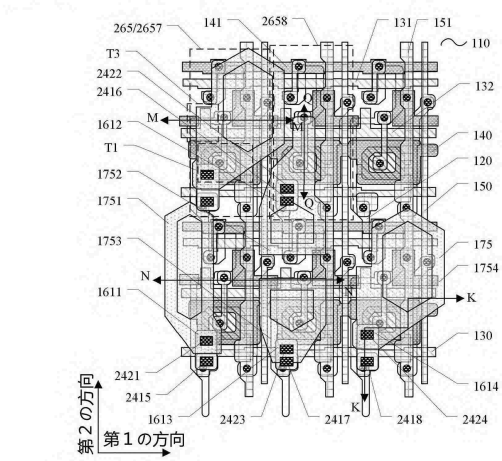
40

50

【図 3 2】

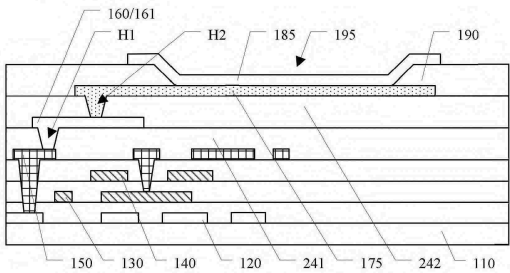


【図 3 3】

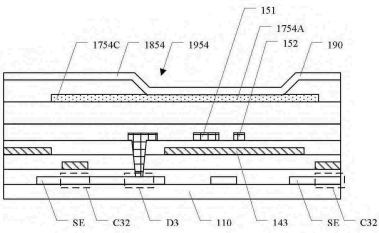


10

【図 3 4】

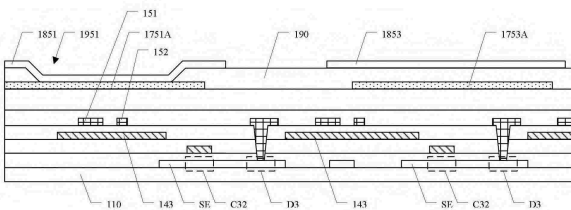


【図 3 5 A】

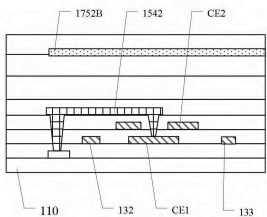


20

【図 3 5 B】



【図 3 5 C】

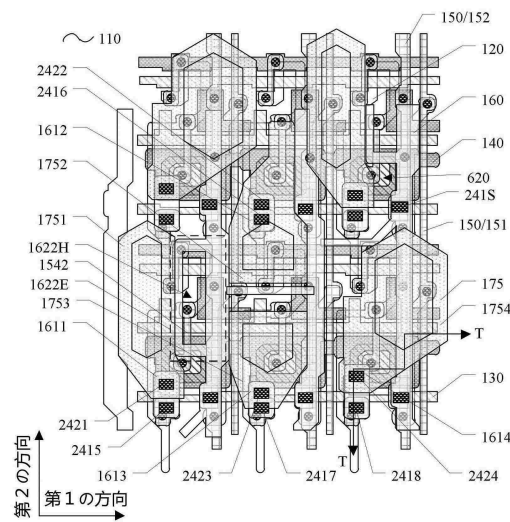


30

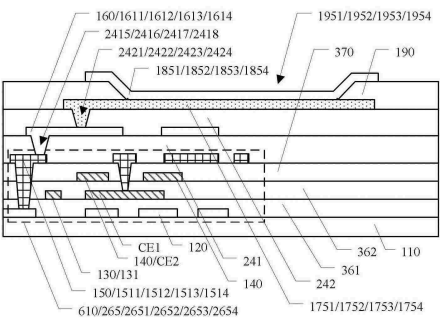
40

50

【図 3 9】

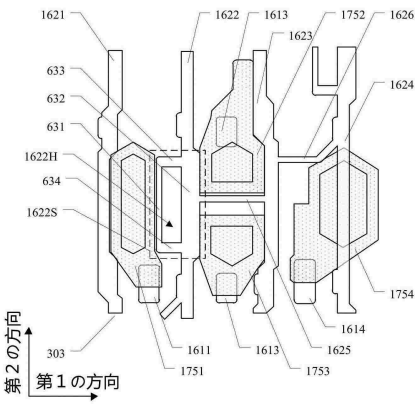


【図 4 0】



10

【図 4 1】



【図 4 2】



20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 1 0 K 59/123

H 1 0 K 50/813

中華人民共和国 6 1 1 7 3 1 四川省成都市高新區（西區）合作路 1 1 8 8 號

No. 1 1 8 8, Hezuo Rd., (West Zone), Hi-tech Development Zone, Chengdu, Sichuan, 6 1 1 7 3 1, P. R. CHINA

(74)代理人 110002000

弁理士法人栄光事務所

(72)発明者 ワン スーユー

中華人民共和国 1 0 0 1 7 6 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者 ワン モンチー

中華人民共和国 1 0 0 1 7 6 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者 チャン シュン

中華人民共和国 1 0 0 1 7 6 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者 ダイ ジェ

中華人民共和国 1 0 0 1 7 6 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者 シャン ティンファ

中華人民共和国 1 0 0 1 7 6 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

審査官 小野 博之

(56)参考文献 特表 2 0 1 9 - 5 2 6 8 9 6 (J P, A)

特開 2 0 0 9 - 1 2 3 5 3 8 (J P, A)

米国特許出願公開第 2 0 1 9 / 0 0 8 8 2 0 0 (U S, A 1)

米国特許出願公開第 2 0 1 9 / 0 1 1 5 4 1 5 (U S, A 1)

中国特許出願公開第 1 1 0 1 3 7 2 1 4 (C N, A)

中国特許出願公開第 1 0 8 9 3 3 1 5 5 (C N, A)

(58)調査した分野 (Int.Cl., D B名)

G 0 9 F 9 / 0 0 - 9 / 4 6

H 0 5 B 3 3 / 0 0 - 3 3 / 2 8

4 4 / 0 0

4 5 / 6 0

H 1 0 K 5 0 / 0 0 - 9 9 / 0 0