(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年3月13日(13.03.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/052706 A1

(51) 国際特許分類:
H01G 4/35 (2006.01)

(21) 国際出願番号： PCT/JP2024/013808

(22) 国際出願日： 2024年4月3日(03.04.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-145118 2023年9月7日(07.09.2023) JP

(71) 出願人: 株式会社村田製作所 (**MURATA MANUFACTURING CO., LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者: 澤田 隆司 (**SAWADA, Takashi**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 櫻谷 昌弘 (**SAKURATANI, Masahiro**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 佐々木 友嘉 (**SASAKI, Tomohiro**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

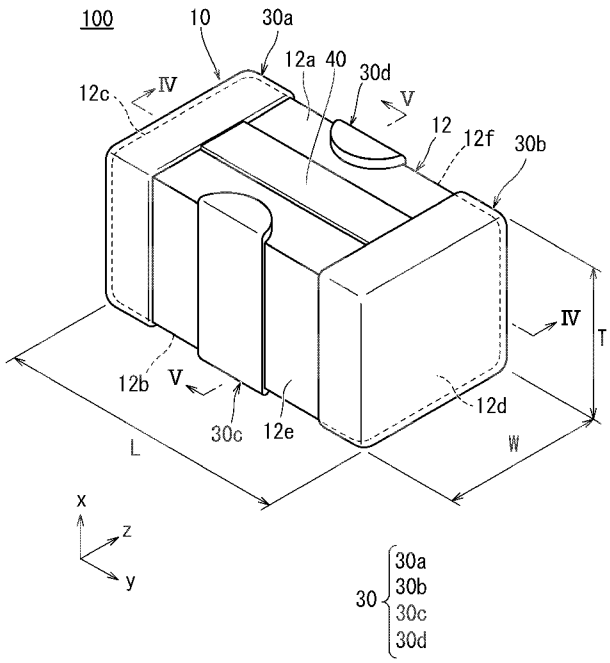
(74) 代理人: 弁理士法人岡田特許事務所 (**OKADA PATENT OFFICE, P.C.**); 〒5410054 大阪府大阪市中央区南本町４丁目２番２１号 イヨビル３階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) **Title:** MULTILAYER CERAMIC ELECTRONIC COMPONENT

(54) 発明の名称： 積層セラミック電子部品

図１



(57) **Abstract:** Provided is a multilayer ceramic electronic component that can handle a larger current. A multilayer ceramic electronic component 100 according to the present invention comprises: a multilayer ceramic capacitor provided with a laminate and at least four or more external electrodes 30, the laminate having a first main surface 12a and a second main surface 12b opposing each other in a lamination direction, a first surface 12c and a second surface 12d opposing each other in a first direction orthogonal to the lamination direction, and a third surface 12e and a fourth surface 12f opposing each other in a second direction orthogonal to the lamination direction and the first direction, and the at least four or more external electrodes 30 being disposed on any of the first surface 12c, the second surface 12d, the third surface 12e, and the fourth surface 12f; and a junction electrode 40 disposed on the first main surface 12a or the second main surface 12b and electrically connecting at least two or more external electrodes of the same potential among the external electrodes 30. The present invention is characterized by satisfying, when the DC resistance of the multilayer ceramic capacitor 10 is denoted by Rdc1 and the DC resistance of the junction electrode 40 is denoted by Rdc3, Rdc1 ≤ Rdc3.

WO 2025/052706 A1

［続葉有］

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

(57) 要約：より大電流に対応することができる積層セラミック電子部品を提供すること。 本発明に係る積層セラミック電子部品１００は、積層方向に相対する第１の主面１２ａ及び第２の主面１２ｂと、積層方向に直交する第１の方向に相対する第１の面１２ｃ及び第２の面１２ｄと、積層方向及び第１の方向に直交する第２の方向に相対する第３の面１２ｅ及び第４の面１２ｆとを有する積層体と、第１の面１２ｃ、第２の面１２ｄ、第３の面１２ｅ及び第４の面１２ｆのいずれかの面に配置された少なくとも４つ以上の外部電極３０と、を備えた積層セラミックコンデンサと、第１の主面１２ａまたは第２の主面１２ｂのいずれか一面上に配置され、外部電極３０のうち少なくとも２つ以上の同電位の外部電極同士を電気的に接合する接合電極４０と、を備える。積層セラミックコンデンサ１０の直流抵抗をＲｄｃ１とし、接合電極４０の直流抵抗をＲｄｃ３としたとき、Ｒｄｃ１≦Ｒｄｃ３であることを特徴とする。

明　細　書

発明の名称 ： 積層セラミック電子部品

技術分野

[0001]　本発明は、積層セラミック電子部品に関する。

背景技術

[0002]　例えば、高速で動作する集積回路部品（ＩＣ）に供給される電源電圧を安定化するために用いられるデカップリングコンデンサや、集積回路部品（ＩＣ）に供給される電源ラインのノイズ対策部品として、貫通型３端子コンデンサが知られている。貫通型３端子コンデンサは、一般的に、互いに対向する第１の主面及び第２の主面、互いに対向する第１の側面及び第２の側面ならびに互いに対向する第１の端面及び第２の端面を有する積層体を備える。積層体の内部には、複数の第１の内部電極層及び第２の内部電極層が積層方向において交互に配置されている。そして、第１の内部電極層は、その両端が第１の端面及び第２の端面に導出され、第２の内部電極層は、その両端が第１の側面及び第２の側面に導出されている。また、第１の内部電極層は、第１の外部電極及び第２の外部電極に接続され、第２の内部電極層は第３の外部電極及び第４の外部電極に接続されている。

[0003]　一般的な貫通型３端子コンデンサは、ノイズフィルタとして使用される場合、信号用内部電極（第１の内部電極層）に直流電流が流れる。しかし、低容量になると信号用内部電極（第１の内部電極層）の枚数が少なくなり、直流抵抗が大きくなることでコンデンサから発生する熱が大きくなってしまうという問題がある。

[0004]　そこで、静電容量が大きくなることを抑制しつつ、直流抵抗が大きくなることを抑制することが可能な低容量の貫通型３端子コンデンサの構造として、特許文献１のような構造が提供されている。信号用内部電極（第１の内部電極層）の枚数を多くするとともに、信号用内部電極（第１の内部電極層）同士を対向させることで静電容量及び直流抵抗の両方が抑制される。

先行技術文献

特許文献

[0005] 特許文献1：特開平９－５５３３５号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献１のような構造は、下記の問題がある。すなわち、所定のサイズ制約の中で信号用内部電極（第１の内部電極層）の枚数を増やすには限界があり、さらなる大電流対応が困難であった。

[0007] それゆえに、この発明の主たる目的は、より大電流に対応することができる積層セラミック電子部品を提供することである。

課題を解決するための手段

[0008] この発明に係る積層セラミック電子部品は、積層方向に相対する第１の主面及び第２の主面と、前記積層方向に直交する第１の方向に相対する第１の面及び第２の面と、前記積層方向及び前記第１の方向に直交する第２の方向に相対する第３の面及び第４の面とを有する積層体と、第１の面、第２の面、第３の面及び第４の面のいずれかの面に配置された少なくとも４つ以上の外部電極と、を備え、第１の主面または第２の主面のいずれか一面上には、外部電極のうち少なくとも２つ以上の同電位の外部電極同士を電気的に接合する接合電極が配置され、積層セラミックコンデンサの直流抵抗をＲｄｃ１とし、接合電極の直流抵抗をＲｄｃ３としたとき、Ｒｄｃ１≦Ｒｄｃ３である、積層セラミック電子部品である。

[0009] この発明に係る積層セラミック電子部品によれば、第１の主面または第２の主面のいずれか一面上には、外部電極のうち少なくとも２つ以上の同電位の外部電極同士を電気的に接合する接合電極が配置され、積層セラミックコンデンサの直流抵抗をＲｄｃ１とし、接合電極の直流抵抗をＲｄｃ３としたとき、Ｒｄｃ１≦Ｒｄｃ３であるので、積層セラミックコンデンサと接合電極との合成抵抗の方が、積層セラミックコンデンサ単体の抵抗よりも小さく

なるので、より大電流に対応することができる積層セラミック電子部品を提供することができる。

発明の効果

[0010] この発明によれば、より大電流に対応することができる積層セラミック電子部品を提供する。

[0011] この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の発明を実施するための形態の説明から一層明らかとなろう。

図面の簡単な説明

[0012] [図1]本発明の第１の実施の形態に係る積層セラミック電子部品を示す外観斜視図である。

[図2]本発明の第１の実施の形態に係る積層セラミック電子部品の正面図である。

[図3]本発明の第１の実施の形態に係る積層セラミック電子部品の平面図である。

[図4]図１の線ＩＶ－ＩＶにおける断面図である。

[図5]図１の線Ｖ－Ｖにおける断面図である。

[図6]図４の線ＶＩ－ＶＩにおける断面図である。

[図7]図４の線ＶＩＩ－ＶＩＩにおける断面図である。

[図8]本発明の第１の実施の形態の変形例に係る積層セラミック電子部品の外観斜視図である。

[図9]本発明の第１の実施の形態に係る積層セラミック電子部品の実装構造を示す積層方向の断面図である。

[図10]本発明の第１の実施の形態に係る積層セラミック電子部品の実装構造を示す第２の方向の断面図である。

[図11]本発明の第１の実施の形態に係る積層セラミックコンデンサの第１の変形例を示す断面図であって、図４の断面図に対応する図である。

[図12]本発明の第１の実施の形態に係る積層セラミックコンデンサの第１の変形例を示す断面図であって、図５の断面図に対応する図である。

[図13]図１１の線ＸＩＩＩ－ＸＩＩＩにおける断面図である。

[図14]図１１の線ＸＩＶ－ＸＩＶにおける断面図である。

[図15]本発明の第１の実施の形態に係る積層セラミックコンデンサの第２の変形例を示す断面図であって、図４の断面図に対応する図である。

[図16]本発明の第１の実施の形態に係る積層セラミックコンデンサの第２の変形例を示す断面図であって、図５の断面図に対応する図である。

[図17]本発明の第２の実施の形態に係る積層セラミック電子部品を示す外観斜視図である。

[図18]本発明の第２の実施の形態に係る積層セラミック電子部品の正面図である。

[図19]本発明の第２の実施の形態に係る積層セラミック電子部品の側面図である。

[図20]本発明の第２の実施の形態に係る積層セラミック電子部品の平面図である。

[図21]図１７の線ＸＸＩ－ＸＸＩにおける断面図である。

[図22]図１７の線ＸＸＩＩ－ＸＸＩＩにおける断面図である。

[図23]図１７の線ＸＸＩ－ＸＸＩにおける断面図である。

[図24]図１７の線ＸＸＩＶ－ＸＸＩＶにおける断面図である。

[図25]図１７の線ＸＸＶ－ＸＸＶにおける断面図である。

[図26]図１７に示す積層体の分解斜視図である。

発明を実施するための形態

[0013] Ａ．第１の実施の形態

１．積層セラミック電子部品

本発明の実施の形態に係る積層セラミック電子部品１００について説明する。

[0014] 図１は、本発明の第１の実施の形態に係る積層セラミック電子部品を示す外観斜視図である。図２は、本発明の第１の実施の形態に係る積層セラミック電子部品の正面図である。図３は、本発明の第１の実施の形態に係る積層

セラミック電子部品の平面図である。図４は、図１の線ＩＶ－ＩＶにおける断面図である。図５は、図１の線Ｖ－Ｖにおける断面図である。図６は、図４の線ＶＩ－ＶＩにおける断面図である。図７は、図４の線ＶＩＩ－ＶＩＩにおける断面図である。

[0015] 図１ないし図３に示すように、本発明の実施の形態に係る積層セラミック電子部品１００は、積層セラミックコンデンサ１０と接合電極４０とを含む。

[0016] （ａ）積層セラミックコンデンサ

本発明に係る積層セラミックコンデンサ１０について説明する。

積層セラミックコンデンサ１０は、積層体１２と、複数の外部電極３０と、を備える。

[0017] 積層体１２は、積層方向ｘに相対する第１の主面１２ａ及び第２の主面１２ｂと、積層方向ｘに直交する第１の方向ｙに相対する第１の面１２ｃ及び第２の面１２ｄと、積層方向ｘ及び第１の方向ｙに直交する第２の方向ｚに相対する第３の面１２ｅ及び第４の面１２ｆとを有する。積層体１２の第１の主面１２ａ及び第２の主面１２ｂ同士を結ぶ方向が積層方向ｘである。

[0018] 積層体１２は、直方体形状を有している。また、積層体１２は、角部及び稜線部に丸みがつけられていることが好ましい。なお、角部とは、積層体１２の隣接する３面が交わる部分のことであり、稜線部とは、積層体１２の隣接する２面が交わる部分のことである。また、第１の主面１２ａ及び第２の主面１２ｂ、第１の面１２ｃ及び第２の面１２ｄ、ならびに第３の面１２ｅ及び第４の面１２ｆの一部又は全部に凹凸などが形成されていてもよい。

[0019] 積層体１２は、複数の誘電体層１４と複数の内部電極１６とを有する。誘電体層１４は、内層誘電体層１４ａと外層誘電体層１４ｂとを有する。また、内部電極１６は、第１の内部電極１６ａと第２の内部電極１６ｂとを有する。

[0020] また、積層体１２は内層部１８と、第１の主面１２ａ側に位置する第１の外層部２０ａと、第２の主面１２ｂ側に位置する第２の外層部２０ｂと、を

有する。

[0021] 第１の外層部２０ａは、積層体１２の第１の主面１２ａ側に位置し、第１の主面１２ａと、最も第１の主面１２ａに近い内部電極１６との間に位置する複数の外層誘電体層１４ｂの集合体である。

[0022] 第２の外層部２０ｂは、積層体１２の第２の主面１２ｂ側に位置し、第２の主面１２ｂと、最も第２の主面１２ｂに近い内部電極１６との間に位置する複数の外層誘電体層１４ｂの集合体である。

[0023] そして、第１の外層部２０ａ及び第２の外層部２０ｂに挟まれた領域が内層部１８である。

[0024] 内層部１８は、第１の面１２ｃに一端が露出され、もう一端が第２の面１２ｄに露出された第１の内部電極１６ａと、第３の面１２ｅに一端が露出され、もう一端が第４の面１２ｆに露出された第２の内部電極１６ｂと、内層誘電体層１４ａとを有する。

[0025] 誘電体層１４の材料としては、例えば、誘電体材料により形成することができる。誘電体材料としては、例えば、$BaTiO_3$、$CaTiO_3$、$SrTiO_3$、$CaZrO_3$などの主成分からなる誘電体セラミックを用いることができる。また、これらの主成分にＭｎ化合物、Ｆｅ化合物、Ｃｒ化合物、Ｃｏ化合物、Ｎｉ化合物などの副成分を添加したものを用いてもよい。また、内層誘電体層１４ａ及び外層誘電体層１４ｂは、同じ誘電体材料により構成していてもよく、内層部１８と外層部２０ａ，２０ｂとで機能を分けることを目的として異なる誘電体材料により構成していてもよい。また、Ｓｉ、Ｍｇ、Ｂａ、Ｍｎの少なくとも一種が添加材として添加されていてもよい。添加材は、セラミック粒子間に存在する。

[0026] 内層誘電体層１４ａは、例えば、誘電体成分として$CaTiO_3$や$CaZrO_3$を多く含むと第１の内部電極１６ａと第２の内部電極１６ｂとの間で発生する絶縁破壊を起きにくくすることができる。また、これに限定されず、内層誘電体層１４ａは、$SrTiO_3$などを主成分とすることもできる。これとは別に積層セラミックコンデンサ１０の容量を高くするためには誘電率の高

い材料、例えば、$BaTiO_3$などで形成されることが好ましい。

[0027] 誘電体層１４は、$BaTiO_3$を基本的な構造とするペロブスカイト型化合物を含む複数の結晶粒を有することができる。

[0028] 誘電体層１４の厚みが薄いほうが、コンデンサとしての容量は大きくなるため、結晶粒径は１μｍ以下が好ましい。

[0029] 積層される誘電体層１４の枚数は、特に限定されないが、第１の外層部２０ａ及び第２の外層部２０ｂを含めて５枚以上１０００枚以下であることが好ましい。また、誘電体層１４の厚みは、例えば０．３μｍ以上６．０μｍ以下であることが好ましい。

[0030]（内部電極）

内部電極１６は、第１の内部電極１６ａ及び第２の内部電極１６ｂを有する。第１の内部電極１６ａと第２の内部電極１６ｂは、内層誘電体層１４ａを介して交互に積層される。

[0031] 第１の内部電極１６ａは、内層誘電体層１４ａの表面に配置される。第１の内部電極１６ａは、第１の主面１２ａ及び第２の主面１２ｂに対向し、第２の内部電極１６ｂと対向する第１の対向電極部２２ａと、第１の対向電極部２２ａに接続され、第１の面１２ｃに引き出される第１の引出電極部２４ａと、第２の面１２ｄに引き出される第２の引出電極部２４ｂとを有する。

[0032] 第１の内部電極１６ａの第１の対向電極部２２ａの形状は、特に限定されないが平面視矩形状であることが好ましい。もっとも、平面視コーナー部を丸められていたり、コーナー部を平面視斜めに形成したりしてよい（テーパー状）。また、どちらかに向かうにつれて傾斜がついている平面視テーパー状であってもよい。

[0033] 第１の内部電極１６ａの第１の引出電極部２４ａ及び第２の引出電極部２４ｂの形状は、特に限定されないが平面視矩形状であることが好ましい。もっとも、平面視コーナー部を丸められていたり、コーナー部を平面視斜めに形成したりしてよい（テーパー状）。また、どちらかに向かうにつれて傾斜がついている平面視テーパー状であってもよい。

[0034] 第２の内部電極１６ｂは、第１の内部電極１６ａが配置される内層誘電体層１４ａと異なる内層誘電体層１４ａの表面に配置される。第２の内部電極１６ｂは、第１の内部電極１６ａと対向する第２の対向電極部２２ｂと、第２の対向電極部２２ｂに接続され、第３の面１２ｅに引き出される第３の引出電極部２４ｃと、第４の面１２ｆに引き出される第４の引出電極部２４ｄとを有している。

[0035] 第２の内部電極１６ｂの第２の対向電極部２２ｂの形状は、特に限定されないが平面視矩形状であることが好ましい。もっとも、平面視コーナー部を丸められていたり、コーナー部を平面視斜めに形成したりしてよい（テーパー状）。また、どちらかに向かうにつれて傾斜がついている平面視テーパー状であってもよい。

[0036] 第２の内部電極１６ｂの第３の引出電極部２４ｃ及び第４の引出電極部２４ｄの形状は、特に限定されないが平面視矩形状であることが好ましい。もっとも、平面視コーナー部を丸められていたり、コーナー部を平面視斜めに形成したりしてよい（テーパー状）。また、どちらかに向かうにつれて傾斜がついている平面視テーパー状であってもよい。

[0037] なお、積層体１２は、第１の内部電極１６ａの第１の対向電極部２２ａ及び第２の内部電極１６ｂの第２の対向電極部２２ｂの第２の方向ｚの一端と第３の面１２ｅとの間に位置する積層体１２の側部（Ｗギャップ）２６ａと、第１の内部電極１６ａの第１の対向電極部２２ａ及び第２の内部電極１６ｂの第２の対向電極部２２ｂの第２の方向ｚの一端と第４の面１２ｆとの間に位置する積層体１２の側部（Ｗギャップ）２６ｂを有する。

[0038] また、積層体１２は、第１の内部電極１６ａの第１の対向電極部２２ａ及び第２の内部電極１６ｂの第２の対向電極部２２ｂの第１の方向ｙの一端と第１の面１２ｃとの間に位置する積層体１２の端部（Ｌギャップ）２７ａと、第１の内部電極１６ａの第１の対向電極部２２ａ及び第２の内部電極１６ｂの第２の対向電極部２２ｂの第１の方向ｙの一端と第２の面１２ｄとの間に位置する積層体１２の端部（Ｌギャップ）２７ｂを有する。

[0039] 第１の内部電極１６ａ及び第２の内部電極１６ｂは、例えば、Ｎｉ、Ｃｕ、Ａｇ、Ｐｄ及びＡｕなどの金属や、Ｎｉ－Ｃｕ合金、Ａｇ－Ｐｄ合金等の、それらの金属の少なくとも一種を含む合金などの適宜の導電材料により構成することができるが、これに限定されない。また、第１の内部電極１６ａ及び第２の内部電極１６ｂは、同じ導電材料により構成していてもよく、異なる導電材料により構成していてもよい。

[0040] また、第１の内部電極１６ａ及び第２の内部電極１６ｂにＳｎを含むことで内部電極１６と誘電体層１４との界面の電位障壁高さを増加させ、内部電極１６と誘電体層１４との界面への電界集中を緩和でき、高温負荷信頼性向上に繋がる。このとき、Ｓｎは、第１の内部電極１６ａ及び第２の内部電極１６ｂのいずれか片方の内部電極１６のみに含まれていても十分に効果を発揮することができる。

[0041] また、第１の内部電極１６ａ及び第２の内部電極１６ｂの枚数は、合わせて２枚以上１０００枚以下であることが好ましい。また、第１の内部電極１６ａ及び第２の内部電極１６ｂの厚みは、特に限定されないが、例えば、０．３μｍ以上６．０μｍ以下であることが好ましい。

[0042] （外部電極）

外部電極３０は、第１の内部電極１６ａ及び第２の内部電極１６ｂに接続される複数の外部電極３０を有している。外部電極３０は、第１の外部電極３０ａと、第２の外部電極３０ｂと、第３の外部電極３０ｃと、第４の外部電極３０ｄとを有する。

[0043] 第１の外部電極３０ａは、第１の面１２ｃ上に配置されており、第１の内部電極１６ａに接続されている。また、第１の外部電極３０ａは、第１の主面１２ａの一部及び第２の主面１２ｂの一部、第３の面１２ｅの一部及び第４の面１２ｆの一部にも配置されていてもよい。

[0044] 第２の外部電極３０ｂは、第２の面１２ｄ上に配置されており、第１の内部電極１６ａに接続されている。また、第２の外部電極３０ｂは、第１の主面１２ａの一部及び第２の主面１２ｂの一部、第３の面１２ｅの一部及び第

４の面１２ｆの一部にも配置されていてもよい。

[0045] 第３の外部電極３０ｃは、第３の面１２ｅ上に配置されており、第２の内部電極１６ｂに接続されている。また、第３の外部電極３０ｃは、第１の主面１２ａの一部及び第２の主面１２ｂの一部にも配置されていてもよい。

[0046] 第４の外部電極３０ｄは、第４の面１２ｆ上に配置されており、第２の内部電極１６ｂに接続されている。また、第４の外部電極３０ｄは、第１の主面１２ａの一部及び第２の主面１２ｂの一部にも配置されていてもよい。

[0047] なお、図示していないが、第１の外部電極３０ａないし第４の外部電極３０ｄにおいて、第１の主面１２ａあるいは第２の主面１２ｂに配置されているが、いずれか一方の主面には形成されていなくてもよい。その場合、積層セラミックコンデンサ１０の積層方向ｘの寸法を低減させることができ、積層セラミックコンデンサ１０を薄型化することができる。

[0048] 積層体１２内において、第１の内部電極１６ａの第１の対向電極部２２ａと第２の内部電極１６ｂの第２の対向電極部２２ｂとが内層誘電体層１４ａを介して対向することにより、静電容量が形成されている。そのため、第１の内部電極１６ａが接続された第１の外部電極３０ａ及び第２の外部電極３０ｂと、第２の内部電極１６ｂが接続された第３の外部電極３０ｃ及び第４の外部電極３０ｄとの間に静電容量を得ることができ、コンデンサの特性が発現する。

[0049] 第１の外部電極３０ａ、第２の外部電極３０ｂ、第３の外部電極３０ｃ及び第４の外部電極３０ｄは、それぞれ下地電極層３２とめっき層とを有することが好ましい。めっき層は、下層めっき層３４と上層めっき層３６とを有していることが好ましい。

[0050] 言い換えると、第１の外部電極３０ａは、第１の下地電極層３２ａと第１の下層めっき層３４ａと第１の上層めっき層３６ａとを有していることが好ましい。第２の外部電極３０ｂは、第２の下地電極層３２ｂと第２の下層めっき層３４ｂと第２の上層めっき層３６ｂとを有していることが好ましい。第３の外部電極３０ｃは、第３の下地電極層３２ｃと第３の下層めっき層３

４ｃと第３の上層めっき層３６ｃとを有していることが好ましい。第４の外部電極３０ｄは、第４の下地電極層３２ｄと第４の下層めっき層３４ｄと第４の上層めっき層３６ｄとを有していることが好ましい。

[0051] 下地電極層３２は、焼付け層、導電性樹脂層、薄膜層等から選ばれる少なくとも１つを含む。

[0052] まず、下地電極層３２を焼付け層によって形成する場合について説明する。焼付け層は金属成分とガラス成分とを含む。ガラス成分は、Ｂ、Ｓｉ、Ｂａ、Ｍｇ、Ａｌ、Ｌｉ等から選ばれる少なくとも１つを含む。また、焼付け層の金属成分としては、例えば、Ｃｕ、Ｎｉ、Ａｇ、Ｐｄ、Ａｇ－Ｐｄ合金、Ａｕ等から選ばれる少なくとも１つを含む。さらに、焼付け層は、複数層であってもよい。

[0053] また、下地電極層３２を焼付け層によって形成する場合、誘電体層１４と同種の成分と金属とを含む構成であってもよい。このとき、仮に誘電体層１４がＣａＺｒＯ系からなる場合、同種の成分はＣａやＺｒである。

[0054] 焼付け層は、ガラス成分及び金属成分を含む導電性ペーストを積層体１２に塗布して焼き付けたものである。焼付け層は、内部電極１６及び誘電体層１４を有する積層チップと積層チップに塗布した導電性ペーストとを同時に焼成したものでもよく、内部電極１６及び誘電体層１４を有する積層チップを焼成して積層体１２を得た後に導電性ペーストを塗布して焼き付けたものでもよい。なお、内部電極１６及び誘電体層１４を有する積層チップと積層チップに塗布した導電性ペーストとを同時に焼成する場合には、ガラス成分の代わりに誘電体成分を添加するか、その両方を添加して焼付け層を形成することが好ましい。

[0055] 第１の面１２ｃ及び第２の面１２ｄに位置する第１の焼付け層及び第２の焼付け層の第１の主面１２ａ及び第２の主面１２ｂを結ぶ積層方向ｘの中央部における、第１の焼付け層及び第２の焼付け層の第１の面１２ｃ及び第２の面１２ｄを結ぶ第１の方向ｙの厚み（端面中央厚み）は、例えば、５μｍ以上５５μｍ以下であることが好ましい。

[0056] また、第１の主面１２ａの一部又は第２の主面１２ｂの一部にも下地電極層（焼付け層）を設ける場合には、第１の主面１２ａ上又は第２の主面１２ｂ上に位置する第１の焼付け層及び第２の焼付け層の第１の面１２ｃ及び第２の面１２ｄを結ぶ第１の方向ｙの中央部における、第１の焼付け層及び第２の焼付け層の第１の主面１２ａ及び第２の主面１２ｂを結ぶ積層方向ｘの厚みは、例えば、１μｍ以上３０μｍ以下であることが好ましい。

[0057] 次に、下地電極層３２を導電性樹脂層によって形成する場合について説明する。導電性樹脂層は、焼付け層上に焼付け層を覆うように配置されるか、焼付け層を設けずに積層体１２上に直接配置されてもよい。また、導電性樹脂層は、焼付け層上を完全に覆っていてもよいし、焼付け層の一部を覆っていてもよい。さらに、導電性樹脂層は、複数層であってもよい。

[0058] 導電性樹脂層は、熱硬化性樹脂及び金属を含む。導電性樹脂層は、熱硬化性樹脂を含むため、例えばめっき膜や導電性ペーストの焼成物からなる焼付け層よりも柔軟性に富んでいる。このため、積層セラミックコンデンサ１０に物理的な衝撃や熱サイクルに起因する衝撃が加わった場合であっても、導電性樹脂層が緩衝層として機能し、積層セラミックコンデンサ１０へのクラックを防止することができる。

[0059] 導電性樹脂層に含まれる金属としては、Ａｇ、Ｃｕ、Ｎｉ、Ｓｎ、Ｂｉ又はそれらを含む合金を使用することができる。また、金属粉の表面にＡｇコーティングされた金属粉を使用することもできる。金属粉の表面にＡｇコーティングされたものを使用する際には金属粉としてＣｕ、Ｎｉ、Ｓｎ、Ｂｉ又はそれらの合金粉を用いることが好ましい。導電性金属にＡｇの導電性金属粉を用いる理由としては、Ａｇは金属の中でもっとも比抵抗が低いため電極材料に適しており、Ａｇは貴金属であるため酸化せず耐候性が高いためである。また、上記のＡｇの特性は保ちつつ、母材の金属を安価なものにすることが可能になるためである。

[0060] さらに、導電性樹脂層に含まれる金属としては、Ｃｕ、Ｎｉに酸化防止処理を施したものを使用することもできる。なお、導電性樹脂層に含まれる金

属としては、金属粉の表面にＳｎ、Ｎｉ、Ｃｕをコーティングした金属粉を使用することもできる。金属粉の表面にＳｎ、Ｎｉ、Ｃｕをコーティングされたものを使用する際には金属粉としてＡｇ、Ｃｕ、Ｎｉ、Ｓｎ、Ｂｉ又はそれらの合金粉を用いることが好ましい。

[0061] 導電性樹脂層に含まれる金属は、主に導電性樹脂層の通電性を担う。具体的には、導電性フィラー同士が接触することにより、導電性樹脂層の内部に通電経路が形成される。

[0062] 導電性樹脂層に含まれる金属は、球形状、扁平状などのものを用いることができるが、球形状金属粉と扁平状金属粉とを混合して用いるのが好ましい。

[0063] 導電性樹脂層の樹脂としては、例えば、エポキシ樹脂、フェノール樹脂、ウレタン樹脂、シリコーン樹脂、ポリイミド樹脂などの公知の種々の熱硬化性樹脂を使用することができる。その中でも、耐熱性、耐湿性、密着性などに優れたエポキシ樹脂は最も適切な樹脂の一つである。

[0064] また、導電性樹脂層には、熱硬化性樹脂とともに、硬化剤を含むことが好ましい。硬化剤としては、ベース樹脂としてエポキシ樹脂を用いる場合、エポキシ樹脂の硬化剤として、フェノール系、アミン系、酸無水物系、イミダゾール系、活性エステル系、アミドイミド系など公知の種々の化合物を使用することができる。

[0065] 導電性樹脂層の厚みの最も厚い部分は、例えば５μｍ以上５０μｍ以下であることが好ましい。

[0066] 次に、下地電極層３２を薄膜層によって形成する場合について説明する。薄膜層は、積層体１２の表面に形成されてもよい。下地電極層３２として薄膜層を設ける場合、薄膜層はスパッタ法又は蒸着法等の薄膜形成法により形成される。薄膜層は、金属粒子が堆積された１μｍ以下の層である。

[0067] また、下地電極層３２は、めっき層で形成されてもよい。このとき、めっきの成分として、Ｃｕ、Ｎｉ、Ｓｎ、Ｐｄ、Ａｕ、Ａｇ、ＢｉまたはＺｎなどから選ばれる少なくとも１種の金属をまたは、当該金属を含む合金を含む

ことが好ましい。めっき層は、ガラスを含まないことが好ましく、めっき層の単位面積あたりの金属割合は、９９体積％以上であることが好ましい。

[0068]（下層めっき層）

下層めっき層３４は、第１の下地電極層３２ａを覆うように配置される第１の下層めっき層３４ａと、第２の下地電極層３２ｂを覆うように配置される第２の下層めっき層３４ｂと、第３の下地電極層３２ｃを覆うように配置される第３の下層めっき層３４ｃと、第４の下地電極層３２ｄを覆うように配置される第４の下層めっき層３４ｄと、を含む。

[0069] 下層めっき層３４としては、例えば、Ｃｕ、Ｎｉ、Ｓｎ、Ａｇ、Ｐｄ、Ａｇ－Ｐｄ合金、Ａｕ等から選ばれる少なくとも１つを含む。

[0070] また、下層めっき層３４は、Ｎｉめっきであることが好ましい。下層めっき層３４がＮｉめっきである場合は、下地電極層３２が積層セラミックコンデンサ１０を実装する際のはんだによって侵食されることを防止することができる。

[0071] また、下層めっき層３４の厚みは、例えば、１μｍ以上８μｍ以下であることが好ましい。

[0072]（上層めっき層）

上層めっき層３６は、第１の下層めっき層３４ａを覆うように配置される第１の上層めっき層３６ａと、第２の下層めっき層３４ｂを覆うように配置される第２の上層めっき層３６ｂと、第３の下層めっき層３４ｃを覆うように配置される第３の上層めっき層３６ｃと、第４の下層めっき層３４ｄを覆うように配置される第４の上層めっき層３６ｄと、を含む。

[0073] 上層めっき層３６としては、例えば、Ｃｕ、Ｎｉ、Ｓｎ、Ａｇ、Ｐｄ、Ａｇ－Ｐｄ合金、Ａｕ等から選ばれる少なくとも１つを含む。

[0074] また、上層めっき層３６は、Ｓｎめっきであることが好ましい。上層めっき層３６がＳｎめっきである場合は、積層セラミックコンデンサ１０を実装する際のはんだの濡れ性を向上させ、容易に実装することができる。

[0075] また、上層めっき層３６の厚みは、例えば、１μｍ以上８μｍ以下である

ことが好ましい。

[0076] なお、めっき層は、下層めっき層３４と上層めっき層３６の２層構造であるが、これに限るものではなく、３層構造であってもよい。めっき層が、３層構造である場合は、積層体１２側からＳｎめっき、Ｎｉめっき、Ｓｎめっきであることが好ましい。

[0077] 積層体１２と外部電極３０とを含む積層セラミックコンデンサ１０の第１の方向ｙの寸法をＬ寸法とする。Ｌ寸法は、０．５１ｍｍ以上３．２ｍｍ以下であることが好ましい。積層体１２と外部電極３０とを含む積層セラミックコンデンサ１０の第２の方向ｚの寸法をW寸法とする。W寸法は、０．２１ｍｍ以上２．５ｍｍ以下であることが好ましい。積層体１２と外部電極３０とを含む積層セラミックコンデンサ１０の積層方向ｘの寸法をＴ寸法とする。Ｔ寸法は、０．０５ｍｍ以上２．５ｍｍ以下であることが好ましい。

[0078] 次に、接合電極４０について、説明する。

積層体１２の第１の主面１２ａまたは第２の主面１２ｂのいずれか一面上には、外部電極３０のうち、少なくとも２つ以上の同電位の外部電極同士を電気的に接合する接合電極４０が配置されている。

[0079] 第１の実施の形態の積層セラミック電子部品１００では、接合電極４０は、積層体１２の第１の主面１２ａ上において、積層セラミックコンデンサ１０の第１の外部電極３０ａ及び第２の外部電極３０ｂとを電気的に接合している。

[0080] 接合電極４０は、接合下地電極４２と、接合下地電極４２を覆う接合下層めっき層４４と、接合下層めっき層４４を覆う接合上層めっき層４６とを備える。なお、接合電極４０は、接合下地電極４２のみにより構成されてもよい。この場合、接合下地電極４２は、例えば、スパッタリング電極により形成される。

[0081] 積層セラミックコンデンサ１０の直流抵抗をＲｄｃ１、接合電極４０の直流抵抗をＲｄｃ３としたとき、Ｒｄｃ１≦Ｒｄｃ３であることが好ましい。

Ｒｄｃ１＞Ｒｄｃ３の場合、ノイズ成分を含む電流が、分圧の効果により

コンデンサを流れにくくなるため、ノイズ除去効果が小さくなる。

[0082] Ｒｄｃ３は、Ｒｄｃ１の１．０倍以上５．０倍以下であることが好ましい。基本的には、合成抵抗を下げれば電流は流しやすくなる。ただし、Ｒｄｃ３がＲｄｃ１の５．０倍より大きい場合においては、電流を流しやすくなる効果が低下する。

[0083] 接合電極４０の積層方向ｘの厚みt_1は、接合電極４０と同一平面上に配置された外部電極３０の積層方向ｘの厚みt_2よりも薄いことが好ましい。

[0084] 接合電極４０は、積層方向ｘの厚みを厚くするほど、Ｒｄｃ３を小さくすることができる。しかしながら、主面上に配置された外部電極３０の積層方向ｘの寸法よりも大きくなると、積層セラミックコンデンサ１０全体の積層方向ｘの寸法が大きくなってしまう。そこで、接合電極４０の積層方向ｘの厚みを、接合電極４０と同一平面上に配置された外部電極３０の積層方向ｘの厚みよりも薄くすることで、Ｒｄｃ３を大きくすることができ、かつ積層セラミックコンデンサ１０の積層方向ｘの寸法が大きくなりすぎることなく、積層セラミックコンデンサ１０に大電流を流すことができる。

[0085] 接合電極４０と、積層セラミックコンデンサ１０のそれぞれのＲｄｃの測定の仕方は、以下のとおりである。

すなわち、まず、接合電極４０と接続されている積層セラミックコンデンサ１０の外部電極３０を、例えば、レーザーや研磨、溶剤処理によって積層体１２の表面から除去する。このとき、接合電極４０と接続されている外部電極３０のうち、どちらか一方を積層体１２の表面から除去すればよい。その後、接合電極４０及び積層セラミックコンデンサ１０のそれぞれを、４端子法を用いて測定する。

[0086] 接合電極４０の主成分は、ＣｕやＮｉＣｒ、ＮｉＣｕなどの金属であることが好ましいが、これに限定されない。

[0087] 接合電極４０の接合下地電極４２の空隙率は、外部電極３０の下地電極層３２の空隙率よりも大きいことが好ましい。接合下地電極４２の空隙率を下地電極層３２の空隙率より大きくすることで、Ｒｄｃ３を大きくすることが

できる。空隙率は、接合下層めっき層４４及び接合上層めっき層４６が配置されている場合、接合下層めっき層４４及び接合上層めっき層４６を剥がしたときの接合下地電極４２と下地電極層３２の積層方向ｘ視したとき、空隙とそれ以外とを２値化したときの面積によって定義される。

[0088] 仮に、Ｔ寸法が１００μｍ以下、例えば、５０μｍ以下になった場合、抗折強度が低くなるため、接合電極４０を積層体１２の第１の主面１２ａまたは第２の主面１２ｂのいずれかの表面に配置させることで、積層セラミックコンデンサ１０の抗折強度を向上させることができる。

[0089] なお、図１に示す接合電極４０は、矩形状であるが、これに限定されず、第１の方向ｙにおける中央領域の幅方向の長さが端部の幅方向の長さよりも小さくても、大きくてもよい。また、接合電極４０の一方端側から他方端側に向かって、あるいは、他方端から一方端側に向かって、第２の方向ｚの寸法が細くなるテーパー形状であってもよいし、階段形状に細く形成されてもよい。

[0090] 図１に示す積層セラミックコンデンサ１０によれば、第１の主面１２ａ上には、第１の外部電極３０ａと第２の外部電極３０ｂとを電気的に接合する接合電極４０が配置される。積層セラミックコンデンサの直流抵抗をＲｄｃ１とし、接合電極４０の直流抵抗をＲｄｃ３としたとき、Ｒｄｃ１≦Ｒｄｃ３であるので、積層セラミックコンデンサ１０と接合電極４０との合成抵抗の方が、積層セラミックコンデンサ１０単体の抵抗よりも小さくなることから、より大電流対応とすることができる積層セラミックコンデンサ１０を提供することができる。

[0091] 第１の実施の形態の変形例

続いて、この発明の第１の実施の形態の第１の変形例にかかる積層セラミック電子部品１００Ａの一例について説明する。図８は、本発明の第１の実施の形態の変形例に係る積層セラミック電子部品の外観斜視図である。ただし、図１ないし図７と同一または相当する構成については、同一符号を付し、詳細な説明は省略する。

[0092] 変形例にかかる積層セラミック電子部品１００Ａは、図８に示されるように、積層セラミックコンデンサ１０と接合電極４０Ａとを含む。

[0093] 第１の実施の形態において、積層セラミック電子部品１００Ａでは、接合電極４０Ａは、積層体１２の第１の主面１２ａ上において、積層セラミックコンデンサ１０の第３の外部電極３０ｃ及び第４の外部電極３０ｄとを電気的に接合している。

[0094] 積層セラミックコンデンサ１０の直流抵抗をＲｄｃ１、接合電極４０Ａの直流抵抗をＲｄｃ３としたとき、Ｒｄｃ１≦Ｒｄｃ３であることが好ましい。

[0095] ２．積層セラミック電子部品の実装構造

続いて、本発明の実施の形態に係る積層セラミック電子部品１００の実装構造３００について説明する。

[0096] 図９は、本発明の第１の実施の形態に係る積層セラミック電子部品の実装構造を示す積層方向の断面図である。図１０は、本発明の第１の実施の形態に係る積層セラミック電子部品の実装構造を示す第２の方向の断面図である。

[0097] 本実施の形態に係る積層セラミック電子部品の実装構造３００は、図９および図１０に示すように、本実施の形態に係る積層セラミック電子部品１００と実装基板６０とを含む。実装基板６０は、基板のコア材６２及び接続導体（導体ランド）６４を含む。

[0098] 基板のコア材６２は、例えば、ガラス布（クロス）とガラス不織布とを混ぜ合わせた基材にエポキシ樹脂やポリイミド樹脂を含浸させた材料からなる基板、またはセラミックスとガラスとを混合したシートを焼き付けて製造するセラミックス基板により構成される。なお、基板のコア材６２は、単層からなる基板であっても、複数層を積層してなる基板として構成されていてもよい。基板のコア材６２の厚みは特に限定されないが、例えば、２００μｍ以上８００μｍ以下とすることが好ましい。

[0099] 基板のコア材６２の一方の主面は、導体ランド６４が配設されるとともに

積層セラミック電子部品１００の実装面となる基板側実装面６２ａを構成する。

[0100] 導体ランド６４は、第１の導体ランド６４ａ、第２の導体ランド６４ｂ、第３の導体ランド６４ｃ、及び第４の導体ランド６４ｄを含む。

[0101] 第１の導体ランド６４ａは、接合材６６によって積層セラミックコンデンサ１０の第１の外部電極３０ａと電気的に接続されるとともに機械的に接合される部位である。第２の導体ランド６４ｂは、接合材６６によって積層セラミックコンデンサ１０の第２の外部電極３０ｂと電気的に接続されるとともに機械的に接合される部位である。第３の導体ランド６４ｃは、接合材６６によって積層セラミックコンデンサ１０の第３の外部電極３０ｃと電気的に接続されるとともに機械的に接合される部位である。第４の導体ランド６４ｄは、接合材６６によって積層セラミックコンデンサ１０の第４の外部電極３０ｄと電気的に接続されるとともに機械的に接合される部位である。

[0102] なお、導体ランド６４は、基板のコア材６２の基板側実装面６２ａの反対側の主面に設けるようにしてもよい。

[0103] 導体ランド６４の材質は特に限定されないが、例えば、Ｃｕ、Ａｕ、Ｐｄ、Ｐｔなどの金属を用いることができる。また、導体ランド６４の厚み、すなわち積層方向ｘにおける寸法は、特に限定されないが、例えば、２０μｍ以上２００μｍ以下とすることが好ましい。接合材６６は、例えば、高耐熱用エポキシ系接着剤やはんだを用いることができる。

[0104] なお、上記の説明において、実装基板６０は本発明の実装基板に相当する。基板のコア材６２は本発明の基板のコア材に相当する。基板側実装面６２ａは本発明の実装面に相当する。複数の導体ランド６４は本発明の複数の接続導体に相当する。ただし、本発明の接続導体は、いわゆるランドのほか、積層セラミックコンデンサ１０と実装基板６０との間に設けられて両者を電気的に接続可能な導体であれば、その他の用途、機能、形状、名称等によって限定されるものではない。

[0105] また、積層セラミック電子部品の実装構造３００において、第１の外部電

極３０ａおよび第２の外部電極３０ｂが陽極に接続されている。これにより、電流距離が短くなり、耐湿信頼性を担保しつつ、絶縁抵抗の増加を防ぐことができる。

[0106] 図９および図１０に示す積層セラミック電子部品の実装構造３００は、積層セラミック電子部品１００の接合電極４０が実装基板６０とは反対方向に配置されるように積層セラミック電子部品１００が実装されることが好ましい。つまり、積層セラミック電子部品１００の接合電極４０は、積層セラミックコンデンサ１０の第１の主面側（非実装面側）に配置され、積層セラミック電子部品１００の積層セラミックコンデンサ１０が実装基板６０側に実装されることが好ましい。このように実装することで、積層セラミックコンデンサ１０と実装基板６０との距離を遠ざけることがなくなるため、低ＥＳＬの効果が得やすくなる。また、積層セラミック電子部品１００の実装基板への実装に影響を与えることなく実装することができる。

[0107] ３．積層セラミックコンデンサの製造方法

以下、本発明に係る積層セラミックコンデンサ１０の製造方法について説明する。

[0108] （ａ）積層セラミックコンデンサの製造方法

まず、誘電体シート及び内部電極用の導電性ペーストを準備する。誘電体シート及び内部電極用の導電性ペーストには、バインダ及び溶剤が含まれる。バインダ及び溶剤は公知のものを用いることができる。

[0109] 次に、誘電体シート上に、例えば、インクジェット印刷、スクリーン印刷あるいはグラビア印刷などにより所定のパターンで内部電極用の導電性ペーストが印刷される。これにより、第１の内部電極のパターンが形成された誘電体シート及び第２の内部電極のパターンが形成された誘電体シートが準備される。その後、第１の内部電極が印刷されたシートと第２の内部電極が印刷されたシートとを積層することで、内層部１８となる部分が形成される。

[0110] 次に、内部電極のパターンが印刷されていない誘電体シートを所定枚数積層されることにより第１の主面１２ａ側の第１の外層部２０ａとなる部分が

形成される。その後、上記で準備した内層部１８となる部分を積層し、この内層部１８となる部分の上に、内部電極のパターンが印刷されていない誘電体シートが所定枚数積層されることにより、第２の主面１２ｂ側の第２の外層部２０ｂとなる部分が形成される。これにより、積層シートが作製される。

[0111] 次に、積層シートを静水圧プレスなどの手段により積層方向にプレスし積層ブロックを作製する。

[0112] 続いて、積層ブロックを所定のサイズにカットし、積層チップを切り出す。このとき、バレル研磨などにより積層チップの角部及び稜線部に丸みがつけられてもよい。

[0113] 次に、積層チップを焼成し、積層体１２を作製する。焼成温度は、セラミックや内部電極の材料にもよるが、９００℃以上１４００℃以下であることが好ましい。

[0114] 次に、積層体１２の第１の主面１２ａの表面に、接合電極４０が形成される。接合電極４０の形成には導電性ペーストをスリットから押し出して塗布する工法やスクリーン印刷法を用いて、接合下地電極４２が形成される。

[0115] そして、接合電極４０の形成された積層体１２の第１の面１２ｃ上及び第２の面１２ｄ上に第１の外部電極３０ａの第１の下地電極層３２ａ、第２の外部電極３０ｂの第２の下地電極層３２ｂを形成する。また、焼成して得られた積層体１２の第３の面１２ｅ上及び第４の面１２ｆ上に第３の外部電極３０ｃの第３の下地電極層３２ｃ及び第４の外部電極３０ｄの第４の下地電極層３２ｄを形成する。

[0116] 下地電極層３２として焼付け層を形成する場合は、ガラス成分と金属成分とを含む導電性ペーストを塗布し、そのあと焼付け処理を行い、下地電極層３２を形成する。

[0117] より詳細には、まず、焼成して得られた積層体１２の第３の面１２ｅ上及び第４の面１２ｆ上に第３の外部電極３０ｃの第３の下地電極層３２ｃ及び第４の外部電極３０ｄの第４の下地電極層３２ｄを形成する。

[0118] ここで、第３の下地電極層３２ｃ及び第４の下地電極層３２ｄの形成方法としては、様々な方法を用いることができる。例えば、導電性ペーストをスリットから押し出して塗布する工法を用いることができる。この工法の場合、導電性ペーストの押し出し量を多くすることで、第３の面１２ｅ上及び第４の面１２ｆ上だけでなく、第１の主面１２ａの一部及び第２の主面１２ｂの一部にまで第３の下地電極層３２ｃ及び第４の下地電極層３２ｄを形成することができる。

[0119] また、ローラ転写法を用いて形成することもできる。ローラ転写法の場合、第３の面１２ｅ上及び第４の面１２ｆ上だけでなく、第１の主面１２ａの一部及び第２の主面１２ｂの一部にまで第３の下地電極層３２ｃ及び第４の下地電極層３２ｄを形成する場合、ローラ転写の際の押し付け圧力を強くすることで第１の主面１２ａの一部及び第２の主面１２ｂの一部にまで第３の下地電極層３２ｃ及び第４の下地電極層３２ｄを形成することが可能となる。

[0120] 次に、焼成して得られた積層体１２の第１の面１２ｃ上及び第２の面１２ｄ上に第１の外部電極３０ａの第１の下地電極層３２ａ及び第２の外部電極３０ｂの第２の下地電極層３２ｂを形成する。

[0121] ここで、第１の下地電極層３２ａ及び第２の下地電極層３２ｂの形成方法としては、様々な方法を用いることができる。例えば、ディッピングなどの方法を使用して、第１の面１２ｃ及び第２の面１２ｄだけでなく、第１の主面１２ａの一部及び第２の主面１２ｂの一部、第３の面１２ｅの一部及び第４の面１２ｆの一部にまで延びるように形成することができる。

[0122] 本実施の形態では、第１の下地電極層３２ａ及び第２の下地電極層３２ｂ、並びに第３の下地電極層３２ｃ及び第４の下地電極層３２ｄを同時に焼成してもよい。

[0123] 下地電極層３２として導電性樹脂層を形成する場合は、以下の方法で導電性樹脂層を形成することができる。なお、導電性樹脂層は、焼付け層の表面に形成されてもよく、焼付け層を形成せずに導電性樹脂層を単体で積層体上

に直接形成してもよい。

[0124] 導電性樹脂層の形成方法としては、熱硬化性樹脂及び金属を含む導電性樹脂ペーストを焼付け層上もしくは積層体上に塗布し、２５０℃以上５５０℃以下の温度で熱処理を行い、樹脂を熱硬化させ、導電性樹脂層を形成する。この時の熱処理時の雰囲気は、N_2雰囲気であることが好ましい。また、樹脂の飛散を防ぎ、かつ、各種金属成分の酸化を防ぐため、酸素濃度は１００ｐｐｍ以下に抑えることが好ましい。

[0125] 導電性樹脂ペーストの塗布方法としては、下地電極層３２を焼付け層で形成する方法と同様、例えば、導電性ペーストをスリットから押し出して塗布する工法やローラ転写法を用いて形成することができる。

[0126] その後、下地電極層３２上及び積層体１２の表面上に下層めっき層３４が形成され、下層めっき層３４を覆うように上層めっき層３６が形成される。同時に、接合下地電極４２の表面上に、接合下層めっき層４４が形成され、接合下層めっき層４４を覆うように接合上層めっき層４６が形成される。より詳細には、下地電極層３２上に、下層めっき層３４としてＮｉめっき層が形成される。その後、下層めっき層３４の表面に上層めっき層３６としてＳｎめっき層が形成される。同様に、接合下地電極４２上に、接合下層めっき層４４としてＮｉめっき層が形成され、接合下層めっき層４４の表面に接合上層めっき層４６としてＳｎめっき層が形成される。めっき処理を行うにあたっては、電解めっき、無電解めっきのどちらを採用してもよい。但し、無電解めっきはめっき析出速度を向上させるために、触媒などによる前処理が必要となり、工程が複雑化するというデメリットがある。したがって、通常は、電解めっきを採用することが好ましい。

[0127] 以上のようにして、図１に記載の積層セラミック電子部品１００を製造することができる。

[0128] 一方、焼成した積層体１２を製造し、その積層体１２に外部電極３０を形成した後、接合電極４０を形成してもよい。

[0129] すなわち、外部電極３０が形成され、積層セラミックコンデンサ１０を得

た後、スクリーン印刷やスパッタリングによって、積層セラミックコンデンサ１０の積層体１２における第１の主面１２ａの表面に接合電極４０が形成される。

[0130] これにより、図１に記載の積層セラミック電子部品１００を製造することができる。

[0131] ４．第１の実施の形態に係る積層セラミックコンデンサの変形例

以下、第１の実施の形態にかかる積層セラミック電子部品における積層セラミックコンデンサの各変形例（第１の変形例及び第２の変形例）について説明する。また、これら各変形例について、上記実施の形態の構成要素に相当するものについては同じ符号を付すとともに、その詳細な説明を省略する。

[0132] （１）第１の変形例

本実施の形態の第１の変形例に係る積層セラミックコンデンサ１０Ａは、本実施の形態に係る積層セラミックコンデンサ１０と比較して、積層セラミックコンデンサ１０Ａの積層体１２Ａの構造のみが異なる。したがって、積層セラミックコンデンサ１０と同一の部分には、同一の符号を付してその説明は省略する。

[0133] 図１１は、本発明の第１の実施の形態に係る積層セラミックコンデンサの第１の変形例を示す断面図であって、図４の断面図に対応する図である。図１２は、本発明の第１の実施の形態に係る積層セラミックコンデンサの第１の変形例を示す断面図であって、図５の断面図に対応する図である。図１３は、図１１の線ＸＩＩＩ－ＸＩＩＩにおける断面図である。図１４は、図１１の線ＸＩＶ－ＸＩＶにおける断面図である。

[0134] 積層セラミックコンデンサ１０Ａは、積層体１２Ａと、外部電極３０とを有する。

[0135] 積層体１２Ａは、積層方向ｘに相対する第１の主面１２ａ及び第２の主面１２ｂと、積層方向ｘに直交する第１の方向ｙに相対する第１の面１２ｃ及び第２の面１２ｄと、積層方向ｘ及び第１の方向ｙに直交する第２の方向ｚ

に相対する第３の面１２ｅ及び第４の面１２ｆとを含む。

[0136] 積層体１２Ａは、複数の誘電体層１４と複数の内部電極１６とを有する。誘電体層１４は、内層誘電体層１４ａと外層誘電体層１４ｂとを含む。また、内部電極１６は、第１の内部電極１６ａと第２の内部電極１６ｂとを有する。

[0137] 積層体１２Ａの端部（Ｌギャップ）２７ａ、２７ｂには、第１の面１２ｃに露出されるように第１のダミー電極２５ａ及び第２の面１２ｄに露出されるように第２のダミー電極２５ｂが配置される。

[0138] 第１のダミー電極２５ａ及び第２のダミー電極２５ｂは、第２の内部電極１６ｂと同一平面上に配置され、第２の内部電極１６ｂと同等の厚みであることが好ましい。

[0139] 第１のダミー電極２５ａ及び第２のダミー電極２５ｂのカバレッジを低下させると電流経路を短くすることができる。

[0140] 第１のダミー電極２５ａ及び第２のダミー電極２５ｂは、第１の外層部２０ａ及び第２の外層部２０ｂに配置されていてもよい。この場合、積層体１２の端部（Ｌギャップ）２７ａ、２７ｂを積層方向ｘに平行移動した場所に該当する部分上に配置されることが好ましい。このように設けることで、下地電極層３２を設けずにめっき層を設ける場合に、めっき層を形成しやすくなる。

[0141] なお、第１のダミー電極２５ａ及び第２のダミー電極２５ｂを、第２の内部電極１６ｂと同一平面上に設ける場合は、第２の内部電極１６ｂを印刷するときに、第１のダミー電極２５ａ及び第２のダミー電極２５ｂを第２の内部電極１６ｂと一緒に印刷することによって、第１のダミー電極２５ａ及び第２のダミー電極２５ｂを、第２の内部電極１６ｂと同一平面上に配置させることができる。

[0142] また、積層体１２Ａの側部（Ｗギャップ）２６ａ、２６ｂには、第３の面１２ｅに露出されるように第３のダミー電極２５ｃ及び第４の面１２ｆに露出されるように第４のダミー電極２５ｄが配置されていてもよい。

[0143] 第３のダミー電極２５ｃ及び第４のダミー電極２５ｄは、第１の内部電極１６ａと同一平面上に配置され、第１の内部電極１６ａと同等の厚みであることが好ましい。

[0144] 第３のダミー電極２５ｃ及び第４のダミー電極２５ｄのカバレッジを低下させると電流経路を短くすることができる。

[0145] 第３のダミー電極２５ｃ及び第４のダミー電極２５ｄは、第１の外層部２０ａ及び第２の外層部２０ｂに配置されていてもよい。この場合、積層体１２Ａの側部（Ｗギャップ）２６ａ、２６ｂを積層方向ｘに平行移動した場所に該当する部分上に配置されることが好ましい。このように設けることで、下地電極層３２を設けずにめっき層を設ける場合に、めっき層を形成しやすくなる。

[0146] なお、第３のダミー電極２５ｃ及び第４のダミー電極２５ｄを、第１の内部電極１６ａと同一平面上に設ける場合は、第１の内部電極１６ａを印刷するときに、第３のダミー電極２５ｃ及び第４のダミー電極２５ｄを第２の内部電極１６ｂと一緒に印刷することによって、第３のダミー電極２５ｃ及び第４のダミー電極２５ｄを、第１の内部電極１６ａと同一平面上に配置させることができる。

[0147] 図１１ないし図１４に示す積層セラミックコンデンサ１０Ａは、積層体１２Ａの側部（Ｗギャップ）２６ａ、２６ｂ及び積層体１２Ａの端部（Ｌギャップ）２７ａ、２７ｂに第１のダミー電極２５ａ、第２のダミー電極２５ｂ、第３のダミー電極２５ｃ及び第４のダミー電極２５ｄが配置されるので、プレス時の歪みを防止することができる。

[0148] なお、図１１ないし図１４に示す積層セラミックコンデンサ１０Ａは、積層体１２Ａの側部（Ｗギャップ）２６ａ、２６ｂ及び積層体１２Ａの端部（Ｌギャップ）２７ａ、２７ｂに第１のダミー電極２５ａ、第２のダミー電極２５ｂ、第３のダミー電極２５ｃ及び第４のダミー電極２５ｄが配置されているが、これに限るものではない。

すなわち、積層体１２Ａの端部（Ｌギャップ）２７ａ、２７ｂに、第１の

ダミー電極２５ａおよび第２のダミー電極２５ｂを配置し、積層体１２Ａの側部（Ｗギャップ）２６ａ、２６ｂに、第３のダミー電極２５ｃ及び第４のダミー電極２５ｄを配置しないようにしてもよい。

他方、積層体１２Ａの側部（Ｗギャップ）２６ａ、２６ｂに第３のダミー電極２５ｃ及び第４のダミー電極２５ｄを配置し、積層体１２Ａの端部（Ｌギャップ）２７ａ、２７ｂに、第１のダミー電極２５ａおよび第２のダミー電極２５ｂを配置しないようにしてもよい。

[0149] （２）第２の変形例

本実施の形態の第２の変形例に係る積層セラミックコンデンサ１０Ｂは、本実施の形態に係る積層セラミックコンデンサ１０と比較して、積層セラミックコンデンサ１０Ｂの積層体１２Ｂの構造のみが異なる。したがって、積層セラミックコンデンサ１０と同一の部分には、同一の符号を付してその説明は省略する。

[0150] 図１５は、本発明の第１の実施の形態に係る積層セラミックコンデンサの第２の変形例を示す断面図であって、図４の断面図に対応する図である。図１６は、本発明の第１の実施の形態に係る積層セラミックコンデンサの第２の変形例を示す断面図であって、図５の断面図に対応する図である。

[0151] 積層体１２Ｂは、積層方向ｘに相対する第１の主面１２ａ及び第２の主面１２ｂと、積層方向ｘに直交する第１の方向ｙに相対する第１の面１２ｃ及び第２の面１２ｄと、積層方向ｘ及び第１の方向ｙに直交する第２の方向ｚに相対する第３の面１２ｅ及び第４の面１２ｆとを含む。

[0152] 積層体１２Ｂは、複数の誘電体層１４と複数の内部電極１６とを有する。誘電体層１４は、内層誘電体層１４ａと外層誘電体層１４ｂとを含む。また、内部電極１６は、第１の内部電極１６ａと第２の内部電極１６ｂとを有する。

[0153] 積層体１２Ｂは、内層部１８と、積層方向ｘにおいて内層部１８を挟みこむように配置された第１の外層部２０ａ及び第２の外層部２０ｂと、を有する。

[0154] 内層部１８の内層誘電体層１４ａは、第１の内部電極１６ａと第１の内部電極１６ａとの間に挟まれるように配置されてもよい。この場合、第１の内部電極１６ａと、第１の内部電極１６ａは内層部１８の内層誘電体層１４ａを介して連続的に配置される。

[0155] また、内層部１８の内層誘電体層１４ａは、第２の内部電極１６ｂと第２の内部電極１６ｂとの間に挟まれるように配置されていてもよい。この場合、第２の内部電極１６ｂと第２の内部電極１６ｂとは、内層部１８の誘電体層１４を介して連続的に配置される。内層部１８の内層誘電体層１４ａは、例えば、Ｂａ、Ｔｉを含有するペロブスカイト型化合物を主成分とし、ペロブスカイト構造を備える誘電体セラミック粒子からなる。また、これらの主成分に、Ｓｉ、Ｍｇ、Ｂａ、Ｍｎのうちの少なくとも一種が添加材として加えられてもよい。添加材は、セラミック粒子間に存在する。

[0156] 積層体１２Ｂの内層部１８は、第１の内部電極１６ａと第２の内部電極１６ｂとが誘電体層１４を介して対向して静電容量を形成する容量形成部２８と、第１の内部電極１６ａが２枚以上連続して積層されている領域である内部電極積層部２９とを有する。積層セラミックコンデンサ１０Ｂは、この容量形成部２８によりコンデンサの特性が発現する。

[0157] また、内部電極積層部２９は、第２の内部電極１６ｂにより複数個の内部電極積層部２９に分断するように配置される。これにより、第１の内部電極１６ａの集合体が分散されるため、放熱効果が高まり、温度上昇抑制効果を得ることができる。

[0158] 図１５および図１６に示すように、積層セラミックコンデンサ１０Ｂは、内部電極積層部２９が、２枚の第２の内部電極１６ｂにより分断され、内部電極積層部２９は、第１の内部電極積層部２９ａ、第２の内部電極積層部２９ｂ及び第３の内部電極積層部２９ｃに分断されている。

[0159] なお、第１の内部電極１６ａが２枚以上連続して積層されている領域である内部電極積層部２９を分断するように配置される第２の内部電極１６ｂは、単数で配置されていてもよい。これにより、第１の内部電極１６ａをより

多く積層することが可能となり、直流抵抗の低減効果を得ることができる。

[0160] また、第１の内部電極１６ａが２枚以上連続して積層されている領域である内部電極積層部２９を分断するように配置される第２の内部電極１６ｂは、２枚以上連続して積層されて配置されてもよい。これにより、第２の内部電極１６ｂの数が少なくなっても、第２の内部電極１６ｂと外部電極３０との接続性をより十分なものにすることができる。

[0161] 第２の内部電極１６ｂは、積層体１２Ｂの第１の主面１２ａ側に位置する第１の内部電極１６ａが２枚以上連続して積層されている領域である内部電極積層部２９、すなわち、第１の内部電極積層部２９ａと第１の主面１２ａとの間、及び積層体１２Ｂの第２の主面１２ｂ側に位置する第１の内部電極１６ａが２枚以上連続して積層されている領域である内部電極積層部２９、すなわち、第３の内部電極積層部２９ｃと第２の主面１２ｂとの間に配置されていてもよい。これにより、第１の外層部２０ａ及び第２の外層部２０ｂ付近でも容量形成部２８を形成できることから静電容量の一部を取得することになり、実装基板への電流経路を短くすることができ、低ＥＳＬの効果を得ることができる。

[0162] また、第２の内部電極１６ｂは、積層体１２Ｂの第１の主面１２ａ側に位置する第１の内部電極１６ａが２枚以上連続して積層されている領域である内部電極積層部２９、すなわち、第１の内部電極積層部２９ａと第１の主面１２ａとの間、及び積層体１２Ｂの第２の主面１２ｂ側に位置する第１の内部電極１６ａが２枚以上連続して積層されている領域である内部電極積層部２９、すなわち、第３の内部電極積層部２９ｃと第２の主面１２ｂとの間に配置されていなくてもよい。これにより、積層体１２Ｂの表面から静電容量が形成される容量形成部２８までの距離が大きくなり、外的負荷で積層体１２Ｂの表面からクラックが入っても、絶縁抵抗劣化が発生しにくい効果を得ることができる。

[0163] 第２の内部電極１６ｂと隣り合う内層誘電体層１４ａの厚みは、第１の内部電極１６ａ同士により挟まれる内層誘電体層１４ａの厚みよりも大きいこ

とが好ましい。これにより、第１の内部電極１６ａをより多く積層することが可能となり、直流抵抗の低減効果をより大きくすることができる。

[0164] また、第２の内部電極１６ｂの厚みが第１の内部電極１６ａの厚みよりも大きくすることが好ましい。これにより、より低容量化した場合であっても、第２の内部電極１６ｂの第３の引出電極部２４ｃと第１の面１２ｃ上に配置される第３の外部電極３０ｃとの接続性を確保することができ、第２の内部電極１６ｂの第４の引出電極部２４ｄと第２の面１２ｄ上に配置される第４の外部電極３０ｄとの接続性を確保することができる。

[0165] Ｂ．第２の実施の形態

１．積層セラミック電子部品

次に、この発明の第２の実施の形態にかかる積層セラミック電子部品５００の一例について説明する。

[0166] 図１７は、本発明の第２の実施の形態に係る積層セラミック電子部品を示す外観斜視図である。図１８は、本発明の第２の実施の形態に係る積層セラミック電子部品の正面図である。図１９は、本発明の第２の実施の形態に係る積層セラミック電子部品の側面図である。図２０は、本発明の第２の実施の形態に係る積層セラミック電子部品の平面図である。図２１は、図１７の線ＸＸＩ－ＸＸＩにおける断面図である。図２２は、図１７の線ＸＸＩＩ－ＸＸＩＩにおける断面図である。図２３は、図１７の線ＸＸＩ－ＸＸＩにおける断面図である。図２４は、図１７の線ＸＸＩＶ－ＸＸＩＶにおける断面図である。図２５は、図１７の線ＸＸＶ－ＸＸＶにおける断面図である。図２６は、図１７に示す積層体の分解斜視図である。

[0167] 積層セラミック電子部品５００は、積層セラミックコンデンサ５１０と接合電極５４０とを含む。

[0168] 積層セラミックコンデンサ５１０は、積層体５１２と、複数の外部電極５３０と、を備える。

[0169] 積層体５１２は、積層方向ｘに相対する第１の主面５１２ａ及び第２の主面５１２ｂと、積層方向ｘに直交する第１の方向ｙに相対する第１の面５１

２ｃ及び第２の面５１２ｄと、積層方向ｘ及び第１の方向ｙに直交する第２の方向ｚに相対する第３の面５１２ｅ及び第４の面５１２ｆとを有する。積層体５１２の第１の主面５１２ａ及び第２の主面５１２ｂ同士を結ぶ方向が積層方向ｘである。

[0170] また、積層体５１２は、角部及び稜線部に丸みがつけられていることが好ましい。なお、角部とは、積層体５１２の隣接する３面が交わる部分のことであり、稜線部とは、積層体５１２の隣接する２面が交わる部分のことである。また、第１の主面５１２ａ及び第２の主面５１２ｂ、第１の面５１２ｃ及び第２の面５１２ｄ、ならびに第３の面５１２ｅ及び第４の面５１２ｆの一部又は全部に凹凸などが形成されていてもよい。

[0171] 積層体５１２は、複数の誘電体層５１４及び複数の内部電極５１６を含む。誘電体層５１４は、内層誘電体層５１４ａと外層誘電体層５１４ｂとを含む。また、内部電極５１６は、第１の内部電極５１６ａと第２の内部電極５１６ｂとを有する。

[0172] また、積層体５１２は内層部５１８と、第１の主面５１２ａ側に位置する第１の外層部５２０ａと、第２の主面５１２ｂ側に位置する第２の外層部５２０ｂと、を有する。

[0173] 第１の外層部５２０ａは、積層体５１２の第１の主面５１２ａ側に位置し、第１の主面５１２ａと、最も第１の主面５１２ａに近い内部電極５１６との間に位置する複数の外層誘電体層５１４ｂの集合体である。

[0174] 第２の外層部５２０ｂは、積層体５１２の第２の主面５１２ｂ側に位置し、第２の主面５１２ｂと、最も第２の主面５１２ｂに近い内部電極５１６との間に位置する複数の外層誘電体層５１４ｂの集合体である。

[0175] そして、第１の外層部５２０ａ及び第２の外層部５２０ｂに挟まれた領域が内層部５１８である。

[0176] 内層部５１８は、一端が第１の面５１２ｃに及び第３の面５１２ｅに露出され、もう一端が第２の面５１２ｄ及び第４の面５１２ｆに露出された第１の内部電極５１６ａと、一端が第１の面５１２ｃ及び第３の面５１２ｅに露

出され、もう一端が第２の面５１２ｄ及び第３の面５１２ｅに露出された第２の内部電極５１６ｂと、内層誘電体層５１４ａとを有する。

[0177] 誘電体層５１４の材料としては、例えば、誘電体材料により形成することができる。誘電体材料としては、例えば、$BaTiO_3$、$CaTiO_3$、$SrTiO_3$、または$CaZrO_3$などの主成分からなる誘電体セラミックを用いることができる。また、これらの主成分にＭｎ化合物、Ｆｅ化合物、Ｃｒ化合物、Ｃｏ化合物、Ｎｉ化合物などの副成分を添加したものを用いてもよい。また、内層誘電体層５１４ａ及び外層誘電体層５１４ｂは、同じ誘電体材料により構成していてもよく、異なる誘電体材料により構成していてもよい。

[0178] 内層誘電体層５１４ａは、例えば、誘電体成分として$CaTiO_3$や$CaZrO_3$を多く含むと第１の内部電極５１６ａと第２の内部電極５１６ｂとの間で発生する絶縁破壊を起きにくくすることができる。また、これに限定されず、内層誘電体層５１４ａは、$SrTiO_3$などを主成分とすることもできる。これとは別に積層セラミックコンデンサ１０の容量を高くするためには誘電率の高い材料、例えば、$BaTiO_3$などで形成されることが好ましい。

[0179] 誘電体層５１４は、$BaTiO_3$を基本的な構造とするペロブスカイト型化合物を含む複数の結晶粒を有することができる。

[0180] 誘電体層５１４の厚みが薄いほうが、コンデンサとしての容量は大きくなるため、結晶粒径は１μｍ以下が好ましい。

[0181] 積層される誘電体層５１４の枚数は、特に限定されないが、第１の外層部５２０ａ及び第２の外層部５２０ｂを含めて５枚以上１０００枚以下であることが好ましい。また、誘電体層５１４の厚みは、例えば０．３μｍ以上６．０μｍ以下であることが好ましい。

[0182] （内部電極）

内部電極５１６は、複数の第１の内部電極５１６ａ及び複数の第２の内部電極５１６ｂを有する。第１の内部電極５１６ａと第２の内部電極５１６ｂは、誘電体層５１４を介して交互に積層される。

[0183] 第１の内部電極５１６ａは、内層誘電体層５１４ａの表面に配置される。

第１の内部電極５１６ａは、第１の主面５１２ａ及び第２の主面５１２ｂに対向し、第２の内部電極５１６ｂと対向する第１の対向電極部５２２ａを有し、第１の主面５１２ａと第２の主面５１２ｂとを結ぶ方向に積層されている。

[0184] 第１の内部電極５１６ａは、第１の引出電極部５２４ａによって積層体５１２の第１の面５１２ｃ及び第３の面５１２ｅに引き出され、第２の引出電極部５２４ｂによって積層体５１２の第２の面５１２ｄ及び第４の面５１２ｆに引き出される。なお、第１の引出電極部５２４ａが第１の面５１２ｃに引き出される幅は、第３の面５１２ｅに引き出される幅とほぼ等しくてもよく、第２の引出電極部５２４ｂが第２の面５１２ｄに引き出される幅は、第４の面５１２ｆに引き出される幅とほぼ等しくてもよい。

[0185] また、第１の内部電極５１６ａは、第１の引出電極部５２４ａによって積層体５１２の第１の面５１２ｃ及び第３の面５１２ｅに連続して引き出され、第２の引出電極部５２４ｂによって積層体５１２の第２の面５１２ｄ及び第４の面５１２ｆに連続して引き出されているが、これに限るものではなく、不連続に引き出されてもよい。また、第１の内部電極５１６ａは、第１の面５１２ｃないし第４の面５１２ｆのうちいずれか１面のみ露出されて配置されていてもよい。

[0186] 第２の内部電極５１６ｂは、第１の内部電極５１６ａが配置される内層誘電体層５１４ａと異なる内層誘電体層５１４ａの表面に配置される。第２の内部電極５１６ｂは、第１の主面５１２ａ及び第２の主面５１２ｂに対向し、第１の内部電極５１６ａと対向する第２の対向電極部５２２ｂを有し、第１の主面５１２ａと第２の主面５１２ｂとを結ぶ方向に積層されている。

[0187] 第２の内部電極５１６ｂは、第３の引出電極部５２４ｃによって積層体５１２の第１の面５１２ｃ及び第４の面５１２ｆに引き出され、第４の引出電極部５２４ｄによって積層体５１２の第２の面５１２ｄ及び第３の面５１２ｅに引き出される。なお、第３の引出電極部５２４ｃが第１の面５１２ｃに引き出される幅は、第４の面５１２ｆに引き出される幅とほぼ等しくてもよ

く、第４の引出電極部５２４ｄが第２の面５１２ｄに引き出される幅は、第３の面５１２ｅに引き出される幅とほぼ等しくてもよい。

[0188] また、第２の内部電極５１６ｂは、第３の引出電極部５２４ｃによって積層体５１２の第１の面５１２ｃ及び第４の面５１２ｆに連続して引き出され、第４の引出電極部５２４ｄによって積層体５１２の第２の面５１２ｄ及び第３の面５１２ｅに連続して引き出されているが、これに限るものではなく、不連続に引き出されていてもよい。また、第２の内部電極５１６ｂは、第１の面５１２ｃないし第４の面５１２ｆのうちいずれか１面のみ露出されて配置されていてもよい。

[0189] また、積層セラミックコンデンサ５１０を積層方向から見たとき、第１の内部電極５１６ａの第１の引出電極部５２４ａと第２の引出電極部５２４ｂとを結ぶ直線と、第２の内部電極５１６ｂの第３の引出電極部５２４ｃと第４の引出電極部５２４ｄとを結ぶ直線は、交差するのが好ましい。

[0190] また、積層体５１２は、図２３に示されるように、第２の内部電極５１６ｂの第２の対向電極部５２２ｂの第１の方向ｙの一端と第１の面５１２ｃとの間に位置する積層体５１２の側部（Ｗギャップ）５２６ａと、第１の内部電極５１６ａの第１の対向電極部５２２ａの第１の方向ｙの他端と第２の面５１２ｄとの間に位置する積層体５１２の側部（Ｗギャップ）５２６ｂとを含む。

[0191] さらに、積層体５１２は、図２４に示されるように、第２の内部電極５１６ｂの第２の対向電極部５２２ｂの第２の方向ｚの一端と第３の面５１２ｅとの間に位置する積層体５１２の端部（Ｌギャップ）５２７ａと、第１の内部電極５１６ａの第１の対向電極部５２２ａの第２の方向ｚの他端と第４の面５１２ｆとの間に位置する積層体５１２の側部（Ｌギャップ）５２７ｂとを含む。

[0192] 第１の内部電極５１６ａ及び第２の内部電極５１６ｂは、例えば、Ｎｉ、Ｃｕ、Ａｇ、Ｐｄ及びＡｕなどの金属や、Ｎｉ－Ｃｕ合金、Ａｇ－Ｐｄ合金等の、それらの金属の少なくとも一種を含む合金などの適宜の導電材料によ

り構成することができるが、これに限定されない。また、第１の内部電極５１６ａ及び第２の内部電極５１６ｂは、同じ導電材料により構成していてもよく、異なる導電材料により構成していてもよい。

[0193] また、第１の内部電極５１６ａ及び第２の内部電極５１６ｂにＳｎを含むことで内部電極５１６と誘電体層５１４との界面の電位障壁高さを増加させ、内部電極５１６と誘電体層５１４との界面への電界集中を緩和でき、高温負荷信頼性向上に繋がる。このとき、Ｓｎは、第１の内部電極５１６ａ及び第２の内部電極５１６ｂのいずれか片方の内部電極５１６のみに含まれていても十分に効果を発揮することができる。

[0194] また、第１の内部電極５１６ａ及び第２の内部電極５１６ｂの枚数は、合わせて２枚以上１０００枚以下であることが好ましい。また、第１の内部電極５１６ａ及び第２の内部電極５１６ｂの厚みは、特に限定されないが、例えば、０．３μｍ以上６．０μｍ以下であることが好ましい。

[0195] 本実施の形態では、第１の内部電極５１６ａの第１の対向電極部５２２ａ及び第２の内部電極５１６ｂの第２の対向電極部５２２ｂ同士が内層誘電体層５１４ａを介して対向することにより容量が形成され、コンデンサの特性が発現する。

[0196] （外部電極）

外部電極５３０は、第１の内部電極５１６ａ及び第２の内部電極５１６ｂに接続される複数の外部電極５３０を有している。外部電極５３０は、第１の外部電極５３０ａと、第２の外部電極５３０ｂと、第３の外部電極５３０ｃと、第４の外部電極５３０ｄとを有する。

[0197] 第１の外部電極５３０ａは、第１の面５１２ｃ及び第３の面５１２ｅにおいて第１の引出電極部５２４ａを覆うように配置され、第１の主面５１２ａ及び第２の主面５１２ｂの一部を覆うように配置されている。第１の外部電極５３０ａは、第１の内部電極５１６ａの第１の引出電極部５２４ａに電気的に接続される。

[0198] 第２の外部電極５３０ｂは、第２の面５１２ｄ及び第４の面５１２ｆにお

いて第２の引出電極部５２４ｂを覆うように配置され、第１の主面５１２ａ及び第２の主面５１２ｂの一部を覆うように配置されている。第２の外部電極５３０ｂは、第１の内部電極５１６ａの第２の引出電極部５２４ｂに電気的に接続される。

[0199] 第３の外部電極５３０ｃは、第１の面５１２ｃ及び第４の面５１２ｆにおいて第３の引出電極部５２４ｃを覆うように配置され、第１の主面５１２ａ及び第２の主面５１２ｂの一部を覆うように配置されている。第３の外部電極５３０ｃは、第２の内部電極５１６ｂの第３の引出電極部５２４ｃに電気的に接続される。

[0200] 第４の外部電極５３０ｄは、第２の面５１２ｄ及び第３の面５１２ｅにおいて第４の引出電極部５２４ｄを覆うように配置され、第１の主面５１２ａ及び第２の主面５１２ｂの一部を覆うように配置されている。第４の外部電極５３０ｄは、第２の内部電極５１６ｂの第４の引出電極部５２４ｄに電気的に接続される。

[0201] なお、図示していないが、第１の外部電極５３０ａないし第４の外部電極５３０ｄにおいて、第１の主面５１２ａあるいは第２の主面５１２ｂに配置されているが、いずれか一方の主面には形成されていなくてもよい。その場合、積層セラミックコンデンサ５１０の積層方向ｘの寸法を低減させることができ、積層セラミックコンデンサ５１０を薄型化することができる。

[0202] 積層体５１２内において、第１の内部電極５１６ａの第１の対向電極部５２２ａと第２の内部電極５１６ｂの第２の対向電極部５２２ｂとが誘電体層５１４を介して対向することにより、静電容量が形成されている。そのため、第１の内部電極５１６ａが接続された第１の外部電極５３０ａ及び第２の外部電極５３０ｂと、第２の内部電極５１６ｂが接続された第３の外部電極５３０ｃ及び第４の外部電極５３０ｄとの間に静電容量を得ることができ、コンデンサの特性が発現する。

[0203] 外部電極５３０は、下地電極層５３２と、下地電極層５３２を覆うように形成されるめっき層を有することが好ましい。めっき層は、下層めっき層５

３４と、下層めっき層５３４を覆う上層めっき層５３６とを含む。

[0204] 下地電極層５３２は、第１の下地電極層５３２ａ、第２の下地電極層５３２ｂ、第３の下地電極層５３２ｃ及び第４の下地電極層５３２ｄを有する。これら第１の下地電極層５３２ａ、第２の下地電極層５３２ｂ、第３の下地電極層５３２ｃ及び第４の下地電極層５３２ｄは、より性能を高めるべく、複数の薄膜電極からなる薄膜層により形成される。

[0205] 第１の下地電極層５３２ａは、第１の主面５１２ａ及び第２の主面５１２ｂの一部、ならびに第１の面５１２ｃ及び第３の面５１２ｅの一部を覆うように形成される。

第２の下地電極層５３２ｂは、第１の主面５１２ａ及び第２の主面５１２ｂの一部、ならびに第２の面５１２ｄ及び第４の面５１２ｆの一部を覆うように形成される。

第３の下地電極層５３２ｃは、第１の主面５１２ａ及び第２の主面５１２ｂの一部、ならびに第１の面５１２ｃ及び第４の面５１２ｆの一部を覆うように形成される。

第４の下地電極層５３２ｄは、第１の主面５１２ａ及び第２の主面５１２ｂの一部、ならびに第２の面５１２ｄ及び第３の面５１２ｅの一部を覆うように形成される。

[0206] まず、下地電極層５３２を焼付け層によって形成する場合について説明する。焼付け層は金属成分とガラス成分とを含む。ガラス成分は、Ｂ、Ｓｉ、Ｂａ、Ｍｇ、Ａｌ、Ｌｉ等から選ばれる少なくとも１つを含む。また、焼付け層の金属成分としては、例えば、Ｃｕ、Ｎｉ、Ａｇ、Ｐｄ、Ａｇ－Ｐｄ合金、Ａｕ等から選ばれる少なくとも１つを含む。さらに、焼付け層は、複数層であってもよい。

[0207] また、下地電極層５３２を焼付け層によって形成する場合、誘電体層５１４と同種の成分と金属とを含む構成であってもよい。このとき、仮に誘電体層５１４がＣａＺｒＯ系からなる場合、同種の成分はＣａやＺｒである。

[0208] 焼付け層は、ガラス成分及び金属成分を含む導電性ペーストを積層体５１

２に塗布して焼き付けたものである。焼付け層は、内部電極５１６及び誘電体層５１４を有する積層チップと積層チップに塗布した導電性ペーストとを同時に焼成したものでもよく、内部電極５１６及び誘電体層５１４を有する積層チップを焼成して積層体５１２を得た後に導電性ペーストを塗布して焼き付けたものでもよい。なお、内部電極５１６及び誘電体層５１４を有する積層チップと積層チップに塗布した導電性ペーストとを同時に焼成する場合には、ガラス成分の代わりに誘電体成分を添加するか、その両方を添加して焼付け層を形成することが好ましい。

[0209]（下層めっき層）

下層めっき層５３４は、第１の下地電極層５３２ａを覆うように配置される第１の下層めっき層５３４ａと、第２の下地電極層５３２ｂを覆うように配置される第２の下層めっき層５３４ｂと、第３の下地電極層５３２ｃを覆うように配置される第３の下層めっき層５３４ｃと、第４の下地電極層５３２ｄを覆うように配置される第４の下層めっき層５３４ｄと、を含む。

[0210] 下層めっき層５３４としては、例えば、Ｃｕ、Ｎｉ、Ｓｎ、Ａｇ、Ｐｄ、Ａｇ－Ｐｄ合金、Ａｕ等から選ばれる少なくとも１つを含む。

[0211] また、下層めっき層５３４は、Ｎｉめっきであることが好ましい。下層めっき層５３４がＮｉめっきである場合は、下地電極層５３２が積層セラミックコンデンサ５１０を実装する際のはんだによって侵食されることを防止することができる。

[0212] また、下層めっき層５３４の厚みは、例えば、１μｍ以上８μｍ以下であることが好ましい。

[0213]（上層めっき層）

上層めっき層５３６は、第１の下層めっき層５３４ａを覆うように配置される第１の上層めっき層５３６ａと、第２の下層めっき層５３４ｂを覆うように配置される第２の上層めっき層５３６ｂと、第３の下層めっき層５３４ｃを覆うように配置される第３の上層めっき層５３６ｃと、第４の下層めっき層５３４ｄを覆うように配置される第４の上層めっき層５３６ｄと、を含

む。

[0214] 上層めっき層５３６としては、例えば、Ｃｕ、Ｎｉ、Ｓｎ、Ａｇ、Ｐｄ、Ａｇ－Ｐｄ合金、Ａｕ等から選ばれる少なくとも１つを含む。

[0215] また、上層めっき層５３６は、Ｓｎめっきであることが好ましい。上層めっき層５３６がＳｎめっきである場合は、積層セラミックコンデンサ１０を実装する際のはんだの濡れ性を向上させ、容易に実装することができる。

[0216] また、上層めっき層５３６の厚みは、例えば、１μｍ以上８μｍ以下であることが好ましい。

[0217] 積層体５１２と外部電極５３０とを含む積層セラミックコンデンサ５１０の第１の方向ｙの寸法をＬ寸法とする。Ｌ寸法は、０．１ｍｍ以上６．０ｍｍ以下であることが好ましい。積層体５１２と外部電極５３０とを含む積層セラミックコンデンサ５１０の第２の方向ｚの寸法をW寸法とする。W寸法は、０．１ｍｍ以上６．０ｍｍ以下であることが好ましい。積層体５１２と外部電極５３０とを含む積層セラミックコンデンサ５１０の積層方向ｘの寸法をＴ寸法とする。Ｔ寸法は、０．０３ｍｍ以上１．８ｍｍ以下であることが好ましい。

積層セラミックコンデンサ５１０の寸法は、７／１０≦Ｌ／W≦１０／７とすることが好ましい。このようにすることで、積層体５１２が略正方晶形状になるため、実装の自由度が向上する。

[0218] 第２の実施の形態において、積層セラミック電子部品５００では、接合電極５４０は、積層体５１２の第１の主面５１２ａ上において、積層セラミックコンデンサ５１０の第１の外部電極５３０ａと第２の外部電極５３０ｂとを電気的に接合している。なお、接合電極５４０は、積層セラミックコンデンサ５１０の第１の外部電極５３０ａ及び第２の外部電極５３０ｂとを電気的に接合するのではなく、第３の外部電極５３０ｃと第４の外部電極５３０ｄとを電気的に接合するようにしてもよい。

[0219] 接合電極５４０は、接合下地電極５４２と、接合下地電極５４２を覆う接合下層めっき層５４４と、接合下層めっき層５４４を覆う接合上層めっき層

５４６とを備える。なお、接合電極５４０は、接合下地電極５４２のみにより構成されてもよい。

[0220] 積層セラミックコンデンサ５１０の直流抵抗をＲｄｃ１、接合電極５４０の直流抵抗をＲｄｃ３としたとき、Ｒｄｃ１≦Ｒｄｃ３であることが好ましい。

[0221] なお、以上のように、本発明の実施の形態は、前記記載で開示されているが、本発明は、これに限定されるものではない。

すなわち、本発明に係る技術的思想及び目的の範囲から逸脱することなく、以上説明した実施の形態に対し、機序、形状、材質、数量、位置又は配置等に関して、様々の変更を加えることができるものであり、それらは、本発明に含まれるものである。

[0222] ＜１＞

積層方向に相対する第１の主面及び第２の主面と、前記積層方向に直交する第１の方向に相対する第１の面及び第２の面と、前記積層方向及び前記第１の方向に直交する第２の方向に相対する第３の面及び第４の面とを有する積層体と、

前記第１の面、第２の面、第３の面及び第４の面のいずれかの面に配置された少なくとも４つ以上の外部電極と、

を備えた積層セラミックコンデンサと、

前記第１の主面または前記第２の主面のいずれか一面上に配置され、前記外部電極のうち少なくとも２つ以上の同電位の外部電極同士を電気的に接合する接合電極と、

を備え、

前記積層セラミックコンデンサの直流抵抗をＲｄｃ１とし、

前記接合電極の直流抵抗をＲｄｃ３としたとき、

Ｒｄｃ１≦Ｒｄｃ３である、積層セラミック電子部品。

[0223] ＜２＞

前記Ｒｄｃ３は、前記Ｒｄｃ１の１．０倍以上５．０倍以下である、＜１

＞に記載の積層セラミック電子部品。

[0224] ＜３＞

前記接合電極の前記積層方向の厚みは、前記接合電極と同一平面上に配置された外部電極の前記積層方向の厚みよりも薄い、＜１＞または＜２＞に記載の積層セラミック電子部品。

[0225] ＜４＞

前記外部電極は、

下地電極と、めっき層と、を備え、

前記接合電極は、

接合下地電極と、接合めっき層と、を備え、

前記接合下地電極の空隙率は、前記接合下地電極と同一平面上に配置された前記下地電極の空隙率よりも高く、かつ、前記めっき層と前記接合めっき層とは同種のめっきである、＜１＞ないし＜３＞のいずれかに記載の積層セラミック電子部品。

[0226] ＜５＞

前記外部電極は、

下地電極と、めっき層と、を備え、

前記接合電極は、スパッタリング電極であり、

前記接合電極の空隙率は、前記接合電極と同一平面上に配置された前記下地電極の空隙率よりも低い、＜１＞ないし＜３＞のいずれかに記載の積層セラミック電子部品。

符号の説明

[0227] １００、１００Ａ、５００　積層セラミック電子部品

１０、１０Ａ、１０Ｂ、５１０　積層セラミックコンデンサ

１２、５１２　積層体

１２ａ、５１２ａ　第１の面

１２ｂ、５１２ｂ　第２の面

１２ｃ、５１２ｃ　第３の面

１２ｄ、５１２ｄ　第４の面

１２ｅ、５１２ｅ　第５の面

１２ｆ、５１２ｆ　第６の面

１４、５１４　誘電体層

１４ａ、５１４ａ　内層誘電体層

１４ｂ、５１４ｂ　外層誘電体層

１６、５１６　内部電極

１６ａ、５１６ａ　第１の内部電極

１６ｂ、５１６ｂ　第２の内部電極

１８、５１８　内層部

２０ａ、５２０ａ　第１の側外層部

２０ｂ、５２０ｂ　第２の側外層部

２２ａ、５２２ａ　第１の対向電極部

２２ｂ、５２２ｂ　第２の対向電極部

２４ａ、５２４ａ　第１の引出電極部

２４ｂ、５２４ｂ　第２の引出電極部

２４ｃ、５２４ｃ　第３の引出電極部

２４ｄ、５２４ｄ　第４の引出電極部

２６ａ、２６ｂ、５２６ａ、５２６ｂ　積層体の側部（Ｗギャップ）

２７ａ、２７ｂ、５２７ａ、５２７ｂ　積層体の端部（Ｌギャップ）

３０、５３０　外部電極

３０ａ、５３０ａ　第１の外部電極

３０ｂ、５３０ｂ　第２の外部電極

３０ｃ、５３０ｃ　第３の外部電極

３０ｄ、５３０ｄ　第４の外部電極

３２、５３２　下地電極層

３２ａ、５３２ａ　第１の下地電極層

３２ｂ、５３２ｂ　第２の下地電極層

３２ｃ、５３２ｃ　第３の下地電極層

３２ｄ、５３２ｄ　第４の下地電極層

３４、５３４　下層めっき層

３４ａ、５３４ａ　第１の下層めっき層

３４ｂ、５３４ｂ　第２の下層めっき層

３４ｃ、５３４ｃ　第３の下層めっき層

３４ｄ、５３４ｄ　第４の下層めっき層

３６、５３６　上層めっき層

３６ａ、５３６ａ　第１の上層めっき層

３６ｂ、５３６ｂ　第２の上層めっき層

３６ｃ、５３６ｃ　第３の上層めっき層

３６ｄ、５３６ｄ　第４の上層めっき層

４０、５４０　接合電極

４２、５４２　下地接合電極

４４、５４４　接合下層めっき層

４６、５４６　接合上層めっき層

２５ａ　第１のダミー電極

２５ｂ　第２のダミー電極

２５ｃ　第３のダミー電極

２５ｄ　第４のダミー電極

２８　容量形成部

２９　内部電極積層部

２９ａ　第１の内部電極積層部

２９ｂ　第２の内部電極積層部

２９ｃ　第３の内部電極積層部

ｘ　積層方向

ｙ　第１の方向

ｚ　第２の方向

L　積層セラミックコンデンサの第１の方向の寸法

W　積層セラミックコンデンサの第２の方向の寸法

T　積層セラミックコンデンサの積層方向の寸法

請求の範囲

[請求項1] 積層方向に相対する第１の主面及び第２の主面と、前記積層方向に直交する第１の方向に相対する第１の面及び第２の面と、前記積層方向及び前記第１の方向に直交する第２の方向に相対する第３の面及び第４の面とを有する積層体と、

前記第１の面、第２の面、第３の面及び第４の面のいずれかの面に配置された少なくとも４つ以上の外部電極と、

を備えた積層セラミックコンデンサと、

前記第１の主面または前記第２の主面のいずれか一面上に配置され、前記外部電極のうち少なくとも２つ以上の同電位の外部電極同士を電気的に接合する接合電極と、

を備え、

前記積層セラミックコンデンサの直流抵抗をＲｄｃ１とし、

前記接合電極の直流抵抗をＲｄｃ３としたとき、

Ｒｄｃ１≦Ｒｄｃ３である、積層セラミック電子部品。

[請求項2] 前記Ｒｄｃ３は、前記Ｒｄｃ１の１．０倍以上５．０倍以下である、請求項１に記載の積層セラミック電子部品。

[請求項3] 前記接合電極の前記積層方向の厚みは、前記接合電極と同一平面上に配置された外部電極の前記積層方向の厚みよりも薄い、請求項１または請求項２に記載の積層セラミック電子部品。

[請求項4] 前記外部電極は、

下地電極と、めっき層と、を備え、

前記接合電極は、

接合下地電極と、接合めっき層と、を備え、

前記接合下地電極の空隙率は、前記接合下地電極と同一平面上に配置された前記下地電極の空隙率よりも高く、かつ、前記めっき層と前記接合めっき層とは同種のめっきである、請求項１ないし請求項３のいずれかに記載の積層セラミック電子部品。

[請求項5] 前記外部電極は、

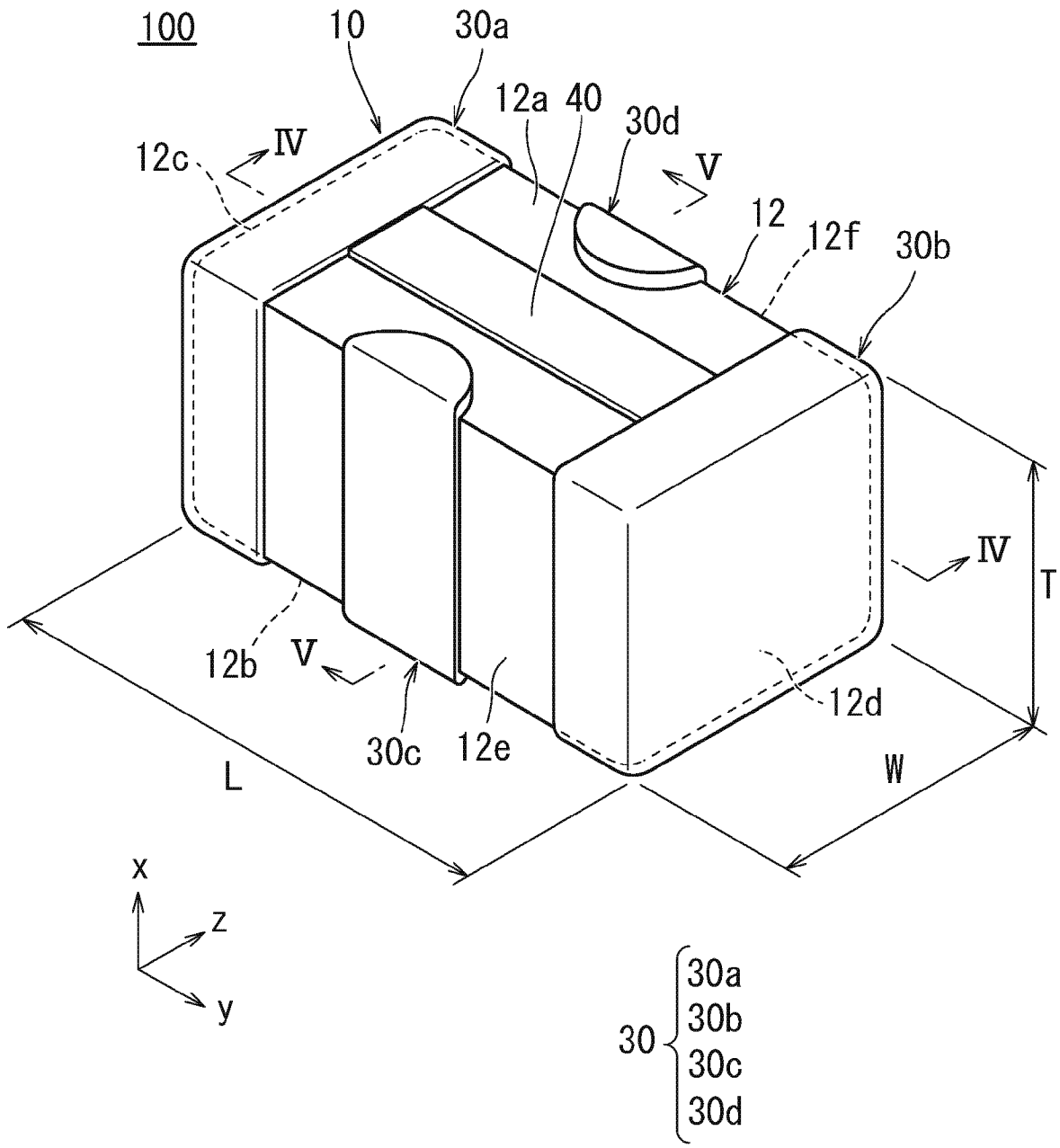
下地電極と、めっき層と、を備え、

前記接合電極は、スパッタリング電極であり、

前記接合電極の空隙率は、前記接合電極と同一平面上に配置された前記下地電極の空隙率よりも低い、請求項１ないし請求項３のいずれかに記載の積層セラミック電子部品。

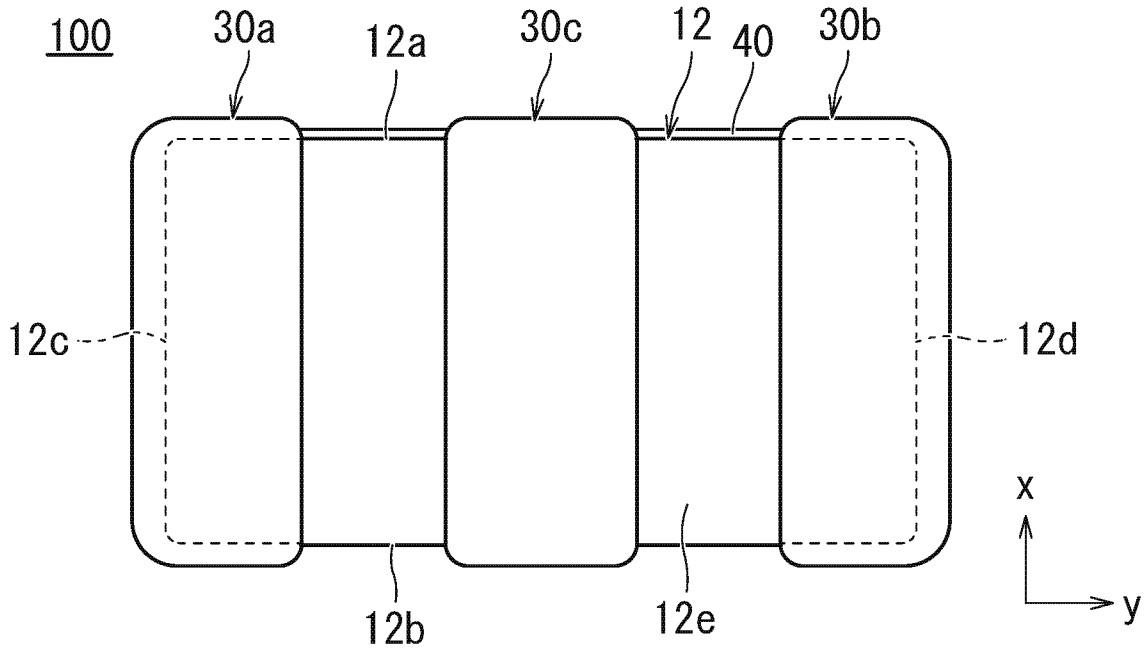
[図1]

図 1


100
10
30a
12a
40
30d
12c
IV
V
12
12f
30b
IV
T
12b
V
12d
30c
12e
L
W
x
z
y
30
30a
30b
30c
30d

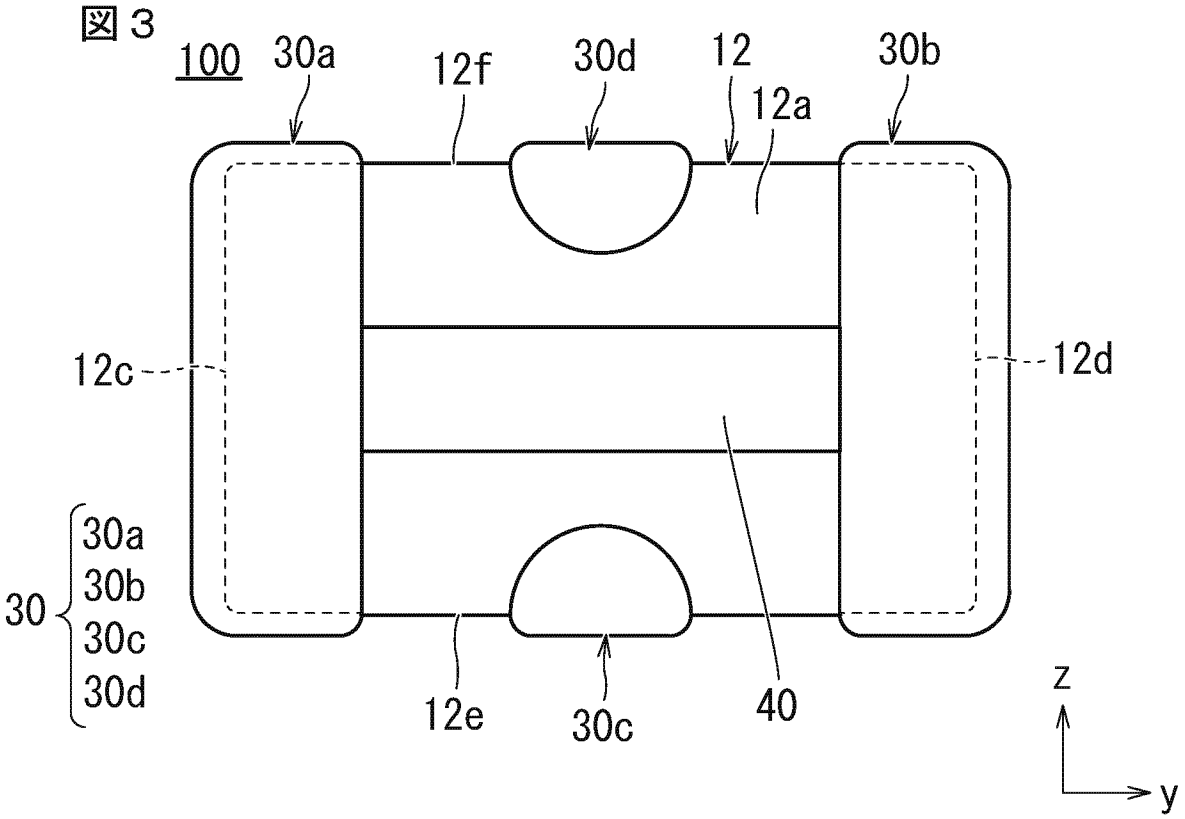
[図2]

図２


100
30a
12a
30c
12
40
30b
12c
12d
12b
12e
x
y

[図3]

図３


100
30a
12f
30d
12
12a
30b
12c
12d
30
30a
30b
30c
30d
12e
30c
40
z
y

[図4]

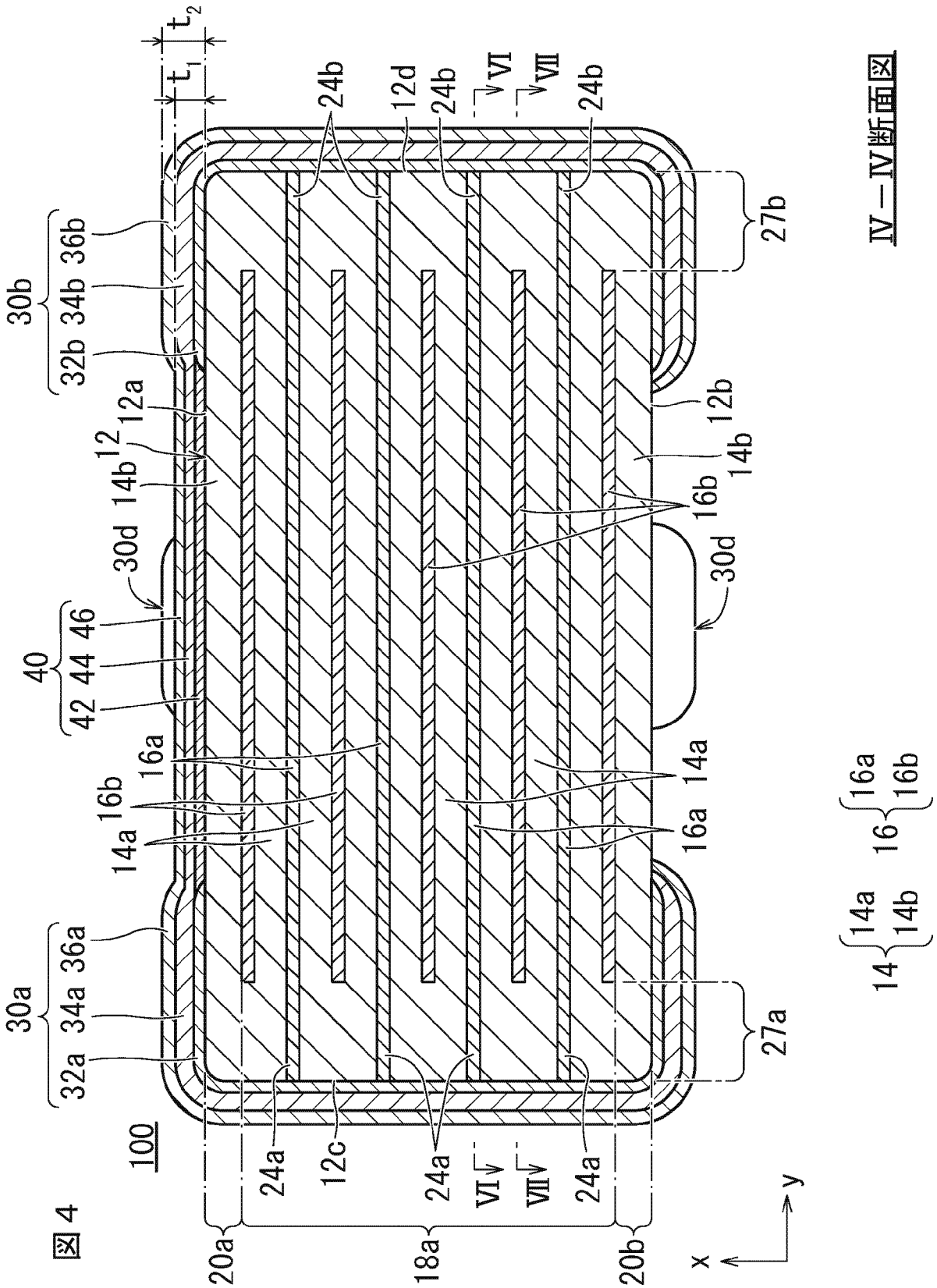
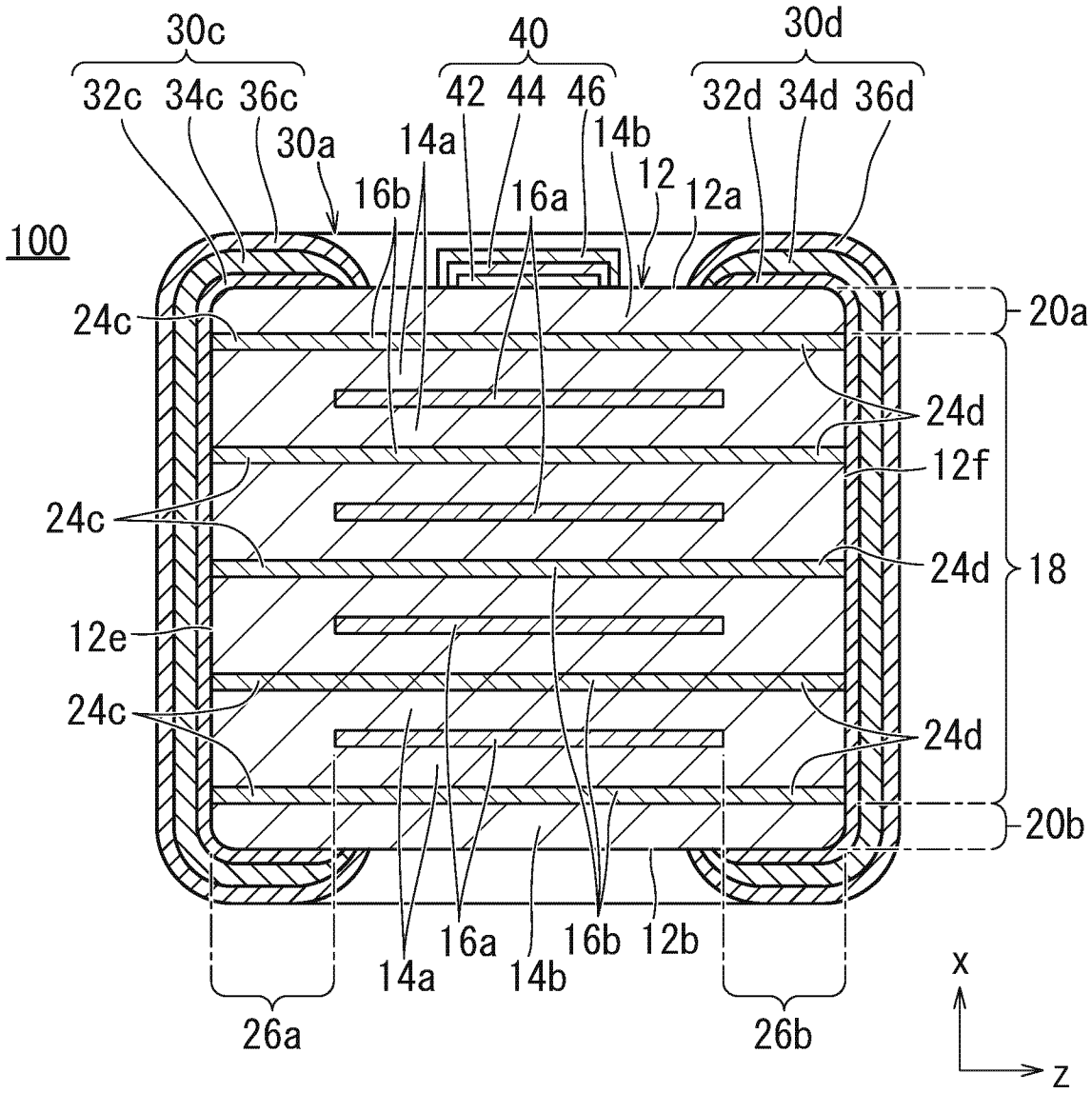

100
30a
32a
34a
36a
30b
32b
34b
36b
40
42
44
46
12
12a
12b
12c
12d
14
14a
14b
16
16a
16b
18a
20a
20b
24a
24b
27a
27b
30d
VI
VII
x
y
IV－IV断面図

図4

[図5]

図５



Ｖ－Ｖ断面図

$14\begin{cases}14a\\14b\end{cases}$ $16\begin{cases}16a\\16b\end{cases}$

[図6]

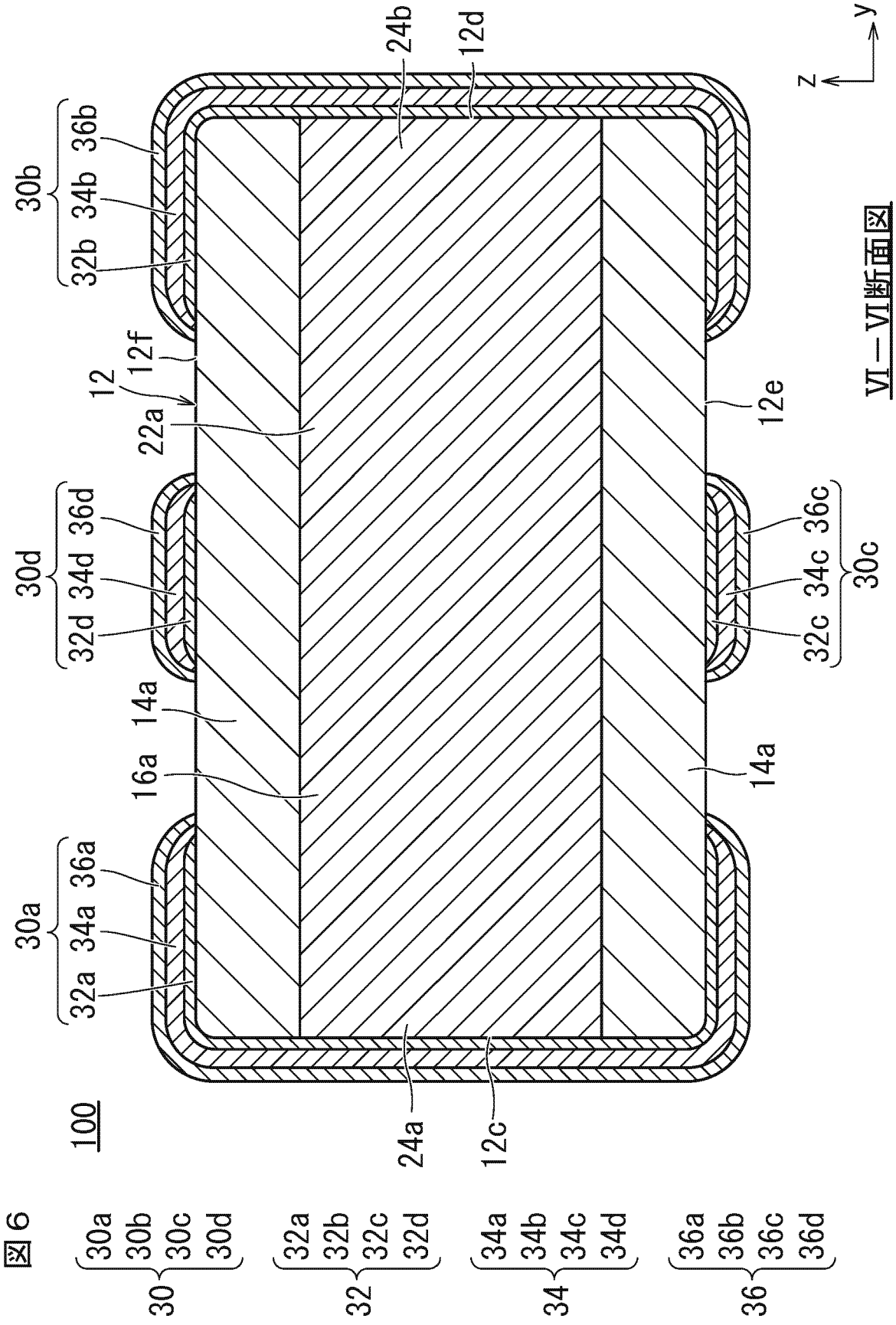

24b
12d
y
z
30b
36b
34b
32b
12
12f
22a
12e
VI－VI断面図
30d
36d
34d
32d
36c
34c
32c
30c
14a
16a
14a
30a
36a
34a
32a
100
24a
12c
30
30a
30b
30c
30d
32
32a
32b
32c
32d
34
34a
34b
34c
34d
36
36a
36b
36c
36d

図6

[図7]

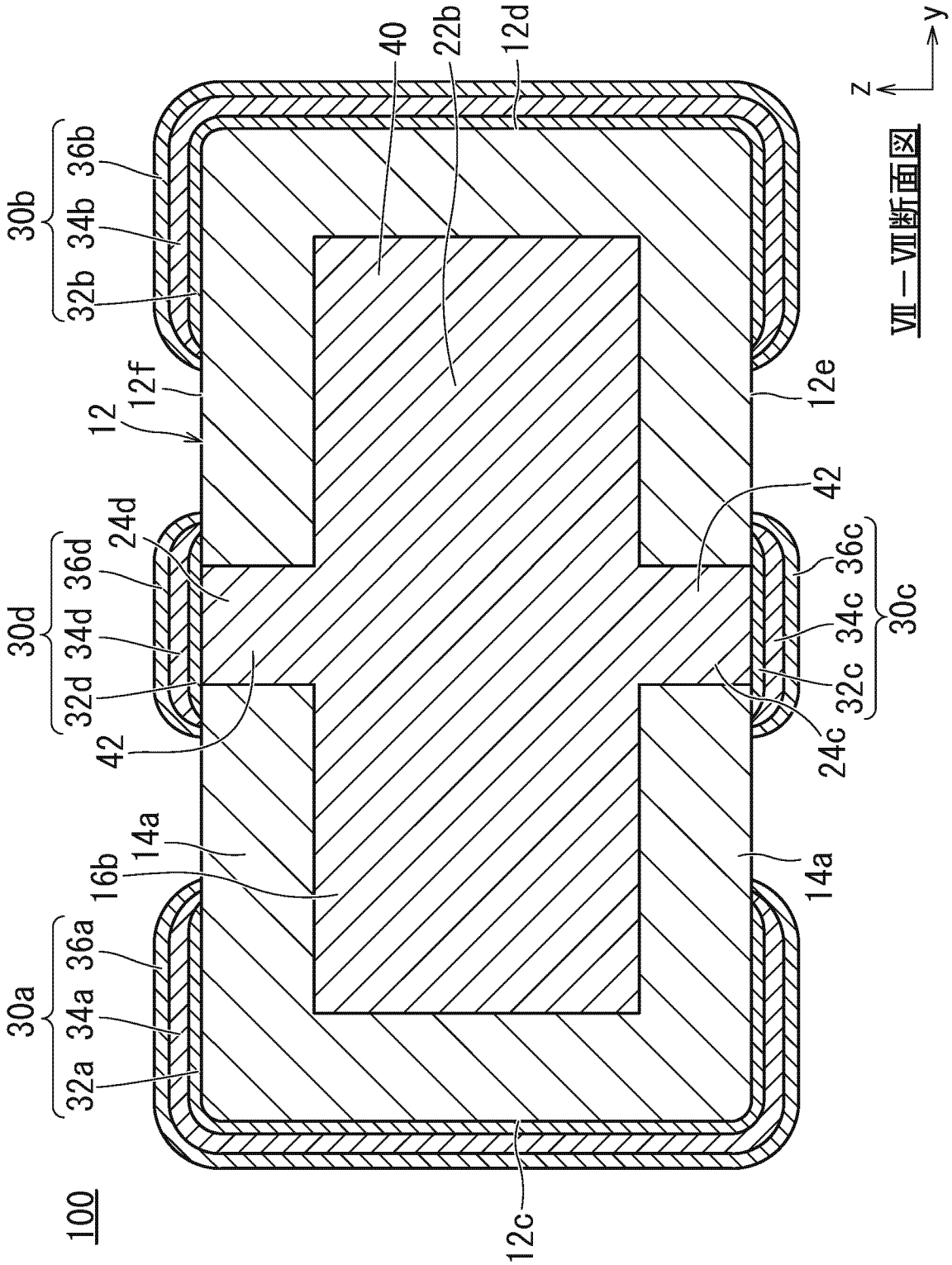
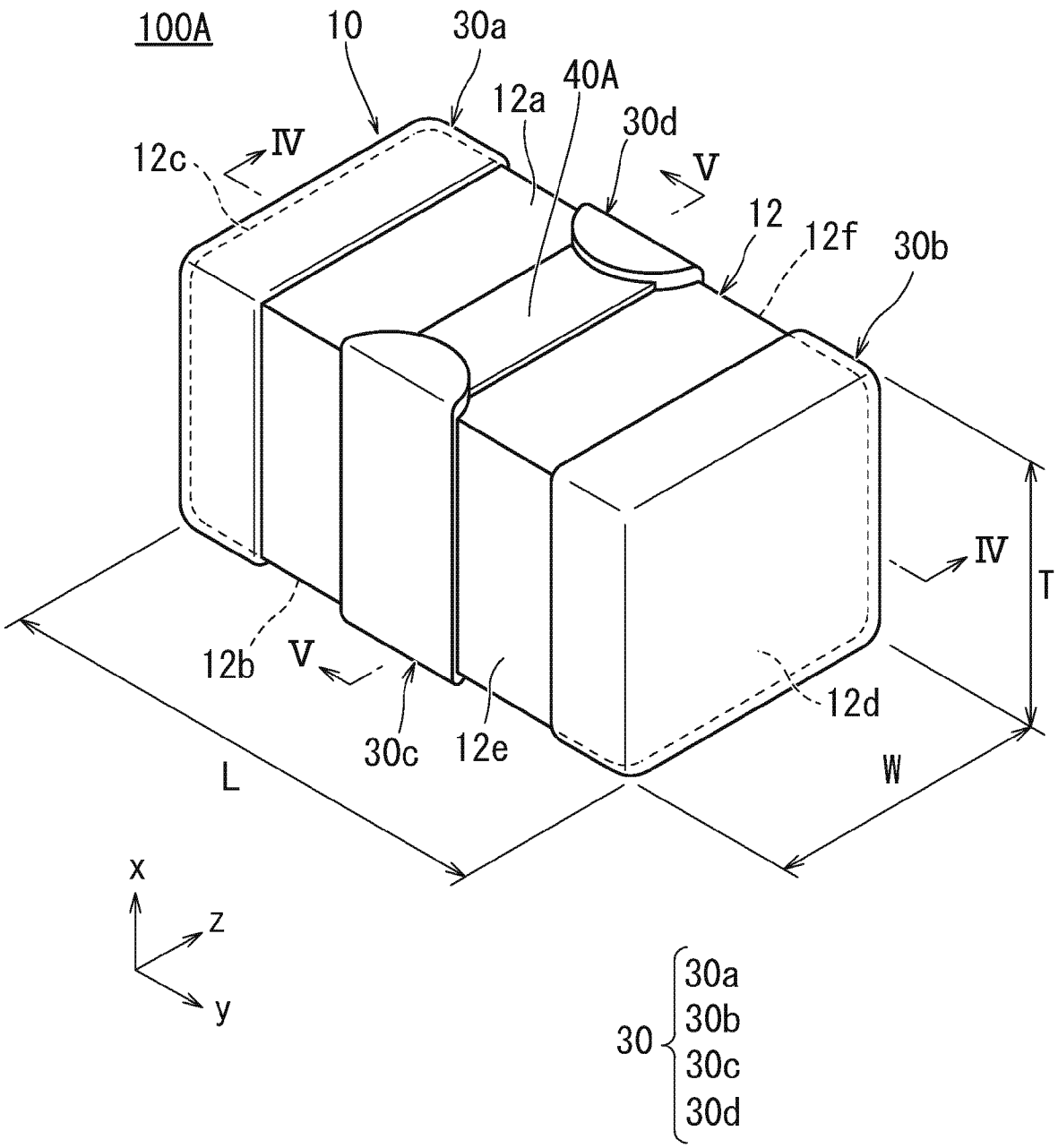


図7

30 { 30a 30b 30c 30d }
32 { 32a 32b 32c 32d }
34 { 34a 34b 34c 34d }
36 { 36a 36b 36c 36d }

[図8]

図８


100A
10
30a
40A
12a
30d
12c
IV
V
12
12f
30b
IV
T
12b
V
12d
30c
12e
L
W
x
z
y
30
30a
30b
30c
30d

[図9]

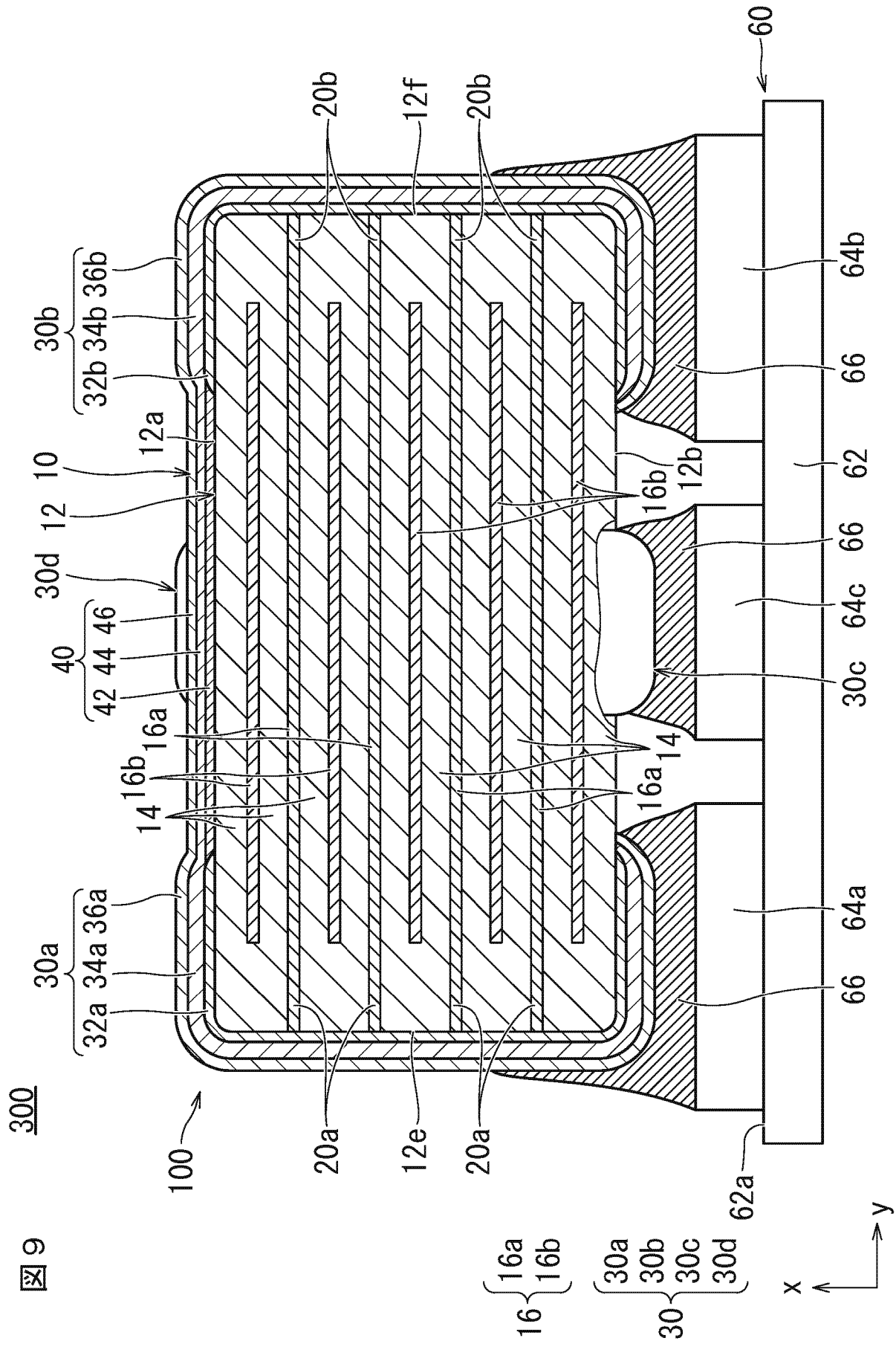
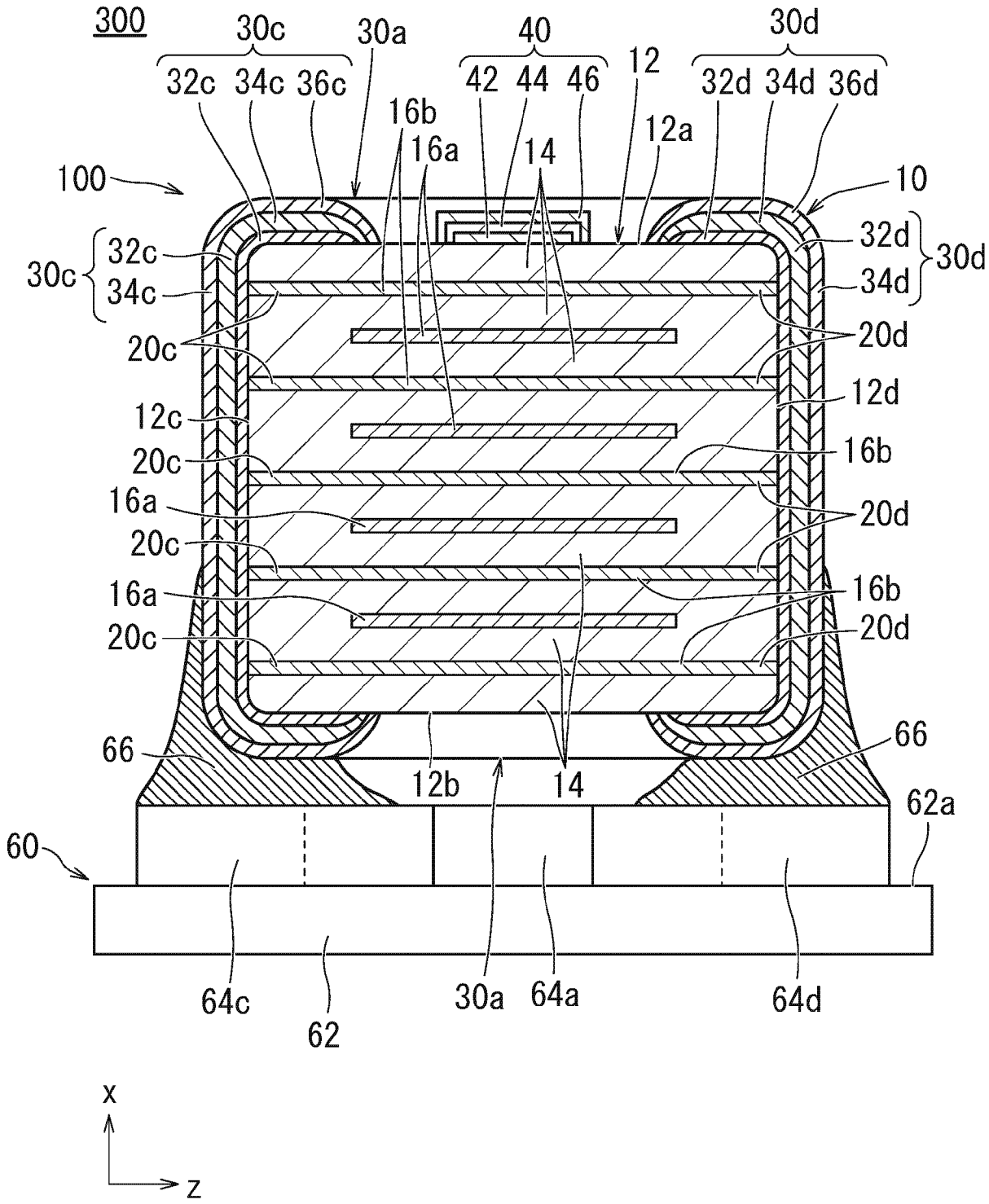

300
100
10
12
12a
12b
12e
12f
14
16
16a
16b
20a
20b
30
30a
30b
30c
30d
32a
32b
34a
34b
36a
36b
40
42
44
46
60
62
62a
64a
64b
64c
66
x
y

図9

[図10]

図１０


300
30c
30a
40
30d
32c 34c 36c
42 44 46
12
32d 34d 36d
16b
16a
14
12a
100
10
32c
34c
30c
32d
34d
30d
20c
20d
12d
12c
16b
20c
16a
20d
20c
16a
16b
20c
20d
66
66
12b
14
62a
60
64c
62
30a
64a
64d
x
z

[図11]

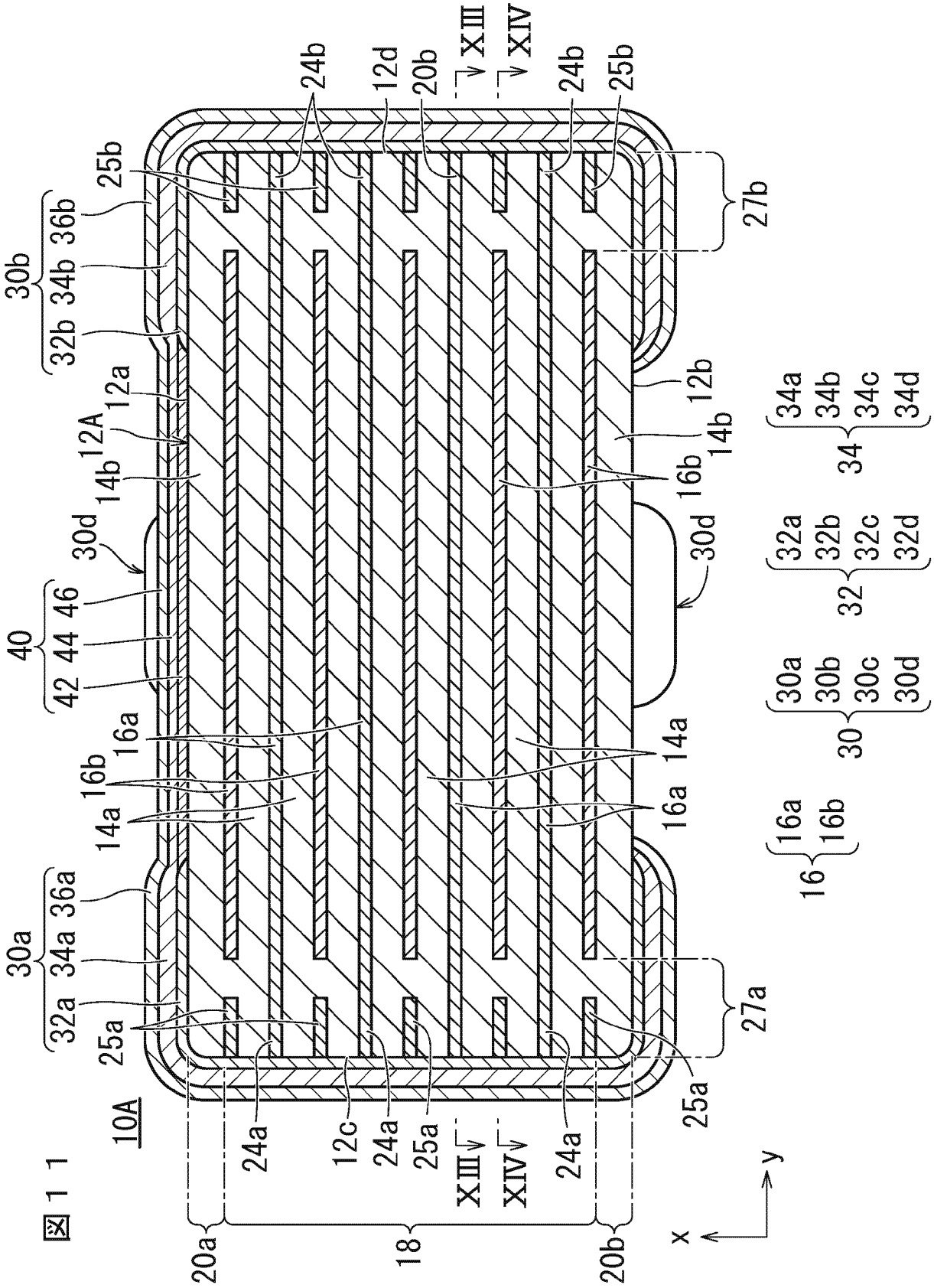
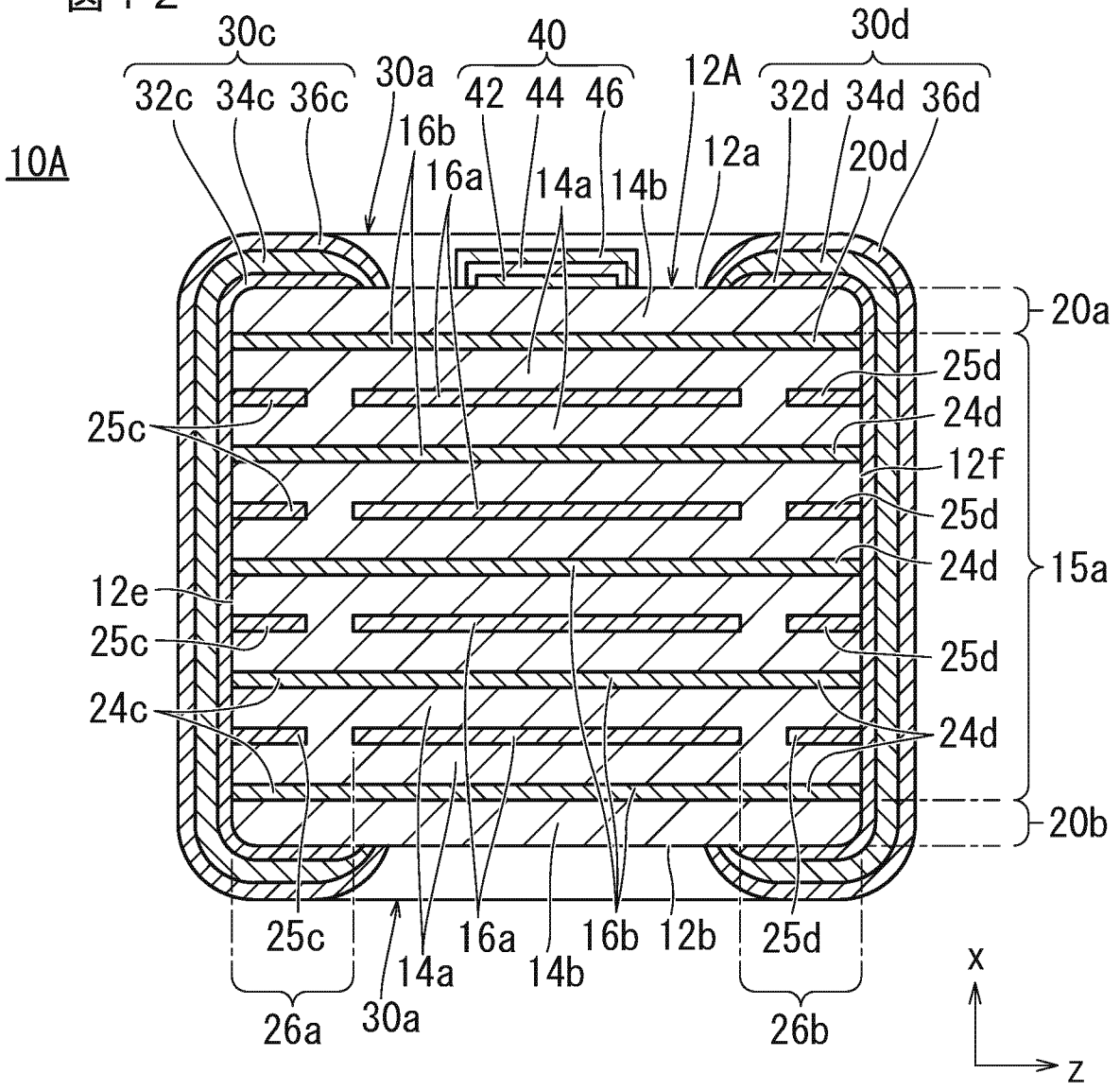

10A
12A
12a
12b
12c
12d
14a
14b
16a
16b
18
20a
20b
24a
24b
25a
25b
27a
27b
30a
30b
30c
30d
32a
32b
32c
32d
34a
34b
34c
34d
36a
36b
40
42
44
46
XIII
XIV
x
y

図11

[図12]

図１２



16 { 16a, 16b }　30 { 30a, 30b, 30c, 30d }　32 { 32a, 32b, 32c, 32d }　34 { 34a, 34b, 34c, 34d }

[図13]

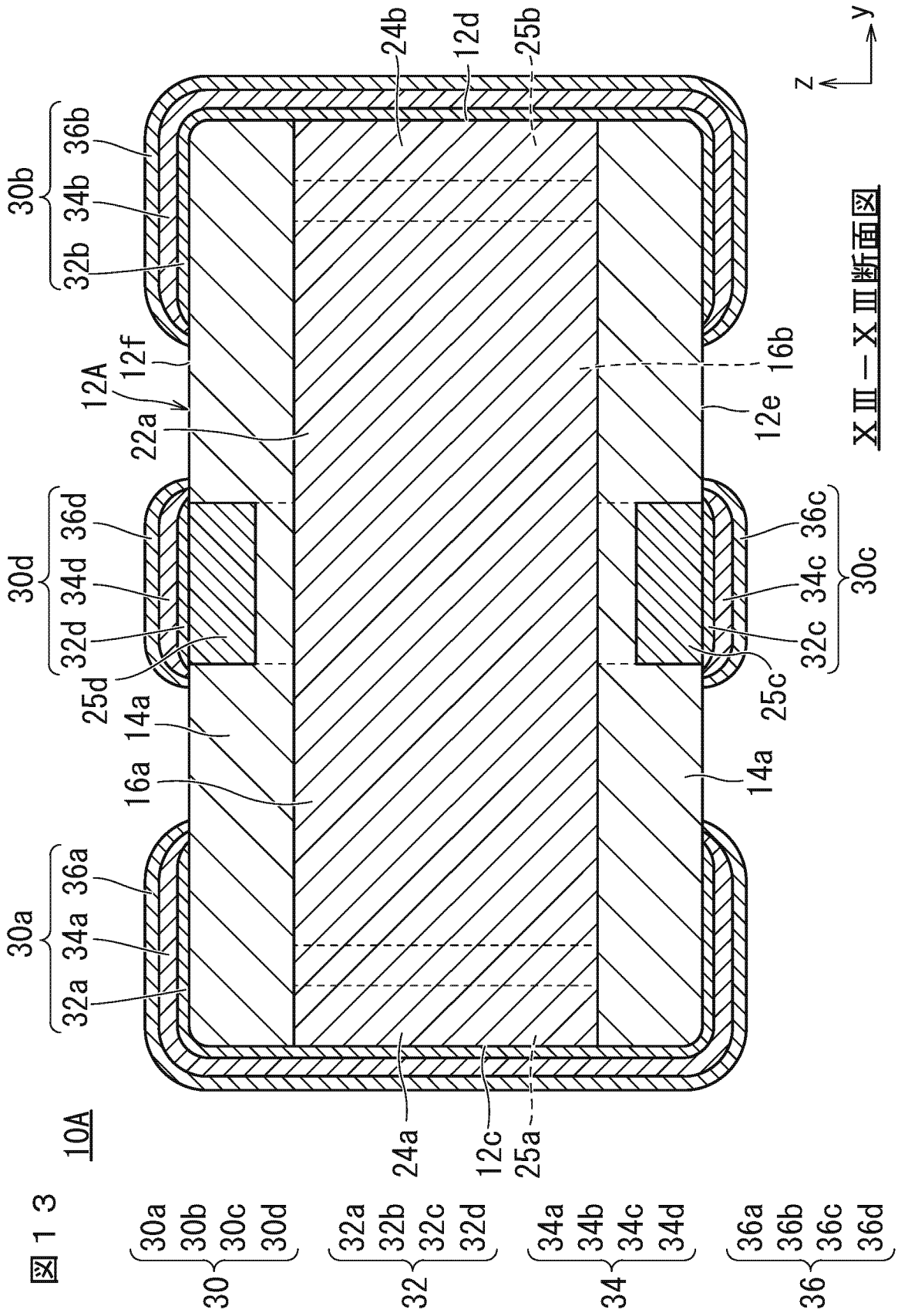

10A
30a
30b
30c
30d
32a
32b
32c
32d
34a
34b
34c
34d
36a
36b
36c
36d
12A
12c
12d
12e
12f
14a
16a
16b
22a
24a
24b
25a
25b
25c
25d
30
32
34
36
z
y
XⅢ－XⅢ断面図

図13

[図14]

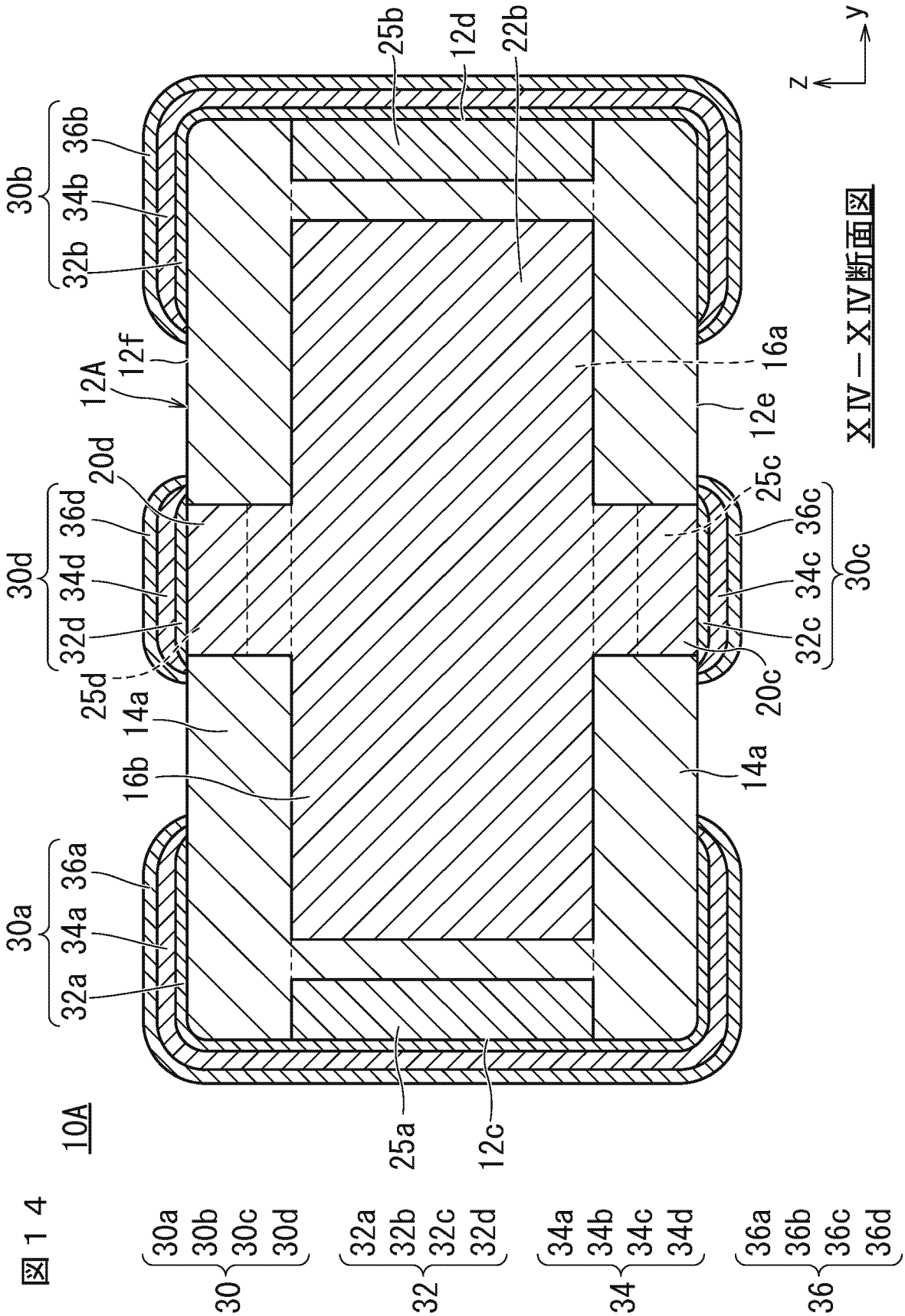

10A
XIV－XIV断面図
y
z
25b
12d
22b
30b
36b
34b
32b
12A
12f
16a
12e
20d
30d
36d
34d
32d
25d
14a
16b
25c
36c
34c
32c
30c
20c
14a
30a
36a
34a
32a
25a
12c
30
32
34
36
30a 30b 30c 30d
32a 32b 32c 32d
34a 34b 34c 34d
36a 36b 36c 36d

図14

[図15]

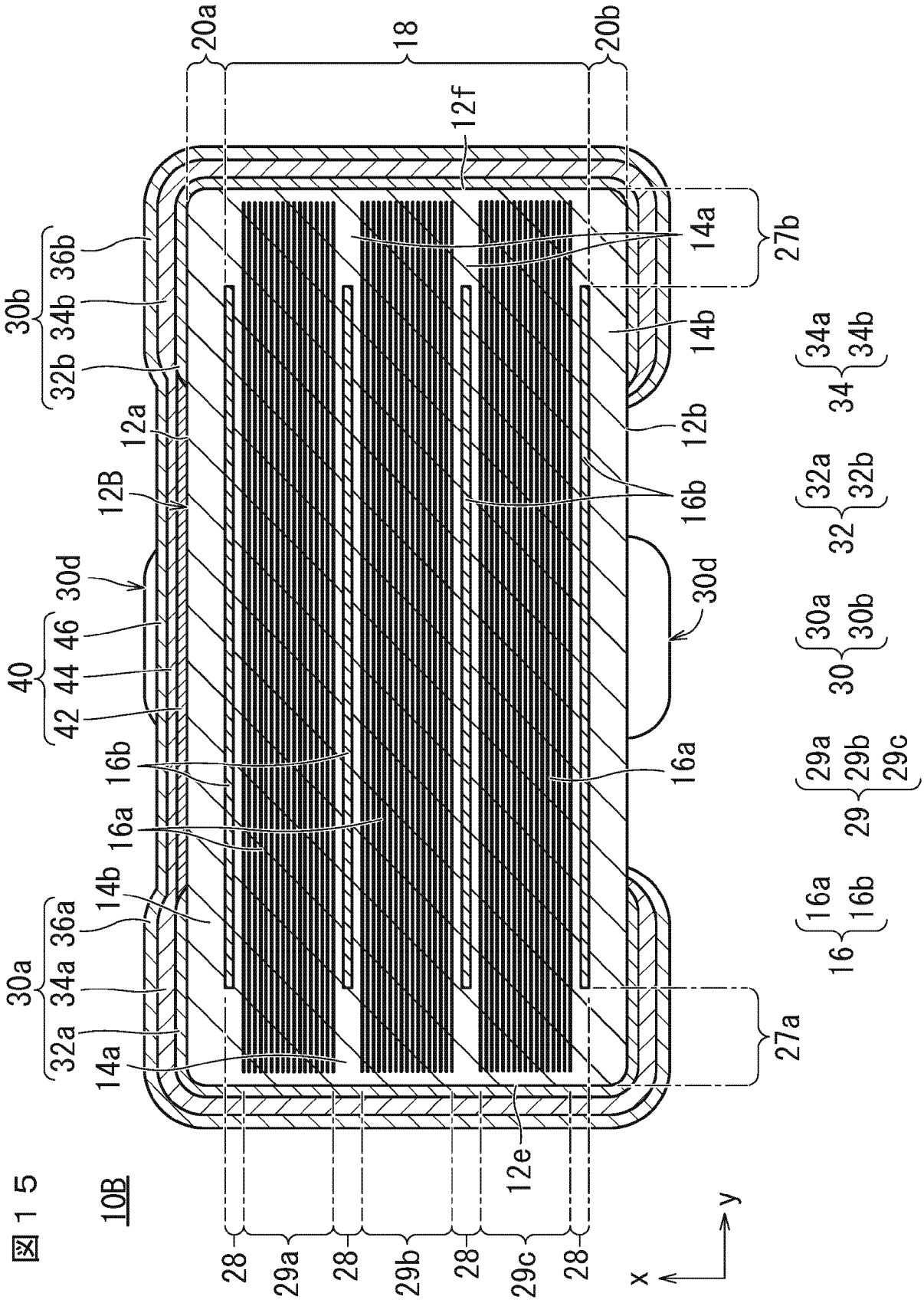
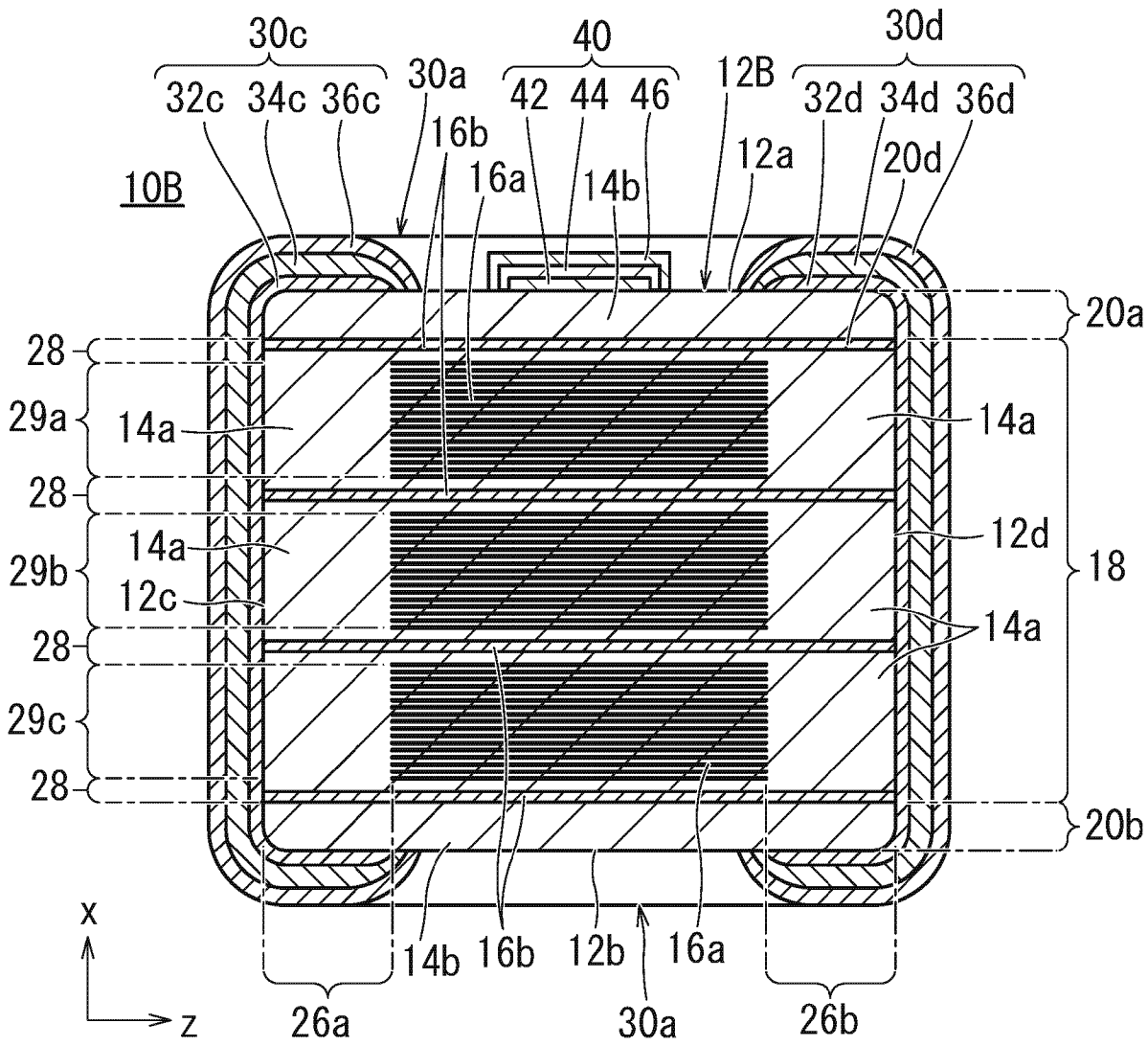

20a
18
20b
12f
14a
27b
30b
36b
34b
32b
14b
12a
12b
12B
16b
34a
34b
34
32a
32b
32
30d
30a
30b
30
46
44
42
40
16b
16a
29a
29b
29c
29
14b
36a
34a
32a
16a
16b
16
27a
14a
10B
12e
28
29a
28
29b
28
29c
28
x
y

図15

[図16]

図１６



16 { 16a, 16b } 29 { 29a, 29b, 29c } 30 { 30c, 30d } 32 { 32c, 32d } 34 { 34c, 34d }

[図17]

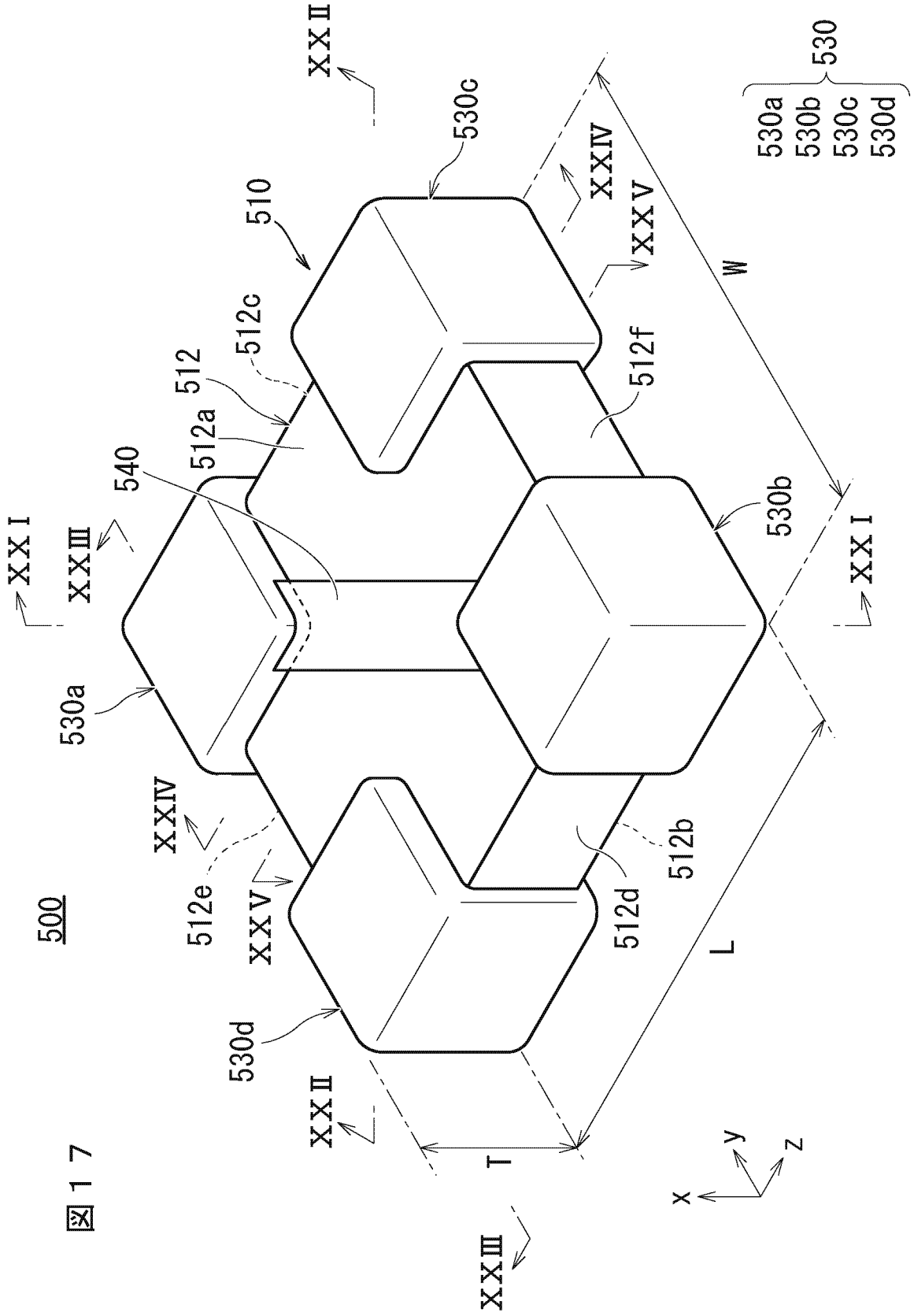
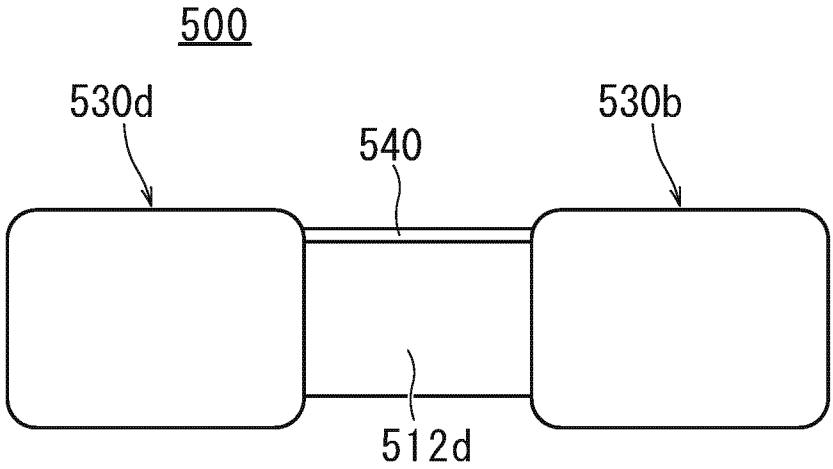

500
510
512
512a
512b
512c
512d
512e
512f
530
530a
530b
530c
530d
540
W
L
T
XXI
XXII
XXIII
XXIV
XXV
x
y
z

図17

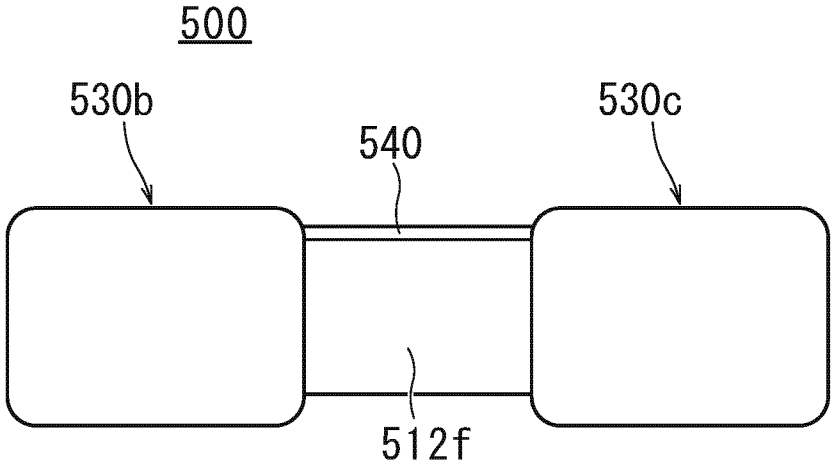
[図18]

図１８



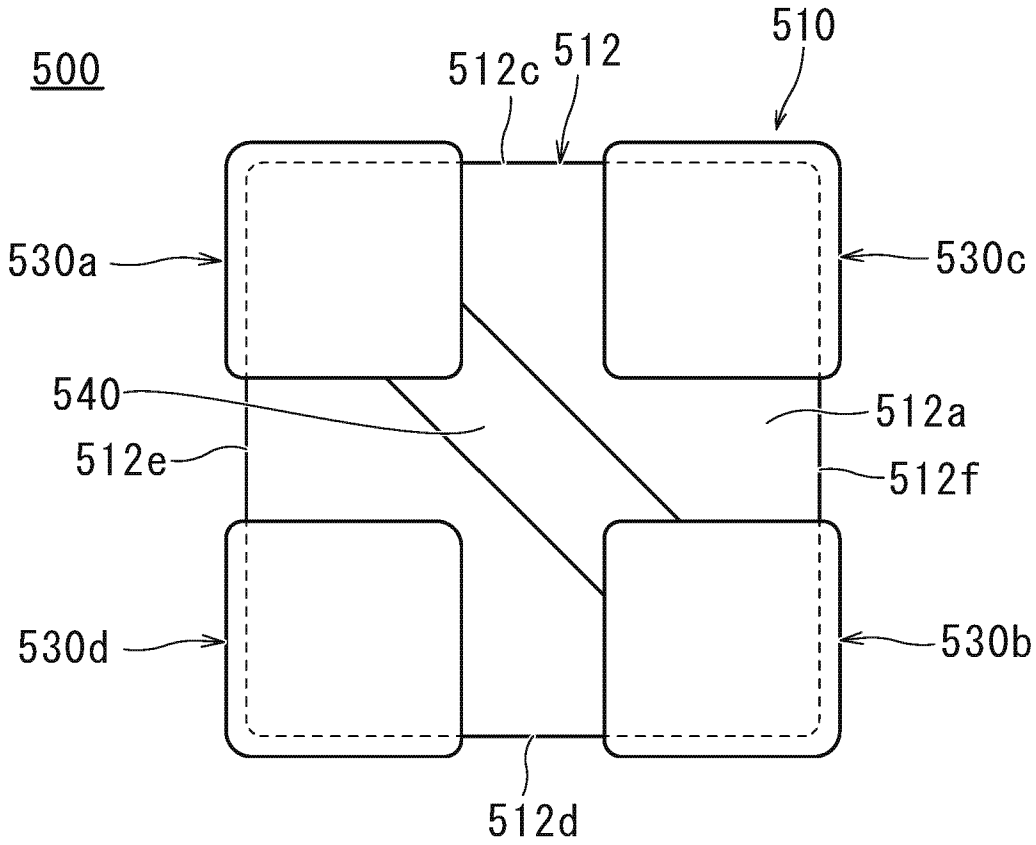
[図19]

図１９



[図20]

図２０



[図21]

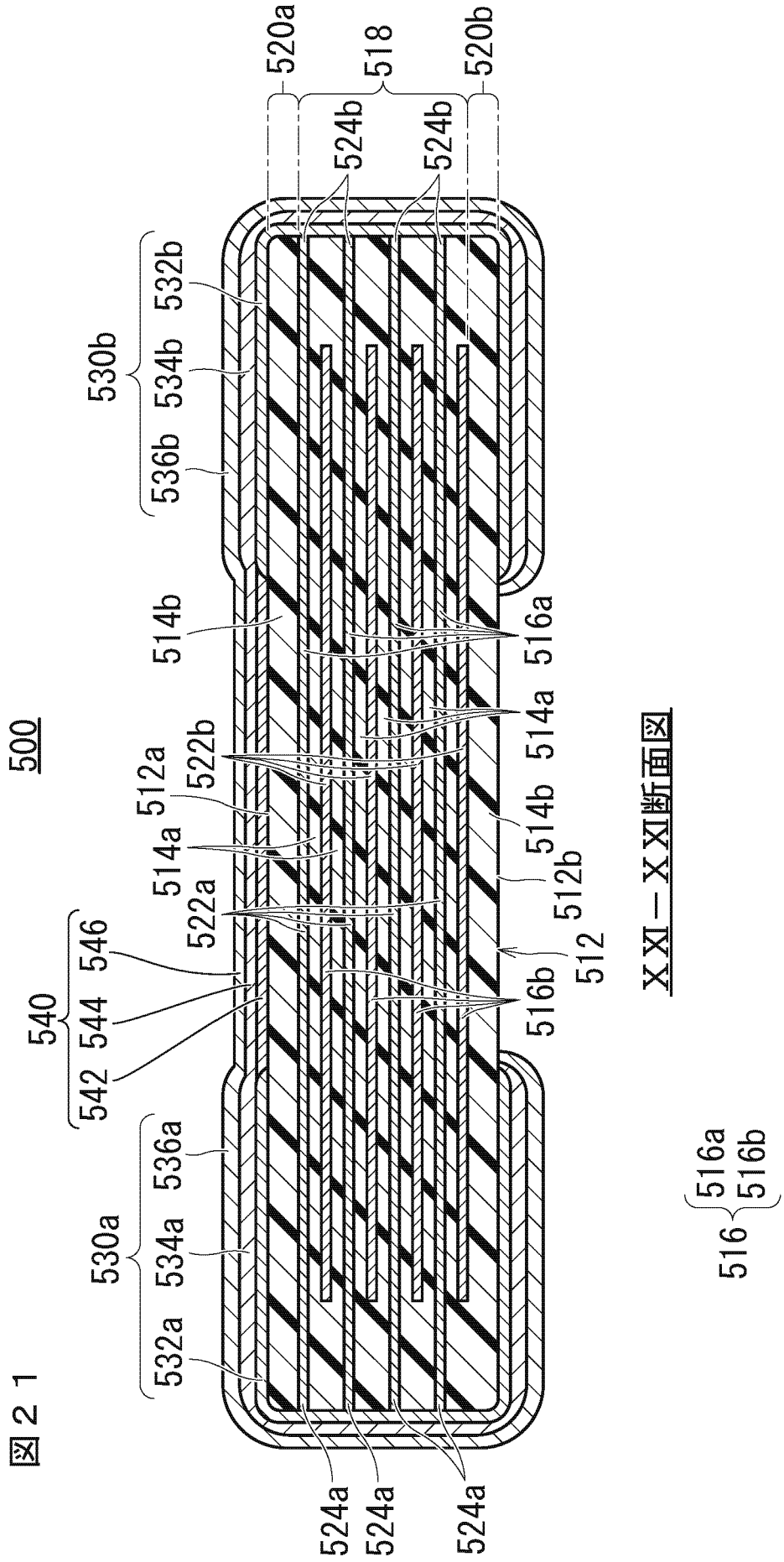

500
520a
518
520b
524b
524b
530b
532b
534b
536b
514b
516a
514a
512a
522b
514b
514a
522a
512b
512
546
540
544
542
516b
530a
536a
534a
532a
524a
524a
524a
XXI－XXI断面図
516
516a
516b

図21

[図22]

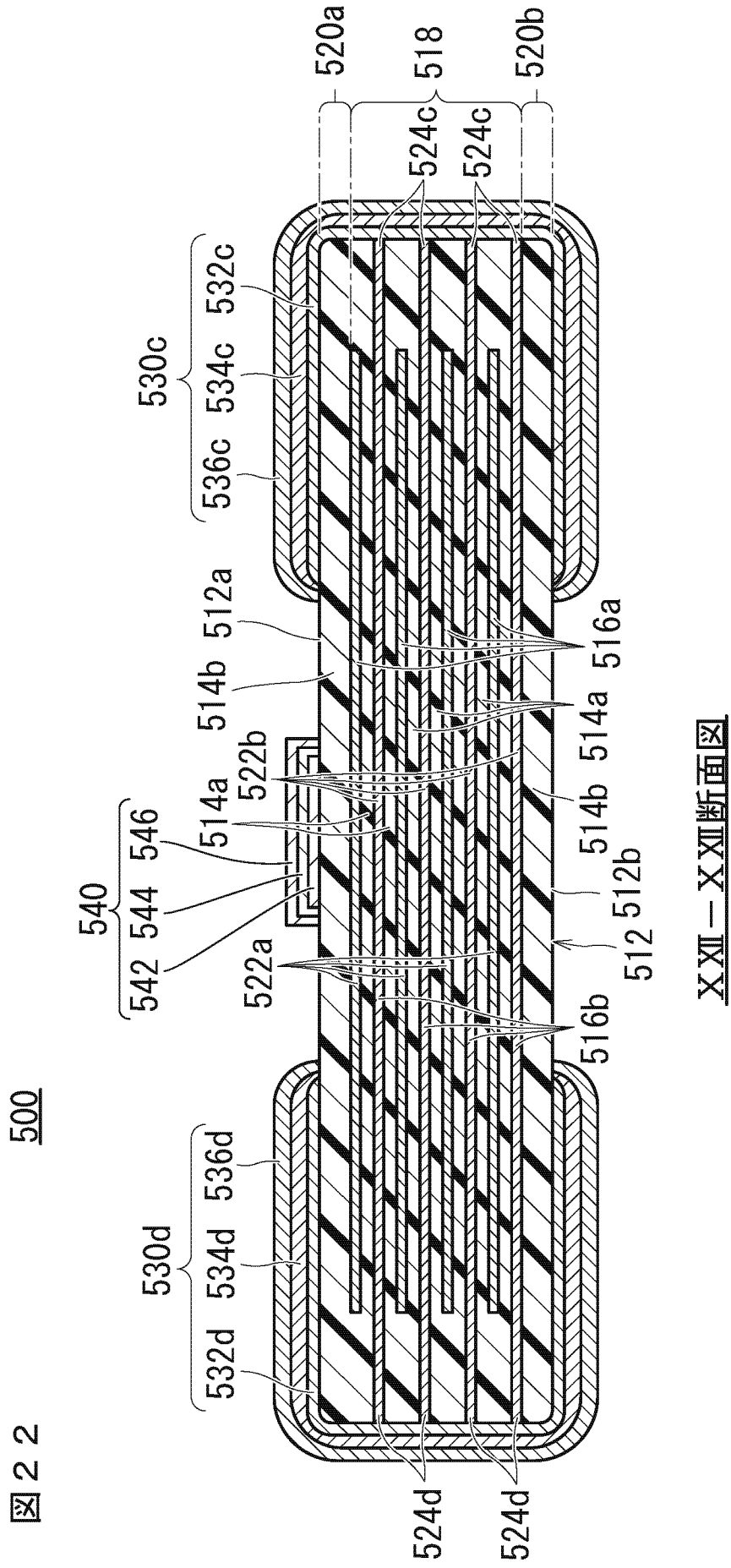
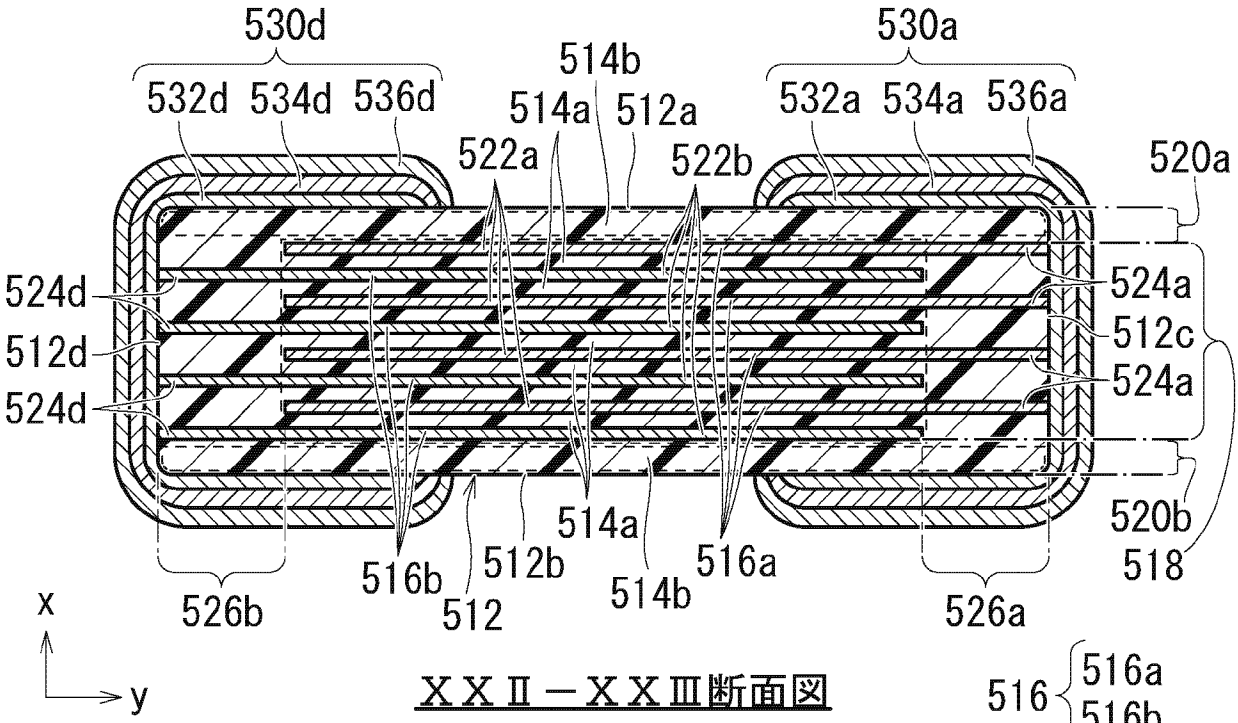

500
520a
518
520b
524c
524c
530c
532c
534c
536c
512a
516a
514b
514a
522b
514a
514b
546
540
544
542
512b
512
522a
516b
530d
536d
534d
532d
524d
524d
XXII－XXII断面図

図22

[図23]

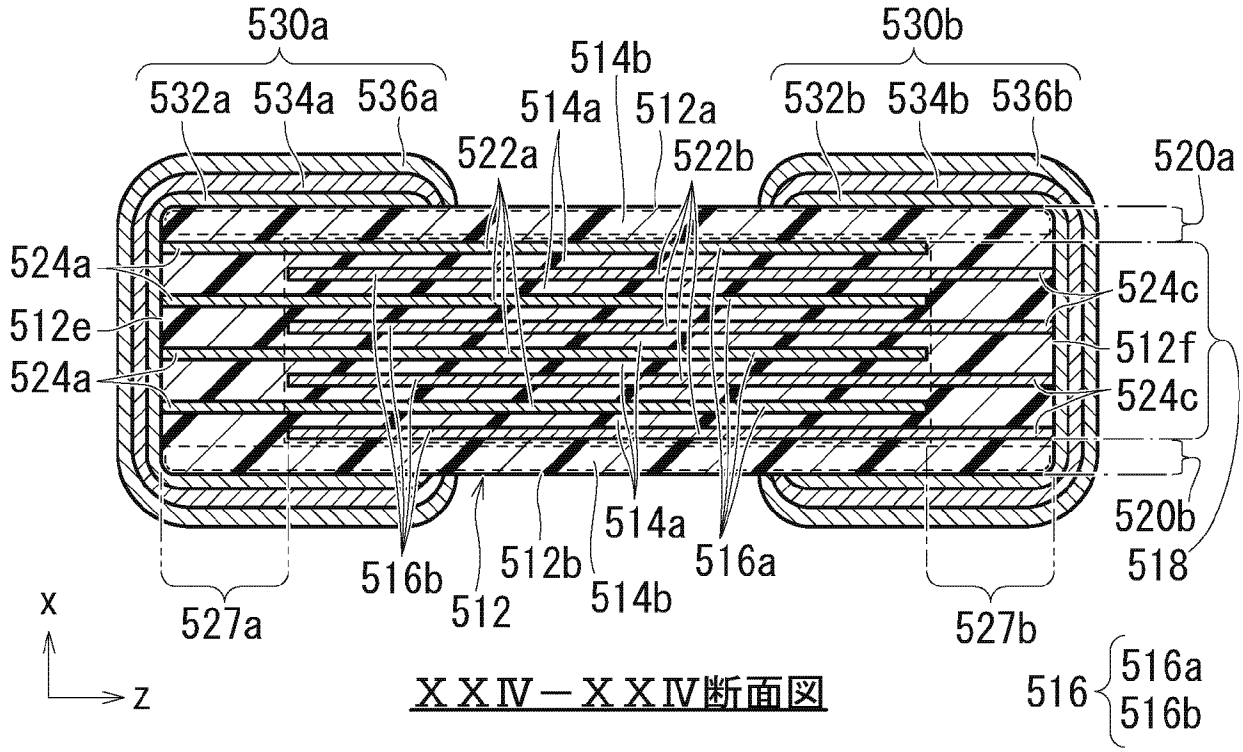
図２３



ＸＸＩＩ－ＸＸＩＩＩ断面図

[図24]

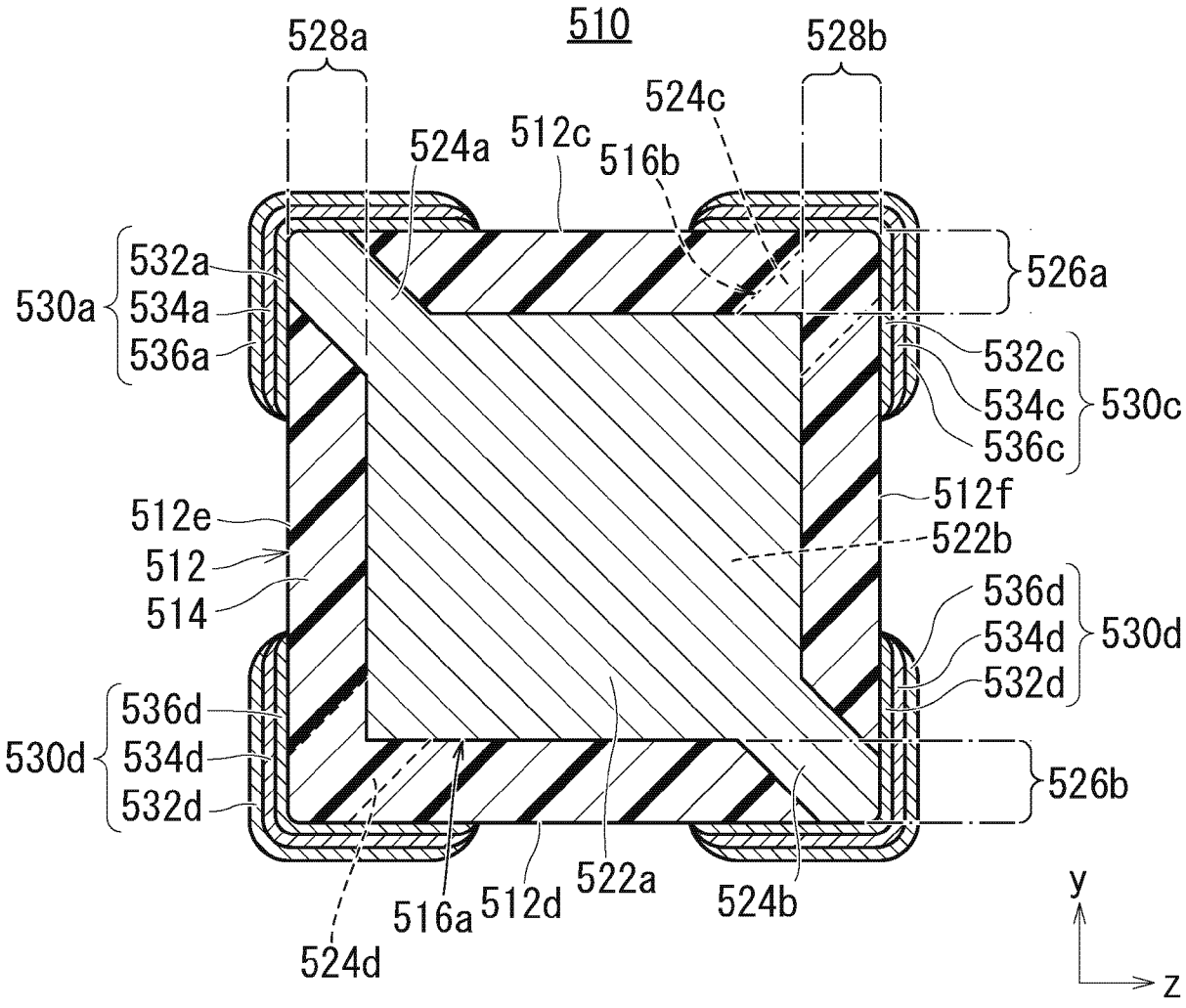
図２４



ＸＸＩＶ－ＸＸＩＶ断面図

[図25]

図２５

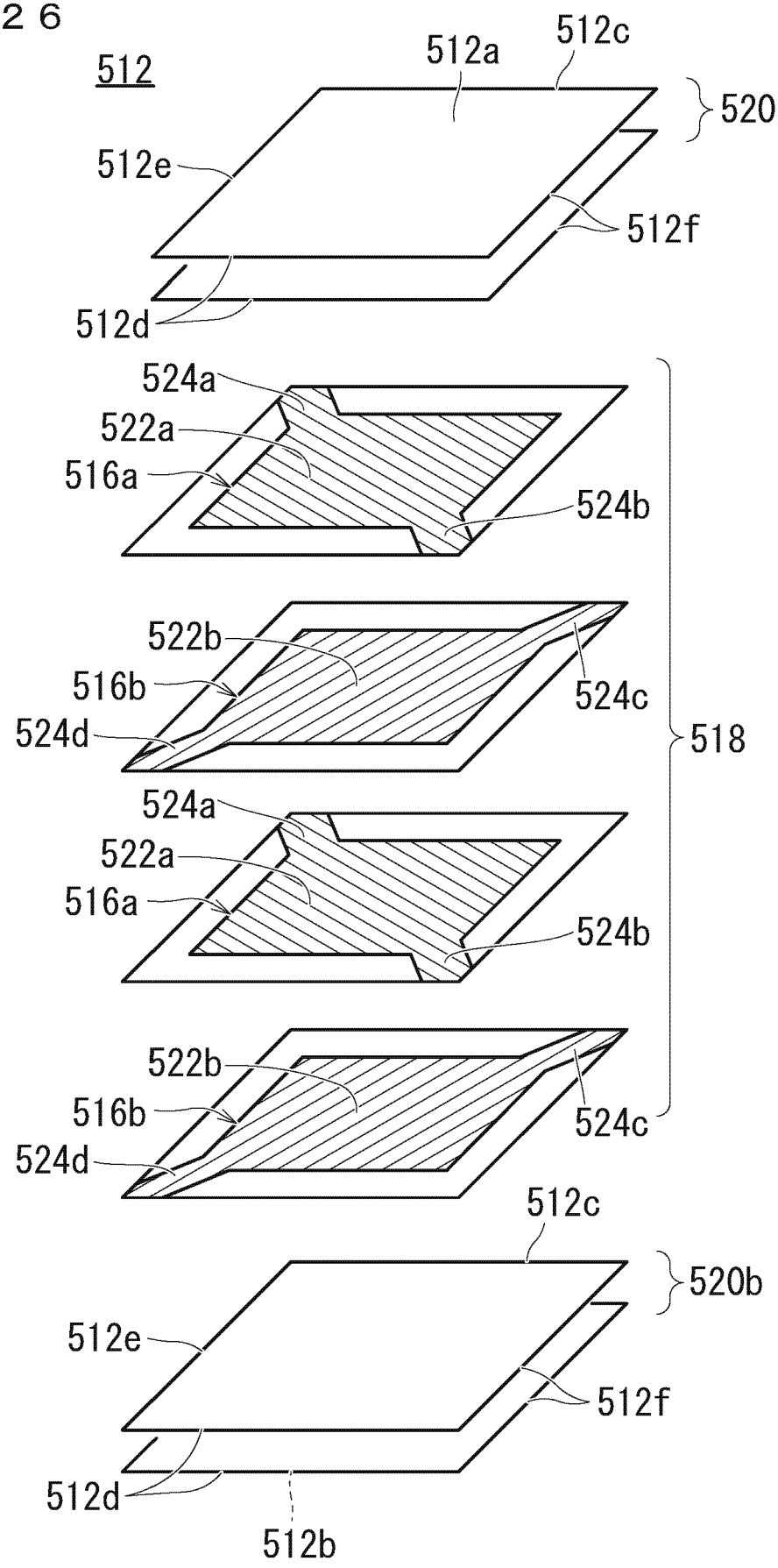


ＸＸＶ－ＸＸＶ断面図

516a
516b
516
530a
530b
530c
530d
530
534a
534b
534c
534d
534
536a
536b
536c
536d
536

[図26]

図２６


512
512a
512c
520a
512e
512f
512d
524a
522a
516a
524b
522b
516b
524c
524d
518
524a
522a
516a
524b
522b
516b
524c
524d
512c
520b
512e
512f
512d
512b

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/013808

A. CLASSIFICATION OF SUBJECT MATTER

H01G 4/35(2006.01)i
FI: H01G4/35 331

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/35

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-349678 A (TDK CORPORATION) 22 December 1994 (1994-12-22) paragraphs [0017]-[0020], fig. 1-2	1-2, 5
A		3-4
Y	JP 9-055335 A (MURATA MANUFACTURING CO., LTD.) 25 February 1997 (1997-02-25) paragraphs [0009]-[0010], fig. 1	1-2, 5
A		3-4
Y	JP 2009-218363 A (TDK CORPORATION) 24 September 2009 (2009-09-24) paragraph [0055], fig. 2	1-2, 5
A		3-4
A	JP 2008-270638 A (SANYO ELECTRIC CO., LTD.) 06 November 2008 (2008-11-06) paragraphs [0029]-[0032], [0083]-[0084], fig. 1	1-5

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 June 2024	**18 June 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/013808

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 6-349678 A	22 December 1994	(Family: none)	
JP 9-055335 A	25 February 1997	(Family: none)	
JP 2009-218363 A	24 September 2009	(Family: none)	
JP 2008-270638 A	06 November 2008	US 2008/0266757 A1 paragraphs [0076]-[0079], [0130]-[0131], fig. 1 CN 101295807 A	

国際調査報告

国際出願番号
PCT/JP2024/013808

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01G 4/35(2006.01)i
FI: H01G4/35 331

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01G4/35

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 6-349678 A (ティーディーケイ株式会社) 22.12.1994 (1994-12-22) 段落[0017]-[0020], 図1-2	1-2,5
A		3-4
Y	JP 9-055335 A (株式会社村田製作所) 25.02.1997 (1997-02-25) 段落[0009]-[0010], 図1	1-2,5
A		3-4
Y	JP 2009-218363 A (ＴＤＫ株式会社) 24.09.2009 (2009-09-24) 段落[0055], 図2	1-2,5
A		3-4
A	JP 2008-270638 A (三洋電機株式会社) 06.11.2008 (2008-11-06) 段落[0029]-[0032], [0083]-[0084], 図1	1-5

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

*　引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
06.06.2024	18.06.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

小林　大介 5D 9848

電話番号 03-3581-1101 内線 3549

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/013808

引用文献	公表日	パテントファミリー文献	公表日
JP 6-349678 A	22.12.1994	（ファミリーなし）	
JP 9-055335 A	25.02.1997	（ファミリーなし）	
JP 2009-218363 A	24.09.2009	（ファミリーなし）	
JP 2008-270638 A	06.11.2008	US 2008/0266757 A1 段落[0076]-[0079], [0130]-[0131], 図1 CN 101295807 A	