(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년12월10일
(11) 등록번호 10-1576648
(24) 등록일자 2015년12월04일

(51) 국제특허분류(Int. Cl.)
H01L 21/28 (2006.01) *H01L 21/60* (2006.01)
H01L 21/66 (2006.01)
(21) 출원번호 10-2014-0143441
(22) 출원일자 2014년10월22일
심사청구일자 2014년10월22일
(56) 선행기술조사문헌
KR1020120058114 A*
F.X. Che. et al. Wafer level warpage modeling methodology and characterizat*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
세종대학교산학협력단
서울특별시 광진구 능동로 209 (군자동, 세종대학교)
(72) 발명자
이원준
서울특별시 마포구 독막로42길 2, 108동 704호 (염리동, 마포자이)
황주선
부산광역시 해운대구 좌동순환로 252, 103동 206호 (좌동, 대원아파트)
(74) 대리인
특허법인엠에이피에스

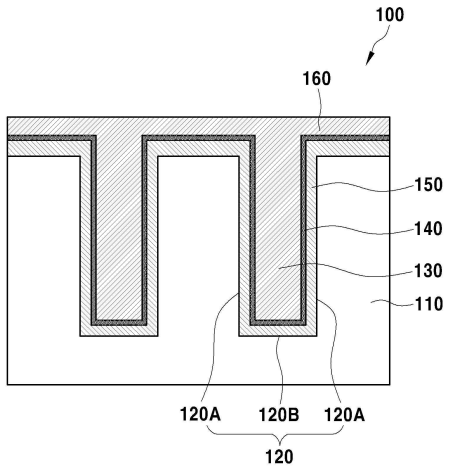
전체 청구항 수 : 총 6 항 심사관 : 김상연

(54) 발명의 명칭 **실리콘 관통전극 구조체 및 이의 열-기계적 응력 예측 방법**

(57) 요 약

실리콘 관통전극 구조체 및 상기 실리콘 관통전극의 열-기계적 응력 예측 방법에 관한 것이다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업
과제고유번호 1711004070
부처명 미래창조과학부
연구관리전문기관 산업기술연구회
연구사업명 산업기술연구회연구운영비지원
연구과제명 차세대 반도체 MCP 핵심기술 개발
기 여 율 1/1
주관기관 세종대학교 산학협력단
연구기간 2014.03.01 ~ 2015.02.28

명 세 서

청구범위

청구항 1

실리콘 웨이퍼 내에 수직 방향으로 형성된 비아 홀(via hole);

상기 비아 홀의 내부에 순차적으로 배치된 도전체, 확산 방지막(barrier), 및 절연막(dielectric liner); 및

상기 비아 홀의 상부에 배치된 구리 오버버든(overburden)을 포함하는 실리콘 관통전극 구조체로서,

상기 비아 홀의 직경, 상기 절연막의 두께, 상기 구리 오버버든의 두께, 및 이들의 조합들로 이루어진 군에서 선택되는 변수(parameter)에 의해 상기 실리콘 관통전극 구조체의 응력이 조절되고,

상기 실리콘 관통전극 구조체는, 하기 수학식 1 또는 하기 수학식 2의 T 값이 700 미만, 또는 수학식 3의 T 값이 147.04 미만인 것인, 실리콘 관통전극(through silicon via; TSV) 구조체:

[수학식 1]

$$T = 678.57 + 34.01x - 1.25y - 0.60x^2 + 0.001y^2 - 0.007xy;$$

[수학식 2]

$$T = 531.53 + 21.09x + 99z - 0.11x^2 - 16.05z^2 - 0.04xz;$$

[수학식 3]

$$T = 0.49x^2 - 0.001y^2 - 16.05z^2 + 0.007xy - 0.04xz - 12.92x + 1.25y + 99z;$$

상기 식들에 있어서,

T는 실리콘 관통전극의 응력(MPa)이고,

x는 비아 홀의 직경이고,

y는 절연막의 두께이고,

z는 구리 오버버든의 두께임.

청구항 2

제 1 항에 있어서,

상기 실리콘 관통전극 구조체의 응력이 실리콘의 항복응력(yield stress)보다 작은 것인, 실리콘 관통전극 구조체.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 도전체는 Cu를 포함하고, 상기 확산 방지막은 Ti, Ta, W, Ru, Pt, Co, 또는 이들의 조합들; 이들의 질화물(nitride); 이들의 탄화물(carbide); 이들의 인화물(phosphide); 및, 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것인, 실리콘 관통전극 구조체.

청구항 7

제 1 항에 있어서,

상기 비아 홀이 상기 실리콘 웨이퍼를 관통하거나 또는 부분 관통한 것을 포함하는 것인, 실리콘 관통전극 구조체.

청구항 8

제 1 항에 있어서,

상기 절연막은 SiO_2, SiN, SiC, SiCN, Al_2O_3, 저유전율(low-k) 절연막, 이들의 조합들, 및 이들의 적층 구조로 이루어진 군에서 선택된 것을 포함하는 것인, 실리콘 관통전극 구조체.

청구항 9

제 1 항, 제 2 항, 및 제 6 항 내지 제 8 항 중 어느 한 항에 따른 실리콘 관통전극 구조체를 이용한 실리콘 관통전극의 열-기계적 응력 예측 방법으로서,

상기 관통전극의 비아 홀 직경, 절연막의 두께, 구리 오버버든의 두께, 및 이들의 조합들로 이루어진 군에서 선택되는 변수(parameter)를 이용하여 상기 실리콘 관통전극의 응력(stress)을 예측함으로써, 상기 실리콘 관통전극의 크랙(crack)을 방지하는 것을 포함하고,

상기 실리콘 관통전극의 응력은 하기 수학식 1 내지 3 중 어느 하나에 의해 예측되며,

상기 실리콘 관통전극은 하기 수학식 1 또는 하기 수학식 2의 T 값이 700 미만, 또는 하기 수학식 3의 T 값이 147.04 미만일 때 상기 실리콘 관통전극의 크랙의 생성이 방지되는 것인, 실리콘 관통전극의 열-기계적 응력 예측 방법:

[수학식 1]

$$T = 678.57 + 34.01x - 1.25y - 0.60x^2 + 0.001y^2 - 0.007xy;$$

[수학식 2]

$$T = 531.53 + 21.09x + 99z - 0.11x^2 - 16.05z^2 - 0.04xz;$$

[수학식 3]

$$T = 0.49x^2 - 0.001y^2 - 16.05z^2 + 0.007xy - 0.04xz - 12.92x + 1.25y + 99z;$$

상기 식들에 있어서,

T는 실리콘 관통전극의 응력(MPa)이고,

x는 비아 홀의 직경이고,

y는 절연막의 두께이고,

z는 구리 오버버든의 두께임.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

발명의 설명

기 술 분 야

[0001] 본원은, 실리콘 관통전극 구조체 및 상기 실리콘 관통전극의 열-기계적 응력 예측 방법에 관한 것이다.

배 경 기 술

[0002] 3-차원 집적 회로(three-dimensional integrated circuit; 3D IC)는 수직으로 하나의 칩에 여러 가지를 통합하는 새로운 기술이다. 실리콘 관통전극(through-silicon via; TSV) 상의 3D IC의 이점은 향상된 패킹 밀도, 감소된 전력 소비, 더 넓은 대역폭, 및 더 빠른 전달 속도를 포함한다. 구리는 구리의 낮은 저항률 및 구리 배선과의 우수한 적합성으로 인해 TSV의 첨가물로서 가장 일반적으로 사용되며, 제조 공정의 개발에 많은 노력이 집중되어왔다.

[0003] 그러나, 구리 TSV는 디바이스 특성, 수율, 및 장기 신뢰성의 저하와 관련된 많은 문제를 제기한다. 구리는 실리콘 및 실리콘 옥사이드 모두에서 빠르게 확산되어 실리콘 디바이스를 오염시킨다. 실리콘 웨이퍼 및 구리 TSV 간의 열팽창 계수(coefficient of thermal expansion; CTE)에서의 불일치는 구리 TSV 구조 내에서 열-기계적 응력을 유도한다. 활성 영역의 소수 캐리어 수명은 5 분간 300℃에서 어닐링하는 동안 구리 TSV로부터 확산된 구리 오염에 의해 감소된다. 상기 열-기계적 응력은 디바이스 내에서 홀(hole) 및 전자 이동도(electron mobility) 변화를 야기하며, 이는 성능 저하를 야기할 수 있다. 열 응력에 의해 발생하는 TSV의 박리(delamination)는 다른 물질들 및 구조적 설계들을 사용하여 연구하였다: TSV 직경, TSV 첨가물들(filling materials), 유전체 물질들의 타입, TSV의 타입(관통-전극 vs. 블라인드-비아, 원통형). 실리콘 기재들의 크래킹(cracking) 또는 상기 열-기계적 응력에 의하여 절연막(dielectric liner) 또한 결정되었으나, 크래킹 실패에 관한 설계 파라미터들의 영향은 거의 보고되지 않았다. TSV 구조의 응력 분포는 유한요소분석법(finite element analysis)에 의해 주로 연구된 반면, 마이크로-라만 분광법(micro-Raman spectroscopy)은 실리콘 표면의 열-기계적 응력만을 결정할 수 있었다.

[0004] 한편, 대한민국 공개특허 제10-2012-0104638호(관통 실리콘 비아들 근처의 사용가능한 집적 회로 칩 면적의 재생)에서는 기판을 관통하는 비아(via)를 포함하는 기판 및 응력을 도입하는 재료를 포함하는 직접 회로 디바이스를 제조하는 것으로서, 관통전극 근처의 사용 가능한 직접 회로 칩 면적의 재생을 이용하고 있다.

발명의 내용

해결하려는 과제

[0005] 본원은, 실리콘 웨이퍼 내에 수직 방향으로 형성된 비아 홀(via hole); 상기 비아 홀의 내부에 순차적으로 배치된 도전체, 확산 방지막, 및 절연막; 및 상기 비아 홀의 상부에 배치된 구리 오버버든(overburden)을 포함하며, 상기 비아 홀의 직경, 상기 절연막의 두께, 상기 구리 오버버든의 두께, 및 이들의 조합들로 이루어진 군에서 선택되는 변수(parameter)에 의해 실리콘 관통전극의 응력이 조절되는 실리콘 관통전극 구조체, 및 상기 실리콘 관통전극의 열-기계적 응력 예측 방법을 제공하고자 한다.

[0006] 그러나, 본원이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 본원의 제 1 측면은, 실리콘 웨이퍼 내에 수직 방향으로 형성된 비아 홀(via hole); 상기 비아 홀의 내부에 순차적으로 배치된 도전체, 확산 방지막, 및 절연막(dielectric liner); 및 상기 비아 홀의 상부에 배치된 구리 오버버든(overburden)을 포함하며, 상기 비아 홀의 직경, 상기 절연막의 두께, 상기 구리 오버버든의 두께, 및 이들의 조합들로 이루어진 군에서 선택되는 변수(parameter)에 의해 실리콘 관통전극의 응력이 조절되는 것인, 실리콘 관통전극 구조체를 제공한다.

[0008] 본원의 제 2 측면은, 본원의 제 1 측면에 따른 실리콘 관통 전극 구조체를 이용한 관통전극의 열-기계적 응력 예측 방법으로서, 상기 관통전극의 비아 홀 직경, 절연막의 두께, 구리 오버버든의 두께, 및 이들의 조합들로 이루어진 군에서 선택되는 변수(parameter)를 이용하여 상기 실리콘 관통전극의 응력(stress)을 예측함으로써, 상기 관통전극의 크랙을 방지하는 것을 포함하는, 실리콘 관통전극의 열-기계적 응력 예측 방법을 제공한다.

발명의 효과

[0009] 본원의 일 구현예에 의하면, 실리콘 관통전극 구조체(TSV)는, 실리콘 관통전극의 비아 홀 직경이 감소함에 따라 TSV의 최대 응력 또한 감소할 수 있으며, 상기 비아 홀의 직경은 실리콘 관통전극의 열-기계적 응력을 예측하는 변수로서 사용될 수 있다.

[0010] 본원의 일 구현예에 의하면, 실리콘 관통전극의 절연막 두께가 증가할수록 TSV의 최대 응력이 저하될 수 있으며, 상기 절연막의 두께는 실리콘 관통전극의 열-기계적 응력을 예측하는 변수로서 사용될 수 있다.

[0011] 본원의 일 구현예에 의하면, 실리콘 관통전극의 구리 오버버든 두께가 감소함에 따라 TSV의 최대 응력 또한 감소할 수 있으며, 상기 구리 오버버든의 두께는 실리콘 관통전극의 열-기계적 응력을 예측하는 변수로서 사용될 수 있다.

[0012] 본원의 일 구현예에 의하면, 실리콘 관통전극에 있어서, 비아 홀의 직경, 절연막의 두께, 구리 오버버든의 두께, 및 이들의 조합들로 이루어진 군에서 선택되는 설계 변수(parameter)에 의해 최대 응력을 예측하여 본원에 따른 실리콘 관통전극의 크랙(crack)을 방지할 수 있다.

도면의 간단한 설명

[0013] 도 1은, 본원의 일 실시예에 있어서, TSV의 설계 파라미터의 모식도이다.

도 2a 및 도 2b는, 본원의 일 실시예에 있어서, 실리콘 관통전극(through-silicon via; TSV)의 FEM 모델링을 나타낸 것으로서, (a) 모델의 메쉬(mesh) 및 임계 계면에서의 메쉬, 및 (b) ANSYS에 의하여 계산된 응력 분포의 예를 나타낸다.

도 3a 내지 도 3d는, 본원의 일 실시예에 있어서, 각각 다른 직경들을 사용한 TSV의 하단 모서리의 윤곽 플롯들이다: 각각 (a) 2 ㎛, (b) 5 ㎛, (c) 10 ㎛, 및 (d) 20 ㎛를 나타내며, 이때 각각의 종횡비는 10으로 고정됨.

도 4는, 본원의 일 실시예에 있어서, TSV의 직경 및 종횡비의 함수로서의 최대 폰 미제스 응력을 나타내는 그래프이다.

도 5a 내지 도 5c는, 본원의 일 실시예에 있어서, 각각 다른 측면 기울기들을 사용한 TSV의 하단 모서리의 윤곽 플롯들이다: 각각 (a) 88°, (b) 89°, 및 (c) 90°를 나타내며, 이때 각각의 비아 직경은 10 ㎛임.

도 6은, 본원의 일 실시예에 있어서, 벽면 기울기의 함수로서의 최대 폰 미제스 응력을 나타내는 그래프이다.

도 7a 내지 도 7d는, 본원의 일 실시예에 있어서, 각각 다른 SiO_2 두께를 사용한 TSV들의 하단 모서리의 윤곽 플롯들이다: 각각 (a) 50 nm, (b) 100 nm, (c) 200 nm, 및 (d) 500 nm를 나타내며, 이때 각각의 비아 직경은 10 ㎛임.

도 8은, 본원의 일 실시예에 있어서, SiO_2 두께 및 비아 직경의 두 함수로서의 최대 폰 미제스 응력을 나타내는 그래프이다.

도 9a 및 도 9b는, 본원의 일 실시예에 있어서, SiO_2 막(liner)들의 각각 다른 스텝 커버리지를 사용한 TSV들의 하단 모서리의 윤곽 플롯들이다: 각각 (a) 50% 및 (b) 100%를 나타내며, 이때 각각의 비아 직경은 10 ㎛임.

도 10a 내지 도 10d는, 본원의 일 실시예에 있어서, 각각 다른 구리 오버버든 두께를 사용한 TSV들의 하단 모서리의 윤각 플롯들이다: 각각 (a) 0 ㎛, (b) 0.5 ㎛, (c) 1 ㎛, 및 (d) 5 ㎛를 나타내며, 이때 각각의 비아 직경은 10 ㎛임.

도 11은, 본원의 일 실시예에 있어서, 구리 오버버든 두께 및 비아 직경의 두 함수로서의 최대 폰 미제스 응력을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0014] 이하, 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본원의 구현예 및 실시예를 상세히 설명한다. 그러나 본원은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 구현예 및 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0015] 본원 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다.

[0016] 본원 명세서 전체에서, 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.

[0017] 본원 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.

[0018] 본 명세서에서 사용되는 정도의 용어 "약", "실질적으로" 등은 언급된 의미에 고유한 제조 및 물질 허용오차가 제시될 때 그 수치에서 또는 그 수치에 근접한 의미로 사용되고, 본원의 이해를 돕기 위해 정확하거나 절대적인 수치가 언급된 개시 내용을 비양심적인 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다.

[0019] 본원 명세서 전체에서 사용되는 정도의 용어 “~ 하는 단계” 또는 “~의 단계”는 “~를 위한 단계”를 의미하지 않는다.

[0020] 본원 명세서 전체에서, 마쿠시 형식의 표현에 포함된 "이들의 조합(들)"의 용어는 마쿠시 형식의 표현에 기재된 구성 요소들로 이루어진 군에서 선택되는 하나 이상의 혼합 또는 조합을 의미하는 것으로서, 상기 구성 요소들로 이루어진 군에서 선택되는 하나 이상을 포함하는 것을 의미한다.

[0021] 본원 명세서 전체에서, "A 및/또는 B"의 기재는, "A 또는 B, 또는 A 및 B"를 의미한다.

[0022] 이하, 본원의 구현예를 상세히 설명하였으나, 본원이 이에 제한되지 않을 수 있다.

[0023] 본원의 제 1 측면은, 실리콘 웨이퍼 내에 수직 방향으로 형성된 비아 홀(via hole); 상기 비아 홀의 내부에 순차적으로 배치된 도전체, 확산 방지막, 및 절연막; 및 상기 비아 홀의 상부에 배치된 구리 오버버든(overburden)을 포함하며, 상기 비아 홀의 직경, 상기 절연막의 두께, 상기 구리 오버버든의 두께, 및 이들의 조합으로 이루어진 군에서 선택되는 변수(parameter)에 의해 실리콘 관통전극의 응력이 조절되는 것인, 실리콘 관통전극(through silicon via; TSV) 구조체를 제공한다.

[0024] 본원의 일 구현예에 있어서, 상기 실리콘 관통전극 구조체는 상기 관통전극의 응력이 실리콘의 항복응력(yield stress)보다 작은 것일 수 있다. 상기 관통전극의 응력이 실리콘의 항복응력보다 클 경우, 상기 관통전극의 크랙이 생성될 수 있기 때문이다. 예를 들어, 상기 관통전극의 응력은 폰 미제스 응력(von Mises stress) 을 의미하는 것일 수 있으나, 이에 제한되는 것은 아니다. 상기 폰 미제스 응력은 관통전극의 하단 모서리에 집중되어있는 것일 수 있다.

[0025] 본원 명세서 전체에서, “관통전극의 크랙(crack)” 또는 "크랙"은 실리콘 관통전극의 크랙뿐만 아니라 실리콘 하부의 크랙 또는 절연막 상부의 크랙을 포함하는 것으로 해석된다.

[0026] 본원의 일 구현예에 있어서, 상기 관통전극은 하기 수학식 1의 T 값이 약 700 미만인 것일 수 있으나, 이에 제한되는 것은 아니다:

[0027] [수학식 1]

[0028] $T = 678.57 + 34.01x - 1.25y - 0.60x^2 + 0.001y^2 - 0.007xy$;

[0029] 상기 식에 있어서,

[0030] T는 응력(MPa)이고, x는 비아 홀의 직경이고, y는 절연막의 두께임.

[0031] 상기 수학식 1의 T 값이 약 700 이상일 경우, 상기 관통전극은 크랙이 생성될 수 있다.

[0032] 본원의 일 구현예에 있어서, 상기 관통전극은 하기 수학식 2의 T 값이 약 700 미만인 것일 수 있으나, 이에 제한되는 것은 아니다:

[0033] [수학식 2]

[0034] $T = 531.53 + 21.09x + 99z - 0.11x^2 - 16.05z^2 - 0.04xz$;

[0035] 상기 식에 있어서,

[0036] T는 응력(MPa)이고, x는 비아 홀의 직경이고, z는 구리 오버버든의 두께임.

[0037] 상기 수학식 2의 T 값이 약 700 이상일 경우, 상기 관통전극은 크랙이 생성될 수 있다.

[0038] 본원의 일 구현예에 있어서, 상기 관통전극은 하기 수학식 3의 T 값이 약 147.04 미만인 것일 수 있으나, 이에 제한되는 것은 아니다:

[0039] [수학식 3]

[0040] $T = 0.49x^2 - 0.001y^2 - 16.05z^2 + 0.007xy - 0.04xz - 12.92x + 1.25y + 99z$;

[0041] 상기 식에 있어서,

[0042] T는 응력이고, x는 비아 홀의 직경이고, y는 절연막의 두께이고, z는 구리 오버버든의 두께임.

[0043] 상기 수학식 3의 T 값이 약 147.04 이상일 경우, 상기 관통전극은 크랙이 생성될 수 있다.

[0044] 본원의 일 구현예에 있어서, 상기 수학식 1 내지 3의 T 값인 상기 응력은 TSV 하부의 Si에 인가되는 응력을 의미하는 것일 수 있으나, 이에 제한되는 것은 아니다.

[0045] 본원의 일 구현예에 있어서, 상기 도전체는 Cu를 포함하고, 상기 확산 방지막은 Ti, Ta, W, Ru, Pt, Co, 또는 이들의 조합들; 이들의 질화물(nitride); 이들의 탄화물(carbide); 이들의 인화물(phosphide); 및, 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다. 상기 확산 방지막의 종류에 따라 상기 수학식 1 내지 3이 달라질 수 있으며, 이는 상기 확산 방지막으로서 사용되는 물질의 종류에 따라 물질의 물성, 예를 들어, 영률, 푸아송비, 및 CTE 등이 상이하기 때문이다.

[0046] 본원의 일 구현예에 있어서, 상기 비아 홀이 상기 실리콘 웨이퍼를 관통하거나 또는 부분 관통한 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.

[0047] 본원의 일 구현예에 있어서, 상기 절연막은 SiO_2, SiN, SiC, SiCN, Al_2O_3, 저유전율(low-k) 절연막, 이들의 조합들, 및 이들의 적층 구조로 이루어진 군에서 선택된 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다. 상기 절연막의 종류에 따라 상기 수학식 1 내지 3이 달라질 수 있으며, 이는 상기 절연막으로서 사용되는 물질의 종류에 따라 물질의 물성, 예를 들어, 영률, 푸아송비, 및 CTE 등이 상이하기 때문이다.

[0048] 이하, 본원의 일 구현예에 따른 실리콘 관통전극 구조체에 관하여 도 1을 참조하여 설명하나, 이에 제한되는 것은 아니다.

[0049] 도 1은 본원의 일 구현예에 따른 실리콘 관통전극 구조체(100)의 단면도이다. 도 1을 참조하면, 실리콘 관통전극 구조체(100)는 실리콘 웨이퍼(110), 비아 홀(120), 도전체(130), 확산 방지막(140), 절연막(150), 및 구리 오버버든(160)을 포함한다.

[0050] 상기 비아 홀(120)은 상기 실리콘 웨이퍼(110) 상에 수직으로 생성된 홀을 의미한다.

[0051] 본원의 일 구현예에 있어서, 상기 비아 홀(120)의 직경이 작을수록 실리콘 관통전극의 최대 응력이 감소하는 것일 수 있다. 예를 들어, 상기 비아 홀(120)의 직경은 약 2 ㎛ 내지 약 20 ㎛, 약 2 ㎛ 내지 약 10 ㎛, 약 2 ㎛ 내지 약 5 ㎛, 약 5 ㎛ 내지 약 20 ㎛, 약 5 ㎛ 내지 약 10 ㎛, 또는 약 10 ㎛ 내지 약 20 ㎛일 수 있으나, 이에 제한되는 것은 아니다.

[0052] 본원의 일 구현예에 있어서, 상기 실리콘 관통전극 구조체(100)는 상기 비아 홀(120)이 상기 실리콘 웨이퍼(110)를 관통하거나 또는 부분 관통한 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.

[0053] 본원의 일 구현예에 있어서, 상기 실리콘 관통전극 구조체(100)는 상기 비아 홀(120)을 하나 이상 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.

[0054] 본원의 일 구현예에 있어서, 상기 구리 오버버든(160)의 두께가 얇을수록 실리콘 관통전극의 최대 응력이 감소하는 것일 수 있다. 예를 들어, 상기 구리 오버버든(160)의 두께는 약 0 ㎛ 내지 약 5 ㎛, 약 0 ㎛ 내지 약 4 ㎛, 약 0 ㎛ 내지 약 3 ㎛, 약 0 ㎛ 내지 약 2 ㎛, 또는 약 0 ㎛ 내지 약 1 ㎛일 수 있으나, 이에 제한되는 것은 아니다.

[0055] 본원의 일 구현예에 있어서, 상기 실리콘 관통전극 구조체(100)는 상기 실리콘 웨이퍼(110)의 내부에 생성된 비아 홀(120)의 벽면(120A) 및 하부(120B) 상에 절연막(150) 및 확산 방지막(140)이 적층되고, 도전체(130)가 충진된 것을 포함하는 것일 수 있다.

[0056] 본원의 일 구현예에 있어서, 상기 도전체(130)는 Cu를 포함할 수 있다. 본원의 일 구현예에 있어서, 상기 도전체(130)는 물리기상증착법(PVD), 화학기상증착법(CVD), 전해도금, 무전해 도금, 및 이들의 조합들로 이루어진 군에서 선택된 방법에 의해 충진된 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다. 또한, 상기 도전체(130)는 씨드(seed)층 상에서 이온화 스퍼터링, 전해도금, 또는 이들의 조합에 의해 충진된 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.

[0057] 본원의 일 구현예에 있어서, 상기 확산 방지막(140)은, 예를 들어, Ti, Ta, W, Ru, Pt, Co, 또는 이들의 조합들; 이들의 질화물(nitride); 이들의 탄화물(carbide); 이들의 인화물(phosphide); 및, 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.

[0058] 본원의 일 구현예에 있어서, 상기 확산 방지막(140)은 물리기상증착법(PVD), 화학기상증착법(CVD), 전해도금, 무전해 도금, 및 이들의 조합들로 이루어진 군에서 선택된 방법에 의해 증착된 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.

[0059] 본원의 일 구현예에 있어서, 상기 절연막(150)의 두께가 두꺼울수록 실리콘 관통전극의 최대 응력이 감소하는 것일 수 있다. 예를 들어, 상기 절연막(150)의 두께는 약 50 nm 내지 약 500 nm, 약 50 nm 내지 약 250 nm, 약 50 nm 내지 약 230 nm, 약 50 nm 내지 약 110 nm, 약 110 nm 내지 약 500 nm, 약 110 nm 내지 약 250 nm, 약 110 nm 내지 약 230 nm, 약 230 nm 내지 약 500 nm, 약 230 nm 내지 약 250 nm, 또는 약 250 nm 내지 약 500 nm일 수 있으나, 이에 제한되는 것은 아니다.

[0060] 본원의 일 구현예에 있어서, 상기 절연막(150)은, 예를 들어, SiO_2, SiN, SiC, SiCN, Al_2O_3, 저유전율(low-k) 절연막, 이들의 조합들, 및 이들의 적층 구조로 이루어진 군에서 선택된 것을 포함하는 것일 수 있으나 이에 제한되는 것은 아니다.

[0061] 본원의 일 구현예에 있어서, 상기 절연막(150)은 열산화법, 습식법, 화학기상증착법(CVD), 및 이들의 조합들로 이루어진 군에서 선택된 방법에 의하여 실리콘 웨이퍼(110) 상에 증착되는 것일 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 상기 화학기상증착법은 부기압 화학기상증착법(sub-atmospheric chemical vapor deposition; SACVD) 또는 플라즈마-강화 화학기상증착법(plasma-enhanced chemical vapor deposition; PECVD) 등이 있을 수 있다.

[0062] 본원의 제 2 측면은, 본원의 제 1 측면에 따른 실리콘 관통 전극 구조체를 이용한 관통전극의 열-기계적 응력 예측 방법으로서, 상기 관통전극의 비아 홀 직경, 절연막의 두께, 구리 오버버든의 두께, 및 이들의 조합들로 이루어진 군에서 선택되는 변수(parameter)를 이용하여 상기 실리콘 관통전극의 응력(stress)을 예측함으로써, 상기 관통전극의 크랙을 방지하는 것을 포함하는, 실리콘 관통전극의 열-기계적 응력 예측 방법을 제공한다.

[0063] 본원의 일 구현예에 있어서, 상기 관통전극의 응력이 실리콘의 항복응력보다 클 때 상기 관통전극의 크랙이 생성되는 것일 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 본원의 일 구현예에 따른 실리콘 관통전극의 열-기계적 응력 예측 방법을 이용하여, 상기 변수에 따른 상기 관통전극의 크랙 발생 가능성에 대하여 예측 가능한 것일 수 있으며, 또한, 상기 관통전극의 크랙 유무를 검토할 수 있는 것일 수 있으나, 이에 제한되는 것은 아니다. 또한, 상기 관통전극의 응력은 폰 미제스 응력을 의미하는 것일 수 있으나, 이에 제한되는 것은 아니다.

[0064] 본원의 일 구현예에 있어서, 상기 관통전극의 응력은 하기 수학식 1로서 예측되며, 하기 T 값이 약 700 미만일 때 상기 관통전극의 크랙(crack)의 생성이 방지되는 것일 수 있으나, 이에 제한되는 것은 아니다:

[0065] [수학식 1]

[0066] $T = 678.57 + 34.01x - 1.25y - 0.60x^2 + 0.001y^2 - 0.007xy$;

[0067] 상기 식에 있어서,

[0068] T는 응력(MPa)이고, x는 비아 홀의 직경이고, y는 절연막의 두께임.

[0069] 본원의 일 구현예에 있어서, 상기 관통전극의 응력은 하기 수학식 2로서 예측되며, 하기 T 값이 약 700 미만일 때 상기 관통전극의 크랙(crack)의 생성이 방지되는 것일 수 있으나, 이에 제한되는 것은 아니다:

[0070] [수학식 2]

[0071] $T = 531.53 + 21.09x + 99z - 0.11x^2 - 16.05z^2 - 0.04xz$;

[0072] 상기 식에 있어서,

[0073] T는 응력(MPa)이고, x는 비아 홀의 직경이고, z는 구리 오버버든의 두께임.

[0074] 본원의 일 구현예에 있어서, 하기 수학식 3의 T 값이 약 147.04 미만일 때 상기 관통전극의 크랙(crack)의 생성이 방지되는 것일 수 있으나, 이에 제한되는 것은 아니다:

[0075] [수학식 3]

[0076] $T = 0.49x^2 - 0.001y^2 - 16.05z^2 + 0.007xy - 0.04xz - 12.92x + 1.25y + 99z$;

[0077] 상기 식에 있어서,

[0078] T는 응력이고, x는 비아 홀의 직경이고, y는 절연막의 두께이고, z는 구리 오버버든의 두께임.

[0079] 본원의 상기 제 2 측면은 본원의 제 1 측면에 대하여 기술된 내용을 모두 적용할 수 있다.

[0080] 이하, 실시예를 참조하여 본원을 좀더 자세히 설명하지만, 본원은 이에 제한되는 것은 아니다.

[0081] **[실시예]**

[0082] 본 실시예에서는 유한요소분석법에 의한 열-기계적 응력 분포 상에서의 TSV의 설계(디자인) 파라미터(변수)의 영향을 계산하였다. 도전체로는 Cu를 사용하였고, 확산 방지막으로는 Ti를 사용하였으며, 절연막으로는 SiO_2를 사용하였다. 폰 미제스 응력의 정적 분석은 350℃에서 수행되었고, 선택된 파라미터는 하기와 같다: TSV의 직경 및 종횡비, TSV 벽면의 기울기, 절연막의 두께 및 스텝 커버리지(step coverage), 및 구리 오버버든의 두께. TSV의 두 수치는 원통형 TSV의 대칭성을 가정하여 모델화되었고, 통상의 프로그램인, ANSYS®에 의해 분석하였다. 유력한 설계 파라미터가 도출되었고, 그것들 간의 상호작용을 검토하였다.

[0083] 원기둥 좌표를 사용하는 2 차원 유한요소 모델은 ANSYS® (ANSYS Inc., USA)을 사용하여 구성하였다. 본 실시예에서는 절연막(SiO_2)/배리어 금속(Ti)/구리 층으로 매립되고 구리 오버버든에 의해 덮인 블라인드 비아를 가정하였다. 화학-기계적 연마(chemical-mechanical polishing; CMP) 공정에 의해 디싱(dishing)이나 오목한 부분은 무시하였다. 상기 모델의 메쉬(mesh) 및 임계 계면에서의 메쉬는 도 2a에서 나타나며, 도 2b는 상기 모델

링에 의해 계산된 응력 분포의 예를 나타낸다. 폰 미제스 응력은 하단 모서리에서 집중되어 있으며, 그래프는 설계 파라미터의 함수로서 최대 응력 값에 의해 플롯(plot)되었다.

[0084] 정적 분석은 350℃에서 수행하였고, TSV를 제조하는 공정 동안의 최대 열-기계적 응력 상태를 가정하였다. 폰 미제스 응력은 실리콘의 크래킹이 발생하는지 하지 않는지를 예측하기 위해 계산하였다. TSV/Si 계면의 박리는 본 실시예에서 고려하지 않았는데, 가열에 의해 유도된 TSV/Si 계면 상의 압축 응력은 TSV 박리에 영향을 주지 않기 때문이다.

[0085] 본 실시예에서 사용된 물질들의 특성을 하기 표 1에 나타내었다.

[0086] **[표 1]**

물질	영률(Young's Modulus) (GPa)	푸아송비	CTE (ppm/℃)
Cu	표 2	0.36	16.12
Si	130.91	0.28	2.60
SiO_2	70.00	0.17	0.94
Ti	116.00	0.34	9.00
SiON	140.00	0.25	6.00
Si_3N_4	220.00	0.27	3.20

[0087]

[0088] 본 실시예에서의 TSV 모델들 내에서는 구리가 가장 큰 열팽창 계수를 가지기 때문에, 열-기계적 응력은 주로 온도에 민감한 구리의 거동에 의해 야기된다. 따라서, 하기 표 2에서와 같이, 구리의 비-선형 물질 특성을 고려하였다.

[0089] **[표 2]**

온도 (℃)	영률(Young's Modulus) (GPa)
25	127.40
27	121.00
38	120.48
95	117.88
149	115.24
204	112.64
260	110.00

[0090]

[0091] 도 1은 본 실시예에서 실험된 TSV 구조체의 개략적인 단면도이다. 본 실시예에서는 설계 파라미터(변수)로서, 예를 들어, TSV의 직경 및 종횡비, TSV 벽면의 기울기, 절연막의 벽면 커버리지(sidewall coverage) 및 두께, 및 구리 오버버든의 두께 등을 고려하였다. 확산 방지막(barrier) 금속은 절연막 또는 구리 비아보다 얇기 때문에, 응력 분포 상에서 Ti 두께의 영향은 본 사전 계산에서는 무시할 수 있었다. 따라서, 상기 Ti 두께는 30 ㎚로서 고정하였다. 비아 벽면의 물결모양 또한 고려하지 않았다. 구리 오버버든의 직경은 100 ㎛에서 고정된 반면, 구리 오버버든의 두께는 도 10 및 도 11을 제외하고 5 ㎛였다.

[0092] **1. TSV의 직경 및 벽면 기울기의 영향**

[0093] 구리는 다른 물질들보다 가장 큰 열팽창 계수를 가지므로, 구리의 양은 모든 시스템 상에서 열-기계적 응력에 영향을 미친다. 폰 미제스 응력은 다양한 TSV의 직경 및 종횡비를 사용하여 분석하였다. 2 ㎛, 5 ㎛, 10 ㎛, 및 20 ㎛의 상기 직경에 대하여, 상기 종횡비는 2 내지 20으로 다양했다. 도 3은 폰 미제스 응력이 실리콘 내에 집중되었을 때, TSV의 하단 모서리의 윤곽 플롯을 나타내었다. 비아 직경이 증가하므로, 최대 폰 미제스 응력이 증가했다. 종횡비가 10에서 고정되었을 때, 최대 응력은 2 ㎛ 직경 비아에 대하여 584 MPa에서부터 2 ㎛ 직경 비아에 대하여 994 MPa까지로 증가했다. 그러나, 종횡비의 영향은 도 4에서 나타나듯이, 고정된 직경에 대하여 무시할 수 있었다. 또한, 비아 직경이 5 ㎛보다 더 클 때, 실리콘에서의 최대 응력은 실리콘의 항복 응력(yield stress)(700 MPa)보다 더 높다는 것을 나타내었다. 따라서, TSV의 직경은 고도의 제조 가능한 공정을 위한 중요한 설계 파라미터였다.

[0094] 수직 비아 프로필은 낮은-저항 TSV에 대하여 바람직하나, 수직 프로필의 조절은 어렵다. 본 발명자들은 3 ㎛, 6.5 ㎛, 및 10 ㎛의 하단 직경에 대한 88°, 89°, 및 90°의 벽면 기울기들을 고려했다. 윤곽 플롯 및 최대 응력 vs. 비아 기울기 플롯은 도 5 및 도 6에서 나타내었다. 최대 응력은 기울기 각이 90°에서 88°로 감소함으로써, 838 MPa에서 실리콘의 항복 응력보다 낮은 응력인 634 MPa로 감소되었다. 실리콘 내에서 TSV 저항과 최대 응력 간에 교환이 있을 것이므로, 비아 기울기는 TSV의 또 다른 설계 파라미터였다.

[0095] **2. 절연막의 두께의 영향**

[0096] 절연막 또한 열-기계적 응력을 결정하는데 중요한 역할을 하고 있는데, 이는 절연막이 TSV 모델들에 대하여 가장 낮은 CTE를 가지기 때문이다. 도 7은 10 ㎛ 직경 비아에서 절연막의 두께가 50 nm에서 500 nm로 증가함으로써 최대 응력이 919 MPa에서 571 MPa로 감소한다는 것을 나타낸다. 폰 미제스 응력은 절연막이 230 nm보다 두꺼울 때, 실리콘의 항복 응력보다 낮았다. 따라서, 두꺼운 절연막은 실리콘 내에서 최대 응력의 저하에 유리하며, 그것 또한 비아 직경과 함께 중요한 설계 파라미터였다. 실리콘 항복 응력보다 작은 최대 응력을 위한 최소 절연막 두께는, 도 8에서 나타나듯이, 20 ㎛, 10 ㎛, 및 5 ㎛의 비아 직경에 대하여 각각 250 nm, 230 nm, 및 110 nm였다.

[0097] 절연막의 스텝 커버리지는 증착 방법에 의존한다. 부기압 화학기상증착(sub atmospheric chemical vapor deposition; SACVD) 및 플라즈마-강화 화학기상증착(plasma-enhanced chemical vapor deposition; PECVD)은 TSV 공정에 있어서 가장 일반적인 방법이다. SACVD는 우수한 스텝 커버리지 및 최소한의 벽면 거칠기를 나타낸다. PECVD는 열악한 벽면 커버리지로써 높은 증착률을 나타내었다. 도 9는 50% 및 100%의 다른 SiO_2 스텝 커버리지에 대한 최대 응력을 비교하고, 상기 최대 응력은 SiO_2 절연막의 낮은 스텝 커버리지가 더 높다는 것을 나타낸다. 50% 스텝 커버리지에 대한 최대 응력인, 903 MPa는 도 7a에서 919 MPa의 최대 응력과 비슷한데, 이는 낮은 스텝 커버리지가 TSV의 하단에서 얇은 SiO_2 절연막을 의미하기 때문이다. 따라서, PECVD는 동일한 범위의 SiO_2 절연막의 두께에 대하여 SACVD보다 더 높은 응력을 유도한다.

[0098] **3. 구리 오버버든의 영향**

[0099] 구리 오버버든의 두께는, 예를 들어, 전기 도금 배스(bath) 내에서의 화학 첨가물의 타입, 도금 펄스(pulse)의 충격 계수(duty ratio), 및 총 도금 시간과 같은 전기 도금 공정의 파라미터에 의존한다. 도 10은 10 ㎛ 직경 비아에 대하여 구리 오버버든의 두께가 0 ㎛에서 5 ㎛까지 증가함으로써 최대 응력이 712 MPa에서 838 MPa까지 증가한다는 것을 나타낸다. 구리 오버버든의 두께가 0 ㎛이라도, 폰 미제스 응력은 실리콘의 항복 응력보다 더 높았다.

[0100] 도 11은 구리 오버버든 두께 및 직경의 함수로서의 최대 폰 미제스 응력을 나타낸다. 5 ㎛ 직경 비아에 대하여, 상기 구리 오버버든은 500 nm보다 얇을 것이며, 실리콘 항복 응력보다 낮은 폰 미제스 응력을 가졌다. 따라서, 구리 오버버든의 두께는 또 다른 중요한 설계 파라미터이었으며, 실리콘 내에서 발달된 응력을 억제하였다.

[0101] 본 실시예에 따르면, TSV 직경 및 절연막 두께는 실리콘 내에서 최대 응력을 결정하는 두 개의 중요한 파라미터

였다. TSV 직경의 감소로서 상기 최대 응력이 감소하는 반면, 종횡비의 영향은 무시할 수 있었다. 절연막 또한 열-기계적 응력을 결정하는데 있어서 중요한 역할을 수행하였으며, 두꺼운 절연막은 실리콘 내에서 상기 최대 응력을 낮추는 이점이 있었다. 실리콘의 항복 응력보다 작은 상기 최대 응력을 위한 최소 절연막 두께는 20 ㎛, 10 ㎛, 및 5 ㎛의 비아 직경들에 대하여 520 ㎚, 230 ㎚, 및 110 ㎚이었다. 구리 오버버든의 두께가 감소함으로써 상기 최대 응력 또한 감소하였다. 다른 파라미터의 영향 또한 검토하였다. TSV 구조에서의 상기 열-기계적 응력은 설계 파라미터를 최적화하고 최대 공정 온도를 낮춤으로서 최소화될 수 있었다.

[0102] 전술한 본원의 설명은 예시를 위한 것이며, 본원이 속하는 기술분야의 통상의 지식을 가진 자는 본원의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수도 있다.

[0103] 본원의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위, 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본원의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0104] 100: 실리콘 관통전극 구조체

110: 실리콘 웨이퍼

120: 비아 홀

120A: 비아 홀 벽면

120B: 비아 홀 하부

130: 도전체

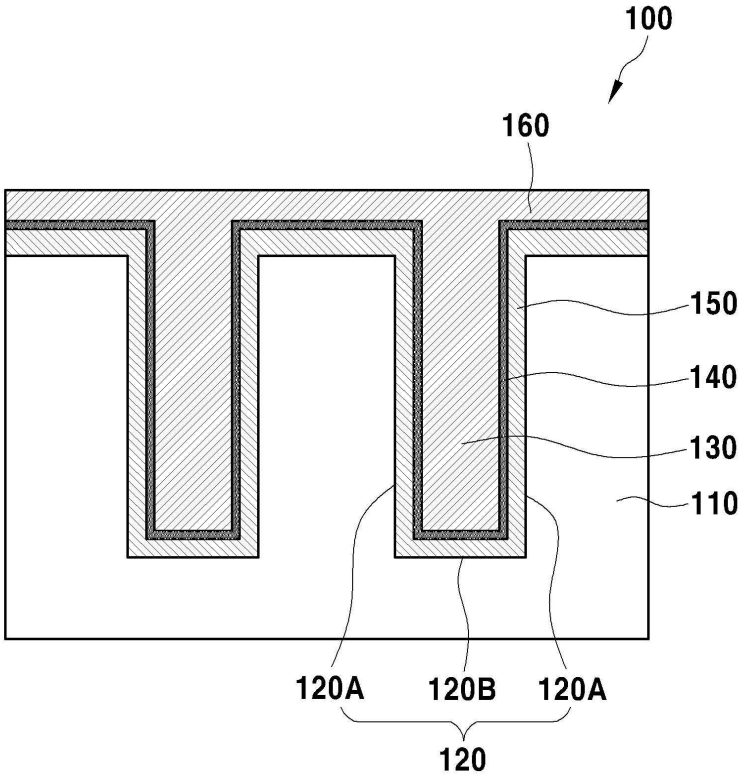
140: 확산 방지막

150: 절연막

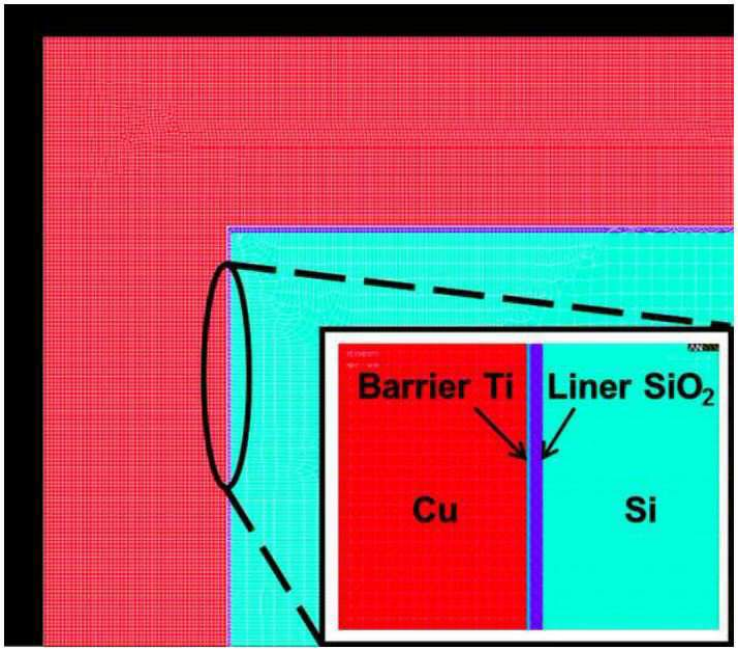
160: 구리 오버버든

도면

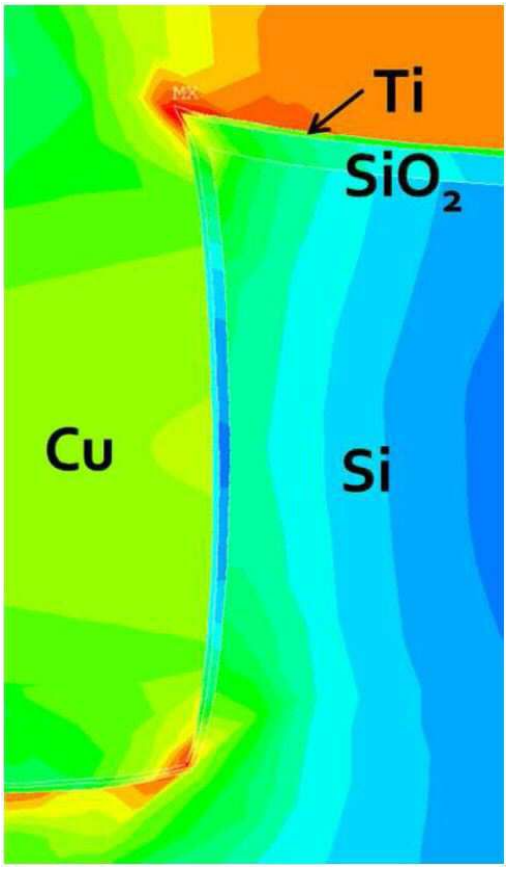
도면1


100
160
150
140
130
110
120A
120B
120A
120

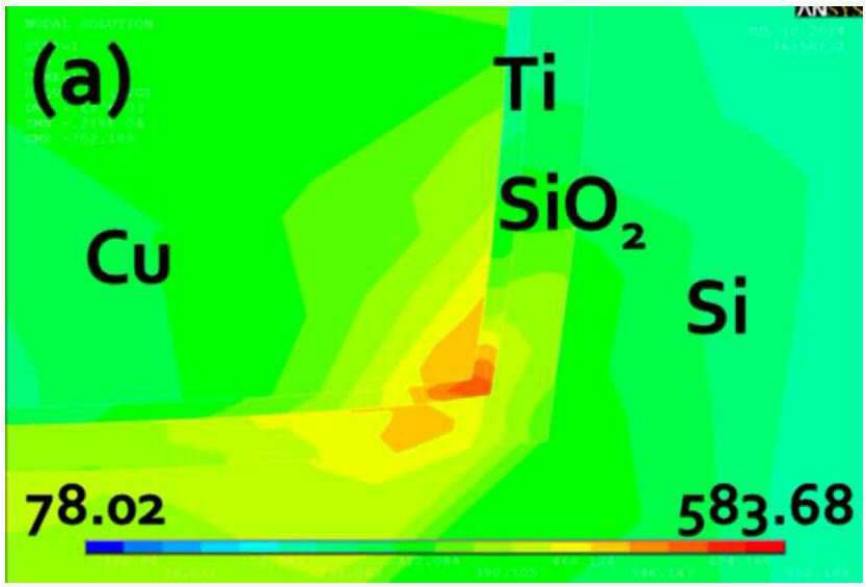
도면2a


Barrier Ti
Liner SiO2
Cu
Si

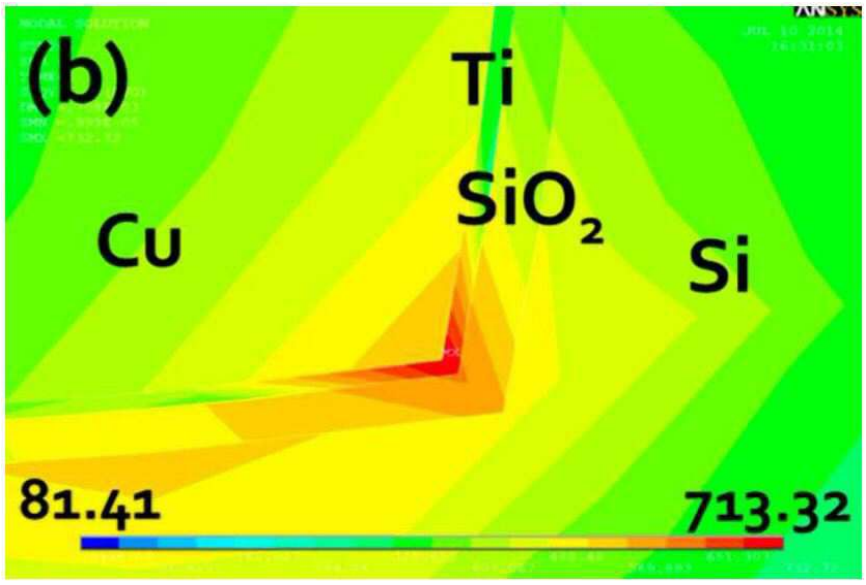
도면2b



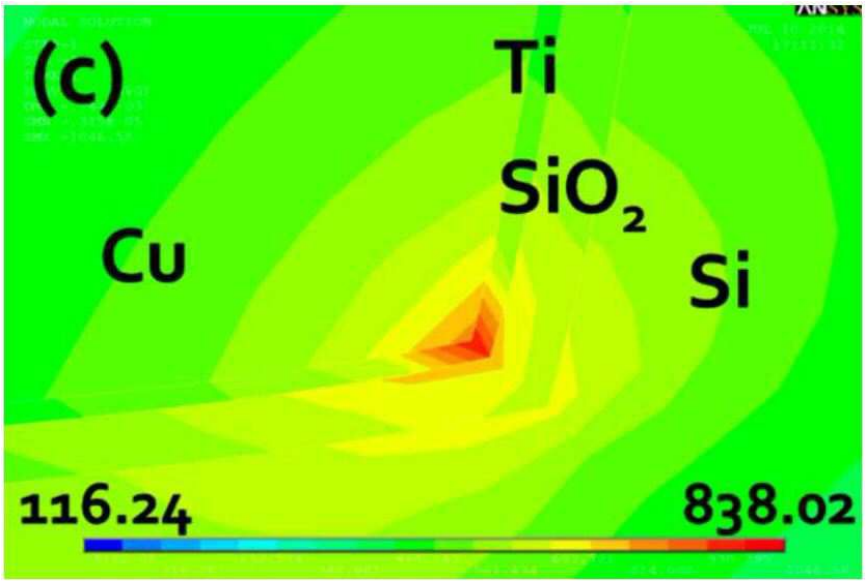
도면3a



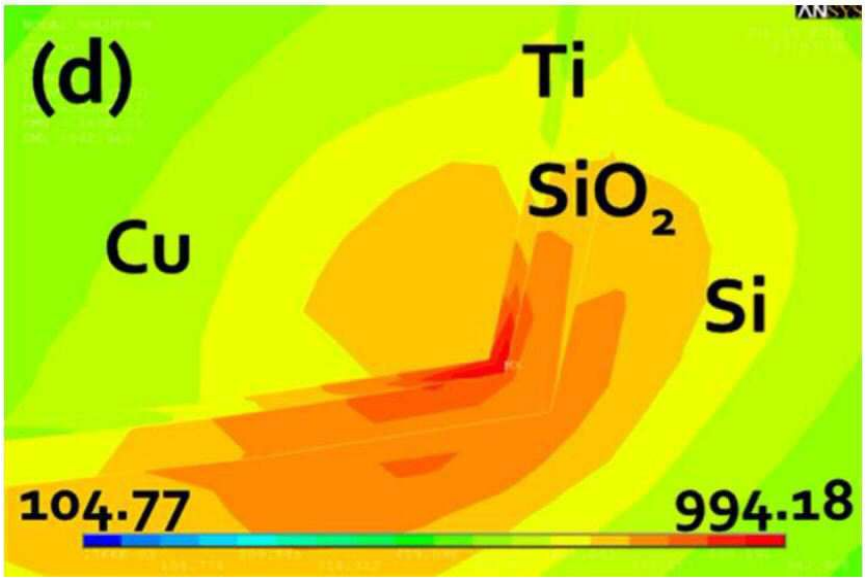
도면3b



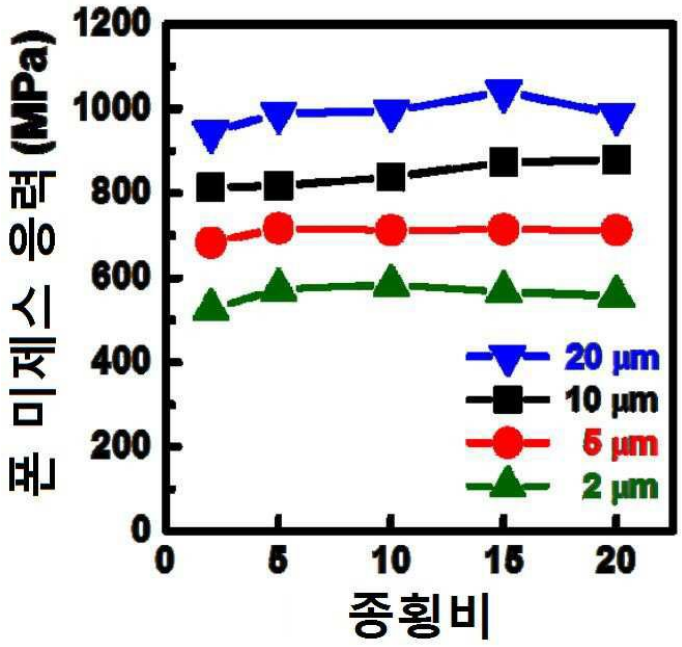
도면3c



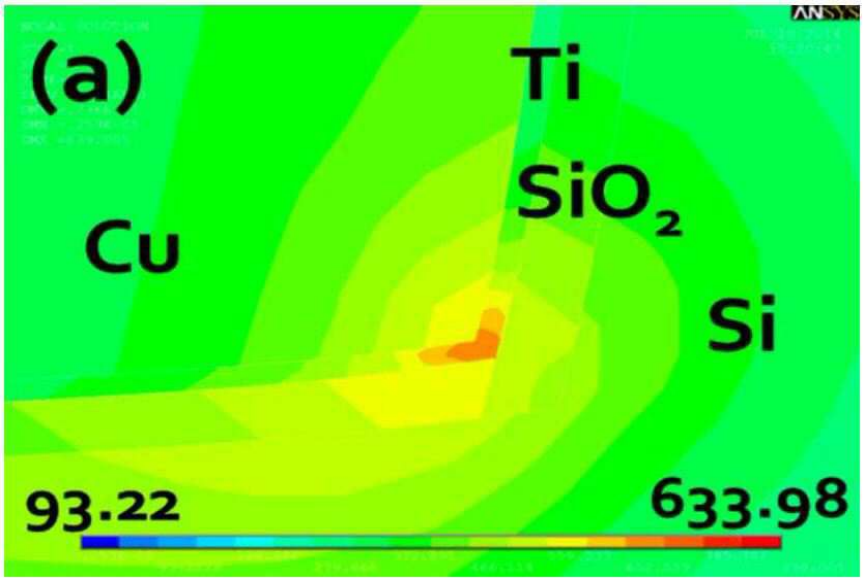
도면3d


(d)
Ti
SiO2
Cu
Si
104.77
994.18

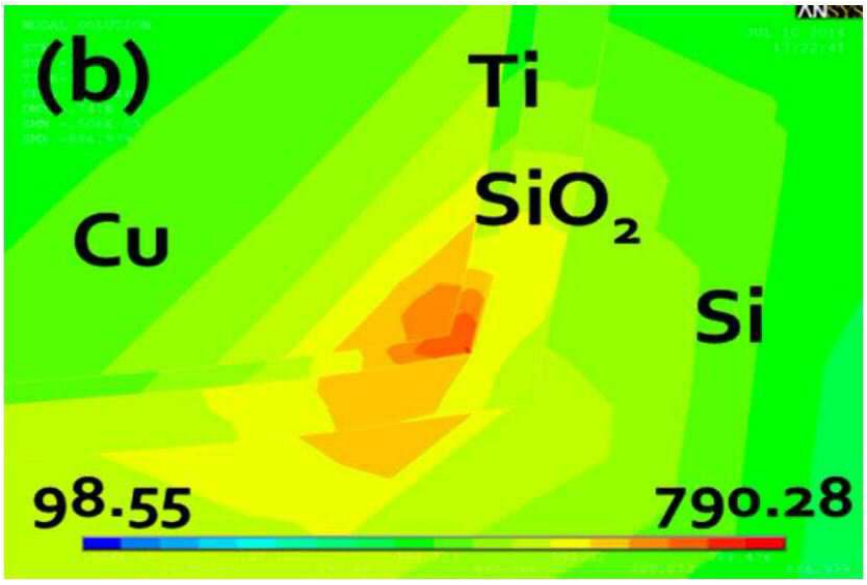
도면4


1200
1000
800
600
400
200
0
0
5
10
15
20
폰 미제스 응력 (MPa)
종횡비
20 μm
10 μm
5 μm
2 μm

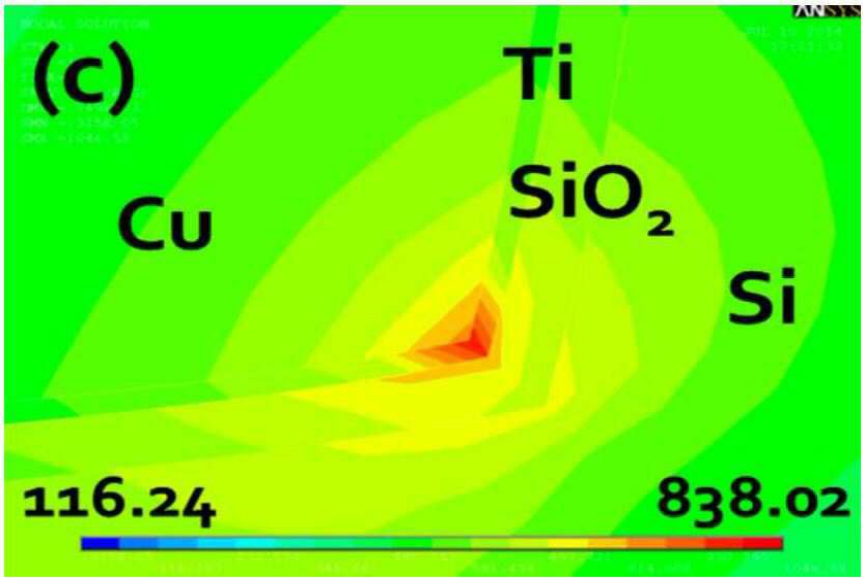
도면5a



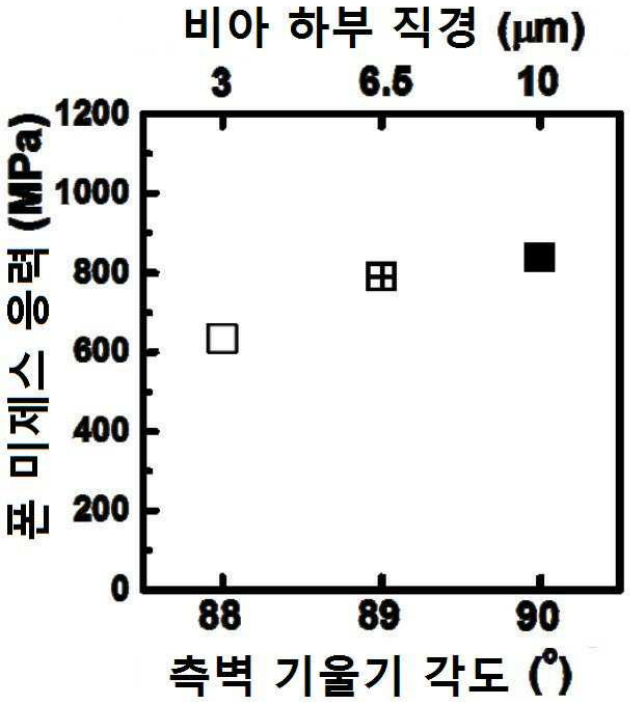
도면5b



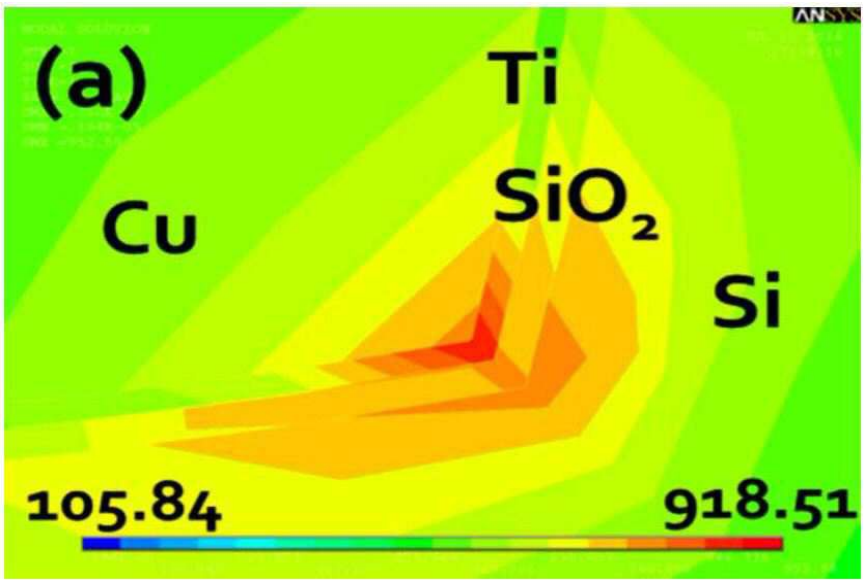
도면5c


(c)
Ti
SiO2
Cu
Si
116.24
838.02

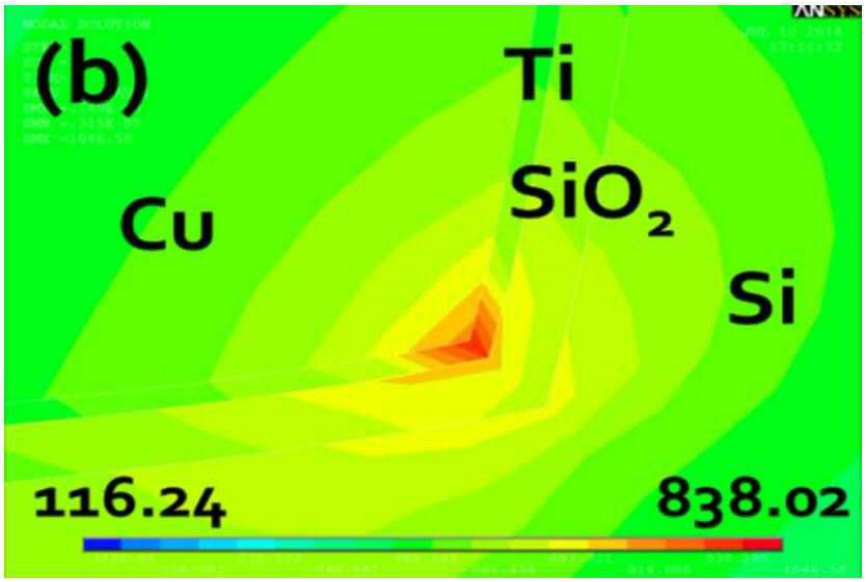
도면6


비아 하부 직경 (μm)
3
6.5
10
1200
1000
800
600
400
200
0
88
89
90
측벽 기울기 각도 (°)

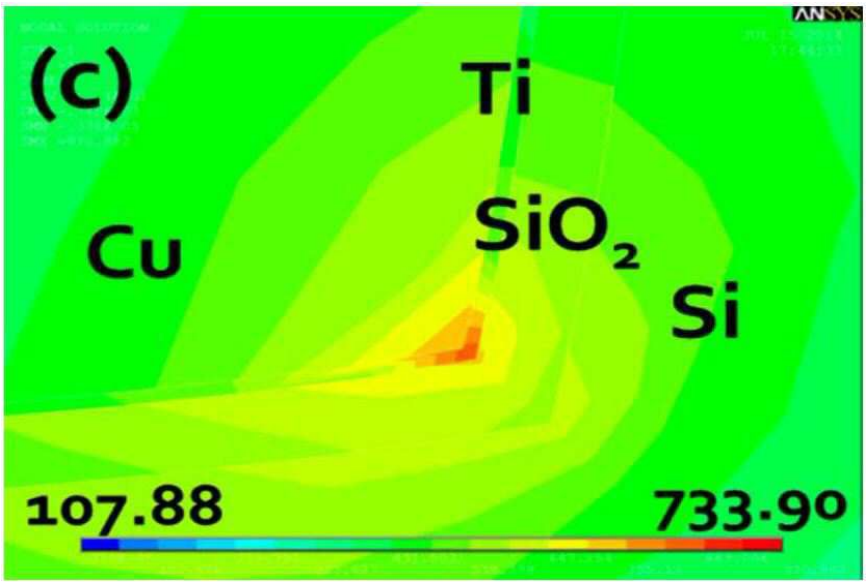
도면7a



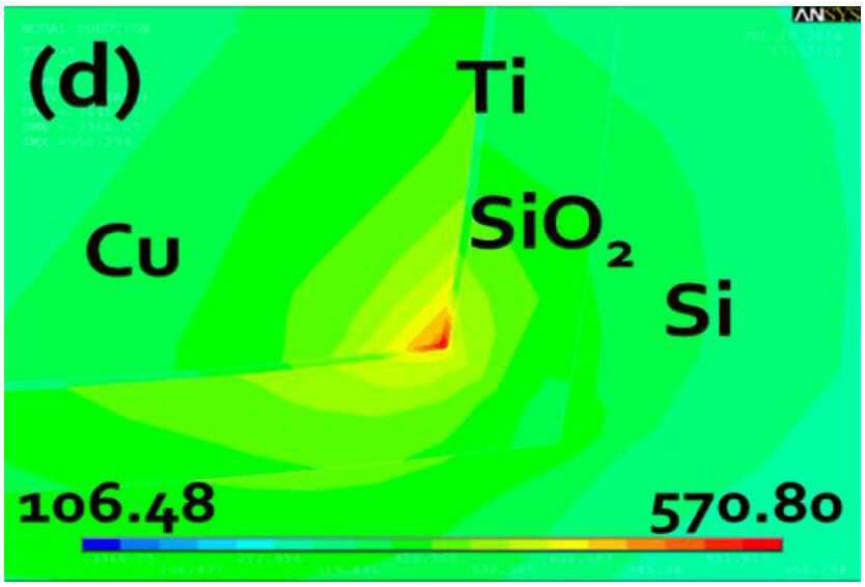
도면7b



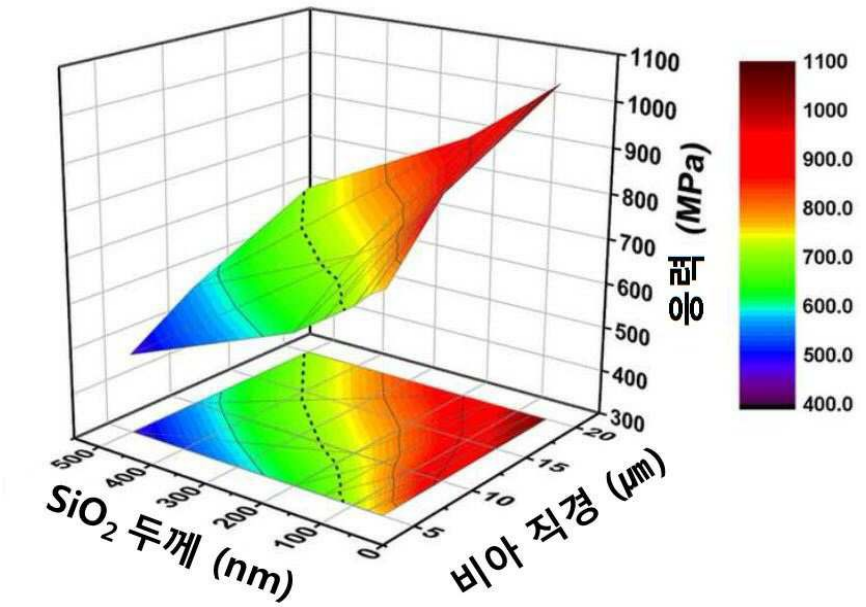
도면7c



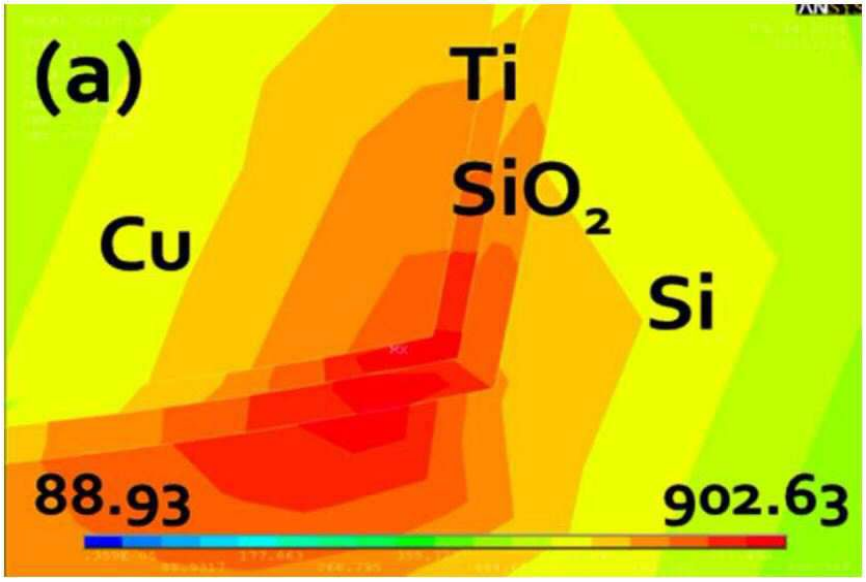
도면7d



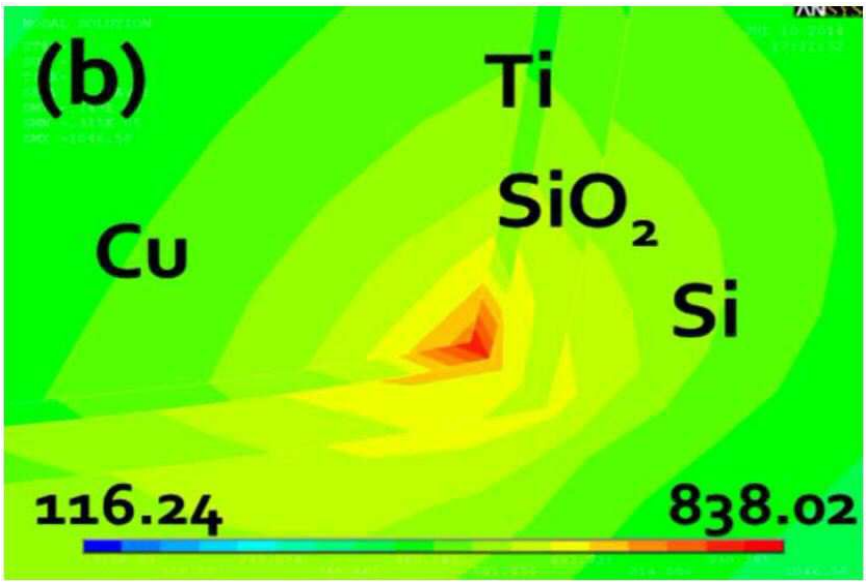
도면8


1100
1000
900
800
700
600
500
400
300
응력 (MPa)
1100
1000
900.0
800.0
700.0
600.0
500.0
400.0
500
400
300
200
100
0
SiO2 두께 (nm)
20
15
10
5
비아 직경 (μm)

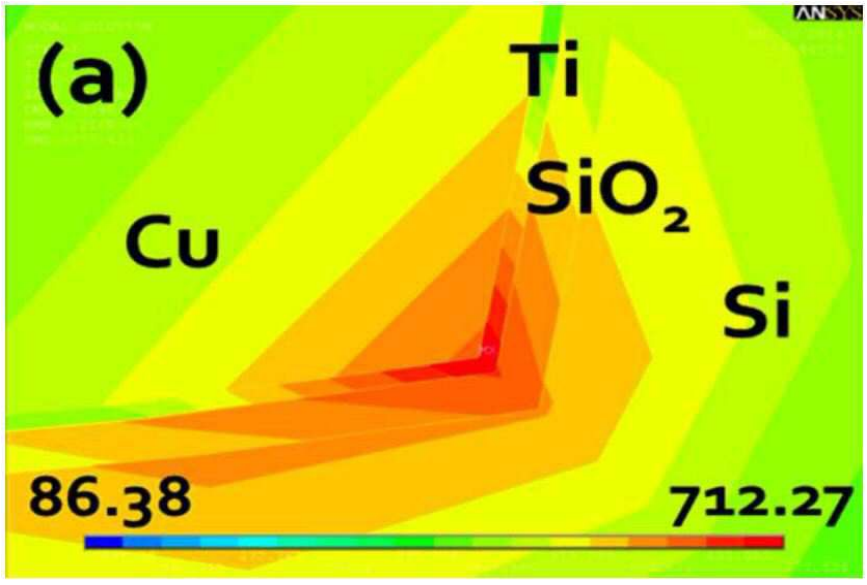
도면9a


(a)
Ti
SiO2
Cu
Si
88.93
902.63

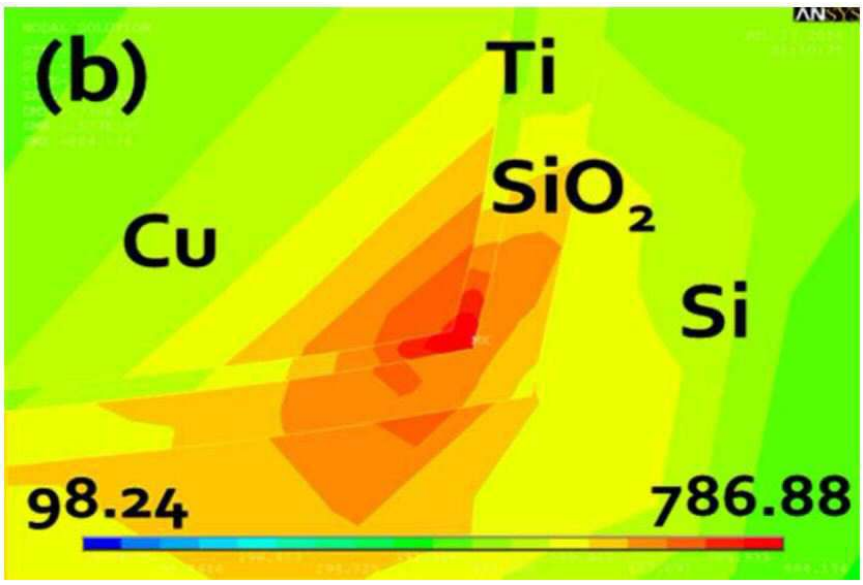
도면9b



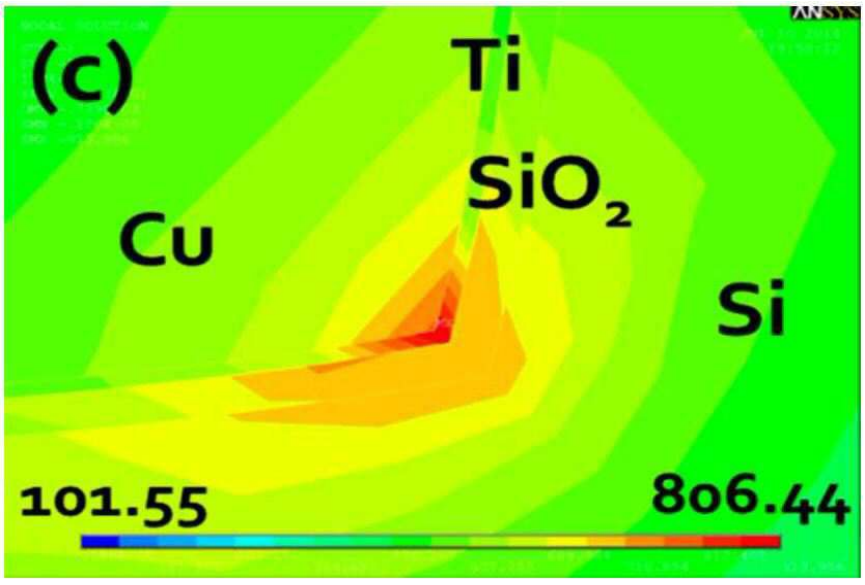
도면10a



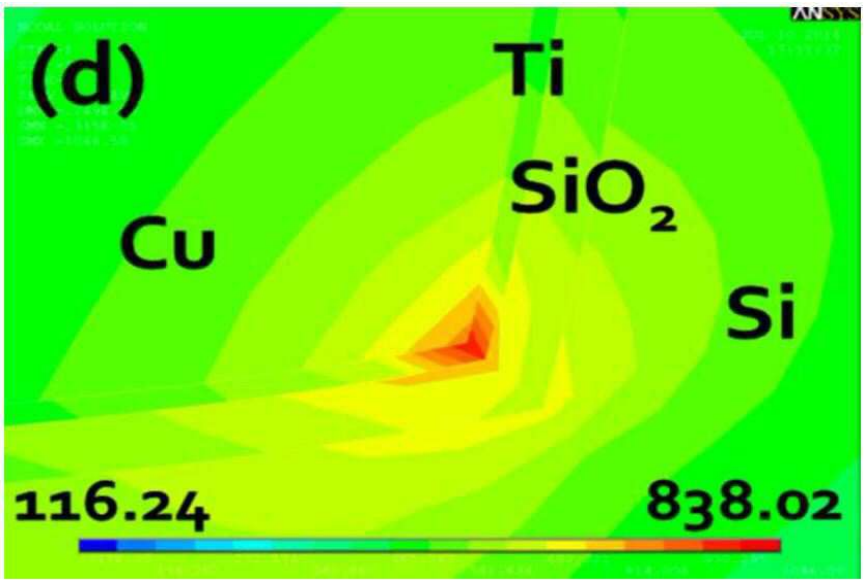
도면10b



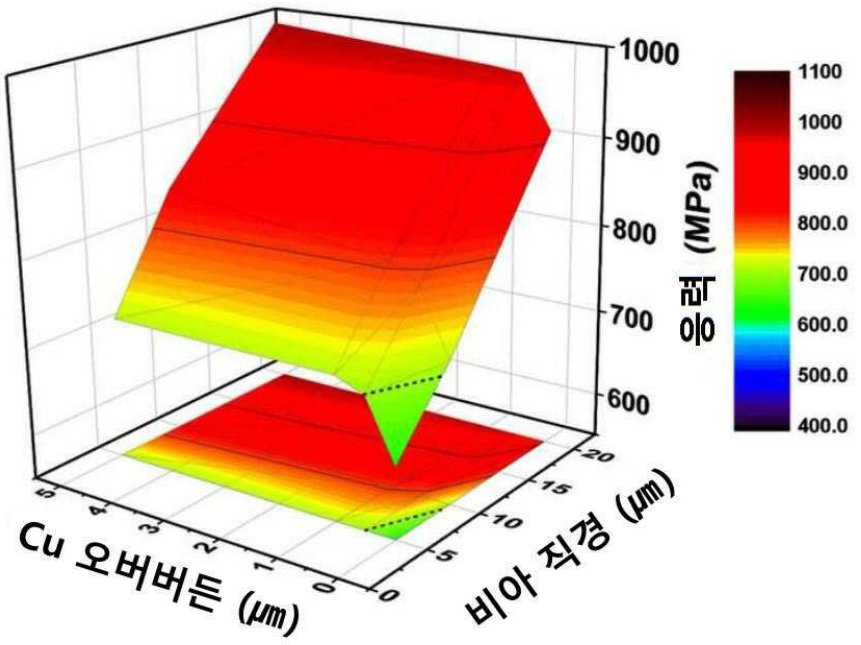
도면10c



도면10d


(d)
Ti
SiO2
Cu
Si
116.24
838.02

도면11


1000
900
800
700
600
응력 (MPa)
1100
1000
900.0
800.0
700.0
600.0
500.0
400.0
Cu 오버버든 (μm)
비아 직경 (μm)