(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H04N 5/00

(45) 공고일자 2003년11월17일
(11) 등록번호 10-0396353
(24) 등록일자 2003년08월20일

(21) 출원번호 10-1995-0058471
(22) 출원일자 1995년12월27일

(65) 공개번호 특1996-0028164
(43) 공개일자 1996년07월22일

(30) 우선권주장 08/366,794 1994년12월30일 미국(US)

(73) 특허권자 톰슨 콘슈머 일렉트로닉스, 인코포레이티드
미국 인디아나주 46290-1024 인디아나폴리스 노스 메리디안 스트리트 10330

(72) 발명자 아이삭 마이클 벨
미합중국, 인디아나, 인디아나폴리스, 타운턴 로드 8121

(74) 대리인 나영환
이상섭
이광현

심사관 : 장경태

(54) 입력신호제한장치및펄스제한기

요약

입력 신호(IN)와 임계 전압(V_L)은 공급 전압원에 접속된 각 콜렉터 전극들을 가지는 제 1(Q_1) 및 제 2(Q_2) 트랜지스티의 베이스-이미터 경로를 통해 출력 단자에 접속된다. 출력 단자(2)는 제 1 저항(R_e)을 통해 기준 전위원(4)에 접속되고 제 2 저항(R_d)을 통해 제 2 트랜지스터 (Q_2)의 콜렉터와 베이스 전극 사이에 접속된 커패시터의 선택된 플레이트에 접속된다. 회로 임피이던스는 $R_e > R_d > R_1$로 나타나고 그 중에서 R_e와 R_d 각각은 제 1 및 제 2 저항 값이고, R_1은 임계 전압원의 출력 임피이던스의 구성요소이다.

대표도

도 2

명세서

도면의 간단한 설명

제1도는 본 발명의 제1 실시예를 도시한 상세도.
제2도는 본 발명의 제2 실시예를 도시한 상세도.
<도면의 주요 부분에 대한 부호의 설명>
1 : 입력 단자
2 : 출력 단자
3 : 공급 단자
4 : 기준 전위
5 : 전원

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명을 제한기애 관한 것으로서, 특히 광대역(즉, 비디오) 신호 공급원으로 사용하기에 적합한 고속 제한기에 관한 것이다.
비교적 낮은 진폭(예컨대, 1 볼트 이하)의 빠른 상승 시간(예컨대, 100 나노초[nano- second])을 갖는 좁은 펄스를 정확하게 제한하는 것이 기술적 과제이다. 특히 이용 가능한 하드웨어가 비용, 넓은 영역 또는 다른 구조적 고려에 의해 제한 되는 경우에 더 필요하다. 다아오드나 제너 다이오드 또는, 트랜지스터의 접합 특성이나 포화 특성을 이용한 종래의 제한기는 매우 좁고 작은 펄스 (예컨대, 100 나노초, 1 볼트)의 경우에는 전혀 작동하지 않거나 만족스런 성능을 보장하지 않는다. 이러한 펄스는 주로 비디오 신호 처리 회로에 나타난다.
예를 들어서 이미지 에지의 첨예도를 개선시키기 위해서 피킹(peaking)을 휘도 신호에 인가하는 것이 보통이다. 그러나 피킹 회로 중 어떤 형태는 대부분의 비디오 신호 레벨에서는 허용 가능한 오버슈트(overshoot)를 발생시키지만 피크 화이트(peak white) 레벨에서나 그 근처에서의 신호에 대해서는 100IRE 레벨을 초과하는 오버슈트를 발생시킨다. 그 결과 피크 화이트 레벨을 초과하는 것은 바라지 않은 포화나 '블루밍(blooming)' 효과를 초래한다. 그래서 피크 화이트 레벨을 초과하는 오버슈트를 제한하거나 잘라내는 것이 바람직하다. 짧은 기간의 펄스와 비교적 낮은 진폭의 펄스를 제한하는데 있어서 특별한 문제는 반응이 지연된다는 것이다. 빠른 펄스 제한 동작이 필요한 다른 응용에서는 통신 장비에서의 잡음 제한기나, 아날로그/디지털 변환기에서의 신호 조정기 등이 있다.
본 발명은 일반 신호 제한 응용에 적절한 제한기의 요건을 충족시키도록 되어있고, 특히 비교적 낮은 진폭(예컨대, 밀리볼트 영역)을 지니는 비교적 빠른 펄스(예컨대, 나노초 영역)를 제한하는데 적절하고 비디오 신호 처리와 같은 응용에 매우 적절하다.
본 발명에 따라 입력 신호를 제한하는 방법은 제1 트랜지스터의 베이스 이미터 경로를 통해 입력 신호를 출력 단자에 결합하는 단계와; 제2 트랜지스터의 베이 스 이미터 경로를 통해 스레드홀드 신호를 출력 단자에 결합하는 단계와; 전원을 제1 및 제2 트랜지스터의 콜렉터 전극에 인가하는 단계와; 출력 단자를 제1 저항(Re)을 통해 기준 전원에 결합하고 제2 저항(Rd)을 통해 제2 트랜지스터의 베이스와 콜렉터 전극 중 선택된 하나에 결합하는 단계와; 상기 제2 트랜지스터의 베이스와 콜렉터 사이에 커패시터를 결합하는 단계를 포함한다.
발명을 구현하는 펄스 제한 장치는 전원 단자에 결합된 콜렉터 전극과 출력단자에 결합된 이미터 전극을 지니는 제1 및 제2 바이폴라 트랜지스터를 포함하고 있다. 여기에서, 출력 단가는 제1 저항(Re)을 통해 기준 전원에 결합된다. 소정의 출력 임피던스(Ro)를 갖는 스레드홀드 전압원은 트랜지스터 중 제2 트랜지스터의 베이스에 결합되고, 제1 트랜지스터의 베이스는 제한될 입력 신호원에 결합된다. 커패시터는 제2 트랜지스터의 콜렉터와 베이스 전극 사이에 결합되고, 제2 트랜지스터의 이미터는 제2 저항(Rd)을 통해 그 제2 트랜지스터의 베이스와 콜렉터 전극중 하나의 전극에 결합된다.
본 발명의 다른 특징에 따르면, 제1 저항(Re), 제2 저항(Rd), 스레드홀드 전압원의 출력 임피던스(Ro)의 크기는 Re>Rd, Rd>Ro와 같다.
본 발명의 상기 및 기타의 특징은 첨부 도면을 참고로 한 이하의 설명에서 보다 명백해진다.
제1도의 이미터 회로는 회로 노드 'A'에서 출력 단자(2)와 공통적으로 결합되고 제1 저항(Re)을 통해 기준 전원(4: 접지)에 결합되는 이미터 전극과, 전원(+Vcc)을 공급받기 위하여 전원 단자(3)에 결합된 콜렉터 전극을 갖는 제1 및 제2 바이폴라 트랜지스터(Q1, Q2)를 포함한다. 스레드홀드 전압원(5)은 회로 노드 'B'에서 제2 트랜지스터(Q2)의 베이스에 결합된다. 커패시터(C1)은 제2 트랜지스터(Q2)의 콜렉터와 베이스 전극 사이에 결합되고 제2 저항(Rd)은 제2 트랜지스터의 이미터와 콜렉터 전극 사이에 결합된다. 본 발명의 다른 실시예에서 제2 저항(Rd)은 제2 트랜지스터(Q2)의 베이스와 이미터 전극 사이에 결합된다.
스레드홀드 신호원(5)(점선으로 표시되어 있음)은 제2 트랜지스터(Q2)의 베이스 전극과 콜렉터 전극 사이에 결합된 제3 저항(R1)과, 접지(4)와 제2 트랜지스터(Q2)의 베이스 전극 사이에 결합된 제4 저항(R2)을 포함하고 있다. 그렇게 결합된 제3 저항(R1)과 제4 저항(R2)은 제한기에 대한 스레드홀드 전압을 발생시키기 위한 분압기를 형성한다.
콜렉터 전원(Vcc)으로부터 트랜지스터(Q2)의 베이스에 대한 소스 저항의 값이 제2 저항(Rd)의 값보다 작고, 다시 제2 저항(Rd)의 값이 제1 저항(Re)의 값보다 작게 선택되는 것은 트랜지스터(Q2)의 지연에 대한 적절한 보상으로서 바람직하다. 수학적으로 표현하면, Re>Rd>Rl와 같다. 대략 스레드홀드 신호원(5)의 테브냉 등가임피던스가 제2 지항(Rd)의 값보다 더 작게 선택되는 것이 유용하다. 스레드홀드 신호원(5)의 등가 임피던스 또는 '출력' 임피던스는 식 Ro=(R1)(R2)/(R1+R2)에 의해서 주어진다. 이러한 식을 사용함으로써 Ro는 Re보다 작은 값으로 선택된 Rd보다도 더 작은 값으로 선택된다. 바람직하게는, 커패시터(C1)의 값은 제2 트랜지스터(Q2)의 베이스 전극과 이미터 전극 사이의 스트레이(stray) 커패시턴스(도시되어 있지 않음)를 포함한 전체 커패시터값보다 실질적으로 크게 되도록 선택 된다.
앞의 설명에서, 단자(1)과 단자(2) 그리고 트랜지스터(Q1)는 제1 트랜지스터(Q1)의 베이스 이미터 경로를 통해 입력 신호(IN)를 출력 단자(2)에 결합하는 기능을 제공하는 제1 회로 경로를 형성한다. 출력 단자(2)와 스레드홀드 신호원(5)과 트랜지스터(Q2)의 결합은 스레드홀드 신호(Vt)를 제2 트랜지스터(Q2)의 베이스 이미터 경로를 통해 출력 단자(2)에 결합하는 기능을 제공하는 제2 회로 경로를 형성한다. 전원 단자(3)와 트랜지스터(Q1)와 트랜지스터(Q2)의 결

합은 전원 전압(Vcc)을 제1 및 제2 트랜지스터의 콜렉터 전극에 인가하는 기능을 제공하는 제3 회로 경로를 형성한다. 출력 단자(2)와 제1 저항(Re)과 제2 저항(Rd)의 결합은 출력 단자를 제1 저항(Re)을 통해 기준 전원에 결합하는 기능과, 제2 저항(Rd)을 통해 제2 트랜지스터의 베이스 전극과 콜렉터 전극 중 선택된 하나의 전극에 결합하는 기능을 제공하는 제4 회로 경로를 형성한다. 상기 예에서 선택된 전극은 콜렉터 전극이다. 마지막으로, 커패시터(C1)와 제2 트랜지스터(Q2)의 결합은 제2 트랜지스터(Q2)의 베이스와 콜렉터 전극 사이에 커패시터를 결합하는 기능을 제공하는 제5 회로경로를 형성한다. 상술된 바와 같이 제2 및 제4 회로 경로상의 구성 성분의 임피던스 값은 아래 부등식 Re>Rd>R1의 관계를 지니도록 선택된다. 여기에서, Re와 Rd는 제1 및 제2 저항 값이고, R1은 전원(Vcc)에서의 제2 트랜지스터(Q2)의 베이스에 대한 소스 임피던스값이다. 대략 Re>Rd>Ro인 것이 유용하고, 여기에서 Ro는 스레드홀드 신호원의 출력 임피던스값이다.

앞에서 설명한 바와 같이, 작고 빠른 펄스를 제한하는데 있어서 주된 문제는 제한기 지연의 문제이다. 제1도에서 지연의 주요 원인은 제2 트랜지스터(Q2)의 입력 커패시터 때문인 것을 알 수 있다. 상기 제2 트랜지스터(Q2)는 제1 저항(Re)과 스레드홀드 신호원 임피던스(R1)를 통해서 충전되어야 한다. 결과적으로 제1 트랜지스터(Q1)의 이미터에 인가되는 피드백 전압은 입력 신호 전압(IN)에 대하여 제2 트랜지스터(Q2)의 베이스-이미터 간의 커패시터를 충전하고 그것에 관련된 스트레이 커패시터를 충전하는데 필요한 시간만큼 지연된다. 만약 제2 저항(Rd)와 커패시터(C1)가 회로에 없다면, 위와 같은 충전의 지연은 입력 펄스를 평탄한 것이 아니라 슬래시(slash)하게 차단할 것이다. 또한, 제2 저항(Rd)과 커패시터(C1)가 없다면, 매우 좁은 펄스의 경우, 그 차단이 스레드홀드 신호원(5)에 대한 소정의 스레드홀드 전압(Vt)에 도달할 수조차 없을 것이다.

응답 속도를 빠르게 하기 위하여 스레드홀드 신호원(5)의 출력 임피던스는 커패시터(C1)에 의해 바이패스되고, 제2 저항(Rd)은 회로 노드 'A'에 전류를 공급한다. 여기에서는 이것을 '예비' 클리핑('preliminary' clipping)이라고 한다. 예비 클리핑의 레벨이 필요한 스레드홀드 전압보다 조금 낮은 레벨, 즉 Vt-Vbe(Q2) 보다 낮은 레벨이 되도록, 노드 A에 전압을 제공하는 제1 저항(Re)과 제2 저항(Rd)의 값을 선택함으로써 제어된다.

결국, 만약 저항 값이 상기한 바와 같이, 부등식 Re>Rd>R1 또는 적어도 Re>Rd)Ro의 관계를 만족시키는 값을 지닌다면, 최대 응답 속도에 도달하는데 매우 바람직하다는 것을 알게 되었다. 그 값들은 예컨대, 제1 저항(Re)이 15kΩ, 제2 저항(Rd)이 9.1kΩ, 제3 저항(R1)이 200Ω, 커패시터(C1)가 약 100pF인 경우를 예로 들 수 있다. 많은 응용예에 있어서 전원 전압과 회로 전력 분산, 스레드홀드 전압조건 등과 같은 특정한 조건을 만족시키는 다른 값들이 선택될 수 있음은 물론이다. 바람직하게 커패시터(C1)의 값은 제2 트랜지스터(Q2)의 베이스와 이미터 전극 사이의 전체 커패시터 값보다 실질적으로 큰 값으로 선택된다. 위에서 예시된 값은 제2 트랜지스터(Q2)와 관련된 베이스 이미터 사이의 커패시터값과 제2 트랜지스터(Q2)에 관련된 스트레이 커패시터값보다 더 크다.

제1도의 실시예는 제2도에 나타낸 바와 같이 정확성을 보강한 실시예로 변경될 수 있다. 제2도에서 제2 저항(Rd)은 제2 트랜지스터(Q2)의 이미터 베이스 전극 사이에 결합되고 전체 회로는 집적 회로(200)에 형성된다. 집적화는 트랜지스터 스레드홀드 전압을 근접 매칭시키고, 저항 공차(tolerance) 값을 개선하는 등 회로의 신뢰도를 상승시킨다.

실시예에서 다른 변화도 가능하다. 예컨대 제1도의 제한기의 구성에 따른 스레드홀드 신호원을 전류계로 대체하여 스레드홀드 전압(Vt)을 정확하게 제어하게 할 수 있다. 제2도의 집적 회로에서는 전류계와 외부적으로 결합시키는 회로 노드(B)를 만들고 스레드홀드 신호원(5)을 없앨 수 있다. 이 때 전류계 결합은 노느(B)에 결합된 와이퍼에 의하여 단자(3) 및 단자(4)의 양단에 전류계를 결합시킨다.

또한, 실시예에서 NPN 트랜지스터(Q1, Q2)를 PNP 트랜지스터로 변경시킬 수 있다. 이러한 변경(전원 극성의 변경에 따른 구성의 변경도 포함됨)은, NPN 트랜지스터를 사용했을 때 음의 방향으로 진행하는 펄스를 신속하게 제한할 수 있는 것에 비하여, 양의 방향으로 진행하는 펄스를 신속하게 제한할 수 있다.

(57) 청구의 범위

청구항 1.

입력 신호를 제한하는 장치에 있어서,

제1 트랜지스터의 베이스 이미터 경로를 통해 상기 입력 신호를 출력 단자에 결합하는 제1 회로 경로와;

제2 트랜지스터의 베이스 이미터 경로를 통해 스레드홀드 신호를 상기 출력 단자에 결합하는 제2 회로 경로와;

전원 전압을 상기 제1 및 제2 트랜지스터의 콜렉터 전극에 인가하는 제3 회로 경로와;

상기 출력 단자를 제1 저항(Re)을 통해 기준 전원에 결합하고, 상기 출력 단자를 제2 저항(Rd)을 통해 제2 트랜지스터의 베이스 콜렉터 전극 중에 선택된 하나의 전극에 결합하는 제4 회로 경로와;

상기 제2 트랜지스터의 베이스와 콜렉터 전극 사이에 커패시터를 결합하는 제5 회로 경로를 포함하는 것을 특징으로 하는 입력 신호 제한 장치.

청구항 2.

제1항에 있어서,

상기 제2 및 제4 회로 경로는 Re>Rd>Ro인 임피던스 부등식을 나타내도록 선택되고, 여기에서 Re와 Rd는 각각 제1 저항(Re)값과 제2 저항(Rd)값이고, Ro는 스레드홀드 신호원의 출력 임피던스인 것을 특징으로 하는 입력 신호 제한 장치.

청구항 3.

전원 단자(3)에 결합된 콜렉터 전극과, 출력 단자(2)에 공통적으로 결합되고 제1 저항(Re)을 통해 기준 전원(4)과 결합된 이미터 전극을 지니는 제1 및 제2 바이폴라 트랜지스터(Q1, Q2)와;

상기 제2 트랜지스터(Q2)의 베이스에 결합된 스레드홀드 신호원(5)과;
상기 제2 트랜지스터(Q2)의 콜렉터와 베이스 전극 사이에 결합된 커패시터(C1)와;
상기 제2 트랜지스터(Q2)의 베이스 전극과 콜렉터 전극 중 선택된 하나의 전극과 이미터 전극 사이에 결합된 제2 저항(Rd)을 포함하는 것을 특징으로 하는 펄스 제한기.

청구항 4.

제3항에 있어서,
상기 제1 저항(Re)의 저항 값은 상기 제2 저항(Rd)의 저항 값보다 크고,
상기 스레드홀드 신호원(5)은 소정의 출력 임피던스를 나타내며,
상기 제2 저항(Rd)은 상기 스레드홀드 신호원(5)의 소정의 출력 임피던스값보다 큰 것을 특징으로 하는 펄스 제한기.

청구항 5.

제3항에 있어서,
상기 커패시터(C1)는 상기 제2 트랜지스터(Q2)의 베이스와 이미터 전극 사이의 스트레이 커패시터를 포함한 전체 커패시터값보다 실질적으로 큰 값을 지니도록 선택되는 것을 특징으로 하는 펄스 제한기.

청구항 6.

제3항에 있어서, 상기 스레드홀드 전압원(5)은
상기 제2 트랜지스터(Q2)의 베이스 전극과 상기 전원 단자(3) 사이와, 제2 트랜지스터(Q2)의 베이스 전극과 상기 기준 전원(4) 사이에 각각 결합된 제3 저항(R1)과 제4 저항(R2)을 더 포함하고,
상기 제3 저항(R1)은 제2 저항(Rd)값보다 작은 값을 지니도록 선택되는 것을 특징으로 하는 펄스 제한기.

청구항 7.

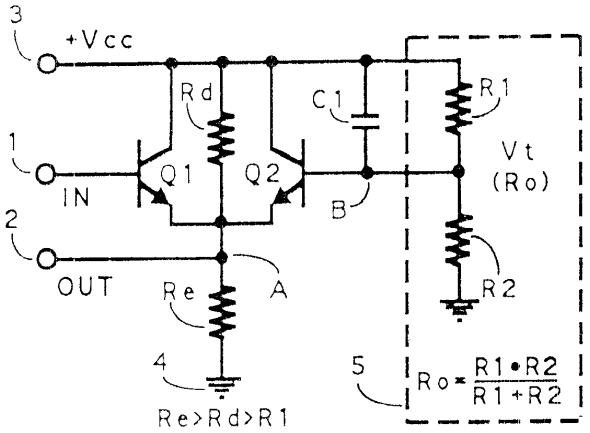
제3항 내지 제6항 중 어느 한 항에 있어서,
상기 제1 및 제2 트렌지스터(Q1, Q2), 상기 제1 저항(Re)과 제2 저항(Rd), 스레드홀드 신호원(5) 및 커패시터(C1)는 집적 회로로 구성되고, 상기 제2 저항 (Rd)은 상기 제2 트렌지스터(Q2)의 베이스와 이미터 전극 사이에 결합되는 것을 특징으로 하는 펄스 제한기.

청구항 8.

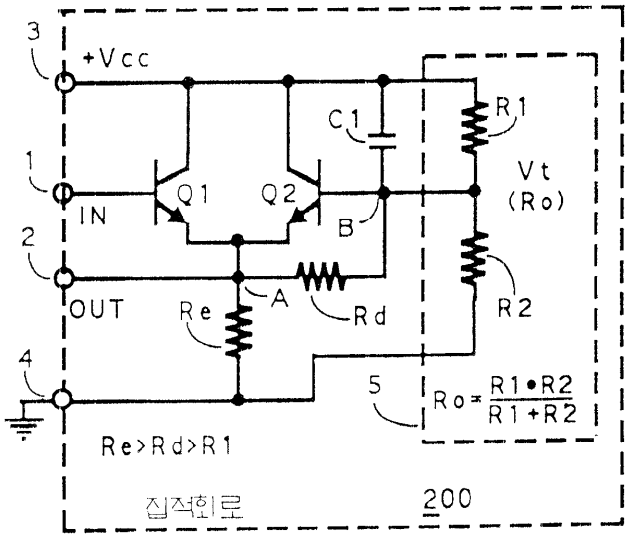
제3항 내지 제6항 중 어느 한 항에 있어서,
상기 제1 및 제2 트랜지스터(Q1, Q2), 상기 제1 저항(Re)과 제2 저항(Rd), 상기 스레드홀드 신호원(5) 및 상기 커패시터(C1)는 집적 회로(200)로 구성되고, 상기 제2 저항(Rd)은 상기 제2 트랜지스터(Q2)의 베이스와 이미터 전극 사이에 결합되는 것을 특징으로 하는 펄스 제한기.

도면

도면1



도면2


3
+Vcc
C1
R1
Vt
(Ro)
1
IN
Q1
Q2
B
2
OUT
Re
A
Rd
R2
4
5
Ro=R1•R2/R1+R2
Re>Rd>R1
집적회로
200