



(12)发明专利

(10)授权公告号 CN 104204822 B

(45)授权公告日 2017.05.03

(21)申请号 201380017389.4

(22)申请日 2013.03.05

(65)同一申请的已公布的文献号  
申请公布号 CN 104204822 A

(43)申请公布日 2014.12.10

(30)优先权数据  
13/433,154 2012.03.28 US  
13/450,123 2012.04.18 US

(85)PCT国际申请进入国家阶段日  
2014.09.28

(86)PCT国际申请的申请数据  
PCT/US2013/029121 2013.03.05

(87)PCT国际申请的公布数据  
W02013/148085 EN 2013.10.03

(73)专利权人 泰拉丁公司  
地址 美国马萨诸塞州

(72)发明人 扬·保罗·安东尼·范德瓦特  
罗纳德·A·萨特斯奇夫  
格雷戈里·A·卡纳尔

(74)专利代理机构 中原信达知识产权代理有限  
责任公司 11219  
代理人 戚传江 金洁

(51)Int.Cl.  
G05F 1/00(2006.01)

审查员 胡书红

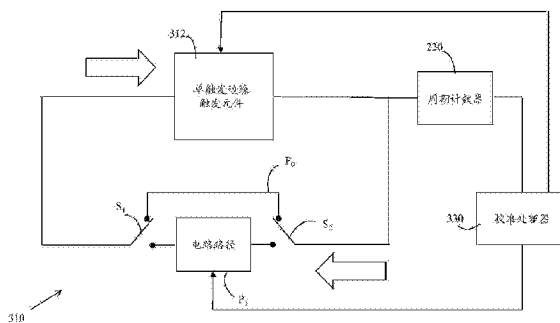
权利要求书4页 说明书17页 附图8页

(54)发明名称

边缘触发的校准

(57)摘要

本发明提供了用于测量在电路路径中的传播延迟的电路。所述电路包括可用所述电路路径连接成环路的单触发边缘触发元件。穿过所述电路路径传播的边缘信号触发所述单触发元件以输出脉冲。所述脉冲围绕所述环路传播,再次触发所述单触发元件以产生脉冲,从而形成一系列重复的脉冲。这些脉冲之间的所述周期受到穿过所述环路的边缘的传播时间影响,使得其中所述电路路径连接成或未连接成所述环路的所述周期中的差异指示所述电路路径中的传播延迟。这种电路可被配置为独立地测量,因此校准与上升边缘和下降边缘相关的传播延迟。单独地均衡上升边缘和下降边缘的传播延迟的校准可增加自动测试系统的所述时序准确性。



1. 一种用于测定沿着至少一个电路路径的延迟的装置,所述装置包括:  
被配置为形成包含所述至少一个电路路径的环路的电路,所述电路包括:  
边缘触发元件;以及  
耦合到所述环路以测量所述环路中的信号的周期的周期测量元件;  
其中所述边缘触发元件响应所述环路中的所述信号的上升触发边缘或下降触发边缘,但非两者;并且

在响应于触发边缘之后,所述边缘触发元件在独立于所述环路中的所述信号的另一个触发边缘的时间重置。

2. 根据权利要求1所述的装置,其中:

所述边缘触发元件包括S-R锁存。

3. 根据权利要求2所述的装置,其中:

所述S-R锁存具有置位输入和复位输入,以及输出;以及

所述装置还包括:

耦合在所述S-R锁存的所述输出与所述复位输入之间的延迟元件。

4. 根据权利要求3所述的装置,其中:

所述S-R锁存通过产生输出脉冲而响应在所述复位输入处上的第一脉冲和在所述置位输入上的第二脉冲,其中所述输出脉冲根据所述第一脉冲与所述第二脉冲之间的最后触发边缘来置位和复位。

5. 根据权利要求4所述的装置,其中:

所述第一脉冲和所述第二脉冲中的一者被所述第一脉冲和所述第二脉冲中的另一者包围。

6. 根据权利要求4所述的装置,其中:

所述第一脉冲和所述第二脉冲中的一者与所述第一脉冲和所述第二脉冲中的另一者重叠。

7. 根据权利要求1所述的装置,其中:

所述至少一个电路路径包括多个电路路径;以及

所述环路还包括:

复用器;以及

解复用器,

其中所述复用器和解复用器被配置为将所述多个电路路径的电路路径选择性地连接成所述环路。

8. 根据权利要求1所述的装置,还包括:

连接到所述边缘触发元件的输入的门,所述门包括输出、第一输入和第二输入,所述门的所述第一输入和所述输出被连接成所述环路,并且所述门适于:

当在所述第二输入上的信号处于第一状态时,响应于在所述第一输入上的所述第一状态的信号而在所述门的所述输出处提供处于第一状态的信号;以及

当在所述第二输入上的信号处于第二状态时,响应于在所述第一输入上的第二状态的信号而在所述门的所述输出处提供处于所述第一状态的信号。

9. 根据权利要求8所述的装置,其中:

所述门为第一门；

所述装置包括连接到所述边缘触发元件的输出的第二门，所述第二门包括输出、第一输入和第二输入，所述第二门的所述第一输入和所述输出被连接成所述环路，并且所述第二门适于：

当在所述第二门的所述第二输入上的信号处于第一状态时，响应于在所述第二门的所述第一输入上的处于所述第一状态的信号而在所述第二门的所述输出处提供处于所述第一状态的信号；以及

当在所述第二门的所述第二输入上的信号处于第二状态时，响应于在所述第二门的所述第一输入上的第二状态的信号而在所述第二门的所述输出处提供处于所述第一状态的信号，

其中所述第二门的所述第二输入耦合到所述第一门的所述第二输入。

10. 根据权利要求1所述的装置，还包括：

被配置为从所述环路选择性地连接和断开所述边缘触发元件的开关元件。

11. 根据权利要求1所述的装置，其中：

所述边缘触发元件包括单触发电路。

12. 根据权利要求1所述的装置，其中：

所述边缘触发元件包括：

置位输入和复位输入，以及输出；

第一锁存，所述第一锁存包括耦合到所述置位输入的第一输入、耦合到所述复位输入的第二输入，以及第一锁存输出；

第二锁存，所述第二锁存包括耦合到所述置位输入的第一输入、通过反相元件耦合到所述复位输入的第二输入，以及第二锁存输出；以及

第三锁存，所述第三锁存具有耦合到所述置位输入的第一输入、耦合到所述复位输入的第二输入、耦合到所述第一锁存输出的第三输入，以及耦合到所述第二锁存输出的第四输入。

13. 根据权利要求1所述的装置，其中：

所述边缘触发元件包括置位输入和复位输入，以及输出；

所述输出通过延迟耦合到所述复位输入；以及

所述边缘触发元件被配置为在从其中所述置位输入和复位输入两者均被断言的状态到其中所述置位输入和复位输入中仅有一者被断言的后续状态转变时保持在所述输出处的值。

14. 根据权利要求13所述的装置，其中：

所述边缘触发元件进一步被配置为在从其中所述置位输入和复位输入中仅有一者被断言的状态到其中所述置位输入和复位输入两者均被断言的后续状态转变时反转在所述输出处的所述值。

15. 一种用于测量沿着至少一个电路路径的边缘特定延迟的方法，所述方法包括：

将所述至少一个电路路径的电路路径连接成至少一个环路，其中所述至少一个环路包括电路，所述电路包括：

边缘触发元件；以及

耦合到所述环路以测量所述环路中的信号的周期的周期测量元件；

其中所述边缘触发元件响应所述环路中的所述信号的上升触发边缘或下降触发边缘，但非两者；并且

在响应于触发边缘之后，所述边缘触发元件在独立于所述环路中的所述信号的另一个触发边缘的时间重置；

测量其中第一类型脉冲穿过所述至少一个环路的环路的第一频率，所述第一类型的所述脉冲与穿过所述电路路径的信号的第一边缘同步产生；以及

测量其中第二类型脉冲穿过所述至少一个环路的环路的第二频率，所述第二类型的所述脉冲与穿过所述电路路径的信号的第二边缘同步产生。

16. 根据权利要求15所述的方法，其中：

测量所述第一频率包括：

在第一时间：

响应于第一极性的边缘将所述边缘触发元件配置为输出脉冲，所述边缘触发元件被连接成所述至少一个环路的环路；以及

测量在所述环路中的振荡的第一频率；以及

测量所述第二频率包括：

在第二时间：

响应于第二极性的边缘将所述边缘触发元件配置为输出脉冲；以及

测量在所述环路中的振荡的第二频率。

17. 根据权利要求15所述的方法，还包括：

存储至少一个校准值以根据振荡的所述第一频率和振荡的所述第二频率调整所述电路路径。

18. 根据权利要求17所述的方法，其中：

存储至少一个校准值单独地调整：

基于所述第一频率沿着所述电路路径传播的信号的上边缘的延迟；以及

基于所述第二频率沿着所述电路路径传播的信号的下边缘的延迟。

19. 根据权利要求15所述的方法，其中：

所述至少一个电路路径包括自动测试系统中的多个电路路径；

对于所述多个电路路径中的每一者，所述方法还包括连续地：

将所述电路路径连接成所述至少一个环路的所述环路；

执行测量所述第一频率的动作以及测量所述环路的所述第二频率的动作；以及

根据所述测得的第一频率和所述测得的第二频率调整所述电路路径。

20. 一种集成电路，所述集成电路包括

电路路径，所述电路路径包括校准元件；

可连接成含有所述电路路径的环路的校准电路，所述校准电路包括：

边缘触发元件；以及

被配置为测量其中信号的边缘围绕所述环路传播的速率的电路，

其中所述边缘触发元件响应所述环路中的所述信号的上升触发边缘或下降触发边缘，但非两者；并且

在响应于触发边缘之后,所述边缘触发元件在独立于所述环路中的所述信号的另一个触发边缘的时间重置。

21. 根据权利要求20所述的集成电路,其中:

所述边缘触发元件包括具有置位输入和复位输入,以及输出的S-R锁存;

所述校准电路还包括在所述S-R锁存的所述输出与所述复位输入之间耦合的延迟元件。

22. 根据权利要求21所述的集成电路,其中:

所述S-R锁存用在所述输出上的一个脉冲响应被在所述置位输入上的脉冲包围的在所述复位输入上的脉冲,在输出上的所述脉冲从在所述置位输入上的所述脉冲的上升边缘延伸至在所述复位输入上的所述脉冲的上升边缘。

23. 根据权利要求20所述的集成电路,其中:

所述电路路径包括第一末端和第二末端;以及

所述校准电路还包括:

被配置为将所述电路路径的所述第一末端选择性地耦合到所述校准电路的第一开关元件;以及

被配置为将所述电路路径的所述第二末端选择性地耦合到所述校准电路的第二开关元件。

24. 根据权利要求23所述的集成电路,其中:

所述集成电路为数字引脚电子芯片,所述数字引脚电子芯片包括多个电路路径,每个都具有第一末端和第二末端;

所述第一开关元件包括复用器,所述复用器被配置为将所述多个电路路径的所述第一末端选择性地耦合到所述校准电路;以及

所述第二开关元件包括解复用器,所述解复用器被配置为将所述多个电路路径的第二末端选择性地耦合到所述校准电路。

25. 一种测试系统,所述测试系统包括多个根据权利要求24所述的数字引脚电子芯片。

## 边缘触发的校准

### 背景技术

[0001] 电子部件(例如半导体器件)在其制造过程中经常使用自动测试设备进行测试,有时进行多次测试。为了进行这些测试,自动测试设备可包括产生或测量测试信号的仪器,使得可在特定器件上测试一系列操作条件。仪器(例如)可产生或测量数字信号的模式以允许在半导体器件内测试数字逻辑。

[0002] 现代半导体器件可具有大量的测试点,可能是数百甚至数千个。因此,测试系统可具有多个通道,每个通道设计为独立地产生或测量测试点的信号。在每个测试点处要产生或测量的具体值可由控制测试系统的所有通道的测试程序决定。除了指定测试信号的值之外,测试程序还可指定测试信号被施加或测量的时间。能够控制测试信号的时序对于半导体器件的全面测试而言是重要的,因为产生预期值(但是在错误的时间)的器件,仍然可引起使用该半导体器件的系统发生故障。

[0003] 测试信号在一个测试点处被施加或测量的时间可相对于测试信号在另一个测试点处被施加或测量的时间而指定。因此,经常需要协调多个通道中的测试信号。测试系统被设计为使不同通道内的信号的生成同步。但是,仅仅同步信号生成的时间可能不足以确保测试信号在被测试器件的测试点处被协调。传播延迟差可能改变信号的相对时序,从而影响测试结果的准确性。要增加测试准确性,已知的是要校准测试系统。校准可能需要测量通过测试系统的通道的相对传播延迟。然后可调整通过通道的传播延迟。这种校准可能在不同时间完成,包括在制造测试系统时、或在测试系统按周期性时间表被安装之后、或在取决于使用量的时间。

### 发明内容

[0004] 与在电子信号路径上的电子信号的下降或上升触发边缘相关的延迟可被测量。在一些实施例中,延迟测量电路可被配置为选择性地测量任一边缘。这种电路可被用于单独地测量上升边缘和下降边缘的延迟,从而允许校准单独地调整这些边缘特定延迟。

[0005] 在一些实施例中,延迟测量电路可包括响应上升触发边缘或下降触发边缘的边缘触发元件。延迟测量电路可包括开关元件,使得边缘触发元件可选择性地耦合到电路路径以便形成环路。周期测量元件可耦合到该环路。

[0006] 在操作中,通过电路路径发送的边缘可触发边缘触发元件,使得其产生脉冲或生成包括另一个触发边缘的另一种格式的信号。该边缘可通过电路路径被发送,循环返回到边缘触发元件,以产生又一个边缘。环路中的该操作可建立由边缘触发元件所产生的边缘的重复序列,该重复序列在时间上分离的量由穿过电路路径的传播延迟来决定。通过测那些边缘之间的时间,诸如用周期测量元件,可以获得关于穿过电路路径的传播延迟的信息。

[0007] 因此,在一个方面,本发明涉及用于测定沿着至少一个电路路径的延迟的装置。该装置包括被配置为形成包含至少一个电路路径的环路的电路。该电路包括边缘触发元件和耦合到环路的周期测量元件。边缘触发元件仅仅响应环路中的信号的上升触发边缘或下降触发边缘,但非两者。

[0008] 在另一个方面,本发明涉及用于测量沿着至少一个电路路径的边缘特定延迟的方法。该方法包括连接至少一个环路中的至少一个电路路径的电路路径。第一

[0009] 类型脉冲穿过至少一个环路的环路的第一频率可被测量。第一类型的脉冲可与穿过电路路径的信号的第一边缘同步产生。第二类型脉冲穿过至少一个环路的环路的第二频率也可被测量。第二类型的脉冲与穿过电路路径的信号的第二边缘同步产生。

[0010] 在一些实施例中,这种延迟测量技术可用于校准在制造半导体器件中使用的测试系统,从而改进制造半导体器件的过程。

[0011] 在又一个方面,本发明涉及集成电路。该集成电路包括具有校准元件的电路路径。校准电路在装有电路路径的环路中是可连接的。该校准电路包括边缘触发元件和被配置为测量单个边缘围绕环路传播的速率的电路。

[0012] 上述为由所附权利要求限定的本发明的非限制性内容。

## 附图说明

[0013] 附图并非意图按比例绘制。在附图中,在多张图中所示的每个相同或近乎相同的部件由相同的标号代表。为了清晰起见,并非对每张附图中的每个部件都进行了标记。在图中:

[0014] 图1A为自动测试系统的示例性实施例的示意图;

[0015] 图1B为自动测试系统的一部分的示例性实施例的示意图,其示出了可根据延迟的边缘敏感测量进行校准的多个信号路径;

[0016] 图2为使用常规延迟测量技术的自动测试系统内的校准电路的示例性实施例的示意图;

[0017] 图3为校准边缘敏感延迟的校准电路的示例性实施例的示意图;

[0018] 图4为示出可用于实现图3的单触发边缘触发元件的标准SR触发器和真实边缘触发的SR触发器的操作的比较的时序图的草图;

[0019] 图5为根据示于图4的时序进行操作的真实边缘触发的SR触发器的操作的真值表;

[0020] 图6为根据图4的时序图进行操作的真实边缘触发改进的SR触发器的电路实现的示意图;

[0021] 图7A为示出图6的Y锁存部件的操作的真值表;

[0022] 图7B为示出图6的Q锁存部件的操作的真值表;以及

[0023] 图8为用于测量可被配置为测量与上升边缘或下降边缘相关的延迟的边缘敏感延迟的电路的示意图。

## 具体实施方式

[0024] 本发明人已经认识到并且理解用于测量电子系统中的边缘敏感延迟的电路和方法的优点。测量边缘敏感延迟的能力(例如)可应用于校准用于延迟的电子电路。该测量可被用于单独地调整每个边缘穿过电路路径的传播延迟。上升边缘或下降边缘中任一者或两者的时序可以该方式调整。

[0025] 对于响应仅仅一个触发边缘(上升触发边缘或下降触发边缘)的电路而言,校准触发边缘的传播延迟可能导致更准确的操作。特别是对于处理差分信号的电路路径,常规延

迟测量技术往往记录上升边缘和下降边缘两者的平均边缘传播时间。当边缘被单独地用作触发边缘时,结合调整以提供上升边缘和下降边缘的所需平均传播延迟不一定导致准确的操作。本发明人已经进一步认识到并且理解,在基于触发边缘的传播延迟与上升边缘和下降边缘的平均延迟的校准之间的差异可随着信号频率增加而具有更大的影响,因为周期变得更小并且与触发边缘相关的不准确性变为周期的很大一部分。这种情况可在自动测试系统内发生,该自动测试系统在高频率下进行操作以便完全测试许多类型的半导体器件。

[0026] 但是,在其他情况下边缘敏感延迟测量可能是重要的。作为另一个例子,脉冲具有上升边缘和下降边缘。如果上升边缘和下降边缘穿过电路路径以不同速率传播,则上升边缘与下降边缘之间的时间可缩短或延长,从而导致脉冲的形状的改变,这在一些情况下可能是不期望的。

[0027] 上升边缘和下降边缘的传播延迟差可以多种方式出现。例如,差异可能由于用于电路路径中的偏置电平而出现。作为具体例子,在逻辑元件的差分输入级中的晶体管可被偏置,使得响应上升边缘而导通的晶体管比响应下降边缘而导通的晶体管更快导通。因此,上升边缘的传播延迟可小于下降边缘的传播延迟。在这种情况下,调整偏置电平可通过均衡响应上升边缘和下降边缘的晶体管的导通时间来校准边缘特定延迟。然后使用其他技术校准平均延迟可导致上升边缘和下降边缘两者的所需传播延迟。因此,代替使用其他校准技术或除此之外,电路路径的校准可包括将控制偏置电平的数值写入非易失性存储器以均衡上升边缘延迟和下降边缘延迟。

[0028] 在一些实施例中,被调整的偏置电平可表示偏置电压。在其他实施例中,被调整以改变边缘敏感延迟的偏置电平可为偏置电流电平。除了调整偏置电平之外,还可调整其他电路参数以调整边缘敏感延迟。在一些实施例中,可使用已知技术,诸如改变电阻或电容。当边缘敏感延迟测量被用作校准过程的一部分时,这些和其他技术可用于调整一个或多个电路参数以补偿边缘敏感延迟。可以使用任何合适的调整技术,并且用于任何电路路径中的具体调整技术可取决于电路路径的设计。

[0029] 这种延迟测量和校准技术可用于任何合适类型的电子系统中,包括自动测试系统。在自动测试系统中,存在多个通道。如果校准技术用于每个通道以确保边缘敏感延迟的差异不导致操作的时序的不准确性,从而产生或测量不同通道中的测试信号,便可进行更准确的测试。

[0030] 图1A为其中边缘敏感延迟校准技术可根据边缘敏感延迟测量而应用的自动测试系统的示意图。图1A示出了包括多个仪器的测试系统100,其中示出了仪器110A···110I。仪器中的每个可包括电路以产生和/或测量被测试器件140的测试信号。每个仪器的具体功能并非是本发明的关键,并且任何合适类型的仪器均可用于测试系统100中。仪器110A、110B···110I(例如)可包括多种类型的仪器,其中仪器中不同的仪器产生或测量不同类型的模拟信号或数字信号。

[0031] 应当理解,图1A为自动测试系统的极简化图示。例如,虽然未示出,但是测试系统100可包括控制仪器110A···110I的操作的控制电路。另外,测试系统100可包括处理电路以处理测量和确定被测试器件140是否正确地工作。此外,应当理解,虽然示出了九个仪器110A···110I,但是测试系统100可包括任意数量的仪器或其他资源以用于产生和/或测量测试信号。另外,虽然图1A示出了其中单个被测试器件140被测试的情况,但是自动测试系统

100可被配置为测试多个器件。

[0032] 无论产生或测量测试信号的仪器或其他部件的数量和被测试器件的数量为多少,测试系统100都可包括在被测试器件与仪器之间路由信号的信号传送部件。在图1A的例子中,信号传送部件被示为总线120和器件接口板130。然而,应当理解,测试系统100的信号传送部分可包括不同的或另外的部件。

[0033] 测试系统100可以任何合适的方式进行构造,包括使用本领域已知的技术。

[0034] 虽然进行了极大地简化,但是图1A示出了其中可使用边缘敏感校准技术的情况。甚至在测试单个被测试器件中使用的不同信号可通过测试系统的不同通道传播。不同通道可使用仪器110A...110I中的不同仪器来实现,使得不同通道涵盖穿过不同部件的不同电路路径。甚至当不同通道在相同仪器中实施时,通道可具有穿过不同部件的不同电路路径。因为不同电路路径中的不同部件可具有不同量的延迟,所以每个通道可受到不同量的延迟。

[0035] 图1B示意性地示出了两个通道162A和162B的一部分。在该例子中,通道162A和162B可表示数字测试仪器中的通道。通道162A和162B可在分别耦合到被测试器件140(图1A)的输入/输出(I/O)线192A或192B处产生和/或测量数字信号。应当理解,图1A为简单起见示出了两个通道。数字测试仪器可包括八个或更多个数字通道。此外,自动测试系统可包括多个数字仪器,使得测试系统100(图1A)可包括数百或数千个数字通道。然而,通道162A和162B的图示示出了使用时序校准可改善自动测试系统的性能。

[0036] 在图1B的例子中,数字仪器包括模式发生160。对于要执行的每个测试,模式发生器160可用数字信号的模式编程以在通道162A和162B的每一者中产生或测量。模式发生器160与时序发生器170结合工作。在示出的例子中,模式发生器160可输出在测试器操作的多个周期的每一个中控制通道中的每一个的值。对于每个通道,该值可指示该通道与周期相关的操作。该值(例如)可指示通道内的电路用于驱动I/O线,诸如耦合到被测试器件上的测试点的输出线192A或192B。此外,模式发生器160的输出可指示用于在I/O线192A或192B上驱动的值。或者,由模式发生器输出的值可指示每个通道用于测量I/O线192A或192B上的信号。

[0037] 时序发生器170也可为可编程的。时序发生器170的编程可指示相对于每个通道的开始,由模式发生器160的输出指定的操作何时进行。

[0038] 要支持这些功能,通道162A和162B中的每一者包括电路以产生在通道的I/O线上的测试信号,或比较I/O线上感测到的信号与由模式发生器160提供的值。例如,通道162A包括电路180A以用于产生具有由模式发生器160的输出指定的格式的测试信号。这种测试信号产生的时间可由时序发生器170的输出控制。该格式化测试信号可穿过缓冲放大器188A或其他合适的电路传递至I/O线192A。通道162B类似地包括电路180B以产生指定格式的测试信号和缓冲器188B来驱动I/O线192B。

[0039] 每个通道包括比较电路,该比较电路可在测试周期期间工作,其中模式发生器160指定通道的I/O线上的测试信号要被测量。例如,比较电路184A可通过缓冲器190A接收在I/O线192A上的值。比较电路184A可比较感测值与由模式发生器160向比较电路184A提供的预期值。该比较操作可在由时序发生器170输出的一个或多个信号所指定的时间进行。因此,比较电路184A可产生指示出输入/输出线192A在指定时间是否具有预期值的值。

[0040] 通道162B类似地具有比较电路184B。比较电路184B通过缓冲器190B接收在I/O线

192B上的测试信号的值。比较电路184B的操作的时序类似地由时序发生器170的输出控制。

[0041] 以这种方式,在每个通道中执行的两种类型的操作和执行那些操作的时间可由模式发生器160和时序发生器170的编程来指定。虽然不同通道中的操作时序从共同时序源指定,在该例子中由时序发生器170指定,但是传播延迟差可导致被编程为在相同时间进行的操作实际上在不同时间进行。图1B作为简单的例子示出了发生电路180A较之于比较电路184B更靠近时序发生器170。因此,时序信号从时序发生器170到比较器电路184B的传播延迟可能需要 $D_4$ 的延迟。相比之下,产生电路180A的延迟可能需要延迟 $D_1$ ,其可小于 $D_4$ 。其他通道中的其他部件可具有不同量的延迟。例如,比较器电路184A的延迟可为 $D_2$ ,而发生电路180B的延迟可为 $D_3$ 。

[0042] 除了到达不同部件的时序信号的传播中的延迟之外,电路本身可用不同传播延迟来操作。用于实现图1B中所示的电路的部件中的随机变型形式可导致那些部件的不同操作速度。例如,发生电路180A可以比发生电路180B更快速地响应命令以驱动数据值。即使电路被设计为以相同的方式工作,这些差异仍可存在。

[0043] 自动测试系统通过不同通道的延迟差可影响测试结果的准确性。例如,测试可涉及确定被测试器件是否在规定量的时间内响应输入。要执行这种测试,可在自动测试系统的一个通道中产生输入信号。例如,通道162A可被编程以在所需I/O线192A上产生所需输入。被测试器件的响应可在不同通道中测量。例如,通道162B可被编程以测量在I/O线192B上的响应。在这种情况下,通道162A可被编程以在第一时间产生信号,并且通道162B可被编程以测量输出来确定预期响应是否在第二时间发生。第二时间可被编程以使得其在第一时间之后发生一定量的时间,该第一时间表示被测试器件的预期响应时间。然而,如果存在与通道162A和162B相关的不同延迟,则在通道162A与162B处进行的操作之间的预期时间差不被保持。例如,如果在通道162B中存在比穿过通道162A更小的延迟,则被测试器件的响应相对于施加的输入可比预期更早测量。相反,如果穿过通道162B的延迟大于穿过162A的延迟,则测量相对于输入可比预期更晚进行。任一情况都可能导致不准确的测试结果,因为测试系统除了在编程时间之外检查预期结果。

[0044] 因此,在本领域中已知包括与自动测试系统的通道相关的校准电路。技术可用于测量穿过每个通道的延迟,并且校准电路可被调整以改变穿过每个通道的延迟的量。因此,图1B示出了与发生电路180A相关的在182A处的校准电路。校准电路186A被示为与比较电路184A相关。同样,校准电路182B和186B被示为分别与发生电路180B和184B相关。在操作中,穿过通道中的每一个的相对延迟可被测量,并且校准值可被确定并用于调整校准电路,例如校准电路182A、182B、186A和186B。校准值(例如)可被写为保存在非易失性存储器或校准电路内的其他合适的存储结构中的数字值。但是,应当理解,任何合适的调整技术可用于不同通道中的校准电路中,包括使用本领域中已知的技术。

[0045] 无论校准值如何施加到电路,该值都可被选择以便均衡穿过通道的延迟。要确定合适的值,可采用技术来测量一个或多个通道中的相对延迟。图2示出了可用于测量相对延迟的常规校准电路。图2的校准电路具有有时被描述为环形振荡器低频率或“RLF”环路的配置。要测量电路路径 $P_1$ 中的延迟,将电路路径切换到环路210。在该例子中,电路路径 $P_1$ 可通过开关 $S_1$ 和 $S_2$ 的合适的配置而被切换到环路210。当电路路径 $P_1$ 未被切换到环路210时,电路路径 $P_0$ 可连接成环路210。

[0046] 在该例子中,路径 $P_0$ 被示为不包括电路元件。因此,虽然电路路径 $P_1$ 在切换到环路210时可包括引入传播延迟的电路元件,但是电路 $P_0$ 被示为没有引入延迟并且可充当基准电路路径。环路210的行为可在存在包括在环路中的电路路径 $P_1$ 和不存在环路中的该电路路径的情况下测量。因此,电路路径 $P_1$ 对环路210的操作的影响可通过测量来确定,其中电路路径 $P_1$ 切换到环路,并且电路路径 $P_0$ 切换到环路。这些测量之间的差异可指示电路路径 $P_1$ 的影响。具体地讲,该差异可表示通过将路径 $P_1$ 切换到环路而引入的延迟。

[0047] 在该例子中,路径 $P_0$ 被示为不包括电路元件。路径 $P_0$ 用作基准路径 $P$ ,使得由其他路径引入的延迟可相对于由路径 $P_0$ 引入的延迟的量而测量。应当理解,无论路径 $P_0$ 是否引入延迟,相对延迟都可被测量。因此,基准路径 $P_0$ 的具体构成并非是示于图2中的延迟测量电路的操作的关键。

[0048] 在图2的例子中,被测量的环路210的特征是信号围绕环路210传播所需的时间量。信号在环路中可以任何合适的方式启动。在一些实施例中,信号诸如脉冲可通过图2中未明确示出的输入元件注入环路210中。在其他实施例中,环路210可为内在地不稳定,使得信号在没有任何明确输入的情况下在环路210中被电子噪声启动。

[0049] 无论信号在环路中以何种方式被启动,环路210的其他部件都可被配置为保持信号围绕环路210传播。在该例子中,其他部件包括延迟链212。延迟链212由反相器212<sub>1</sub>、212<sub>2</sub>和212<sub>3</sub>构成。虽然示出了三个反相器,但是应当理解,任何合适数量的反相器均可包括在延迟链212中。另外,虽然示出了反相器,但是应当理解,任何合适的部件均可包括在延迟链212中。

[0050] 在该例子中,延迟链212中的元件被选择以使得输入到延迟链212的信号产生延迟链212的反相的输出,并且当在电路路径 $P_1$ 的输入上施加时,导致电路路径 $P_1$ 再次输出相对于其原始输出反相的信号。再次重复相同过程导致电路路径 $P_1$ 的输出信号与其原始输出是相同极性的。该过程可以无限期地重复,其中信号及其反相周期性地传递环路210中的任何特定点,其中周期等于围绕上升边缘的环路的传播延迟与下降边缘的传播延迟的总和。出现在任何特定点的信号之间的时间将取决于环路210周围的信号的传播延迟。

[0051] 在电路路径 $P_1$ 切换到环路210的情况下,信号之间的周期将比在基准电路路径 $P_0$ 切换到环路210时更长。通过测量在路径 $P_1$ 包括在环路中时相对于在基准电路路径 $P_0$ 包括在环路中时的信号的周期中的改变,与将电路路径 $P_1$ 切换到环路相关的延迟的增加可被确定。

[0052] 延迟的量将与信号穿过环路210的周期的增加有关。要测量该周期,图2的校准电路包括周期计数器220。周期计数器220可以任何合适的方式实施。在该例子中,周期计数器220是由离开延迟链212的信号计时的计数器。要确定该周期,可使计数器工作已知的时间间隔。该间隔除以计数的信号的数目得出围绕环路210传递的信号之间的时间的指示。

[0053] 延迟链212可以任何合适的方式构造以确保信号离开电路路径 $P_1$ ,然后将该信号输入到延迟链212,使得延迟链212的输出可被施加到电路路径 $P_1$ ,从而导致其再生信号。在示出的实施例中,延迟链212包括奇数个数的反相器元件。该配置反转电路路径 $P_1$ 的输入,其反转电路路径 $P_1$ 的输出。如果电路路径 $P_1$ 响应于反相输入而输出非反相型式的信号,则该操作可能是合适的。但是,应当理解,延迟链212可具有任何合适的配置,并且可根据电路路径 $P_1$ 的操作来选择具体配置。

[0054] 校准操作可由任何合适的电路控制。在该例子中,示出了校准处理器230。校准处

理器230可代表装入自动测试系统中的电路部件。作为另外一种选择或除此之外,校准处理器230可实施为通用计算机的一部分,该通用计算机被编程以操作测试系统,诸如测试系统100(图1A)。

[0055] 无论校准处理器230的具体实施为何,校准处理器230都可工作以将基准路径 $P_0$ 连接到环路210中,并且控制周期计数器220以测量在环路210内振荡的信号的周期。校准处理器230可捕集该值,并且然后操作开关 $S_1$ 和开关 $S_2$ 以从环路210断开基准路径 $P_0$ ,并且在环路210中连接电路路径 $P_1$ 。然后校准处理器230可再次读取周期计数器220的输出。通过比较周期计数器220的输出与环路210中的基准路径 $P_0$ 和电路路径 $P_1$ ,校准处理器230可确定相对于与电路路径 $P_1$ 相关的基准延迟量的延迟量。校准处理器230根据该计算出的延迟量确定电路路径 $P_1$ 的一个或多个校准值。校准处理器230可被编程以计算校准值,使得当施加到电路路径 $P_1$ 时,穿过电路路径 $P_1$ 的延迟实现一些标称值。校准处理器230可以任何合适的方式计算校准值,包括通过迭代过程,在该过程下,校准处理器230将不同校准值编程到电路路径 $P_1$ 中,直至测得的延迟等于标称值。

[0056] 虽然图2中未明确示出,但是校准电路可被配置为连接环路210内的多个电路路径。校准处理可能需要为每个路径设置校准值以实现所有电路路径中的相等延迟。以这种方式,补偿可被提供以用于不同传播延迟,切换速度或其他效果,所述效果在电路路径的不同电路路径中可能不同地影响传播延迟。

[0057] 图2中的校准电路使用常规校准技术。本发明人已经认识到并且理解,通过调整图2的电路,边缘敏感延迟可被测量。通过这些测量,可执行边缘敏感校准。图3示出了被配置用于边缘敏感延迟测量和边缘敏感校准的校准电路的实施例。

[0058] 图3的校准电路类似地包括基准电路路径 $P_0$ ,并且在电路路径 $P_1$ 中,其中延迟可相对于基准电路路径 $P_0$ 测量。路径中的任一者可通过开关 $S_1$ 和开关 $S_2$ 的操作被切换到环路310。图3的校准电路类似地通过使信号围绕环路310重复地传播来进行操作。因此,电路路径 $P_1$ 中的相对延迟可通过确定信号围绕环路310传播的周期来测量。因此,周期计数器220可耦合到环路310。周期计数器220的输出可通过校准处理器330读取。与校准处理器230相同,校准处理器330可被编程以测量穿过一个或多个电路路径的延迟并且确定适用于该电路路径的校准值,以便实现所需的延迟。可对多个电路路径执行该过程以均衡穿过该路径的延迟。

[0059] 然而,与示于图2中的配置电路相反,校准处理器330可被配置为确定校准值,该校准值设置传播穿过电路路径 $P_1$ 的特定类型的边缘的延迟。例如,校准处理器330可确定与传播穿过电路路径 $P_1$ 的上升边缘相关的延迟。在其他情况下,校准处理器330可设置校准值以校准穿过电路路径 $P_1$ 的下降边缘的延迟。进一步的可能性是,校准处理器330可单独地测量与传播穿过电路路径 $P_1$ 的上升边缘和下降边缘相关的延迟,并且设置校准值以实现上升边缘和下降边缘中的每一者的所需的传播延迟。对于其他电路路径可重复相同处理,从而提供多个电路路径的边缘敏感校准。

[0060] 在示出的实施例中,校准处理器330能够通过结合环路310内的边缘触发元件来测量边缘敏感延迟。边缘触发元件响应在其输入处的触发边缘。触发边缘可为上升边缘或下降边缘。在一些实施例中,单触发边缘触发元件312可以是可配置的,以便在任何给定时间响应上升边缘或下降边缘,但不是两者都响应。利用环路310中的这种边缘触发元件,校准

处理器可通过将边缘触发元件配置为响应上升边缘来校准上升边缘的电路路径P<sub>1</sub>。然后校准处理器330可将边缘触发元件重新配置为响应下降边缘,并且重复与下降边缘的传播相关的延迟校准的延迟测量。

[0061] 在图3的例子中,环路310内的边缘触发元件是单触发边缘触发元件312。响应于在其输入处接收触发边缘,单触发边缘触发元件312可在其输出处产生脉冲。脉冲的宽度可取决于单触发边缘触发元件312的设计,并且可与单触发边缘触发元件312的输入信号的格式无关。环路310可被配置为使得每个脉冲由单触发边缘触发元件312输出,并且然后作为输入施加到电路路径P<sub>1</sub>,使得电路路径P<sub>1</sub>输出包括另一个触发边缘的信号。以这种方式,单触发边缘触发元件312通过其重复输出脉冲的过程被启动。与环路210一样,这些脉冲的周期可取决于穿过组成环路310的元件的延迟。

[0062] 单触发边缘触发元件312可以任何合适的方式构造。然而,本发明人已经认识到并且理解,传统单触发电路可导致最初存在的环路信号消失,并且基于改进的SR触发器设计的实施在一些实施例中可能是优选的。SR触发器具有置位输入S和复位输入R。在标准SR触发器中,当S输入被断言(is asserted)时,触发器的输出被断言。相反,当复位输入被断言时,输出被去断言(is de-asserted)。当S输入或R输入中没有一者被断言时,SR触发器保持其状态。在标准SR触发器中,断言S输入和R输入两者不是有效操作。因此,如果S输入和R输入在标准SR触发器中被同时断言,则输出是不确定的。不确定输出的例子是处于逻辑高电平与逻辑低电平之间的状态。一般来讲,不确定输出状态是导致后续电路的不可预测行为的任何输出状态。

[0063] 图4示出了标准SR触发器的各种操作状态。时间线410示出了在标准SR触发器的S输入处的信号。时间线420示出了在SR触发器的R输入处的信号。在示出的例子中,边缘412指示S输入被断言的时间。因此,在时间线430上示出的输出具有相应的边缘432,该边缘432指示输出响应于S输入被断言而置位。

[0064] 相比之下,边缘422指示R输入被断言的时间的开始。因此,输出具有下降边缘434,其指示输出响应于R输入被断言而去断言。

[0065] 时间线440示出了真实边缘触发SR触发器的所需行为,其中输出响应于S输入和R输入中的触发边缘而置位或复位。真实SR触发的触发器中的输出可响应S信号或R信号中的最新触发边缘。当最新触发边缘出现在置位输入上时,真实SR触发的触发器的输出将被置位。当最新触发边缘在R输入上时,真实SR边缘触发的触发器的输出将被复位。

[0066] 时间线440示出了分别响应于S输入上的触发边缘412和R输入上的触发边缘422的行为。如响应于S输入上的上升边缘412而出现的边缘442所示,在时间线440上示出的真实SR边缘触发的触发器的输出被断言。如响应于R输入的触发边缘422而出现的下降边缘444所示,真实SR边缘触发的触发器的输出被去断言。在其中S输入和R输入不在同一时间出现的情况下,标准SR触发器的输出与真实SR边缘触发的触发器相同。然而,如果S输入和R输入在同一时间被断言,则标准SR触发器的操作可能不匹配真实SR边缘触发的触发器的操作。

[0067] 在示出的情况下,在R输入于边缘422处被断言之前,S输入被去断言,使得S输入和R输入不在同一时间被断言。只要S输入和R输入不同时被断言,标准SR触发器便表现出边缘触发的行为,其中输出响应于S输入上的上升边缘而被断言,并且响应于复位输入上的上升边缘而被去断言。S输入和R输入的其他组合被示出,其中S输入和R输入被同时断言。如果S

输入和R输入在同一时间被断言,则标准SR触发器可能不表现出真实边缘触发的行为。图4显示其中S输入和R输入同时出现的情况。这些情况可采取R输入与S输入部分重叠或S输入包围R输入的形式。重叠结合上升边缘414和424示出。

[0068] 时间线410包括S输入被断言处的边缘414。时间线420包括R输入被断言处的边缘424。与边缘422相反,边缘424出现在S输入仍被断言的时间 $T_1$ 处。因此,如时间线430上所示,虽然标准SR触发器的输出响应于S输入被断言而具有边缘436,但是标准SR触发器可保持该状态,仅到R输入被断言的时间 $T_1$ 为止。在时间 $T_1$ 处,持续直到时间 $T_2$ ,S输入和R输入两者均被断言。因此,标准SR触发器的输出在时间 $T_1$ 与时间 $T_2$ 之间是不确定的。但是,在时间 $T_2$ 处,因为R输入在时间 $T_2$ 处保持断言而S输入是去断言的,所以输出复位。

[0069] 时间线440表示现有技术的SR触发器的输出,其正确地响应在时间线410和420上示出的部分重叠的S输入和R输入。该锁存由R.A.Sartschev在专利US 6,291,981 B1中公开,该专利据此以引用方式并入。响应于S输入上的触发边缘414,真实SR边缘触发的触发器的输出示出了上升边缘446。现有技术的SR触发器的输出保持断言,直到在R输入上的下一个触发边缘,即触发边缘424在示出的例子中。因此,现有技术的SR触发器的输出响应于R输入上的触发边缘424而在时间 $T_1$ 处被去断言。

[0070] 时间线450表示真实SR边缘触发的触发器响应于在时间线410和420上示出的重叠S输入和R输入的所需行为,类似于现有技术的SR触发器的行为。响应于S输入上的触发边缘414,真实SR边缘触发的触发器的输出示出了上升边缘456。真实SR边缘触发的触发器的输出保持断言,直到在R输入上的下一个触发边缘,即触发边缘424在示出的例子中。因此,真实SR边缘触发的触发器的输出响应于R输入上的触发边缘424而在时间 $T_1$ 处被去断言。与其中输出在时间 $T_1$ 与时间 $T_2$ 之间的重叠期间是不确定的标准SR触发器相反,现有技术的SR触发器和真实SR边缘触发的触发器具有时间 $T_1$ 与时间 $T_2$ 之间的去断言的输出。

[0071] 如结合边缘416和426所示,S输入可包围R输入。在该例子中,S输入在边缘416处被断言,并且保持断言直到时间 $T_5$ 。R输入在由边缘426表示的时间 $T_3$ 被断言。R输入保持断言直到时间 $T_4$ 。在周围的情况中可以看出,标准SR触发器也不表现出其中触发器响应最新边缘的真实边缘触发的行为。可以看出,响应于S输入上的边缘416,输出用边缘438断言。该行为对应于其中输出取决于最新接收的边缘的真实边缘触发的SR触发器的行为。时间线440和450还示出该所需行为,其中上升边缘448和458分别表示响应于S输入的上升边缘416而被断言的输出。如在时间线440上所示,在现有技术的SR触发器中,并且在时间线450上,在真实边缘触发的SR触发器中,输出响应于R输入的下一个上升边缘而被去断言。该上升边缘被示为在时间 $T_3$ 出现的边缘426。因此,时间线440示出了现有技术的SR触发器的输出在时间 $T_3$ 被去断言,并且时间线450示出了真实SR触发的触发器的输出在时间 $T_3$ 被去断言。相比之下,对于常规SR触发器,当复位输入被S输入包围时,该所需行为可能不出现。可以看出,当R输入在上升边缘426处被断言时,S输入和R输入两者均在时间 $T_3$ 至时间 $T_4$ 期间被断言。不是如时间线440所示被复位,而是如时间线430所示,标准SR触发器的输出在时间 $T_3$ 与时间 $T_4$ 之间的时间中变得不确定。

[0072] 图4示出了当使用标准SR触发器时与所需行为的进一步偏差。在时间 $T_4$ 处,复位输入被去断言。然而,S输入保持断言直到时间 $T_5$ 。在时间 $T_4$ 与时间 $T_5$ 的间隔期间,标准SR触发器将具有断言输出,如时间线430所示。然而,时间 $T_4$ 没有置位输入的上升边缘出现。因此,

如时间线440中所示,真实边缘触发的SR触发器保持在时间 $T_4$ 与时间 $T_5$ 之间的复位状态中。

[0073] 在时间 $T_4$ 之前,现有技术的SR触发器的行为类似于真实边缘触发的SR触发器。在时间 $T_4$ 处,复位输入被去断言。然而,S输入在该时间断言,并且保持断言直到时间 $T_5$ 。如就标准SR触发器而言,在时间 $T_4$ 与时间 $T_5$ 的间隔期间,现有技术的SR触发器将具有断言输出,如时间线440所示。这是与所需真实边缘触发的行为的偏差。

[0074] 本发明人已经认识到并且理解,用于边缘敏感延迟测量的边缘触发元件,诸如边缘触发元件312(图3)可用具有在时间线440上示出的行为的真实SR触发器实施。图5示出了这种边缘触发元件的真值表。

[0075] 图5示出了在边缘敏感延迟测量电路中可用作边缘触发元件的一部分的真实边缘触发的SR触发器的真值表。边缘触发的SR触发器如同常规SR触发器,具有S输入和R输入。真实SR边缘触发的触发器具有输出Q。图5的真值表示出了在时间n处的输出Q的值。在时间n处的输出Q的值在标题为 $Q_n$ 的列中示出。在时间n处的S输入和R输入的值分别在标题为 $S_n$ 和 $R_n$ 的列中示出。图5还示出了在时间n之前的时间的输入值。在时间n之前的时间处的S输入和R输入的值分别在标题为 $S_{n-1}$ 和 $R_{n-1}$ 的列中示出。以这种方式,我们示出了在时间n和n-1处具有不同值的S输入和R输入上的转变。时间n在最新转变之后,而时间n-1在最新转变之前,并且只有最新转变出现在时间n-1与n之间。行512、514、516、518、520、521、522和524表示输入 $S_{n-1}$ 、 $R_{n-1}$ 、 $S_n$ 和 $R_n$ 的不同组合。行512和514指示其中置位输入和复位输入不重叠的操作状态。在行512中,S输入在时间n处被断言,如标题为 $S_n$ 的列中的1所指示,而R输入是恒定的并且去断言。响应于输入的该组合,输出在时间n处被断言,如标题为 $Q_n$ 的列中的1所指示。

[0076] 行514示出了当R输入在时间n处被断言而S输入是恒定的并且去断言时的行为。通过标题为 $Q_n$ 的列中的0可以看出,真实边缘触发的SR触发器的输出响应于输入的该组合而被去断言。

[0077] 行516指示其中在时间n处在S输入中存在上升边缘而R输入是恒定的并且断言的情况。通过标题为 $S_n$ 的列中的值1和标题为 $S_{n-1}$ 的列中的值0可以看出该上升边缘。断言输出由标题为 $Q_n$ 的列中的值1表示。

[0078] 行518示出了其中R输入的上升边缘在时间n处出现的情况。通过标题为 $R_n$ 的列中的1与标题为 $R_{n-1}$ 的列中的值0的比较可以看出该上升边缘。通过标题为 $S_n$ 和 $S_{n-1}$ 的两列中的值1可以看出,在置位输入中没有边缘出现。S输入是恒定的并且断言的。

[0079] 行520指示其中R输入在时间n处被去断言的情况,通过标题为 $R_n$ 的列中的0和标题为 $R_{n-1}$ 的列中的1可以看出。虽然在行520中所表示的输入包括在R输入上的在时间n处的边缘,但是在示出的实施例中,SR边缘触发的触发器对于上升边缘敏感。基于在行520中所表示的输入出现在时间n处的R输入中的边缘是下降边缘。因此,该边缘不复位触发器的状态。类似地,S输入上没有触发边缘,通过标题为 $S_n$ 和 $S_{n-1}$ 的两列中的1可以看出。因此,在时间n处,输出 $Q_n$ 与在时间n-1处相同。该输出由列 $Q_n$ 中的值 $Q_{n-1}$ 指示。

[0080] 行522类似地示出了这样的情况:其中没有触发边缘出现在时间n处,使得输出 $Q_n$ 由于R输入的转变涉及下降边缘而在 $Q_{n-1}$ 处保持其状态。

[0081] 复合行524类似地示出了其中没有触发边缘出现在时间n处的情况。在其中触发边缘为上升边缘的例子中,因为S输入和R输入两者在行524所示的状态中均为0,所以输出中没有变化出现在时间n处。因此, $Q_n$ 的值保持与标题为 $Q_n$ 的列中所指示的值 $Q_{n-1}$ 相同。

[0082] 根据图5的真值表进行操作的电路元件将实施真实SR边缘触发的触发器的行为。电路部件的任何合适的布置方式都可用于实施实现图5中所示的真值表的电路。图6提供了电路部件的合适的布置方式的例子。在该例子中,真实边缘触发的SR触发器用三个锁存实施,诸如Y锁存610、Y锁存612和Q锁存614。Y锁存610接收S输入和R输入。Y锁存612类似地接收S输入和R输入。然而,R输入在施加到Y锁存612时被反转。

[0083] Y锁存610输出Y和Y锁存612输出X被施加到Q锁存。另外,S输入和R输入由Q锁存接收以产生真实SR边缘触发的触发器600的输出Q。

[0084] 图7A示出了Y锁存610和Y锁存612的操作的真值表。从图7A的真值表可以看出,Y锁存610和Y锁存612的行为类似于SR触发器。然而,Y锁存610和Y锁存612的输出甚至在S输入和R输入两者同时被断言时也是决定性的。如图7A所示,如果置位输入和复位输入两者均被断言,则Y锁存保持其状态。该操作示于行720中。行714、716和718示出了其中S输入和R输入中至多一者被断言的操作状态。这些行表示与标准SR触发器相同的操作。当S输入被断言时,输出Y被断言,如行716所示。相反,当输入R被断言时,输出Y被去断言,如行718所指示。当S输入和R输入两者都未被断言时,输出Y保持其状态,如行714中的值 $Y_{n-1}$ 所指示。

[0085] 图7A还先显示了逻辑上等同于在相同行中的 $S_n$ 和 $R_n$ 的所指示的值的断言的列,其中一般来讲,\*代表逻辑与运算并且+代表逻辑或运算。虽然在该Y锁存表格中没有特定的简化是明显的,但是该记法可以阐明更复杂的真值表的含义,如对于Q锁存614将变得清楚。

[0086] 图7B示出了Q锁存614的操作的真值表。Q锁存614不表示与标准SR触发器相同的操作。如图7B所示,可以看出,当 $S*(X_b+Y_b)$ 或 $(NOT S) AND ((not X) OR (not Y))$ 被断言时,输出Q被断言,如复合行722所示。相反,当 $R*(X_b+Y)$ 或 $(NOT R) AND ((NOT X) OR (NOT Y))$ 被断言时,输出Q被去断言,如复合行724所指示。当 $(S_b+R_b)*X+S_b*R_b$ 或 $((NOT S) OR (NOT R)) AND X$ 或 $(NOT S) AND (NOT R)$ 被断言时,输出Q保持其状态,如行726中的 $Q_{n-1}$ 的值所指示。

[0087] 图6中的示例性电路与图7A和图7B中的真值表一起产生了图5中所示的完整真值表,表明其操作表示真实边缘触发的SR触发器的操作。

[0088] 在一些实施例中,Y锁存可被构造为使用类似于在形成标准SR触发器中使用的晶体管的布置方式。所设计的具体电路可适于适应行720中所示的操作状态。然而,任何合适的电路设计都可用于实现Y锁存。

[0089] 在一些实施例中,Q锁存可被构造为使用与Y锁存或标准SR触发器相似但是比其更复杂的晶体管的布置方式。具体电路可适于适应行722、724和726中所示的操作状态。然而,任何合适的电路设计都可用于实现Q锁存。

[0090] 无论真实边缘触发的触发器如何实现,这种器件都可用于边缘敏感延迟测量。图8示出了用于使用真实SR边缘触发的触发器来测量边缘敏感延迟的电路。图8的电路可用于测量任何一种或多种电路路径中的延迟。在示出的实施例中,示出了电路路径 $P_0 \cdots P_N$ 。电路路径 $P_0$ 可表示基准电路路径。其他电路路径,诸如电路路径 $P_1 \cdots P_N$ ,可以表示要校准以消除电路路径中的边缘敏感延迟差异的电路路径。

[0091] 电路路径 $P_1 \cdots P_N$ 的具体功能可能取决于其中图8的电路被应用的电子系统的性质。例如,如果结合测试系统100(图1A)应用,则电路路径 $P_1 \cdots P_N$ 中的每一者可表示自动测试系统的通道内的电路的一部分。由电路路径 $P_1 \cdots P_N$ 表示的部分,例如,由通用模式发生器控制的数字通道的部分示于图1B中。然而,应当理解,电路路径 $P_0 \cdots P_N$ 的该具体结构或功能并非

是本发明的关键,并且边缘敏感延迟测量和校准可采用任何合适类型的电路路径。

[0092] 与图3的实施例一样,其中延迟要被测量的路径可选择性地切换到环路810。在示于图8的例子中,该切换由解复用器822和复用器824实现。控制信号`r1f_pre_select`和`r1f_post_select`可分别施加到解复用器822和复用器824以控制连接成环路810中的那些电路路径 $P_0 \cdots P_N$ 。这些控制信号`r1f_pre_select`和`r1f_post_select`可由任何合适的部件产生,诸如校准处理器330(图3)。这些控制信号可被配置为使得解复用器822和复用器824唯一地选择电路路径 $P_0 \cdots P_N$ 中的一者。

[0093] 环路810可被配置为使得单触发边缘触发元件812包括在环路810中。对于灵活性而言,示于图8中的电路包括控制单触发边缘触发元件812是否包括在环路810中,以及甚至环路810是否形成的部件。控制环路是否形成的一个部件是与门826。

[0094] 与门826可基于输入`r1f_en`选择性地形成环路810。当耦合到与门826的第一输入的信号`r1f_en`被断言时,与门826的输出将取决于在与门826的第二输入上施加的信号的值。如果在与门826的第二输入上的信号被断言,则与门826的输出也将被断言。相反,如果在与门826的第二输入上的信号未被断言,则与门826的输出将类似地不被断言。以这种方式,当信号`r1f_en`被断言时,与门826将穿过在与门826的第二输入上的信号。

[0095] 如果信号`r1f_en`未被断言,则与门826的输出将保持在去断言状态中,无论在与门826的第二输入上的信号的状态如何。

[0096] 以这种方式,当信号`r1f_en`被断言时,与门826将选择性地传递复用器824的输出,允许环路810。当`r1f_en`未被断言时,将没有信号传播。

[0097] 信号`r1f_en`可由任何合适的部件控制,诸如由校准处理器330(图3)控制。当图8的电路用于延迟测量时,校准处理器330可断言`r1f_en`。当不用于延迟测量时,信号`r1f_en`可被去断言,以防止信号形成于环路810中,这可能妨碍其中图8的电路包括在内的电子器件的其他元件。

[0098] 图8还示出了可用于确定图8的电路是否提供边缘敏感延迟测量或常规延迟测量的部件或控制信号。在该例子中,环路810包括复用器828。复用器828被配置为选择信号以围绕环路810传播。在示出的情况中,复用器828从边缘触发元件812的输出与沿着路径814的信号之间进行选择。当复用器828被控制以选择边缘触发元件812的输出时,图8的电路将被配置为在与边缘触发元件812的触发边缘同步的时间围绕环路810传播信号。因此,通过操作复用器828,环路810可具有类似于环路310(图3)的配置,其提供边缘敏感延迟测量。

[0099] 相反,当复用器828选择路径814时,围绕环路810传播的信号中的一些延迟可沿着路径814形成。此外,环路810将具有由具有反相输入的解复用器822引起的反转。因此,当复用器828选择作为其输入路径814时,环路810可具有类似于环路210(图2)的配置。该环路被配置用于测量等于上升边缘的延迟和下降边缘的延迟的总和的延迟,所以是上升边缘和下降边缘的平均延迟的两倍,如在常规系统中。

[0100] 以这种方式,通过控制复用器828,图8的电路可被配置为进行常规延迟测量或可被配置为进行边缘敏感延迟测量。对于边缘敏感延迟测量,边缘触发元件812包括在环路中。对于常规延迟测量,不使用边缘触发元件812。因此,图8示出了施加到复用器828以控制边缘触发元件812是否包括在环路810中的控制信号还控制边缘触发元件812是否接收功率。如图所示,控制信号`r1f_edge_en`被配置为当复用器828选择电路路径814以用于包括在

环路810中禁用边缘触发元件812的功率。该功能是任选的,但是可能减小由装有图8的电路的电子器件消耗的功率,并且可能减少会妨碍电子器件的其他部分的操作的噪声的产生。信号r1f\_edge\_en可以任何合适的方式提供。但是,在一些实施例中,控制信号r1f\_edge\_en可由校准处理器提供,诸如校准处理器330(图3)。为简单起见,图8中没有其他功率减小选项示出,但是这种选项可在激活时在不改变电路的基本操作的情况下被添加。

[0101] 边缘触发元件812可以任何合适的方式实现。在示出的实施例中,边缘触发元件包括真实RS边缘触发的触发器832。真实RS边缘触发的触发器832可实现如图5中所示的真值表。这种部件可用示于图6中的电路结构实现。然而,可以使用任何合适的边缘触发元件。在RS边缘触发的触发器832的例子中,包括R输入和S输入。电路部件可与触发器832一起使用以控制其操作。与门836和838分别连接到R输入和S输入。与门836和838可被控制以选择性地允许或阻止信号被施加到R输入和S输入。在图8的例子中,控制信号r1f\_edge\_start被提供作为与门836和838中的每一者的输入。当信号r1f\_edge\_start被断言时,与门836和838将传递被施加到与门836和838中的每一者的其他输入的任何信号。相反,当控制信号r1f\_edge\_start被去断言时,与门836和838将使与门836和838的输出保持在去断言状态中。因此,没有边缘将耦合到真实RS边缘触发的触发器832的R输入和S输入,并且触发器832将不改变状态,从而有效地使边缘触发元件812不能产生任何输出。

[0102] 此外,当ref\_edge\_start被断言时,为了禁用目的使用两个与门可形成定义明确的初始状态 $(S,R) = (0,0)$ 。应当注意,Q的初始状态可能是未知的,特别是如果边缘触发的单触发812刚刚加电。一旦系统因此被启用,并且假设外部环路选择已经进行,则S输入和R输入中仅有一者将断言,是哪一者取决于Q的初始状态。这避免了不期望的初始状态 $(S,R,Q) = (1,1,0)$ ,如果回到输入R的路径834具有比回到输入S的环路更短的延迟,所述状态可发展成 $(S,R,Q) = (1,0,0)$ ,这涉及要测量的外部延迟。状态 $(S,R,Q) = (1,0,0)$ 是不引起周期信号的触发器832的稳定状态。

[0103] 在示于图8的实施例中,边缘触发元件812是单触发边缘触发元件。响应于在输入处施加到边缘触发元件812的触发边缘,边缘触发元件812的输出将为具有与输入的触发边缘同步的相似触发边缘的脉冲。该脉冲将具有由单触发边缘触发元件812的操作确定的持续时间。在示于图8的实施例中,固定持续时间的脉冲由真实RS边缘触发的触发器832的输出与r输入之间的反馈路径中的延迟元件834形成。在示出的实施例中,真实RS边缘触发的触发器832在上升边缘上被触发。因此,施加在S输入处的上升边缘将导致输出Q被断言。该断言值将穿过延迟元件834传播,在R输入处呈现出上升边缘。在R输入处的上升边缘将去断言输出Q。因为触发器832是真实RS边缘触发的触发器,所以输出Q将在于R输入处接收触发边缘时被去断言,无论S输入的状态如何。该R输入将在S输入上的触发边缘被延迟元件834中的延迟的量确定之后的一定量时间被接收。因此,由延迟元件834引入的延迟的量响应于真实RS边缘触发的触发器832的S输入上的上升边缘来控制Q输出上的脉冲的宽度。

[0104] 可以任何合适的方式通过延迟元件834引入任何合适的量的延迟。在一些实施例中,延迟元件834可被构造为少量的逻辑门,类似于引入延迟的延迟链212(图2)或其他电路,在该情况下没有网络反相。

[0105] 在示出的实施例中,RS边缘触发的触发器832在施加到其S输入的上升边缘上被触发。然而,边缘触发元件812可被控制以响应任何合适的触发边缘。触发边缘可为上升边缘

或下降边缘。此外,因为边缘触发元件812是可配置的,所以其可被配置为在一些时候响应上升边缘而在其他时候响应下降边缘。该功能允许相同电路用于测量,因此校准与上升边缘或下降边缘中的一者或其两者相关的边缘敏感延迟。

[0106] 对边缘触发元件812的触发边缘的极性的控制可通过控制信号`r1f_edge_pol`实现。在示出的实施例中,当信号`r1f_edge_pol`被去断言时,边缘触发元件812的输入上的上升边缘通过异或门842耦合到真实RS边缘触发的触发器832的S输入作为上升边缘。在该状态中,边缘触发元件812响应上升边缘。相反,当控制信号`r1f_edge_pol`被断言时,异或门842运算以反转边缘触发元件812的输入。因此,在边缘触发元件812的输入上的下降边缘耦合到真实RS边缘触发的触发器832的S输入作为上升边缘,但是在边缘触发元件812的输入上的上升边缘通过作为下降边缘耦合。以这种方式,真实RS边缘触发的触发器832响应在边缘触发元件812的输入上的下降边缘。

[0107] 类似地极性反转出现在真实RS边缘触发的触发器832的输出处。当控制信号`r1f_edge_pol`被去断言时,异或门844通过真实RS边缘触发的触发器832的输出耦合。因此,在RS边缘触发元件832的Q输出上的上升边缘作为在边缘触发元件812的输出上的上升边缘出现。相反,当控制信号`r1f_edge_pol`被断言时,异或门844反转在真实RS边缘触发的触发器832的输出Q处的值。以这种方式,下降边缘与充当边缘触发元件812的触发边缘的下降边缘同步产生。然后该下降边缘通过环路810耦合返回。

[0108] 无论其中环路810内的部件配置的方式如何,信号都将围绕环路810传播,从而改变在围绕环路850的信号的每次传递的节点850处的状态。如上结合图2和3所述,这些传递之间的时间取决于环路810中的总延迟。因此,在节点850处检测到的信号之间的周期指示出由切换到环路810的电路路径 $P_0 \cdots P_N$ 中的一者引入到环路810中的延迟的量。时差可以任何合适的方式测量。在一些实施例中,可以使用周期计数器,诸如周期计数器220(图3)。

[0109] 但是,应当理解,周期与频率之间存在关系,使得可测量频率的任何元件也可用于测量围绕环路810传播的信号的连续传递之间的周期。因此,图8示出了节点850被耦合到频率计数器。但是,应当理解,直接或间接测量围绕环路810的信号的传播时间的任何部件可被耦合到节点850,或示于图8的电路中的任何其他合适的节点。

[0110] 以这种方式,示于图8中的电路可用作电子器件中的校准系统的一部分。示于图8中的控制信号可由校准处理器,诸如校准处理器330(图3)或任何其他合适的部件生成。校准处理器可生成信号以测量基准路径 $P_0$ 中的边缘敏感延迟和其他路径 $P_1 \cdots P_N$ 中的每一者中的边缘敏感延迟。校准处理器可基于所测得的传播延迟的差异选择电路路径 $P_1 \cdots P_N$ 中的每一者的校准值。所选择的值可调整上升边缘、下降边缘中的一者或其两者的边缘敏感延迟。如上结合图3所述,这些校准值然后可被施加到电路路径。但是,如上所述,图8的电路也可被控制以使用常规延迟测量技术测量穿过电路路径 $P_0 \cdots P_N$ 的延迟。因此,如上结合图2所述,校准处理器可被配置为作为替代地或可另增地测量穿过电路路径的不依赖于特定边缘的平均延迟,并且调整那些延迟。以这种方式,可在校准电路路径中的延迟中提供很大的灵活性。该灵活性使本文所述的延迟测量和校准技术能够应用于许多类型的系统中。例如,本文所述的校准技术可在半导体器件的制造过程中使用。时序准确性在系统测试器件中在其制造过程中可能是有价值的,因为时序的不准确度增加了半导体器件的数量,所述半导体器件实际上在规范内进行操作,但是被归类为操作不当。例如,如果预期响应在大约预期时间

被检测到,测试系统仍然可将半导体器件标记为有故障的或有问题的,如果测试系统不能准确地确定该响应出现的实际时间是否在按照器件规范允许的时间窗口内。当预期响应的测量时间比测试系统的时序准确性更靠近允许的窗口的末端时,该器件可被标记为有故障的。

[0111] 可通过更好的校准实现的更好的时序准确性可减少落入该类别的器件的数量。更好的校准可由本文所述的边缘敏感校准的方法提供,该技术可用于校准用作半导体器件的制造的一部分的自动测试设备。制造过程中的操作然后可以根据测试结果有条件地执行。

[0112] 有条件的操作可涉及单独的器件,或者可涉及整个制造过程。例如,测试结果有时用于制造过程中以将单独的器件“放入箱中”。在一些情况下,可对应于良好器件或不良器件提供两个箱。通过所有测试的器件可被分配到良好箱中并且可被进一步处理,诸如通过将它们密封在器件封装中并且制备它们以用于运送给顾客。相反,未能通过一个或多个测试的器件可在其中它们可能随后从制造流程被移除和丢弃的点处标记以用于随后的识别。

[0113] 在一些情况下,可提供两个以上的箱,以对应于性能的多个等级。例如,一种器件,可在低频率下操作时通过所有测试,但是可在更高的频率下操作时未能通过测试。这种器件可被分配到低速箱。该器件可不同于具有完全功能的器件来封装和标记,使得该器件可作为低速器件出售。对于包含存储器阵列的器件,可执行类似的放入箱中的操作。在测试过程中显露的器件上的存储器阵列中的缺陷可限制存储器阵列的可用大小。这种器件仍然可放入箱中以用于后续的标记和作为具有较小存储器阵列的器件出售。

[0114] 其他类型的操作也可根据测试结果有条件地执行。例如,一些器件可用冗余电路制造。测试可以显露出缺陷,该缺陷可通过用冗余电路替换故障电路来修复。测试结果可用于有条件地将有缺陷但是可修复的器件路由到修理站,其中器件上的改变可导致具有完全功能的器件,或者至少可出售的带有降低性能规格的器件。

[0115] 根据测试结果有条件地采取的其他操作可影响整个制造过程。例如,揭示出生产线速率中逐渐增长的故障的测试结果可能表示被污染的或需要调整的一件设备。因此,根据测试结果采取的有条件的操作可包括清洁或调整制造设备。

[0116] 以上描述本发明的至少一个实施例的多个方面,应当理解本领域的技术人员可易于进行各种改变、修改和改进。

[0117] 例如,环路310内的单触发边缘触发元件312可以不涉及SR触发器的方式实现,诸如双输入与门中一个输入作为信号,而另一个输入作为输入信号的延迟和反转副本。这是没有内部存储器的简单组合电路。周所周知,对于足够长的输入脉冲,该电路可以产生宽度约等于反相输入的故意延迟的输出脉冲。然而,如果输入脉冲短于电路中的故意延迟,则该行为被修改。对于这种更短的输入,输出脉冲可达到的宽度约等于输入脉冲的宽度,而不是故意延迟的宽度。因此,对于短脉冲,该组合单触发电路的行为可能类似于纯延迟。如果图3中的电路路径P1具有比下降边缘信号更长的上升边缘信号的延迟,则其可能减小输入脉冲的宽度。因此,在所提到的简单单触发电路的输出处的一定宽度的脉冲可返回到其具有减小脉冲宽度的输入。在多次往返之后,一致的脉冲宽度减少可能导致信号完全消失。但是,该缺陷可通过添加脉冲展宽电路来消除。这种电路也是众所周知的,并且只要脉冲展宽量大于信号环路返回路径中的任何预期脉冲缩减,电路便可维持所需的持续振荡信号。这可能限制电路适用性的普遍性,因为根据要测量的预期延迟对设计的适应是必须的,但是其

可用于下列情形中,其中对要测量的延迟的脉冲宽度进行修改的行为具有足够的知识可用。

[0118] 作为另一个例子,响应上升边缘的电路被用作边缘触发电路的例子。应当理解,边缘触发电路可被设计为使得触发边缘可为上升边缘或下降边缘。

[0119] 作为另一个例子,应当理解,虽然本发明是结合用于半导体器件的制备的自动测试设备示出的,但本发明并不受此限制。本发明的实施例可结合用于任何合适类型的测试设备或用于其他类型的系统。

[0120] 作为又一个例子,周期计数器、校准处理器和任何必要的附加电路,如图1B和2所示,或它们的部分可在单个高度集成的电子电路或其他装置中实现,所述高度集成的电子电路是自动测试设备的一部分,所述其他装置需要单个延迟路径的校准。

[0121] 此类改变、修改和改进旨在作为本公开的一部分,并且被视为落入本发明的精神和范围内。此外,尽管指示出本发明的优点,但应当理解,并非本发明的每个实施例均将包括每个所述优点。一些实施例可能不实现本文中有利的任何所述特征。因此,上述的说明和附图仅作为举例的方式。

[0122] 可通过多个方式中的任一种实施本发明的上述实施例。例如,可使用硬件、软件或它们的组合来实施这些实施例。当在软件中控制时,该软件编码可在任何合适的处理器或处理器集合上执行,不论其是在单个计算机中提供还是分布在多个计算机中。此类处理器可作为集成电路实施,并且在集成电路组件中具有一个或多个处理器。然而,可使用任何合适形式的电路来控制处理器。

[0123] 另外,应当理解计算机可体现为多种形式中的任一种,例如机架式计算机、台式计算机、膝上型计算机或平板计算机。另外,计算机可嵌入通常未被视为计算机但具有合适的处理功能的装置,包括个人数字助理(PDA)、智能电话或任何其他合适的便携式或固定电子装置。

[0124] 另外,计算机可具有一个或多个输入和输出装置。此外,这些装置可用于提供用户界面。可用于提供用户界面的输出装置的范例包括用于视觉呈现输出的打印机或显示屏幕以及用于听觉呈现输出的扬声器或其他发声装置。可用于用户界面的输入装置的范例包括键盘和诸如鼠标、触控式面板和数字面板的指向装置。又如,计算机可通过语音识别或以其他听觉形式接收输入信息。

[0125] 此类计算机可用任何合适的形式通过一个或多个网络互连,包括局域网或广域网,诸如企业网络或互联网。此类网络可基于任何合适的技术且可根据任何合适的协议运行,并且可包括无线网络、有线网络或光纤网络。

[0126] 另外,本文所概述的各种方法或过程可由在一个或多个处理器上执行的软件控制,该处理器采用多种操作系统或平台中的任一种。另外,此类软件可使用多种合适的编程语言和/或编程或脚本工具编写,也可编译为可执行的机器语言编码或在框架或虚拟机上执行的中间编码。

[0127] 在这个方面,本发明可实施为由一个或多个程序编码的计算机可读存储介质(或多个计算机可读介质)(如,计算机存储器、一个或多个软盘,光盘(CD)、光碟、数字视频光盘(DVD)、磁带、快闪存储器、现场可编程门阵列或其他半导体器件中的电路配置、或其他有形的计算机存储介质),所述一个或多个程序当在一个或多个计算机或其他处理器上执行时

来执行实施本发明上述多种实施例的方法。从上述实例显而易见的是,计算机可读存储介质可将信息保持足够的时间,以提供非瞬时形式的计算机可执行指令。这种计算机可读存储介质可为可转移的,使得存储在其上的一个或多个程序能够被加载到一个或多个不同计算机或其他处理器上以实施本发明上述的多个方面。如本文所用,术语“计算机可读存储介质”仅涵盖可被视为产品(即,制品)或机器的计算机可读介质。作为另外一种选择或除此之外,本发明可实施为除计算机可读存储介质之外的计算机可读介质,例如,传播信号。

[0128] 本文所用的术语“程序”或“软件”在广义上指任何类型的计算机编码或者可用于对计算机或其他处理器进行编程以实施本发明上述多个方面的一组计算机可执行指令。另外,应当理解,根据本实施例的一个方面,当被执行时,实施本发明的方法的一个或多个计算机程序不需驻留在单个计算机或处理器上,但是可以模块化形式分布在多个不同的计算机或处理器中以实施本发明的多个方面。

[0129] 计算机可执行指令可以为由一个或多个计算机或其他装置执行的多种形式,例如程序模块。通常,程序模块包括执行特定任务或实施特定抽象数据类型的例程、程序、对象、组件、数据结构等。通常,程序模块的功能可按需要结合或分布在多个实施例中。

[0130] 可单独地、结合地或以在上述实施例中未特别讨论的各种配置方式使用本发明的多种方面,因此其应用不受限于上述说明所述或附图中所示的组件的细节和配置。例如,在一个实施例中所述的方面可用任何方式与其他实施例中所述的方面结合。

[0131] 另外,本发明可实施为一种方法,并且已提供其示例。作为该方法一部分的操作可用任何合适的方式进行排序。因此,可构建以不同于所示的顺序执行操作的实施例,其可包括同时执行一些操作,即使在示例性实施例中示为顺序执行的操作。

[0132] 在权利要求中使用诸如“第一”、“第二”、“第三”等序数术语修饰权利要求要件,其本身并不意味任何优先权、优先序或一个权利要求要件相对于另一个的顺序或执行方法操作的时间顺序,而是仅用作将具有某个名称的一个权利要求要件与另一个具有相同名称(除了使用的序数术语)的要件加以区分的标签,以辨别权利要求要件。

[0133] 另外,本文所用的短语和术语均是用于说明的目的,并且不应视为限制。本文中所使用的“包括”、“包含”或“具有”、“含有”、“涉及”和它们的变型形式均意味着涵盖其后所列的项目及其等同物以及额外的项目。

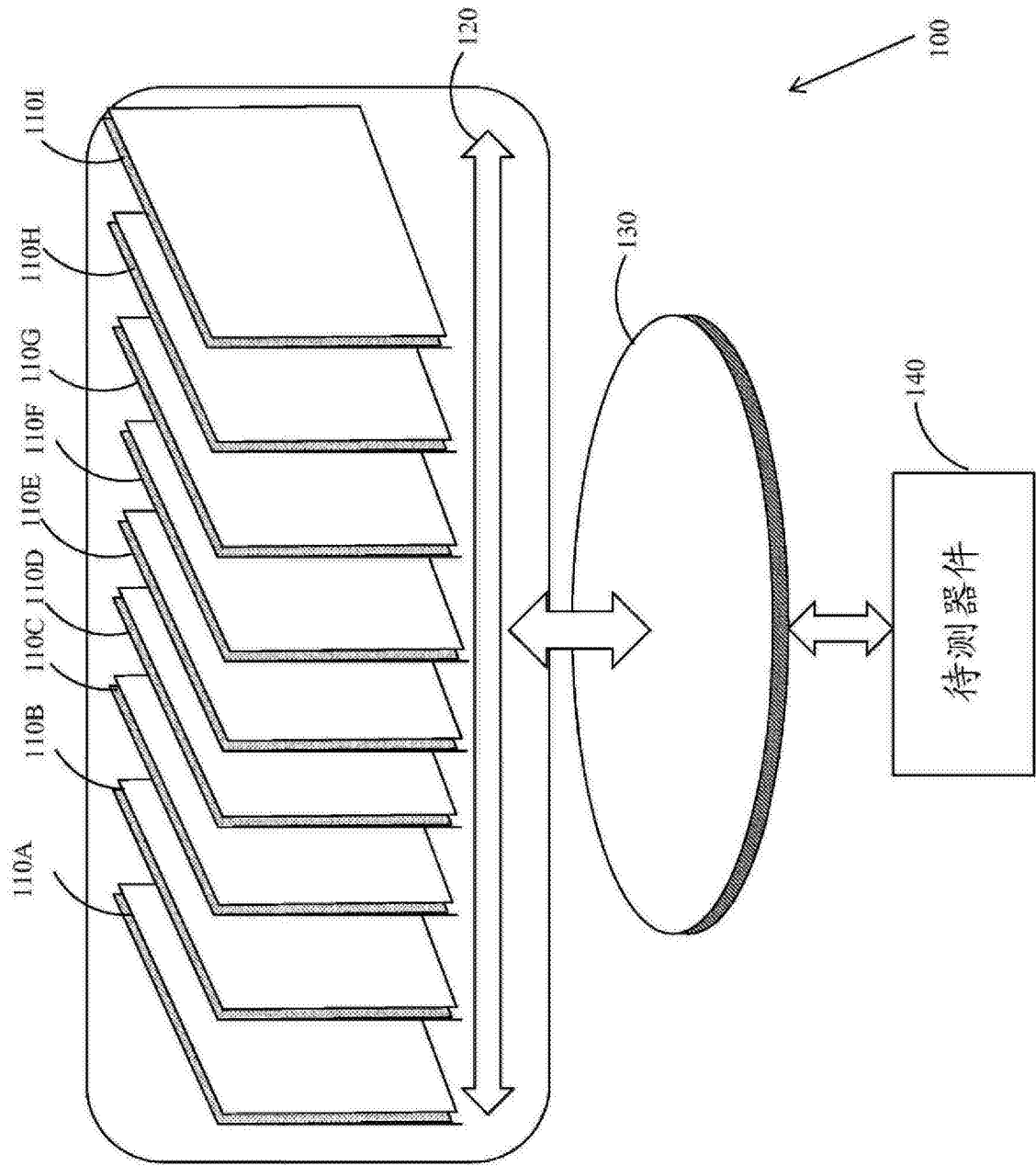


图1A

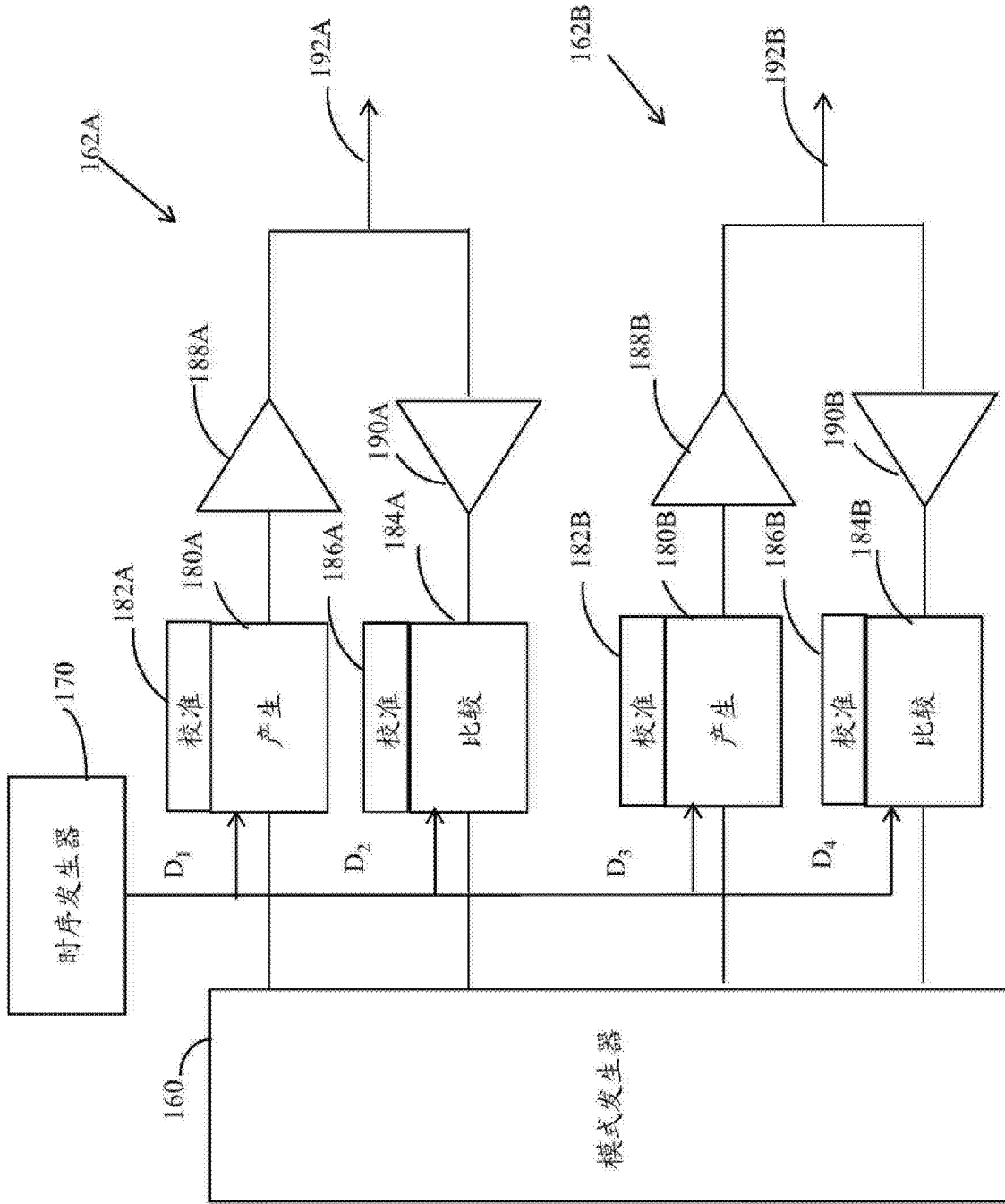


图1B

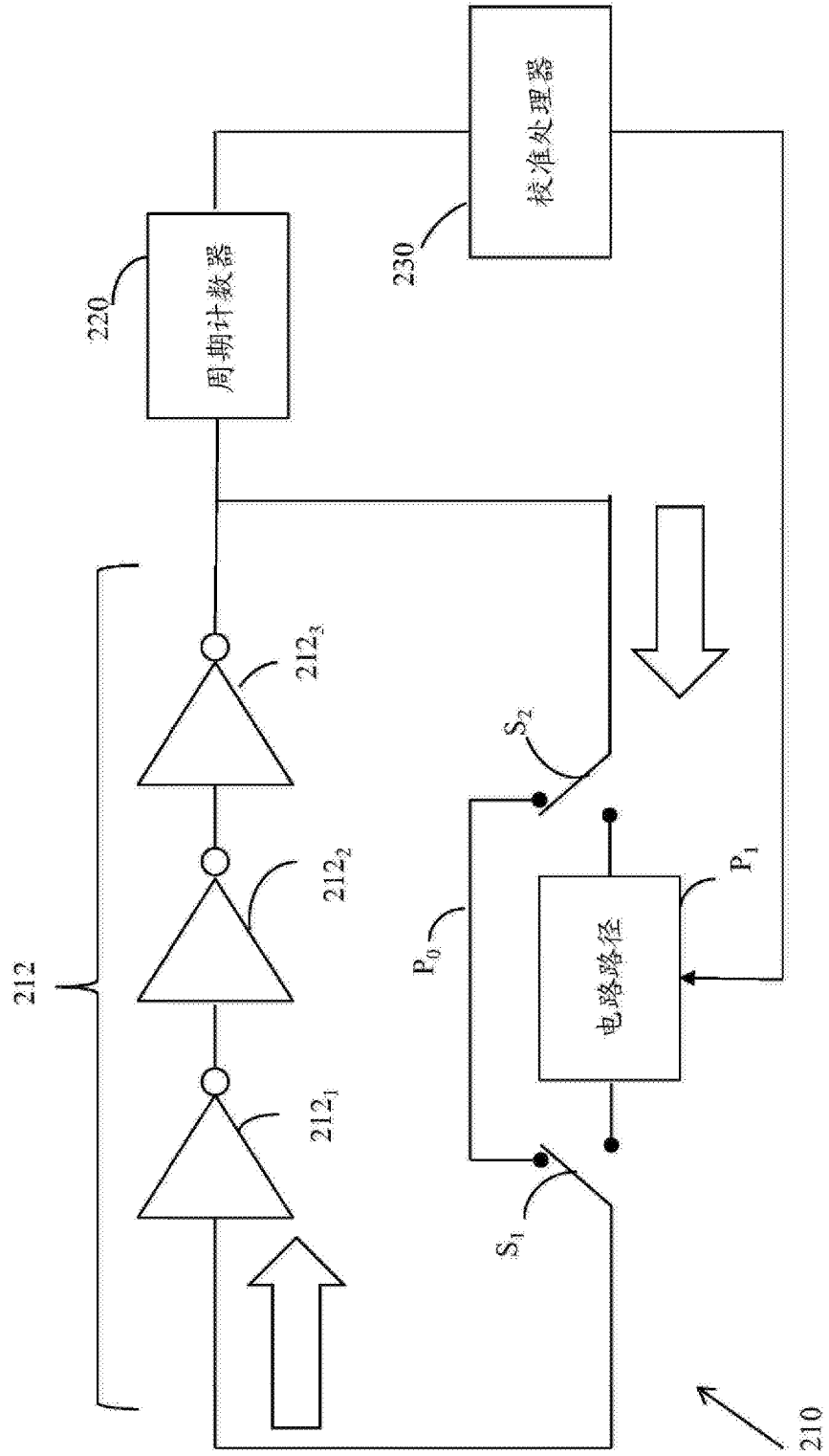


图2

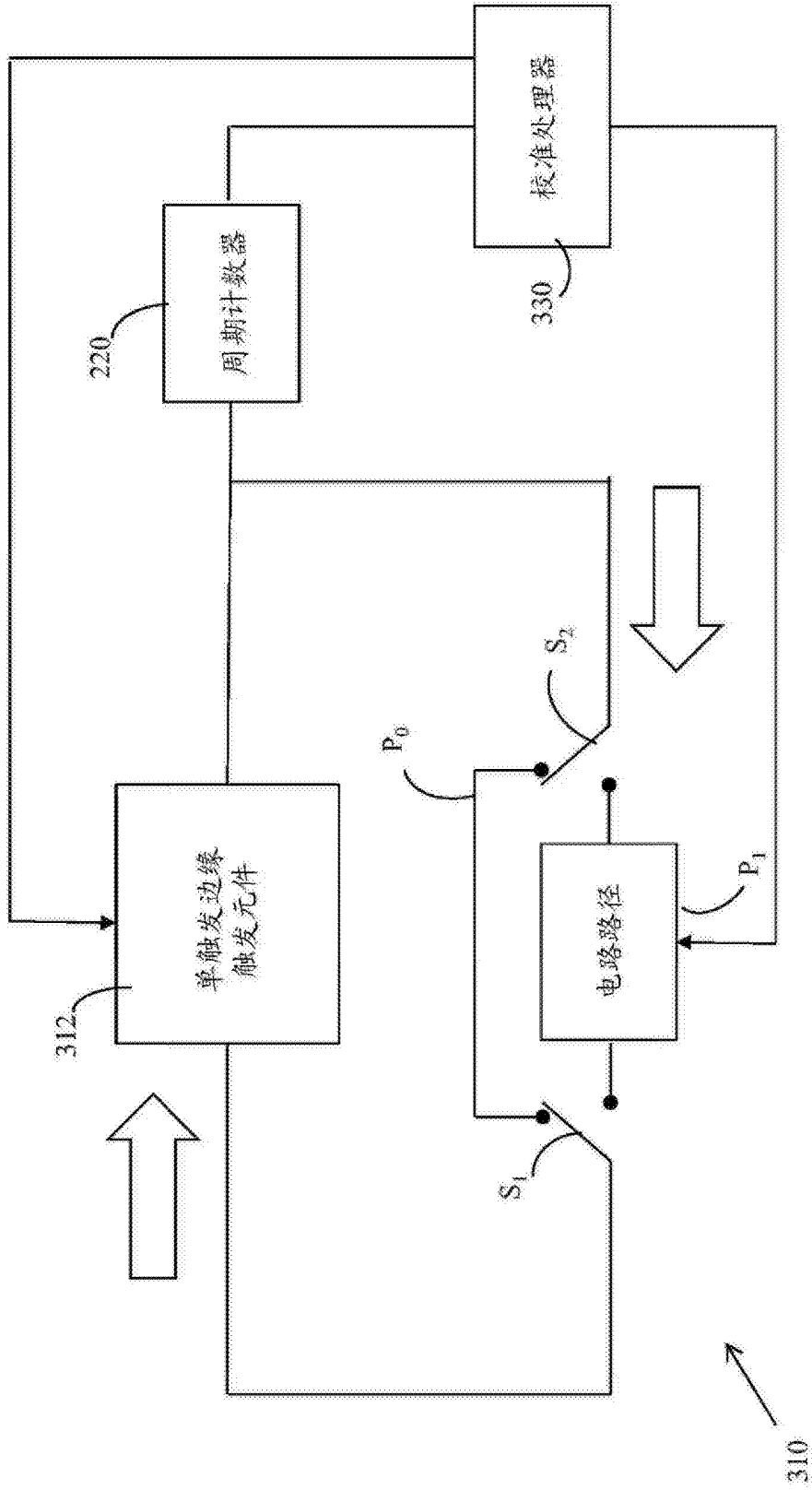


图3

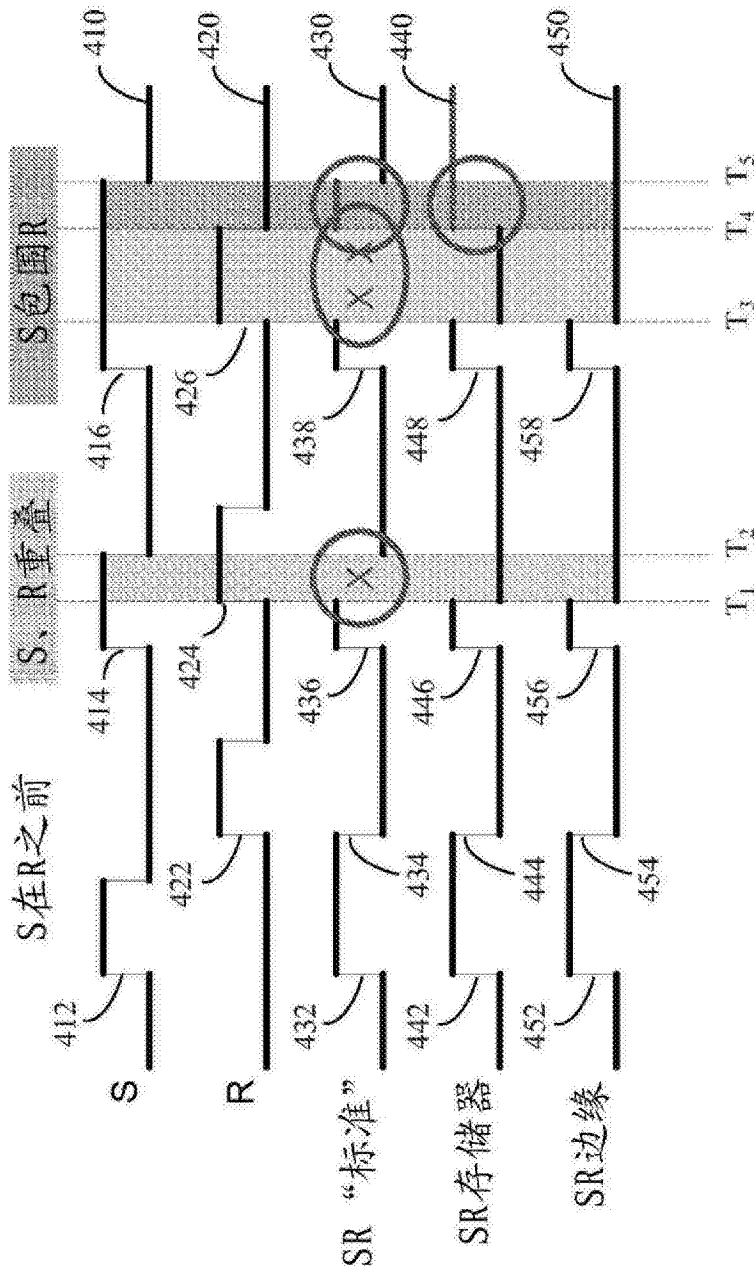


图4

允许重叠和包围S、R的SR边缘

Sn-1	Rn-1	Sn	Rn	SR边缘	Qn	注释
0	0	1	0	Qn	1	注解
0	0	0	1		0	复位
0	1	1	1		1	复位之后复位 (并且只要不返回00便复位)
1	0	1	1		0	复位之后复位 (并且只要不返回00便复位)
1	1	1	0		Qn-1	落到11之外以复位: 保持状态
1	1	0	1		Qn-1	落到11之外以复位: 保持状态
0	1	0	0		Qn-1	SR = 00: 保持
1	0	0	0		Qn-1	SR = 00: 保持

图5

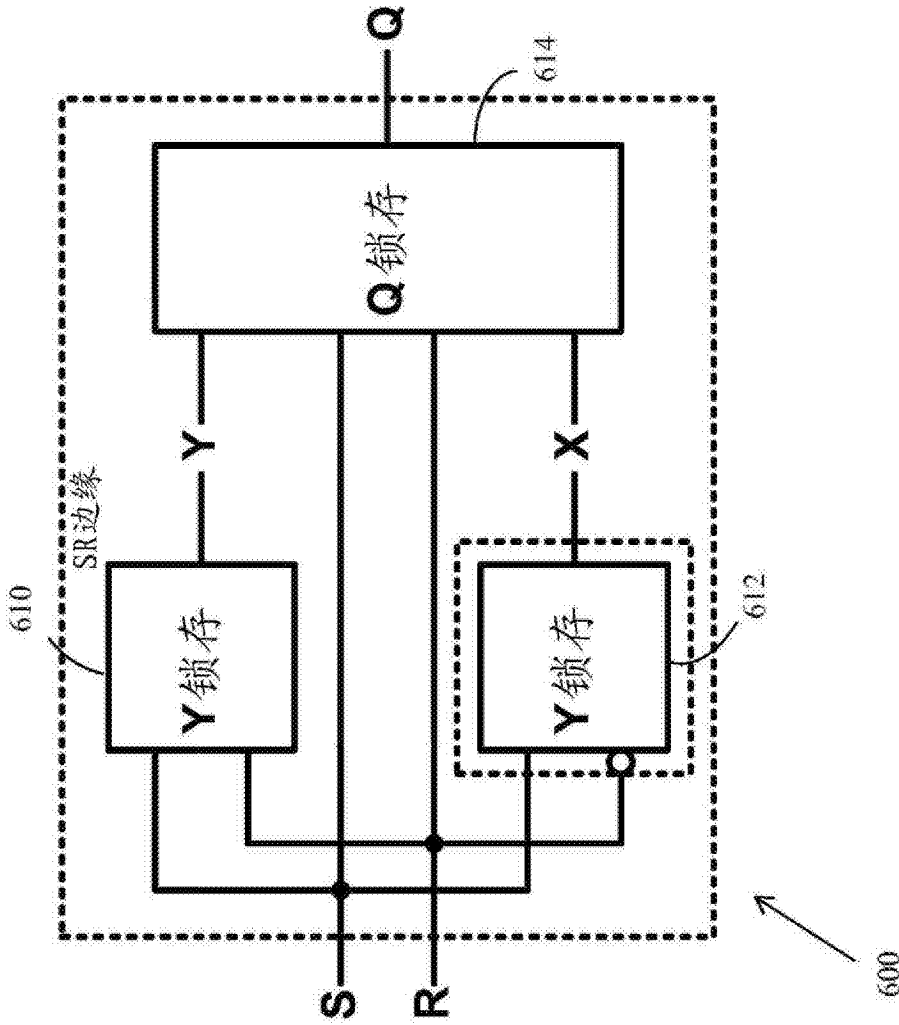


图6

Y锁存真值表:

等同输入断言	$S_n$	$R_n$	$Y_n$
$Snb * Rnb$	0	0	$Y_{n-1}$
$Sn * Rnb$	1	0	1
$Snb * Rn$	0	1	0
$Sn * Rn$	1	1	$Y_{n-1}$

714  
716  
718  
720

图7A

Q 锁存真值表:  
等同输入断言

	$S_n$	$R_n$	$Y_n$	$X_n$	$Q_n$
$S_n \cdot (X_{nb} + Y_{nb})$	1	x	0	x	1
	1	x	x	0	0
$R_n \cdot (X_{nb} + Y_n)$	x	1	1	x	0
	x	1	x	0	0
$(S_{nb} + R_{nb}) \cdot X_n + S_{nb} \cdot R_{nb}$	0	x	x	1	1
	x	0	x	1	1
	1	1	x	x	$Q_{n-1}$

722  
724  
726

图7B

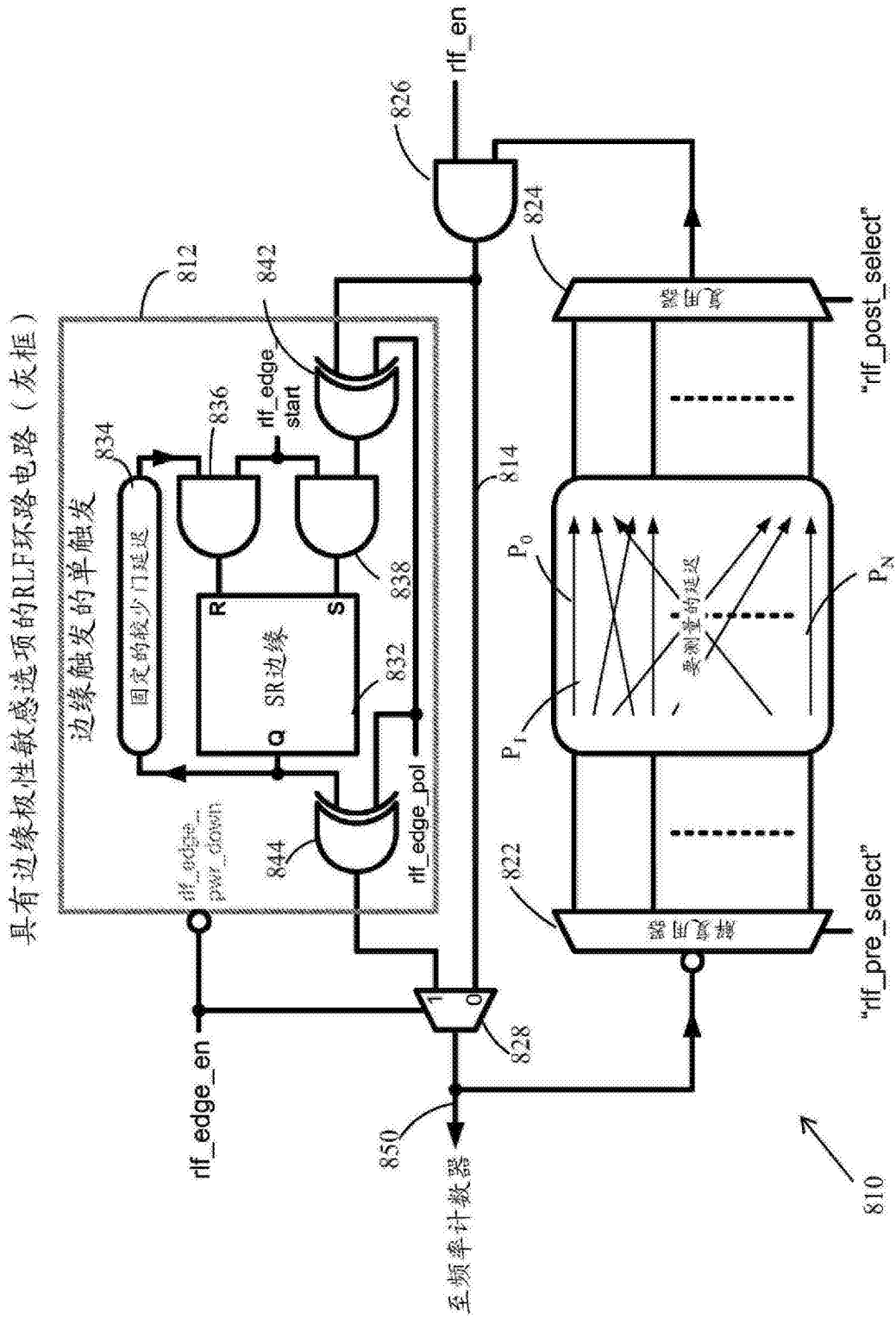


图8