(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[5]
H03K 19/00

(11) 공개번호 특1993-0011437
(43) 공개일자 1993년06월24일

(21) 출원번호 특1992-0021720
(22) 출원일자 1992년11월19일
(30) 우선권주장 91-796,455 1991년11월20일 미국(US)
(71) 출원인 내쇼날 세미컨덕터 코포레이션 존 엠. 클락
미합중국, 캘리포니아 95052-8090, 산타 클라라, 피.오.박스 58090, 엠/에스 16-135, 2900 세미컨덕터 드라이브
(72) 발명자 수산 엠. 케오운
미합중국, 메인 04102, 포틀랜드, 32 월코트 스트리트
로이 엘. 야브로우
미합중국, 메인 04041, 히람, 노치 로드
(74) 대리인 목돈상, 목영동

심사청구 : 없음

(54) 전력소모를 감소시키는 기능을 갖는 바이폴라-상보형 금속 산화물 반도체(BICMOS) 트랜지스터 트랜지스터 논리(TTL)회로

요약

BICMOS TTL 출력 버퍼 회로에 있어서, 바이폴라 출력 풀업 및 풀다운 트랜지스터(Q3,Q4,Q5)는 출력(VOUT)에서 전류를 발생시키고 싱크시킨다.

위상 반전시 트랜지스터(Q2,N4)는 활성 2상태 모드 동작시 입력(V_{IN})에 인가되는 데이타 신호에 응답하여 각각의 도통 상태를 제어하기 위해 상기 바이폴라 출력 풀업 및 풀다운 트랜지스터에 연결되어 있다. CMOS 3상태 트랜지스터(P1,P2,P4,N2)는 3상태 이네이블 입력(OE)에 인가되는 3상태 이네이블신호에 응답하여 상기 출력(V_{OUT})에서 불활성 3상태 모드를 구현하도록 3상태 회로를 형성한다.

정적 입력 전류(I_{CCI})전력 소모를 감소시키기 위하여, 입력 전력 스위치 CMOS 트랜지스터(N1,N4,P1A)는 입력 전류 경로를 거쳐 고전위 전력 레일(V_{CCI})에 연결되어 있다.

상기 입력 전력 스의치 CMOS 트랜지스터(N1,N4,P1A)의 제어 게이트 노드는 상기 활성 모드시 상기 입력(V_{IN})에 인가되는 데이타 신호에 응답하여 입력 전류(I_{CC})가 발생되는 것을 제어하여서 전력 소모를 감소시키도록 상기 입력(V_{IN})에 연결되어 있다. 바람직한 실시예에서는, 입력 전력 스위치 CMOS 트랜지스터(N4)는 교체용으로 상기 출력 풀업 및 풀다운 트랜지스터(Q3,Q4,Q5)사이에 연결되어 있으며 상기 입력(V_{IN})에 연결된 게이트 노드를 갖는 출력 버퍼 회로의 위상 반전기 트랜지스터를 포함한다. 2중 CMOS 위상 반전기 트랜지스터(N4,N3)는 또한 출력(V_{OUT}) 및 출력 풀다운 트랜지스터(Q5)사이에 존재하는 가속화 피드백 회로에 연결된 제2의 2중 CMOS 위상 반전기 트랜지스터(N3)를 갖고 있다.

대표도

도1

명세서

[발명의 명칭]

전력소모를 감소시키는 기능을 갖는 바이폴라-상보형 금속 산화물 반도체(BICMOS) 트랜지스터 트랜지스터 논리(TTL)회로

[도면의 간단한 설명]

제1도는 선행기술의 3 상태 BICMOS TTL 출력 버퍼 회로에 대한 개략적인 회로 다이어그램.

제2도는 본 발명에 따라 전력 소모를 감소시키기 위하여 데이타 경로에 입력 전력 스위치 상보형 금속 산화물 반도체(CMOS)트랜지스터를 합체한 반전형 3상태 BICMOS TTL 출력 버퍼 회로에 대한 개략적인 회로 다이어그램.

제2a도는 전력 소모를 감소시키는 기능을 갖는 비반전형 3상태 BICMOS TTL 출력 버퍼 회로를 제공하도록 변형된 제2도의 회로일부에 대한 개략적인 부분 회로 다이어그램.

제3도는 본 발명에 따른 2중 CMOS 위상 반전기 트랜지스터를 갖는 3상태 BICMOS TTL 출력 버퍼 회로에 대한 개략적인 회로 다이어그램.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

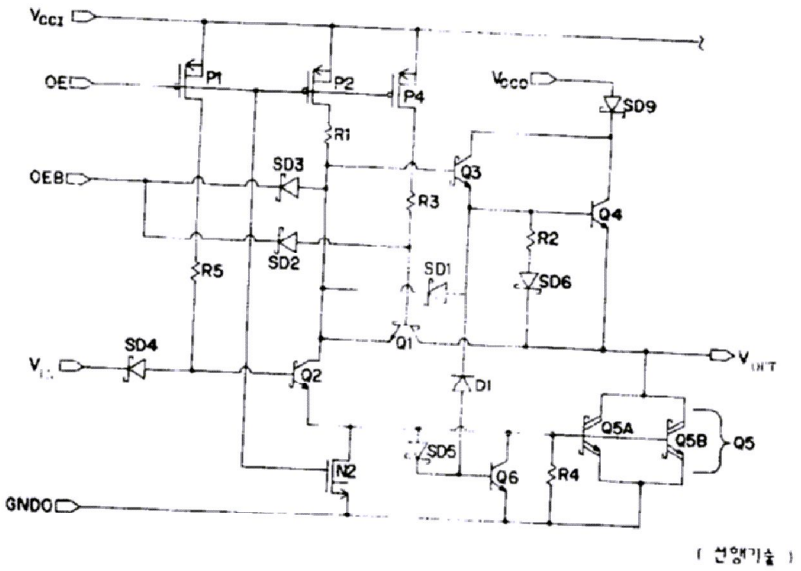
청구항 1

출력(V_{OUT})에서 전류를 발생시키고 싱크(sink)시키는 바이폴라 출력 풀업 및 풀다운 트랜지스터(Q3,Q4,Q5) 및 출력 버퍼 회로 동작의 활성 모드시 입력(V_{IN})에 인가되는 고전위 레벨 및 저전위 레벨의 데이타 신호에 응답하여 각각의 도통상태를 제어하도록 상기 바이폴라 출력 풀업 및 풀다운 트랜지스터에 연결된 위상 반전기 트랜지스터를 갖는 BICMOS TTL출력 버퍼 회로에 있어서, 상기 입력(V_{IN})에 연결된 제어 게이트노드를 지니며, 상기 출력 버퍼 회로로 입력 전류(I_{CC})가 발생되는 것을 제어하도록 고전위 전력 레일(V_{CCI})에 연결된 1차 전류경로를 지니고, 상기 활성 모드시 상기 입력(V_{IN})에 인가되는 데이타신호에 응답하여 입력 전류(I_{CC})를 감소시키는 입력 전력 스위치 CMOS 트랜지스터(N1,N4,P1A)를 포함하는 개선된 BICMOS TTL출력 버퍼 회로.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2

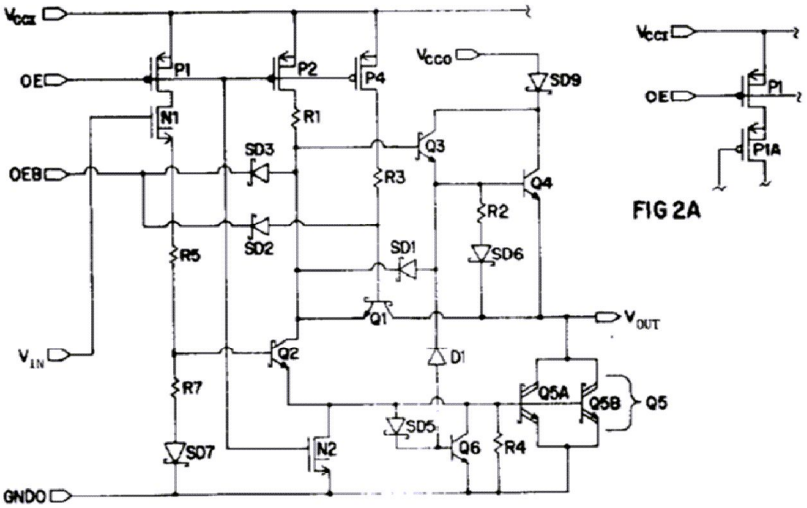


FIG 2A

도면3

