

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4830213号
(P4830213)

(45) 発行日 平成23年12月7日(2011.12.7)

(24) 登録日 平成23年9月30日(2011.9.30)

(51) Int.Cl.		F I		
HO 1 L 21/337	(2006.01)	HO 1 L 29/80		C
HO 1 L 29/808	(2006.01)	HO 1 L 29/80		V
HO 1 L 29/80	(2006.01)			

請求項の数 52 (全 40 頁)

(21) 出願番号	特願2001-151594 (P2001-151594)	(73) 特許権者	000004260
(22) 出願日	平成13年5月21日(2001.5.21)		株式会社デンソー
(65) 公開番号	特開2003-31591 (P2003-31591A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成15年1月31日(2003.1.31)	(74) 代理人	100100022
審査請求日	平成19年7月3日(2007.7.3)		弁理士 伊藤 洋二
(31) 優先権主張番号	特願2001-137822 (P2001-137822)	(74) 代理人	100108198
(32) 優先日	平成13年5月8日(2001.5.8)		弁理士 三浦 高広
(33) 優先権主張国	日本国(JP)	(74) 代理人	100111578
			弁理士 水野 史博
		(72) 発明者	ラジェシュ クマール
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(72) 発明者	鈴木 孝昌
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内

最終頁に続く

(54) 【発明の名称】 炭化珪素半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

炭化珪素からなる第1導電型の半導体基板(1)と、
前記半導体基板の主表面上に形成され、該半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)と、

前記半導体層の表層部の所定領域をチャンネルとし、前記半導体層の表層部において前記チャンネルの両側に配置されるように形成された第2導電型の第1ゲート領域(3)と、
前記半導体層及び前記第1ゲート領域の上に形成された第1導電型のチャンネル層(4)と、

前記チャンネル層内において、前記第1ゲート領域から離間するように形成された第2導電型の第2ゲート領域(6)と、

前記チャンネル層に形成された第1導電型の高濃度領域(5)と、
前記チャンネル層のうち前記第1ゲート領域の上に位置する部位に形成された第1導電型のソース領域(7)と、

前記チャンネル層の上又は前記チャンネル層の表層部において、前記第2ゲート領域と対向する部位を含むように形成された第2導電型の第3ゲート領域(8)と、

前記ソース領域および前記第1のゲート領域に電氣的に接続されたソース電極(11)と、

前記第3ゲート領域に電氣的に接続されたゲート電極(12)と、

前記半導体基板の裏面側に形成されたドレイン電極(14)とを有してなることを特徴

10

20

とする炭化珪素半導体装置。

【請求項 2】

前記第 2 ゲート領域は、前記ソース電極に接続された構成となっていることを特徴とする請求項 1 に記載の炭化珪素半導体装置。

【請求項 3】

前記第 1、第 2 ゲート領域とを電氣的に接続するように形成された第 2 導電型のコンタクト領域 (10) を有し、前記コンタクト領域を介して前記第 1、第 2 ゲート領域が前記ソース電極に接続された構成となっていることを特徴とする請求項 1 又は 2 に記載の炭化珪素半導体装置。

【請求項 4】

前記高濃度領域は、前記コンタクト領域から離れるように形成されていることを特徴とする請求項 3 に記載の炭化珪素半導体装置。

【請求項 5】

前記チャンネル層の表面から前記第 2 ゲート領域に達する凹部 (9) を有し、前記コンタクト領域は前記凹部の底部から前記第 1 ゲート領域に向かって延設された構成となっていることを特徴とする請求項 3 又は 4 に記載の炭化珪素半導体装置。

【請求項 6】

前記コンタクト領域が拡散されて形成された低濃度領域 (10a) が備えられており、該低濃度領域を介して前記第 2 ゲート領域が前記コンタクト領域と電氣的に接続された構成となっていることを特徴とする請求項 3 乃至 5 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 7】

前記低濃度領域に接するように前記高濃度領域が形成されていることを特徴とする請求項 6 に記載の炭化珪素半導体装置。

【請求項 8】

前記第 2 ゲート領域はフローティング状態とされていることを特徴とする請求項 1 に記載の炭化珪素半導体装置。

【請求項 9】

前記チャンネル層には、前記第 2 ゲート領域が形成された深さに達するトレンチ (30) が形成されており、

前記第 3 ゲート領域が前記トレンチ内において前記第 2 ゲート領域から離間するように配置されていると共に、該第 3 ゲート領域の表面上に前記ゲート電極が形成された構成となっていることを特徴とする請求項 1 乃至 8 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 10】

前記高濃度領域は、前記チャンネル層のうち前記トレンチの底部に位置する部位に形成されていることを特徴とする請求項 9 に記載の炭化珪素半導体装置。

【請求項 11】

炭化珪素からなる第 1 導電型の半導体基板 (1) と、

前記半導体基板の主表面上に形成され、該半導体基板よりも高抵抗な炭化珪素よりなる第 1 導電型の半導体層 (2) と、

前記半導体層の表層部の所定領域をチャンネルとし、前記半導体層の表層部において前記チャンネルの両側に配置されるように形成された第 2 導電型の第 1 ゲート領域 (3) と、

前記半導体層及び前記第 1 ゲート領域の上に形成された第 1 導電型のチャンネル層 (4) と、

前記チャンネル層のうち、前記チャンネルの両側における前記第 1 ゲート領域の上に位置する部位に形成された第 2 導電型の第 2 ゲート領域 (6) と、

前記チャンネル層に形成された第 1 導電型の高濃度領域 (5) と、

前記チャンネル層のうち前記第 1 ゲート領域の上に位置する部位に形成された第 1 導電型のソース領域 (7) と、

前記チャンネル層の上又は前記チャンネル層の表層部において、前記第 2 ゲート領域と対向

10

20

30

40

50

する部位を含むように形成された第2導電型の第3ゲート領域(8)と、
 前記ソース領域に電氣的に接続されたソース電極(11)と、
 前記第1ゲート領域に電氣的に接続された第1の電極(41)と、
 第2ゲート領域に電氣的に接続された第2の電極(42)と、
 前記第3ゲート領域に電氣的に接続された第3の電極(43)と、
 前記半導体基板の裏面側に形成されたドレイン電極(14)とを有してなることを特徴とする炭化珪素半導体装置。

【請求項12】

前記第1の電極は、前記ソース電極に接続された構成となっていることを特徴とする請求項11に記載の炭化珪素半導体装置。

10

【請求項13】

前記第2の電極と前記第3の電極とが電氣的に接続されており、前記第2ゲート領域の電位が前記第3ゲート領域の電位と共に制御されるように構成されていることを特徴とする請求項11又は12に記載の炭化珪素半導体装置。

【請求項14】

前記チャンネル層の表面から前記第1ゲート領域に向かって形成された凹部(9)を有し、前記凹部を通じて前記第1ゲート領域と前記ソース電極とが電氣的に接続された構成となっていることを特徴とする請求項11乃至13のいずれか1つに記載の炭化珪素半導体装置。

【請求項15】

前記凹部の底面から形成され、前記第1ゲート領域に接するコンタクト領域(10)を有し、前記コンタクト領域を介して前記第1ゲート領域が前記ソース領域と接続されるように構成されていることを特徴とする請求項14に記載の炭化珪素半導体装置。

20

【請求項16】

前記チャンネル層には、前記第2ゲート領域が形成された深さに達するトレンチ(30)が形成されており、
 前記第3ゲート領域が前記トレンチ内において前記第2ゲート領域から離間するように配置されていると共に、該第3ゲート領域の表面上に前記第3の電極が形成された構成となっていることを特徴とする請求項11乃至15のいずれか1つに記載の炭化珪素半導体装置。

30

【請求項17】

前記高濃度領域は、前記チャンネル層のうち前記トレンチの底部に位置する部位に形成されていることを特徴とする請求項16に記載の炭化珪素半導体装置。

【請求項18】

炭化珪素からなる第1導電型の半導体基板(1)と、
 前記半導体基板の主表面上に形成され、該半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)と、

前記半導体層の表層部の所定領域を第1のチャンネルとし、前記半導体層の表層部において前記第1のチャンネルの両側に配置されるように形成された第2導電型の第1ゲート領域(3)と、

40

前記半導体層及び前記第1ゲート領域の上に形成された第1導電型のチャンネル層(4)と、

前記チャンネル層内の所定領域を第2のチャンネルとし、前記チャンネル層内において前記第2のチャンネルの両側に配置され、前記第1ゲート領域から離間するように形成された第2導電型の第2ゲート領域(6)と、

前記チャンネル層に形成された第1導電型の高濃度領域(5)と、

前記チャンネル層の上又は前記チャンネル層の表層部において、前記第1ゲート領域の上に位置する部位に形成された第1導電型のソース領域(7)と、

前記ソース領域に電氣的に接続されたソース電極(11)と、

前記第1ゲート領域に電氣的に接続されると共に、前記ソース電極と電氣的に接続され

50

た第 1 の電極 (4 1) と、

前記第 2 ゲート領域に電氣的に接続された第 2 の電極 (4 2) と、

前記半導体基板の裏面側に形成されたドレイン電極 (1 4) とを有してなることを特徴とする炭化珪素半導体装置。

【請求項 1 9】

前記チャンネル層の表面から前記第 1 ゲート領域に向かって形成された凹部 (9) を有し、前記凹部を通じて前記第 1 ゲート領域と前記ソース電極とが電氣的に接続された構成となっていることを特徴とする請求項 1 8 に記載の炭化珪素半導体装置。

【請求項 2 0】

前記凹部の底面から形成され、前記第 1 ゲート領域に接するコンタクト領域 (1 0) を有し、前記コンタクト領域を介して前記第 1 ゲート領域が前記ソース領域と接続されるように構成されていることを特徴とする請求項 1 9 に記載の炭化珪素半導体装置。

【請求項 2 1】

前記高濃度領域は、前記チャンネル層のうち、前記第 1 ゲート領域と前記第 2 ゲート領域との間に形成されていることを特徴とする請求項 1 乃至 2 0 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 2 2】

前記高濃度領域は、前記半導体層のチャンネルとなる部位の上に形成されていることを特徴とする請求項 1 乃至 2 1 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 2 3】

前記高濃度領域は、前記チャンネル層のうち前記第 1 ゲート領域と前記第 2 ゲート領域との間に位置する部位を、前記チャンネル層のうち前記第 2 ゲート領域と前記第 3 ゲート領域との間に位置する部位よりも高濃度に構成することで形成されていることを特徴とする請求項 1 乃至 2 0 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 2 4】

前記高濃度領域は、前記チャンネル層のうち前記第 2 ゲート領域に挟まれた部位に形成されていることを特徴とする請求項 1 乃至 2 2 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 2 5】

前記高濃度領域はセル部全面に形成されており、前記第 1 ゲート領域は前記セル部の外側において前記ソース電極と電氣的に接続されていることを特徴とする請求項 1 乃至 3、1 1 乃至 1 4、1 8、1 9 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 2 6】

前記第 2 ゲート領域は、前記チャンネル層のうち、前記チャンネルの両側における前記第 1 ゲート領域の上に位置する部位に形成されていることを特徴とする請求項 1 乃至 2 5 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 2 7】

前記第 2 ゲート領域は、前記第 1 ゲート領域によって形成されるチャンネルの上を含むように形成されていることを特徴とする請求項 1 乃至 2 5 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 2 8】

前記半導体層の濃度と前記チャンネル層の濃度とが独立して制御されていることを特徴とする請求項 1 乃至 2 7 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 2 9】

炭化珪素からなる第 1 導電型の半導体基板 (1) の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第 1 導電型の半導体層 (2) を形成する工程と、

前記半導体層の表層部の所定領域をチャンネルとし、前記半導体層の表層部において前記チャンネルの両側に配置されるように第 2 導電型の第 1 ゲート領域 (3) を形成する工程と、

前記半導体層及び前記第 1 ゲート領域の上に第 1 導電型のチャンネル層 (4) を形成する工程と、

10

20

30

40

50

前記チャンネル層内において、前記第 1 ゲート領域から離間するように第 2 導電型の第 2 ゲート領域 (6) を形成する工程と、

前記チャンネル層に第 1 導電型の高濃度領域 (5) を形成する工程と、

前記チャンネル層のうち前記第 1 ゲート領域の上に位置する部位に、第 1 導電型のソース領域 (7) を形成する工程と、

前記チャンネル層の上又は前記チャンネル層の表層部において、前記第 2 ゲート領域と対向する部位を含むように、第 2 導電型の第 3 ゲート領域 (8) を形成する工程と、

前記ソース領域に電氣的に接続されるソース電極 (1 1)、前記第 3 ゲート領域に電氣的に接続されるゲート電極 (1 2) を形成する工程と、

前記半導体基板の裏面側にドレイン電極 (1 4) を形成する工程とを有してなることを特徴とする炭化珪素半導体装置の製造方法。

10

【請求項 3 0】

前記第 1、第 2 ゲート領域とを電氣的に接続するように第 2 導電型のコンタクト領域 (1 0) を形成する工程を有し、

前記コンタクト領域を介して前記第 1、第 2 ゲート領域を前記ソース電極に接続させることを特徴とする請求項 2 9 に記載の炭化珪素半導体装置の製造方法。

【請求項 3 1】

前記高濃度領域を形成する工程では、前記コンタクト領域から離れるように前記高濃度領域を形成することを特徴とする請求項 3 0 に記載の炭化珪素半導体装置の製造方法。

【請求項 3 2】

前記チャンネル層の表面から前記第 2 ゲート領域に達する凹部 (9) を形成する工程を有し、

前記コンタクト領域を形成する工程では、前記凹部の底部から前記第 1 ゲート領域に向かって前記コンタクト領域を延設することを特徴とする請求項 3 1 に記載の炭化珪素半導体装置の製造方法。

【請求項 3 3】

前記コンタクト領域を形成する工程は、前記コンタクト領域を拡散させることにより該コンタクト領域の周囲に低濃度領域 (1 0 a) を形成する工程を有し、

前記低濃度領域が前記第 2 ゲート領域と接することで、前記コンタクト領域と前記第 2 ゲート領域とが電氣的に接続されるようにすることを特徴とする請求項 2 9 乃至 3 1 のいずれか 1 つに記載の炭化珪素半導体装置の製造方法。

30

【請求項 3 4】

前記低濃度領域を形成する工程では、前記低濃度領域が前記高濃度領域と接するようにすることを特徴とする請求項 3 3 に記載の炭化珪素半導体装置の製造方法。

【請求項 3 5】

前記第 2 ゲート領域を形成する工程と、前記高濃度領域を形成する工程は、同一マスク (2 1) を用いて行なうことを特徴とする請求項 3 3 又は 3 4 に記載の炭化珪素半導体装置の製造方法。

【請求項 3 6】

前記チャンネル層に対して前記第 2 ゲート領域が形成された深さに達するトレンチ (3 0) を形成する工程を有し、

前記第 3 ゲート領域を形成する工程では、前記トレンチ内に前記第 3 ゲート領域を形成することを特徴とする請求項 2 9 乃至 3 5 のいずれか 1 つに記載の炭化珪素半導体装置の製造方法。

40

【請求項 3 7】

前記高濃度領域を形成する工程では、前記トレンチを形成したのち、前記トレンチの底部に位置する部位に第 1 導電型不純物のイオン注入を行なうことで前記高濃度領域を形成することを特徴とする請求項 3 6 に記載の炭化珪素半導体装置の製造方法。

【請求項 3 8】

炭化珪素からなる第 1 導電型の半導体基板 (1) の主表面上に、この半導体基板よりも

50

高抵抗な炭化珪素よりなる第 1 導電型の半導体層 (2) を形成する工程と、

前記半導体層の表層部の所定領域をチャンネルとし、前記半導体層の表層部において前記チャンネルの両側に配置されるように第 2 導電型の第 1 ゲート領域 (3) を形成する工程と、

前記半導体層及び前記第 1 ゲート領域の上に第 1 導電型のチャンネル層 (4) を形成する工程と、

前記チャンネル層において、前記第 1 ゲート領域から離間するように第 2 導電型の第 2 ゲート領域 (6) を形成する工程と、

前記チャンネル層に第 1 導電型の高濃度領域 (5) を形成する工程と、

前記チャンネル層のうち前記第 1 ゲート領域の上に位置する部位に、第 1 導電型のソース領域 (7) を形成する工程と、

前記チャンネル層の上又は前記チャンネル層の表層部において、前記第 2 ゲート領域と対向する部位を含むように、第 2 導電型の第 3 ゲート領域 (8) を形成する工程と、

前記ソース領域に電氣的に接続されるソース電極 (1 1)、前記第 1 ゲート領域に電氣的に接続される第 1 の電極 (4 1)、前記第 2 ゲート領域に電氣的に接続される第 2 の電極 (4 2)、前記第 3 のゲート領域に電氣的に接続される第 3 の電極 (4 3) を形成する工程と、

前記半導体基板の裏面側にドレイン電極 (1 4) を形成する工程とを有してなることを特徴とする炭化珪素半導体装置の製造方法。

【請求項 3 9】

前記第 2 の電極と前記第 3 の電極とを電氣的に接続し、前記第 1 の電極と前記ソース電極とを電氣的に接続することを特徴とする請求項 3 8 に記載の炭化珪素半導体装置の製造方法。

【請求項 4 0】

前記チャンネル層の表面から前記第 1 ゲート領域に向けて凹部 (9) を形成する工程を有し、前記凹部を通じて前記第 1 の電極を前記第 1 ゲート領域に電氣的に接続することを特徴とする請求項 3 8 又は 3 9 に記載の炭化珪素半導体装置の製造方法。

【請求項 4 1】

前記凹部の底面から前記第 1 ゲート領域に達するコンタクト領域 (1 0) を形成する工程を有し、前記コンタクト領域を介して前記第 1 電極を前記第 1 ゲート領域に電氣的に接続することを特徴とする請求項 4 0 に記載の炭化珪素半導体装置の製造方法。

【請求項 4 2】

前記チャンネル層に対して前記第 2 ゲート領域が形成された深さに達するトレンチ (3 0) を形成する工程を有し、前記第 3 ゲート領域を形成する工程では、前記トレンチ内に前記第 3 ゲート領域を形成することを特徴とする請求項 3 8 乃至 4 1 のいずれか 1 つに記載の炭化珪素半導体装置の製造方法。

【請求項 4 3】

前記高濃度領域を形成する工程では、前記トレンチを形成したのち、前記トレンチの底部に位置する部位に第 1 導電型不純物のイオン注入を行なうことで前記高濃度領域を形成することを特徴とする請求項 4 2 に記載の炭化珪素半導体装置の製造方法。

【請求項 4 4】

炭化珪素からなる第 1 導電型の半導体基板 (1) の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第 1 導電型の半導体層 (2) を形成する工程と、

前記半導体層の表層部の所定領域を第 1 のチャンネルとし、前記半導体層の表層部において前記第 1 のチャンネルの両側に配置されるように第 2 導電型の第 1 ゲート領域 (3) を形成する工程と、

前記半導体層及び前記第 1 ゲート領域の上に第 1 導電型のチャンネル層 (4) を形成する

10

20

30

40

50

工程と、

前記チャンネル層内の所定領域を第2のチャンネルとし、前記チャンネル層内において前記第2のチャンネルの両側に、前記第1ゲート領域から離間するように第2導電型の第2ゲート領域(6)を形成する工程と、

前記チャンネル層に第1導電型の高濃度領域(5)を形成する工程と、

前記チャンネル層の上又は前記チャンネル層の表層部において、前記第1ゲート領域の上に位置する部位に第1導電型のソース領域(7)を形成する工程と、

前記ソース領域に電氣的に接続されるソース電極(11)、前記第1ゲート領域に電氣的に接続されると共に、前記ソース電極と電氣的に接続される第1の電極(41)、前記第2ゲート領域に電氣的に接続される第2の電極(42)を形成する工程と、

前記半導体基板の裏面側にドレイン電極(14)を形成する工程とを有してなることを特徴とする炭化珪素半導体装置の製造方法。

【請求項45】

前記チャンネル層の表面から前記第1ゲート領域に向けて凹部(9)を形成する工程を有し、

前記凹部を通じて前記第1の電極を前記第1ゲート領域に電氣的に接続することを特徴とする請求項44に記載の炭化珪素半導体装置の製造方法。

【請求項46】

前記凹部の底面から前記第1ゲート領域に達するコンタクト領域(10)を形成する工程を有し、

前記コンタクト領域を介して前記第1の電極を前記第1のゲート領域に電氣的に接続することを特徴とする請求項45に記載の炭化珪素半導体装置の製造方法。

【請求項47】

前記高濃度領域を形成する工程では、前記チャンネル層のうち、前記第1ゲート領域と前記第2ゲート領域との間に前記高濃度領域を形成することを特徴とする請求項29乃至46のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項48】

前記高濃度領域を形成する工程では、前記半導体層のチャンネルとなる部位の上に前記高濃度領域を形成することを特徴とする請求項28乃至47のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項49】

前記高濃度領域を形成する工程では、前記チャンネル層のうち前記第1ゲート領域と前記第2ゲート領域との間に位置する部位を、前記チャンネル層のうち前記第2ゲート領域と前記第3ゲート領域との間に位置する部位よりも高濃度に構成することで前記高濃度領域を形成することを特徴とする請求項29乃至46のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項50】

前記高濃度領域を形成する工程では、前記チャンネル層のうち前記第2ゲート領域に挟まれた部位に前記高濃度領域を形成することを特徴とする請求項29乃至48のいずれか1つに記載の炭化珪素半導体装置。

【請求項51】

前記第2ゲート領域を形成する工程では、前記チャンネル層のうち、前記チャンネルの両側における前記第1ゲート領域の上に位置する部位に前記第2ゲート領域を形成することを特徴とする請求項29乃至50のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項52】

前記第2ゲート領域を形成する工程では、前記第1ゲート領域によって形成されるチャンネルの上を含むように前記第2ゲート領域を形成することを特徴とする請求項29乃至50のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【0001】

10

20

30

40

50

【発明の属する技術分野】

本発明は、J-FETを備える炭化珪素半導体装置及びその製造方法に関するものである。

【0002】**【従来の技術】**

従来より、SiCによってMOSFETを作成することが試みられているが、SiC（例えば4H-SiC）で構成されたMOSFETでは、MOSFETの移動度と信頼性が不十分であるため、期待されているポテンシャルまでは実現できていない。これに対し、ノーマリオン型のJ-FETでは、高耐圧、低オン抵抗が実現できていることが報告されている。

10

【0003】

このようなJ-FETを利用した半導体装置として、米国特許第5396085号明細書に示されるものがある。ここで示されている半導体装置は、SiCで構成されたノーマリオン型のJ-FETとシリコンで構成された低耐圧のMOSFETとが組み合わせられることで、ノーマリオフ型のトランジスタとして動作するようになっている。そして、小さな逆バイアス電圧（低いドレイン電圧）に対してはシリコンで構成されたMOSFETによって耐圧を持たせ、高い逆バイアス電圧（高いドレイン電圧）に対してはSiCで構成されたJ-FETの空乏層を伸ばすことによって耐圧を持たせるようになっている。

【0004】**【発明が解決しようとする課題】**

しかしながら、上記従来技術で示される半導体装置では、シリコンとSiCという2種類の半導体材料を基本として素子を形成しているため、半導体装置を構成するために2チップ必要とされることになる。このため、パッケージが大きくなると共に、配線伝導による損失が大きくなるという問題がある。また、シリコンによるMOSFETが使用されているため、高温域（例えば200以上）で半導体装置を動作させることができないという問題もある。

20

【0005】

本発明は上記点を鑑みて、低オン抵抗でノーマリオフ型のJ-FETを1チップで作成でき、高温域でも作動させることが可能な炭化珪素半導体装置及びその製造方法を提供することを目的とする。

30

【0006】**【課題を解決するための手段】**

上記目的を達成するため、請求項1に記載の発明では、炭化珪素からなる第1導電型の半導体基板(1)と、半導体基板の主表面上に形成され、該半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)と、半導体層の表層部の所定領域をチャンネルとし、半導体層の表層部においてチャンネルの両側に配置されるように形成された第2導電型の第1ゲート領域(3)と、半導体層及び第1ゲート領域の上に形成された第1導電型のチャンネル層(4)と、チャンネル層内において、第1ゲート領域から離間するように形成された第2導電型の第2ゲート領域(6)と、チャンネル層に形成された第1導電型の高濃度領域(5)と、チャンネル層のうち第1ゲート領域の上に位置する部位に形成された第1導電型のソース領域(7)と、チャンネル層の上又はチャンネル層の表層部において、第2ゲート領域と対向する部位を含むように形成された第2導電型の第3ゲート領域(8)と、ソース領域および第1のゲート領域に電気的に接続されたソース電極(11)と、第3ゲート領域に電気的に接続されたゲート電極(12)と、半導体基板の裏面側に形成されたドレイン電極(14)とを有してなることを特徴とする。

40

【0007】

このように構成とすることで、ノーマリオフ型のトランジスタとして動作し、かつ、逆バイアスに対する耐圧を備えた炭化珪素半導体装置とすることができる。このような炭化珪素半導体装置では、炭化珪素という1種類の半導体材料を基本として素子を形成している。このため、炭化珪素半導体装置を1チップで構成することができ、パッケージが大きく

50

なることを防止できると共に、配線伝導による損失を低減することができる。さらに、シリコンを用いずに炭化珪素を基本として素子を形成していることから、高温域（例えば200以上）でも炭化珪素半導体装置を的確に動作させることが可能となる。

【0008】

この場合、請求項2に示すように、第2ゲート領域をソース電極に接続すれば、シングルゲート駆動構造の炭化珪素半導体装置となる。例えば、請求項3に示すように、第1、第2ゲート領域とをコンタクト領域（10）によって接続し、このコンタクト領域を介して第1、第2ゲート領域をソース電極に接続することができる。

【0009】

請求項4に記載の発明では、高濃度領域は、コンタクト領域から離れるように形成されていることを特徴としている。このように、高濃度領域とコンタクト領域とを離すことにより、高濃度領域とコンタクト領域とによって形成されるPNジャンクションの耐圧を確保することができる。

10

【0010】

請求項7に記載の発明では、低濃度領域に接するように高濃度領域が形成されていることを特徴としている。このように、高濃度領域とコンタクト領域との間に低濃度領域が配置された構造であれば、高濃度領域とコンタクト領域とによって形成されるPNジャンクションの耐圧を確保することができる。

【0011】

請求項9に記載の発明では、チャンネル層には、第2ゲート領域が形成された深さに達するトレンチ（30）が形成されており、第3ゲート領域がトレンチ内において第2ゲート領域から離間するように配置されていると共に、該第3ゲート領域の表面上にゲート電極が形成された構成となっていることを特徴としている。

20

【0012】

このように、トレンチ内に第3ゲート領域が配置されるようなトレンチ型の炭化珪素半導体装置についても上記各請求項に記載の発明を適用することができる。この場合、請求項10に示すように、高濃度領域をチャンネル層のうちトレンチの底部に位置する部位に形成した構成とすることができる。

【0013】

請求項11に記載の発明では、炭化珪素からなる第1導電型の半導体基板（1）と、半導体基板の主表面上に形成され、該半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層（2）と、半導体層の表層部の所定領域をチャンネルとし、半導体層の表層部においてチャンネルの両側に配置されるように形成された第2導電型の第1ゲート領域（3）と、半導体層及び第1ゲート領域の上に形成された第1導電型のチャンネル層（4）と、チャンネル層のうち、チャンネルの両側における第1ゲート領域の上に位置する部位に形成された第2導電型の第2ゲート領域（6）と、チャンネル層に形成された第1導電型の高濃度領域（5）と、チャンネル層のうち第1ゲート領域の上に位置する部位に形成された第1導電型のソース領域（7）と、チャンネル層の上又はチャンネル層の表層部において、第2ゲート領域と対向する部位を含むように形成された第2導電型の第3ゲート領域（8）と、ソース領域に電氣的に接続されたソース電極（11）と、第1ゲート領域に電氣的に接続された第1の電極（41）と、第2ゲート領域に電氣的に接続された第2の電極（42）と、第3ゲート領域に電氣的に接続された第3の電極（43）と、半導体基板の裏面側に形成されたドレイン電極（14）とを有してなることを特徴としている。そして、請求項12に示すように、第1の電極がソース電極に接続された構成となっていることを特徴としている。

30

40

【0014】

このようなダブルゲート駆動構造の炭化珪素半導体装置においても請求項1と同様の効果を得ることができる。この場合、請求項13に示すように、第2の電極と第3の電極とを電氣的に接続し、第2ゲート領域の電位が第3ゲート領域の電位と共に制御されるように構成することができる。

50

【0015】

請求項16に記載の発明では、チャンネル層には、第2ゲート領域が形成された深さに達するトレンチ(30)が形成されており、第3ゲート領域がトレンチ内において第2ゲート領域から離間するように配置されていると共に、該第3ゲート領域の表面上に第3の電極が形成された構成となっていることを特徴としている。

【0016】

このように、トレンチ内に第3ゲート領域が配置されるようなトレンチ型の炭化珪素半導体装置についても上記各請求項に記載の発明を適用することができる。この場合、請求項17に示すように、高濃度領域をチャンネル層のうちトレンチの底部に位置する部位に形成した構成とすることができる。

10

【0017】

請求項18に記載の発明では、炭化珪素からなる第1導電型の半導体基板(1)と、半導体基板の主表面上に形成され、該半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)と、半導体層の表層部の所定領域を第1のチャンネルとし、半導体層の表層部において第1のチャンネルの両側に配置されるように形成された第2導電型の第1ゲート領域(3)と、半導体層及び第1ゲート領域の上に形成された第1導電型のチャンネル層(4)と、チャンネル層内の所定領域を第2のチャンネルとし、チャンネル層内において第2のチャンネルの両側に配置され、第1ゲート領域から離間するように形成された第2導電型の第2ゲート領域(6)と、チャンネル層に形成された第1導電型の高濃度領域(5)と、チャンネル層の上又はチャンネル層の表層部において、第1ゲート領域の上に位置する部位に形成された第1導電型のソース領域(7)と、ソース領域に電氣的に接続されたソース電極(11)と、第1ゲート領域に電氣的に接続されると共に、ソース電極と電氣的に接続された第1の電極(41)と、第2ゲート領域に電氣的に接続された第2の電極(42)と、半導体基板の裏面側に形成されたドレイン電極(14)とを有してなることを特徴としている。

20

【0018】

このように、2つの縦型J-FETを組み合わせたような炭化珪素半導体装置についても請求項1と同様の効果を得ることができる。

【0019】

なお、高濃度領域は、請求項21に示すように、チャンネル層のうちの第1ゲート領域と第2ゲート領域との間に形成されたり、請求項22に示すように、半導体層のチャンネルとなる部位の上に形成されたり、請求項24に示すように、チャンネル層のうちの第2ゲート領域に挟まれた部位に形成される。また、高濃度領域は、例えば、請求項23に示すように、チャンネル層のうち第1ゲート領域と第2ゲート領域との間に位置する部位を、チャンネル層のうち第2ゲート領域と第3ゲート領域との間に位置する部位よりも高濃度に構成することで形成される。

30

【0020】

請求項26に示すように、チャンネル層のうちチャンネルの両側における第1ゲート領域の上に位置する部位に第2ゲート領域を形成しすることもできるが、請求項27に示すように、第1ゲート領域によって形成されるチャンネルの上を含むように第2ゲート領域を形成することも可能である。このようにした場合には、第2、第3ゲート領域の間に形成されるチャンネルにポテンシャルが達するまでの距離を稼ぐことができるため、ポテンシャルがチャンネルに直接ぶつかることを防止することができ、耐圧を向上させることができる。

40

【0021】

請求項28に記載の発明では、半導体層の濃度とチャンネル層の濃度とが独立に制御されていることを特徴としている。このようにすることで、ノーマリオンとノーマリオフのFETの設計を容易に行なうことが可能となる。

【0022】

請求項29乃至52に記載の発明は、請求項1乃至28に記載の炭化珪素半導体装置の製造方法に関する。これらの製造方法により、請求項1乃至28に記載の炭化珪素半導体装

50

置を製造することが可能である。

【0023】

請求項35に記載の発明では、第2ゲート領域を形成する工程と、高濃度領域を形成する工程は、同一マスク(21)を用いて行なうことを特徴としている。これにより、製造工程の簡略化を図ることが可能である。

【0024】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0025】

【発明の実施の形態】

10

(第1実施形態)

図1に、本発明の第1実施形態における炭化珪素半導体装置として、nチャネルのシングルゲート駆動構造のJ-FETを備えた炭化珪素半導体装置の断面構造を示す。以下、図1に基づいて炭化珪素半導体装置の構成についての説明を行う。

【0026】

図1は、炭化珪素半導体装置は1セル分の断面構成を示したものである。炭化珪素からなるn⁺型基板1は上面を主表面とし、主表面の反対面である下面を裏面としている。このn⁺型基板1の主表面上には、基板1よりも低いドーパント濃度を有する炭化珪素からなるn⁻型エピ層2がエピタキシャル成長されている。

【0027】

20

n⁻型エピ層2の表層部における所定領域には、紙面左右において略対称にp⁺型層からなる第1ゲート領域3が形成されている。また、第1ゲート領域3上を含み、n⁻型エピ層2の表面にはn⁻型層で構成されたチャネル層4がエピタキシャル成長されている。このチャネル層4の表層部のうち第1ゲート領域3の上に位置する部位には、基板平面方向において第1ゲート領域3の端部よりも突出するように、n⁺型層からなる電界集中領域5とp⁺型層からなる第2ゲート領域6が順に形成されている。

【0028】

また、チャネル層4の表層部のうち、第2ゲート領域6の上に位置する部位には、n⁺型ソース領域7が形成されている。そして、チャネル層4の表面のうち少なくとも第2ゲート領域6の上に位置する部位には第3ゲート領域8が形成されている。

30

【0029】

また、チャネル層4には、第2ゲート領域6まで達する凹部9が形成され、この凹部9の底面から電界集中領域5より深く、第1ゲート領域3に達するコンタクト領域10が形成されている。このコンタクト領域10により、第1ゲート領域3及び第2ゲート領域6が電氣的に導通した構成とされている。

【0030】

さらに、n⁺型ソース領域7及びコンタクト領域10の上には、n⁺型ソース領域7に電氣的に接続されると共に、コンタクト領域10を介して第1ゲート領域3及び第2ゲート領域6に電氣的に接続されたソース電極11が形成されている。また、第3ゲート領域8の上に、第3ゲート領域8と電氣的に接続されるゲート電極12が形成されている。これらソース電極11とゲート電極12とは層間絶縁膜13によって絶縁分離されている。そして、n⁺型基板1の裏面側に、n⁺型基板1と電氣的に接続されたドレイン電極14が形成され、本実施形態における炭化珪素半導体装置が構成されている。

40

【0031】

このような炭化珪素半導体装置は、n⁺型ソース領域7及びn⁺型基板1をソース-ドレイン、紙面左右の第1ゲート領域3をゲートとしたJ-FET(以下、第1のJ-FETという)と、n⁺型ソース領域7及びn⁺型基板1をソース-ドレイン、第2ゲート領域6及び第3ゲート領域8をゲートとするJ-FET(以下、第2のJ-FETという)とが備えられた構成となる。そして、本実施形態では、これら第1、第2のJ-FETのうち第1のJ-FETがノーマリオン型で動作し、第2のJ-FETがノーマリオフ型で動作す

50

るような設定としている。具体的には、第1のJ-FETがノーマリオン型となるように、紙面左右の第1ゲート領域3の間隔や各部の不純物濃度を設定し、第2のJ-FETがノーマリオフ型で動作するように、第2、第3ゲート領域6、8の間隔や各部の不純物濃度を設定している。

【0032】

以上のように構成された炭化珪素半導体装置の動作について、炭化珪素半導体装置のオフ時とオン時それぞれ説明する。

【0033】

まず、オフ時、つまりゲート電極12に電圧が印加されていない際には、第2、第3ゲート領域6、8から伸びる空乏層によってチャンネル層4がピンチオフされ、第2のJ-FETはオフ状態とされている。また、第1のゲート領域3からも空乏層が伸びた状態となるが、紙面左右における第1のゲート領域3の間隔が空乏層の伸び量よりも広くされているため、n-型エピ層2はピンチオフされず、第1のJ-FETはオン状態とされている。

10

【0034】

このとき、逆バイアスがかかってドレイン電極14に正の電圧が印加されると、ドレイン電極14にかかる電圧が低い場合には、第1のJ-FETのチャンネルはノーマリオンの設計により空乏化されていない状態となっているが、第2のJ-FETのチャンネルはノーマリオフの設計により空乏化された状態となっているため、ドレイン電極14に印加される電圧がブロックされる。

20

【0035】

続いて、ドレイン電極14にかかる電圧が徐々に高くなると、第2ゲート領域6の周囲のポテンシャルが上昇する。また、第2ゲート領域6の下方に電界集中領域5を備えた構成となっているため、この電界集中領域5のポテンシャルも上昇する。そして、第1ゲート領域3及び第2ゲート領域6がソース電極11に接続され、接地状態(ポテンシャル0)となっていることから、電界集中領域5と第1、第2ゲート領域3、6との間に逆バイアスがかかることになる。このため、第1ゲート領域3の空乏層が伸びて第1のJ-FETのチャンネルがピンチオフされ、一旦ピンチオフされると第1ゲート領域3の上方ではポテンシャルが上昇することができなくなる。従って、ドレイン電極14にかかる電圧がさらに高くなっても、その電圧が第1ゲート領域3によってブロックされる。

30

【0036】

一方、オン状態、つまりゲート電極12に電圧が印加された際には、第3ゲート領域8からの空乏層の伸び量が小さくなり、第2のJ-FETがオン状態とされる。また、第1のJ-FETに関してはノーマリオン状態とされていることから、オン状態となる。このため、第1、第2のJ-FETが共にオン状態となり、ソース電極11 n⁺型ソース領域9 チャンネル層4 n⁻型エピ層2 n⁺型基板1 ドレイン電極14の順で電流が流れる。

【0037】

以上のように、本実施形態の構成とすることで、ノーマリオフ型のトランジスタとして動作し、かつ、逆バイアスに対する耐圧を備えた炭化珪素半導体装置とすることができる。

40

【0038】

このような炭化珪素半導体装置では、炭化珪素という1種類の半導体材料を基本として素子を形成している。このため、炭化珪素半導体装置を1チップで構成することができ、パッケージが大きくなることを防止できると共に、配線伝導による損失を低減することができる。さらに、シリコンを用いずに炭化珪素を基本として素子を形成していることから、高温域(例えば200以上)でも炭化珪素半導体装置を的確に動作させることが可能となる。

【0039】

次に、図1に示す炭化珪素半導体装置の製造工程を図2～図8に示し、これらの図を用いて炭化珪素半導体装置の製造方法について説明する。

50

【 0 0 4 0 】

〔 図 2 (a) に示す工程 〕

まず、 n 型 4H、6H、3C 又は 15R - SiC 基板、すなわち n^+ 型基板 1 を用意する。例えば、 n^+ 型基板 1 として、厚さが $400\ \mu\text{m}$ 、主表面が (0001) Si 面、又は、(112-0) a 面のものを用意する。そして、この基板 1 の主表面に厚さ $5\ \mu\text{m}$ の n^- 型エピ層 2 をエピタキシャル成長させる。この場合、 n^- 型エピ層 2 は下地の基板 1 と同様の結晶が得られ、 n 型 4H、6H、3C 又は 15R - SiC 層となる。

【 0 0 4 1 】

〔 図 2 (b) に示す工程 〕

n^- 型エピ層 2 の上の所定領域に LTO (Low Temperature Oxide) 膜 20 を配置したのち、フォトリソグラフィによって LTO 膜 20 をパターニングして所定領域を開口させる。そして、LTO 膜 20 をマスクとしてイオン注入を行う。具体的には、第 1 ゲート領域 3 を形成する予定位置に p 型不純物として B 又は Al をイオン注入する。

10

【 0 0 4 2 】

〔 図 3 (a) に示す工程 〕

LTO 膜 20 を除去したのち、加熱炉もしくは RTA (短時間アニール) によるアニール処理を施すことで注入されたイオンを活性化させ、第 1 ゲート領域 3 を形成する。なお、この第 1 ゲート領域 3 の形成に際し、あまり p 型不純物を熱拡散させたくない場合には、図 2 (b) の工程において熱拡散し難い Al を用いるか、もしくはボロンに対して炭素を一定割合 (好ましくはボロン : 炭素 = 1 : 10) 注入することで熱拡散し難くするとよい。

20

【 0 0 4 3 】

〔 図 3 (b) に示す工程 〕

第 1 ゲート領域 3 上を含み、 n^- 型エピ層 2 の上にエピタキシャル成長によって、 n^- 型層からなるチャネル層 4 を形成する。このとき、第 2 の J - FET がよりノーマリオフ型となり易いように、チャネル層 4 の不純物濃度を n^- 型エピ層 2 よりも低濃度とすると良い。

【 0 0 4 4 】

〔 図 4 (a) に示す工程 〕

チャネル層 4 の上の所定領域に LTO 膜 21 を配置したのち、フォトリソグラフィによって LTO 膜 21 をパターニングして所定領域を開口させる。そして、LTO 膜 21 をマスクとしてイオン注入を行う。具体的には、第 2 ゲート領域 6 を形成する予定位置に p 型不純物として B 又は Al をイオン注入する。

30

【 0 0 4 5 】

〔 図 4 (b) に示す工程 〕

LTO 膜 21 を残したままの状態酸化膜 21 a を形成したのち、形成された酸化膜 21 a をエッチングすることで、LTO 膜 21 の開口端を狭くする。

【 0 0 4 6 】

〔 図 5 (a) に示す工程 〕

酸化膜 21 a 及び LTO 膜 21 をマスクとしてイオン注入を行なう。具体的には、電界集中領域 5 を形成する予定位置に n 型不純物として P 又は N をイオン注入する。

40

【 0 0 4 7 】

〔 図 5 (b) に示す工程 〕

LTO 膜 21 及び酸化膜 21 a を除去したのち、加熱炉もしくは RTA (短時間アニール) によるアニール処理を施すことで注入されたイオンを活性化させ、電界集中領域 5 及び第 2 ゲート領域 6 を形成する。なお、第 2 ゲート領域 6 の形成に際し、あまり p 型不純物を熱拡散させたくない場合には、図 4 (a) の工程において熱拡散し難い Al を用いるか、もしくはボロンに対して炭素を一定割合 (好ましくはボロン : 炭素 = 1 : 10) 注入することで熱拡散し難くするとよい。

【 0 0 4 8 】

50

〔図6(a)に示す工程〕

チャンネル層4の表面にp型不純物が高濃度にドーピングされるようにエピタキシャル成長させることで、p⁺型層からなる第3ゲート領域8を形成する。

【0049】

〔図6(b)に示す工程〕

第3ゲート領域8の上にLTO膜22を配置したのち、フォトリソグラフィによってLTO膜22をパターニングして所定領域を開口させる。そして、LTO膜22をマスクとしたエッチングを行なうことで凹部9を形成する。なお、このときには、例えば凹部9の深さをチャンネル層4の表面に達する程度とする。

【0050】

〔図7(a)に示す工程〕

LTO膜22をマスクとしてイオン注入を行う。具体的には、n⁺型ソース領域7を形成する予定位置にn型不純物としてP又はNをイオン注入する。

【0051】

〔図7(b)に示す工程〕

第3ゲート領域8及びn⁺型ソース領域7の上にLTO膜23を配置したのち、フォトリソグラフィによってLTO膜23をパターニングして所定領域を開口させる。そして、LTO膜23をマスクとしたエッチングを行なうことで、凹部9の深さを第2ゲート領域6が形成された位置程度までとする。

【0052】

〔図8(a)に示す工程〕

LTO膜23をマスクとしてイオン注入を行なう。具体的には、コンタクト領域10を形成する予定位置にp型不純物としてAl又はNをイオン注入する。

【0053】

〔図8(b)に示す工程〕

LTO膜23を除去したのち、加熱炉もしくはRTA(短時間アニール)によるアニール処理を施すことで注入されたイオンを活性化させ、コンタクト領域10を形成する。なお、コンタクト領域10の形成に際し、あまりp型不純物を熱拡散させたくない場合には、図8(a)の工程において熱拡散し難いAlを用いるか、もしくはボロンに対して炭素を一定割合(好ましくはボロン:炭素=1:10)注入することで熱拡散し難くするとよい。

【0054】

なお、ここまで示した工程においては、不純物の活性化を逐次行なうようにしているが、この図8(b)に示す工程において、すべての不純物の活性化を一括して行なっても良い。これにより、製造工程の簡略化を図ることができる。また、この工程ですべての不純物の活性化を行なわなくても、2つ以上の活性化工程を兼用して行なうようにすれば、製造工程の簡略化を図ることが可能である。

【0055】

この後の工程については図示しないが、まず、基板表面側に層間絶縁膜13を形成したのち、層間絶縁膜13をパターニングすることで第3ゲート領域8やn⁺型ソース領域7と連通するコンタクトホールを形成する。その後、層間絶縁膜13上に電極層を成膜したのち、電極層をパターニングすることでソース電極11およびゲート電極12を形成し、さらに、基板裏面側にドレイン電極14を形成することで図1に示すJ-FETが完成する。

【0056】

(第2実施形態)

図9に、本発明の第2実施形態における炭化珪素半導体装置の断面構成を示す。第1実施形態では、第3ゲート領域8をエピタキシャル成長によって形成したが、図9に示すように、チャンネル層4へのp型不純物のイオン注入を行なうことで第3ゲート領域8を形成しても良い。また、第1実施形態では、凹部9を形成し、凹部9の底部からコンタクト領域

10

20

30

40

50

10が延設されるように構成しているが、図9に示すように、チャンネル層4の表面から直接コンタクト領域10を形成してもよい。このような構成の炭化珪素半導体装置においても、第1実施形態と同様の動作を行ない、第1実施形態と同様の効果を得ることが可能である。

【0057】

なお、このような構成の炭化珪素半導体装置は、図4(a)に示す工程において、第3ゲート領域8が形成される予定位置にp型不純物をイオン注入すると共に、コンタクト領域10が形成される予定位置にp型不純物をイオン注入すれば製造される。

【0058】

(第3実施形態)

図10に、本発明の第3実施形態における炭化珪素半導体装置の断面構成を示す。第1実施形態では、紙面左右に配置された電界集中領域5が互いに離間するような構成となっているが、図10に示すように、電界集中領域5が接続された構成、すなわち、J-FET抵抗成分となる位置にも電界集中領域5が延設された構成とすることも可能である。

【0059】

このようにすれば、J-FET抵抗を低減することが可能であり、より炭化珪素半導体装置のオン抵抗の低減を図ることが可能である。

【0060】

(第4実施形態)

図11に、本発明の第4実施形態における炭化珪素半導体装置の断面構成を示す。第3実施形態では、電界集中領域5が紙面左右に配置されたコンタクト領域10の近傍に備えられて構成されているが、図11に示すように、電界集中領域5がコンタクト領域5から離間するような構成としても良い。このようにしても、第3実施形態と同様の効果を得ることができる。ただし、電界集中領域5が第1、第2ゲート領域3、6の間に位置していることは必要とされる。

【0061】

(第5実施形態)

図12に、本発明の第5実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、図12に示すように、第1実施形態で備えていた電界集中領域5をなくし、チャンネル層4のうち第1ゲート領域3と第2ゲート領域6との間に位置する部分が他の部分(例えば、第2のJ-FETのチャンネルとなる部分)よりも高濃度で構成されるようにしたものである。

【0062】

このように構成しても、チャンネル層4のうち高濃度とされた第1ゲート領域3と第2ゲート領域6との間に位置する部分が電界集中領域5と同様の働きを担い、第1実施形態と同様の効果を奏することができる。

【0063】

(第6実施形態)

図13に、本発明の第6実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、図13に示すように、コンタクト領域10を熱処理によって拡散させた低濃度コンタクト領域10aを備え、この低濃度コンタクト領域10aを介して第2ゲート領域6がソース電極11に電氣的に接続された構成としていることが第1実施形態と異なる。

【0064】

このように、コンタクト領域10を拡散させて低濃度コンタクト領域10aを形成するようにしても、第1実施形態と同様の効果を有する炭化珪素半導体装置とすることができる。

【0065】

一方、低濃度コンタクト領域10aと電界集中領域5とが接触する場合があるが、このような場合であってもp⁺型で構成されるコンタクト領域10とn⁺型で構成される電界集中領域5とによるPNジャンクションの間に低濃度コンタクト領域10aが配置された構成

10

20

30

40

50

とされることから、PNジャンクションの耐圧は確保される。

【0066】

また、本実施形態における炭化珪素半導体装置の製造方法に関しては、第1実施形態に対してコンタクト領域10を形成するためのイオン注入後に熱拡散工程を追加すればよく、他の工程に関しては第1実施形態と同様でよい。

【0067】

なお、この製造工程に関し、上記第1実施形態では、第2ゲート領域6はコンタクト領域10に接触し、電界集中領域5は接触しない構成とするために、第2ゲート領域6と電界集中領域5とを形成するマスクを変え、電界集中領域5の方が第2ゲート領域6よりもコンタクト領域10から離間するようにしている。しかしながら、本実施形態のような構成であれば、電界集中領域5の方が第2ゲート領域6よりもコンタクト領域10から離間した構成とする必要がないため、第2ゲート領域6と電界集中領域5とを形成するためのマスクを兼用することが可能である。

10

【0068】

(第7実施形態)

図14に、本発明の第7実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、図14に示すように、第2ゲート領域6をコンタクト領域10から切り離し、第2ゲート領域6をフローティング状態としたことが第1実施形態と異なる。このように第2ゲート領域6をフローティング状態とすることにより、第2ゲート領域6側からも空乏層を伸ばすことができ、耐圧を向上させることが可能となる。

20

【0069】

また、ここでは第2ゲート領域6をフローティング状態としたが、第2ゲート領域6を第3ゲート領域8と同電位にすることも可能である。例えば、セルの外部まで第2ゲート領域6を引き出すことで、第3ゲート領域8と接合させれば良い。このようにすれば、第3ゲート領域8を駆動する際に第2ゲート領域6も駆動でき、これらの領域6、8から伸びる空乏層を同時に縮めることができるため、オン抵抗の低減を図ることが可能である。

【0070】

なお、上記したように第2ゲート領域をフローティング状態としても第3ゲート領域8と同電位としても、いずれの場合であっても第1実施形態と同様の製造方法と同様にして炭化珪素半導体装置を製造することができる。ただし、本実施形態の場合には、第2ゲート領域6とコンタクト領域10を接触させる必要がないため、第2ゲート領域6と電界集中領域5とを形成するためのマスクを兼用することができる。

30

【0071】

(第8実施形態)

図15に、本発明の第8実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、図15に示すように、隣り合う第2ゲート領域6の間に電界集中領域5を配置したことが第1実施形態と異なる。このようにしても、第1実施形態と同様の効果を得ることが可能であると共に、第2ゲート領域6の間におけるJ-FET抵抗を低減することができ、オン抵抗の低減を図ることが可能となる。

【0072】

なお、本実施形態における炭化珪素半導体装置の製造方法に関しては、第1実施形態で用いた電界集中領域5を形成するためのマスクのパターンを変更し、イオン注入条件を変更するのみで良く、その他は第1実施形態と同様である。

40

【0073】

(第9実施形態)

図16に、本発明の第9実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、図16に示すように、セル部においては全面に電界集中領域5を形成しており、図1に示したコンタクト領域10ではなく、セル部の外側において第1ゲート領域3をソース電極11と電気的に接続させていることが第1実施形態と異なる。このような構成としても第1実施形態と同様の効果を得ることが可能である。

50

【0074】

なお、本実施形態の炭化珪素半導体装置の製造方法に関しては、第1実施形態に対してコンタクト領域10の構成工程を無くせば良く、その他は第1実施形態と同様である。ただし、第1実施形態と同様に電界集中領域5をイオン注入によって形成しても良いが、エピタキシャル成長によって形成することも可能である。

【0075】

(第10実施形態)

図17に、本発明の第10実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、図17に示すように、第9実施形態に対して第1ゲート領域3の形成位置を変えたものである。具体的には、第2のJ-FETのJ-FET領域の下方を塞ぐように第1ゲート領域3が配置され、第2ゲート領域6とソース電極11とのコンタクト位置の下方において第1ゲート領域3が終端し、その部分が第1のJ-FETのチャネルとなるように構成されている。

10

【0076】

このような構成とすれば、 n^- 型エピ層2側からのポテンシャルが第1ゲート領域3と第2ゲート領域6との間に形成される通路を通じて第2のJ-FETのチャネル領域側に上げて行くことになる。このため、ポテンシャルが第2のJ-FETのチャネル領域に達するまでの距離を稼ぐことができ、ポテンシャルが第2のJ-FETのチャネル領域に直接ぶつかることを防止することができる。これにより、耐圧を向上させることが可能となる。

20

【0077】

一方、本実施形態の構造の場合、ソース-ドレイン間の電流経路に関しても距離が長くなることになるが、第9実施形態と比べて距離が長くなる領域に高濃度な電界集中領域5が形成された構成となっているため、オン抵抗に対する影響はほとんど無い。

【0078】

なお、本実施形態の炭化珪素半導体装置の製造方法に関しては、第9実施形態に対して第1ゲート領域3を形成するためのマスクのパターンを変更するのみでよく、その他は第9実施形態と同様である。

【0079】

(第11実施形態)

図18に、本発明の第10実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、トレンチ型のシングルゲート駆動のJ-FETを備えた炭化珪素半導体装置に本発明の一実施形態を適用したものである。

30

【0080】

図18に示すように、 n^+ 型ソース領域7を貫通し、隣り合う第2ゲート領域6の間まで達するトレンチ30が形成されている。このトレンチ30の内壁に第3ゲート領域8が備えられ、トレンチ30内の第3ゲート領域8の表面にゲート電極12が備えられた構成となっている。そして、チャネル層4のうちトレンチ30の下方に位置する箇所に電界集中領域5が形成された構成となっている。その他の構成に関しては第1実施形態と同様である。

40

【0081】

このようなトレンチ型のJ-FETを備えた炭化珪素半導体装置に関しても、第1実施形態と同様の動作を行ない、同様の効果を得ることができる。

【0082】

図18に示す炭化珪素半導体装置の製造工程を図19~図24に示し、これらの図を用いて炭化珪素半導体装置の製造方法について説明する。ただし、第1実施形態と同様の部分に関しては図2~図8を参照し、説明を省略する。

【0083】

まず、図19(a)~図21(a)に示す工程では、第1実施形態における図2(a)~図4(a)と同様の工程を行ない、 n^+ 型基板1の上に n^- 型エピ層2を形成したのち、 n

50

n⁻型エピ層 2 の表層部に第 1 ゲート領域 3 を形成すると共に、n⁻型エピ層 2 の表面にチャンネル層 4 を形成し、さらにチャンネル層 4 の中層部に第 2 ゲート領域 6 を形成する。続いて、図 2 1 (b) 以降の工程を行なう。

【 0 0 8 4 】

〔 図 2 1 (b) に示す工程 〕

チャンネル層 4 の上に L T O 膜 2 4 を配置したのち、フォトリソグラフィによって L T O 膜 2 4 をパターニングして所定領域を開口させる。そして、L T O 膜 2 4 をマスクとしてイオン注入を行なう。具体的には、n⁺型ソース領域 7 を形成する予定位置に n 型不純物として P 又は P 及び N をイオン注入する。

【 0 0 8 5 】

その後、L T O 膜 2 4 を除去したのち、加熱炉もしくは R T A によるアニール処理を施すことで注入されたイオンを活性化させ、n⁺型ソース領域 7 を形成する。

【 0 0 8 6 】

〔 図 2 2 (a) に示す工程 〕

n⁺型ソース領域 7 を含むチャンネル層 4 の上に L T O 膜 2 5 を配置したのち、フォトリソグラフィによって L T O 膜 2 5 をパターニングにして所定領域を開口させる。そして、L T O 膜 2 5 をマスクとしてエッチングを施す。これにより、n⁺型ソース領域 7 を貫通し、第 2 ゲート領域 6 が形成された深さに達し、隣り合う第 2 ゲート領域 6 の間に配置されるようにトレンチ 3 0 が形成される。

【 0 0 8 7 】

〔 図 2 2 (b) に示す工程 〕

続いて、L T O 膜 2 5 を再びマスクとして用いたイオン注入を行ない、チャンネル層 4 のうちトレンチ 3 0 の下方に位置する箇所に n 型不純物である P 又は P 及び N を注入する。その後、L T O 膜 2 5 を除去したのち、加熱炉もしくは R T A によるアニール処理を施すことで注入されたイオンを活性化させ、電界集中領域 5 を形成する。

【 0 0 8 8 】

〔 図 2 3 (a) に示す工程 〕

トレンチ 3 0 内およびチャンネル層 4 の上に p⁺型層をエピタキシャル成長させた後、CMP (Chemical mechanical polishing) による平坦化工程を行ない、トレンチ 3 0 内に第 3 ゲート領域 8 を残す。なお、ここでは第 3 ゲート領域 8 をエピタキシャル成長させたが、イオン注入によって形成することも可能である。

【 0 0 8 9 】

〔 図 2 3 (b) に示す工程 〕

第 3 ゲート領域 8 およびチャンネル層 4 の上に L T O 膜 2 6 を配置したのち、フォトリソグラフィによって L T O 膜 2 6 をパターニングして所定領域を開口させる。そして、L T O 膜 2 6 をマスクとしたエッチングを行い、第 2 ゲート領域 6 に連通する凹部 9 を形成する。

【 0 0 9 0 】

〔 図 2 4 (a) に示す工程 〕

続いて、再び L T O 膜 2 5 をマスクとして用いたイオン注入を行ない、チャンネル層 4 のうち凹部 9 の底面から第 1 ゲート領域 3 に接するように p 型不純物である B または A l を注入する。その後、L T O 膜 2 6 を除去したのち、加熱炉もしくは R T A によるアニール処理を施すことで注入されたイオンを活性化させ、コンタクト領域 1 0 を形成する。

【 0 0 9 1 】

なお、このコンタクト領域 1 0 の形成に際し、あまり p 型不純物を熱拡散させたくない場合には、本工程において熱拡散し難い A l を用いるか、もしくはボロンに対して炭素を一定割合 (好ましくはボロン : 炭素 = 1 : 1 0) 注入することで熱拡散し難くするとよい。

【 0 0 9 2 】

この後の工程については図示しないが、まず、基板表面側に層間絶縁膜 1 3 を形成したのち、層間絶縁膜 1 3 をパターニングすることで第 3 ゲート領域 8 や n⁺型ソース領域 7 と

10

20

30

40

50

連通するコンタクトホールを形成する。その後、層間絶縁膜 13 上に電極層を成膜したのち、電極層をパターニングすることでソース電極 11 およびゲート電極 12 を形成し、さらに、基板裏面側にドレイン電極 14 を形成することで図 1 に示す J - F E T が完成する。

【 0 0 9 3 】

(第 1 2 実施形態)

図 2 5 に、本発明の第 1 2 実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第 1 1 実施形態に示したトレンチ型の J - F E T に対して第 9 実施形態に示した電界集中領域 5 の構成を組み合わせたものである。このような構成としても第 1 1 実施形態と同様の効果を得ることが可能である。

10

【 0 0 9 4 】

なお、本実施形態の炭化珪素半導体装置の製造方法に関しては、第 1 1 実施形態に対してコンタクト領域 10 の構成工程を無くせば良く、その他は第 1 1 実施形態と同様である。ただし、第 1 1 実施形態と同様に電界集中領域 5 をイオン注入によって形成しても良いが、エピタキシャル成長によって形成することも可能である。

【 0 0 9 5 】

(第 1 3 実施形態)

図 2 6 に、本発明の第 1 3 実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第 1 1 実施形態に示したトレンチ型の J - F E T に対して第 1 0 実施形態に示した第 1 ゲート領域 3 の配置を組み合わせたものである。このような構成とすれば、第 1 1 実施形態に示すトレンチ型の J - F E T について第 1 0 実施形態と同様の効果を得ることができる。

20

【 0 0 9 6 】

なお、本実施形態の炭化珪素半導体装置の製造方法に関しては、第 1 1 実施形態に対して第 1 ゲート領域 3 を形成するためのマスクのパターンを変更するのみでよく、その他は第 1 1 実施形態と同様である。

【 0 0 9 7 】

(第 1 4 実施形態)

図 2 7 に、本発明の第 1 4 実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第 1 2 実施形態に示したトレンチ型の J - F E T の第 2 ゲート領域 6 をエピタキシャル成長によって形成したものである。この炭化珪素半導体装置では、トレンチ内に n⁻型層 31 を形成し、この n⁻型層 31 の上に第 3 ゲート領域 8 を形成した構成としている。

30

【 0 0 9 8 】

このような構成によれば、第 2、第 3 ゲート領域 6、8 の間に位置する n⁻型層 31 をチャネル領域として第 2 の J - F E T が動作し、第 1 1 実施形態と同様の効果を得ることができる。

【 0 0 9 9 】

なお、本実施形態の炭化珪素半導体装置の製造方法に関しては、ほぼ第 1 2 実施形態と同様であるが、第 2 ゲート領域 6 をエピタキシャル成長によって形成したら、その後、第 2 ゲート領域 6 を貫通するようにトレンチ 30 を形成し、このトレンチ 30 内に n⁻型層 31 を形成した後に第 3 ゲート領域 8 を形成することになる。

40

【 0 1 0 0 】

(第 1 5 実施形態)

図 2 8 に、本発明の第 1 5 実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第 1 4 実施形態に示したトレンチ型の J - F E T に対して第 1 0 実施形態に示した第 1 ゲート領域 3 の配置を組み合わせたものである。

【 0 1 0 1 】

このような構成とすれば、第 1 4 実施形態に示すトレンチ型の J - F E T について第 1 0 実施形態と同様の効果を得ることができる。

50

【 0 1 0 2 】

なお、本実施形態の炭化珪素半導体装置の製造方法に関しては、第 1 4 実施形態に対して第 1 ゲート領域 3 を形成するためのマスクのパターンを変更するのみでよく、その他は第 1 4 実施形態と同様である。

【 0 1 0 3 】

(第 1 6 実施形態)

図 2 9 に、本発明の第 1 6 実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第 1 1 実施形態に示したトレンチ型の J - F E T に対して第 5 実施形態に示した構成、すなわち電界集中領域 5 をなくし、チャンネル層 4 のうち第 1、第 2 ゲート領域 3、6 の間に挟まれる部分が他の部分より高濃度で構成されるようにしたものである。

10

【 0 1 0 4 】

このように構成しても第 1 1 実施形態と同様の効果を得ることが可能である。このような構成の炭化珪素半導体装置の製造方法に関しては、ほぼ第 1 1 実施形態と同様であるが、第 1 1 実施形態で必要とされた電界集中領域 5 を形成するための工程を無くすことができる。

【 0 1 0 5 】

なお、ここではチャンネル層 4 のうち第 1、第 2 ゲート領域 3、6 の間に挟まれる部分が他の部分より高濃度で構成されるようにしているが、この部分の濃度は隣り合う第 1 ゲート領域 3 の間の距離によって決定されるものであり、その距離を調整することにより、チャンネル層 4 全域を同等の濃度としても上記効果を得ることができる。

20

【 0 1 0 6 】

(第 1 7 実施形態)

図 3 0 に、本発明の第 1 7 実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、プレーナ型のダブルゲート駆動の J - F E T に本発明の一実施形態を適用したものである。

【 0 1 0 7 】

図 3 0 に示すように、凹部 9 が段付き形状とされ、凹部 9 が第 2 ゲート領域 6 を貫通した構成となっており、その凹部 9 の底面からコンタクト領域 1 0 が形成された構成となっている。すなわち、コンタクト領域 1 0 から第 2 ゲート領域 6 が分離され、コンタクト領域 1 0 には第 1 ゲート領域 3 のみが接続された構成となっている。そして、第 1、第 2、第 3 ゲート領域 3、6、8 のそれぞれに別々に接続された第 1、第 2、第 3 ゲート電極 4 1、4 2、4 3 が備えられ、第 1 ゲート電極 4 1 がソース電極 1 1 と接続されて接地状態とされ、第 2 ゲート電極 4 2 と第 3 ゲート電極 4 3 とが互いに接続されて第 2、第 3 ゲート領域 6、8 の電位を制御できるようになっている。その他の構成に関しては第 1 実施形態と同様である。

30

【 0 1 0 8 】

このような構成によれば、第 2、第 3 ゲート領域 6、8 への電圧印加により、第 2、第 3 ゲート領域 6、8 の双方からの空乏層の伸び量を制御するダブルゲート駆動が成される。このようなダブルゲート駆動の J - F E T を備えた炭化珪素半導体装置においても第 1 実施形態と同様の効果を得ることができる。

40

【 0 1 0 9 】

なお、本実施形態における炭化珪素半導体装置の製造方法は、ほぼ第 1 実施形態と同様であるが、第 1 実施形態で示した凹部 9 の形成工程を終えた後、もう一度、所定パターンのマスクを成膜し、そのマスクを用いたエッチングを施すことで凹部 9 が第 2 ゲート領域 6 を貫通するような構成としたのち、コンタクト領域 1 0 を形成することになる。

【 0 1 1 0 】

(第 1 8 実施形態)

図 3 1 に、本発明の第 1 8 実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第 1 7 実施形態に対して凹部 9 を更に深くすることで図 3 0 に示したコンタクト領域 1 0 が無くても第 1 ゲート電極 4 1 が第 1 ゲート領域 3 に直接接続されるようにし

50

たものである。このような構成としても第 17 実施形態と同様の効果を得ることができる。

【0111】

なお、このような炭化珪素半導体装置の製造方法は、ほぼ第 17 実施形態と同様であるが、凹部 9 を形成する際のエッチング時に、凹部 9 が第 1 ゲート領域 3 まで達するようにし、上述したコンタクト領域 10 を形成する工程を無くすことになる。

【0112】

(第 19 実施形態)

図 32 に、本発明の第 19 実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第 17 実施形態に対して第 3 実施形態のように電界集中領域 5 が J - F E T 抵抗成分となる位置まで設けられたものを組み合わせたものである。このような構成とすることで、第 17 実施形態に示した J - F E T に対しても第 3 実施形態と同様の効果を得ることができる。

10

【0113】

なお、このような炭化珪素半導体装置の製造方法は、第 17 実施形態に対して電界集中領域 5 を形成するためのマスクパターンを変更するのみで良く、その他は第 17 実施形態と同様である。

【0114】

(第 20 実施形態)

図 33 に、本発明の第 20 実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第 17 実施形態に対して第 4 実施形態のように電界集中領域 5 を J - F E T 抵抗成分となる位置だけ設けたものを組み合わせたものである。このような構成とすることで、第 17 実施形態で示した J - F E T に対しても第 4 実施形態と同様の効果を得ることができる。

20

【0115】

なお、このような炭化珪素半導体装置の製造方法は、第 17 実施形態に対して電界集中領域 5 を形成するためのマスクパターンを変更するのみで良く、その他は第 17 実施形態と同様である。

【0116】

(第 21 実施形態)

図 34 に、本発明の第 21 実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第 17 実施形態に対して第 5 実施形態に示した構成、すなわち電界集中領域 5 を無くし、チャンネル層 4 のうち第 1、第 2 ゲート領域 3、6 の間に挟まれる部分が他の部分より高濃度で構成されるようにしたものである。

30

【0117】

このような構成としても第 17 実施形態と同様の効果を得ることが可能である。なお、この場合においても炭化珪素半導体装置の製造方法に関しては、ほぼ第 17 実施形態と同様であるが、第 17 実施形態で必要とされた電界集中領域 5 を形成するための工程を無くすことができる。

【0118】

(第 22 実施形態)

図 35 に、本発明の第 22 実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第 17 実施形態に対して第 8 実施形態に示した隣り合う第 2 ゲート領域 6 の間に電界集中領域 5 を配置する構成を組み合わせたものである。このようにしても、第 17 実施形態と同様の効果を得ることが可能であると共に、第 2 ゲート領域 6 の間における J - F E T 抵抗を低減することができ、オン抵抗の低減を図ることが可能となる。

40

【0119】

なお、本実施形態における炭化珪素半導体装置の製造方法に関しては、第 17 実施形態で用いた電界集中領域 5 を形成するためのマスクのパターンを変更し、イオン注入条件を変更するのみで良く、その他は第 17 実施形態と同様である。

50

【 0 1 2 0 】

(第 2 3 実施形態)

図 3 6 に、本発明の第 2 3 実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第 1 7 実施形態に対して第 9 実施形態に示した構成、すなわちセル部においては全面に電界集中領域 5 を形成し、セル部の外側において第 1 ゲート領域 3 をソース電極 1 1 と電氣的に接続させた構成を組み合わせたものである。このような構成としても第 1 7 実施形態と同様の効果を得ることが可能である。なお、この場合には、第 1 ゲート領域 3 と接する第 1 ゲート電極がセル部の外側に配置された構成となり、セル外部において第 1 ゲート電極とソース電極 1 1 とが接続された構成となる。

【 0 1 2 1 】

また、本実施形態の炭化珪素半導体装置の製造方法に関しては、第 1 7 実施形態に対してコンタクト領域 1 0 の構成工程を無くせば良く、その他は第 1 7 実施形態と同様である。ただし、第 1 7 実施形態と同様に電界集中領域 5 をイオン注入によって形成しても良いが、エピタキシャル成長によって形成することも可能である。

【 0 1 2 2 】

(第 2 4 実施形態)

図 3 7 に、本発明の第 2 4 実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第 1 7 実施形態に対して、第 1 0 実施形態に示した第 1 ゲート領域 3 の配置を組み合わせたものである。このような構成とすれば、第 1 7 実施形態に示す J - F E T について第 1 0 実施形態と同様の効果を得ることができる。

【 0 1 2 3 】

なお、本実施形態の炭化珪素半導体装置の製造方法に関しては、第 1 7 実施形態に対して第 1 ゲート領域 3 を形成するためのマスクのパターンを変更するのみでよく、その他は第 1 7 実施形態と同様である。

【 0 1 2 4 】

(第 2 5 実施形態)

図 3 8 に、本発明の第 2 5 実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、トレンチ型のダブルゲート駆動の J - F E T を備えた炭化珪素半導体装置に本発明の一実施形態を適用したものであり、第 1 1 実施形態に示したトレンチ型のシングルゲート駆動の J - F E T を第 1 8 実施形態に示したダブルゲート駆動構造としたものに相当する。

【 0 1 2 5 】

つまり、第 1 1 実施形態に対して、凹部 9 が第 1 ゲート領域 3 まで達するように構成されていること、第 1、第 2、第 3 ゲート領域 3、6、8 のそれぞれに別々に接続された第 1、第 2、第 3 ゲート電極 4 1、4 2、4 3 が備えられていること、第 1 ゲート電極 4 1 がソース電極 1 1 と接続されて接地状態とされ、第 2 ゲート電極 4 2 と第 3 ゲート電極 4 3 とが互いに接続されて第 2、第 3 ゲート領域 6、8 の電位を制御できるようになっていることが異なる。その他の構成に関しては第 1 1 実施形態と同様である。

【 0 1 2 6 】

このような構成のダブルゲート駆動の J - F E T を備えた炭化珪素半導体装置についても第 1 実施形態と同様の効果を得ることができる。

【 0 1 2 7 】

なお、本実施形態における炭化珪素半導体装置の製造方法は、ほぼ第 1 1 実施形態と同様であるが、第 1 1 実施形態で示した凹部 9 の形成工程(図 2 3 (b) 参照)を終えた後、もう一度、所定パターンのマスクを成膜し、そのマスクを用いたエッチングを施すことで凹部 9 が第 2 ゲート領域 6 を貫通するような構成とすることになる。

【 0 1 2 8 】

(第 2 6 実施形態)

図 3 9 に、本発明の第 2 6 実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第 2 5 実施形態に対して電界集中領域 5 の形成範囲を広くしたものである。こ

10

20

30

40

50

のようにしても第25実施形態と同様の効果を得ることができる。

【0129】

なお、本実施形態における炭化珪素半導体装置の製造方法は、ほぼ第25実施形態と同様であるが、チャンネル層4を形成した後に所定のマスクを用いたイオン注入により電界集中領域5を形成することになる。

【0130】

(第27実施形態)

図40に、本発明の第27実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第12実施形態に対して第25実施形態に示したようなダブルゲート構造を採用したものである。このように、第12実施形態の構成をダブルゲート構造とすることができ、第12実施形態と同様の効果を得ることができる。なお、この場合には、第1ゲート領域3と接する第1ゲート電極がセル部の外側に配置された構成となり、セル外部において第1ゲート電極とソース電極11とが接続された構成となる。

10

【0131】

(第28実施形態)

図41に、本発明の第28実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第13実施形態に対して第25実施形態に示したようなダブルゲート構造を採用したものである。このように、第13実施形態の構成をダブルゲート構造とすることができ、第13実施形態と同様の効果を得ることができる。なお、この場合にも第1ゲート領域3と接する第1ゲート電極がセル部の外側に配置された構成となり、セル外部において第1ゲート電極とソース電極11とが接続された構成となる。

20

【0132】

(第29実施形態)

図42に、本発明の第29実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第14実施形態に対して第25実施形態に示したようなダブルゲート構造を採用したものである。このように、第14実施形態の構成をダブルゲート構造とすることができ、第14実施形態と同様の効果を得ることができる。なお、この場合にも第1ゲート領域3と接する第1ゲート電極がセル部の外側に配置された構成となり、セル外部において第1ゲート電極とソース電極11とが接続された構成となる。

30

【0133】

(第30実施形態)

図43に、本発明の第30実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第15実施形態に対して第25実施形態に示したようなダブルゲート構造を採用したものである。このように、第15実施形態の構成をダブルゲート構造とすることができ、第15実施形態と同様の効果を得ることができる。なお、この場合にも第1ゲート領域3と接する第1ゲート電極がセル部の外側に配置された構成となり、セル外部において第1ゲート電極とソース電極11とが接続された構成となる。

【0134】

(第31実施形態)

図44に、本発明の第31実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、シングルゲート構造のJ-FETを備えた炭化珪素半導体装置に本発明の一実施形態を適用したものである。この炭化珪素半導体装置について図30に示す炭化珪素半導体装置と比較して説明する。

40

【0135】

図44に示すように、本実施形態では隣り合う第2ゲート領域6の間隔が図30と比べて狭められている。また、本実施形態ではn⁺型ソース領域7が図30における第3ゲート領域8の位置に形成され、第3ゲート領域8が無くなった構成となっている。そして、第1ゲート領域3が第1ゲート電極41を介してソース電極11に接続されて接地状態とされ、第2ゲート領域6が第2ゲート電極42を介して駆動されるようになっている。

【0136】

50

このような構造においては、第2ゲート領域6からの空乏層の伸び量に基づき、隣り合う第2ゲート領域6の間に形成されるチャンネルの制御を行なう縦型J-FETが構成される。この縦型J-FETが上記各実施形態の第2のJ-FETに相当するものとなる。

【0137】

このように、第1、第2のJ-FETが両方とも縦型J-FETとなるようなダブルゲート構造の炭化珪素半導体装置においても第1実施形態と同様の効果を得ることができる。

【0138】

なお、このような炭化珪素半導体装置の製造方法は、第17実施形態とほぼ同様であり、チャンネル層4に第2ゲート領域6や電界集中領域5を形成した後に、チャンネル層4の表面にn⁺型層を成膜することでn⁺型ソース領域7を形成すれば良い。

10

【0139】

(第32実施形態)

図45に、本発明の第32実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第31実施形態に対して電界集中領域5の形成範囲を広くしたものである。このようにしても第31実施形態と同様の効果を得ることができる。

【0140】

なお、本実施形態における炭化珪素半導体装置の製造方法は、ほぼ第31実施形態と同様であり、電界集中領域5を形成するためのマスクのパターンを変更するのみで良い。

【0141】

(第33実施形態)

図46に、本発明の第33実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第31実施形態に対して第9実施形態に示した構成、すなわちセル部においては全面に電界集中領域5を形成し、セル部の外側において第1ゲート領域3をソース電極11と電気的に接続させた構成を組み合わせたものである。このような構成としても第31実施形態と同様の効果を得ることが可能である。

20

【0142】

なお、本実施形態の炭化珪素半導体装置の製造方法に関しては、第31実施形態に対してコンタクト領域10の構成工程を無くせば良く、その他は第31実施形態と同様である。ただし、第31実施形態と同様に電界集中領域5をイオン注入によって形成しても良いが、エピタキシャル成長によって形成することも可能である。

30

【0143】

(第34実施形態)

図47に、本発明の第34実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第31実施形態に対して、第10実施形態に示した第1ゲート領域3の配置を組み合わせたものである。このような構成とすれば、第31実施形態に示すJ-FETについて第10実施形態と同様の効果を得ることができる。

【0144】

なお、本実施形態の炭化珪素半導体装置の製造方法に関しては、第31実施形態に対して第1ゲート領域3を形成するためのマスクのパターンを変更するのみでよく、その他は第31実施形態と同様である。

40

【0145】

(第35実施形態)

図48に、本発明の第35実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第31実施形態に対して、第4実施形態のように電界集中領域5をJ-FET抵抗成分となる位置だけ設けたものを組み合わせたものである。このような構成とすることで、第31実施形態に示すJ-FETについて第4実施形態と同様の効果を得ることができる。

【0146】

なお、本実施形態の炭化珪素半導体装置の製造方法に関しては、第31実施形態に対して電界集中領域5を形成するためのマスクのパターンを変更するのみでよく、その他は第3

50

1 実施形態と同様である。

【0147】

(第36実施形態)

図49に、本発明の第36実施形態における炭化珪素半導体装置の断面構成を示す。本実施形態は、第31実施形態に対して、第5実施形態に示した構成、すなわち電界集中領域5をなくし、チャンネル層4のうち第1、第2ゲート領域3、6の間に挟まれる部分が他の部分より高濃度で構成されるようにしたものである。このような構成とすれば、第31実施形態に示すJ-FETについて第5実施形態と同様の効果を得ることができる。

【0148】

なお、この場合においても炭化珪素半導体装置の製造方法に関しては、ほぼ第31実施形態と同様であるが、第31実施形態で必要とされた電界集中領域5を形成するための工程をなくすことができる。

【0149】

(他の実施形態)

上記各実施形態では、第1、第2ゲート領域3、6における電位をn⁺型ソース領域7と同等にするシングルゲート構造の炭化珪素半導体装置について説明したが、第1、第2ゲート領域3、6の電位をn⁺型ソース領域7とは別に制御できるダブルゲート構成の炭化珪素半導体装置としてもよい。

【0150】

また、ドリフト領域2の濃度とチャンネル層4の濃度とを独立に制御するようにすることも可能である。このようにすれば、ノーマリオンとノーマリオフのFETの設計を容易に行なうことができる。

【0151】

なお、上記実施形態では、nチャンネル型の炭化珪素半導体装置に関して説明したが、勿論、各構成要素の導電型を逆にした炭化珪素半導体装置にも本発明を適用することが可能である。

【図面の簡単な説明】

【図1】本発明の第1実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図2】図1に示す炭化珪素半導体装置の製造工程を示す図である。

【図3】図2に続く炭化珪素半導体装置の製造工程を示す図である。

【図4】図3に続く炭化珪素半導体装置の製造工程を示す図である。

【図5】図4に続く炭化珪素半導体装置の製造工程を示す図である。

【図6】図5に続く炭化珪素半導体装置の製造工程を示す図である。

【図7】図6に続く炭化珪素半導体装置の製造工程を示す図である。

【図8】図7に続く炭化珪素半導体装置の製造工程を示す図である。

【図9】本発明の第2実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図10】本発明の第3実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図11】本発明の第4実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図12】本発明の第5実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図13】本発明の第6実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図14】本発明の第7実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図15】本発明の第8実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図16】本発明の第9実施形態における炭化珪素半導体装置の断面構成を示す図である。

10

20

30

40

50

【図 17】本発明の第 10 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 18】本発明の第 11 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 19】図 18 に示す炭化珪素半導体装置の製造工程を示す図である。

【図 20】図 19 に続く炭化珪素半導体装置の製造工程を示す図である。

【図 21】図 20 に続く炭化珪素半導体装置の製造工程を示す図である。

【図 22】図 21 に続く炭化珪素半導体装置の製造工程を示す図である。

【図 23】図 22 に続く炭化珪素半導体装置の製造工程を示す図である。

【図 24】図 23 に続く炭化珪素半導体装置の製造工程を示す図である。

【図 25】本発明の第 12 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 26】本発明の第 13 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 27】本発明の第 14 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 28】本発明の第 15 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 29】本発明の第 16 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 30】本発明の第 17 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 31】本発明の第 18 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 32】本発明の第 19 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 33】本発明の第 20 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 34】本発明の第 21 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 35】本発明の第 22 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 36】本発明の第 23 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 37】本発明の第 24 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 38】本発明の第 25 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 39】本発明の第 26 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 40】本発明の第 27 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 41】本発明の第 28 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 42】本発明の第 29 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 43】本発明の第 30 実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図 44】本発明の第 31 実施形態における炭化珪素半導体装置の断面構成を示す図である。

10

20

30

40

50

【図45】本発明の第32実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図46】本発明の第33実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図47】本発明の第34実施形態における炭化珪素半導体装置の断面構成を示す図である。

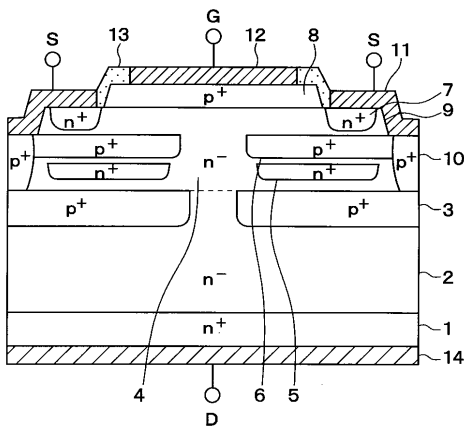
【図48】本発明の第35実施形態における炭化珪素半導体装置の断面構成を示す図である。

【図49】本発明の第36実施形態における炭化珪素半導体装置の断面構成を示す図である。

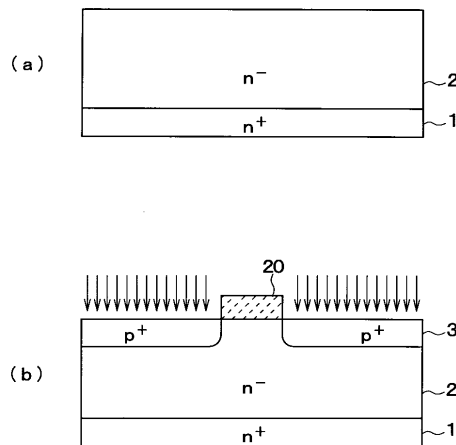
【符号の説明】

- 1 ... n⁺型基板、2 ... n⁻型エピ層、3 ... 第1ゲート領域、4 ... チャンネル層、
- 5 ... 電界集中領域、6 ... 第2ゲート領域、7 ... n⁺型ソース領域、
- 8 ... 第3ゲート領域、9 ... 凹部、10 ... コンタクト領域、11 ... ソース電極、
- 12 ... ゲート電極、14 ... ドレイン電極、30 ... トレンチ、31 ... n⁻型層、
- 41 ~ 43 ... 第1 ~ 第3ゲート電極。

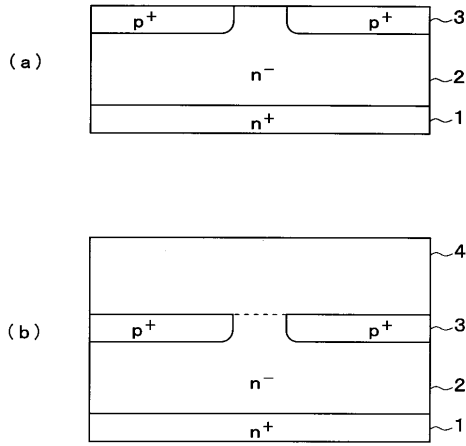
【図1】



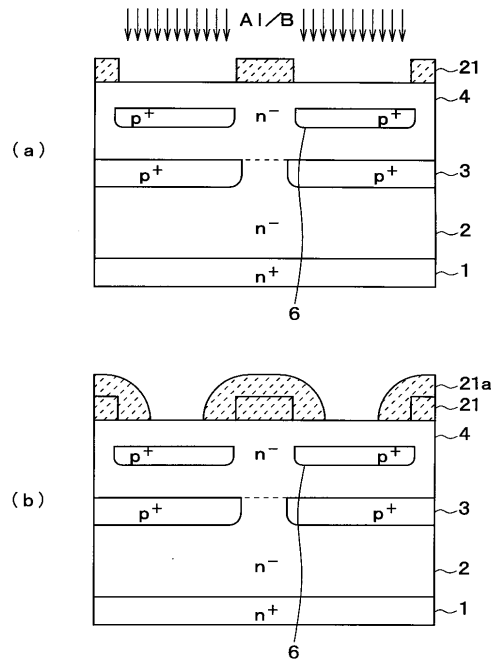
【図2】



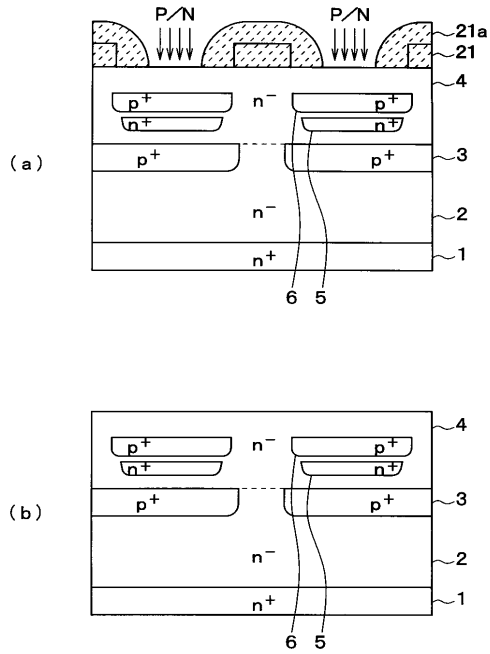
【図3】



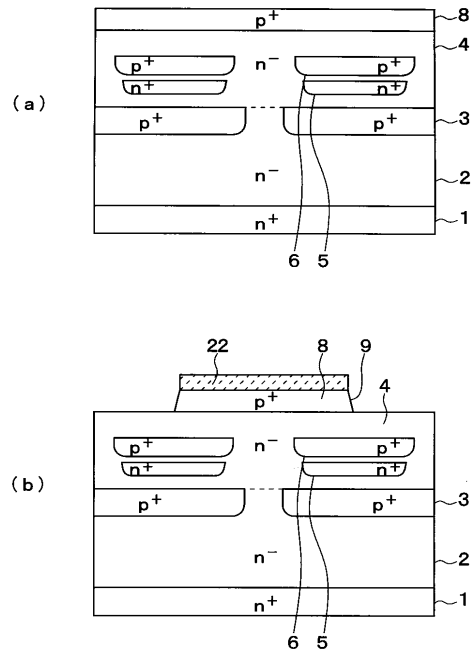
【図4】



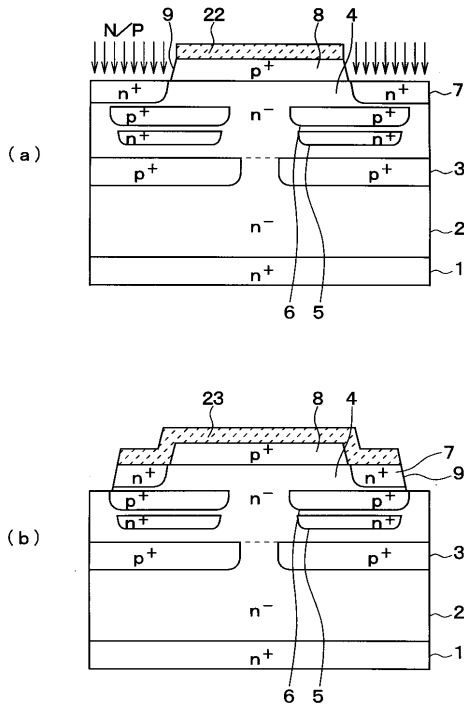
【図5】



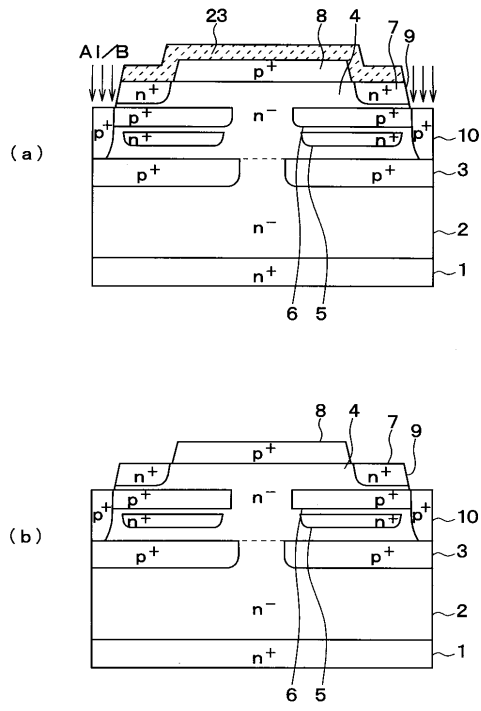
【図6】



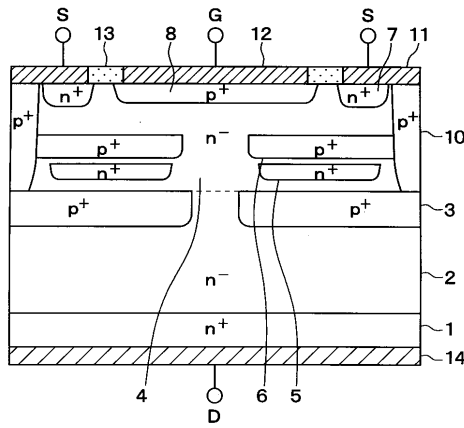
【図 7】



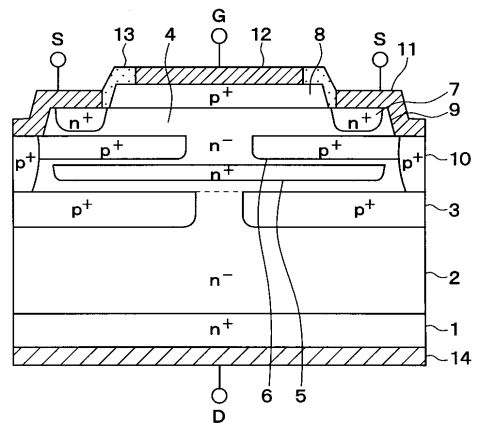
【図 8】



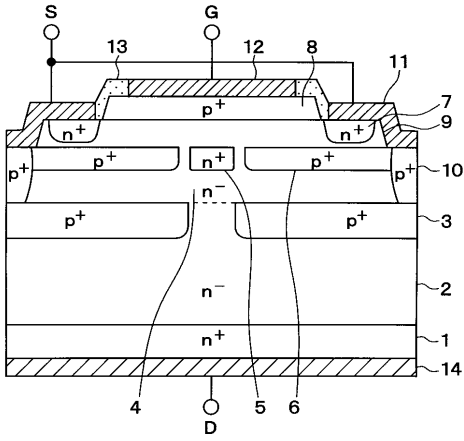
【図 9】



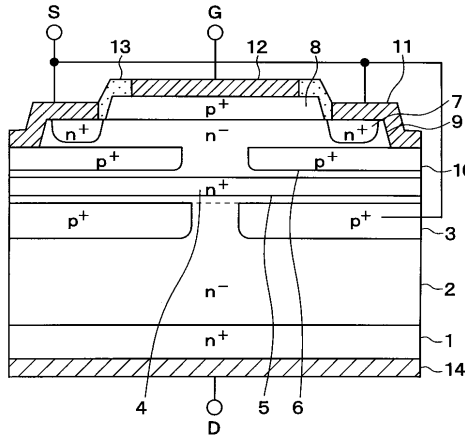
【図 10】



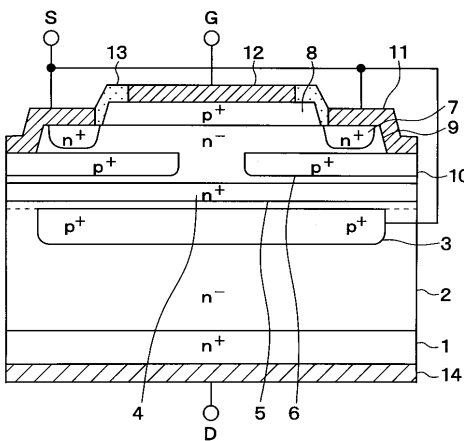
【図 15】



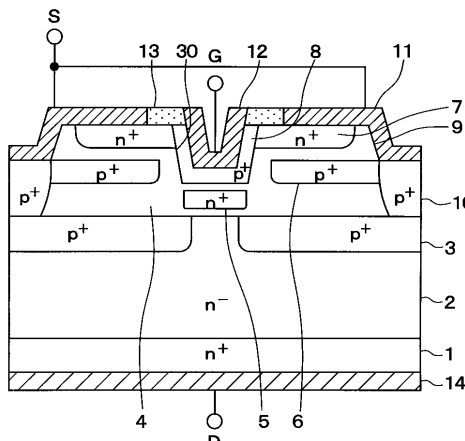
【図 16】



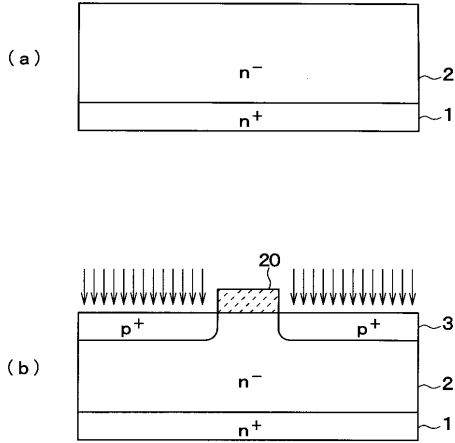
【図 17】



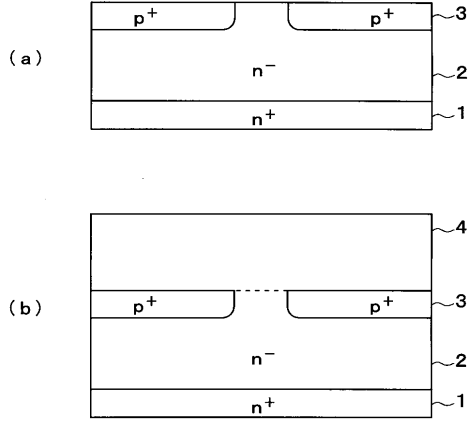
【図 18】



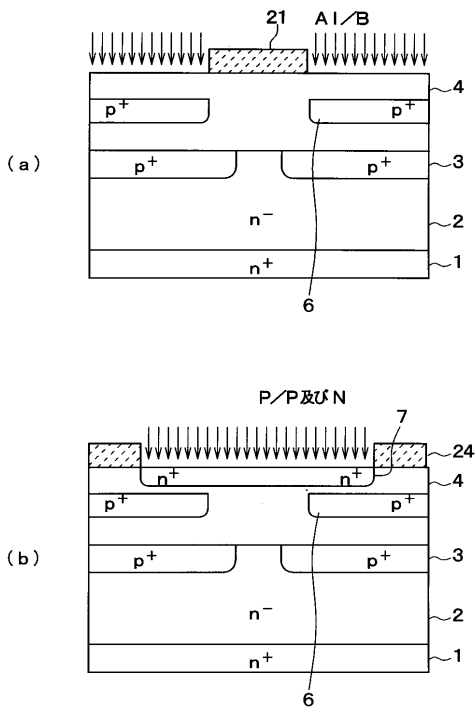
【図19】



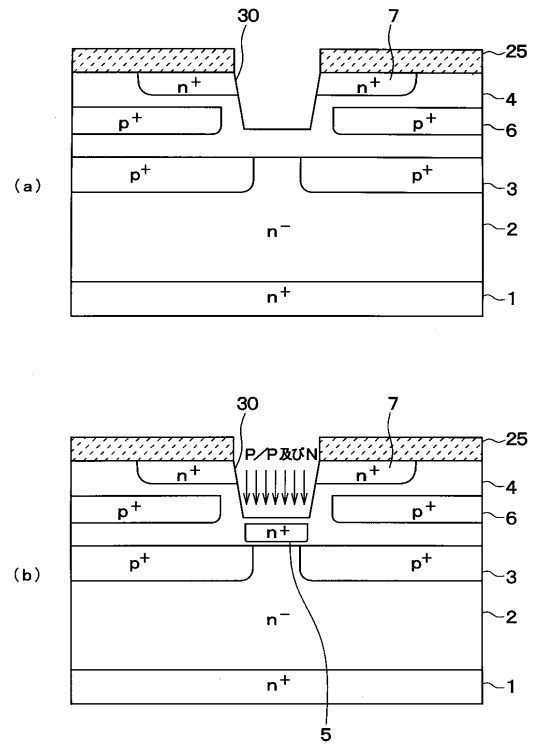
【図20】



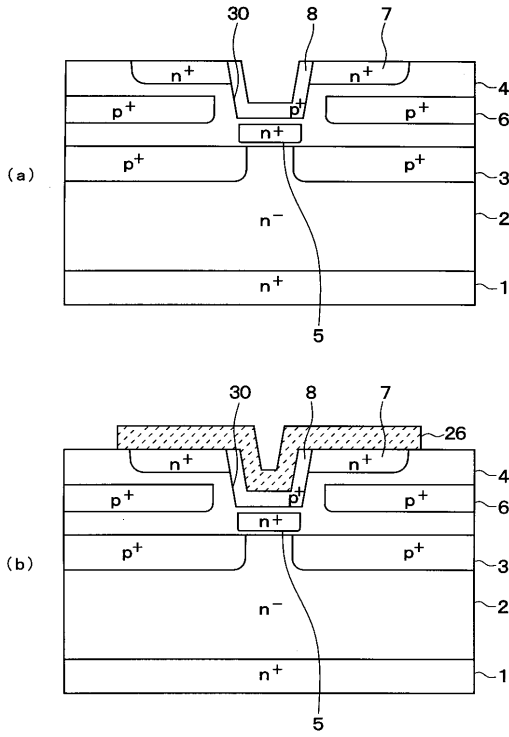
【図21】



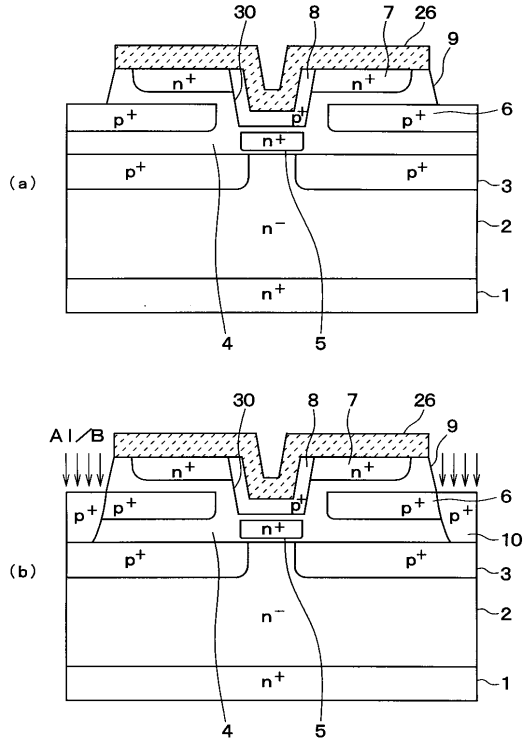
【図22】



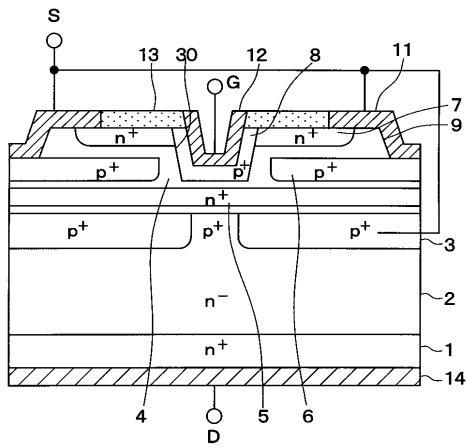
【図 2 3】



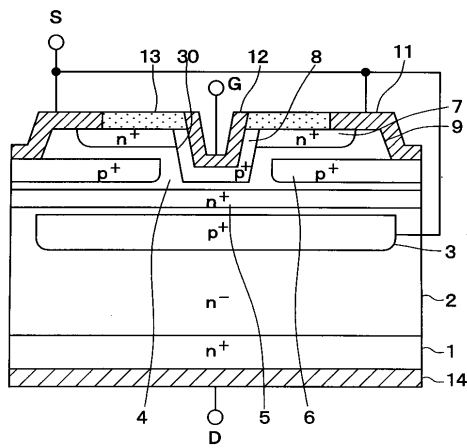
【図 2 4】



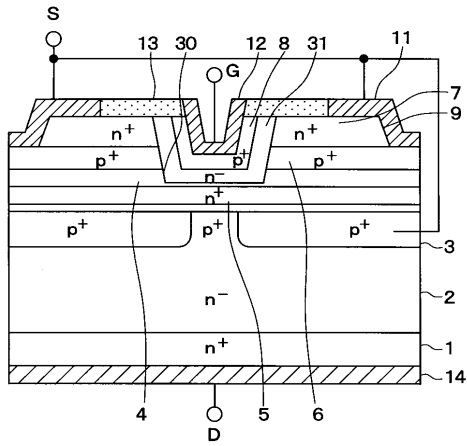
【図 2 5】



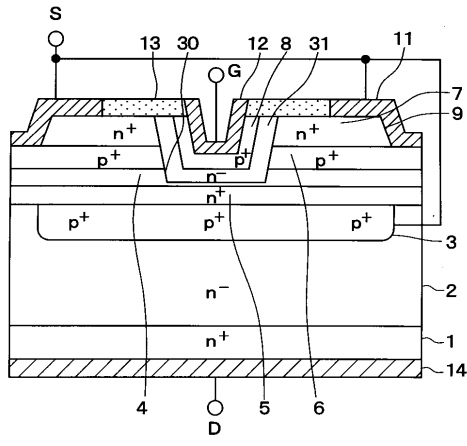
【図 2 6】



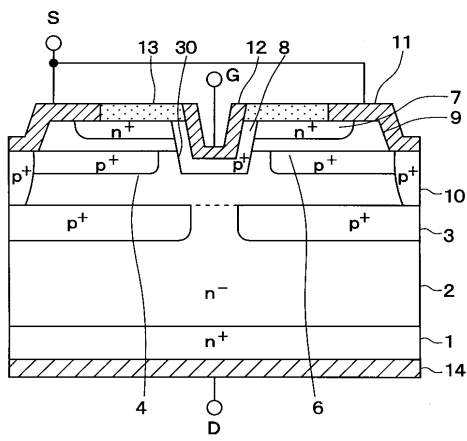
【図 27】



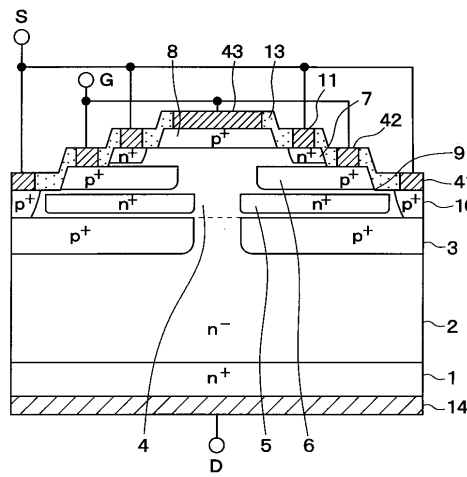
【図 28】



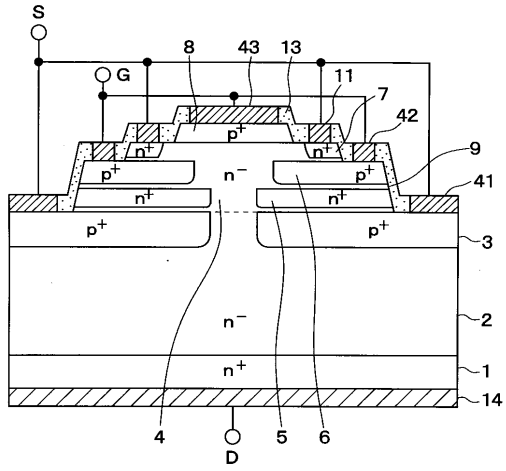
【図 29】



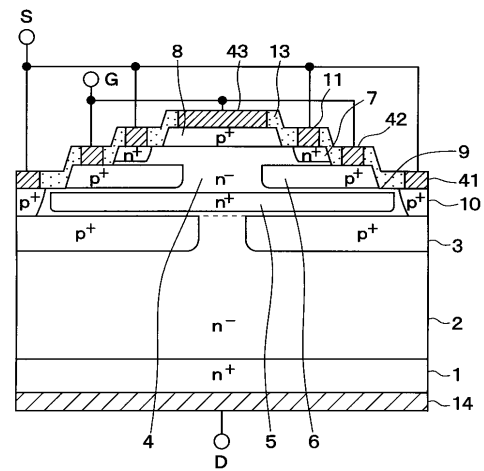
【図 30】



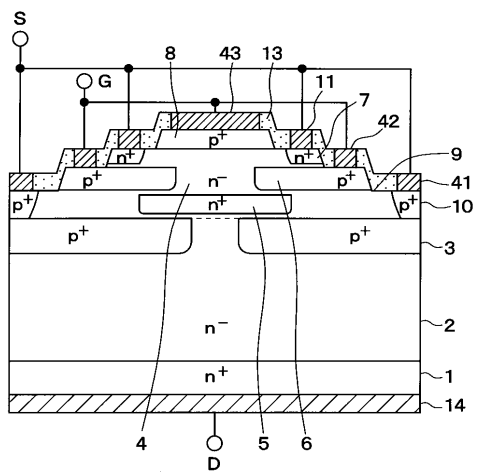
【図 3 1】



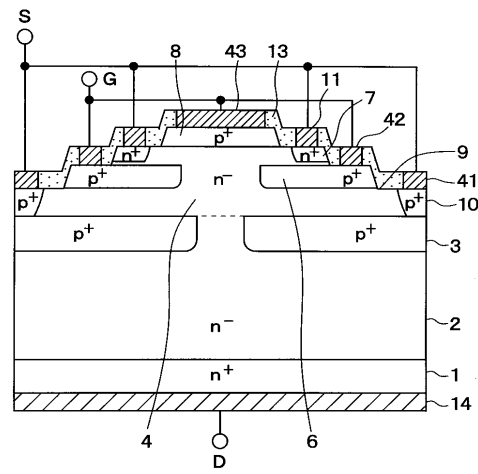
【図 3 2】



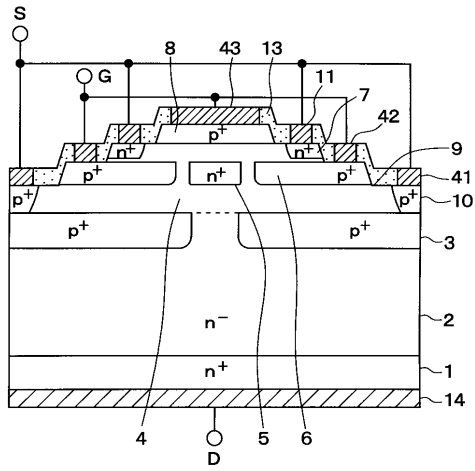
【図 3 3】



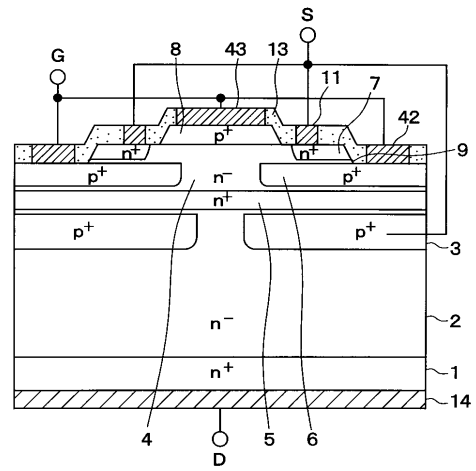
【図 3 4】



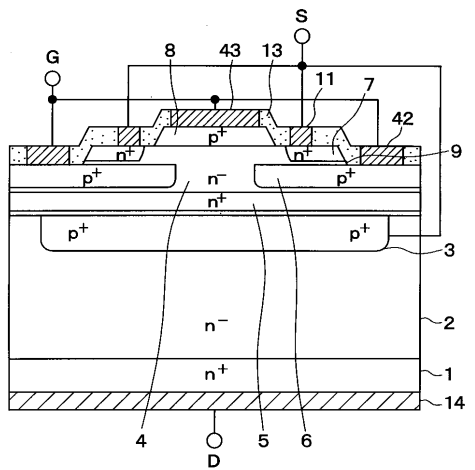
【図 35】



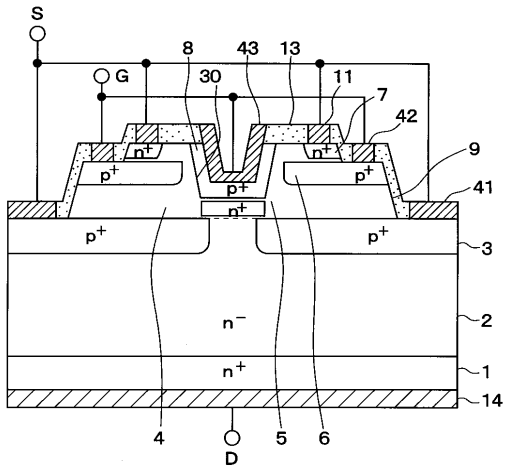
【図 36】



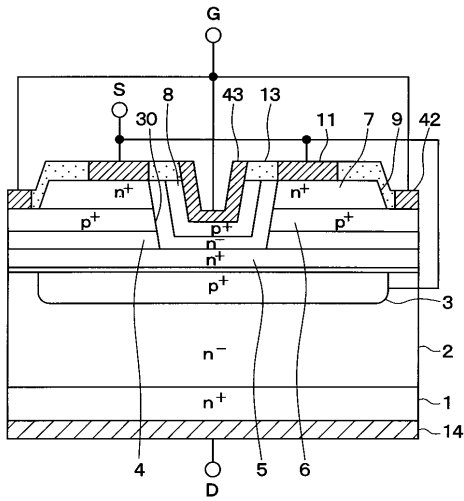
【図 37】



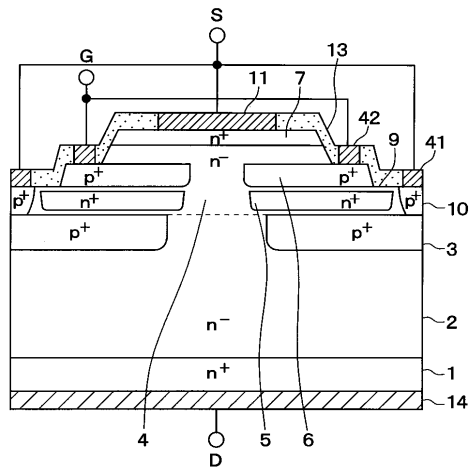
【図 38】



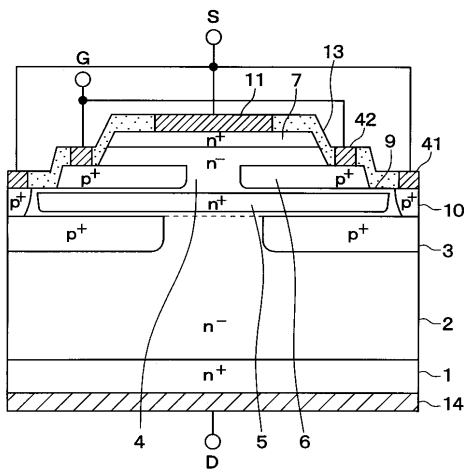
【図 4 3】



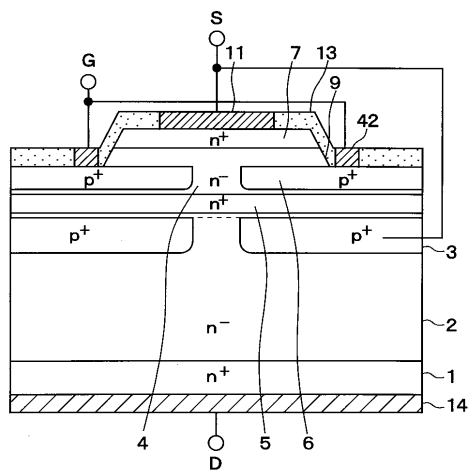
【図 4 4】



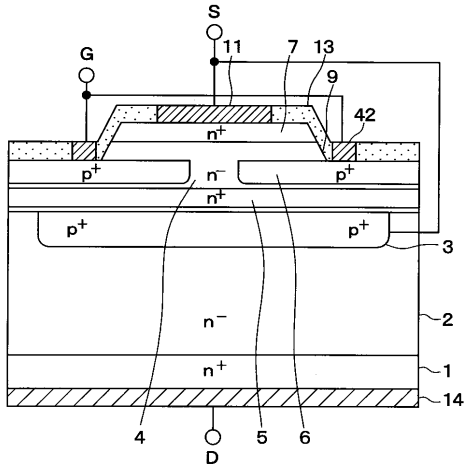
【図 4 5】



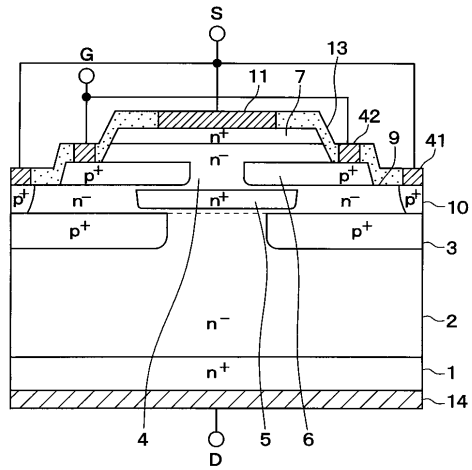
【図 4 6】



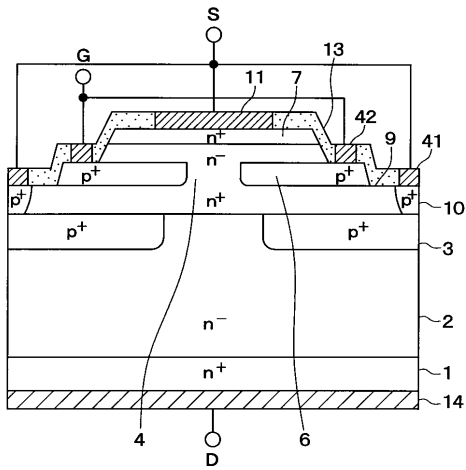
【 図 4 7 】



【 図 4 8 】



【 図 4 9 】



フロントページの続き

審査官 行武 哲太郎

- (56)参考文献 特開平6 - 90009 (JP, A)
国際公開第00 / 22679 (WO, A1)
特開2000 - 216407 (JP, A)
特開2001 - 94097 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 29/80-29/812
H01L 29/78-29/792