

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2011年12月22日(22.12.2011)

PCT

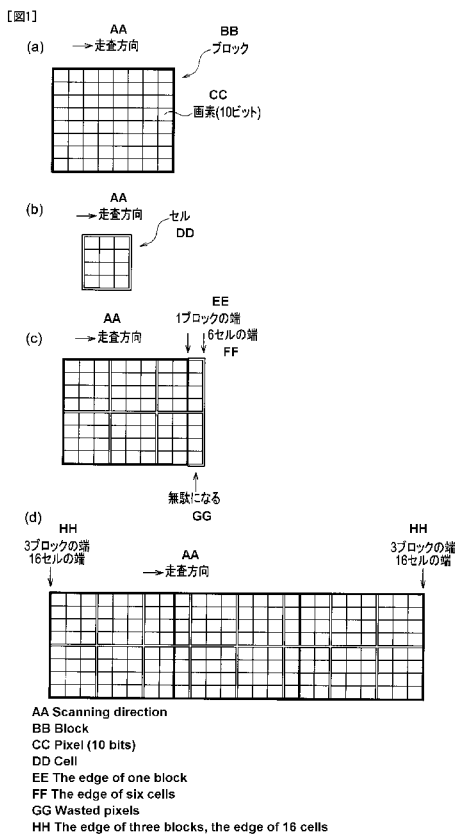
(10) 国際公開番号  
WO 2011/158699 A1

- (51) 国際特許分類:  
G06T 1/60 (2006.01)
- (21) 国際出願番号: PCT/JP2011/063067
- (22) 国際出願日: 2011年6月7日(07.06.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2010-138566 2010年6月17日(17.06.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): NTTエレクトロニクス株式会社 (NTT ELECTRONICS CORPORATION) [JP/JP]; 〒2210031 神奈川県横浜市神奈川区新浦島町1丁目1番地32 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山田 恭裕 (YAMADA, Yasuhiro) [JP/JP]; 〒2210031 神奈川県横浜市神奈川区新浦島町1丁目1番地32 NTTエレクトロニクス株式会社内 Kanagawa
- (74) 代理人: 三好 秀和, 外 (MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門1丁目2番8号 虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

[続葉有]

(54) Title: IMAGE PROCESSING DEVICE

(54) 発明の名称: 画像処理装置



(57) Abstract: Disclosed is an image processing device which processes three blocks as a processing unit. Three-block processing requires data for 192 (=64×3) pixels. The aforementioned data amounts to 16 cells, and when three blocks and 16 cells are arranged along the image scanning direction, the edges of the three blocks and the 16 cells at both ends in the scanning direction align.

(57) 要約: 画像処理装置では、3ブロックを処理単位として処理を行う。3ブロックの処理には、192 (=64×3) 画素のデータが必要となる。これは、16セルに相当するデータ量であり、画像の走査方向に沿って3つのブロックと16個のセルを配置した場合に互いの走査方向の両端が一致する。



WO 2011/158699 A1

MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア  
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ  
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,  
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,  
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI  
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,  
NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲 (条約第 19 条(1))

## 明 細 書

**発明の名称**：画像処理装置

**技術分野**

[0001] 本発明は、画像処理時に画素を無駄なく使用して、2のべき乗でない画素のビット数のデータ処理においてSDRAMのアクセス効率を改善する画像処理装置に関するものである。

**背景技術**

[0002] 16-bitと10-bitを変換する従来技術として、特許文献1に記載のものがある。この従来技術をSDRAMのバースト・アクセスに適用すると、1回のバースト・アクセスから12画素のセル（例として3×4）が得られる。これを画像圧縮などで多用されている画像処理の単位である8×8の画像ブロックを満たすように配置すると、6セルが必要となる。この場合、8画素分のデータが8×8ブロックの画像処理に使用されず、無駄になる。この無駄は、結局はアクセス効率の低下になる。この例の場合、64画素に対し72画素のアクセスをしていることになり、アクセス効率は約89%である。さらには、10-bit画素の場合には、12画素=120-bitのアクセスのために128-bitのアクセスをしているので、この部分のアクセス効率は約94%である。都合、約88%のアクセス効率となる。

[0003] この89%のアクセス効率は十分なものでなく、可能な限り改善して100%近い効率となることが望ましい。

**先行技術文献**

**特許文献**

[0004] 特許文献1：特開2001-144716号公報

**発明の概要**

**発明が解決しようとする課題**

[0005] 本発明は、上記の課題に鑑みてなされたものであり、その目的とするところ

ろは、画像処理時に画素を無駄なく使用して、2のべき乗でない画素のビット数のデータ処理においてSDRAMのアクセス効率を改善する画像処理装置を提供することにある。

### 課題を解決するための手段

[0006] 上記の課題を解決するために、本発明に係る画像処理装置は、画像に関するデータを処理する画像処理部と、処理前または処理後のデータを記憶するメモリとを備え、前記画像における前記画像処理部による処理単位に対応する領域をブロックとし、前記画像における前記メモリとのデータの転送単位に対応する前記ブロックより小さい領域をセルとし、前記画像の走査方向に沿って1以上の前記ブロックと2以上の前記セルを配置した場合に互いの前記走査方向の両端が一致するようになっていることを特徴とする。

### 発明の効果

[0007] 本発明によれば、画像処理時に画素を無駄なく使用して、2のべき乗でない画素のビット数のデータ処理においてSDRAMのアクセス効率を改善することができる。

### 図面の簡単な説明

[0008] [図1]本発明の実施の形態に係る画像処理装置の画像に含まれるブロックとセルの位置の関係を示す図である。

[図2]本発明の実施の形態に係るブロックの形状と大きさに関する別な例を示す図である。

[図3]本発明の実施の形態に係る画像処理装置の構成を示すブロック図である。

[図4]本発明の実施の形態に係る画像処理装置の一部を詳細に示す図である。

[図5]本発明の実施の形態に係るSDRAMからデータをリードする場合のフローチャートである。

[図6]本発明の実施の形態に係るSDRAMにデータをライトする場合のフローチャートである。

[図7]本発明の実施の形態に係るSDRAMのBank A、Bからデータを

リードする場合のタイミングチャートである。

[図8]本発明の実施の形態に係るSDRAMのBank A、Bへデータをライトする場合のタイミングチャートである。

[図9]本発明の実施の形態に係るSDRAMからリードライトされる16-bitのデータとSRAMからリードライトされる40-bitのデータの関係を示す図である。

[図10]本発明の実施の形態に係るアドレスの設定およびデータのバースト転送の順序を示す図である。

[図11]本発明の実施の形態に係る効率的な連続バースト・アクセスでのRead動作の流れを、クロック周期で詳細に示した図である。

[図12]本発明の実施の形態に係るSDRAMの1ワード=16-bit、画像データは10-bit/画素として、バースト・アクセス量が128-bitの場合の1フレームの画像データの構成例を示す図である。

[図13]図12の画像データの構成を採用した場合のタイミングチャートを示す図である。

[図14]本発明の実施の形態に係る“ジグザグ”にアクセスしても、連続バースト・アクセスの効率が実現されることを示す図である。

### 発明を実施するための形態

[0009] 以下、本発明の実施の形態について図面を参照して説明する。

[0010] 図1は、本実施の形態に係る画像処理装置の画像に含まれるブロックとセルの位置の関係を示す図である。本実施の形態に係る画像処理装置は、複数の画素をマトリクス状に配置した画像の中の、走査方向（いわゆる水平方向）8画素分、垂直方向8画素分の領域（図1（a）に示すブロック）を単位として処理を行う。1画素のデータは10-bitである。

[0011] 一方、画像処理装置は、SDRAM（Synchronous Dynamic Random Access Memory）を備え、その読み出し（以下、リードという）/書き込み（以下、ライトという）（転送と総称）の単位であるワードは、16-bitである。このSDRAMでは、8ワ

ードの連続転送（バースト・アクセス（バースト転送））がなされる。一回のバースト・アクセスでは、 $16 \times 8 = 128$  - b i t が転送される。この  $128$  - b i t には、 $12$  画素分のデータ ( $12 \times 10 = 120$  - b i t) が含まれる。この  $12$  画素を便宜的にセルという。

[0012] 図 1 (b) に示すように、例えば、セルは、走査方向  $3$  画素分、垂直方向  $4$  画素分の領域 ( $12$  画素) である。1 ブロックの処理には、 $64$  画素のデータが必要となる。図 1 (b) のように、セルが  $12$  画素であるなら、少なくとも  $6$  回のバースト転送 ( $12$  画素  $\times$   $6$  セル =  $72$  画素分のデータ転送) が必要となる。

[0013] すると、図 1 (c) に示すように、 $8$  画素分のデータが  $8 \times 8$  ブロックの画像処理に使用されず、無駄になる。これは、画像の走査方向に沿って  $1$  つのブロックと  $6$  個のセルを配置した場合に互いの走査方向の両端を一致させることができないからである。

[0014] そこで、画像処理装置では、 $3$  ブロックを処理単位として処理を行う。 $3$  ブロックの処理には、 $192$  ( $= 64 \times 3$ ) 画素のデータが必要となる。これは、 $16$  セルに相当するデータ量であり、図 1 (d) に示すように、画像の走査方向に沿って  $3$  つのブロックと  $16$  個のセルを配置した場合に互いの走査方向の両端が一致する。

[0015] したがって、図 1 (c) に示したような、画像処理に使用されないデータがない。つまり、SDRAM のアクセス効率は  $100\%$  である。

[0016] ただし、処理単位のブロック数を多くすると、画像処理装置に使用される、SRAM の容量を大きくしなければならないので、処理単位のブロック数は、 $10$  以下が好ましい。なお、ブロックは、走査方向  $8$  画素分、垂直方向  $8$  画素分の領域に限るものではない。

[0017] 例えば、ブロックは、図 2 (a) に示すように、走査方向  $8$  画素分、垂直方向  $16$  画素分の領域、または、図 2 (b) に示すように、走査方向  $16$  画素分、垂直方向  $8$  画素分の領域でもよい。このブロックは、例えば、走査方向  $8$  画素分、垂直方向  $8$  画素分の輝度成分 (Y 成分) の領域、走査方向  $4$  画

素分、垂直方向8画素分の色差成分（C b成分）の領域、走査方向4画素分、垂直方向8画素分の色差成分（C r成分）の領域からなる。このような配置を4：2：2色差フォーマットという。

[0018] または、ブロックは、図2（c）に示すように、走査方向8画素分、垂直方向12画素分の領域、または、図2（d）に示すように、走査方向12画素分、垂直方向8画素分の領域でもよい。このブロックは、例えば、走査方向8画素分、垂直方向8画素分の輝度成分（Y成分）の領域、走査方向4画素分、垂直方向4画素分の色差成分（C b成分）の領域、走査方向4画素分、垂直方向4画素分の色差成分（C r成分）の領域からなる。このような配置を4：2：0色差フォーマットという。また、セルは、12画素に限るものではない。

[0019] 例えば、1画素のデータを12-bitとし、セルを10画素としてもよい。また、SDRAMを2個使用すれば、一回のバースト・アクセスで2倍の16ワード（256-bit）を転送できれば、セルの画素数も2倍にできる。

[0020] このように、ブロックやセルの大きさや形状が変わった場合であっても、上記のような基準で配置を行えば、SDRAMのアクセス効率を向上させることができる。

[0021] 図3は、画像処理装置の構成を示すブロック図である。画像処理装置は、画像処理部1、SRAM2、SDRAM3、データセクタ部DS、シフトレジスタ部4、データセクタDS1、カウンタ5、SRAMアドレスタイミング生成部6と、SRAMアドレス生成用テーブル7と、SDRAM信号生成部8と、SDRAMパラメータ設定部9を有する。

[0022] SRAM2は、ワークメモリである。SRAMは、ランダムアクセスが容易で、中規模容量のものを実現しやすいため、画像処理装置の内部のワークメモリとして用いられる。

[0023] SDRAM3用のバッファは、SRAM2（ワークメモリ）とシフトレジスタ部4（複数レジスタの配列）から構成される。

- [0024] SDRAM3は、記憶領域を偶数個に分割してなる同数のBank、例えば、8個のBank A~Hを有する。
- [0025] SRAMアドレス生成用テーブル7は、画像内の画素の構成とSDRAM3のアドレス（Bankアドレス、Rowアドレス、Columnアドレス）の関係を示すものである。つまり、SRAMアドレス生成用テーブル7は、各位置の画素のデータが記憶されるSDRAM上のBankアドレス、RowアドレスおよびColumnアドレスを示すものである。
- [0026] SDRAMパラメータ設定部9は、SDRAM3のアクセス量とセルの形状を設定、制御する部分である。SDRAMパラメータ設定部9は、輝度と色差でブロックの形状が異なるため、または、4:2:2フォーマットと4:2:0フォーマットではブロックの形状が異なるため、同じ3ブロックのアクセスにおいても異なるアクセス制御が必要となるために設けられている。
- [0027] 図4は、画像処理装置の一部を詳細に示す図である。データセクタ部DSは、データセクタDS2、DS3、DS4を有する。シフトレジスタ部4は、シフトレジスタ4AB、4CDを有する。
- [0028] データセクタDS2、シフトレジスタ4ABは、Bank A、C、E、Gへのアクセスに使用される。データセクタDS3、シフトレジスタ4CDは、Bank B、D、F、Hへのアクセスに使用される。
- [0029] シフトレジスタ4ABは、レジスタ1a、2a、3a、4aからなる4段のシフトレジスタと、レジスタ1b、2b、3b、4bからなる4段のシフトレジスタを有する。
- [0030] シフトレジスタ4CDは、レジスタ1c、2c、3c、4cからなる4段のシフトレジスタと、レジスタ1d、2d、3d、4dからなる4段のシフトレジスタを有する。
- [0031] データセクタDS2、DS4は、40-bitのバスで接続され、データセクタDS3、DS4も、40-bitのバスで接続される。
- [0032] 各レジスタ1a、2a、3a、4a、1b、2b、3b、4bとデータセ

レクタDS2は、16-bitのバス（合計8バス）で接続され、各レジスタ1c、2c、3c、4c、1d、2d、3d、4dとデータレクタDS3も、16-bitのバス（合計8バス）で接続される。

[0033] レジスタ1a~4aとデータレクタDS1は、16-bitのバスとクロック信号Ra-CLKなどで接続される。レジスタ1b~4bとデータレクタDS1は、16-bitのバスとクロック信号Rb-CLKなどで接続される。レジスタ1c~4cとデータレクタDS1は、16-bitのバスとクロック信号Rc-CLKなどで接続される。レジスタ1d~4dとデータレクタDS1は、16-bitのバスとクロック信号Rd-CLKなどで接続される。データレクタDS1とSDRAM3は、信号DQS、信号DQSN（信号DQSを半クロック周期分遅らせた信号）、40-bitのデータ信号DQで接続される。

[0034] 図5は、SDRAMからデータをリードする場合のフローチャートである。ここでは、図1を参照して行った説明における、「ブロックの右端とセルの右端とが揃うまでに必要なブロック数」が3であることとする。

[0035] まず、SRAMアドレスタイミング生成部6が、SRAMアドレス生成用テーブル7を参照し、SDRAMの未処理の3ブロック分のアドレス（Bankアドレス、Rowアドレス、Columnアドレス）を算出する（S1）。

[0036] 次に、算出したアドレスのデータが、SDRAM3からデータレクタDS1、シフトレジスタ部4、データレクタ部DSを介してリードされ、SRAM2にライトされる（S3）。

[0037] このとき、SDRAM信号生成部8は、SDRAM3のアクセス・タイミングに対応してSDRAM3を制御する。このとき、SRAMアドレスタイミング生成部6は、SRAM2のアクセス制御を行う。このとき、データレクタDS1、シフトレジスタ部4、データレクタ部DSは、SRAM2のデータの配置変換と一時保持を行う。SDRAM信号生成部8は、SDRAM3を制御するとともに、配置変換と一時保持の制御を行う。SDRAM

パラメータ設定部9は、SDRAM3のアクセス量とセルの形状を設定、制御する。

[0038] 次に、カウンタ5を0に初期化する(S5)。次に、画像処理部1は、SRAM2から未処理の1ブロック分のデータをリードする(S7)。このとき、SRAMアドレスタイミング生成部6は、リードのためのアクセス制御信号を生成する。

次に、画像処理部1は、その1ブロック分のデータを処理する(S9)。

[0039] 次に、カウンタ5に1を加算する(S11)。次に、カウンタ5が3に等しいか否かを判定する(S13)。NOと判定された場合、ステップS7に戻り、YESと判定された場合、ステップS1に戻る。

[0040] なお、画像処理装置は、SDRAMに効率的にアクセスするため、このフローチャートの処理を2つタイミングをずらして並行に実行する。

[0041] 図6は、SDRAMにデータをライトする場合のフローチャートである。ここでも、図1を参照して行った説明における、「ブロックの右端とセルの右端とが揃うまでに必要なブロック数」が3であることとする。

[0042] カウンタ5を0に初期化する(S21)。次に、画像処理部1は、未処理の1ブロック分のデータを処理する(S23)。

[0043] 次に、画像処理部1は、そのデータをSRAM2にライトする(S25)。このとき、SRAMアドレスタイミング生成部6は、ライトのためのアクセス制御信号を生成する。

[0044] 次に、カウンタ5に1を加算する(S27)。次に、カウンタ5が3に等しいか否かを判定する(S29)。NOと判定された場合、ステップS23に戻る。

[0045] YESと判定された場合、SRAMアドレスタイミング生成部6が、SRAMアドレス生成用テーブル7を参照し、処理された3ブロック分のアドレス(Bankアドレス、Rowアドレス、Columnアドレス)を算出する(S31)。

[0046] 次に、処理された3ブロック分のデータが、SRAM2からデータセレクト

タ部DS、シフトレジスタ部4、データセクタDS1を介して、SDRAM3の算出された位置にライトされ(S33)、ステップS21に戻る。

[0047] このとき、SDRAM信号生成部8は、SDRAM3のアクセス・タイミングに対応してSDRAM3を制御する。このとき、SRAMアドレスタイミング生成部6は、SRAM2のアクセス制御を行う。このとき、データセクタDS1、シフトレジスタ部4、データセクタ部DSは、SRAM2のデータの配置変換と一時保持を行う。SDRAM信号生成部8は、SDRAM3を制御するとともに、配置変換と一時保持の制御を行う。SDRAMパラメータ設定部9は、SDRAM3のアクセス量とセルの形状を設定、制御する。

[0048] なお、画像処理装置のデータセクタ部DS、シフトレジスタ部4、データセクタ部DS1、SDRAM信号生成部8、SDRAMパラメータ設定部9は、SDRAMの遊休期間を少なくすべく、連続する2つのSDRAMのBankアクセスの2つタイミングをずらして並行に実行する。

[0049] 図7は、SDRAMのBank A、Bからデータをリードする場合のタイミングチャートである。

[0050] まず、データセクタDS1は、Bank Aを選択し、レジスタ1a~4a、1b~4bへ転送するためのデータをSDRAM3から16-bitのバス信号DQによりリードする。ここでは、16-bitのデータ転送が連続8回行われる。

[0051] また、データセクタDS1は、Bank Aの選択期間において、SDRAM3から出力される信号DQSをレジスタ1a~4aへクロック信号Ra-CLKとして転送し、レジスタ1a~4aのためのデータを16-bitのバス信号を介して、レジスタ1a~4aへ送信する。レジスタ1a~4aは、クロック信号Ra-CLKのタイミングでデータを取得する。ここでは、4回分のデータ転送つまり4回のデータ転送が連続に行われる。

[0052] また、データセクタDS1は、Bank Aの選択期間において、SDRAM3から出力される信号DQSNをレジスタ1b~4bへクロック信号R

b-CLKとして転送し、レジスタ1b~4bのためのデータを16-bitのバス信号を介して、レジスタ1b~4bへ送信する。レジスタ1b~4bは、クロック信号Rb-CLKのタイミングでデータを取得する。ここでは、残りの4回分のデータ転送つまり4回のデータ転送が連続に行われる。すなわち、レジスタ1a~4aとレジスタ1b~4bは、半クロックのタイミング差でそれぞれ4回のデータ転送が行われ、合わせて8回のデータ転送が1回のバースト・アクセスとして行われる。

[0053] 次に、データセクタDS1は、Bank Bを選択し、レジスタ1c~4c、1d~4dへ転送するためのデータをSDRAM3から16-bitのバス信号DQによりリードする。ここでは、16-bitのデータ転送が8回行われる。

[0054] また、データセクタDS1は、Bank Bの選択期間において、SDRAM3から出力される信号DQSをレジスタ1c~4cへクロック信号Rc-CLKとして転送し、レジスタ1c~4cのためのデータを16-bitのバス信号を介して、レジスタ1c~4cへ送信する。レジスタ1c~4cは、クロック信号Rc-CLKのタイミングでデータを取得する。ここでは、4回分のデータ転送つまり4回のデータ転送が行われる。

[0055] また、データセクタDS1は、Bank Bの選択期間において、SDRAM3から出力される信号DQSNをレジスタ1d~4dへクロック信号Rd-CLKとして転送し、レジスタ1d~4dのためのデータを16-bitのバス信号を介して、レジスタ1d~4dへ送信する。レジスタ1d~4dは、クロック信号Rd-CLKのタイミングでデータを取得する。ここでは、残りの4回分のデータ転送つまり4回のデータ転送が行われる。

[0056] また、Bank Bの選択期間において、データセクタDS2、DS4は、レジスタ1a~4a、1b~4bのデータを40-bitのバス信号を介してSRAM2へ転送する。ここでは、40-bitのデータ転送が3回行われる。

[0057] 次に、Bank Aが次に選択され、レジスタ1a~4a、1b~4bが次

のデータを取得する間において、データセクタDS 3、DS 4は、レジスタ1 c～4 c、1 d～4 dのデータを40-bitのバス信号を介してSRAM 2へ転送する。

[0058] 図のSRAM-Adは、SRAM 2にデータをライトする際の、SRAMのアドレス信号を示し、SRAM-WENは、そのときのSRAMへの書き込み信号を示す。

[0059] 以降、同様に、レジスタ1 a～4 a、1 b～4 bを介してのBank Aからのリードと、レジスタ1 c～4 c、1 d～4 dを介してのBank Bからのリードが交互になされる。

[0060] このように、Bank Aからのリードはレジスタ1 a～4 a、1 b～4 bを介して行われ、Bank Bからのリードはレジスタ1 c～4 c、1 d～4 dを介して行われるので、これらは交互に行われる。よって、Bank A、C、E、Gにいずれかからのリードと、Bank B、D、F、Hのいずれかからのリードも同様に、交互に行われる。

[0061] また、シフトレジスタ部4は、Bank A、Bの一方のデータをSDRAMからリードする間において、Bank A、Bの他方のデータをSRAMにライトすることで、SDRAMからのリードを高速化することができる。Bank A、C、E、Gからのリードと、Bank B、D、F、Hのいずれかからのリードも、同様な理由で高速化することができる。

[0062] 図8は、SDRAMのBank A、Bへデータをライトする場合のタイミングチャートである。

[0063] まず、データセクタDS 2、DS 4は、SRAM 2から40-bitのバス信号を介して送信されるデータを、信号Rab-Loadにタイミングを合わせて、レジスタ1 a～4 a、1 b～4 bへ転送する。ここでは、40-bitのデータ転送が3回行われる。

[0064] 次に、データセクタDS 3、DS 4は、SRAM 2から40-bitのバス信号を介して送信されるデータを、信号Rcd-Loadにタイミングを合わせて、レジスタ1 c～4 c、1 d～4 dへ転送する。ここでも、40

− b i t のデータ転送が3回行われる。

- [0065] 図のSRAM−A dは、SRAM2からデータをリードする際の、SRAMのアドレス信号を示し、SRAM−D a t aは、そのときのデータ信号を示す。
- [0066] また、このようにレジスタ1 c ~ 4 c、1 d ~ 4 dがデータを取得する間において、データセクタD S 1は、Bank Aを選択し、レジスタ1 a ~ 4 aから出力されるクロック信号R a w − C L K（クロック信号R a − C L Kの逆方向信号）をSDRAM3へ信号D Q Sの逆方向信号D Q S wとして転送し、レジスタ1 a ~ 4 aのデータを16−b i tのバス信号D Qにより、SDRAM3へ転送する。ここでは、16−b i tのデータ転送が4回行われる。
- [0067] また、Bank Aの選択期間において、つまり、レジスタ1 c ~ 4 c、1 d ~ 4 dがデータを取得する間において、データセクタD S 1は、レジスタ1 b ~ 4 bから出力されるクロック信号R b w − C L K（クロック信号R a − C L Kの逆方向信号）をSDRAM3へ信号D Q S Nの逆方向信号D Q S N wとして転送し、レジスタ1 b ~ 4 bのデータを16−b i tのバス信号D Qにより、SDRAM3へ転送する。ここでも、16−b i tのデータ転送が4回行われる。すなわち、レジスタ1 a ~ 4 aとレジスタ1 b ~ 4 bは、半クロックのタイミング差でそれぞれ4回のデータ転送が行われ、合わせて8回のデータ転送が1回のバースト・アクセスとして行われる。
- [0068] 次に、レジスタ1 a ~ 4 a、1 b ~ 4 bが次のデータを取得する間において、データセクタD S 1は、Bank Bを選択し、レジスタ1 c ~ 4 c、1 d ~ 4 dのデータを16−b i tのバス信号を介して、SDRAM3へ転送する。ここでは、16−b i tのデータ転送が8回行われる。
- [0069] 以降、同様に、レジスタ1 a ~ 4 a、1 b ~ 4 bを介してのライトと、レジスタ1 c ~ 4 c、1 d ~ 4 dを介してのライトが交互になされる。
- [0070] このように、Bank Aへのライトはレジスタ1 a ~ 4 a、1 b ~ 4 bを介して行われ、Bank Bへのライトはレジスタ1 c ~ 4 c、1 d ~ 4 dを

介して行われるので、これらは交互に行われる。よって、Bank A、C、E、Gのいずれかへのライトと、Bank B、D、F、Hのいずれかへのライトも同様に、交互に行われる。

[0071] また、シフトレジスタ部4は、Bank A、Bの一方のデータをSDRAMからリードする間において、Bank A、Bの他方のデータをSRAMにライトすることで、SDRAMからのリードを高速化することができる。Bank A、C、E、Gからのリードと、Bank B、D、F、Hのいずれかからのリードも、同様な理由で高速化することができる。

[0072] 図9は、SDRAM3からリードライトされる16-bitのデータとSRAM2からリードライトされる40-bitのデータの関係を示す図である。SDRAM3からのリードにおいては、以下のような関係のデータ変換がなされる。

[0073] まず、データセクタDS1は、SDRAM3から16-bitのワードを8回リードし、例えばシフトレジスタ4ABに保持させる。つまり、データセクタDS1は、ワードWa0~Wa7からなる128-bitをリードし、例えば、シフトレジスタ4ABに保持させる。

[0074] 次に、例えば、データセクタ部DSは、シフトレジスタ4ABに保持された、10-bitのワードを4つ有するデータを3回でSRAM2へライトする。つまり、データセクタ部DSは、ワードWa0~Wa7を、ワードW00~W03、W10~W13、W20~W23、W30~W33からなる120-bitに変換し、SRAM2にライトする。余剰の8-bitは、例えば、シフトレジスタ4ABとデータセクタ部DSで破棄される。

[0075] 次に、画像処理部1は、ワードW00~W03、W10~W13、W20~W23をSRAM2からリードする。

[0076] 一方、SDRAM3へのライトにおいては、以下のような関係のデータ変換がなされる。

[0077] まず、画像処理部1は、ワードW00~W03、W10~W13、W20~W23からなる120-bitをSRAM2へライトする。

[0078] 次に、データセクタ部DSは、SRAM2からワードW00~W03、W10~W13、W20~W23をリードし、例えば、シフトレジスタ4ABに保持させる。ワードW00~W03、W10~W13、W20~W23には余剰の8-bitが付加される。

[0079] 次に、データセクタDS1は、8-bit付加後の128-bitをワードWa1~Wa8に変換し、SDRAM3にライトする。

[0080] (SDRAMのバースト・アクセスの概要)

図10を参照してSDRAMのバースト・アクセスの概要を説明する。なお、図10では、各コマンドが大きな時間幅を有しているが、実際には1クロック幅である。

[0081] SDRAMの内部は、複数のBank (DDR3-SDRAMでは4~8個のBank) に分割されている。例えば、2-GbitのSDRAMが8個のBankに分割されている場合、1個のBankは256-Mbitの大きさを有する。このSDRAMのワード幅が16-bitの場合、ワード数は16Mワード (=256-Mbit / 16-bit) であるため、16Mワードに割り当てられるアドレスのビット数は24-bitとなる。この24-bitのアドレスはRowアドレスとColumnアドレスに分けられる。それゆえ、SDRAMにアクセスする場合、Bankアドレス、Rowアドレス、Columnアドレスからなるアドレス群が必要である。

[0082] 第1のコマンドCmd-1にて、アクセス対象のBankアドレスと、アクセス対象のBank内の所望のRowアドレスをActiveに設定する。第1のコマンドCmd-1を発行してから所定の時間 (Cmd-2待ち時間) が経過すると、第2のコマンドCmd-2にて、アクセス対象のBankアドレスと、アクセス対象のBank内の所望のRowアドレス上のColumnの開始アドレスと、Read/Writeモード (バースト・アクセス設定を含む) を指定する。第2のコマンドCmd-2を発行してから所定の時間 (バースト遅延時間) が経過すると、指定されたColumnの開始アドレスを起点にして、バースト・アクセス (8ワードの連続転送) による

ReadあるいはWrite動作が行われる。

[0083] (SDRAMのバースト・アクセスを効率的に行う方法)

図11を参照してSDRAMのバースト・アクセスを効率的に行う方法を説明する。

[0084] 例えば、32ワードのデータをSDRAMに配置する場合、SDRAMでは同じBankの異なるRowアドレスに連続してバースト・アクセスできないため、例えば、32ワードのデータを8ワードからなる4つのセグメントに分割して、4つのセグメントを4つのBank A, B, C, Dにそれぞれ配置する。このように配置された32ワードのデータを読み取る場合、最初に、第1のコマンドCmd-1 A, Cmd-1 B, Cmd-1 C, Cmd-1 Dを発行して、アクセス対象のBank A, B, C, Dのアドレスと、アクセス対象のBank A, B, C, D内の所望のRowアドレスをActiveに設定する(図11では図示略)。次に、第2のコマンドCmd-2 A, Cmd-2 B, Cmd-2 C, Cmd-2 Dを発行して、アクセス対象のBank A, B, C, Dのアドレスと、アクセス対象のBank A, B, C, D内の所望のRowアドレス上のColumnの開始アドレス(X1, Y1など)と、Readモードを指定する。ここで、各コマンドのクロック幅、バースト遅延時間のクロック幅、8-wordバースト・アクセスのクロック幅を、それぞれ1クロック、6クロック、4クロックとすると、第2のコマンドを4クロック毎に発行すると、バースト・アクセスが効率良く連続して行われる(図11参照)。

[0085] Cmd-2待ち時間とバースト遅延時間は、SDRAMの仕様として予め定められている。上記の例において、Cmd-2待ち時間が3つの第1のコマンドを発行し終わる時間に等しい場合には、バースト・アクセスを効率良く連続して行うために、第1のコマンドCmd-1 A, Cmd-1 B, Cmd-1 Cを発行した後に、第2のコマンドCmd-2 Aを発行する。そして、第1のコマンドCmd-1 Dを発行した後に、第2のコマンドCmd-2 B, Cmd-2 C, Cmd-2 Dを発行する。

- [0086] 通常、第1のコマンドの発行からバースト・アクセスの開始までには、12クロック程度の時間を要する。連続バースト・アクセスにおいて、アクセス対象のBankアドレスとRowアドレスが同じである場合には、最初に発行された第1のコマンドを共通に使用できるので、2つ目の第2のコマンドの発行から2回目のバースト・アクセスの開始までには、8クロック程度の時間を要する。SDRAMでは、8クロック以下の間隔で第1のコマンドを随時発行できるので、互いに異なるBankに対して、8ワードのバースト・アクセスを連続的に行うと、隙間のない最も効率の良いアクセスが可能となる。従って、SDRAMのアクセス効率のためには、(1)各Bankに配置されるデータのセグメントに対して、8ワードのバースト・アクセスを行う、(2)隣接するデータのセグメントは互いに異なるBankに配置される、(3)大きな量のデータに対して連続バースト・アクセスを行う場合には、必要に応じて、第1のコマンドにより、アクセス対象のBankアドレスとRowアドレスの変更を行う。
- [0087] このように、コマンドの最適なスケジューリングに基づいて、複数のBankに連続バースト・アクセスを行えば、単位時間あたりの最大アクセス量が実現される。Write動作時も同様な処理を行うことで、単位時間あたりの最大アクセス量が実現される。
- [0088] 図12は、SDRAMの1ワード=16-bit、画像データは10-bit/画素として、バースト・アクセス量が128-bitの場合の1フレームの画像データの構成例を示す図である。
- [0089] ここでは、セルは、水平3画素×垂直4画素である。セルには、Bankアドレス、Rowアドレス、Columnアドレスの記述も含めるのが望ましい。
- [0090] 128-bitを10-bit/画素で表現すると、12画素(セル)に割り当てられる。この12画素を幾何学的にどう配置するか、幾つかの選択肢があるが、1×12、2×6、3×4、4×3、6×2、12×1(最初の数字は水平方向の画素数、2つめの数字を垂直方向の画素数)の計6種類

の配置方法がある。図中RAはRowアドレス、CAはColumnアドレスを示している。

[0091] 図12では、第1段、第3段、…はBank A、B、C、Dの順に繰り返したセルが並び、Columnアドレスが変化していく。Columnアドレスが最大値に達した後は、Rowアドレスを変えてBank A、B、C、Dの順に繰り返したセルが並び、第2段、第4段、…はBank E、F、G、Hの順に繰り返したセルが並び、Columnアドレスが変化し、Columnアドレスが最大値に達すると、Rowアドレスを変えて、Bank E、F、G、Hの順に繰り返したセルが並び、Columnアドレスが変化し、Columnアドレスが最大値に達すると、Rowアドレスを変えてBank E、F、G、Hの順に繰り返したセルが並び。

[0092] 図12において、網掛けの5×2の矩形領域中を、折れ線矢印で示した順序でアクセスする場合を説明する。上段のセルから下段のセルに移動した際に、同じBankであった場合は連続アクセスができない。垂直移動した際に同一Bankの連続アクセスを避け、別のBankとするためには、8個のBankを配置すればよい。このように、上段と下段でBank並びが変わるため、Rowアドレスの変化があっても、連続バースト・アクセスが可能となる。

[0093] つまり、8個のBankを交互に配置しているのは以下の理由による。2つ以上のBankを交互にバースト・アクセスしないと、最大アクセス速度が得られない。つまり、同一Bankのアクセスの連続にはバースト間のギャップができてしまうので、最大アクセス速度を連続して実行できない。

[0094] あるBankの同一Column内のアクセスでは、1024ワード（16-Kbit）程度の大きさなのでRowアドレスを変更する必要があるが、そのときRowアドレス変更には余分な時間が必要なため、3つ以上のBankを交互に用いる必要がある。制御のしやすさから、4つのBankを交互に用いるのが回路構成上は合理的である。

[0095] セルを水平方向にいくつかアクセスし、続いて垂直方向に1セルずらして

再度セルをアクセスする場合、異なるBankでなければ最大アクセス速度を実行できないので、水平方向には4個のBankを順に並べ、垂直方向には2つのBankを交互に並べた配置とする。このようにすれば、どのような矩形領域（複数ブロック領域）でも最大アクセス速度でSDRAMのバースト・アクセスが実現できる。

[0096] 図13は、図12の画像データの構成を採用した場合のタイミングチャートを示す図である。図13は図12のSDRAMの5×2セルの矩形領域を折れ線矢印に沿って、Read動作、あるいはWrite動作における8個のBankの動作と2組のレジスタ群の動作を示している。

[0097] 図13において、SRAMアクセスとして示した部分は、画像処理装置の入出力とSDRAMアクセス用バッファ・レジスタ（並べ替えレジスタ）間のデータ転送動作が行われる。SDRAMのRead動作時は、Read動作ではSDRAMのアクセスの後SRAMアクセスとなり、ReadしたBankデータが画像処理装置のSRAMに転送される。SDRAMのWrite動作時は、SRAMアクセス後のSDRAMアクセスとなり、次にWriteすべき画像処理装置からのデータが、画像処理装置のSRAMからSDRAMアクセス用バッファ・レジスタに転送されている。

[0098] 図13に示すように、8個のセルで交互に配置することによって、5×2の矩形領域アクセスにおいても、Bank C、D、A、B、C、G、H、E、F、Gの順になり、連続バースト・アクセスが可能となっている。

[0099] なお、図12では、1セルを3画素×4ラインとして構成しているが、6画素×2ラインなど、1バースト・アクセスで12画素であればよい。

[0100] さらには、カラー画像を考えると、4:2:2色差フォーマットの場合だけでも、12画素を全て輝度画素、あるいは色差画素とする方法が考えられる。この場合、輝度信号と色差信号で異なるBankを用いてもいいし、輝度と色差で異なるRowアドレスを設定してもよい。また、12画素を、6画素分を輝度に、残り6画素分を色差に割り当ててもよい。

[0101] 本実施形態では、1画素を10-bitで処理した場合を説明したが、1

画素を  $12\text{-bit}$  で処理する場合、データ幅  $12\text{-bit}$  と SDRAM 高速バースト・アクセスの単位となる  $128\text{-bit}$  との対応は、 $128\text{-bit}$  中、 $12\text{-bit}$  が 10 個として扱う。

[0102] この場合、 $128\text{-bit} = 12\text{-bit} \times 10 + 8\text{-bit}$  とし、余剰  $8\text{-bit}$  は使用せず削除する。この場合の画像メモリでの配置は、 $1 \times 10$ 、 $2 \times 5$ 、 $5 \times 2$ 、 $10 \times 1$  となり、これらから適切なものを選択する。

[0103] 2チップ構成の SDRAM を並列使用した場合、バースト・アクセスの単位が  $256\text{-bit}$  となる。このとき、 $256\text{-bit}$  を  $12\text{-bit} \times 21 + 4\text{-bit}$  とする方法と、 $12\text{-bit} \times 20 + 16\text{-bit}$  とする方法が考えられる。21画素に割り当てた場合、画像メモリでの配置を  $1 \times 21$ 、 $3 \times 7$ 、 $7 \times 3$ 、 $21 \times 1$  の4種類の配置が考えられ、20画素に割り当てた場合、画像メモリでの配置を  $1 \times 20$ 、 $2 \times 10$ 、 $4 \times 5$ 、 $5 \times 4$ 、 $10 \times 2$ 、 $20 \times 1$  が考えられる。

[0104] 以上のように、メモリにアクセスする際のビット幅と画像処理装置にアクセスする際のビット幅が異なる場合であっても、本実施形態では対応が可能である。

[0105] 図14では、必ずしも水平方向の隣接領域へのアクセス、あるいは垂直方向の上限隣接領域への連続アクセスとはしなくても、“ジグザグ”にアクセスしても、連続バースト・アクセスの効率が実現されることを示している。

[0106] 以上、本発明の実施の形態について説明したが、上記画像処理装置によれば、より具体的な応用分野として、動画像符号化国際標準である ITU-T Recommendation H. 264 の、特に高品質映像を目的にした “High 4:2:2 Profile” 規格、“High 10 Profile” 規格などに準拠したエンコーダやデコーダを低価格に構成することが可能になる。

[0107] 動画像のエンコーダやデコーダの実装には SDRAM の接続が不可欠と言える。近年、SDRAM は DDR、DDR2、そして DDR3 へと進化して

、現在主流のDDR3 SDRAMの記憶容量は1-Gbit~2-Gbit程度になり、これはハイビジョン画像を30~60フレーム分記憶できる容量である。H. 264のエンコーダあるいはデコーダの構成には通常4~6フレーム程度の記憶容量で実現可能であり、記憶容量としては近年のSDRAMは十分過ぎる容量がある。

[0108] 他方、SDRAMアクセスについては、必ずしも十分ではなく、そのため、記憶容量からはSDRAMが1個あれば十分だが、アクセス量を確保するため、2個~4個のSDRAMを用いている。

[0109] 各画素データを従来の8-bitから10-bitに拡張することにより、より高品質な画像が得られるが、SDRAMを考えると、そのアクセス効率を高める工夫が不可欠である。そして同時に、SDRAMの動作速度は500MHz以上のクロック周波数となり、画像信号処理自体も並列処理化となってきた。本発明はこうした状況に適したエンコーダとデコーダの実現と共に、画像のさまざまな信号処理応用（医療画像、フレーム周波数変換、画像認識装置など）においても効果を発揮する。

[0110] また、高品質画像の長期的保存には、HDD（ハード・ディスク・ドライブ）も重要な記憶装置である。これも従来の2のべき乗数値単位の構成となっており、近年その記憶容量もアクセス速度も向上しているが、10-bitビデオや20-bitディオなどのような高品質AV（Audiovisual）応用には、本発明の効果が生かされる。HDDと同様にDVD（Digital Versatile Disk）やBD（Blu-ray Disk）なども2のべき乗数値のデータ構成のため、高品質信号処理装置の実現には本発明が生かされる。

[0111] HDDやDVD、BDなどの蓄積メディアのセクターサイズは前述のSDRAMのバーストサイズに比較して大きいので（2048バイト程度）、SDRAMと同様に128-bit（16バイト）毎や256-bit（32バイト）毎に8-bit単位（バイト）のデータ構成から10-bit単位や12-bit単位のデータ構成に変換してもよい。

## 符号の説明

- [0112] 1…画像処理部  
2…S R A M  
3…S D R A M  
4…シフトレジスタ部  
5…カウンタ  
6…S R A Mアドレスタイミング生成部  
7…S R A Mアドレス生成用テーブル  
8…S D R A M信号生成部  
9…S D R A Mパラメータ設定部  
D S…データセクタ部  
D S 1～D S 4…データセクタ  
4 A B、4 C D…シフトレジスタ  
1 a～4 a、1 b～4 b、1 c～4 c、1 d～4 d…レジスタ

## 請求の範囲

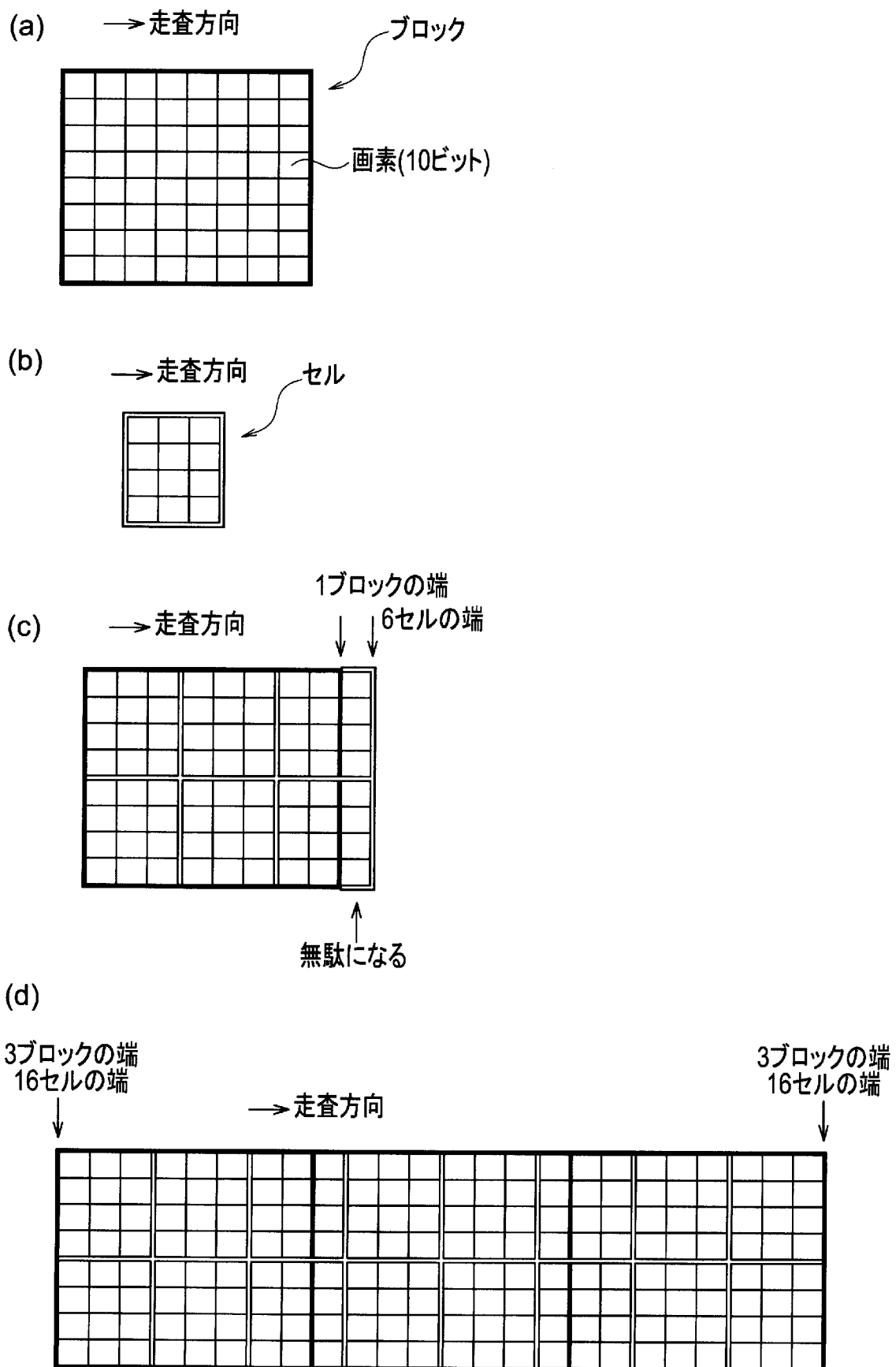
[請求項1]

画像に関するデータを処理する画像処理部と、  
処理前または処理後のデータを記憶するメモリとを備え、  
前記画像における前記画像処理部による処理単位に対応する領域を  
ブロックとし、前記画像における前記メモリとのデータの転送単位に  
対応する前記ブロックより小さい領域をセルとし、前記画像の走査方  
向に沿って1以上の前記ブロックと2以上の前記セルを配置した場合  
に互いの前記走査方向の両端が一致していることを特徴  
とする画像処理装置。

**補正された請求の範囲**  
**[2011年10月6日(06.10.2011)国際事務局受理]**

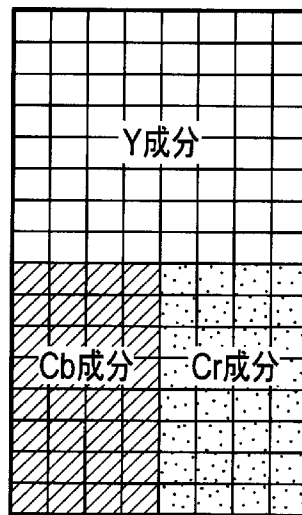
[請求項 1] (補正後) 画像に関するデータを処理する画像処理部と、  
処理前または処理後のデータを記憶するメモリとを備え、  
前記画像における前記画像処理部による処理単位に対応する領域をブロックとし、  
前記画像における前記メモリとのデータの転送単位に対応する前記ブロックより小さい領域をセルとし、前記画像の走査方向に沿って1個のブロックと複数のセルを配置したときに互いの前記走査方向の両端が一致しない場合、複数のブロックと複数のセルを配置したときに互いの前記走査方向の両端が一致するような前記複数のブロックを処理単位として前記画像処理部で処理を行うことを特徴とする画像処理装置。

[図1]

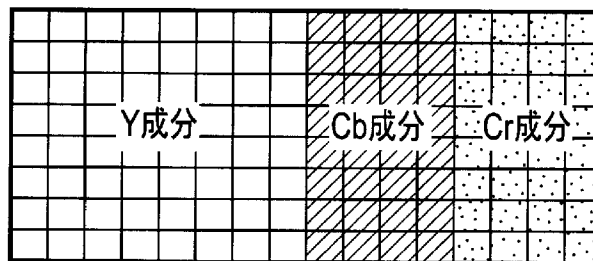


[図2]

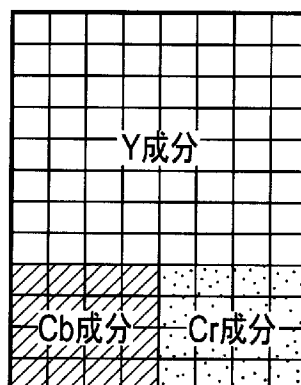
(a)



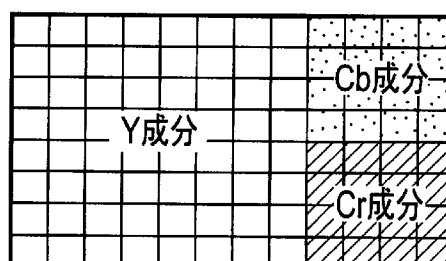
(b)



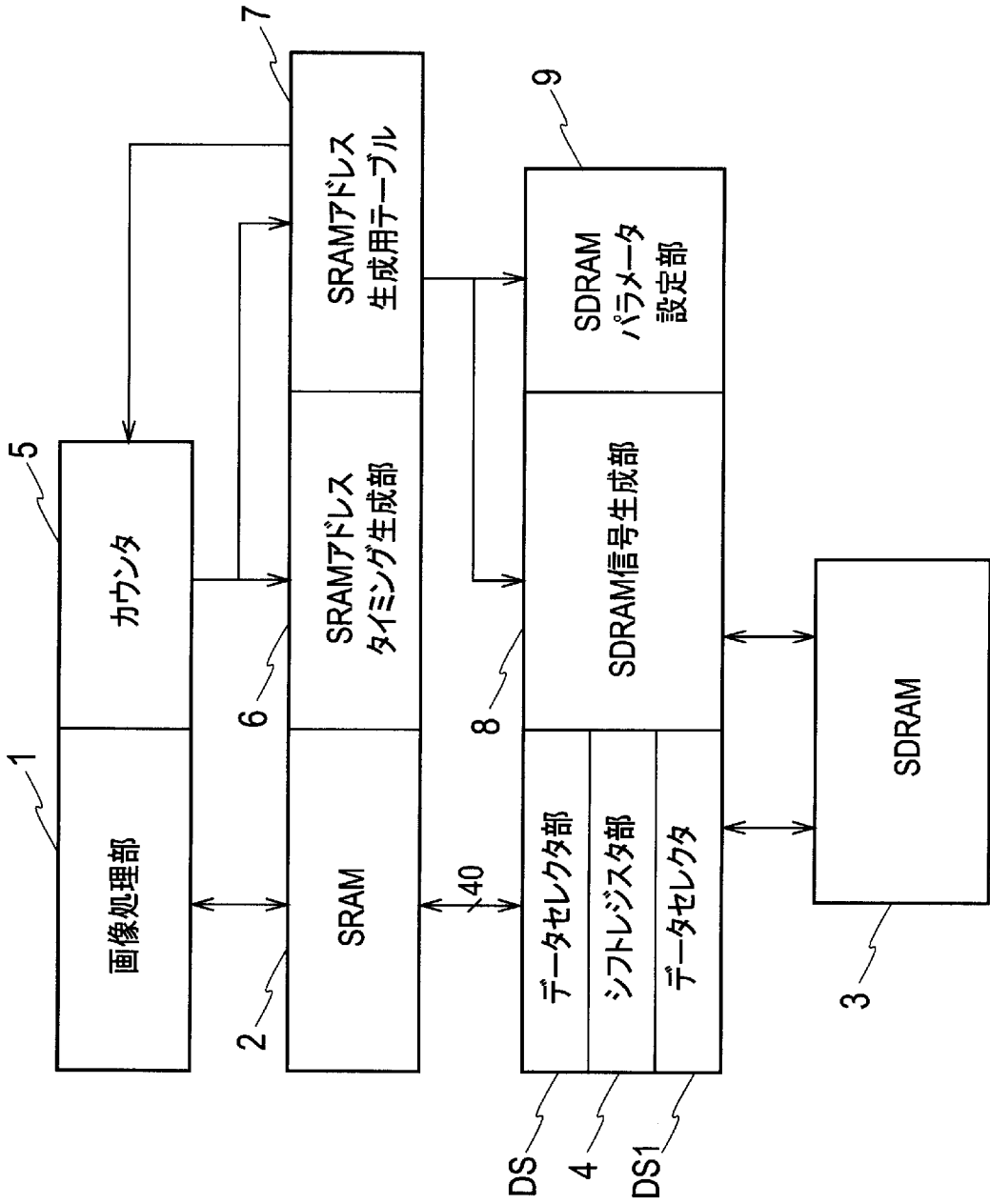
(c)



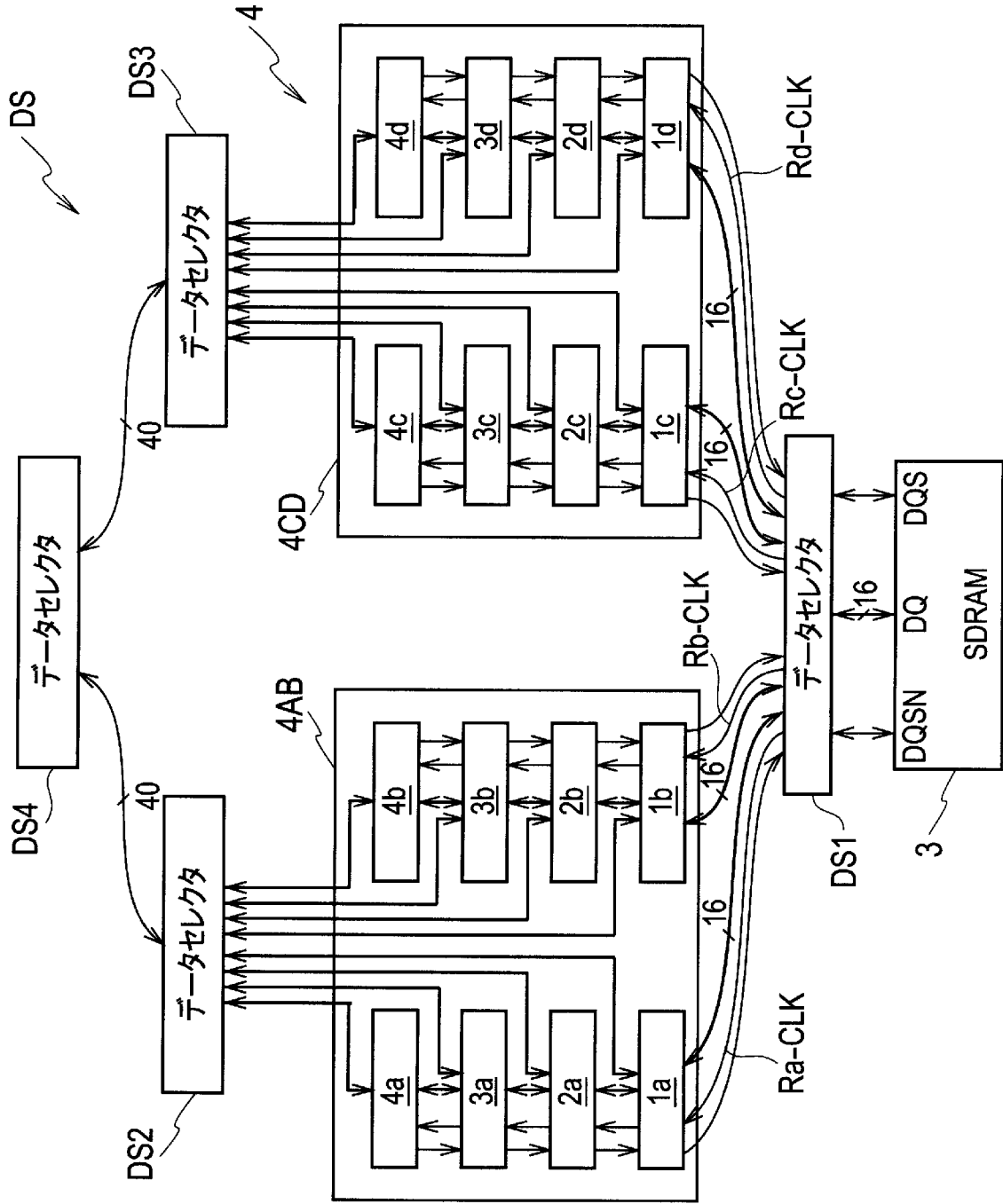
(d)



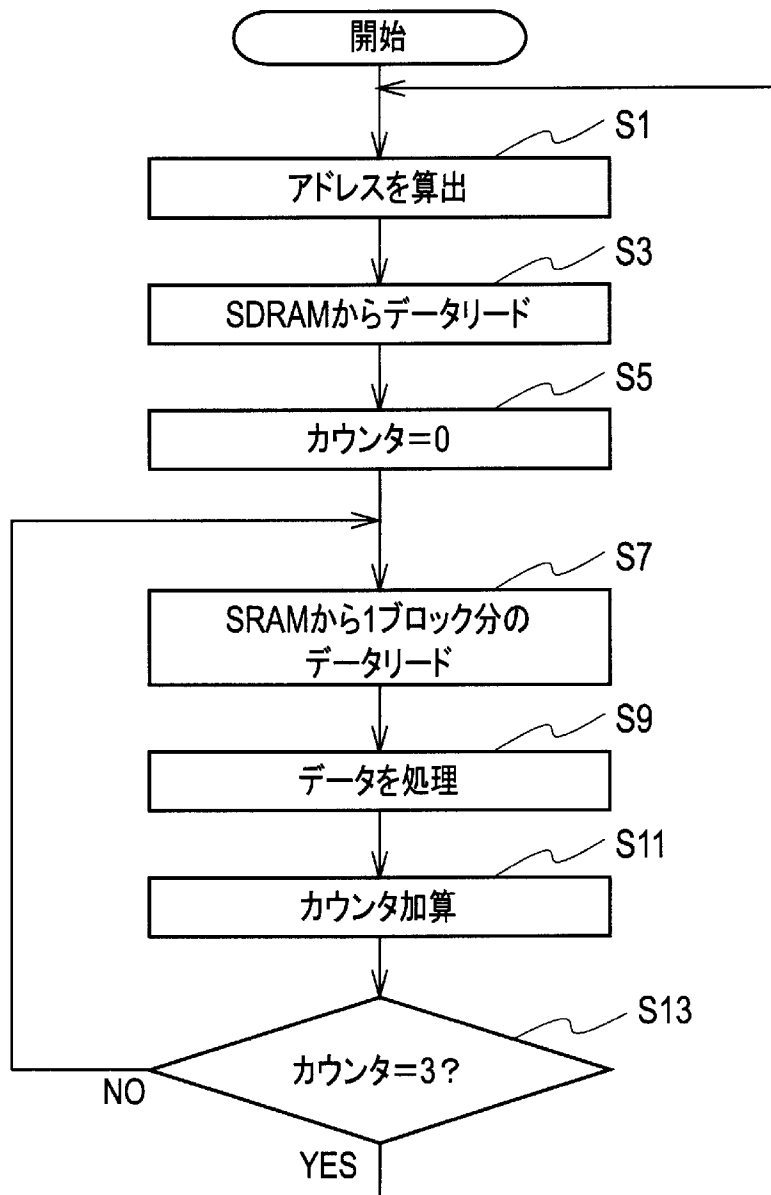
[図3]



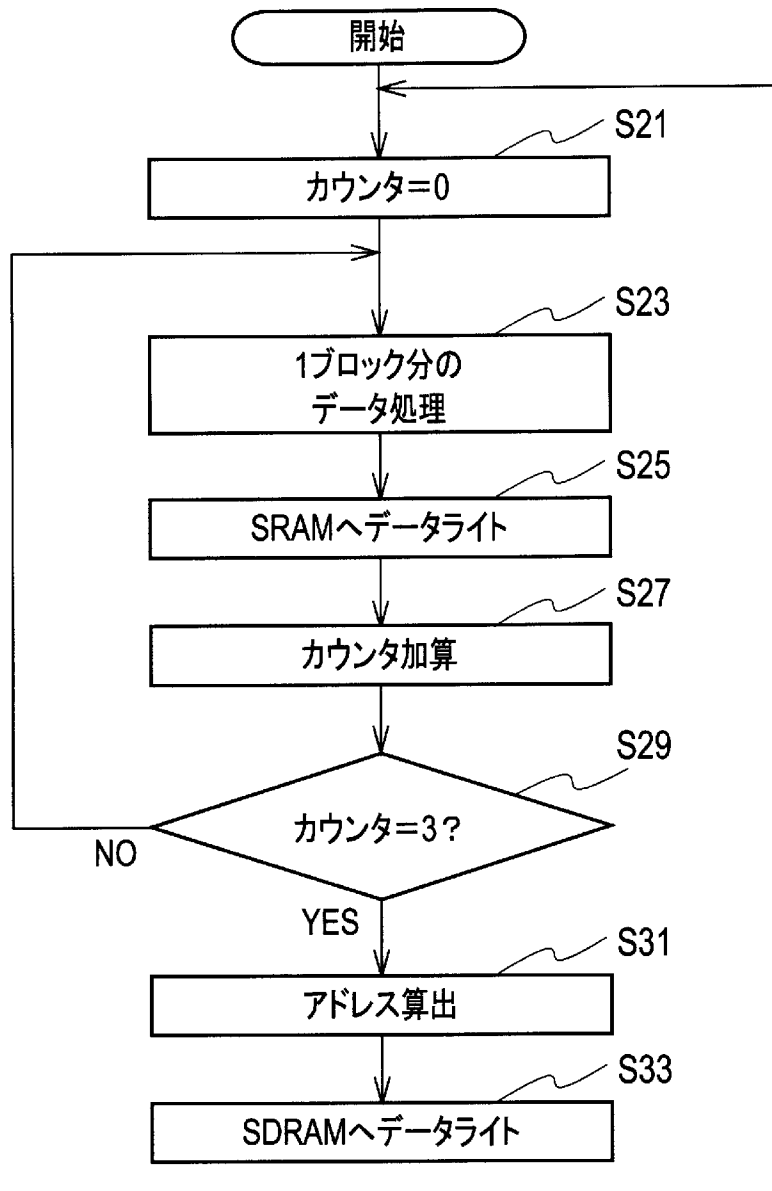
[図4]



[図5]

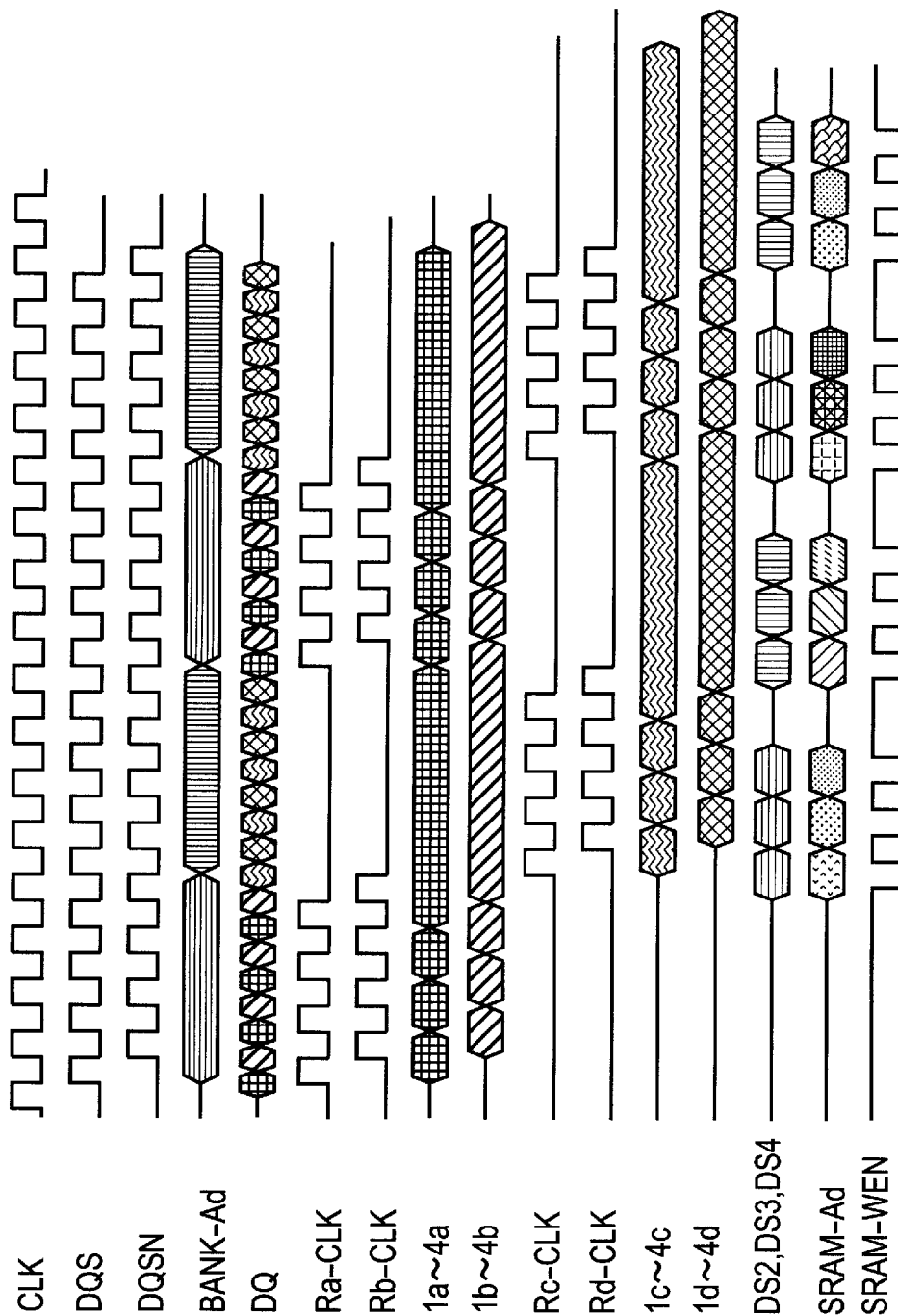
SDRAMからのデータリード

[図6]

SDRAMへのデータライト

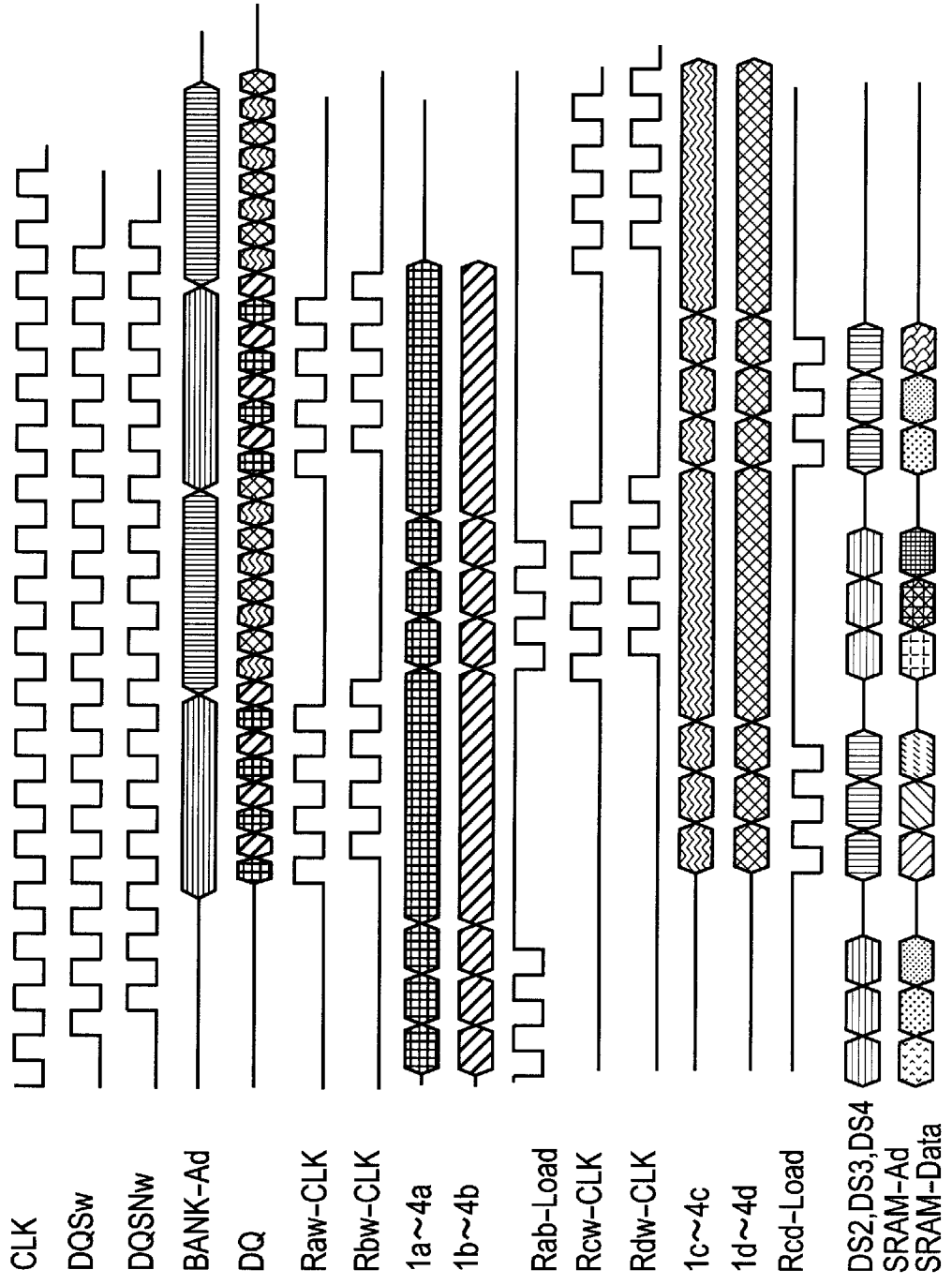
[図7]

SDRAMからのデータリードのタイミングチャート

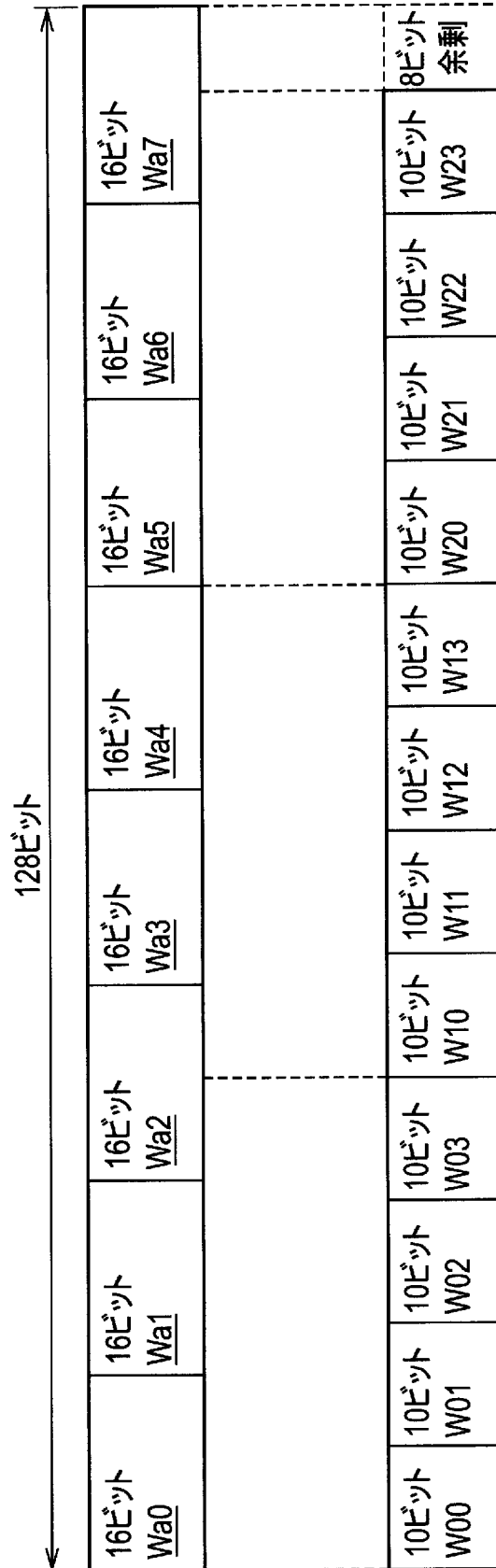


[図8]

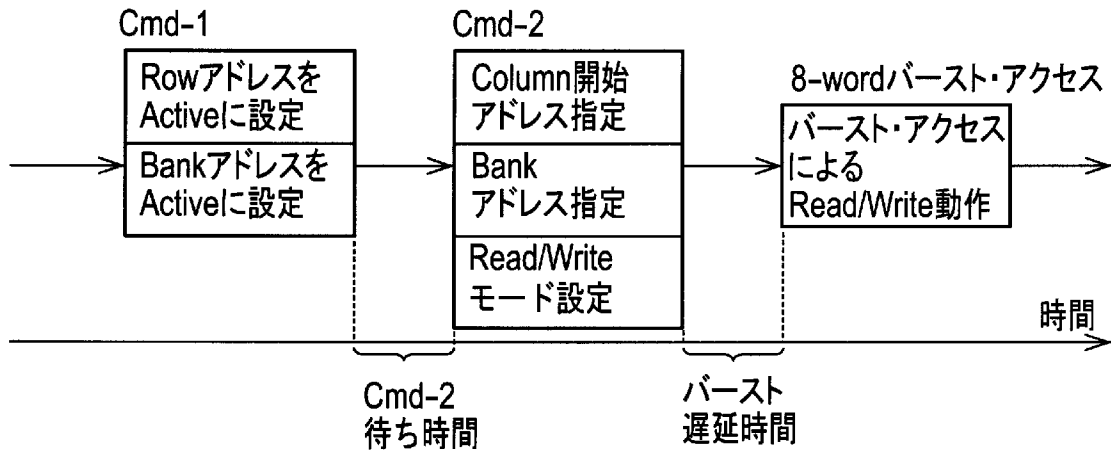
SDRAMへのデータライトのタイミングチャート



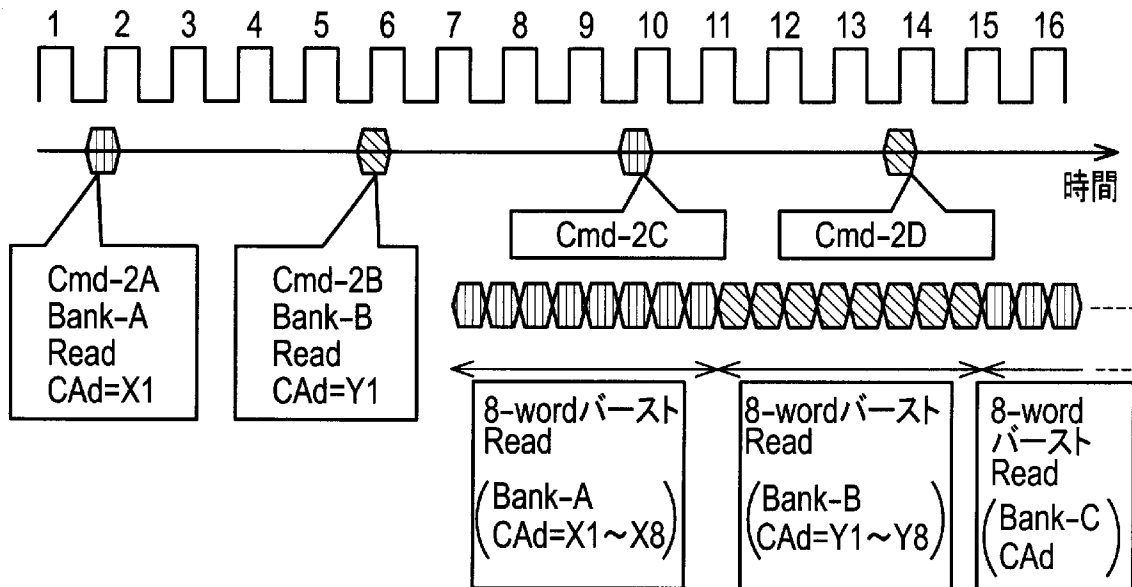
[図9]



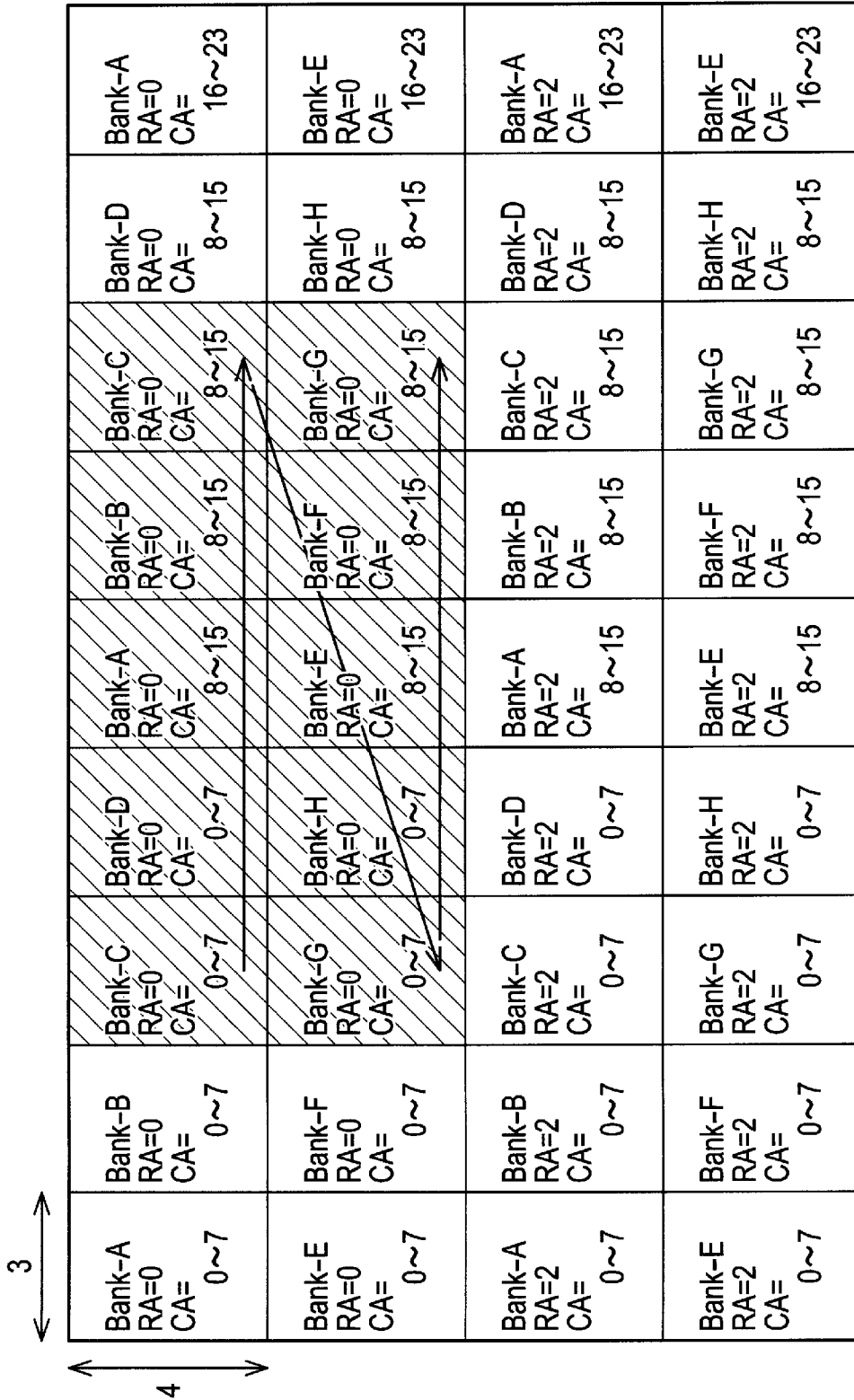
[図10]



[図11]

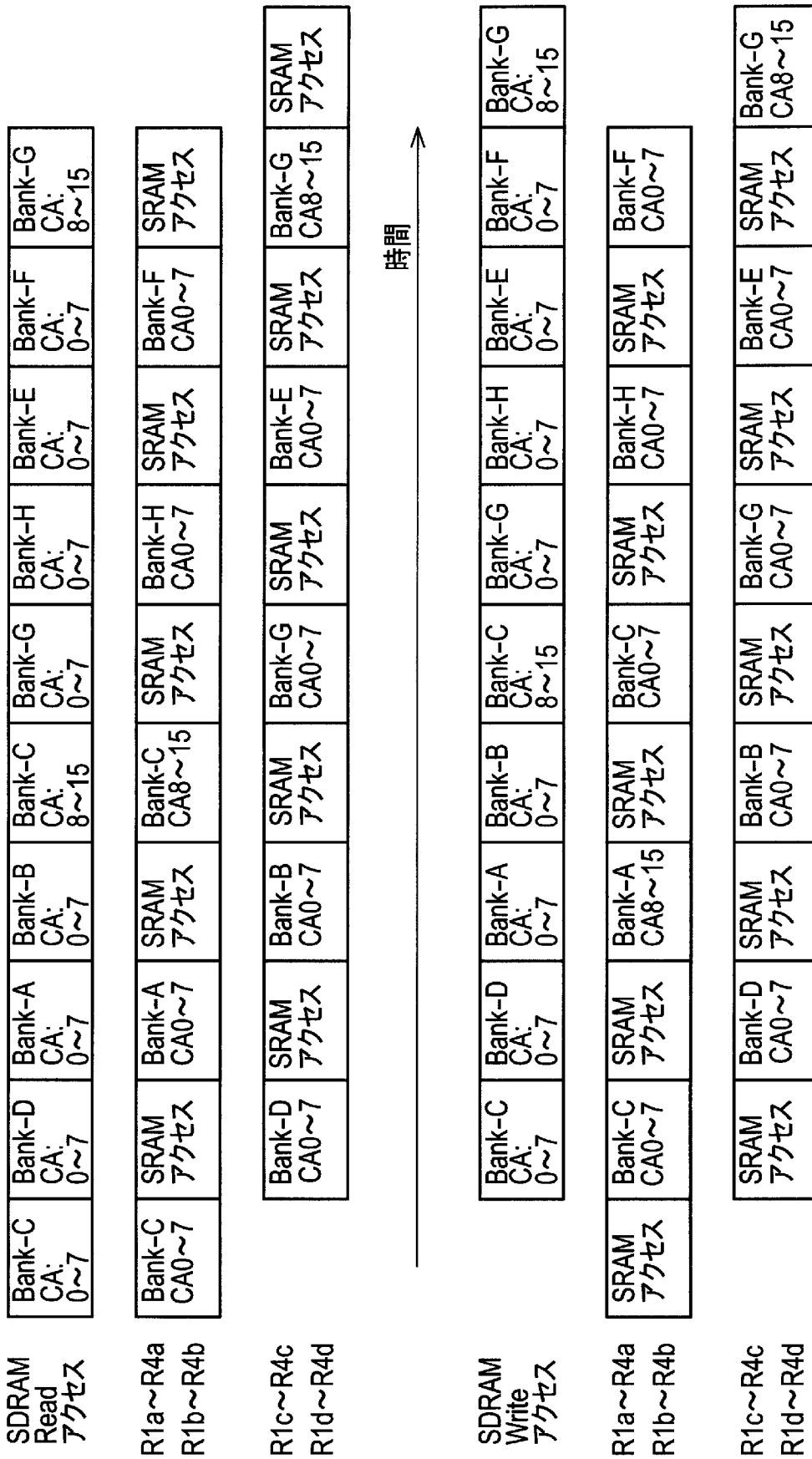


[図12]



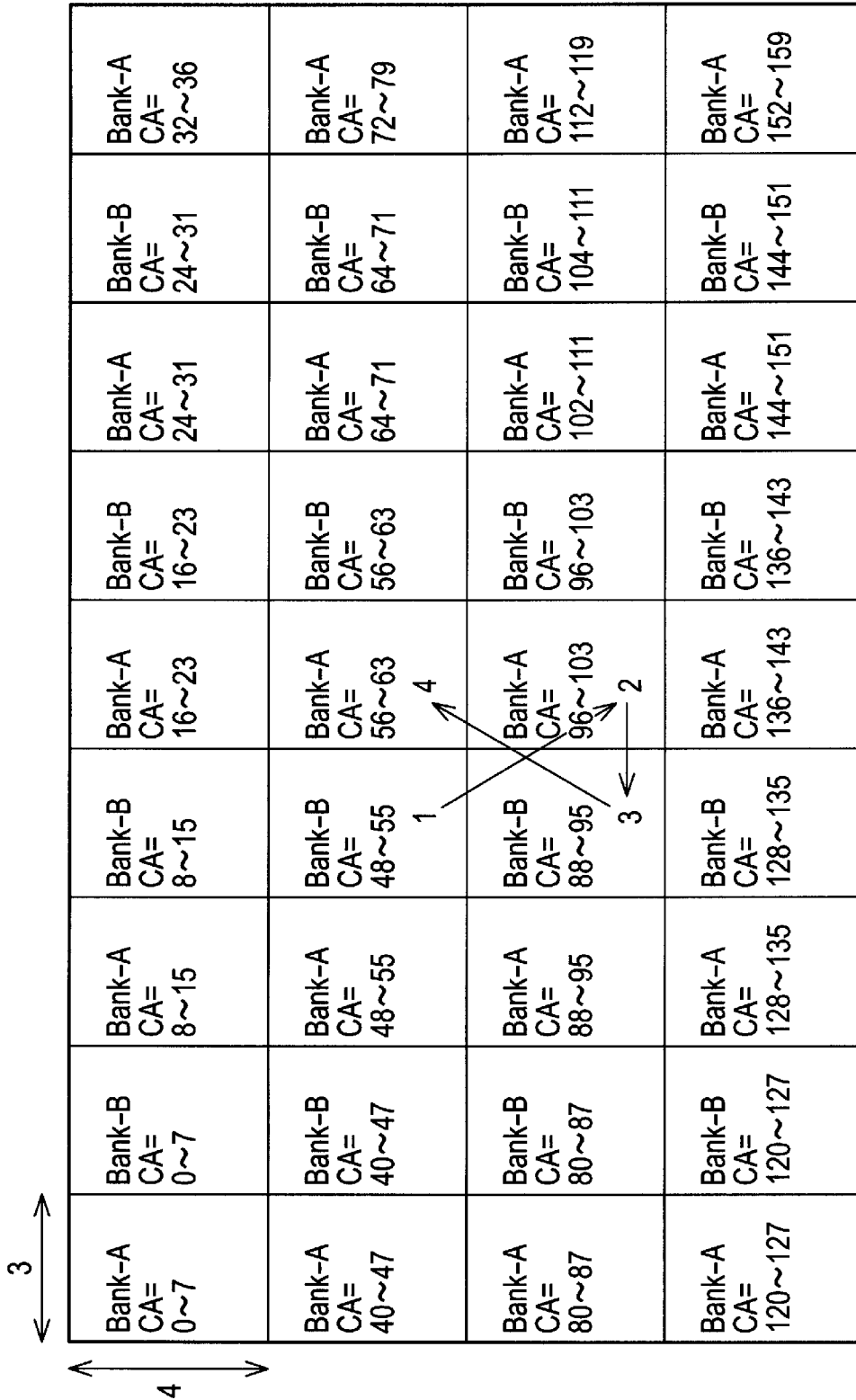
ROWアドレスの変化に対応した各Bankのセルの配置例

[図13]



矩形領域の連続アクセスのタイミング・チャート

[図14]



任意Bank領域並びで構成された画像メモリのアクセス順序

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2011/063067

**A. CLASSIFICATION OF SUBJECT MATTER**

G06T1/60 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

G06T1/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-312358 A (Matsushita Electric Industrial Co., Ltd.), 29 November 2007 (29.11.2007), paragraphs [0038], [0064], [0069]; fig. 9 & US 2007/0279426 A1 & CN 101060628 A	1
A	JP 2009-116763 A (Sony Corp.), 28 May 2009 (28.05.2009), paragraph [0286] (Family: none)	1

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
06 July, 2011 (06.07.11)

Date of mailing of the international search report  
19 July, 2011 (19.07.11)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G06T1/60(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G06T1/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-312358 A (松下電器産業株式会社) 2007. 11. 29, 【0038】、【0064】、【0069】、【図9】 & US 2007/0279426 A1 & CN 101060628 A	1
A	JP 2009-116763 A (ソニー株式会社) 2009. 05. 28, 【0286】 (ファミリーなし)	1

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

06.07.2011

国際調査報告の発送日

19.07.2011

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

▲広▼島 明芳

電話番号 03-3581-1101 内線 3531

5H

9853