



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I843480 B

(45)公告日：中華民國 113 (2024) 年 05 月 21 日

(21)申請案號：112109316

(22)申請日：中華民國 111 (2022) 年 03 月 09 日

(51)Int. Cl. : **G11C11/41 (2006.01)****G11C7/18 (2006.01)****G11C8/14 (2006.01)**

(30)優先權：2021/03/10 美國

63/158,896

2021/03/18 美國

63/162,569

2021/08/06 美國

17/395,922

(71)申請人：新加坡商發明與合作實驗室有限公司 (新加坡) INVENTION AND
COLLABORATION LABORATORY PTE. LTD. (SG)

新加坡

鈺創科技股份有限公司 (中華民國) ETRON TECHNOLOGY, INC. (TW)

新竹市科學工業園區科技五路 6 號

(72)發明人：盧超群 LU, CHAO-CHUN (TW)；黃立平 HUANG, LI-PING (TW)；闕壯穎 CHUEH,
JUANG-YING (TW)

(74)代理人：祁明輝；林素華；涂綺玲

(56)參考文獻：

TW I710064B

US 9646974B1

WO 2011/014409A1

審查人員：劉耀允

申請專利範圍項數：4 項 圖式數：38 共 109 頁

(54)名稱

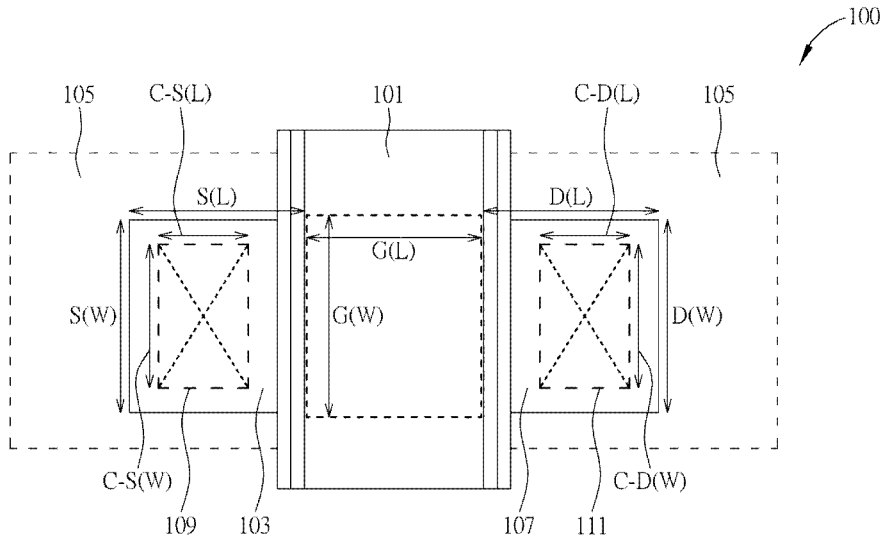
SRAM 單元

(57)摘要

SRAM 單元包括多個電晶體、耦接多個電晶體的一組接點、電耦接多個電晶體的字元線、電耦接多個電晶體的位元線和位元線條、電耦接多個電晶體的 VDD 接線，電耦接多個電晶體的 VSS 接線。其中，隨著 SRAM 單元，在不同技術節點的最小特徵尺寸(λ)逐漸變小，由最小特徵尺寸的平方表示之該 SRAM 單元的面積尺寸相同或基本相同。

A SRAM cell includes a plurality of transistors, a set of contacts coupled to the plurality of transistors, a word-line electrically coupled to the plurality of transistors, a bit-line and a bit line bar electrically coupled to the plurality of transistors, a VDD contacting line electrically coupled to the plurality of transistors, and a VSS contacting line electrically coupled to the plurality of transistors, wherein as the minimum feature size of the SRAM cell gradually decreases at different technology nodes, an area size of the SRAM cell in terms of square of a minimum feature size (λ) is the same or substantially the same.

指定代表圖：



第 5 圖

符號簡單說明：

- 100:電晶體 (mMOSFET)
- 101:閘極結構
- 103:源極
- 105:隔離區
- 107:汲極
- 109:接觸孔
- 111:接觸孔
- $G(L)$:長度
- $G(W)$:寬度
- $S(L)$:長度
- $S(W)$:寬度
- $D(L)$:長度
- $D(W)$:寬度
- $C-S(L)$:開口的長度
- $C-S(W)$:開口的寬度
- $C-D(L)$:開口的長度
- $C-D(W)$:開口的寬度

I843480

【發明摘要】**【中文發明名稱】** SRAM單元**【英文發明名稱】** SRAM CELL**【中文】**

SRAM 單元包括多個電晶體、耦接多個電晶體的一組接點、電耦接多個電晶體的字元線、電耦接多個電晶體的位元線和位元線條、電耦接多個電晶體的 VDD 接線，電耦接多個電晶體的 VSS 接線。其中，隨著 SRAM 單元，在不同技術節點的最小特徵尺寸（ λ ）逐漸變小，由最小特徵尺寸的平方表示之該 SRAM 單元的面積尺寸相同或基本相同。

【英文】

A SRAM cell includes a plurality of transistors, a set of contacts coupled to the plurality of transistors, a word-line electrically coupled to the plurality of transistors, a bit-line and a bit line bar electrically coupled to the plurality of transistors, a VDD contacting line electrically coupled to the plurality of transistors, and a VSS contacting line electrically coupled to the plurality of transistors, wherein as the minimum feature size of the SRAM cell gradually decreases at different technology nodes, an area size of the SRAM cell in terms of square of a minimum feature size (λ) is the same or substantially the same.

【指定代表圖】 第 5 圖。

【代表圖之符號簡單說明】

100:電晶體(mMOSFET)

101:閘極結構

103:源極

105:隔離區

107:汲極

109:接觸孔

111:接觸孔

G(L):長度

G(W):寬度

S(L):長度

S(W):寬度

D(L):長度

D(W):寬度

C-S(L):開口的長度

C-S(W):開口的寬度

C-D(L):開口的長度

C-D(W):開口的寬度

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 SRAM單元

【英文發明名稱】 SRAM CELL

【技術領域】

【0001】本發明是有關於一種記憶體結構，且特別是有關於一種能夠精確控制尺寸以有效縮小靜態隨機存取記憶體（Static Random Access Memory, SRAM）結構尺寸的SRAM結構。

【先前技術】

【0002】積體電路性能和成本的改進主要透過根據摩爾定律的製程縮放技術實現，但是隨著微型化到28nm(或更低)製程的電晶體性能的製程變化是一個挑戰。特別是，為提高儲存密度而縮小SRAM元件、降低工作電壓（VDD）以降低待機功耗、以及實現更大容量SRAM所需的提高產量，變得越來越難以實現。

【0003】SRAM是常用的記憶體之一。SRAM通常包括SRAM陣列和外圍電路，包括列位址解碼器、行位址解碼器和輸入/輸出電路等。SRAM陣列包括多個SRAM單元，每個SRAM單元包含一個靜態鎖存器（static latch）和兩個交叉耦合的反相器（inverter），因此它不需要DRAM週期性刷新來保留儲存的信息，只要有足夠的電源電壓用於單元，即高電位電壓VDD和低電位電壓VSS。相同的高電位電壓VDD和低電位電壓VSS也連接到SRAM外圍電路（解碼器、I/O電路）。此外，高電位電壓VDD

通常對應於SRAM中儲存的邏輯“1”，而低電位電壓VSS對應於SRAM中儲存的邏輯“0”。

【0004】第1圖繪示了SRAM單元架構，即六電晶體（6-T）SRAM單元。它由兩個交叉耦合的反相器（PMOS上拉電晶體PU-1和PU-2以及NMOS下拉電晶體PD-1和PD-2）和兩個存取電晶體（NMOS傳輸閘電晶體PG-1和PG-2）。高電位電壓VDD耦接PMOS上拉電晶體PU-1和PU-2，低電位電壓VSS耦接NMOS下拉電晶體PD-1和PD-2。當字元線（WL）被致能（即在陣列中選擇一列）時，存取電晶體開啟，並將儲存節點（Node-1/Node-2）連接到垂直運行的位元線（BL和BLB）。

【0005】第2圖繪示SRAM的6個電晶體之間的佈線和連接的“棍棒圖”。棍棒圖通常只包括主動區（垂直紅線）和閘極線（水平藍線）。當然，接點還是很多的，一方面直接耦接6個電晶體，另一方面耦接字元線（WL）、位元線（BL和BL Bar）、高電位電壓VDD以及低電位電壓VSS等。

【0006】然而，由於接點尺寸之間的干擾，甚至將製程小型化到28nm或更低（所謂的“最小特徵尺寸”、“ λ ”或“F”），連接字元線（WL）、位元線（BL和BLB）、高電位電壓VDD和低電位電壓VSS等的金屬線佈線，SRAM單元的總面積由 λ^2 或 F^2 表示當最小特徵尺寸減小時顯著增加，如第3圖所示（引用J. Chang 等人，“15.1 A 5nm 135Mb SRAM in EUV and High-Mobility-Channel FinFET Technology with Metal

第2頁，共39頁(發明說明書)

Coupling and Charge-Sharing Write-Assist Circuitry Schemes for High-Density and Low-VMIN Applications,”，2020年IEEE國際固態電路會議- (ISSCC)，2020 年，第 238-240 頁）。

【0007】當最小特徵尺寸減小時，SRAM單元總面積(以 λ^2 或 F^2 表示)會急遽增加的原因如下:傳統的6T SRAM有6個電晶體，通過多層內連線(multiple interconnections)連接，其第一內連線金屬層M1連接至閘極Gate與源極區和汲極區的擴散層(通常稱為電晶體的「擴散區」)。且有需要增加第二內連線金屬層M2和/或第三內連線金屬層M3以方便信號傳輸(例如，字元線WL和/或位元線(BL和BL Bar))。由於只需要使用第一內連線金屬層M1，然後形成由某些類型的導電材料所組成的插塞結構Via-1來連接第二內連線金屬層M2和第一內連線金屬層M1，並不需要擴大晶粒的尺寸大小。其中，一個從擴散區通過接點Con連接到第一內連線金屬層M1所形成的垂直結構稱作「Diffusion-Con-M1」。類似地，另一種通過接點結構將閘極連接到第一內連線金屬層M1所形成的結構可以稱作「Gate-Con-M1」。另外，如果需要由第一內連線金屬層M1通過插塞Via1連接到第二內連線金屬層M2，其所形成的連接結構稱作「M1-Via1-M2」。一種從閘極層Gate-level連接到第二內連線金屬層M2互的更複雜的內連線結構可以稱作為「Gate-Con-M1-Via1-M2」。此外，在堆疊的內連線系統中可能還包含有「M1-Via1-M2-Via2-M3」或

「M1-Via1-M2-Via2-M3-Via3-M4」等結構。然而，由於兩個存取電晶體(如第1圖所繪示的通過-閘電晶體PG-1 和 PG-2)中的閘極和擴散區必需連接到設置在第二內連線金屬層M2或第三內連線金屬層M3中的字元線WL和/或位元線(BL 和 BL Bar)，而在傳統的SRAM結構中這樣的金屬連線必須先通過第一內連線金屬層M1。也就是說，現有技術中(state-of-the-art)SRAM結構的內連線系統不允許閘極Gate或擴散區Diffusion在不經過第一內連線層M1的情況下直接連接到第二內連線層M2。因此，一個連接第一內連線層M1的內連線結構和另一個連接第一內連線層M1的內連線結構之間所必要的空間仍將會增加晶粒的尺寸，並且在某些情況下，這樣的佈線連接方式可能會阻礙使用某些有效通道直接將第二內連線金屬層M2連接至第一內連線金屬層M1區域的意圖。此外，插塞Via1與接點Contact之間難以形成自對準結構(self-alignment structure)，插塞Via1與接點Contact分別連接到各自的內連線系統上。

【0008】另外，在傳統的6T SRAM單元中，至少有一個NMOS電晶體和一個PMOS電晶體分別位於相鄰的p型摻雜基材p-substrate和n型阱區N-well之中，而這兩個區域是彼此相鄰地形成在一個緊密的鄰接區域之中，進而形成所謂 n+/p/n/p+ 寄生雙極元件(parasitic bipolar device)的寄生接面結構(parasitic junction structure)。其輪廓如第2圖所示，從NMOS電晶體的n+區到p型阱區再到相鄰的n型阱區，再到PMOS電晶體的p+區。

在n+/p接面或p+/n接面上都會出現明顯的噪音(noises)，異常大的電流可能會異常地流過這個n+/p/n/p+接面，這可能會使CMOS電路的某些操作突然停止，並導致整個晶片的電路故障。這種稱為閃鎖(Latch-up)的異常現象對CMOS的操作是有害的，必須避免。一種提高閃鎖(這是CMOS的一個弱點)的免疫力的方法，是增加從n+區域到p+區域之間的距離。而增加從n+區域到p+區域之間的距離以避免閃鎖問題也會擴大SRAM單元的尺寸。

【0009】因此，當最小特徵尺寸減小時，如何重新設計SRAM單元使得由 λ^2 表示的SRAM單元的總面積可以保持在可接受的範圍內是一個挑戰。

【發明內容】

【0010】本發明實施例提供一種SRAM結構。SRAM單元包括多個電晶體、耦接多個電晶體的一組接點、電耦接多個電晶體的字元線、電耦接多個電晶體的位元線和位元線條、電耦接多個電晶體的VDD接線，電耦接多個電晶體的VSS接線。其中，隨著該SRAM單元，在不同技術節點的最小徵尺寸(λ)逐漸變小，由最小特徵尺寸的平方表示之該SRAM單元的面積尺寸相同或基本相同。

【0011】根據本發明的另一方面，隨著SRAM單元的最小特徵尺寸從28nm逐漸減小(如16nm、10nm、7nm、5nm、3nm等)，由最小特徵尺寸的平方表示之該SRAM單元的面積尺寸相同或基本相同。

【0012】根據本發明的另一方面，當 λ 從28nm減小到5nm時，SRAM單元的面積尺寸在 $84\lambda^2 \sim 139\lambda^2$ 之間。

【0013】根據本發明的另一方面，一個電晶體的長度在 $3 \sim 4\lambda$ 之間。

【0014】根據本發明的另一方面，多個電晶體中的一個電晶體的閘極區不需透過低於一第一金屬內連線的另一金屬層而直接透過第一金屬內連線連接到電晶體的源極區或汲極區。

【0015】根據本發明的另一方面，VDD接線或VSS接線分佈在形成多個電晶體的基板的原始矽表面之下。

【0016】根據本發明的另一方面，多個電晶體中的NMOS電晶體的n+區的底面被第一絕緣體完全隔離，並且所述多個電晶體中的PMOS電晶體的p+區的底面由第二個絕緣體完全隔離。

【0017】根據本發明的另一方面，NMOS電晶體的n+區與PMOS電晶體的p+區之間的邊緣距離在 $2\lambda \sim 4\lambda$ 之間。

【0018】根據本發明的另一方面，該組接點包括一組第一接點和一組第二接點，該組第一接點連接到第一金屬層，並且該組第二接點連接到第二金屬層，但與第一金屬層斷開。

【0019】本發明的一個目的可能是提供一種具有較小面積的SRAM結構。SRAM單元包括多個電晶體、耦接多個電晶體的一組接點、電耦接多個電晶體的字元線、電耦接多個電晶體的位元線和位元線條、電耦接多個電晶體的VDD接線、電耦接多個電晶體的VSS接線，其中SRAM單元的面積在最小特徵尺寸為5nm時

在 $84\lambda^2 \sim 672\lambda^2$ 的範圍內，當最小特徵尺寸為7nm時，SRAM單元的面積在 $84\lambda^2 \sim 440\lambda^2$ 的範圍內，當最小特徵尺寸在10nm到大於7nm之間時，SRAM單元的面積在 $84\lambda^2 \sim 300\lambda^2$ 的範圍內，當最小特徵尺寸在16nm到大於10nm之間時，SRAM單元在 $84\lambda^2 \sim 204\lambda^2$ 的範圍內，當最小特徵尺寸在22nm到大於16nm之間時，SRAM單元的面積在 $84\lambda^2 \sim 152\lambda^2$ 的範圍內，當最小特徵尺寸在28nm到大於22nm之間時，SRAM單元的面積在 $84\lambda^2 \sim 139\lambda^2$ 的範圍內。

【0020】本發明的另一個實施例提供了一種從閘極/擴散直接連接到金屬二層的SRAM結構。SRAM包括多個電晶體、耦接多個電晶體的多個接點、設置在多個電晶體之上並電耦接多個電晶體的第一金屬層、設置在第一金屬層之上並且電耦接多個電晶體的第二金屬層、設置在第二金屬層上方並電耦接多個電晶體的第三金屬層，其中多個接點包括一組第一接點和一組第二接點，該組第一接點連接到第一金屬層，且該組第二接點連接至第二金屬層但與第一金屬層斷開。

【0021】根據本發明的另一方面，第一接點的垂直長度短於第二接點的垂直長度。

【0022】根據本發明的另一方面，多個電晶體中的一個電晶體的閘極區不需透過低於一第一金屬內連線的另一金屬層而直接透過第一金屬內連線連接到電晶體的源極區或汲極區。

【0023】根據本發明的另一方面，所述多個電晶體中的NMOS電晶體的n+區的底面被第一絕緣體完全隔離，並且所述多個電晶體中的PMOS電晶體的p+區的底面被第二絕緣體完全隔離，其中，NMOS管的n+區與PMOS管的p+區的邊緣距離在 $2\lambda \sim 4\lambda$ 之間。

【0024】本發明的另一個目的可能是提供一種具有微型電晶體的SRAM結構。SRAM包括多個電晶體。其中一個電晶體包括：一閘極結構，具有一長度、一通道區、一第一導電區電性耦接於該通道區，以及一第一接觸孔位於該第一導電區上方，其中該第一接觸孔的周邊獨立於一微影製程。

【0025】根據本發明的另一方面，第一接觸孔包括由第一導電區的周線圍繞的周邊。

【0026】根據本發明的另一方面，多個電晶體中的一個電晶體的閘極區不需透過低於一第一金屬內連線的另一金屬層而直接透過第一金屬內連線連接到電晶體的源極區或汲極區。

【0027】本發明的優點和精神可以透過下面的敘述連同附圖來理解。在閱讀了在各種附圖和附圖中繪示的優選實施例的以下詳細描述之後，本發明的這些和其他目的對於本領域具有通常知識者無疑將變得容易。

【0028】為了對本發明之上述及其他方面有更佳的瞭解，下文特舉實施例，並配合所附圖式詳細說明如下：

【圖式簡單說明】

【0029】

第1圖是常規6T SRAM的示意圖。

第2圖是對應於第1圖中的6T SRAM的棍棒圖，其中主動區對應於垂直線、閘極線對應於水平線。

第3圖是根據目前可用的製程說明對於不同製程尺寸 λ (或F)的SRAM單元的總面積以 λ^2 (或 F^2)表示的圖。

第4圖是說明傳統NMOS和PMOS結構的剖面的示意圖。

第5圖是根據本發明的SRAM中使用的小型化金屬氧化物半導體場效應電晶體(mMOSFET)的俯視圖。

第6圖是說明墊氧化物層、基板上的墊氮化物層以及形成在基板中的STI-氧化物1的剖面的圖。

第7圖是說明在主動區上方形成的真閘極(TG)和偽屏蔽閘極(DSG)的示意圖。

第8圖是說明正在沉積的旋塗電介質(SOD)以及正在沉積和蝕刻的精心設計的閘極光罩層的圖。

第9圖是說明去除偽屏蔽閘極(DSG)上方的氮化物層、DSG、對應於DSG的部分介電絕緣體以及對應於DSG的p型基板102的示意圖。

第10圖是說明閘極光罩層被去除、SOD被蝕刻、以及氧化物2層被沉積以形成STI-氧化物2的示意圖。

第11圖是說明沉積和蝕刻氧化物3層以形成氧化物3間隔物、在p型基板中形成輕摻雜汲極(LDD)、沉積氮化物層並回蝕刻以形成氮化物的圖隔板，以及被去除的介電絕緣體。

第12圖是說明透過選擇性磊晶生長(SEG)技術生長的本徵矽電極的圖。

第13圖是說明沉積和回蝕CVD-STI-oxide3層，去除本徵矽電極，以及形成mMOSFET的源極(n+源極)和汲極(n+汲極)的圖。

第14圖是說明沉積和蝕刻氧化物間隔物以形成接觸孔開口的圖。

第15(a)圖是說明沉積一層SOD以填充基板上的空位，並使用CMP使表面平整的示意圖。

第15(b)圖是第15(a)圖的俯視圖。

第16圖是說明形成在第15(b)圖的結構上的光阻層的圖。

第17圖是說明各向異性蝕刻技術以去除顯露的閘極延伸區域內的氮化物帽層以露出導電金屬閘極層的圖。

第18(a)圖是說明去除光阻層和SOD層以在源極區和汲極區的頂部形成開口區以及形成間隔物的圖。

第18(b)圖是第18(a)圖的俯視圖。

第19(a)圖是說明正在形成的Metal-1互連網路層的圖。

第19(b)圖是第19(a)圖的俯視圖，其中閘極透過Metal-1層連接到源極區。

第20(a)圖是繪示新的6T SRAM的電晶體的俯視圖，直到其在閘極延伸區和汲極區的頂部製作多個開孔的構造階段。

第20(b)和20(c)圖是沿第20(a)圖所示的切割線1和切割線2的電晶體構成階段位的兩個剖面。

第21(a)圖是繪示了新的6T SRAM的電晶體的俯視圖，直到其使用選擇性磊晶生長技術(SEG)來生長重摻雜導電矽插塞(CoP)的構成階段。

第21(b)和21(c)圖是沿第21(a)圖所示的切割線1和切割線2的電晶體構成階段的兩個剖面。

第22(a)圖是繪示新的6T SRAM的電晶體的俯視圖，直到其將氧化物層或低k介電層沉積到高於這些導體柱(CoP)的高度的構成階段。

第22(b)和22(c)圖是沿第22(a)圖所示的切割線1和切割線2的電晶體構成階段的兩個剖面。

第23(a)圖是繪示新的6T SRAM的電晶體的俯視圖，直到其在金屬M1層上沉積金屬M1層和薄氧化物層的構成階段，並使用這些顯露的頭部導體柱(CoP)作為種子，透過SEG方法形成重摻雜矽柱(CoP2)。

第23(b)和23(c)圖是沿第23(a)圖所示的切割線1和切割線2的電晶體構成階段的兩個剖面。

第24(a)圖是繪示新的6T SRAM的電晶體的俯視圖，直到其在金屬M1層之間和上方沉積一層氧化物或低k電介質，然後沉積金屬M2層的構成階段連接重摻雜矽柱(CoP2)。

第24(b)和24(c)圖是沿第24(a)圖所示的切割線1和切割線2的電晶體構成階段的兩個剖面。

第25(a)和25(b)圖分別是說明在SRAM單元中使用的PMOS

電晶體和NMOS電晶體的剖面的圖。

第26(a)圖繪示第25(a)和25(b)圖所示的新PMOS 52和新NMOS 51的組合結構的俯視圖。

第26(b)圖是繪示新PMOS 52和新NMOS 51的組合沿第26(a)圖中的切割線(Y軸)的剖面圖。

第27圖是繪示傳統PMOS電晶體和NMOS電晶體的一種組合的截面圖。

第28(a)圖是說明第25(a)和25(b)圖所示的新PMOS 52和新NMOS 51的另一種組合結構的俯視圖。

第28(b)圖是繪示新PMOS 52和新NMOS 51的組合沿第28(a)圖中的切割線(X軸)的截面圖。

第29圖是說明傳統PMOS和NMOS電晶體的另一種組合的剖面圖。

第30圖是說明在新SRAM單元中使用的PMOS和NMOS電晶體的另一種組合結構的俯視圖。

第31(a)圖是第2圖所示的“棍棒圖”的示意圖，第31(b)圖是根據本發明的具有尺寸的新型6T SRAM的棍棒圖。

第32圖是說明第33~37圖中使用的不同光罩層的定義的列表。

第33(a)~(g)圖繪示本發明的一個實施方式。

第34(a)~(h)圖繪示根據本發明的另一個實施例。

第35(a)~(h)圖表示本發明的另一實施方式。

第36(a)~(h)圖表示本發明的另一實施方式。

第37(a)~(h)圖還繪示了根據本發明的另一個實施例。

第38圖繪示跨越來自三個不同代工廠 A、B 和 C 的不同技術節點以及本發明的SRAM單元區域(以 λ^2 表示)。

【實施方式】

【0030】在傳統的 6T SRAM 單元中，即使製造製程的小型化下降到 28 nm 或更小（所謂的“最小特徵尺寸”、“ λ ”或“F”），電晶體的尺寸也無法達到成比例減少。本發明公開了一種新的 SRAM 結構，其中 SRAM 中電晶體的源極、汲極和閘極的線性尺寸被精確控制，線性尺寸可以小到最小特徵尺寸(λ)。因此，當兩個相鄰的電晶體透過汲極/源極連接在一起時，兩個相鄰電晶體的閘極邊緣之間的距離可以小到 2λ 。另外，在汲極區（源極區和閘極區）內，可以實現源極、汲極和閘極接觸孔的線性尺寸小於 λ ，例如 $0.6\lambda \sim 0.8\lambda$ 。

【0031】第5圖是根據本發明的SRAM中使用的小型化金氧半場效電晶體(mMOSFET)100的示例。如第5圖所示，mMOSFET 100包括：(1)閘極結構101具有長度G(L)和寬度G(W)，(2)在閘極結構101的左側，源極103具有從閘極結構101的邊緣到隔離區105的邊緣的線性尺寸的長度S(L)和寬度S(W)，(3)在閘極結構101的右側，汲極107具有從閘極結構101的邊緣到隔離區105的邊緣的線性尺寸的長度D(L)和寬度D(W)，(4)在源極103的中心，透過自對準技術形成的接觸孔109具有長度和寬度分別標記為

C-S(L)和C-S(W)的開口，並且(5)同樣在汲極107的中心，由自對準技術形成的接觸孔111具有長度和寬度分別標記為C-D(L)和C-D(W)的開口。長度G(L)、長度D(L)和長度S(L)可以精確控制到最小特徵尺寸 λ 。此外，標記為C-S(L)和C-S(W)的開口的長度和寬度或標記為D-S(L)和D-S(W)的開口的長度和寬度可以小於 λ ，例如 $0.6\lambda \sim 0.8\lambda$ 。

【0032】下面簡要描述用於本發明的SRAM中的上述mMOSFET 100的製造過程。mMOSFET 100的結構及其製造製程的詳細描述在2020年12月31日提交的美國專利申請號17/138,918中提出，標題為：“MINIATURIZED TRANSISTOR STRUCTURE WITH CONTROLLED DIMENSIONS OF SOURCE/DRAIN AND CONTACT-OPENING AND RELATED MANUFACTURE METHOD”以及美國專利申請號17/138,918的全部內容透過引用併入本文。

【0033】如第6圖所示，在基板102上形成接墊氧化物層302及接墊氮化物層304。mMOSFET的主動區也被限定並去除主動區之外的部分矽材料區域以創建溝槽結構。氧化物-1層被沉積在溝槽結構中並被回蝕刻以在矽基板(“HSS”)的原始水平表面下方形成淺溝槽隔離(STI-氧化物1)306。

【0034】去除接墊氧化物層302和接墊氮化物層304，並且在HSS上方形成介電絕緣體402。然後，在HSS上方沉積閘極層602和氮化物層604，並蝕刻閘極層602和氮化物層604以形成

mMOSFET的真閘極（true gate）和與真閘極具有所需線性距離的偽屏蔽閘極（dummy shield gate），如第7圖所示。如第7圖所示，真閘極的長度為 λ ，偽屏蔽閘極的長度也為 λ ，真閘極的邊緣和偽屏蔽閘極之間的距離也是 λ 。

【0035】然後，沉積一旋塗電介質(SOD) 702，然後回蝕SOD 702。透過微影光罩技術形成設計良好的閘極光罩層802，如第8圖所示。此後，利用各向異性刻蝕技術，去除偽屏蔽閘極(DSG)上方的氮化層604，去除對應DSG的介質絕緣體402的DSG部分和對應DSG的p型基板102，如第9圖所示。

【0036】此外，如第10圖所示，去除閘極光罩層802，蝕刻SOD 702，沉積STI-oxide-2 1002，然後回蝕刻。然後，沉積並回蝕刻oxide-3層以形成oxide-3間隔層1502，在p型基板102中形成輕摻雜汲極（LDD）1504，沉積並回蝕氮化物層以形成氮化物間隔層1506，並去除介電絕緣體402，如圖11所示。

【0037】此外，利用選擇性磊晶生長 (SEG) 技術來生長本徵矽電極(intrinsic silicon electrode)1602，如第13圖 所示。然後沉積和回蝕 CVD-STI-oxide 3層 1702，去除本徵矽電極1602，並形成 mMOSFET 的源極區 (n+ 源極) 1704 和 汲極區 (n+ 汲極) 1706，如第13圖所示。由於源極區(n+源極)1704和汲極區(n+汲極)1706形成在mMOSFET之間。真閘極（TG）和CVD-STI-oxide3層1702，其位置最初被偽屏蔽閘極（DSG）佔據，因此，源極區（n+源極）1704（或汲極區(n+汲極)1706）的

長度和寬度小到 λ 。源極區 (n+源極) 1704 (或汲極區 (n+汲極) 1706) 的開口可以小於 λ ，例如 0.8λ 。如果形成另外的氧化物間隔物 1802，則可以縮小這種開口，如第14圖所示。

【0038】此外，新的 SRAM 結構使第一內連線金屬層 (M1 層) 透過自對準小型化接點直接連接閘極、源極和/或汲極區，而無需使用傳統的接觸孔開口光罩和/或用於 M1 連接的 Mate1-0 轉換層。在第13圖之後，沉積一層 SOD 1901 以填充基板上的空位，包括源極區 (n+源極) 1704 (或汲極區 (n+汲極) 1706) 的開口。然後使用 CMP 使表面平整，如第15(a)圖所示。第15(b)圖是第15(a)圖的俯視圖，繪示水平方向的多個指。

【0039】此外，使用精心設計的光罩並實施光阻層 1902，其導致沿第15(b)圖中 X 軸的一些條紋圖案具有長度為 GROC (L) 的單獨空間以顯露第15(b)圖中沿 Y 軸的閘極延伸區面積，則結果如第16圖 中的俯視圖所示。GROC(L) = λ 時最積極的設計規則，如第16圖所示。然後，使用各向異性蝕刻技術去除顯露的閘極延伸區內的氮化物覆蓋層 (Nitride-cap layer)，露出導電的金屬閘極層 (第17圖)。

【0040】此後，去除光阻層 1902，然後去除 SOD 層 1901，使得源極區 1704 和汲極區 1706 頂部上的那些開口區再次顯露出來。然後沉積一層具有良好設計厚度的氧化物 1904，然後利用各向異性蝕刻技術在源極區 1704 和汲極區 1706 的開口區以及顯露的閘極延伸區 1903 的四個側壁上形成間隔物。因此，在顯露的閘

極延伸區、源極區1704和汲極區1706中分別形成自然堆積的接觸孔開口。第18(a)圖繪示這種電晶體結構的剖面。第18(b)圖繪示第18(a)圖中的這種電晶體結構的俯視圖。顯露的閘極延伸區1903中的開口的垂直長度CRMG(L)小於可以為 λ 的長度GROC(L)。

【0041】最後，形成具有精心設計的厚度的Metal-1層1905，以填充所有上述接觸孔開口的孔，並在晶圓表面的形貌之後形成平滑的平坦表面。然後使用微影光罩技術分別在這些接觸孔開口之間創建所有連接，以實現必要的Metal-1互連網路，如第19(a)圖所示。第19(b)圖是第19(a)圖所示的mMOSFET的俯視圖。所以這個Metal-1層完成了實現接點填充和插塞連接到閘極和源極/汲極功能以及連接所有電晶體的直接互連功能的任務。這無需使用昂貴且非常嚴格控制的常規接觸孔光罩並進行隨後非常困難的接觸孔開口鑽孔製程，尤其是最困難挑戰是進一步縮小數十億水平幾何形狀的電晶體。此外，它消除了在接觸孔開口中製作金屬插塞和 CMP 製程以實現具有複雜積體加工步驟的金屬螺柱（例如，創建某些前瞻技術肯定需要的零金屬結構）。

【0042】此外，傳統的SRAM單元或標準單元可能不允許閘極 Gate 或擴散區 Diffusion在不經過第一內連線金屬層M1的情況下直接連接到第二內連線金屬層M2(或者不允許第一內連線金屬層M1不經過第二內連線金屬層M2結構的情況下直接連接到第三內連線金屬層M3，或者是第一內連線金屬層M1不經過M2至Mx等內連線結構的情況下直接連接到第x內連線金屬層Mx)。本

發明揭露了一種新的內連線結構，其閘極或擴散區(源極/汲極)區以自對準的方式，藉由一個由接點**Contact-A**和**Via1-A**所組成的垂直導電插塞，沒有經過第一內連線金屬層**M1**的過渡連接，直接連接到第二內連線金屬層**M2**，而接點**Contact-A**和**Via1-A**分別是在製作接點**Contact**和插塞**Via1**的階段，在同一晶粒的其他位置上形成。如此，第一內連線金屬層**M1**與另一個內連線金屬層之間的必要空間，以及內連線中的佈線阻礙問題將會減少。下面簡要介紹此種新的內連線結構，其中閘極**Gate**和擴散區**Diffusion**是以自對準的方式直接連接到第二內連線金屬層**M2**而沒有經過第一內連線金屬層**M1**的過渡連接。

【0043】第20圖繪示新6T SRAM的電晶體的剖面 and 俯視圖，直到其在閘極延伸區和擴散區的頂部製作多個開孔的構成階段，其中第20(a)圖是電晶體的構成階段的俯視圖。第20(b)和20(c)圖分別是沿第20(a)圖所示的切割線1和切割線2的電晶體構成階段的兩個剖面。類似於第17圖和第18圖(b)，開孔2010和2012分別形成在閘極延伸區和汲極區的頂部。圍繞這些開孔2010和2012的都是絕緣體2014（例如氧化物或低k電介質）。主要區別之一在於，閘極延伸區還包括矽區608，當多晶矽閘極用作閘極導體602時，矽區608可以是多晶矽閘極的一部分，或是，當閘極金屬用作閘極導體602時，矽區608可以是在閘極金屬上形成的一層。如第20(c)圖所示，閘極延伸區還包括在矽區608上方的氮化

物層604。如第20(b)圖所示，開孔2010至少透過蝕刻部分氮化物層604而露出矽區608。

【0044】之後，使用選擇性磊晶生長技術(SEG)(或選擇性原子層沉積技術)來生長重摻雜導電矽插塞2110，稱為導體柱(CoP)，如第21圖(第21(a)圖是該電晶體構成階段的俯視圖，第21(b)和21(c)圖分別是該電晶體構成階段沿第21(a)圖中的切割線1和切割線2的兩個剖面)。然後將氧化物層或低k介電層2120沉積到高於這些導體柱2110的高度。然後使用CMP(化學機械拋光)或回蝕刻技術來獲得平坦的晶片表面，如圖中所示第22圖(第22(a)圖是該電晶體構成階段的俯視圖，第22(b)和22(c)圖分別如第22(a)圖所示是該電晶體構成階段沿切割線1和切割線2的兩個剖面。導體柱(CoP)2110的那些“顯露的頭部”形成非常有用的著陸焊墊(LPad)，用於在金屬內連線和導體柱(CoP)2110之間的後續連接成形，以分別連接閘極區或汲極區。

【0045】此外，在金屬M1層2140的頂部沉積金屬M1層2140和薄氧化物層2160。使用微影光罩技術、合適的氧化物去除技術，然後使用金屬蝕刻技術來定義金屬M1內連線的設計圖案。這裡，被設計用於分別連接閘極區或汲極區的特定導體柱面積之後直接連接到隨後的金屬M2層且沒有被金屬M1層2140覆蓋，而是再次顯露出它們的導體柱(CoP)2110的頭部，透過使用這些顯露的導體柱(CoP)2110的頭部，可以在它們之上生長重摻雜矽柱(CoP2)2180，而那些重摻雜矽柱(CoP2)2180將完全用作

Via導體(稱為Via1-A)，如第23圖所示(第23(a)圖是該電晶體構成階段的俯視圖，第23(b)和23(c)圖分別是沿第23(a)圖所示的切割線1和切割線2的該電晶體構成階段的兩個剖面)。

【0046】然後沉積一層氧化物或低k電介質2410，其厚度足以在金屬M1層2140和隨後的金屬層之間進行隔離。該介電層2410的厚度可以製成略低於摻雜矽柱(CoP2)2180的高度，使得一些顯露區可以自然地用作Via導體(稱為Via1-A)。然後透過微影光罩技術沉積和限定金屬M2層2420以完成金屬M2內連線。因此，可以實現金屬M2層與閘極或擴散區之間的直接連接，即M2-Via1.A-CoP-Gate或M2-Via1.A-CoP-Drain(或Source)，如第24圖所示(第24(a)圖是該電晶體構成階段的俯視圖，第24(b)和24(c)圖分別是沿第24(a)圖所示的切割線1和切割線2的該電晶體構成階段的兩個剖面。當然，基於本實施例，第一金屬層和第二金屬層之間也可以存在其他金屬層或介電層，導體柱可以連接第二金屬層，但是從第一金屬層和其他金屬層斷開。

【0047】此外，本發明公開了一種新的SRAM結構，其中NMOS和PMOS電晶體中的源極區和汲極區的n+和p+區分別由絕緣體完全隔離，這樣的絕緣體不僅會增加對閃鎖的問題，但也增加了進入矽基板的隔離距離，以分隔NMOS和PMOS電晶體中的接點，從而可以減小接點之間的表面距離(例如 3λ)，因此SRAM的尺寸也是如此。下面簡要介紹一種新的SRAM結構，其中NMOS和PMOS電晶體的源極區及汲極區的n+區和p+區分別

被絕緣體完全隔離。PMOS和MNOS的新組合結構的詳細描述在2021年5月12日提交的美國專利申請號17/318,097中提出，名稱為“COMPLEMENTARY MOSFET STRUCTURE WITH LOCALIZED ISOLATIONS IN SILICON SUBSTRATE TO REDUCE LEAKAGES AND PREVENT LATCH-UP”，並且美國專利申請號 17/318,097的全部內容引用併入本文。

【0048】請參考第 25(a)和 25(b)圖。第 25(a)圖是 PMOS 電晶體 52 的剖面圖，第 25(b)圖是 NMOS 電晶體 51 的剖面圖。閘極結構 33 包括閘極介電層 331 和閘極導電層 332(例如閘極金屬)形成於半導體基板(例如矽基板)的水平表面或原始表面之上。介電覆蓋 333(例如氧化物層和氮化物層的複合物)位於閘極導電層 332 上方。此外，可包括氧化物層 341 和氮化物層 342 的複合物的隔離物 34 用於在閘極結構 33 的側壁上方。在矽基板中形成溝槽，源極區 35 和汲極區 36 的全部或至少一部分分別位於對應的溝槽中。PMOS 電晶體 32 中的源極（或汲極）區可以包括 P+區或其他合適的摻雜分佈區（例如從 P-區域和 P+區域逐漸或逐步改變）。此外，局部隔離 48(例如氮化物或其他高 k 介電材料)位於一個溝槽中並位於源極區下方，而另一局部隔離 48 位於另一溝槽中並位於汲極區下方。這種局部隔離 48 在矽基板的水平矽表面(HSS)下方並且可以稱為局部隔離矽基板(LISS)48。LISS 48 可以是厚氮化物層或介電層的複合物。例如，局部隔離或 LISS 48 可以包括複合局部隔離，其包括覆蓋溝槽的至少一部分側壁的氧

化物層(稱為 Oxide-3V 層 481)和覆蓋溝槽的至少一部分底壁的另一個氧化物層(Oxide-3B 層 482)。Oxide-3V 層 481 和 Oxide-3B 層 482 可以透過熱氧化製程形成。複合局部隔離 48 還包括氮化物層 483(稱為 Nitride-3)，其位於 Oxide-3B 層 482 之上並與 Oxide-3V 層 481 接觸。氮化物層 483 或 Nitride-3 可以是只要 Oxide-3V 層保持最佳狀態並且設計得當，就可以用任何合適的絕緣材料代替。此外，第 25(a)和 25(b)圖中的 STI (淺溝槽隔離)區可以包括複合 STI 49，其包括 STI-1 層 491 和 STI-2 層 492，其中 STI-1 層 491 和 STI-2 層 492 可以分別採用不同製程的厚氧化物材料。

【0049】此外，第 25(a)和 25(b)圖中的源極(或汲極)區可以包括複合源極區 55 和/或汲極區 56。例如，如第 25(a)圖所示，在 PMOS 電晶體 52 中，複合源極區 55(或汲極區 56)至少包括溝槽中的輕摻雜汲極(LDD)551 和重 P+摻雜區 552。特別地，應注意輕摻雜汲極(LDD)551 以均勻(110)晶向緊靠顯露的矽表面。與閘極結構的邊緣相比，顯露的矽表面具有合適的凹陷厚度的垂直邊界，閘極結構在圖 25 (a) 中標記為 TEC (蝕刻掉電晶體的厚度，定義為有效通道長度的銳邊)。顯露的矽表面基本上與閘極結構對齊。顯露的矽表面可以是電晶體通道的終端面。

【0050】輕摻雜汲極(LDD)551 和重 P+摻雜區域 552 可以基於選擇性磊晶生長(SEG)技術(或可以是原子層沉積 ALD 或選擇性生長 ALD-SALD 的其他合適技術)形成從顯露的 TEC 區域生

長矽，用作晶種以在 LISS 區域上形成新的組織良好的(110)晶格，這對改變複合源極區 55 或汲極區 56 新形成的晶體(110)的晶體結構沒有晶種影響。這種新形成的晶體(包括輕摻雜汲極(LDD)551 和重 P+摻雜區 552)可以命名為 TEC-Si，如第 25(a)圖所示。在一實施例中，TEC 與閘極結構 33 的邊緣對齊或基本對齊，LDD 551 的長度可調，LDD 551 與 TEC 相對的側壁可與間隔物 34 的側壁對齊。類似地，NMOS 電晶體 51 的複合源極/汲極區的 TEC-Si(包括 LDD 區和重 N+摻雜區)如第 25 圖(b)所示。複合源極(或汲極)區還可以包括一些鎢(或其他合適的金屬材料)插塞 553，其形成為與 TEC-Si 部分水平連接，以完成整個源極/汲極區，如第 25(a)和 25(b)圖所示。如第 25(a)圖所示，流向未來金屬內連線如 Metal-1 層的主動通道電流透過 LDD 551 和重摻雜導電區 552 到達鎢 553(或其他金屬材料)，直接進入透過一些良好的金屬對金屬歐姆接點連接到 Metal-1，其電阻比傳統的矽對金屬接點低得多。

【0051】新的 PMOS52 和新的 NMOS51 的一種組合結構如第 26(a)圖所示，第 26(a)圖是俯視圖，第 26(b)圖繪示新的組合結構的剖面圖。新的 PMOS52 和新的 NMOS51 沿第 26(a)圖中的切割線(Y 軸)。如第 26(b)圖所示，在 PMOS 的 P+源極/汲極區底部和 n 型 N 井之間存在複合局部隔離（或 LISS48），因此是另一種複合局部隔離（或 LISS48）在 NMOS 的 N+源極/汲極區底部和 p 型 P 井或基板之間。在第 26(a)圖所示的這種新發明

的 CMOS 結構中， $n+$ 區和 $p+$ 區的底部被絕緣體完全隔離的優點清楚地顯繪示來。如第 26(b)圖所示，即從 PMOS 的 $P+$ 區域底部到 NMOS 的 $N+$ 區域底部的可能閃鎖路徑被 LISS 完全阻擋。另一方面，在傳統的 CMOS 結構中， $n+$ 和 $p+$ 區域沒有被絕緣體完全隔離，如圖 27 所示，可能的閃鎖路徑存在於從 $n+/p$ 接面經過 $p\text{-well}/n\text{-well}$ 接面到 $n/p+$ 接面包括長度 a 、長度 b 和長度 c (第 27 圖)。因此，從元件佈線的角度來看，第 26(b)圖中 NMOS 和 PMOS 之間的保留邊緣距離 (X_n+X_p) 可能小於第 27 圖中的保留邊緣距離 (X_n+X_p)，(X_n+X_p) 可能在 $2\sim 4\lambda$ 左右，例如 3λ 。

【0052】新的 PMOS52 和新的 NMOS51 的另一種組合結構如第 28(a)圖所示，第 28(a)圖是俯視圖，第 28(b)圖繪示新的 PMOS52 和新的 NMOS51 沿著第 28(a)圖所示的切割線(X 軸)的組合的剖面。如第 28(b)圖所示，它導致從 $n+/p$ 接面經由 p 井(或 p 基板)/ n 井接面到 $n/p+$ 結的路徑更長。從 LDD- n/p 接面透過 $p\text{-well}/n\text{-well}$ 接面到 $n/\text{LDD-}p$ 接面的可能閃鎖路徑包括長度①、長度②(一個 LISS 區的底壁長度)、長度③、長度④、長度⑤、長度⑥、長度⑦(另一個 LISS 區的底壁長度)，以及第 28(b)圖中標記的長度⑧。另一方面，在第 29 圖所示的結合 PMOS 和 NMOS 結構的傳統 CMOS 結構中，從 $n+/p$ 接面透過 $p\text{-well}/n\text{-well}$ 接面到 $n/p+$ 接面的可能閃鎖路徑只是包括長度 d 、長度 e 、長度 f 和長度 g (如第 29 圖所示)。第 28(b)圖的這種可能的閃鎖路徑比第 29 圖中的長。因此，從元件佈線的角度來看，

第 28(b)圖中 NMOS 和 PMOS 之間的保留邊緣距離(X_n+X_p)可以小於第 29 圖中的保留邊緣距離(X_n+X_p)。例如，保留邊緣距離(X_n+X_p)可以在 $2\sim 4\lambda$ 左右，例如 3λ 。

【0053】此外，在傳統的 SRAM 中，高電位電壓 VDD 和低電位電壓 VSS(或接地)的金屬線分佈在矽基板的原始矽表面之上，這樣的分佈會干擾其他金屬線與字元線(WL)、位元線(BL 和 BL Bar)或其他連接金屬線，如果這些金屬線之間沒有足夠的空間。本發明公開了一種新的 SRAM 結構，其中用於高電位電壓 VDD 和/或低電位電壓 VSS 的金屬線可以分佈在矽基板的原始矽表面之下，因此，接點尺寸之間的干擾，即使縮小 SRAM 單元的尺寸，也可以避免連接字元線(WL)、位元線(BL 和 BL Bar)、高電位電壓 VDD 和低電位電壓 VSS 等的金屬線的佈線。如第 27 圖所示，在 PMOS52 的汲極區，鎢或其他金屬材料 553 直接耦接電連接至 VDD 的 N 井。另一方面，在 NMOS51 的源極區中，鎢或其他金屬材料 553 直接耦接電連接至 P 井或 P 型基板。因此，在新的 SRAM 結構中，原本用於將源極/汲極區與金屬層 2 或金屬層 3 電耦合以用於 VDD 或接地連接的源極/汲極區開口可以被省略。上述結構的結構及其製程的詳細描述參見 2020 年 8 月 12 日提交的，名稱為：“TRANSISTOR STRUCTURE AND RELATED INVERTER”的美國專利申請 No. 16/991,044，其中美國專利申請 No. 16/991,044 的全部內容透過引用併入本文。

【0054】綜上所述，新型 6T SRAM 單元至少具有以下優點：

【0055】(1)SRAM 中電晶體的源極、汲極和閘極的線性尺寸被精確控制，線性尺寸可以小到最小特徵尺寸 $\text{Lambda}(\lambda)$ 。因此，當兩個相鄰電晶體透過汲極/源極連接在一起時，電晶體的長度尺寸將小至 3λ ，而相鄰兩個電晶體的閘極邊緣之間的距離可小至 2λ 。當然，出於公差目的，電晶體的長度尺寸將在 $3\lambda \sim 4\lambda$ 左右。

【0056】(2)第一金屬內連線(M1 層)透過自對準小型化接點直接連接閘極、源極和/或汲極區域，而不使用傳統的接觸孔開口光罩和/或用於 M1 連接的 Metal-0 轉換層。

【0057】(3)閘極和/或擴散(源極/汲極)區以自對準方式直接連接到 M2 內連線，沒有過渡層 M1。因此，一個 M1 內連線與另一個 M1 內連線之間的必要空間和一些佈線連接中的阻塞問題將被減少。

【0058】(4)NMOS 和 PMOS 電晶體的源極/汲極區的 n+和 p+區分別被絕緣體完全隔離，這樣的絕緣體不僅可以增加對門鎖問題的抵抗力，而且可以增加到矽基板的隔離距離將 NMOS 和 PMOS 電晶體中的接點分開，因而可以減小接點之間的表面距離（例如 3λ ），減小 SRAM 的尺寸。

【0059】(5)SRAM 單元中用於高電位電壓 VDD 和/或低電位電壓 VSS 的金屬線可以分佈在矽基板的原始矽表面下，因此，接點尺寸之間的干擾，在佈線之間即使縮小 SRAM 單元的尺寸，也可以避免連接字元線（WL）、位元線（BL 和 BL Bar）、高

電位電壓 V_{DD} 和低電位電壓 V_{SS} 等的金屬線。此外，在新的 SRAM 結構中，原本用於將源極/汲極區與金屬層 2 或金屬層 3 電連接以用於 V_{DD} 或接地連接的源極/汲極區開口可以被省略。

【0060】第 31(a)圖是圖 2 的副本，繪示表示 SRAM 的 6 個電晶體之間的佈線和連接的“棍棒圖”，第 31(b)圖是根據新的 6T SRAM 結構優勢的具有尺寸的新 6T SRAM 的棍棒圖。如第 31(b)圖所示，電晶體的尺寸將小至 3λ （由點矩形標記），兩個相鄰電晶體的閘極邊緣之間的距離可小至 2λ 。此外，進入矽基板以分離 NMOS 和 PMOS 電晶體中的接點的隔離距離可以減小到 3λ （用虛線矩形標記）。兩個 PMOS 電晶體中進入矽基板以分離接點的隔離距離可以減小到 $1.5\sim 2.5\lambda$ 之間，例如小到 2λ （用一個點劃線矩形標記）。

【0061】在第 31(b)圖中，主動區(垂直線)的尺寸可以小到 λ ，閘極線(水平線)也是如此。此外，在第 31(b)圖中，對於左上角的電晶體對應的第 31(a)圖中的 PG 電晶體，為了避免後面將形成的兩個接觸孔之間的干擾。分別為作用區和閘極區，主動區邊緣與 SRAM 單元或位元單元邊界之間的水平距離為 1.5λ （由兩個點劃線矩形標記）。第 31(b)圖右下角的電晶體也是如此，它對應於第 31(a)圖中的另一個 PG 電晶體。因此，對於第 31(b)圖中的棍棒圖，SRAM 單元或位元單元的水平長度（x 方向）為 15λ ，SRAM 單元或位元單元的垂直長度（y 方向）為 6λ 。因此，第 31(b)圖的 SRAM 單元或位元單元的總面積為 $90\lambda^2$ 。

【0062】 使用第 31(b)圖中的棍棒圖作為模板，在本發明中提出了至少五個 SRAM 單元結構，如第 32~37 圖所示。第 32 圖是第 33~37 圖中使用的不同光罩層的定義，其中縮寫符號含義如下：

位元單元邊界	單個 SRAM 單元面積的邊界
M3	Metal-3 光罩層
VIA2	用於連接 Metal-2 層和 Metal-3 層的 VIA 光罩層
M2	Metal-2 光罩層
VIA1	用於連接 Metal-1 層和 Metal-2 層的 VIA 光罩層
M1	Metal-1 光罩層
CT_A	開口 VIA 光罩層，用於連接 AA(或 Poly)與 Metal-1 層，其中“AA”表示主動區(源極或汲極)， “Poly”表示閘極區。
CT_B	開口 VIA 光罩層，用於將 AA (或 Poly)直接連接到 Metal-2 層
Poly	多晶矽閘極或金屬閘極的光罩層
AA	主動區的光罩層(如汲極區或源極區)
Nwell	N 井光罩區
WL	字元線
BL/BLB	位元線/位元線條
Vdd	Vdd 電壓源

V _{SS}	V _{SS} 電壓源
-----------------	---------------------

【0063】如第 33(a)圖所示，其是第 31(b)圖的副本，本實施例中的 SRAM 單元的面積是 $90\lambda^2$ 。在第 33(b)圖中，形成多個 CT_A（用於將 AA（或 Poly）連接到 Metal-1 層的開口 VIA 光罩層）和 CT_B（用於將 AA（或 Poly）直接連接到 Metal-2 層的開口 VIA 光罩層），如虛線橢圓所示。在第 33(c)圖中，Metal-1 光罩層(M1)形成為連接多個 CT_A，然而，多個 CT_B 不連接到 Metal-1 光罩層(M1)。在第 33(d)圖中，Metal-2 光罩層(M2)形成為至少連接多個 CT_B。一些 Metal-2 光罩層 (M2) 用作位元線 (BL) 和位元線條 (BLB)，由兩個虛線橢圓標記。在第 33(e)圖中，形成了多個插塞 VIA2，在第 33(f)圖中，形成連接多個插塞 VIA2 的 Metal-3 光罩層(M3)，Metal-3 光罩層(M3)用作字元線 (WL)。第 33(g)圖表示本發明的 6 個 SRAM 單元排列成二維陣列。在本實施例中，沒有 VIA1，SRAM 單元中用於高電位電壓 VDD 和/或低電位電壓 VSS 的金屬線分佈在矽基板的原始矽表面之下，如第 30 圖所示。另外，如第 33(c)圖所示，Metal-1 光罩層(M1)直接連接閘極、源極和/或汲極區，而無需使用傳統的接觸孔開口光罩和/或 Metal-0 轉換層。

【0064】第 34(a)～(h)圖表示本發明的另一實施方式。如第 34(a)圖所示，它是第 31(b)圖的副本，本實施例中 SRAM 單元的面積仍然是 $90\lambda^2$ 。在第 34(b)圖中，形成多個 CT_A（用於將 AA（或 Poly）連接到 Metal-1 層的開口 VIA 光罩層）和 CT_B

(用於將 AA (或 Poly) 直接連接到 Metal-2 層的開口 VIA 光罩層)。與第 33(b)圖相比，在第 34(b)圖中形成了另外兩個 CT_A (用虛線橢圓標記)，用於稍後電連接至 Vss。在第 34(c)圖中，Metal-1 光罩層(M1)形成為連接多個 CT_A，然而，多個 CT_B 不連接到 Metal-1 光罩層(M1)。在第 34(d)圖中，形成了用於將 Metal-1 層連接到 Metal-2 層的多個插塞 VIA1 (由虛線橢圓標記)。在第 34(e)圖中，Metal-2 光罩層(M2)形成為至少連接多個 CT_B 和多個插塞 VIA1。一些 Metal-2 光罩層(M2)用作位元線(BL)和位元線條(BLB)。在第 34(f)圖中，形成了多個插塞 VIA2，VIA2 的一部分(由虛線橢圓標記)將用於電連接至 Vss。在第 34(g)圖中，形成 Metal-3 光罩層(M3)以連接多個 VIA2。一個 Metal-3 光罩層(M3)用作字元線(WL)，另外兩個 Metal-3 光罩層(由虛線橢圓標記)用作連接 Vss 的金屬線。第 34(h)圖表示本發明的 6 個 SRAM 單元排列成二維陣列。在本實施例中，SRAM 單元中用於高電位電壓 VDD 的金屬線分佈在原始矽表面之下，而用於低電位電壓 VSS 的金屬線分佈在矽基板之上。此外，如第 34(c)圖所示，Metal-1 光罩層(M1)直接連接閘極、源極和/或汲極區，而無需使用傳統的接觸孔開口光罩和/或 Metal-0 轉換層。

【0065】第 35(a)~(h)圖表示本發明的另一實施方式。如第 35(a)圖所示，其是第 31(b)圖的副本，本實施例中的 SRAM 單元的面積仍為 $90 \lambda^2$ 。在第 35(b)圖中，形成多個 CT_A (用於將

AA（或 Poly）連接到 Metal-1 層的開口 VIA 光罩層）和 CT_B（用於將 AA（或 Poly）直接連接到 Metal-2 層的開口 VIA 光罩層）。與第 34(b)圖相比，在第 35(b)圖中又形成了兩個 CT_B（用虛線橢圓標記），用於稍後電連接至 Vdd。在第 35(c)圖中，Metal-1 光罩層(M1)形成為連接多個 CT_A，然而，多個 CT_B 不連接到 Metal-1 光罩層(M1)。在第 35 圖(d)中，形成用於將 Metal-1 層連接到 Metal-2 層的多個插塞 VIA1。在第 35(e)圖中，Metal-2 光罩層(M2)形成為至少連接多個 CT_B 和多個插塞 VIA1。一些 Metal-2 光罩層(M2)用作位元線(BL)和位元線條(BLB)，一個 Metal-2 光罩層(M2)用作 Vdd 的金屬線（用虛線橢圓標記）。在第 35(f)圖中，形成多個插塞 VIA2，部分插塞 VIA2 將用於電連接至 Vss。在第 35(g)圖中，形成 Metal-3 光罩層(M3)以連接多個插塞 VIA2。一個 Metal-3 光罩層（M3）用作字元線（WL），另外兩個 Metal-3 光罩層用作連接 Vss 的金屬線。第 35(h)圖表示本發明的 6 個 SRAM 單元排列成二維陣列。在本實施例中，用於高電位電壓 VDD 和低電位電壓 VSS 的金屬線分佈在矽基板上方。此外，如第 35(c)圖所示，Metal-1 光罩層(M1)直接連接閘極、源極和/或汲極區，而無需使用傳統的接觸孔開口光罩和/或 Metal-0 轉換層。

【0066】第 36(a)~(h)圖表示本發明的另一實施方式。如第 36(a)圖所示，與第 31(b)圖或第 35(a)圖稍有不同的是，進入矽基板以分離 NMOS 和 PMOS 電晶體中的接面的隔離距離設置為

4.5 λ （用橢圓劃線標記）用於大電流應用。此外，主動區邊緣與 SRAM 單元或位元單元邊界之間的水平距離被積極地設置為 1 λ （由點劃線橢圓標記）。因此，對於第 36(a)圖中的棍棒圖，SRAM 單元或位元單元的水平長度（x 方向）為 17 λ ，而 SRAM 單元或位元單元的垂直長度（y 方向）仍為 6 λ 。因此，本實施例中 SRAM 單元的面積仍為 102 λ^2 。第 36(b)~36(h)圖中的其他過程與第 35(b)~35(h)圖相似。因此，省略對第 36(b)~36(h)圖的描述而不重複。

【0067】第 37(a)~(h)圖表示本發明的另一實施方式。在本實施例中，水平方向上相鄰的 SRAM 位元單元共享位元線/位元線條，並且交錯的字元線用於控制 SRAM 單元的操作。兩個相鄰 SRAM 位元單元的棍棒圖如第 37(a)圖所示。主動區邊緣和 SRAM 位元單元邊界之間的水平距離被積極設置為 1 λ （由點劃線橢圓標記），SRAM 位元單元的其他尺寸與第 33(b)圖中的相同。因此，SRAM 單元或位元單元的水平長度（x 方向）為 14 λ ，而 SRAM 單元或位元單元的垂直長度（y 方向）仍為 6 λ 。因此，本實施例中 SRAM 單元的面積仍為 84 λ^2 。

【0068】在第 37(b)圖中，形成多個 CT_A（用於將 AA(或 Poly)連接到 Metal-1 層的開口 VIA 光罩層）和 CT_B（用於將 AA(或 Poly)直接連接到 Metal-2 層的開口 VIA 光罩層）。與第 33(b)圖相比，第 37(b)圖中僅形成兩個 CT_B（由虛線橢圓標記）用於稍後電連接至交錯字元線(WL1 和 WL2)。在第 37(c)圖中，

Metal-1 光罩層(M1)形成為連接多個 CT_A，然而，多個 CT_B 不連接到 Metal-1 光罩層(M1)。在第 37(d)圖中，形成了用於連接 Metal-1 層和 Metal-2 層的多個插塞 VIA1。在第 37(e)圖中，Metal-2 光罩層(M2)形成為至少連接多個 CT_B 和多個插塞 VIA1。一些 Metal-2 光罩層(M2)用作共享位元線(BL)和共享位元線條(BLB)，如虛線橢圓標記。在第 37(f)圖中，形成多個插塞 VIA2，部分 VIA2 將用於電連接至交錯的字元線(WL1/WL2)。在第 37(g)圖中，形成 Metal-3 光罩層(M3)以連接多個插塞 VIA2。Metal-3 光罩層(M3)用作交錯字元線(WL1/WL2)。第 37(h)圖表示本發明的 12 個 SRAM 單元排列成二維陣列。在本實施例中，用於高電位電壓 VDD 和低電位電壓 VSS 的金屬線分佈在矽基板下方。此外，如第 37(c)圖所示，Metal-1 光罩層(M1)直接連接閘極、源極和/或汲極區，而無需使用傳統的接觸孔開口光罩和/或 Metal-0 轉換層。當然，第 37(a)~(h)圖中的實施例可以被修改，使得用於高電位電壓 VDD 和/或低電位電壓 VSS 的金屬線分佈在矽基板上。

【0069】第 38 圖繪示來自三個不同代工廠 A、B 和 C 的不同技術節點的 SRAM 單元面積（以 λ^2 表示）（資料收集自己公開的文獻）。朝著更小的特徵尺寸技術發展，可以觀察到更大的 SRAM 單元尺寸（以 λ^2 為單位）。透過本發明中描述的設計及其衍生設計，不同技術節點的 SRAM 單元面積可以保持平坦或對技術節點不敏感，即從 28nm 技術節點到 5nm 技術節點，根據本

發明的 SRAM 單元面積可以保持在 $84 \lambda^2 \sim 102 \lambda^2$ 的範圍內。

【0070】當然，不必利用本發明的新 SRAM 單元結構中提出的所有改進技術，與傳統的 SRAM 單元相比，僅就提出的技術中的一種就足以減小 SRAM 單元結構的面積。例如，根據本發明的主動區（或只有連接閘極/源極/汲極接點（“CT”）到第二金屬層）的面積縮小可以使 SRAM 的面積在 5nm 技術節點上在 $84 \lambda^2 \sim 700 \lambda^2$ 的範圍內，7nm 技術節點在 $84 \lambda^2 \sim 450 \lambda^2$ 範圍內，10nm 至大於 7nm 的技術節點上在 $84 \lambda^2 \sim 280 \lambda^2$ 範圍內，20nm 至大於 10nm 的技術節點上在 $84 \lambda^2 \sim 200 \lambda^2$ 範圍內，並且 28nm 到大於 20nm 的技術節點上在 $84 \lambda^2 \sim 150 \lambda^2$ 範圍內。例如，在 5nm 技術節點上，主動區面積縮小可能導致 SRAM 面積在 $160 \lambda^2 \sim 240 \lambda^2$ 範圍內（或更大，如果需要額外的公差），導致在 16nm 的技術節點上 SRAM 面積在 $107 \lambda^2 \sim 161 \lambda^2$ 範圍內（或更多，如果需要額外的公差）。

【0071】與第 3 圖所示的傳統 SRAM 的面積(λ^2)相比，本發明的線性尺寸可以是第 3 圖所示的傳統 SRAM 的線性尺寸的 0.9 倍(或更小，例如 0.85、0.8 或 0.7)，則本發明的面積可以是第 3 圖的傳統 SRAM 面積的至少 0.81(或更小，例如 0.72、0.64 或 0.5)倍，如下表所示。

$\lambda(\text{nm})$	28	22	20	16	14	10	7	5
第 3 圖(λ^2)	174	190	203	273	255	420	551	840
本發明 (λ^2) 縮小到	139.2	152	162.4	218.4	204	336	440.8	672

第 34 頁，共 39 頁(發明說明書)

0.81								
本發明 (λ^2) 縮小到 0.72	125.28	136.8	146.16	196.56	183.6	302.4	396.72	604.8
本發明 (λ^2) 縮小到 0.64	111.36	121.6	129.92	174.72	163.2	268.8	352.64	537.6

【0072】 因此，在本發明的另一實施例中，當最小特徵尺寸 (λ) 為 5nm 時，本發明的 SRAM 單元的面積不大於 $672 \lambda^2$ 。當最小特徵尺寸為 7nm 時，SRAM 單元的面積不大於 $440 \lambda^2$ (或 $400 \lambda^2$ 或 $350 \lambda^2$)。當最小特徵尺寸在 10nm 至大於 7nm 之間時，SRAM 單元的面積不大於 $300 \lambda^2$ (或 $268 \lambda^2$)。當最小特徵尺寸 (λ) 在 16nm 到大於 10nm 之間時，SRAM 單元的面積不大於 $204 \lambda^2$ 。當最小特徵尺寸 (λ) 在 22nm 到大於 16nm 之間時，SRAM 單元的面積不大於 $152 \lambda^2$ 。當最小特徵尺寸 (λ) 在 28nm 到大於 22nm 之間時，SRAM 單元的面積不大於 $139 \lambda^2$ 。

【0073】 此外，在另一實施例中，當最小特徵尺寸為 5nm 時，SRAM 單元的面積在 $84\lambda^2 \sim 672\lambda^2$ 的範圍內。當最小特徵尺寸為 7nm 時，SRAM 單元的面積在 $84\lambda^2 \sim 440\lambda^2$ 的範圍內。當最小特徵尺寸在 10nm 到大於 7nm 之間時，SRAM 單元的面積在 $84\lambda^2 \sim 300\lambda^2$ 的範圍內。當最小特徵尺寸在 16nm 到大於 10nm 之間時，SRAM 單元的面積在 $84\lambda^2 \sim 204\lambda^2$ 的範圍內。當最小特徵尺寸在 22nm 到大於 16nm 之間時，SRAM 單元的面積在 $84\lambda^2 \sim 152\lambda^2$

的範圍內。當最小特徵尺寸在 28nm 到大於 22nm 之間時，SRAM 單元的面積在 $84 \lambda^2 \sim 139 \lambda^2$ 的範圍內。

【0074】綜上所述，雖然本發明已以實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0075】

100:電晶體(mMOSFET)

101:閘極結構

103:源極

105:隔離區

107:汲極

109:接觸孔

111:接觸孔

102:基板

302:接墊氧化物層

304:接墊氮化物層

402:介電絕緣體

602:閘極層

604:氮化物層

608:矽區

802:閘極光罩層
702:旋塗電介質(SOD)
1502:間隔層
1504:輕摻雜汲極 (LDD)
1506:氮化物間隔層
1602:本徵矽電極
1704:源極區(n+源極)
1706:汲極區(n+汲極)
1802:氧化物間隔物
1902:光阻層
1903:閘極延伸區
1904:氧化物
2012,2010:開孔
2110:導體柱(CoP)
2120:介電層
2140:M1 層
2180:矽柱
33:閘極結構
331:閘極介電層
332:閘極導電層
333:介電覆蓋
341:氧化物層

342:氮化物層

34:隔離物

35:源極區

36:汲極區

48:局部隔離

491:STI-1 層

492:STI-2 層

51:NMOS 電晶體

52:PMOS 電晶體

55:源極區

56:汲極區

551:輕摻雜汲極(LDD)

552:重 P+摻雜區

553:鎢

G(L):長度

G(W):寬度

S(L):長度

S(W):寬度

D(L):長度

D(W):寬度

C-S(L):開口的長度

C-S(W):開口的寬度

C-D(L):開口的長度

C-D(W):開口的寬度

WL:字元線

BL,BLB:位元線

VDD:高電位電壓

VSS:低電位電壓

PD-1,PD-2,PG-1,PG-2,PU-1,PU-2:電晶體

M1:第一內連線金屬層

M2:第二內連線金屬層

M3:第三內連線金屬層

X_n+X_p:保留邊緣距離

TEC-Si:複合源極/汲極區

【發明申請專利範圍】

【請求項1】 一種SRAM單元，包括：

複數個電晶體；

複數個接點，耦接至該些電晶體；

一第一金屬層，設置在該些電晶體之上並電耦接該些電晶體；

一第二金屬層，設置於該第一金屬層上方，並電耦接該些電晶體；以及

一第三金屬層，設置於該第二金屬層上方，並電耦接該些電晶體；

其中，該些接點包括一組第一接點和一組第二接點，該組第一接點直接連接到該第一金屬層，該組第二接點直接連接到該第二金屬層，但與該第一金屬層斷開連接。

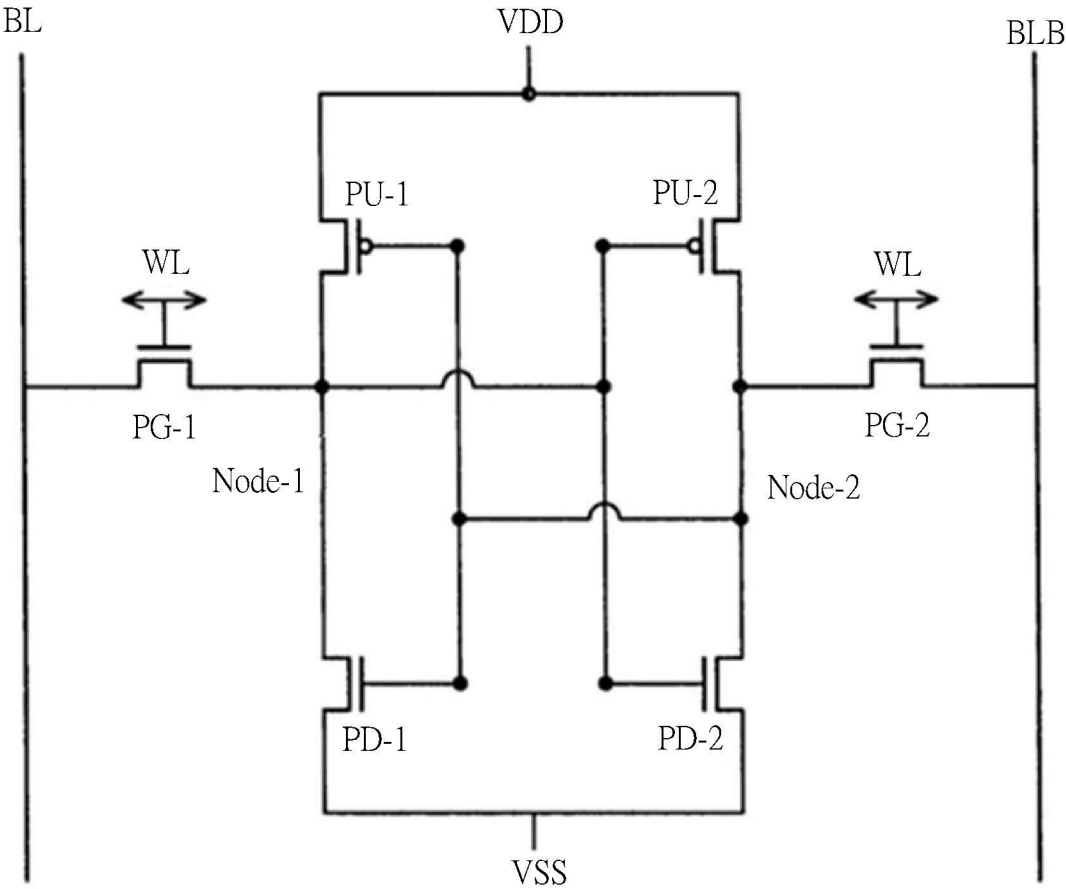
【請求項2】 如請求項1所述的SRAM單元，其中該第一接點的垂直長度比該第二接點的垂直長度短。

【請求項3】 如請求項1所述的SRAM單元，其中該些電晶體中的一個電晶體的閘極區不需透過低於一第一金屬內連線的另一金屬層而直接透過一第一金屬內連線連接到該些電晶體的源極區或汲極區。

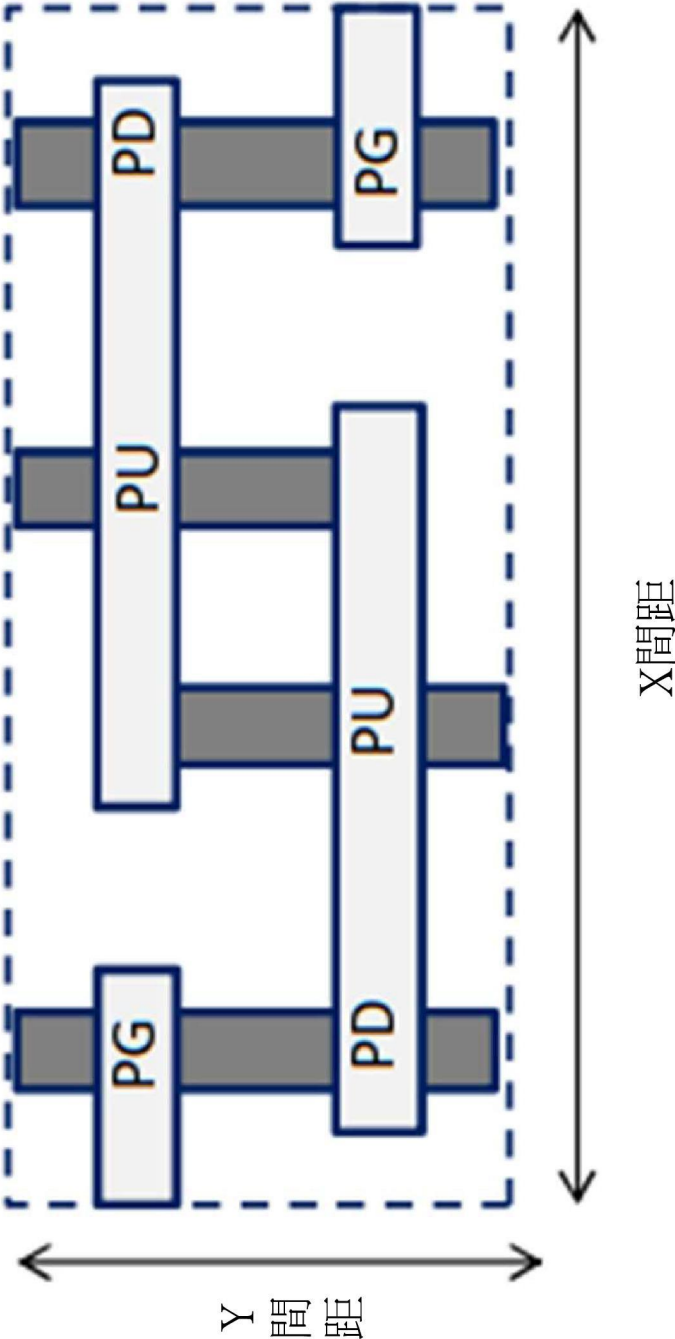
【請求項4】 如請求項1所述的SRAM單元，其中該些電晶體中的一NMOS電晶體的n+區的底面被一第一絕緣體完全隔離，並且該些電晶體中的一PMOS電晶體的p+區的底面被一第二絕緣體

完全隔離，其中該NMOS電晶體的n+區與該PMOS電晶體的p+區的邊緣距離在 $2\lambda \sim 4\lambda$ 之間。

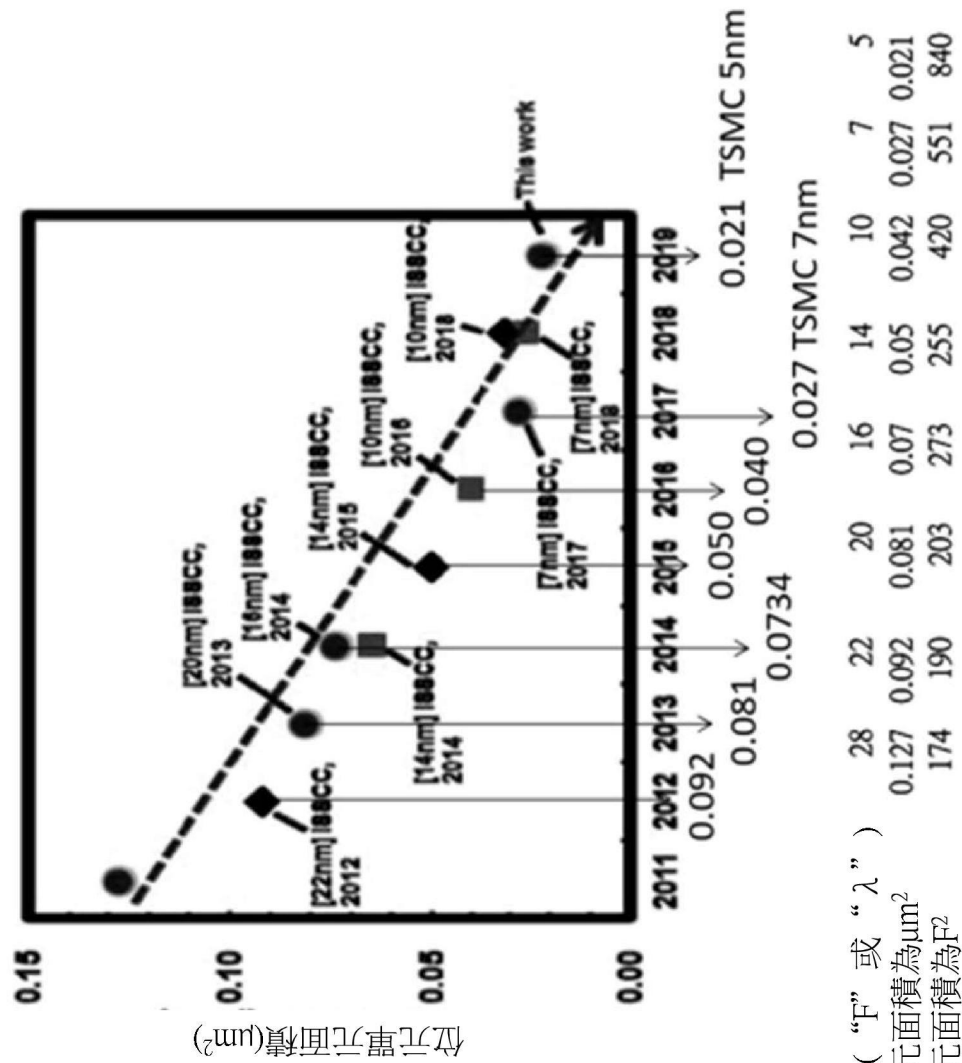
【發明圖式】



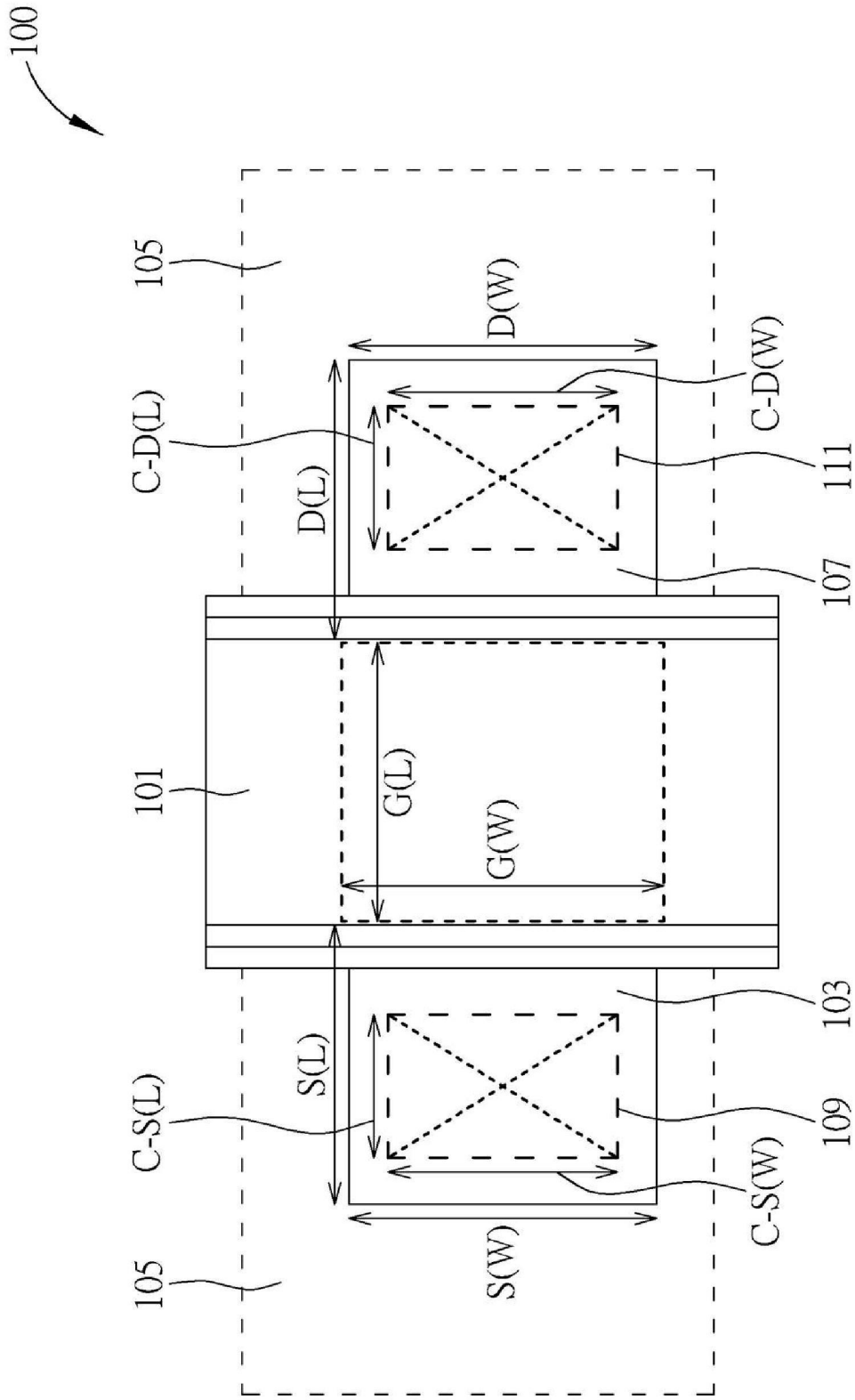
第 1 圖



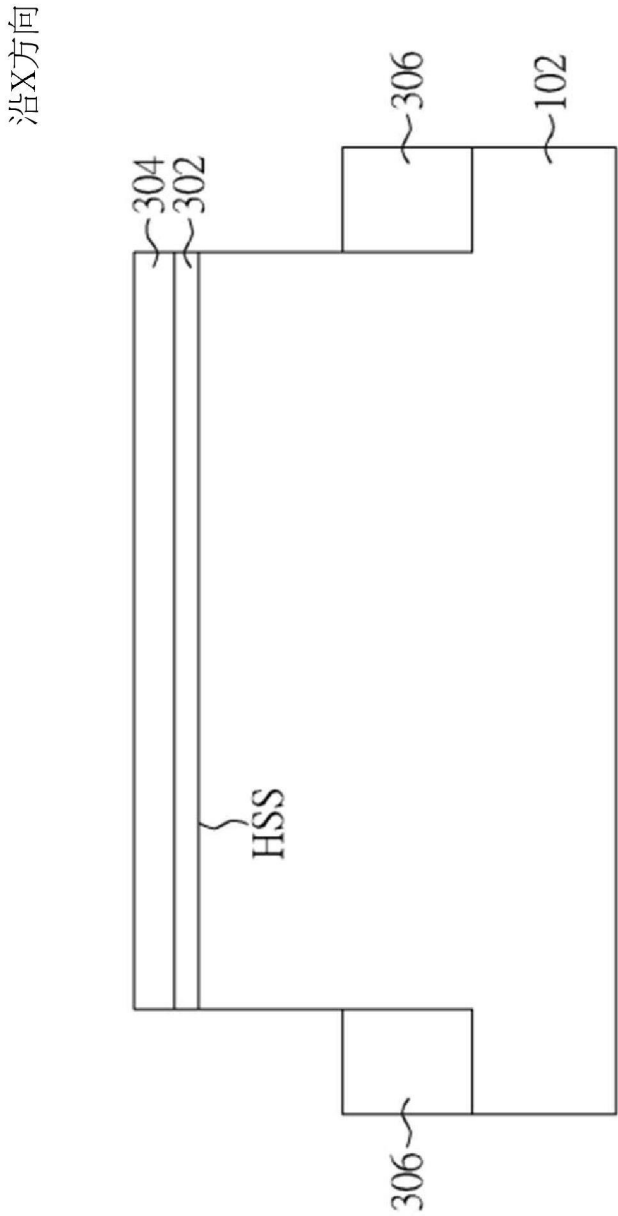
第 2 圖



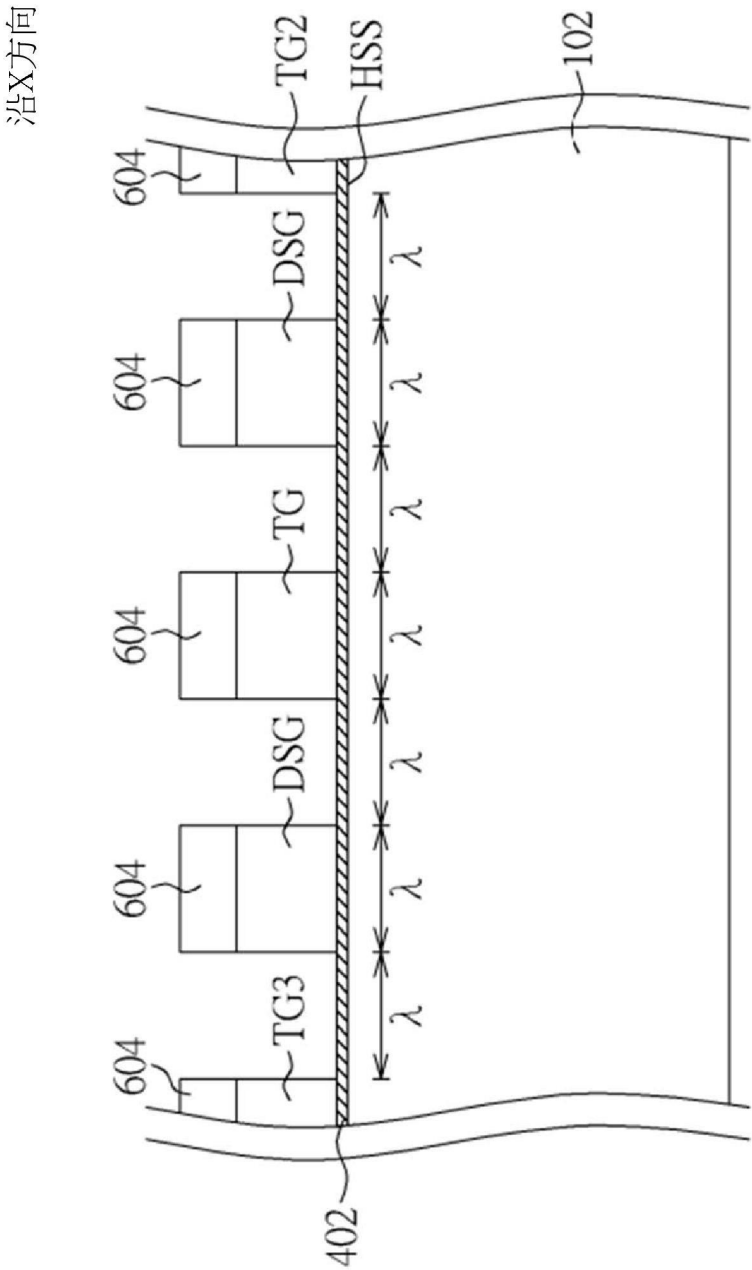
第3圖



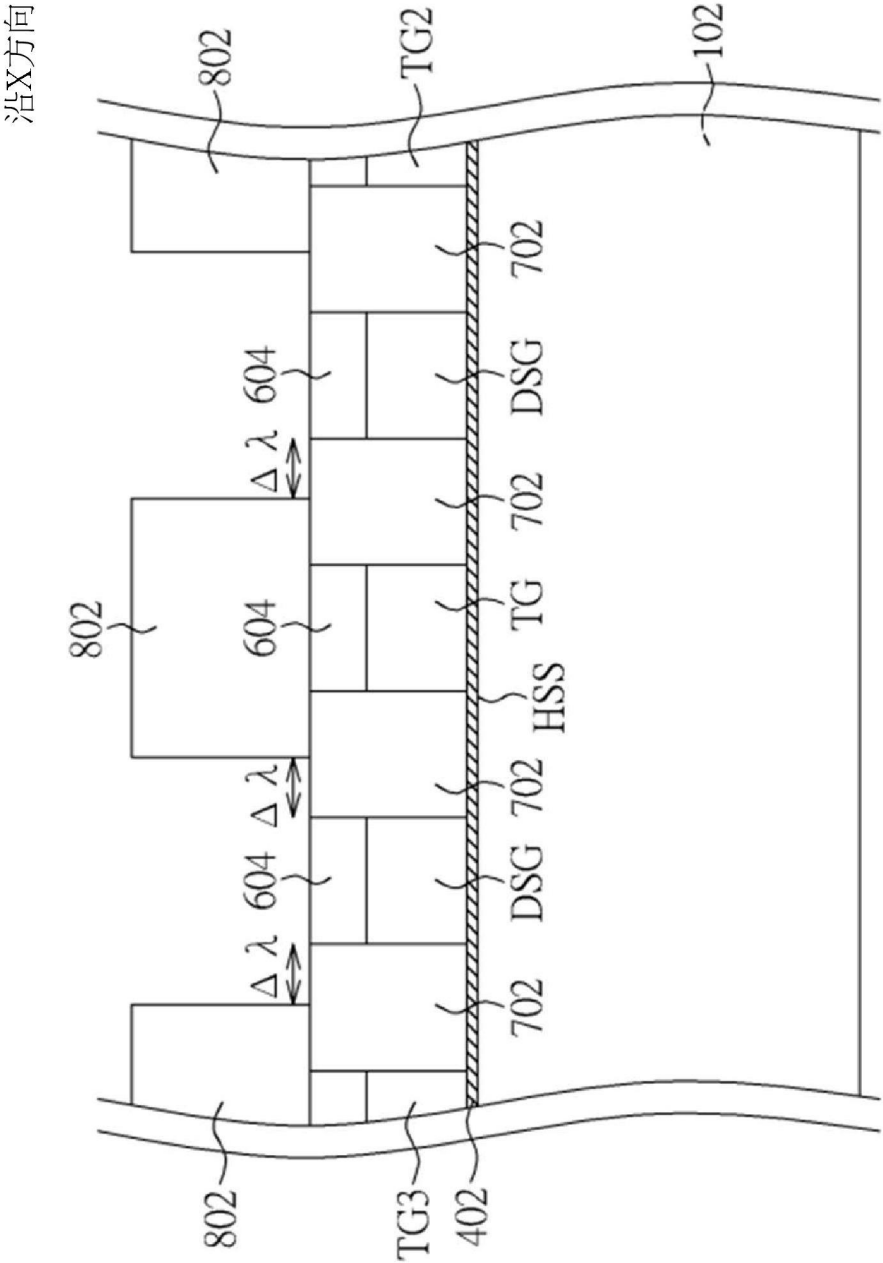
第 5 圖



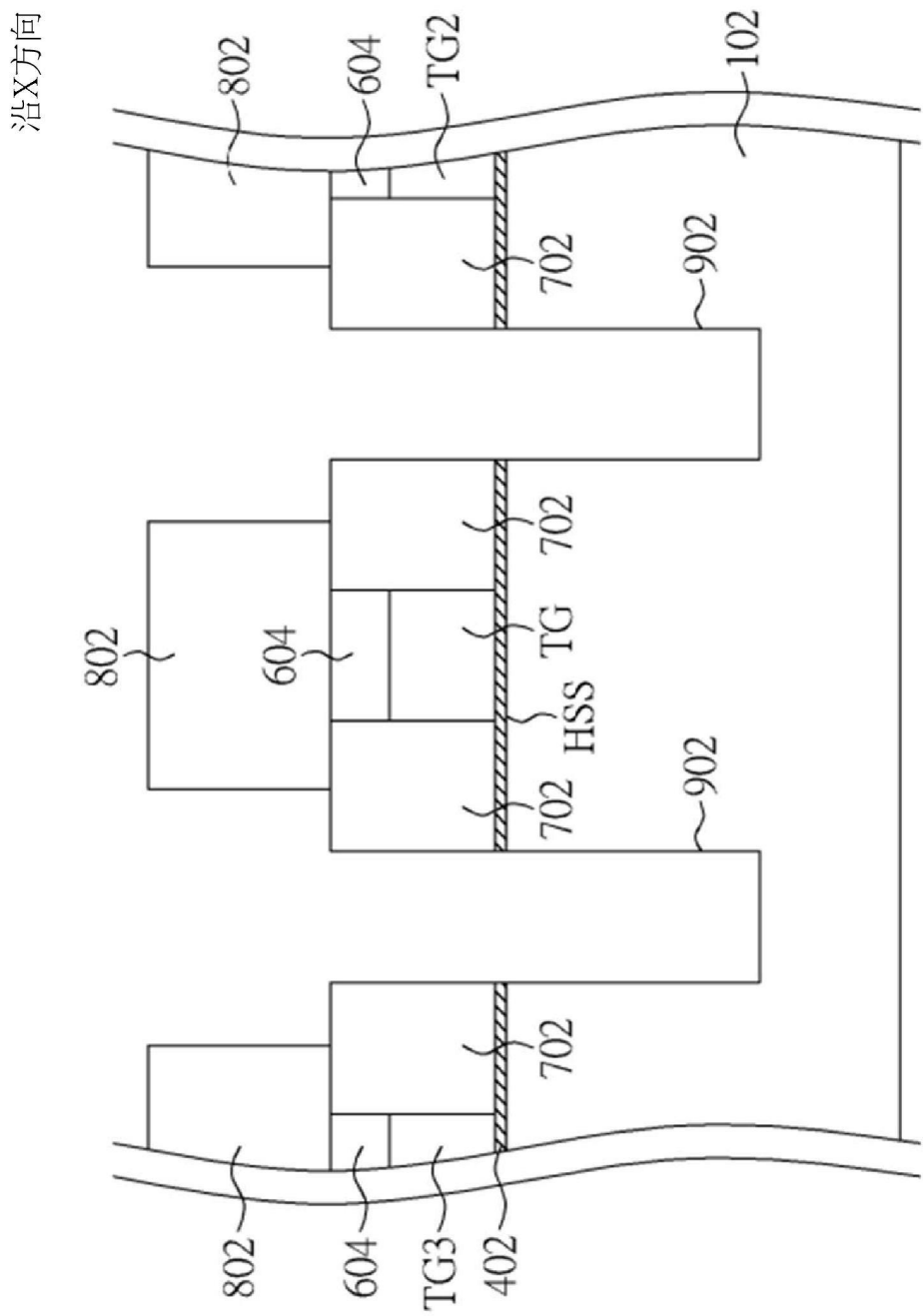
第6圖



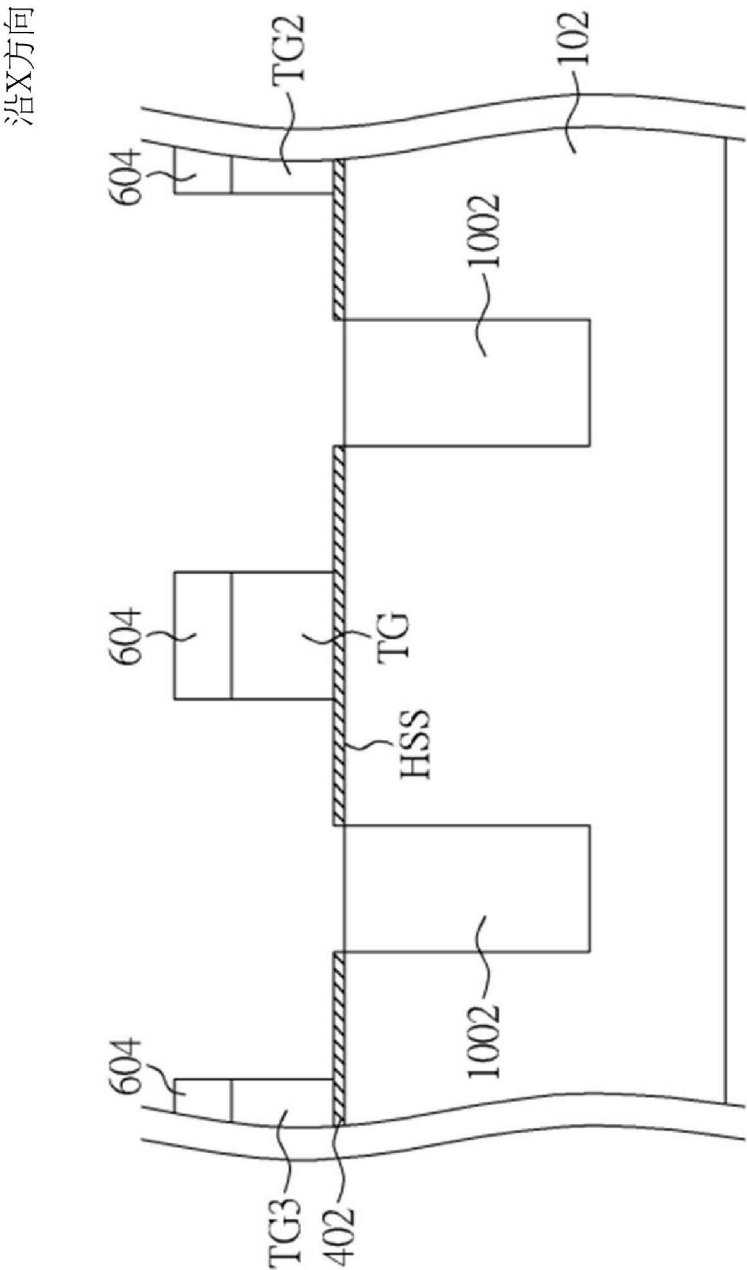
第 7 圖



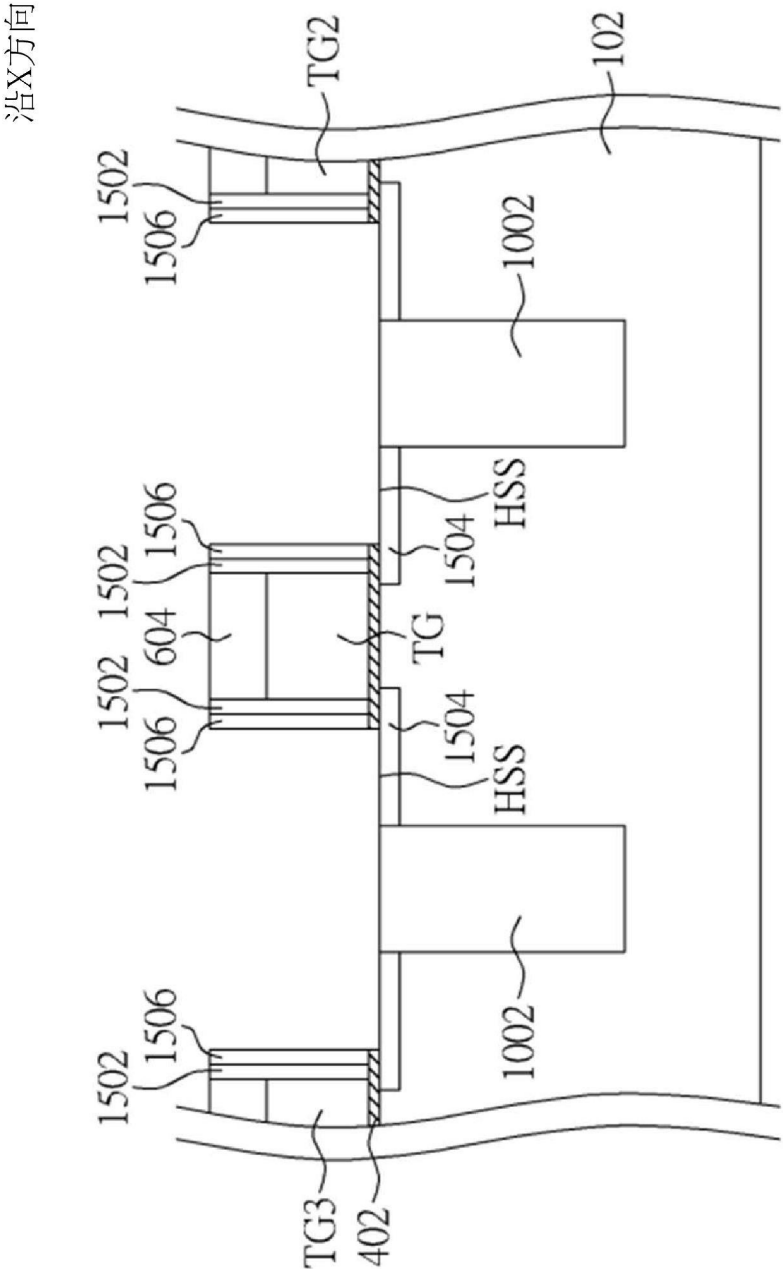
第 8 圖



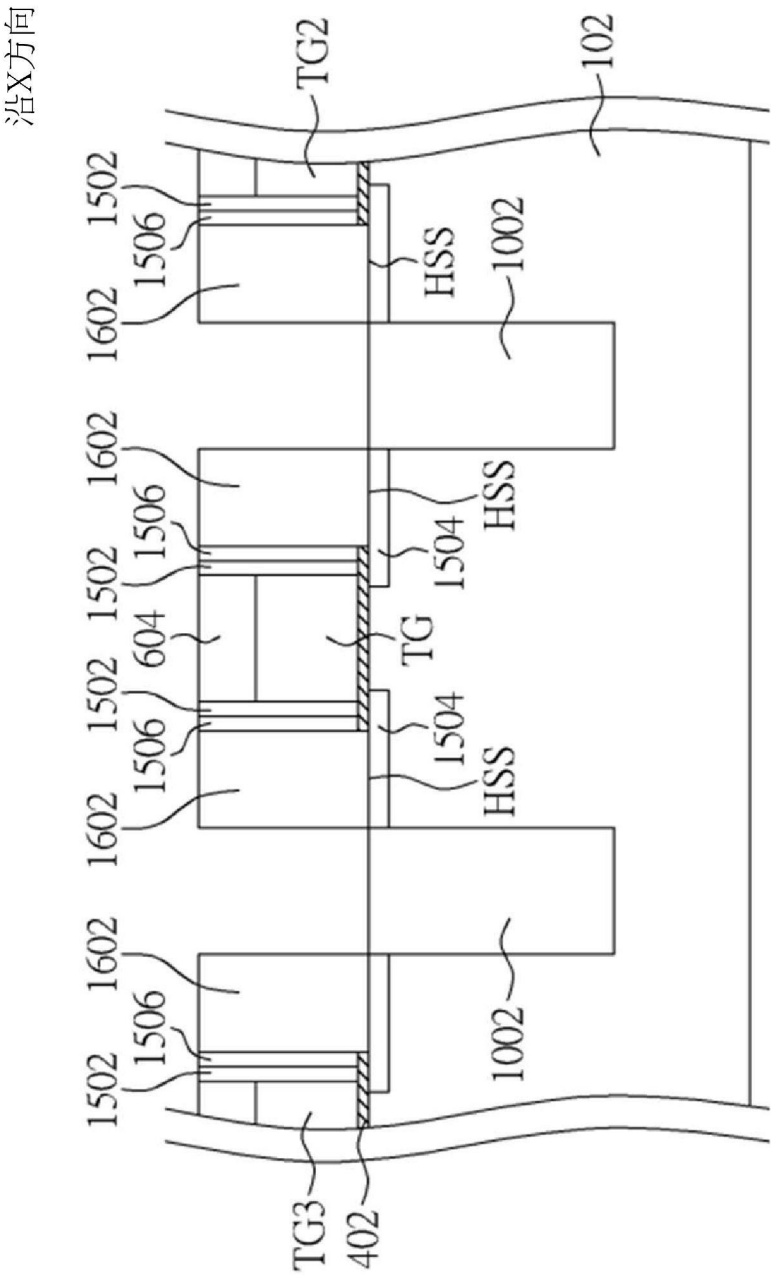
第9圖



第 10 圖

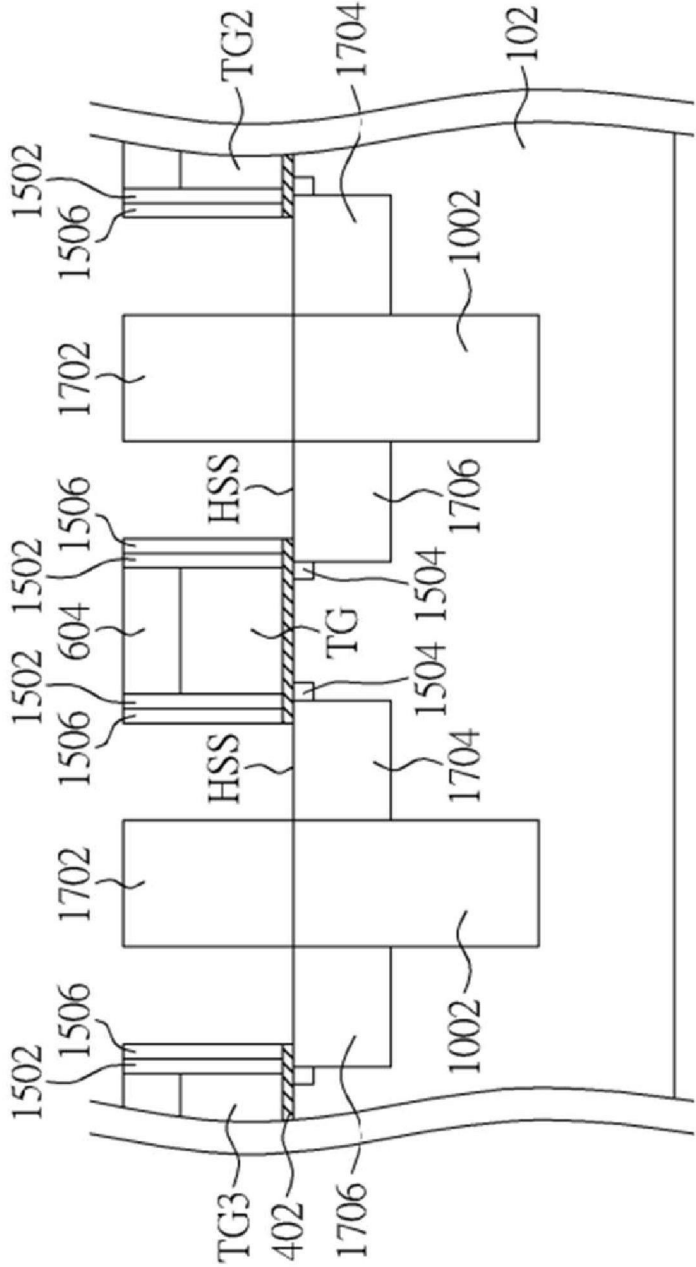


第 11 圖

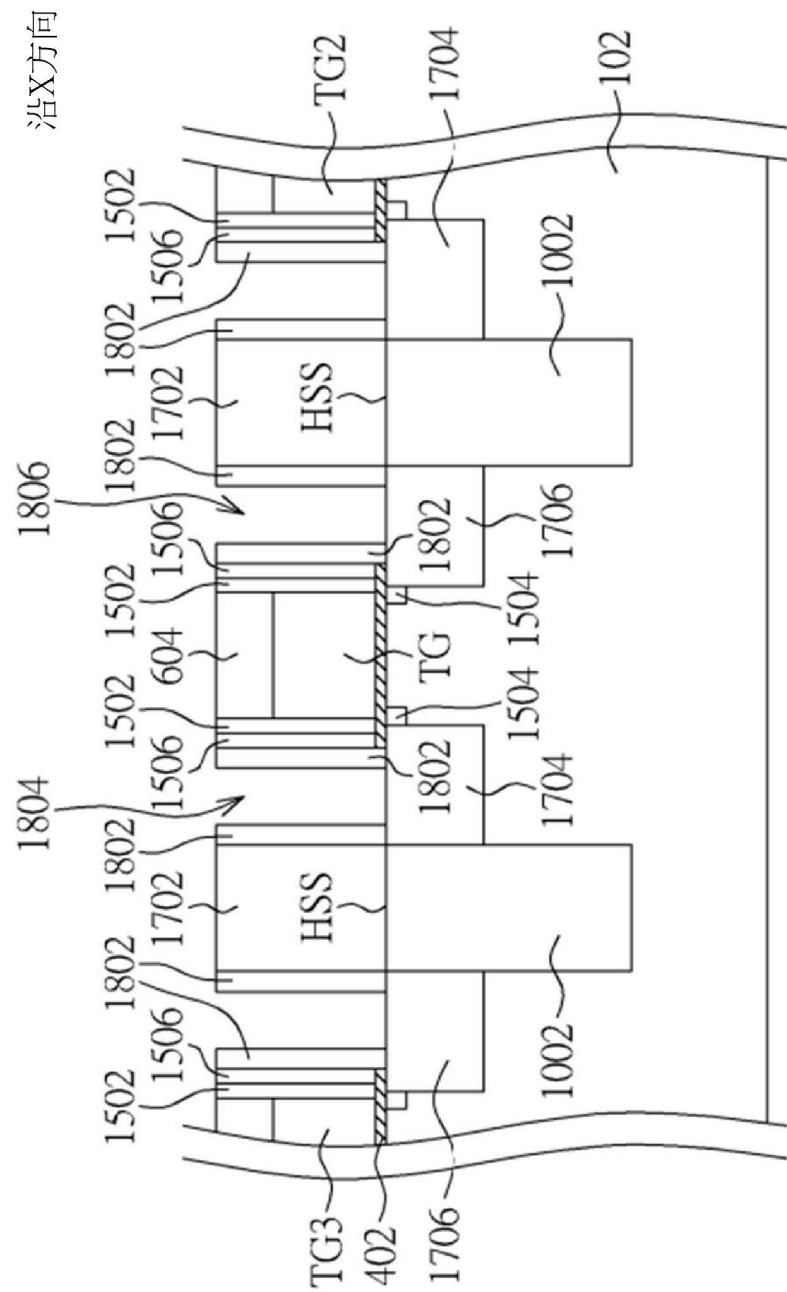


第12圖

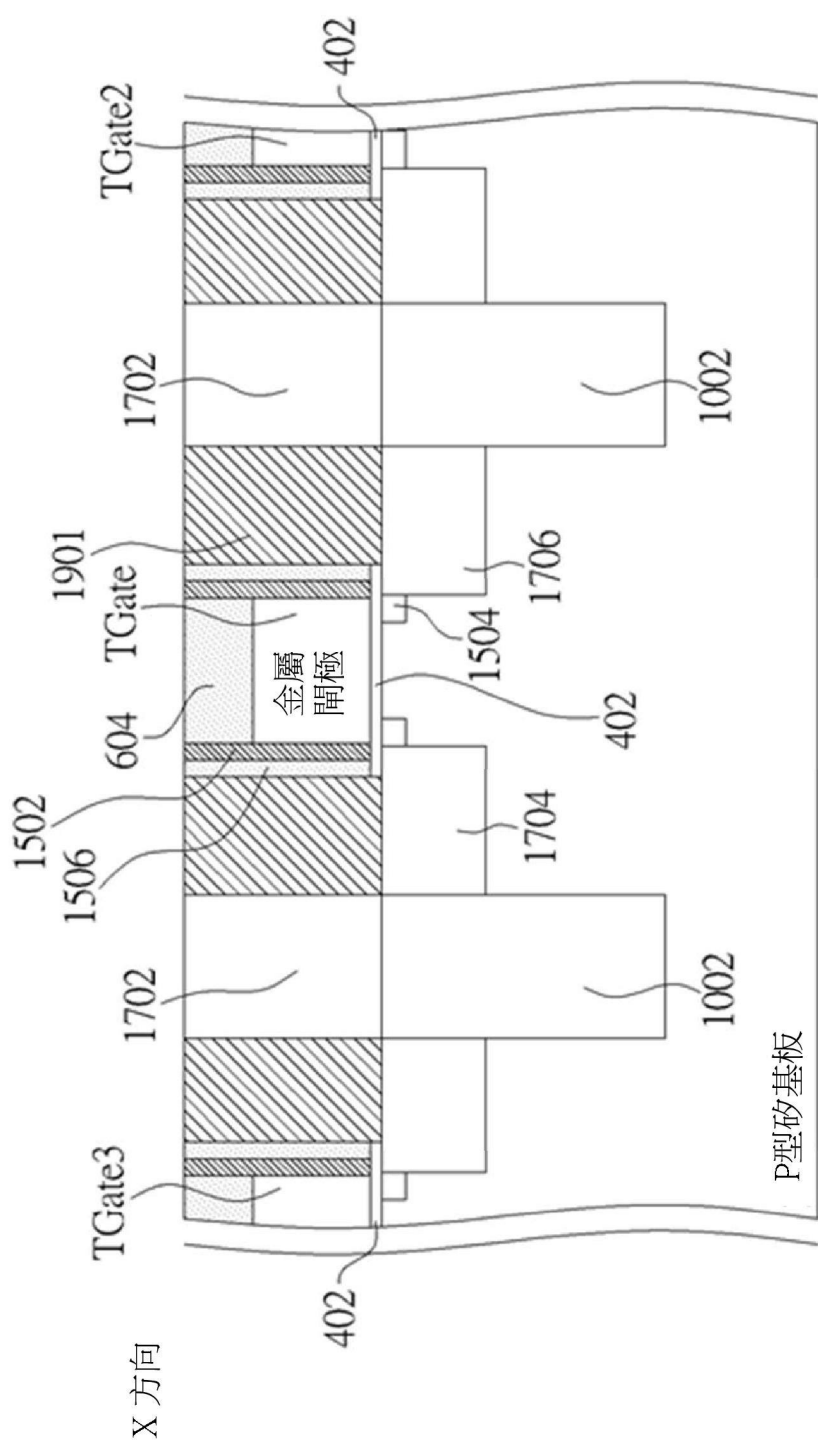
沿X方向



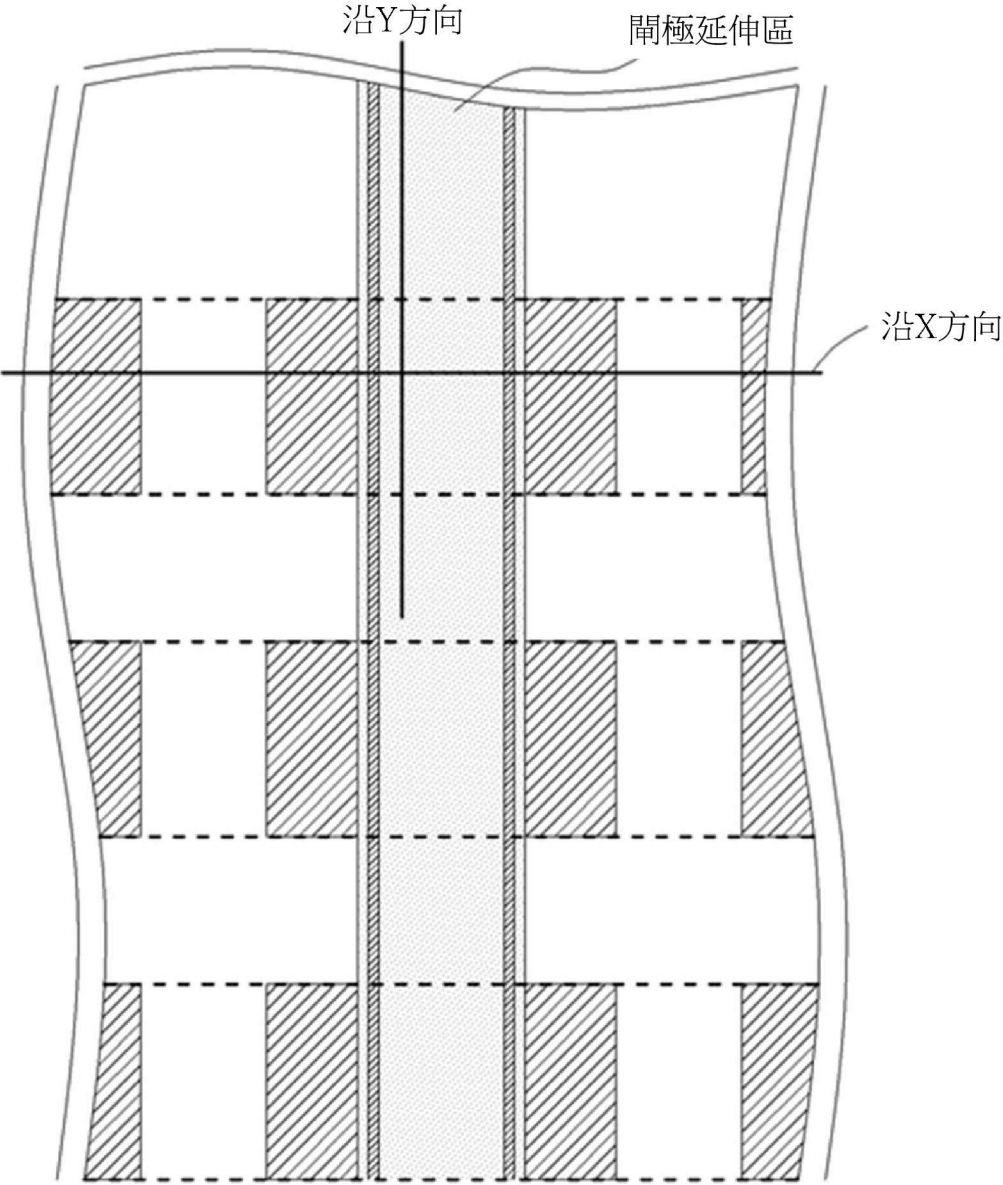
第 13 圖



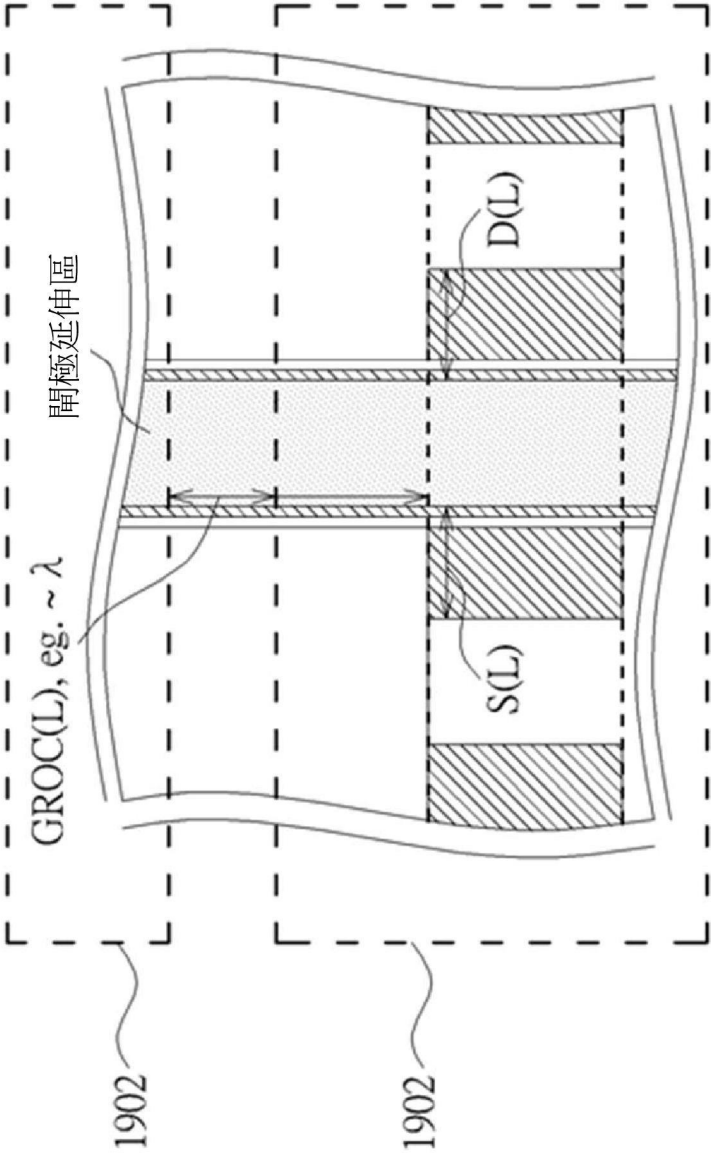
第14圖



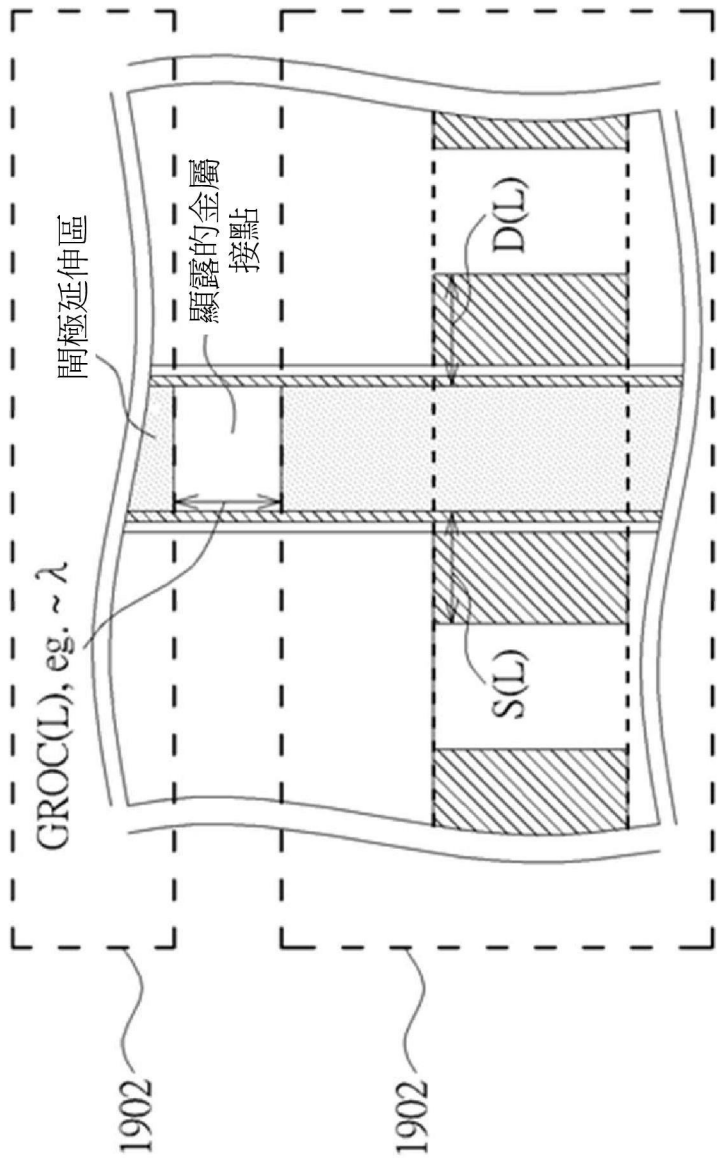
第 15(a) 圖



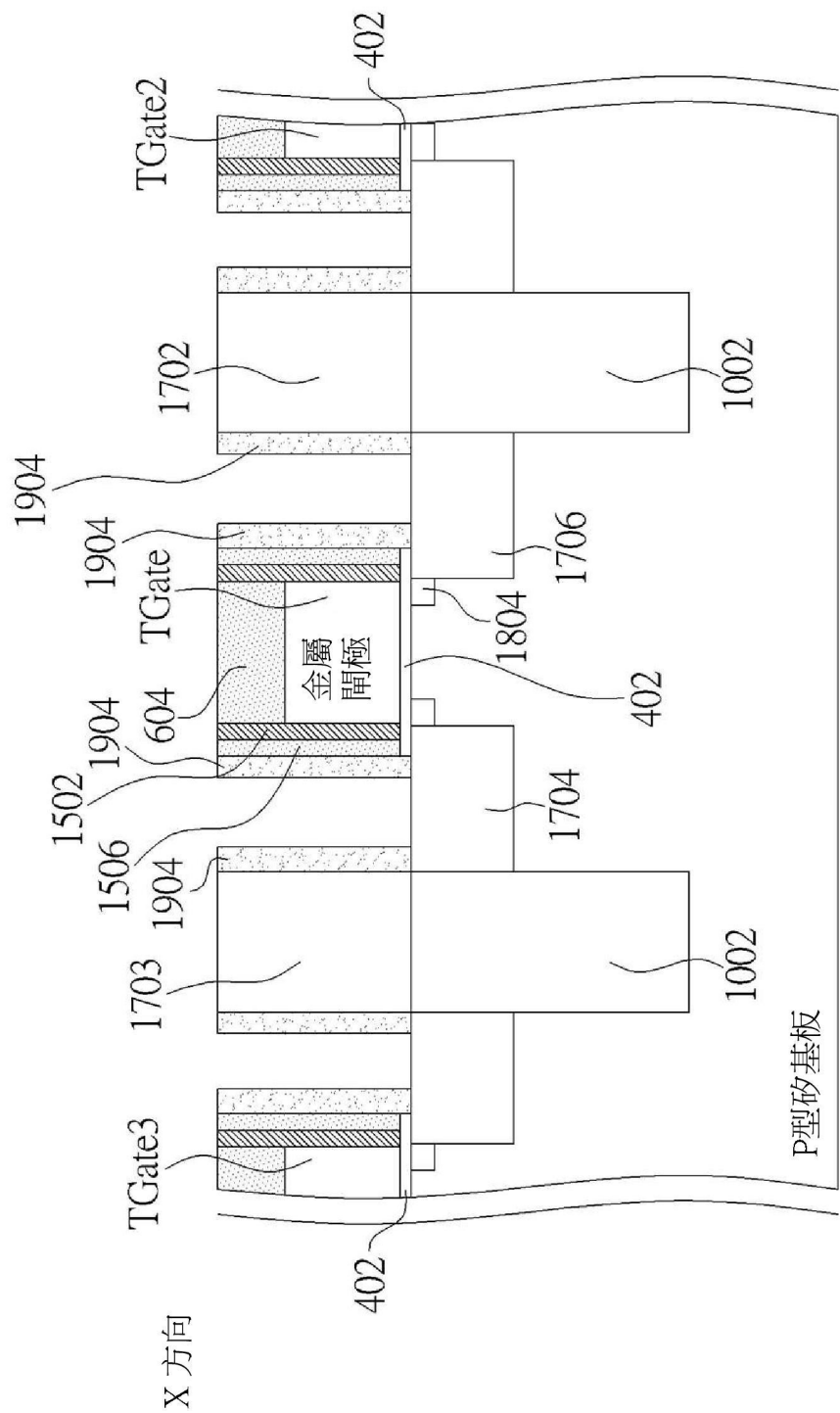
第 15(b) 圖



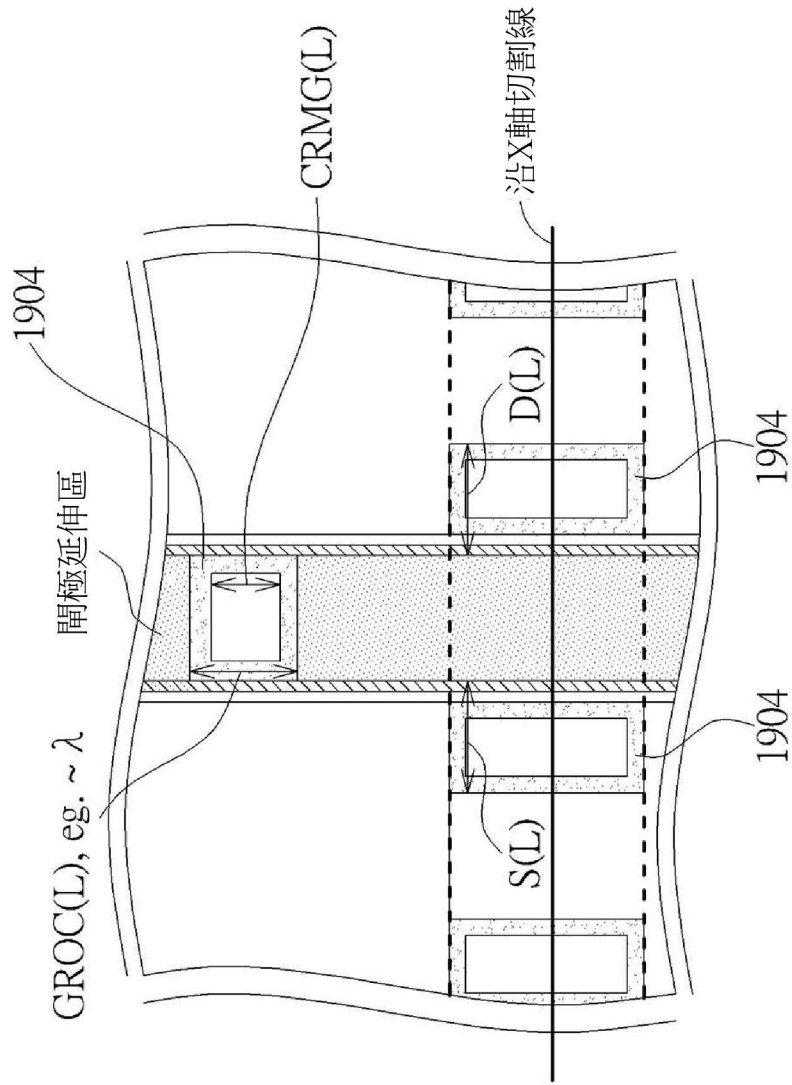
第 16 圖



第17圖

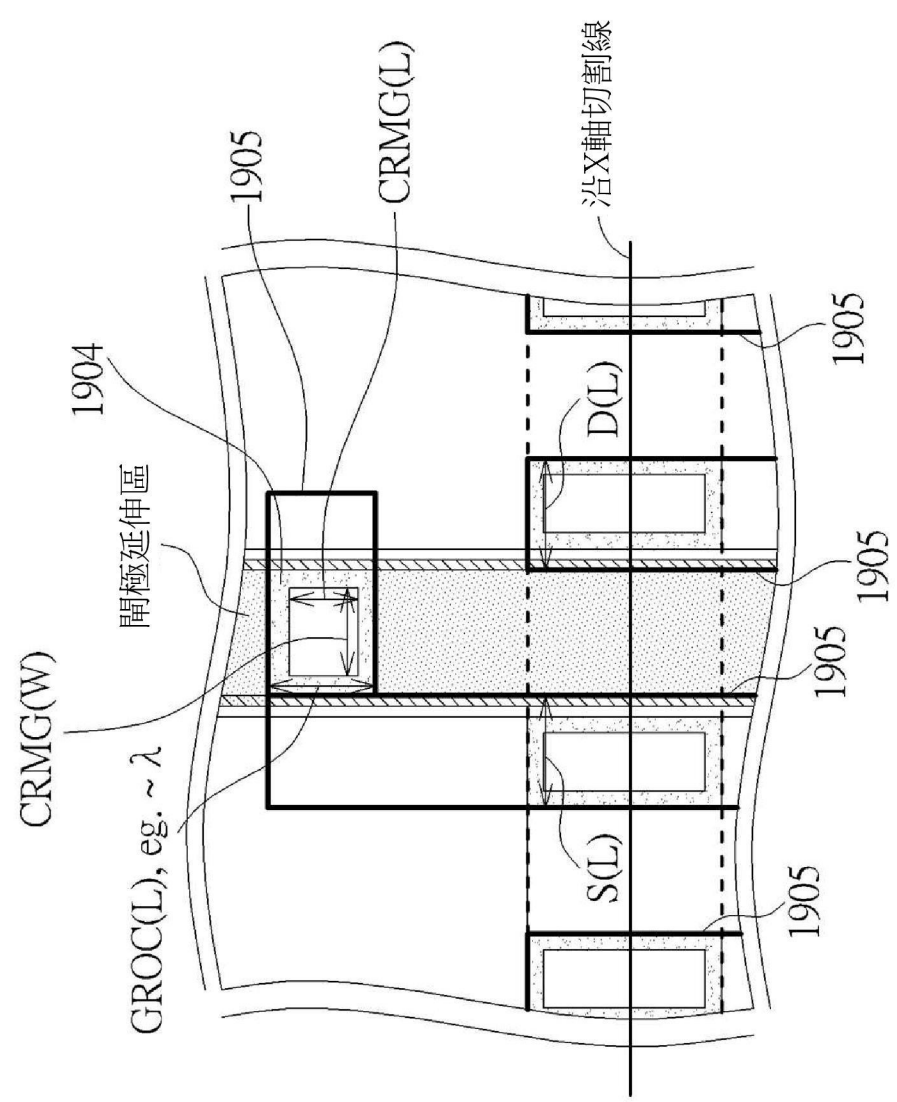


第 18(a) 圖

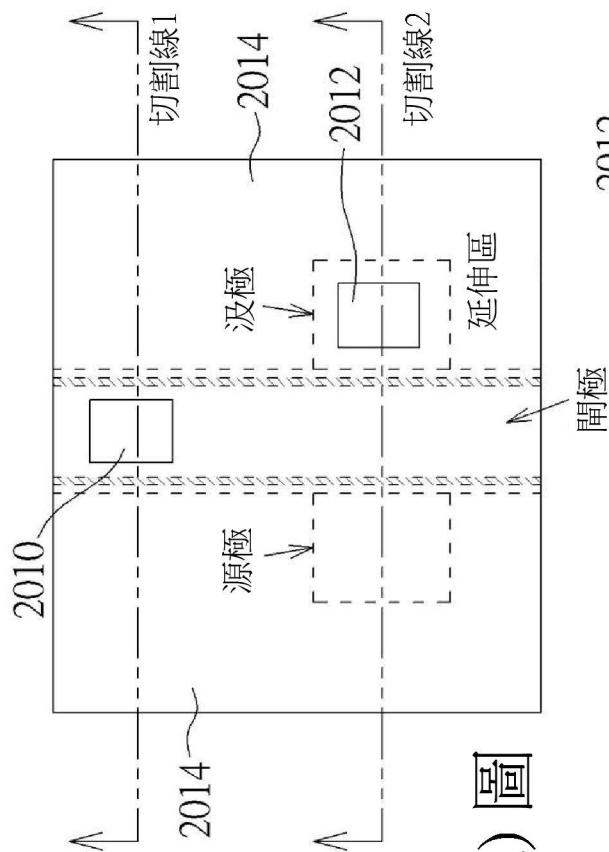


第 18(b) 圖

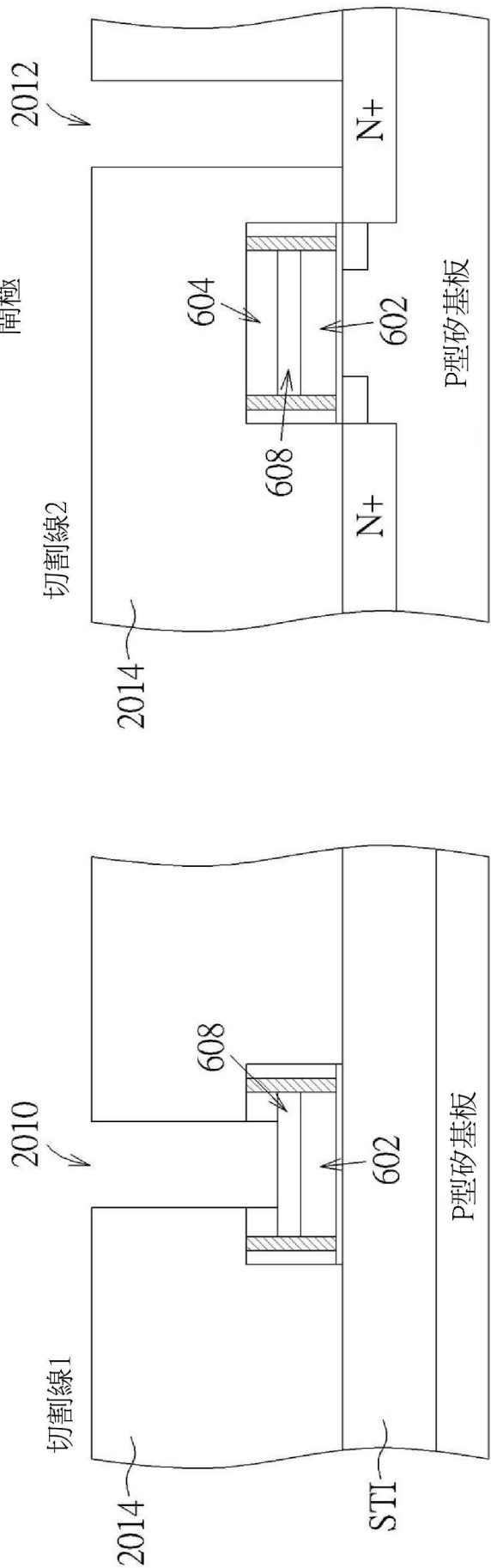
圖 19(a)



第 19(b) 圖

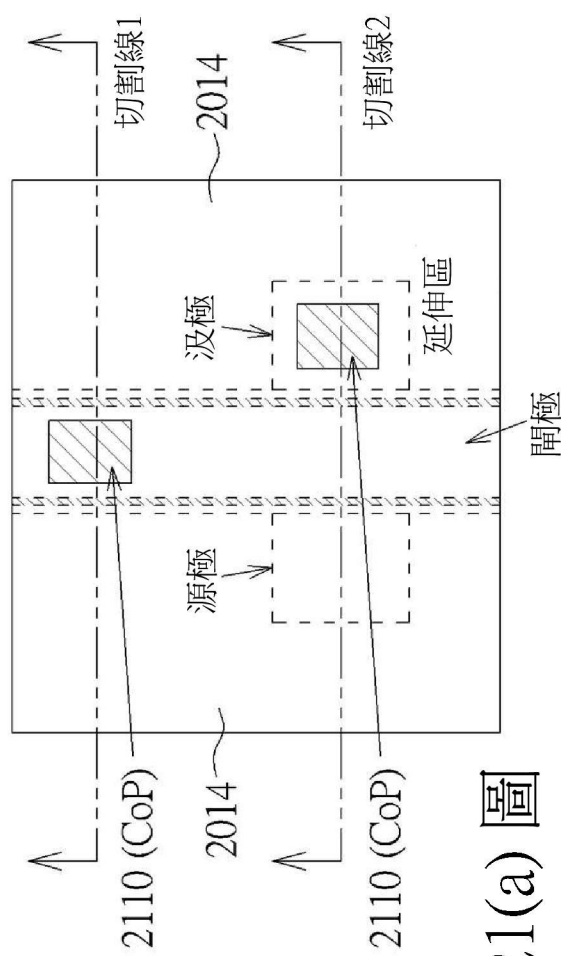


第 20(a) 圖

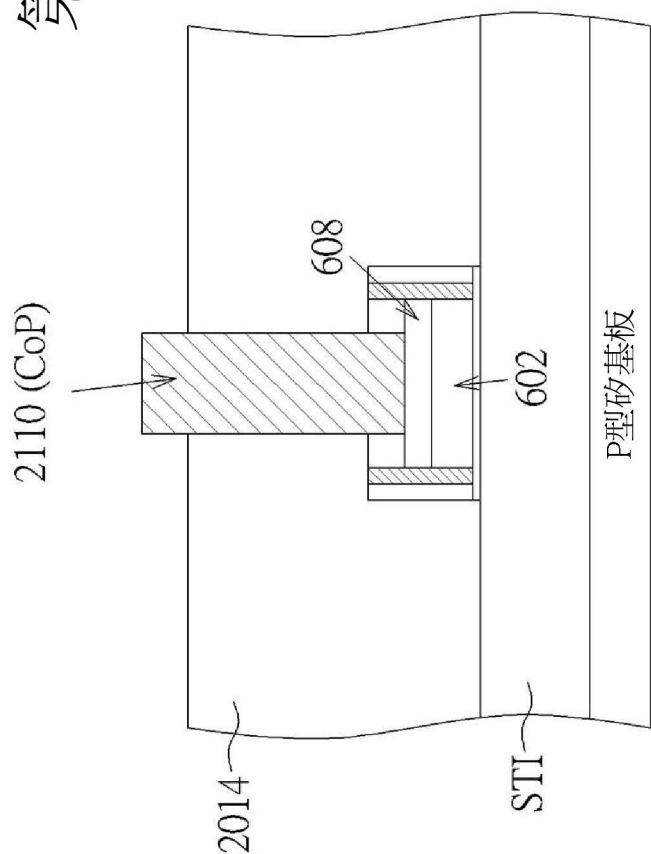


第 20(c) 圖

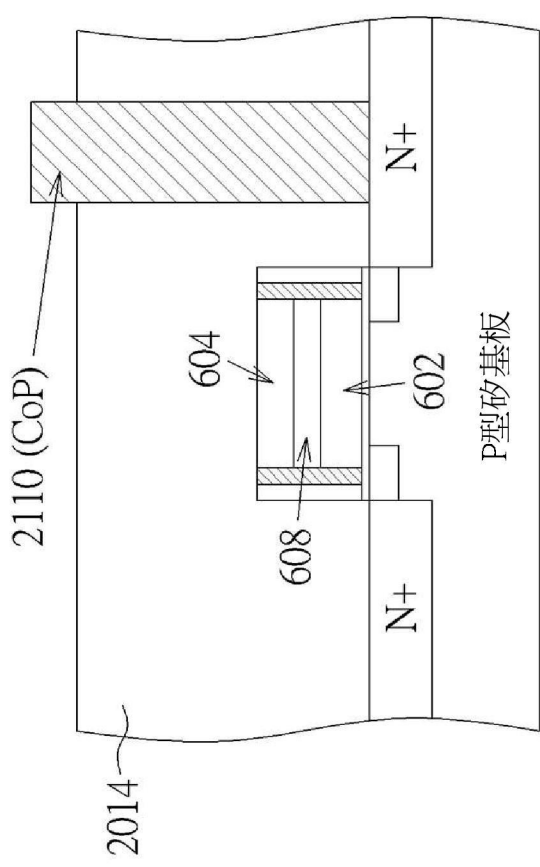
第 20(b) 圖



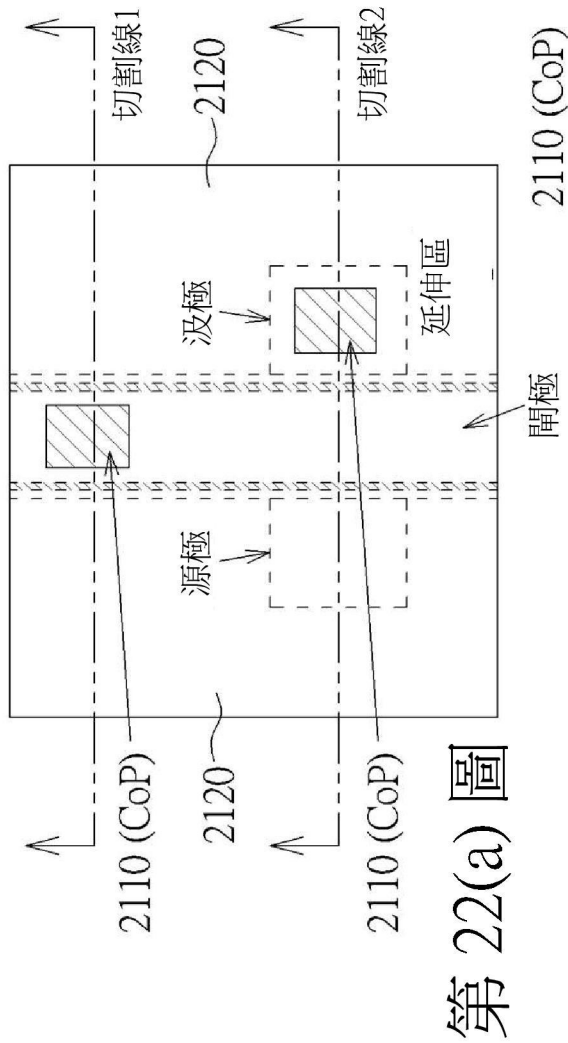
第 21(a) 圖



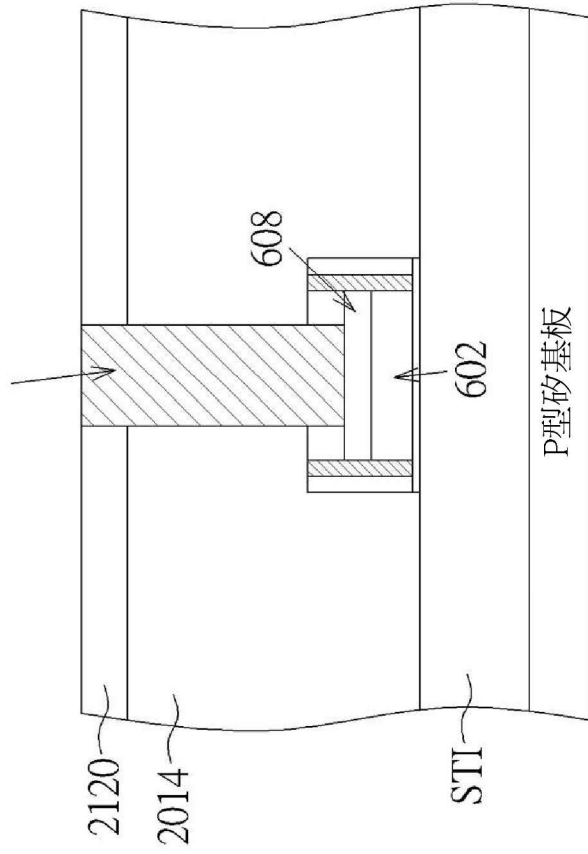
第 21(b) 圖



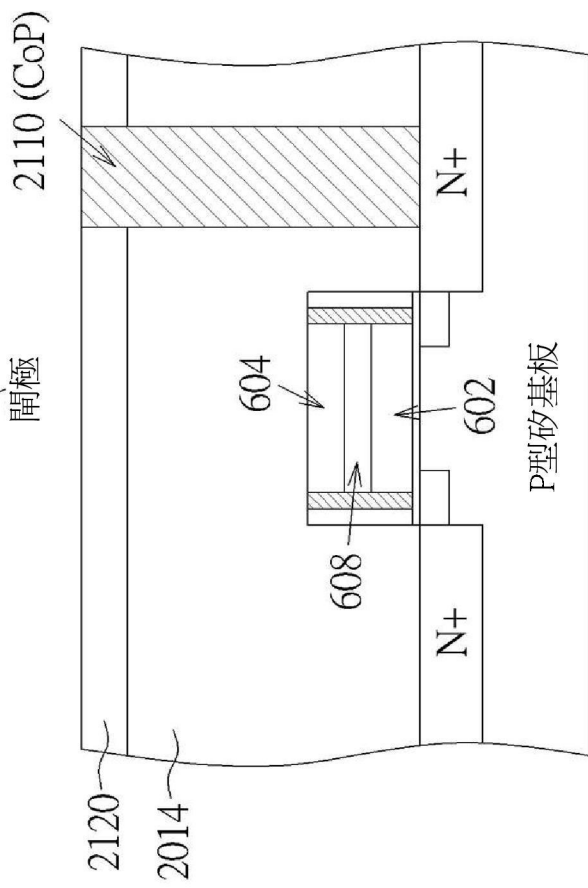
第 21(c) 圖



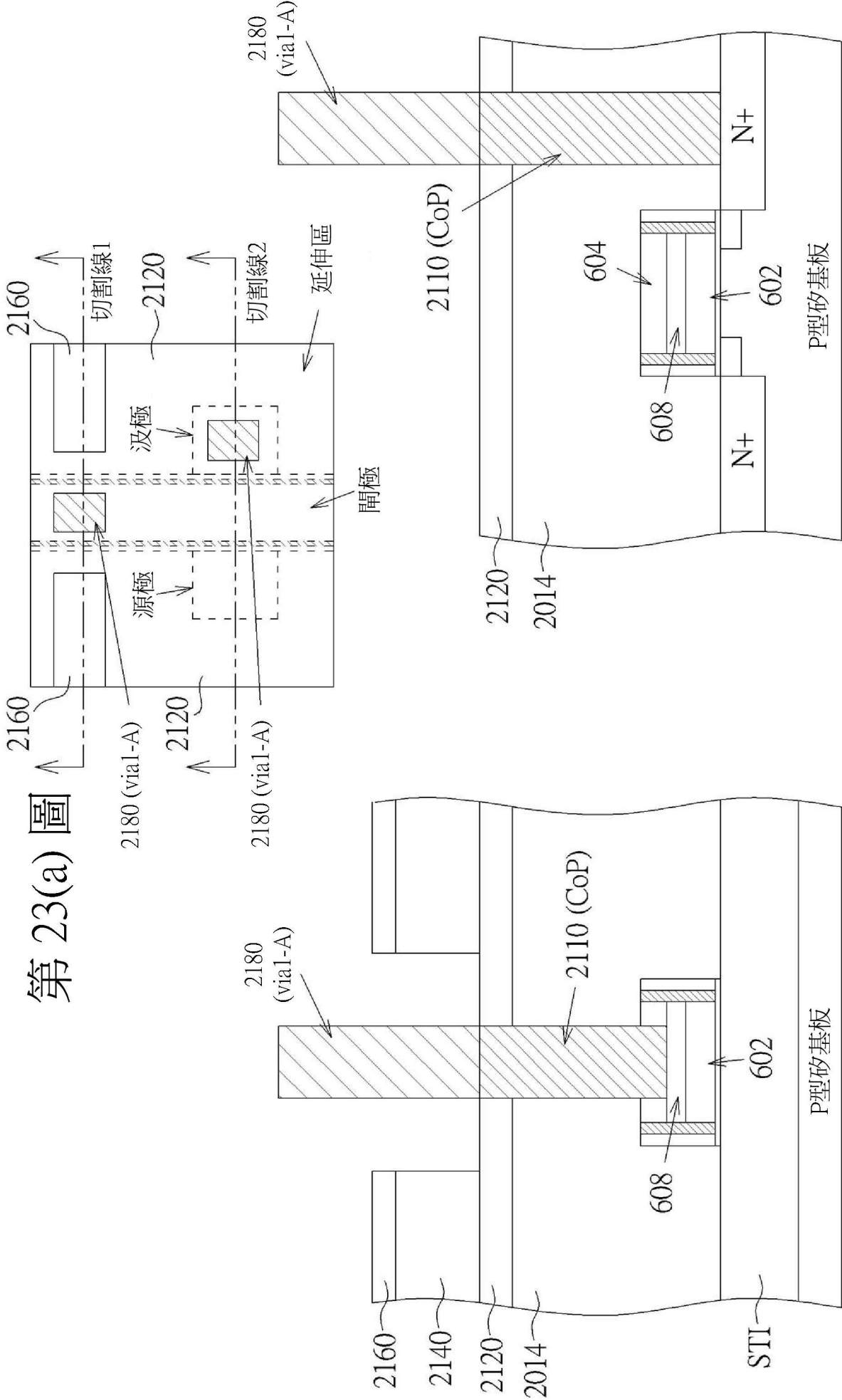
第 22(a) 圖



第 22(b) 圖



第 22(c) 圖



第 23(a) 圖

第 23(b) 圖

第 23(c) 圖

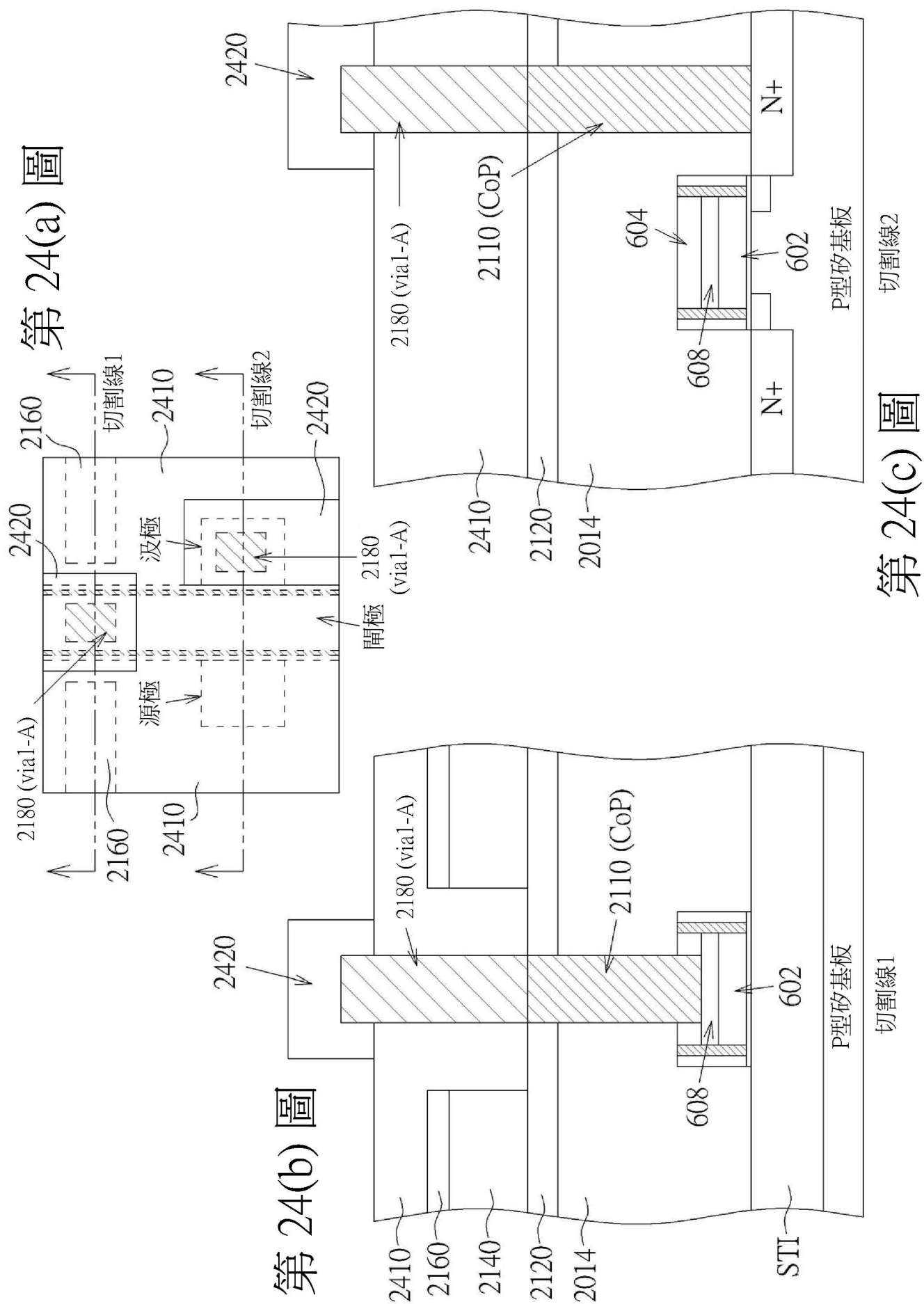
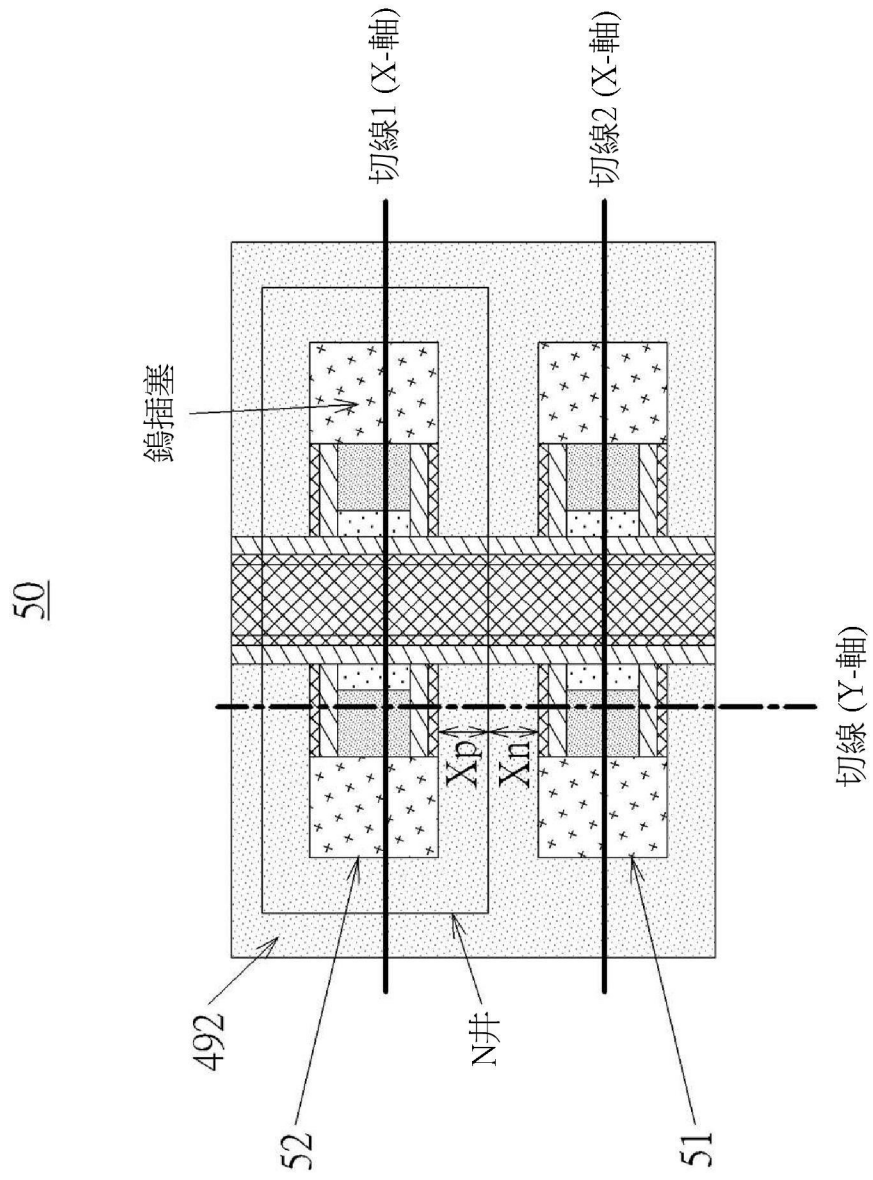
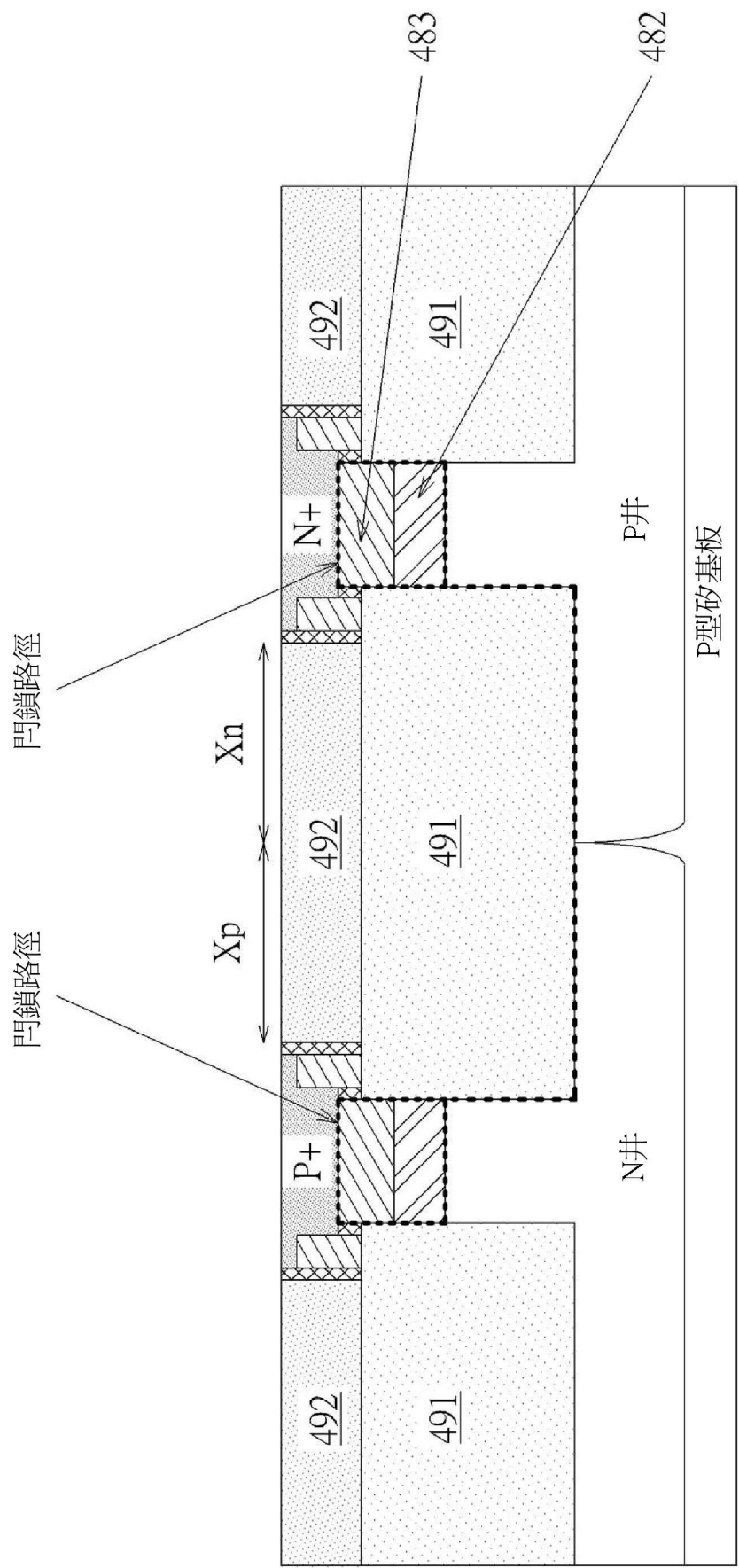


圖 25(a)

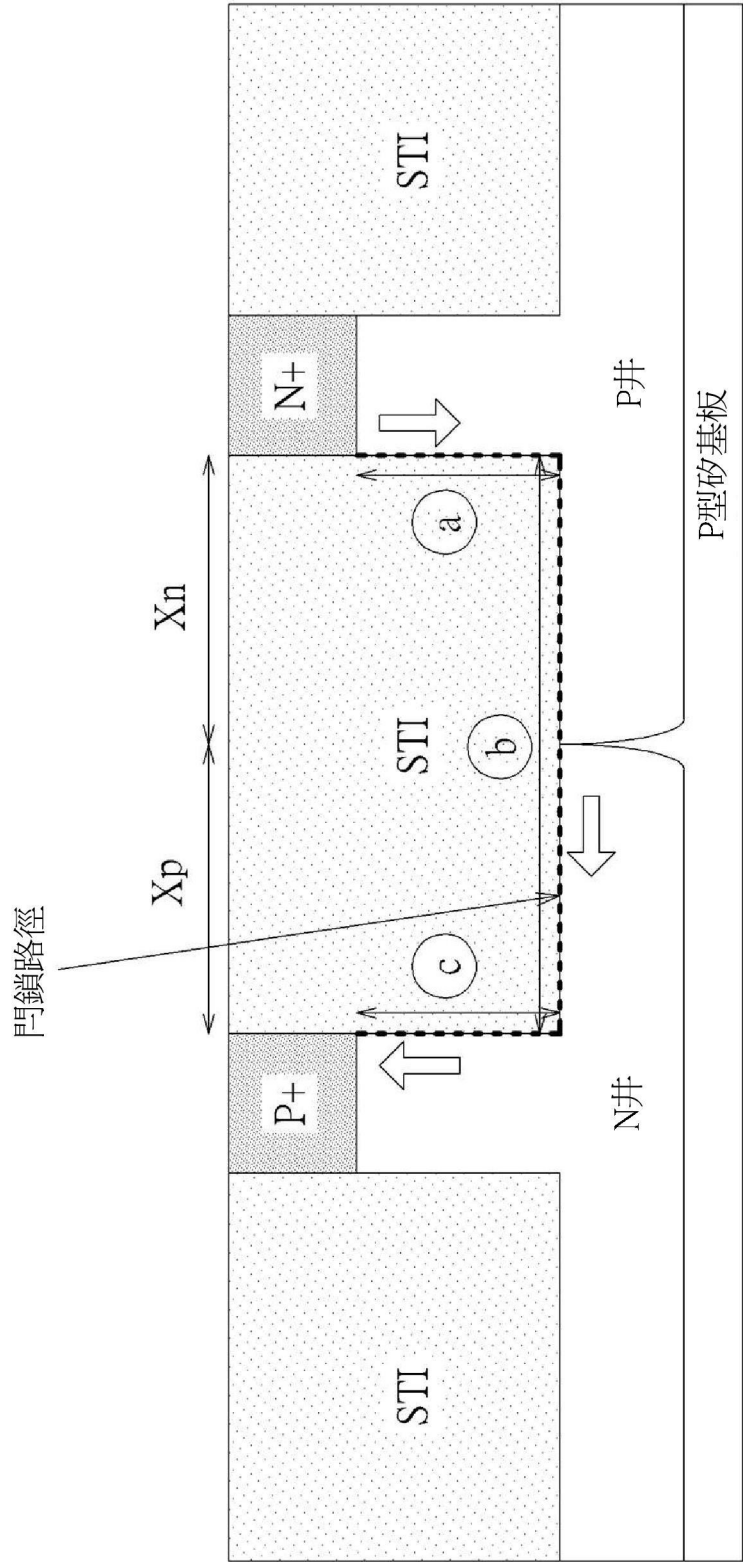
圖 25(b)



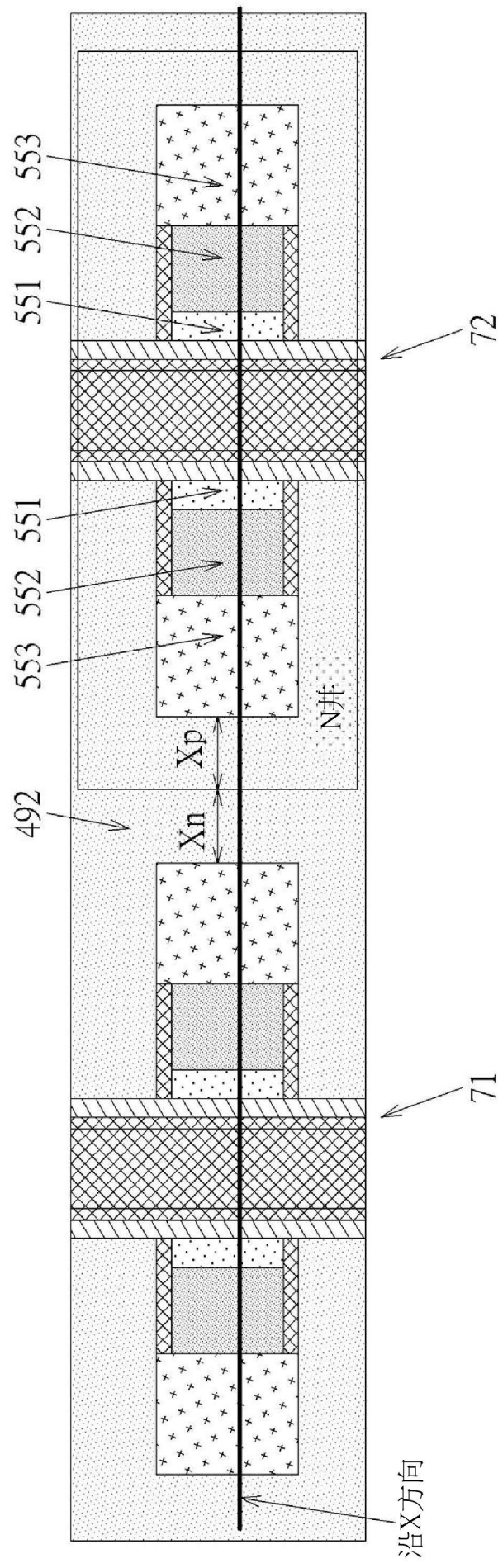
第 26(a) 圖



第 26(b) 圖

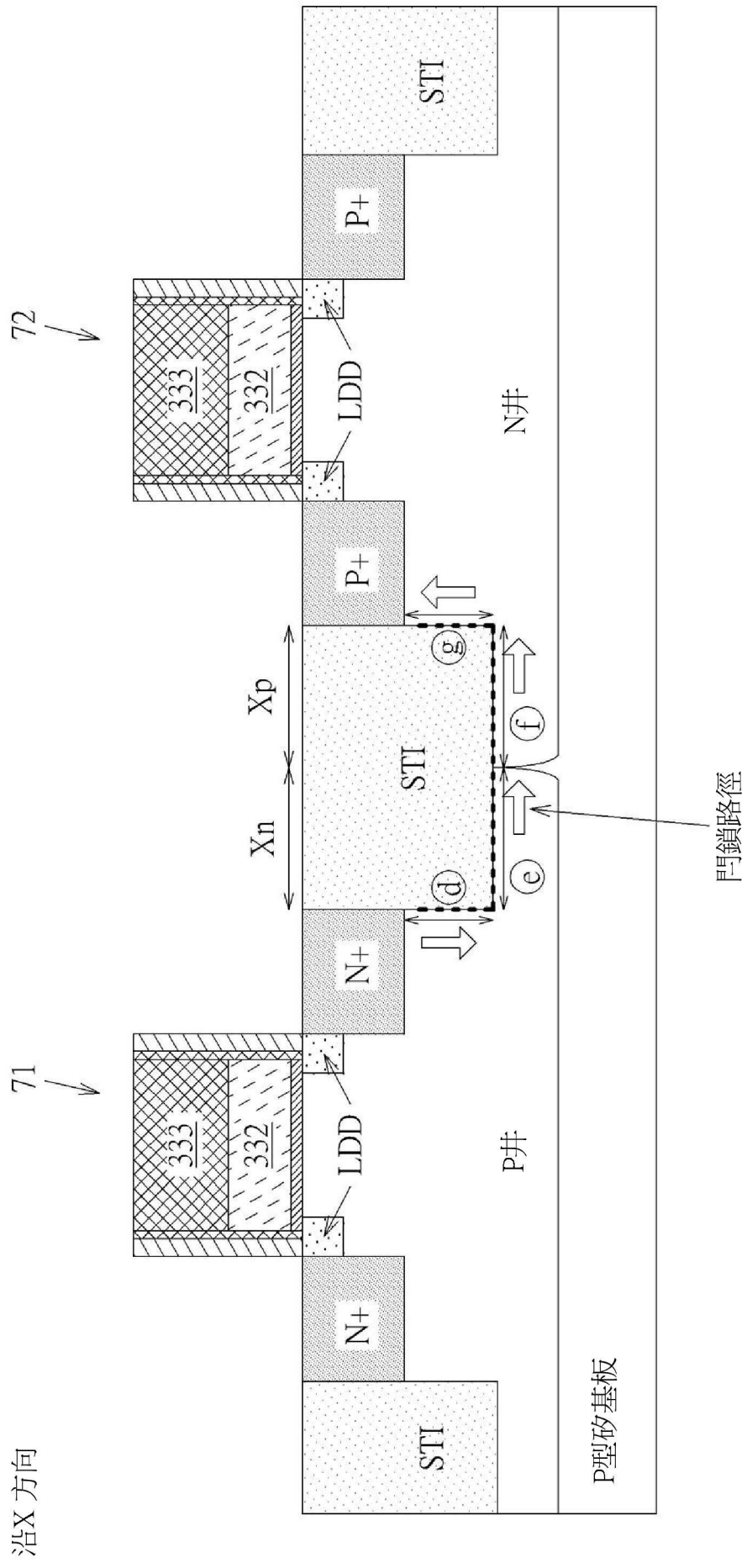


第 27 圖

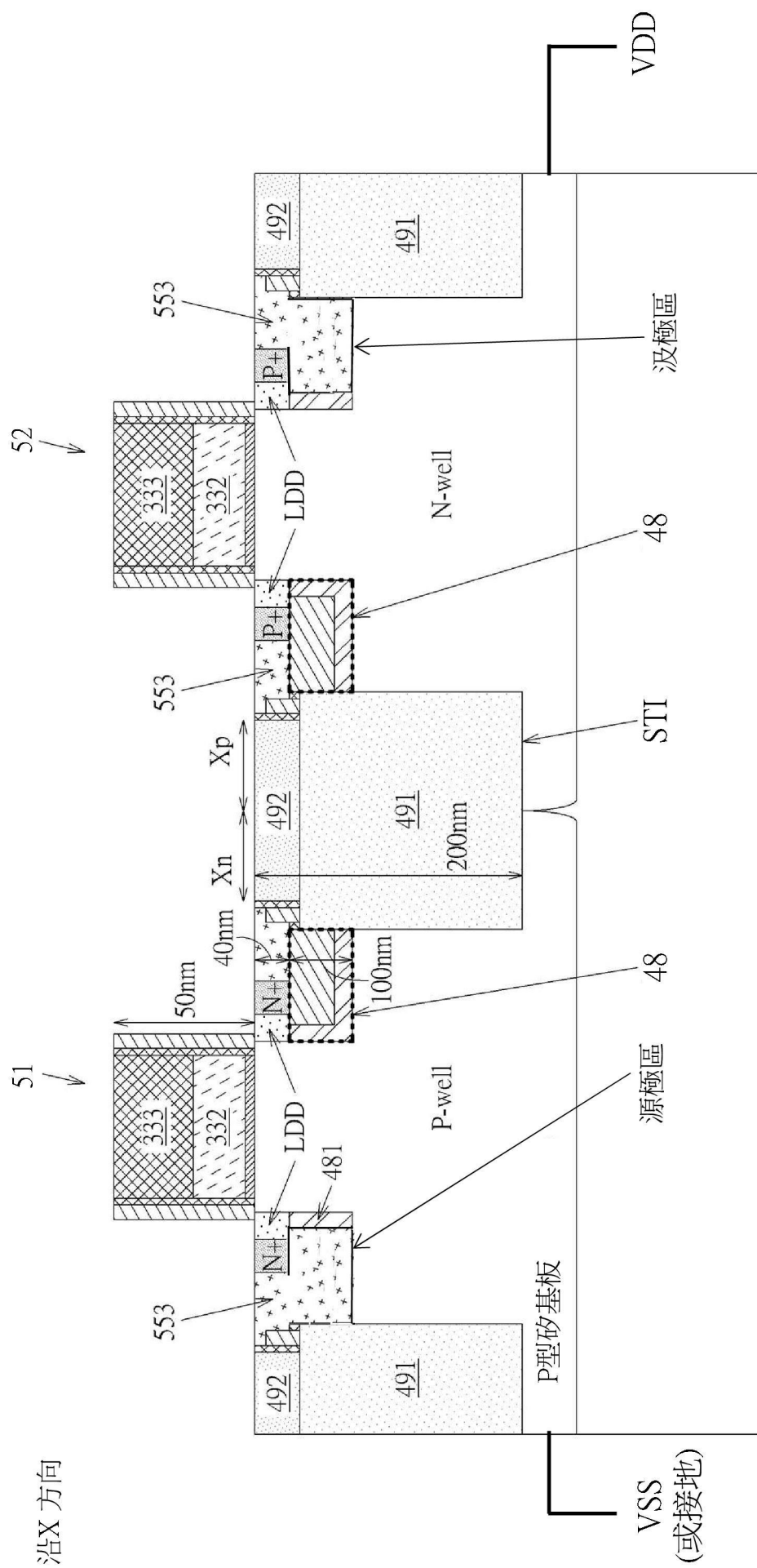


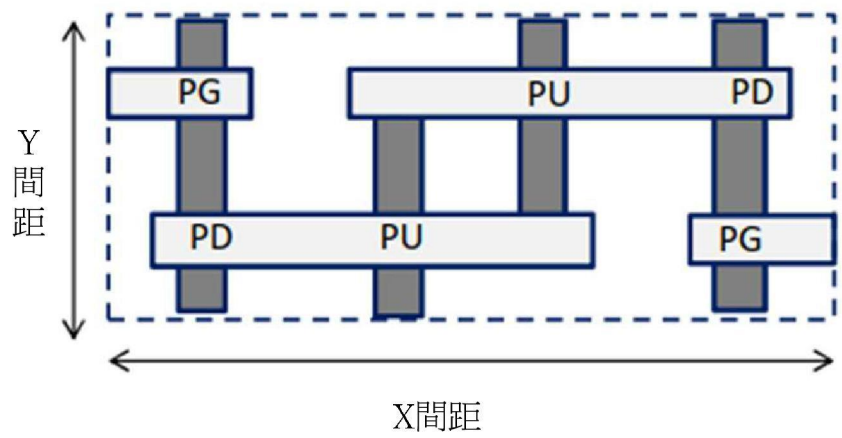
第 28(a) 圖

圖 28(b)

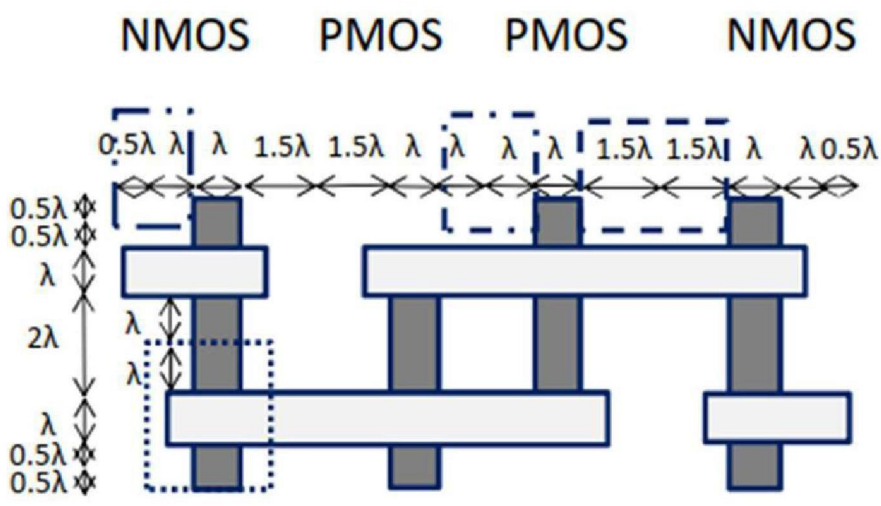


第 29 圖





第 31(a) 圖

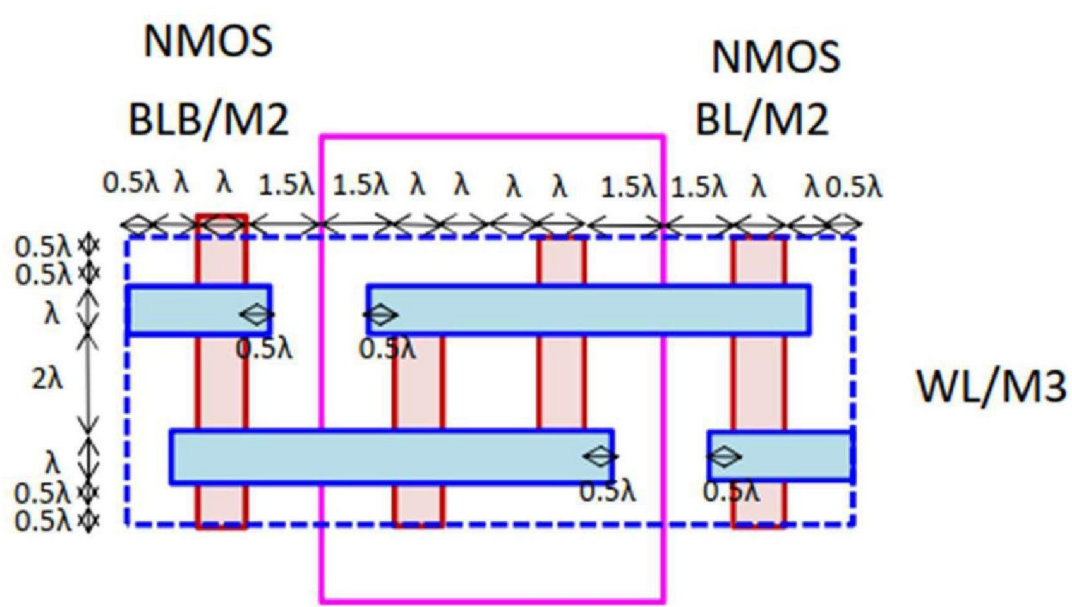


第 31(b) 圖

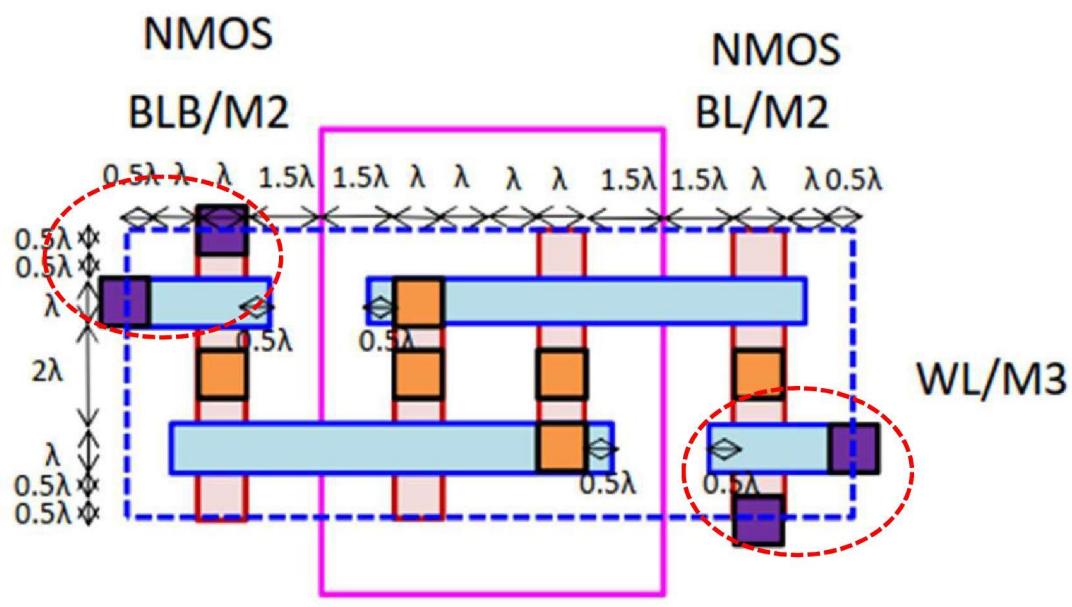
光罩層定義

	位元單元邊界	
	M3	M3 : Metal-3光罩層
	VIA2	VIA2 :用於連接Metal-2層和Metal-3層的VIA光罩層
	M2	M2 : Metal-2光罩層
	VIA1	VIA2 :用於連接Metal-1層和Metal-2層的VIA光罩層
	M1	M1 : Metal-1光罩層
	CT_A	CT_A :開口VIA光罩層，用於連接AA（或Poly）與Metal-1層，其中“AA”表示主動區（源極或汲極），“Poly”表示閘極區。
	CT_B	CT_B :開口VIA光罩層，用於將AA（或Poly）直接連接到Metal-2層
	Poly	Poly :多晶硅閘極或金屬閘極的光罩層
	Nwell	Nwell :N井光罩區
	AA	AA :主動區的光罩層(如汲極區或源極區)

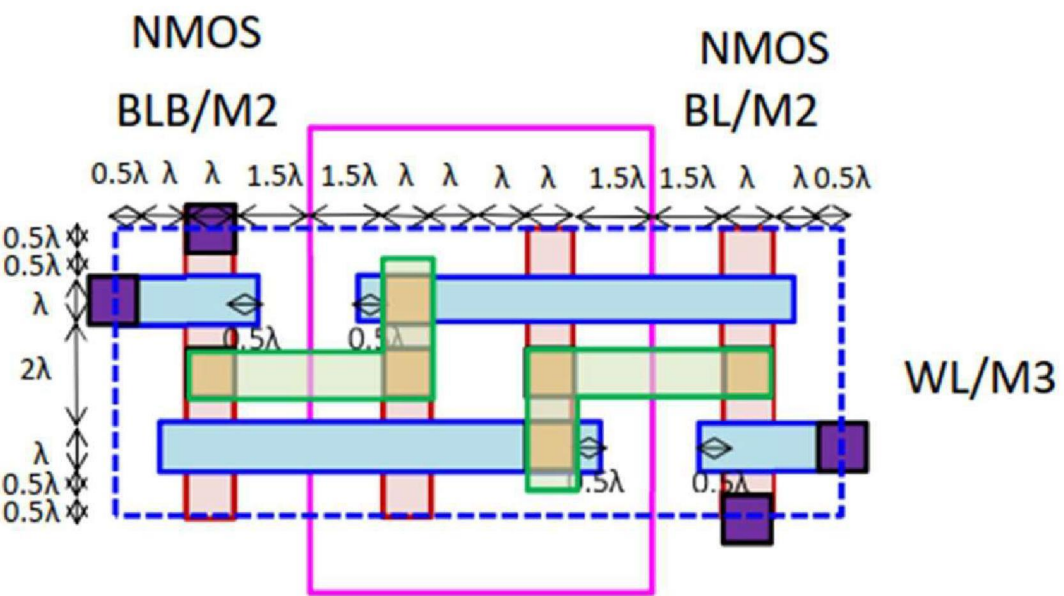
第 32 圖



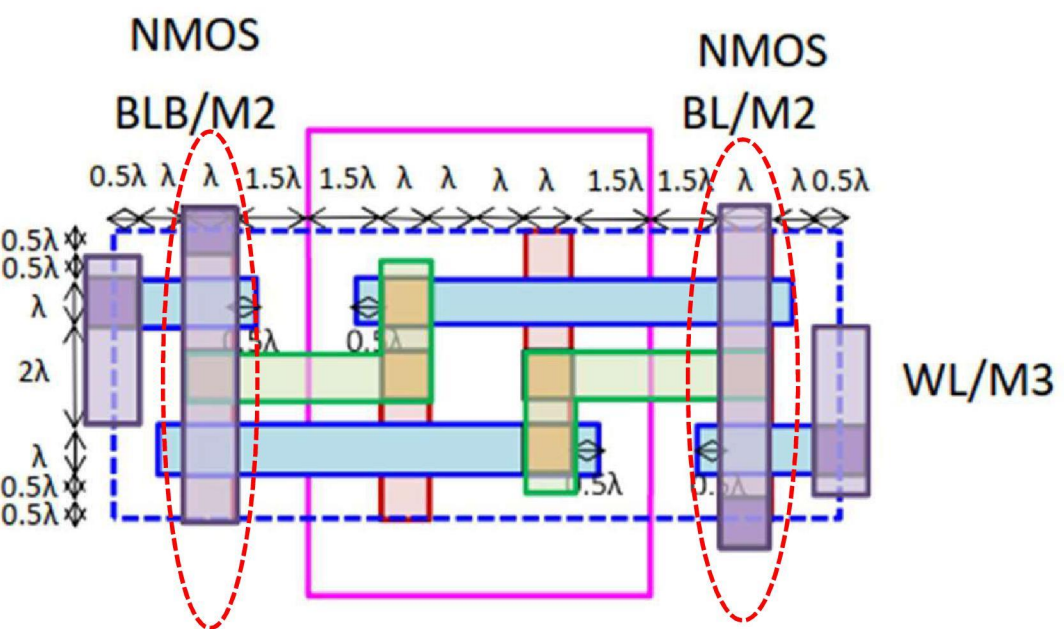
第 33(a) 圖



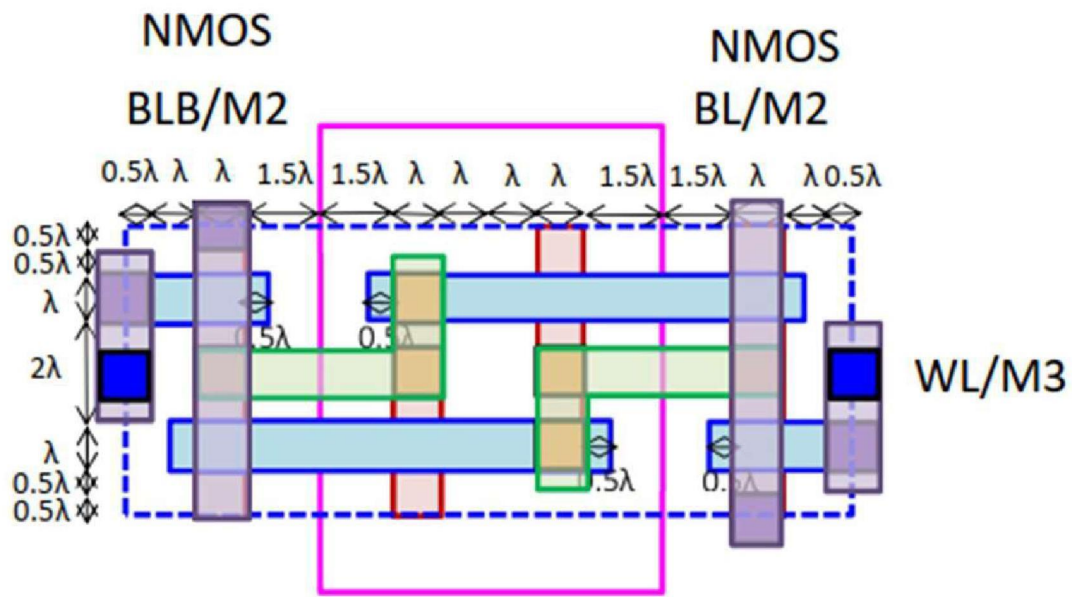
第 33(b) 圖



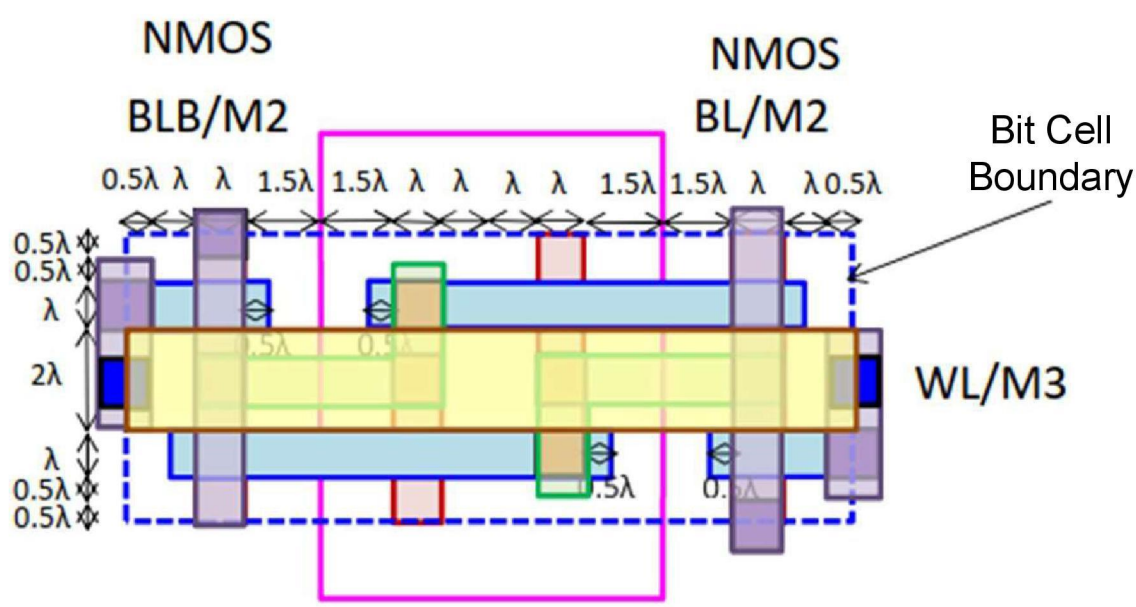
第 33(c) 圖



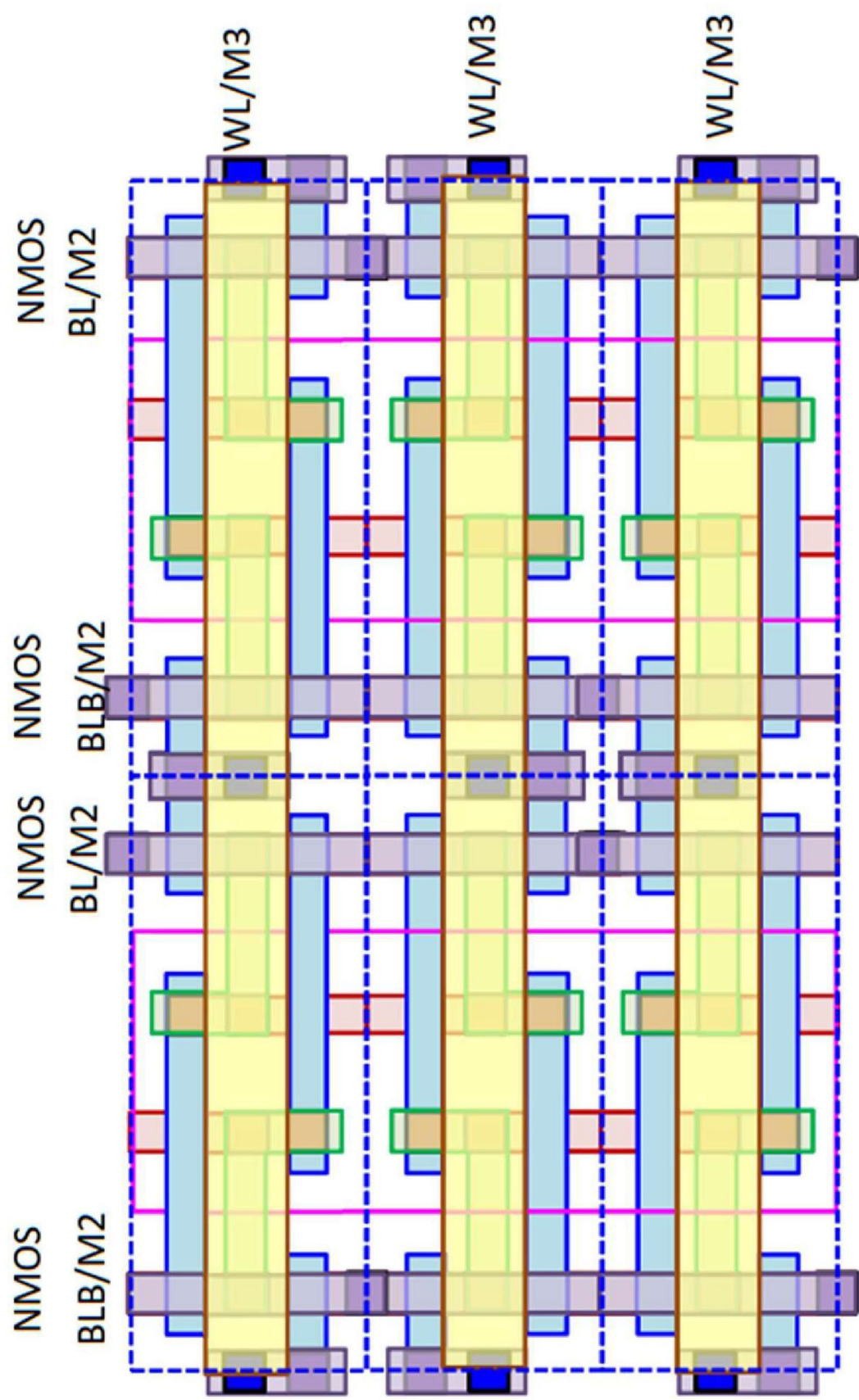
第 33(d) 圖



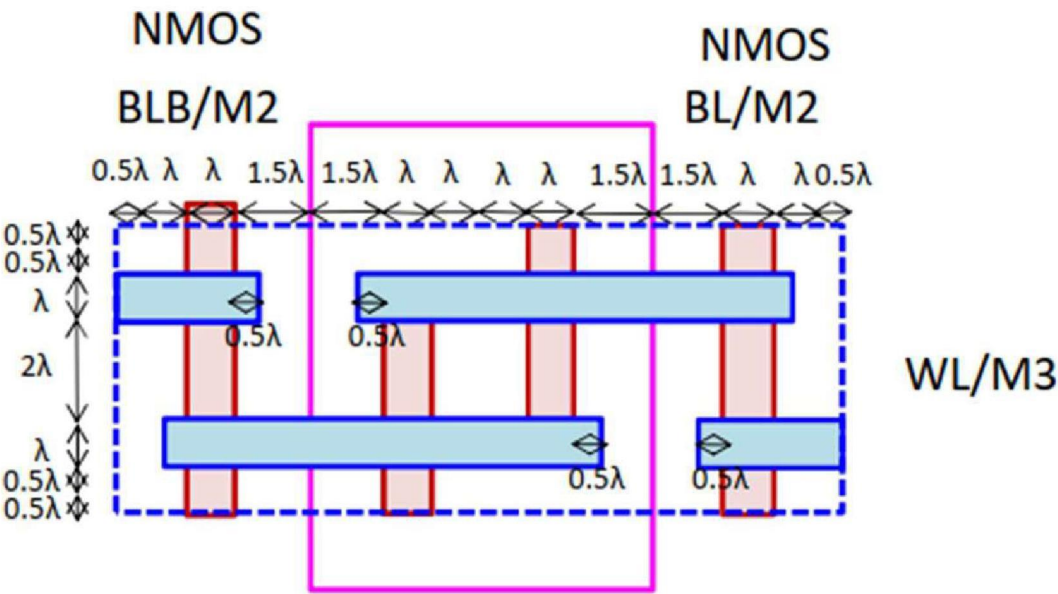
第 33(e) 圖



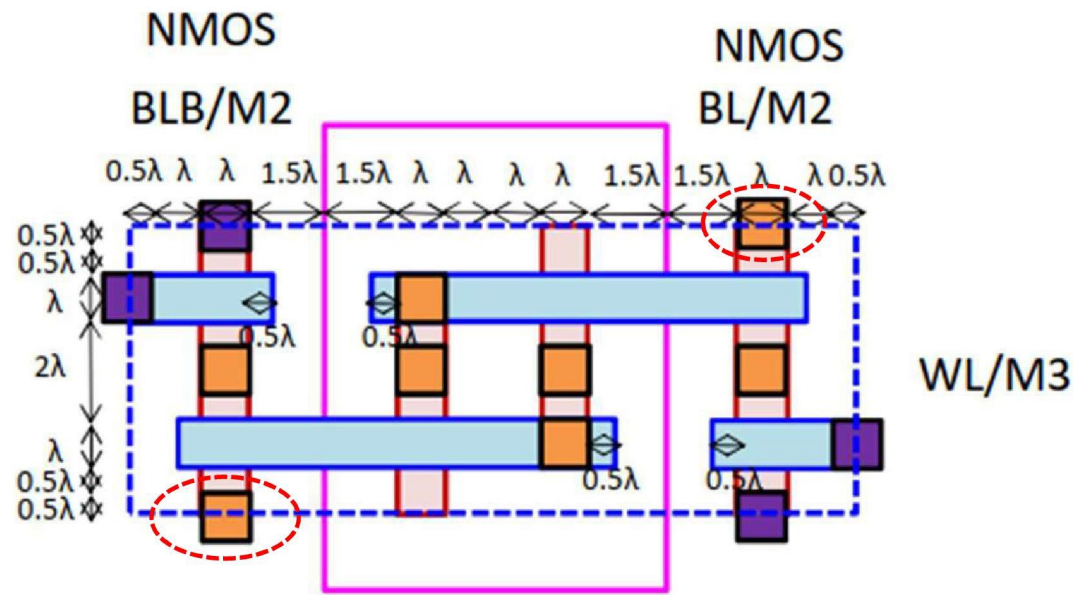
第 33(f) 圖



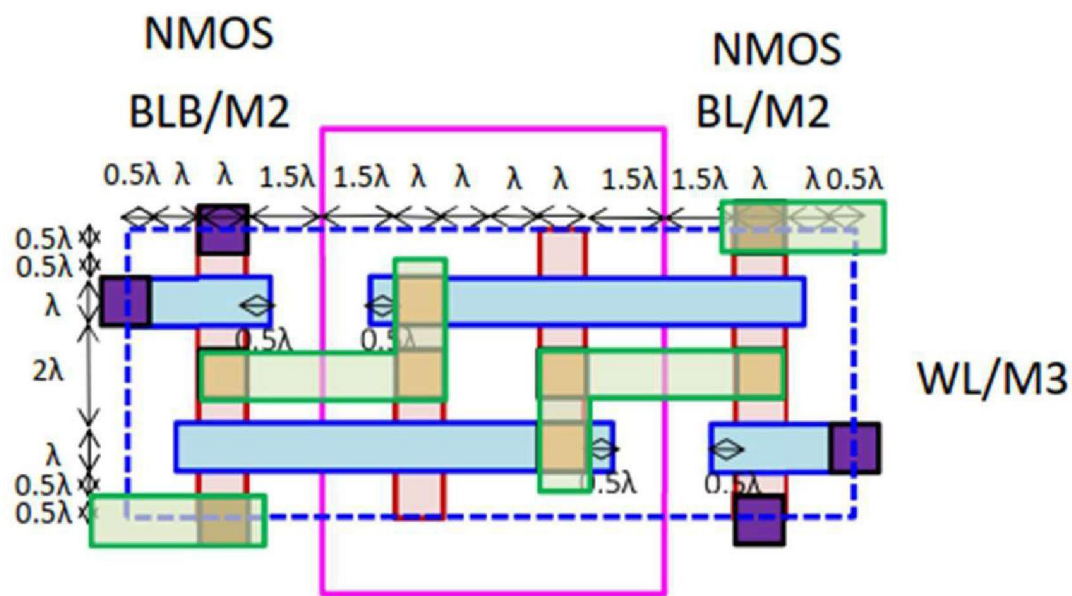
第 33(g) 圖



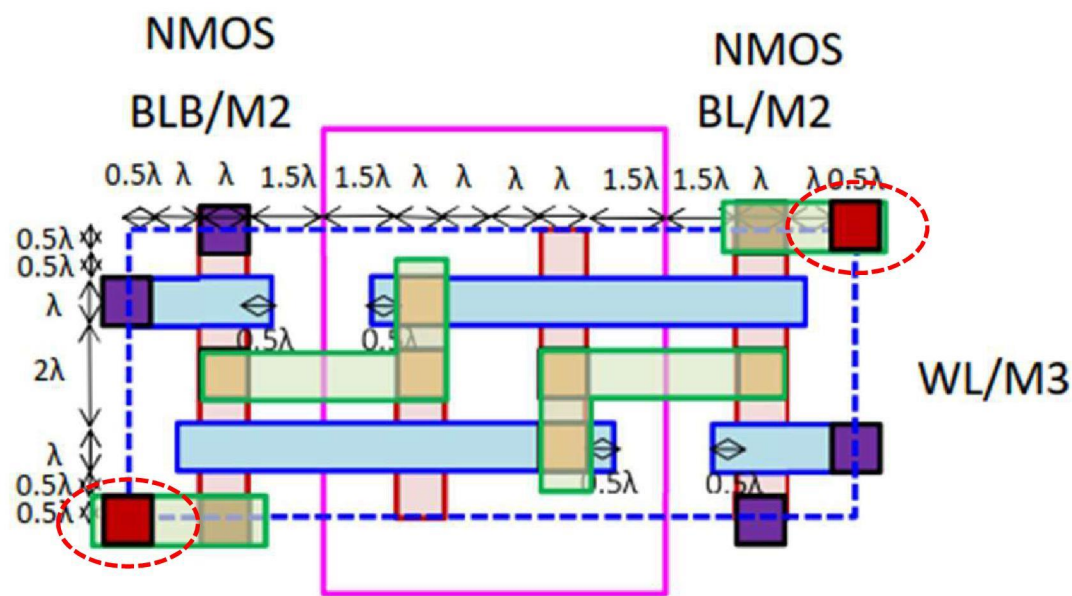
第 34(a) 圖



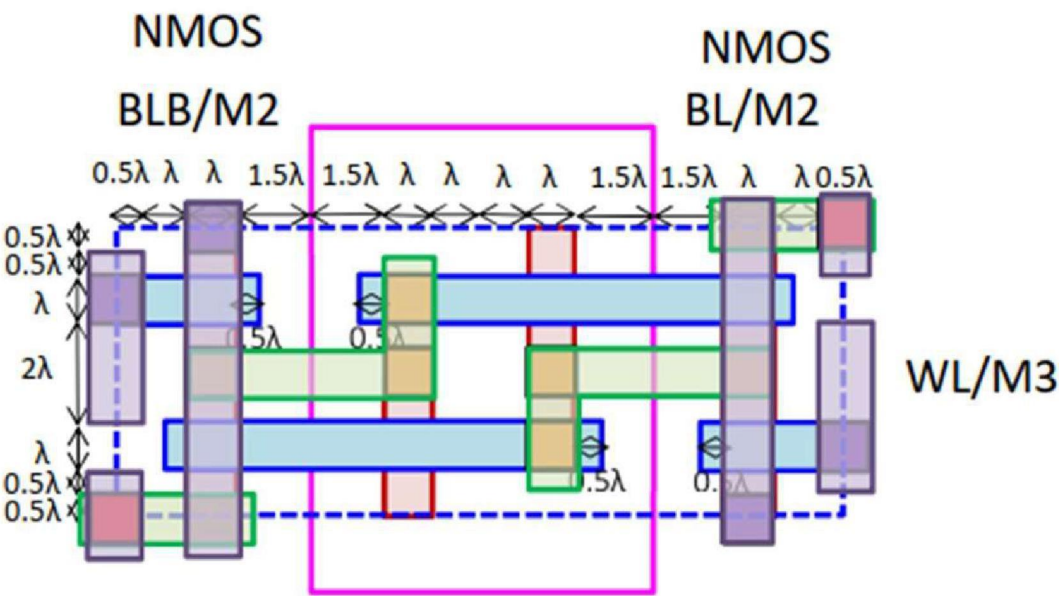
第 34(b) 圖



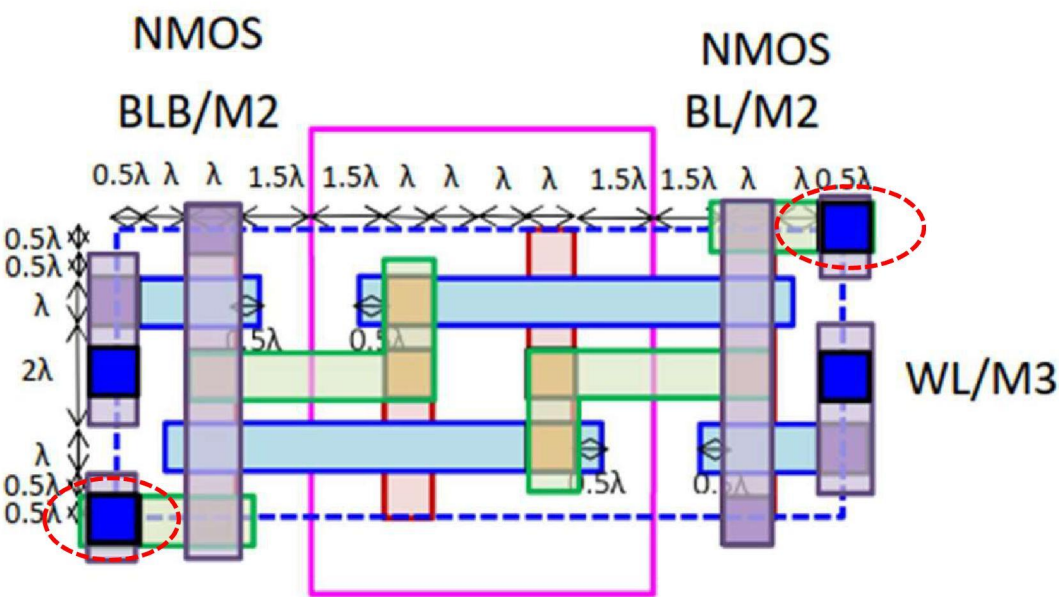
第 34(c) 圖



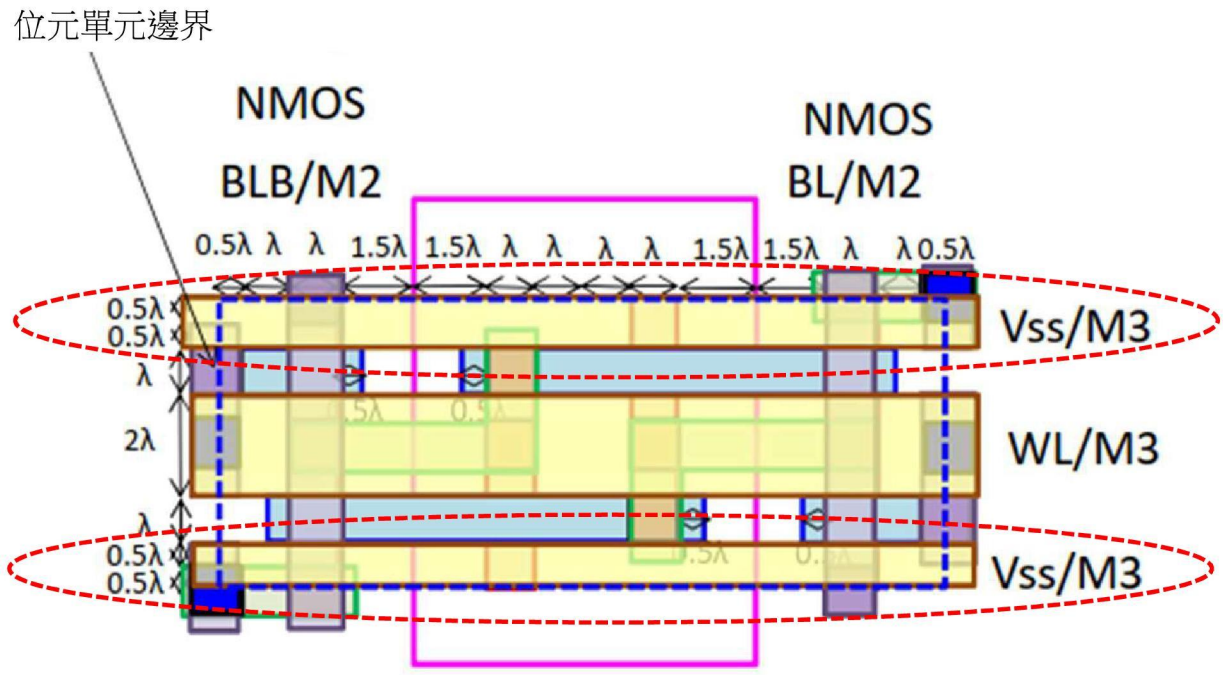
第 34(d) 圖



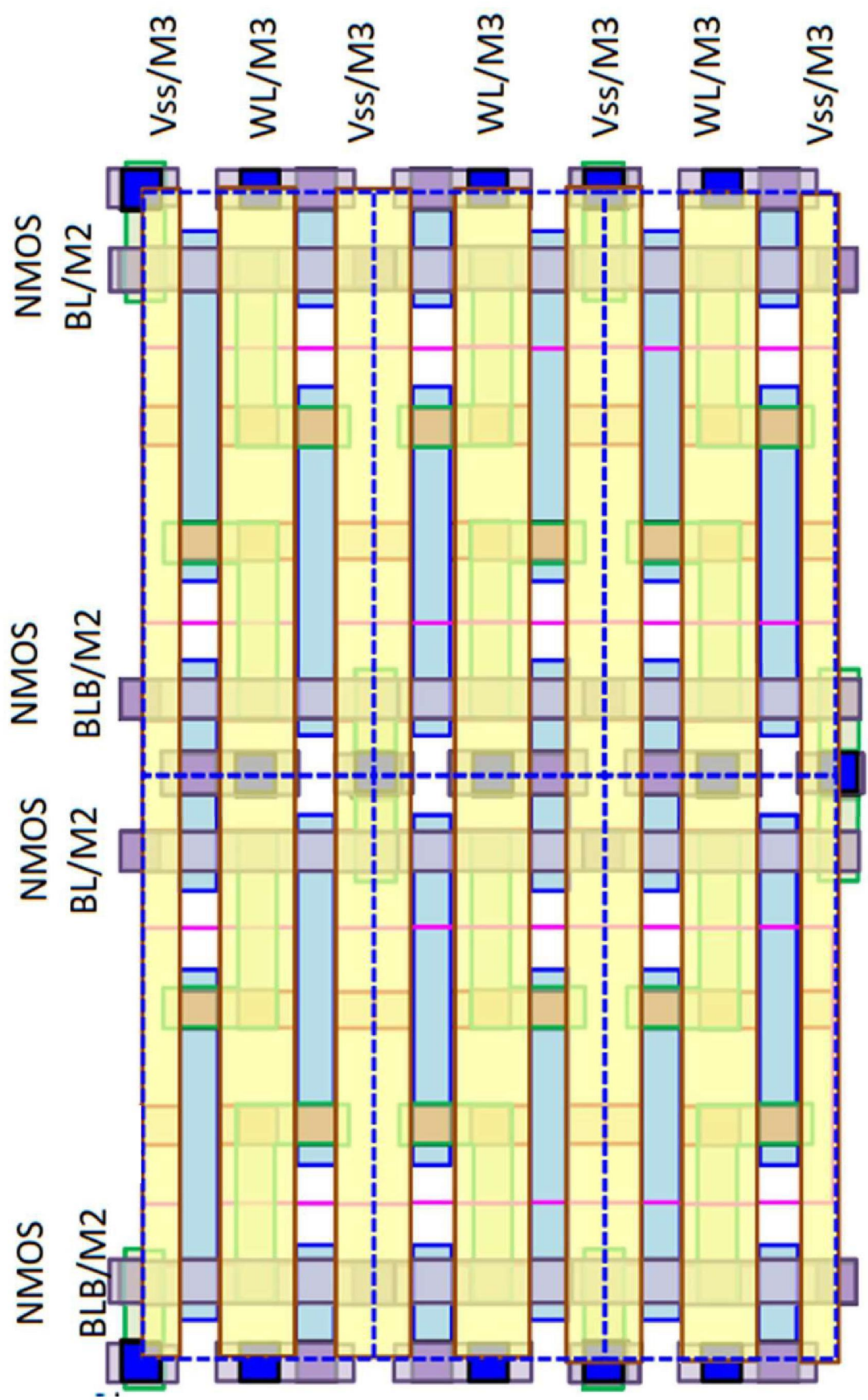
第 34(e) 圖



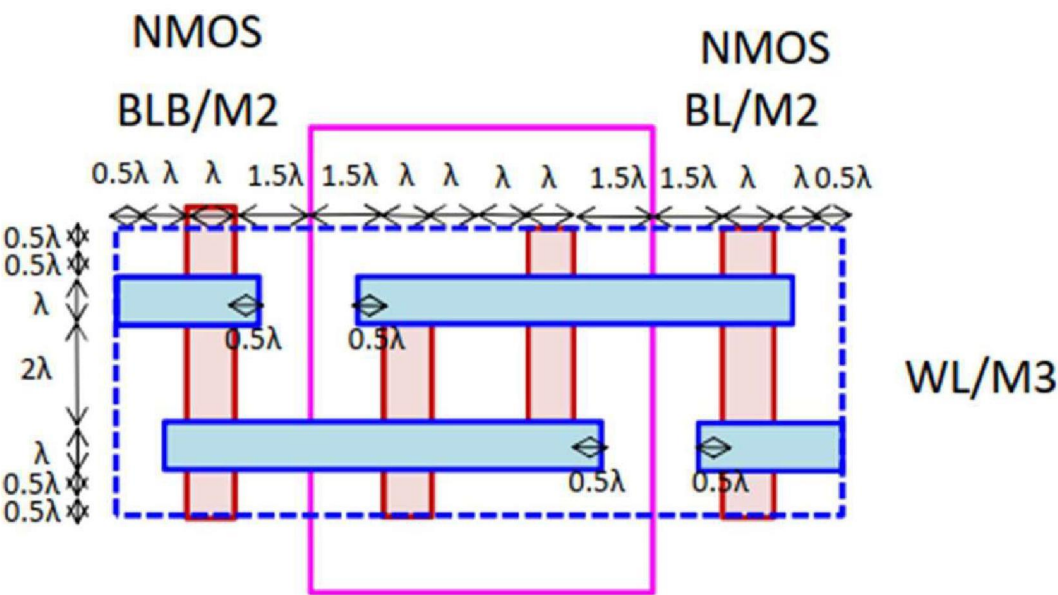
第 34(f) 圖



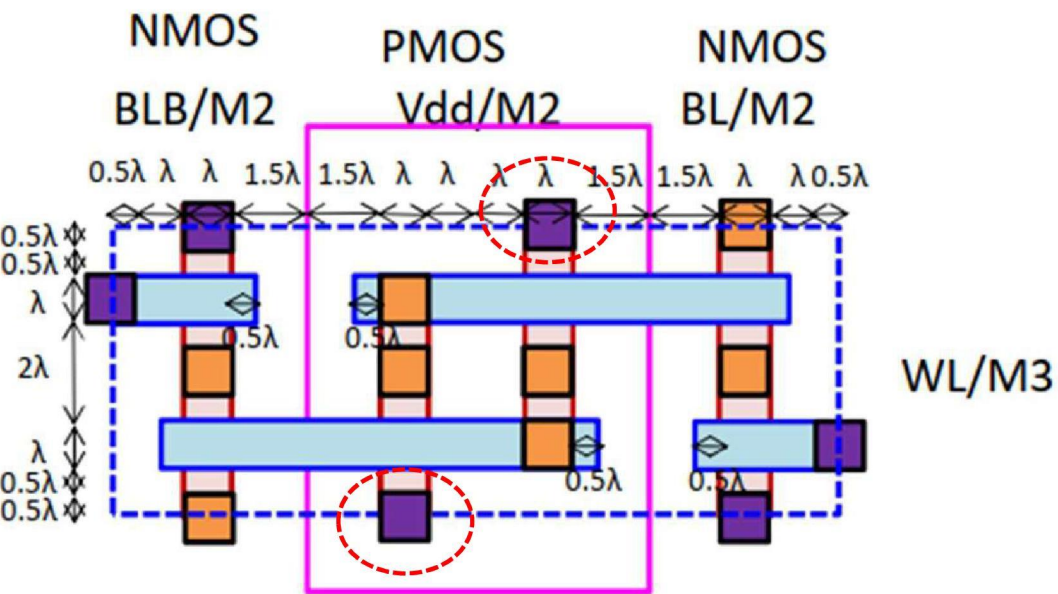
第 34(g) 圖



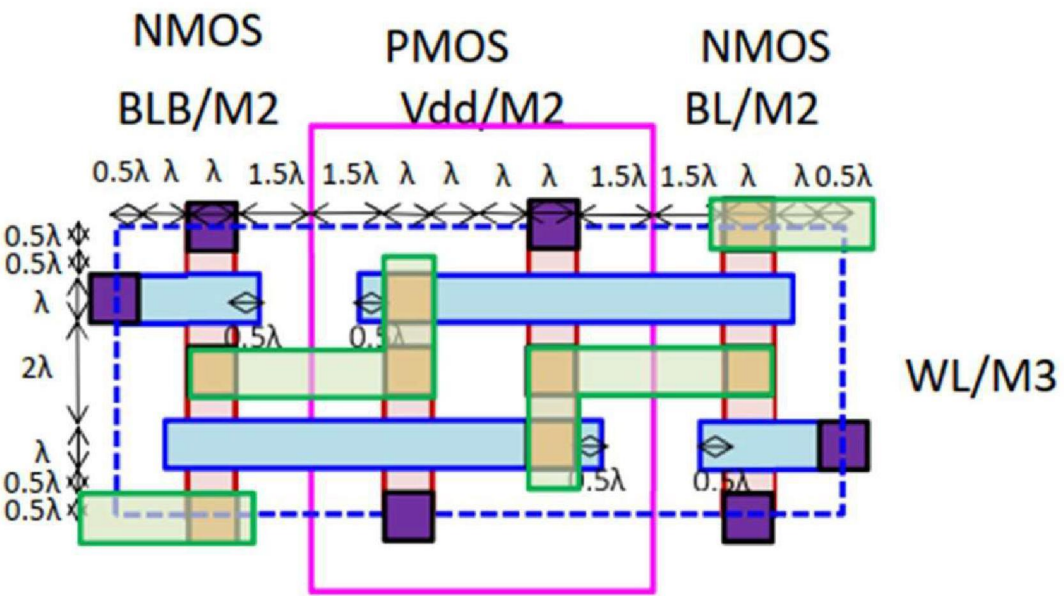
第 34(h) 圖



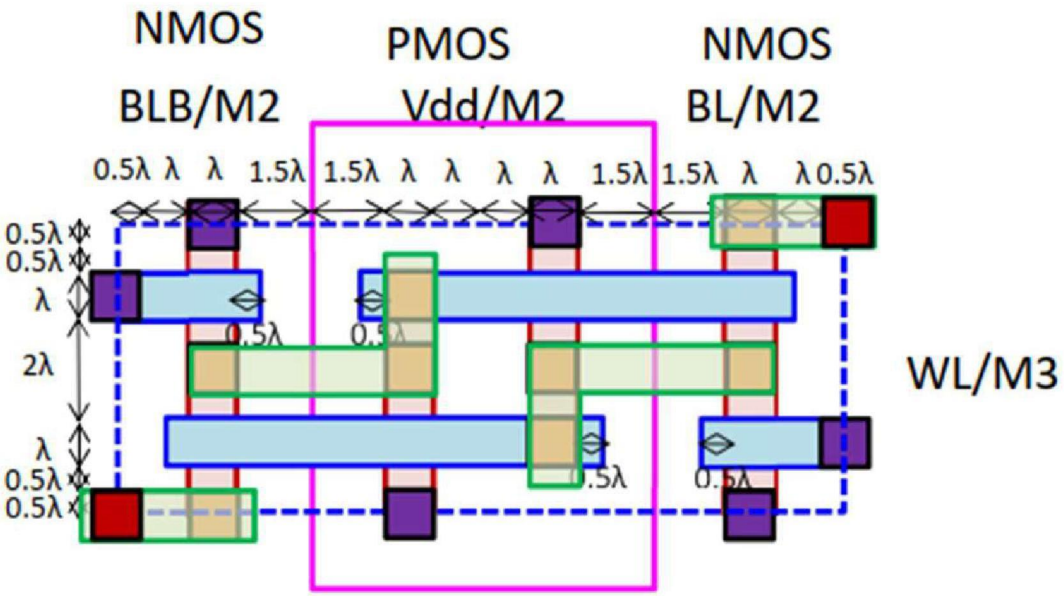
第 35(a) 圖



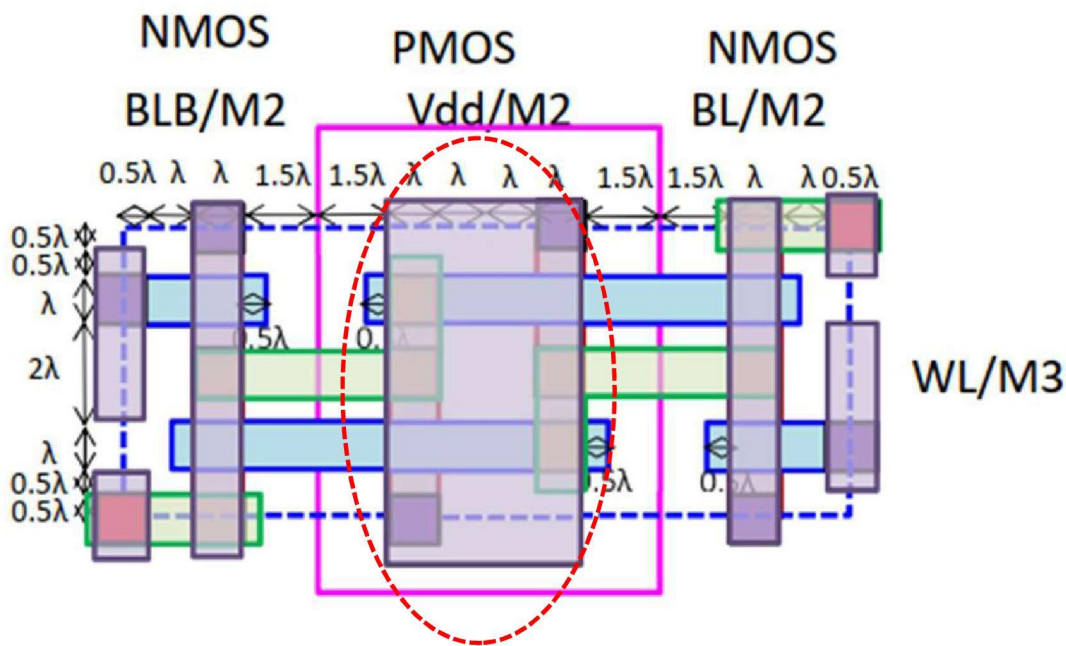
第 35(b) 圖



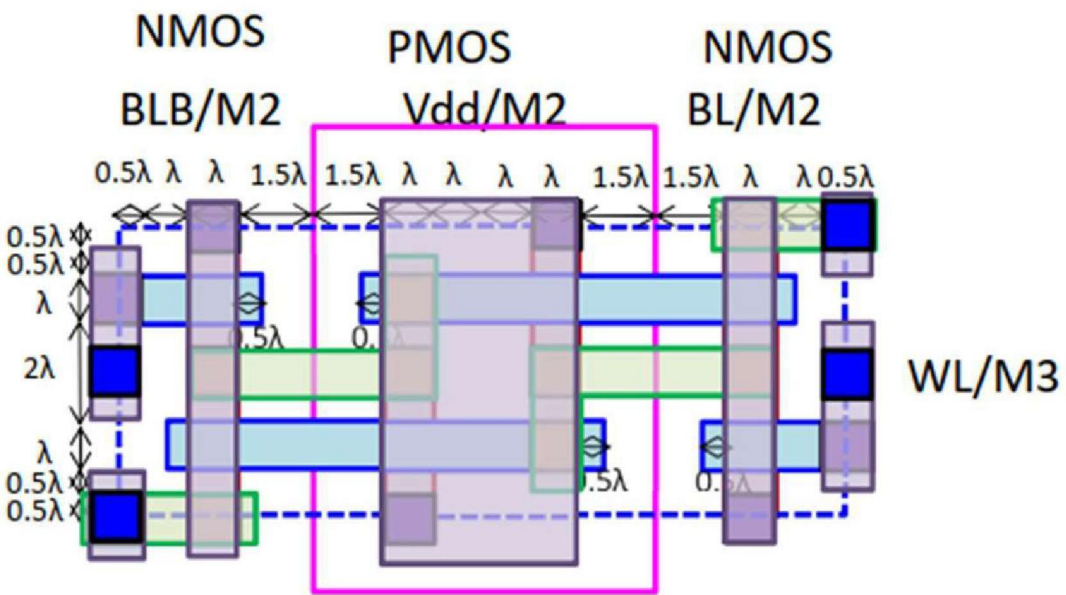
第 35(c) 圖



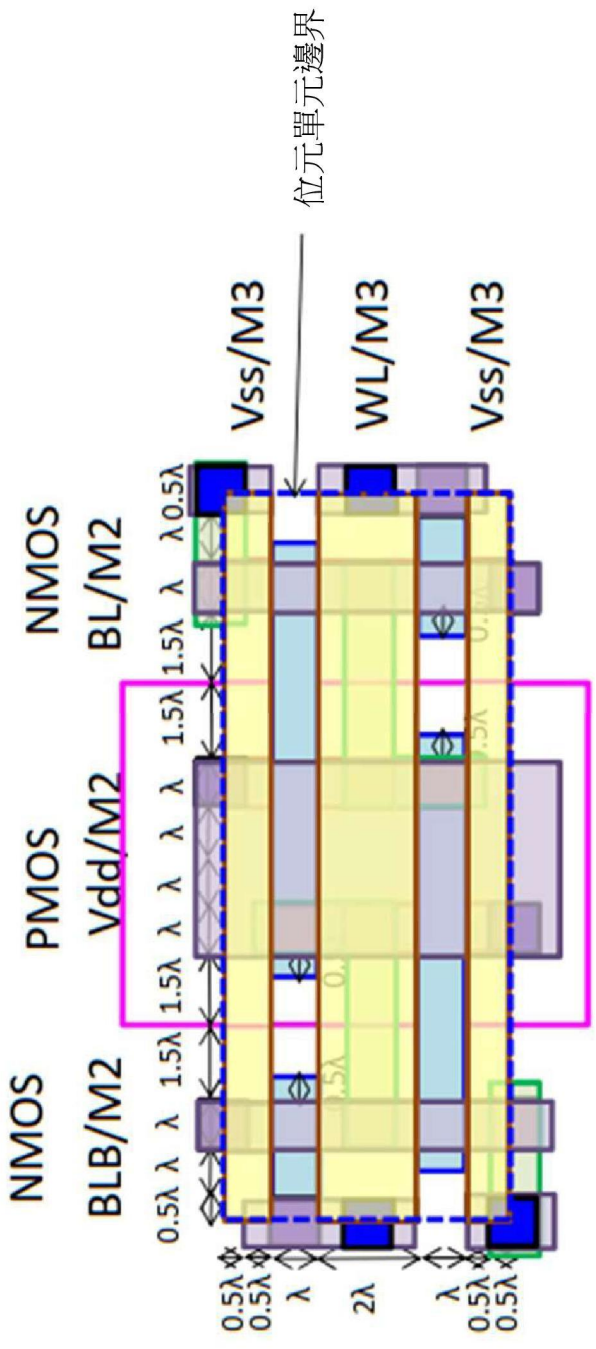
第 35(d) 圖



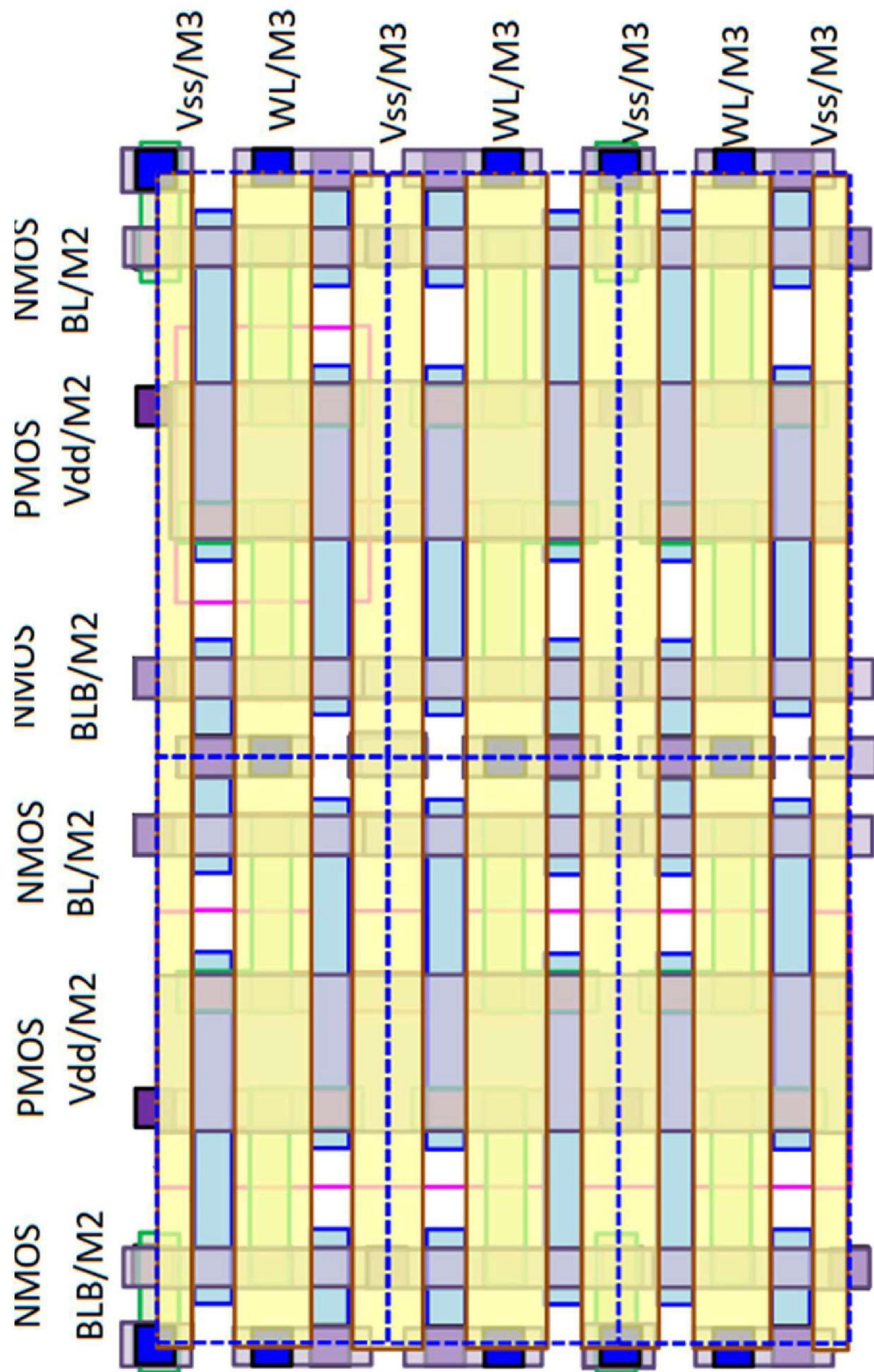
第 35(e) 圖



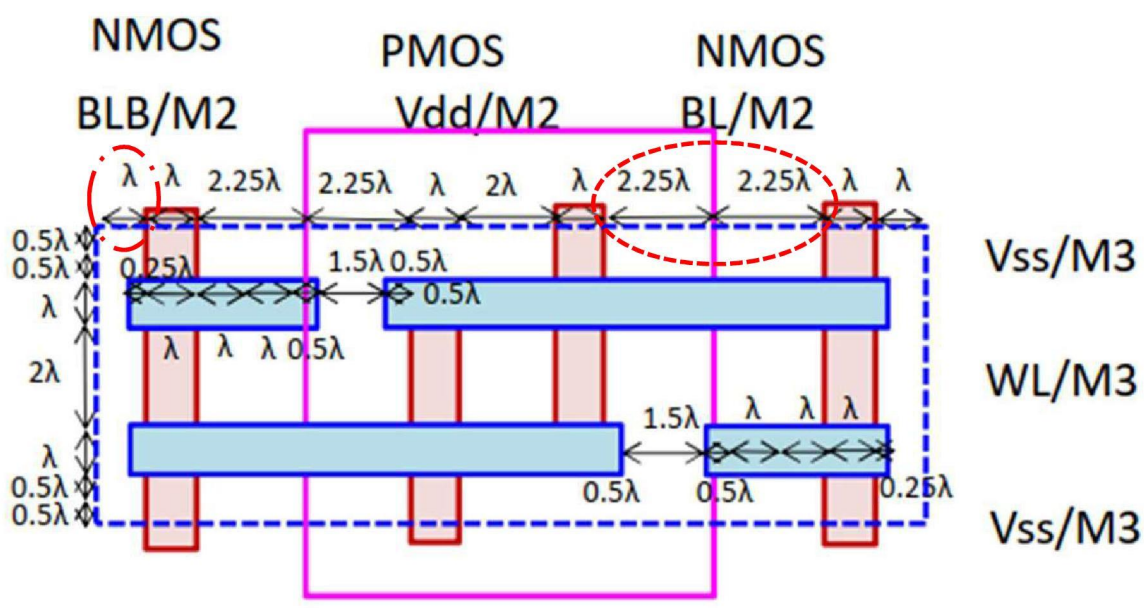
第 35(f) 圖



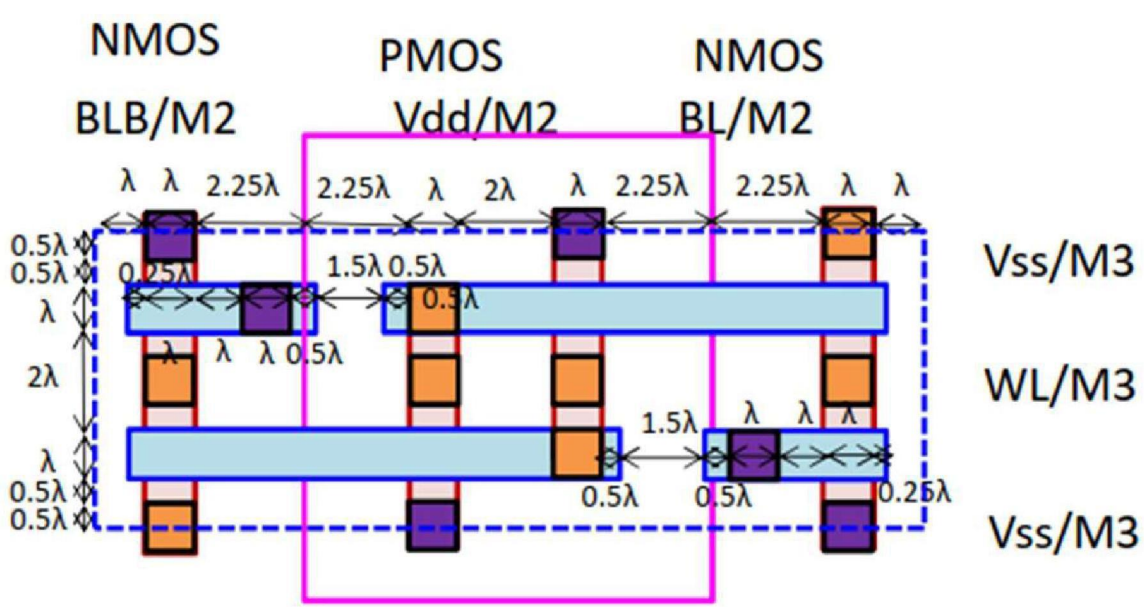
第 35(g) 圖



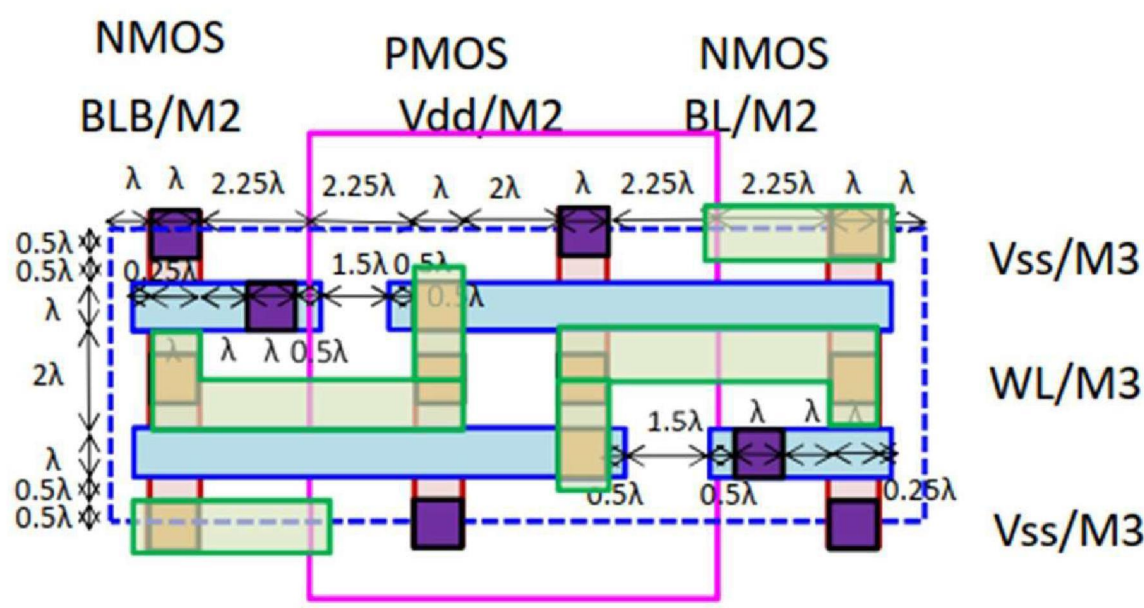
第 35(h) 圖



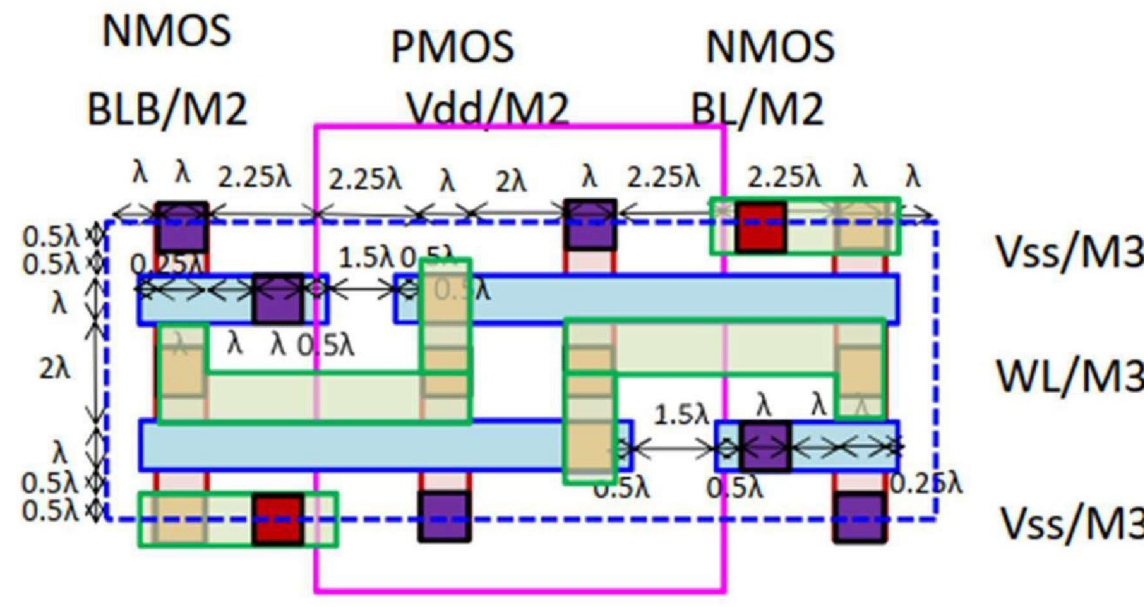
第 36(a) 圖



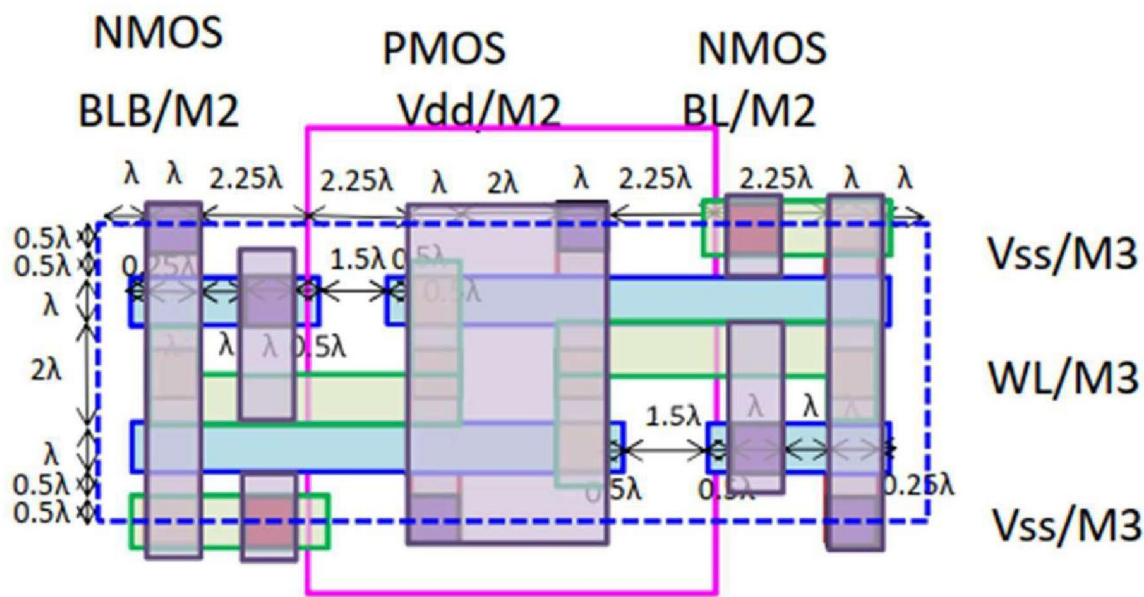
第 36(b) 圖



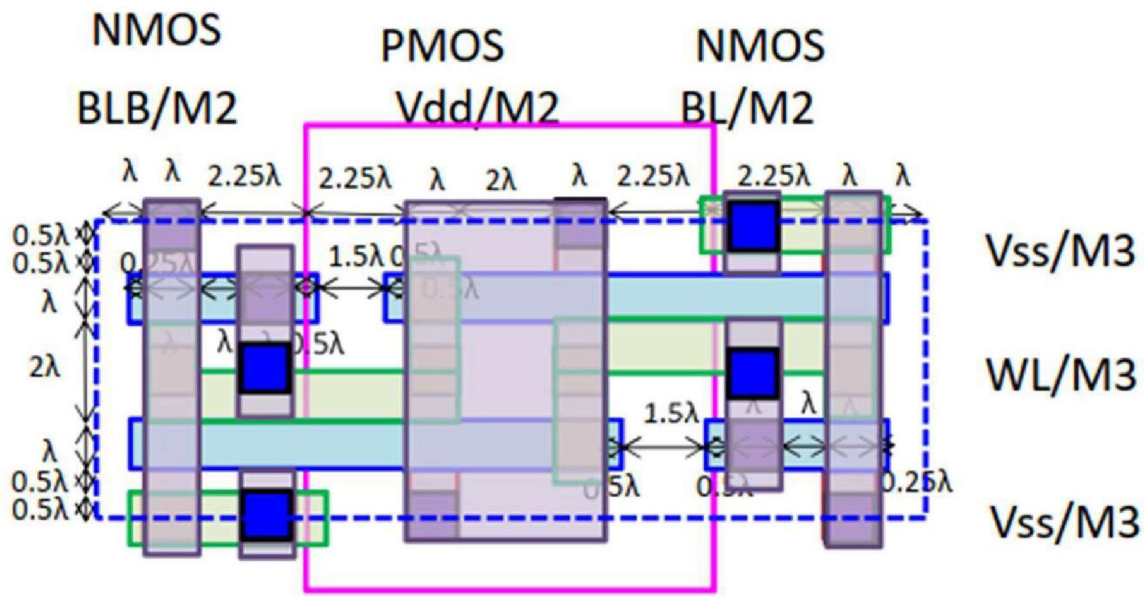
第 36(c) 圖



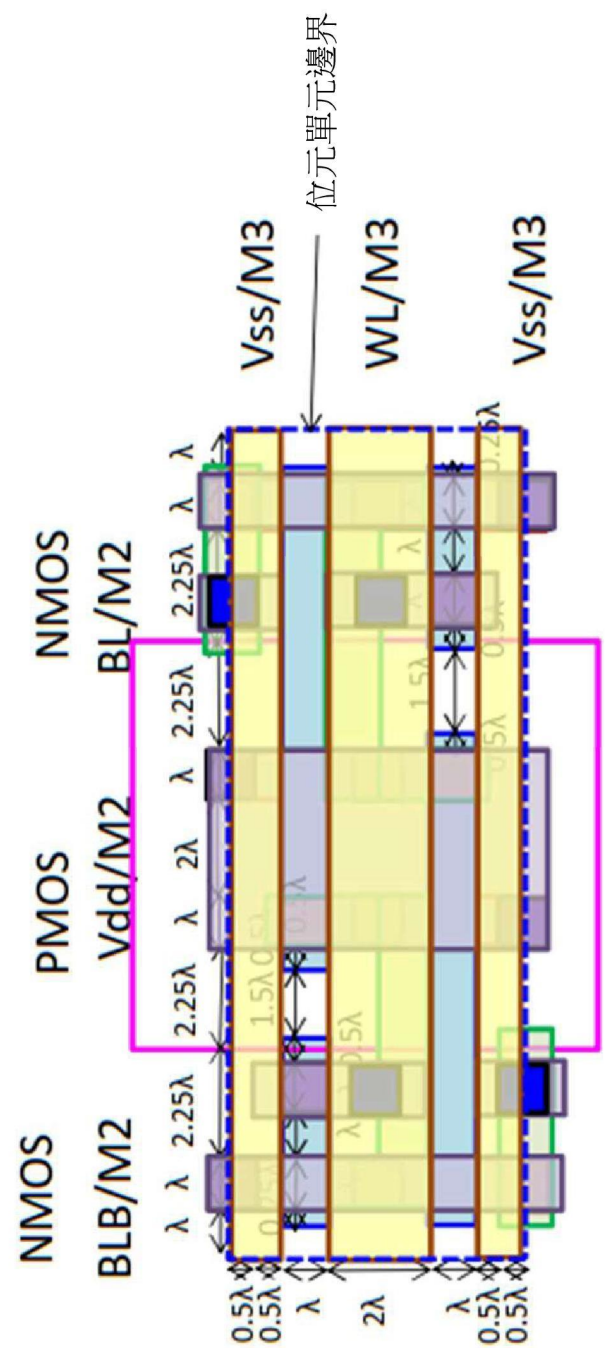
第 36(d) 圖



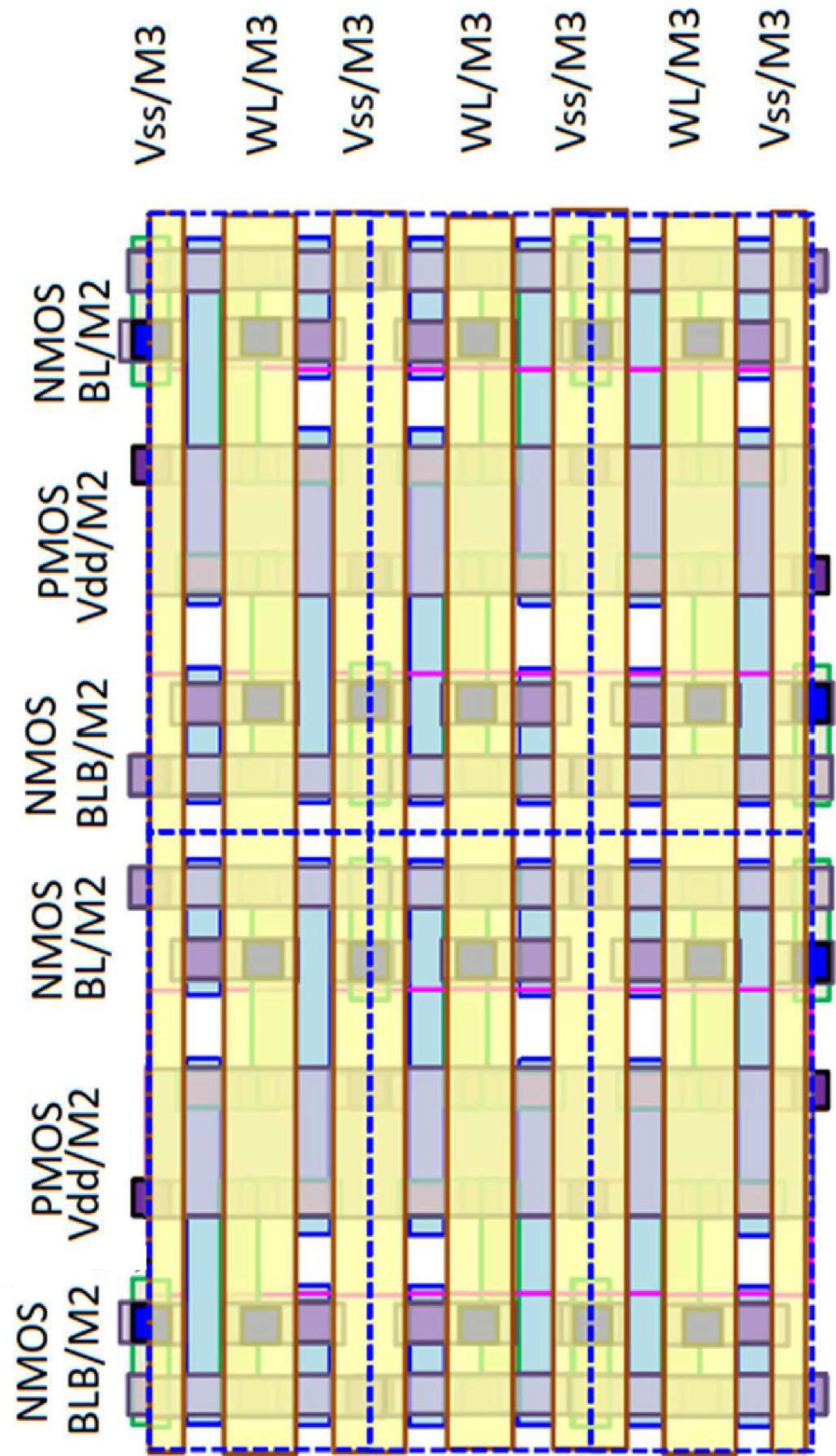
第 36(e) 圖



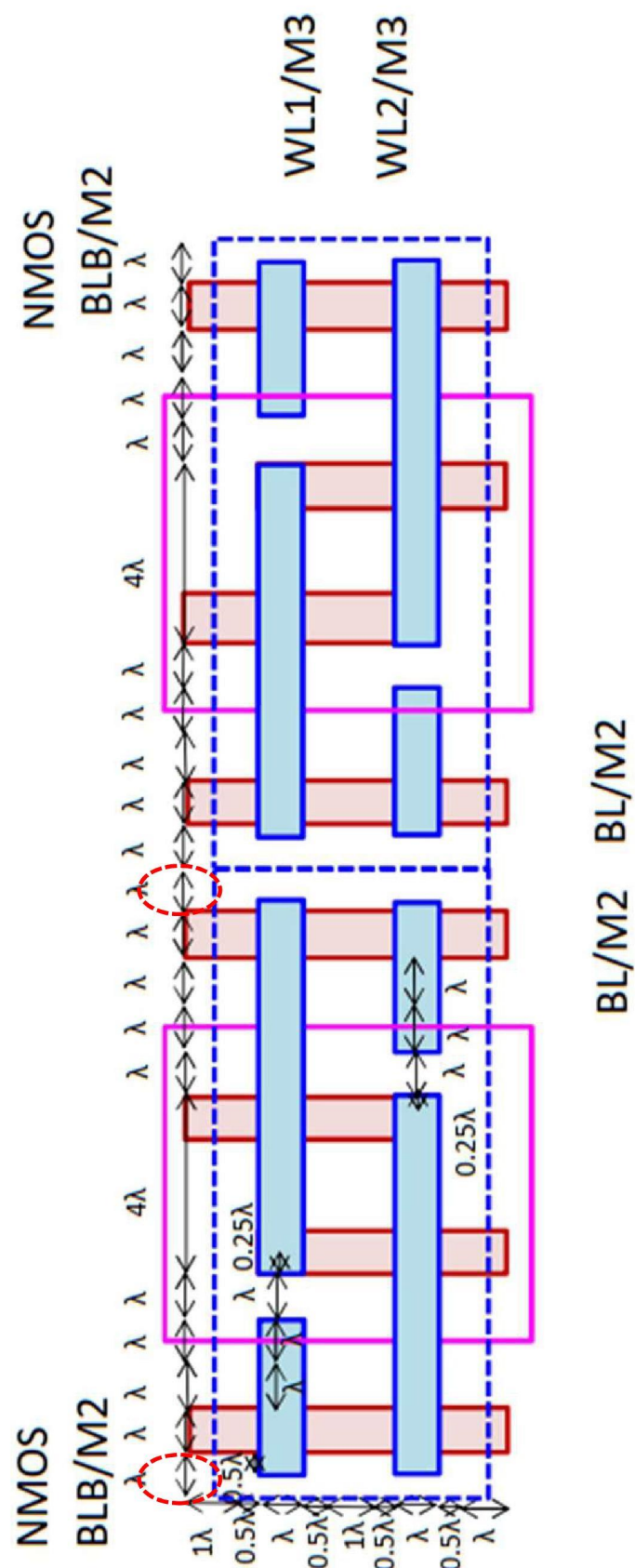
第 36(f) 圖



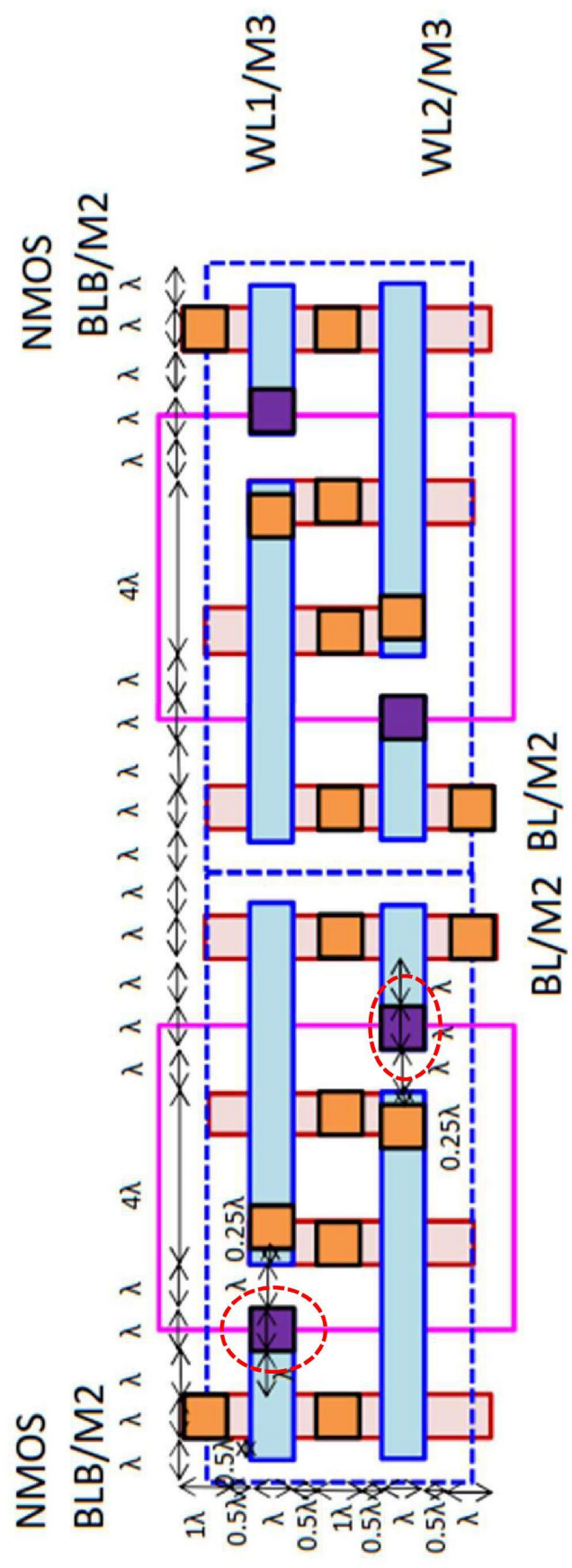
第 36(g) 圖



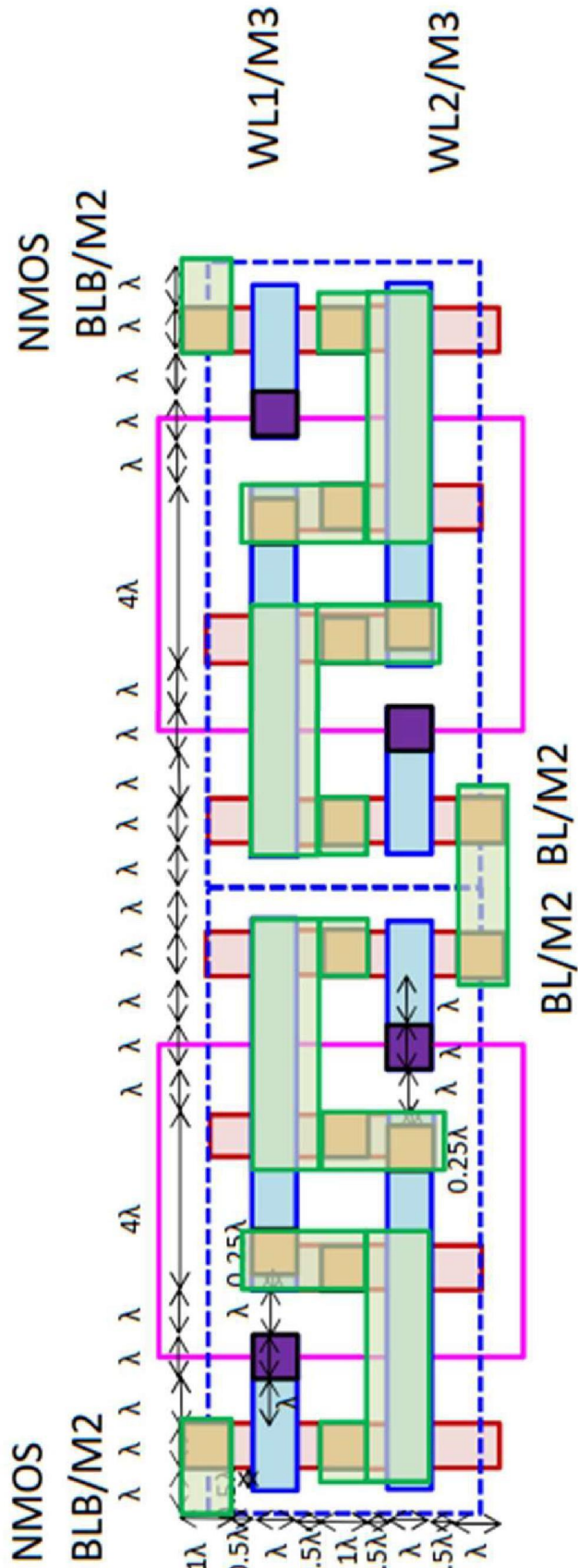
第 36(h) 圖



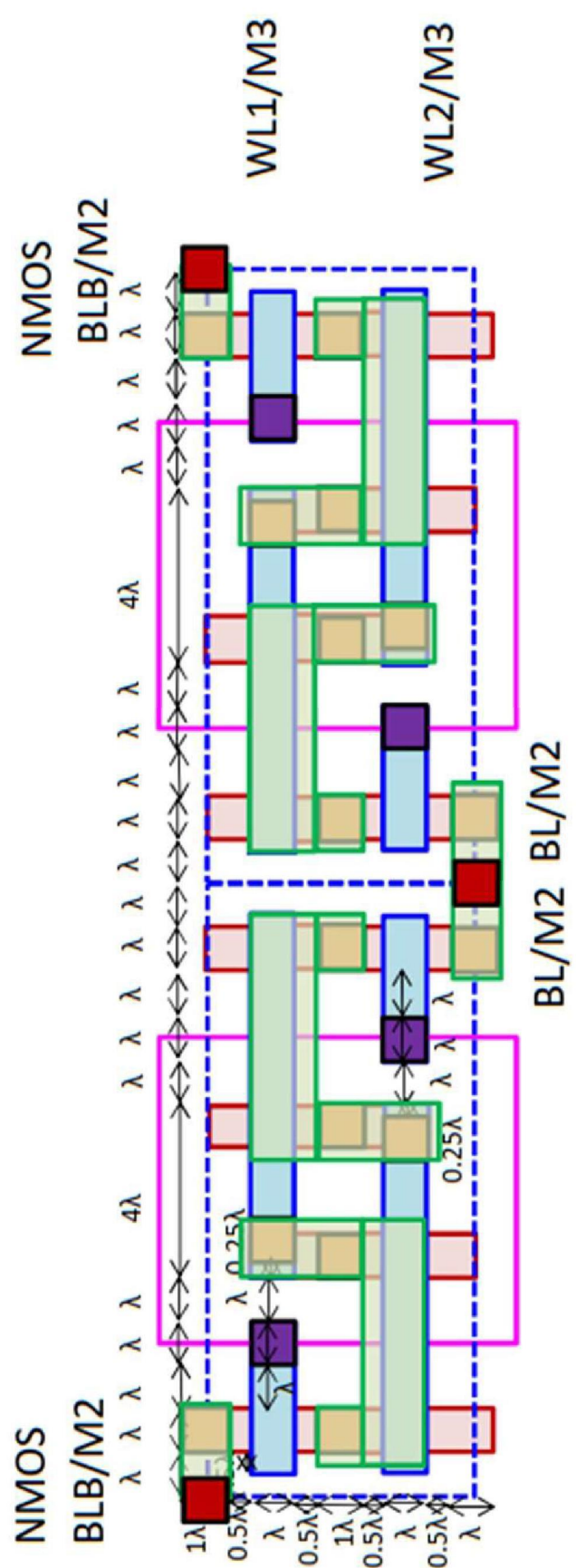
第 37(a) 圖



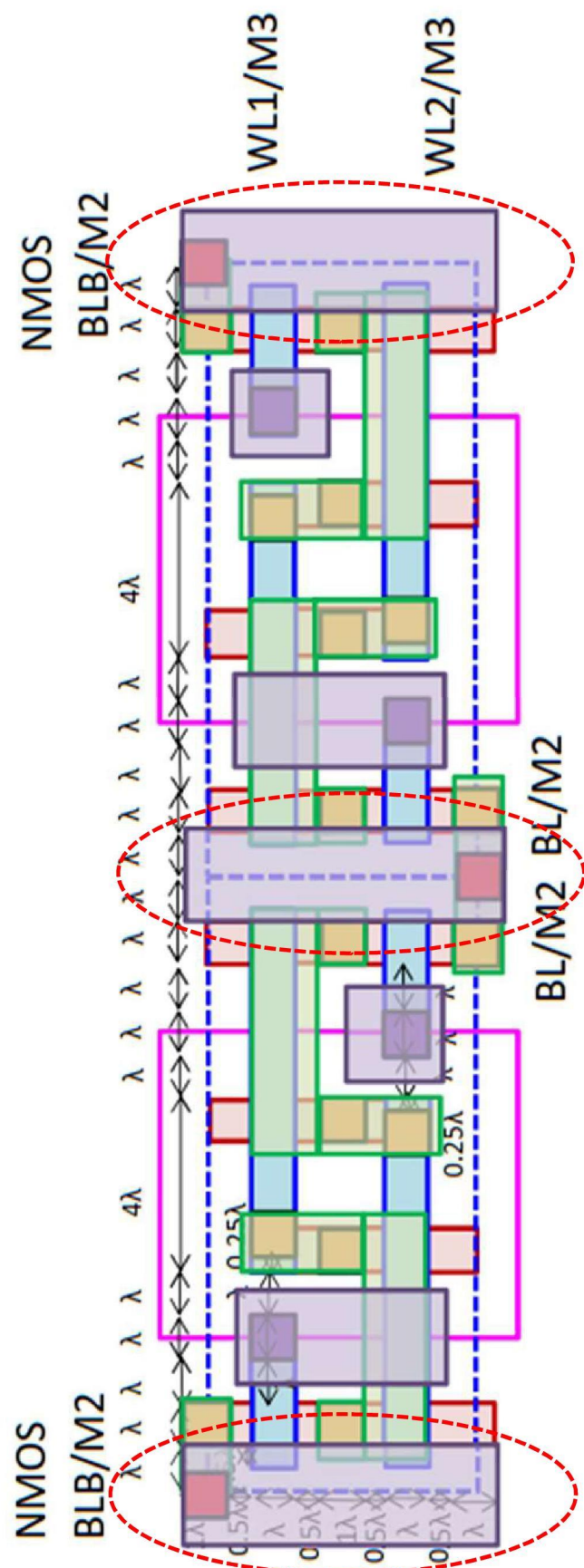
第 37(b) 圖



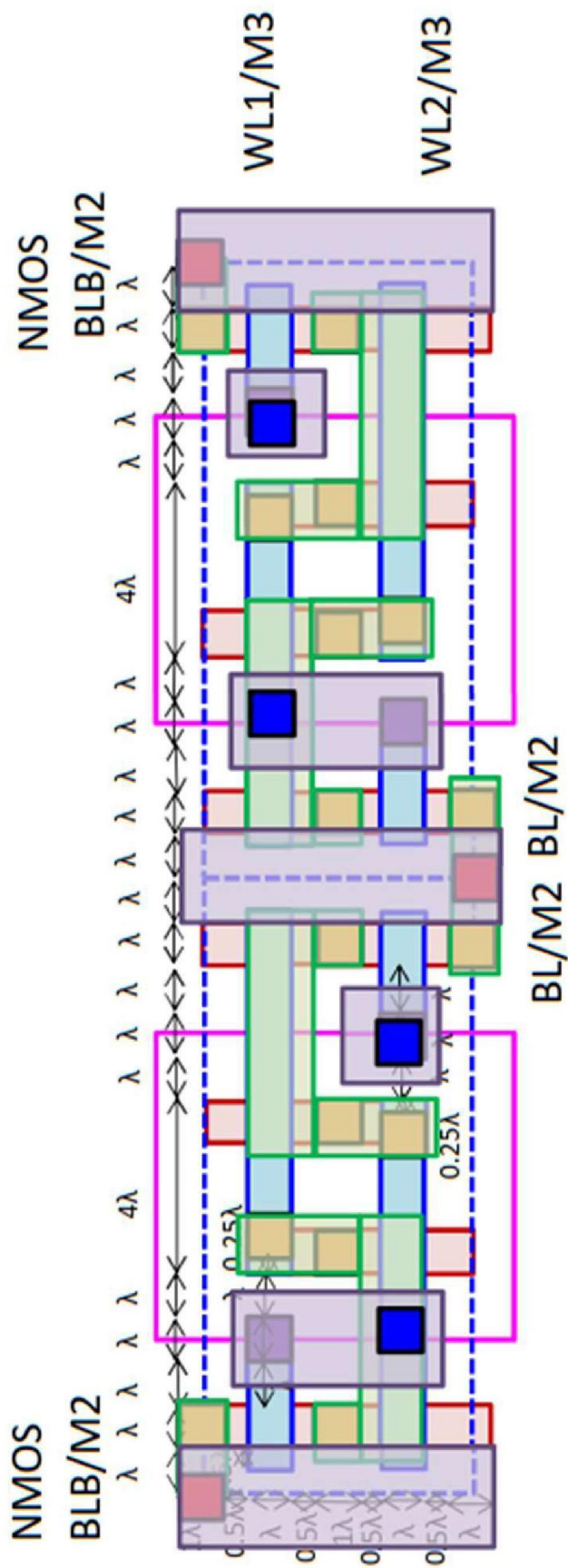
第 37(c) 圖



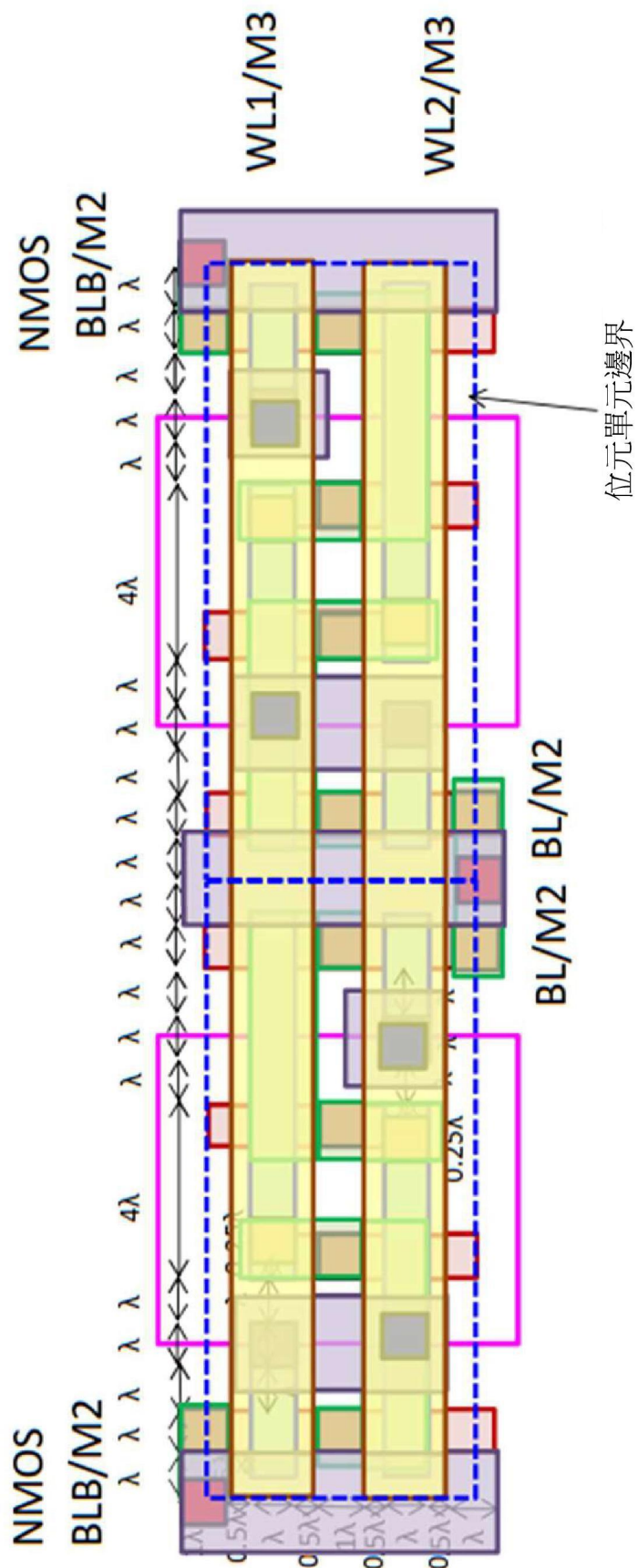
第 37(d) 圖



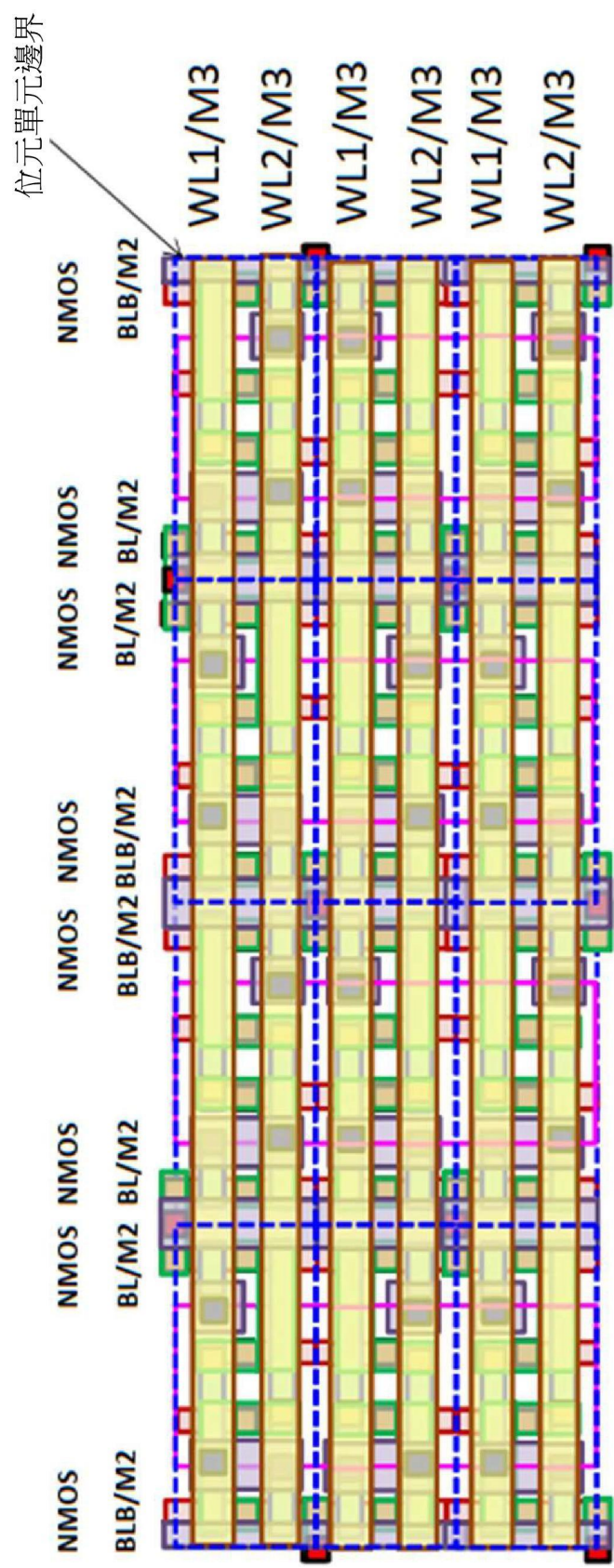
第 37(e) 圖



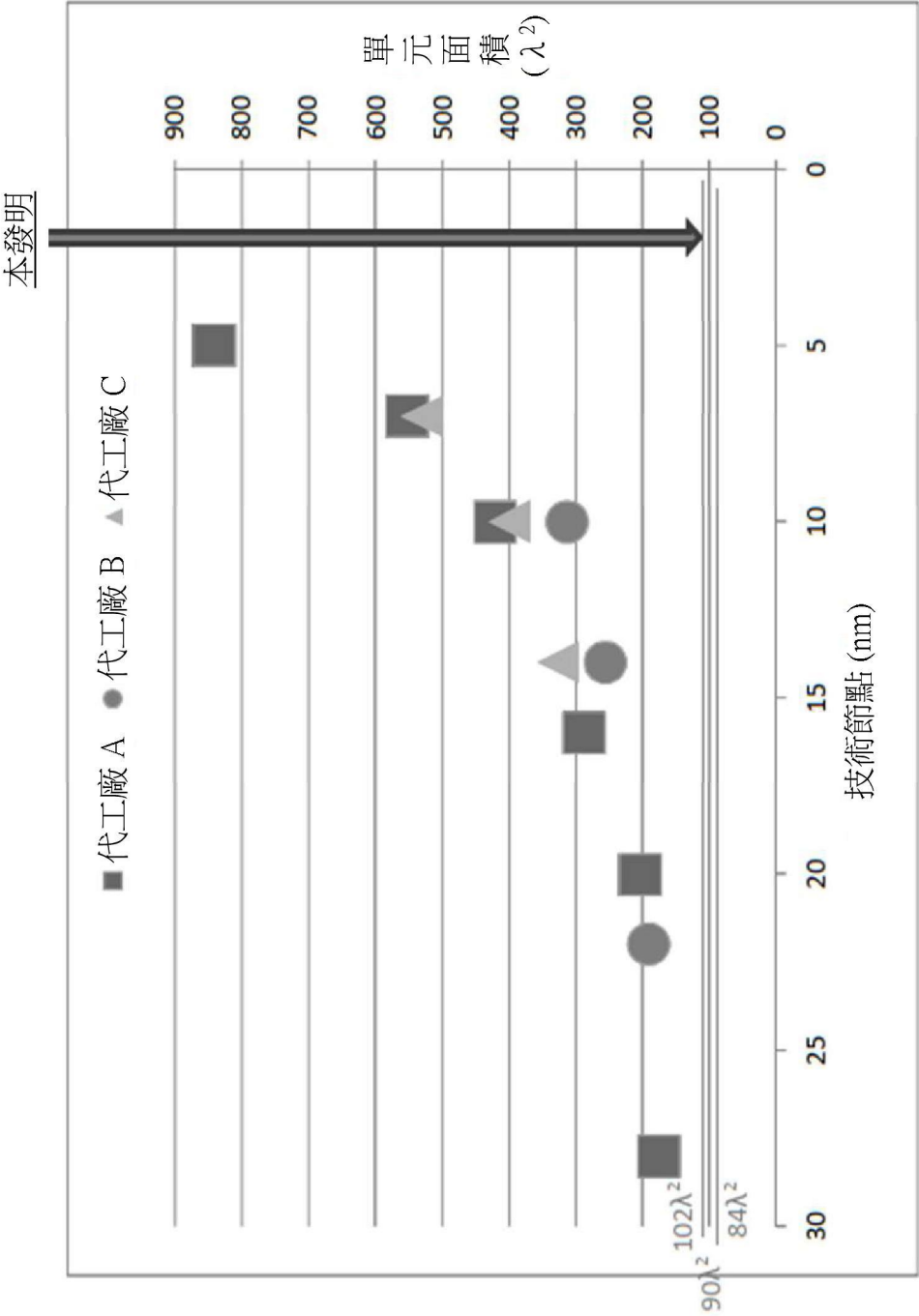
第 37(f) 圖



第 37(g) 圖



第 37(h) 圖



第 38 圖