

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年12月23日(23.12.2010)

(10) 国際公開番号
WO 2010/146967 A1

- (51) 国際特許分類:
H01G 4/30 (2006.01) H01G 13/00 (2006.01)
H01G 4/12 (2006.01)
- (21) 国際出願番号: PCT/JP2010/058618
- (22) 国際出願日: 2010年5月21日(21.05.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-141866 2009年6月15日(15.06.2009) JP
特願 2009-156655 2009年7月1日(01.07.2009) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 平田 陽介(HIRATA, Yosuke) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 辻 英昭(TSUJI, Hideaki) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 大森 長門(OMORI, Nagato) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式

会社村田製作所内 Kyoto (JP). 和田 博之(WADA, Hiroyuki) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 平松 隆(HIRAMATSU, Takashi) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 齊藤 義人(SAITO, Yoshito) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 小柴 雅昭(KOSHIBA, Masaaki); 〒5430051 大阪府大阪市天王寺区四天王寺1丁目14番22号日進ビル 小柴特許事務所 Osaka (JP).

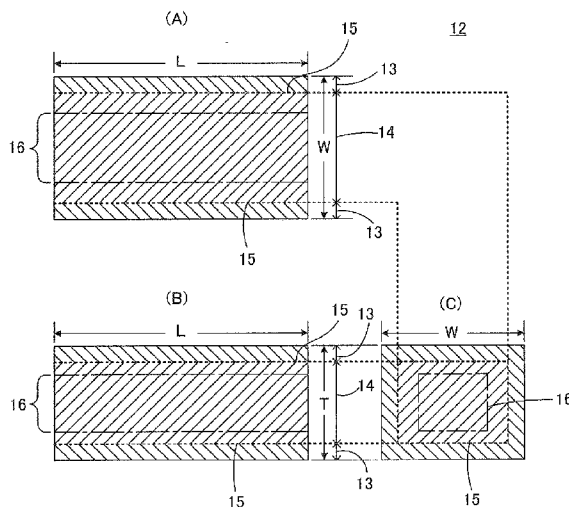
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: LAMINATED CERAMIC ELECTRONIC COMPONENT AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称: 積層セラミック電子部品およびその製造方法

[図2]



(57) 要約:

(57) Abstract: Disclosed is a laminated ceramic electronic component provided with a laminate having internal electrodes such that it is possible to reduce the likelihood of changes in state such as electrode breakage and ball formation and to improve DC bias characteristics during the firing process in which the laminate is sintered, even when the ceramic layer and the internal electrodes are thinned. With reference to the grain diameter of the ceramics that form the ceramic layers, the laminate (12) is divided into a large grain area (13) in which the grain diameter is relatively large and into a small grain area (14) in which the grain diameter is relatively small. The large grain area (13) is positioned on the outside of the small grain area (14) and the boundary (15) of the large grain area and the small grain area is positioned inside the outer surface of the laminate so as to enclose the area (16) where the internal electrodes of the laminate are present. In order to obtain the laminate, the firing process involves a heat treatment in a temperature profile in which the average rate of temperature increase from room temperature to the maximum temperature is 40°C/sec or more.

[続葉有]



WO 2010/146967 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF,

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

内部電極を有する積層体を備える積層セラミック電子部品において、セラミック層および内部電極が薄層化されても、積層体を焼結させるための焼成工程において、電極切れや玉化等の状態変化が生じにくいようにするとともに、DCバイアス特性を改善する。積層体(12)は、セラミック層を構成するセラミックのグレイン径に関して、これが比較的大きい大グレイン領域(13)と比較的小さい小グレイン領域(14)とに分類される。大グレイン領域は小グレイン領域の外側に位置し、大グレイン領域と小グレイン領域との境界面(15)は、積層体における内部電極の存在する部分(16)を囲みながら積層体の外表面の内側に位置する。積層体を得るため、焼成工程において、室温から最高温度までの平均昇温速度を40℃/秒以上とする温度プロファイルにて熱処理する。

明 細 書

発明の名称： 積層セラミック電子部品およびその製造方法

技術分野

[0001] この発明は、積層セラミック電子部品およびその製造方法に関するもので、特に、積層セラミック電子部品の小型化のために有利に採用され得る技術に関するものである。

背景技術

[0002] たとえば積層セラミックコンデンサにおいて、その小型化（薄型化）を図るにあたっては、セラミック層だけでなく、内部電極についても薄層化を図ることが有効である。しかしながら、内部電極の薄層化が進むと、生の積層体を焼結させるための焼成工程の結果、電極切れが生じやすくなる。この電極切れを抑制し得る技術として、たとえば以下のものが提案されている。

[0003] 特開 2 0 0 8 - 2 2 6 9 4 1 号公報（特許文献 1）では、焼成工程での昇温速度を $500^{\circ}\text{C}/\text{時} \sim 5000^{\circ}\text{C}/\text{時}$ とすることにより、電極切れを抑制し、電極厚 $0.8 \sim 1 \mu\text{m}$ を実現している。

[0004] 特開 2 0 0 0 - 2 1 6 0 4 2 号公報（特許文献 2）では、焼成時の昇温過程における $700^{\circ}\text{C} \sim 1100^{\circ}\text{C}$ で、昇温速度を $500^{\circ}\text{C}/\text{時}$ 以上とし、 1100°C 以上において、雰囲気酸素分圧を 10^{-8} atm 以下とし、降温過程における 1100°C 以下の一部において酸素分圧を 10^{-8} atm 以上とすることにより、クラック等の構造欠陥を抑制し、得られた積層セラミックコンデンサの信頼性を高めるようにしている。

[0005] 大韓民国公開特許公報 10 - 2006 - 0135249（特許文献 3）では、最高温度より 20°C 低い温度まで $10^{\circ}\text{C}/\text{秒}$ の昇温速度で昇温することにより、電極切れ抑制と昇温時のオーバシュート（昇温時に所望の焼成温度よりさらに高い温度となること）抑制とを両立させている。

[0006] 以上、特許文献 1～3 のいずれに記載の先行技術においても、昇温速度を高くするといった手段によって、内部電極の薄層化が可能となる効果が得ら

れるが、その効果には限界があり、たとえばNiを導電成分として含む内部電極を備える積層セラミックコンデンサにおいて、焼成後の電極厚として0.3 μm 以下の実現は非常に困難である。

[0007] また、卑金属を導電成分として用いた内部電極を備える生の積層体を焼成するための雰囲気は、たとえば $\text{N}_2/\text{H}_2/\text{H}_2\text{O}$ 系であり、Ni/NiO平衡酸素分圧より還元側で制御する必要がある、このことは、設備や材料設計に対する制約となる。

[0008] また、内部電極を薄層化するには、低温焼結するセラミック材料を使用することも有効である。低温焼結セラミック材料には、Li等の揮発成分を含ませることがあるが、焼成時において、この揮発成分は飛散しやすい傾向がある。そして、焼成されるべき生の積層体のサイズ、すなわちチップサイズや焼成炉へのチャージ量により、揮発成分の残留量がばらつきやすいが、この残留量ばらつきを抑制することは困難である。

[0009] 他方、前述したように、セラミック層の薄層化も、積層セラミックコンデンサの小型化のために有効である。しかし、セラミック層の薄層化は、次のような問題を招くことがある。

[0010] セラミック層の薄層化が進めば進むほど、セラミック層に印加される直流電界強度がより高くなる。一般に、単位体積あたりの静電容量が比較的高い積層セラミックコンデンサのセラミック層には、強誘電体セラミックが用いられている。しかし、強誘電体セラミックは、そこに大きな直流電圧が印加されると、その誘電率が低下するという性質を有している。さらに、強誘電体セラミックには、その誘電率が高い方が、また、印加される直流電界強度が高い方が、直流電圧印加による誘電率の低下率が高くなる傾向がある。

[0011] 現状において要求されるセラミック層の薄層化は、それを進めた結果、セラミック層の厚さあたりの直流電圧が高くなり、それにより、誘電体セラミックの直流電圧下での誘電率が低下してしまい、積層セラミックコンデンサの直流電圧下での静電容量がかえって低下するほどのものとなってきている。すなわち、セラミック層の薄層化を進めても、積層セラミックコンデンサ

の大容量化を図ることが困難な状況にまで、セラミック層の薄層化が既に進んでいる。

[0012] そこで、印加される直流電界強度が高くなっても、誘電体セラミックの誘電率が低下しにくい、すなわち、DCバイアス特性の優れた、積層セラミックコンデンサが求められる。たとえば、特開2006-165259号公報（特許文献4）に記載の技術では、DCバイアス特性を改善するために、材料組成を検討している。しかし、材料組成を変更する場合は、他の諸特性（誘電率、温度特性、信頼性など）とのバランスをとるのが難しく、設計の幅を狭めてしまうという問題を招く。

[0013] なお、上述した課題は、積層セラミックコンデンサについてのものであったが、同様の課題は、積層セラミックコンデンサ以外の積層セラミック電子部品についても遭遇し得る。

先行技術文献

特許文献

[0014] 特許文献1：特開2008-226941号公報

特許文献2：特開2000-216042号公報

特許文献3：大韓民国公開特許公報10-2006-0135249

特許文献4：特開2006-165259号公報

発明の概要

発明が解決しようとする課題

[0015] そこで、この発明の目的は、上述したような問題を解決し得る積層セラミック電子部品およびその製造方法を提供しようとすることである。

課題を解決するための手段

[0016] この発明は、積層された複数のセラミック層とセラミック層間の特定の界面に沿って形成される内部電極とを備える、積層体と、特定の内部電極と電氣的に接続されるように積層体の外表面上に形成される外部電極とを備える、積層セラミック電子部品にまず向けられるものであって、上述した技術的

課題を解決するため、次のような構成を備えることを特徴としている。

- [0017] すなわち、上記積層体は、セラミック層を構成するセラミックのグレイン径に関して、これが比較的大きい大グレイン領域と比較的小さい小グレイン領域とに分類され、大グレイン領域は小グレイン領域の外側に位置し、大グレイン領域と小グレイン領域との境界面は、積層体における内部電極の存在する部分を囲みながら積層体の外表面の内側に位置していることを特徴としている。なお、上記境界面が、積層体における、外部電極と内部電極との接続部分に存在するか否かは問わない。
- [0018] この発明に係る積層セラミック電子部品のより特定のな実施態様では、上記積層体は、その長さ方向寸法 L およびその幅方向寸法 W によって規定される LW 面と、その長さ方向寸法 L およびその厚み方向寸法 T によって規定される LT 面と、その幅方向寸法 W およびその厚み方向寸法 T によって規定される WT 面とを有する直方体形状であり、上記外部電極は WT 面上に形成される。この場合、大グレイン領域と小グレイン領域との境界面は、積層体における内部電極の存在する部分の外側であって、少なくとも LW 面および LT 面に沿って連続的に延びるように積層体の外表面の内側に位置する。ここで、境界面が、 WT 面に沿うように延びるか否かは問わない。
- [0019] この発明に係る積層セラミック電子部品において、より好ましくは、大グレイン領域でのセラミックのグレイン径分布における D_{90} 値は、小グレイン領域でのセラミックのグレイン径分布における D_{90} 値の5倍以上である。
- [0020] この発明は、また、積層された複数のセラミック層とセラミック層間の特定の界面に沿って形成される内部電極とを備える、生の積層体を用意する工程と、生の積層体を焼結させるため、焼成する工程とを備える、積層セラミック電子部品の製造方法にも向けられる。この発明に係る積層セラミック電子部品の製造方法は、前述した技術的課題を解決するため、焼成する工程において、室温から最高温度までの平均昇温速度を $40^{\circ}\text{C}/\text{秒}$ 以上とする温度プロファイルにて熱処理する工程を実施することを特徴としている。
- [0021] 上記熱処理する工程は、好ましくは、室温から最高温度までの平均昇温速

度を100℃/秒以上とする温度プロファイルにて実施される。

[0022] 熱処理する工程の前に、生の積層体を脱脂する工程をさらに備えることが好ましい。

[0023] 内部電極が導電成分として卑金属を含む場合であっても、熱処理する工程は、卑金属の平衡酸素分圧に対して酸化側の雰囲気ガスを供給した雰囲気中で実施されることが好ましい。

[0024] 熱処理する工程において、最高温度到達後、温度保持することなく、冷却されることが好ましい。

発明の効果

[0025] この発明に係る積層セラミック電子部品によれば、セラミック層が薄層化されても、DCバイアス特性を良好に維持することができる。特に、この発明が積層セラミックコンデンサに適用される場合には、直流電圧印加による静電容量の低下率を低く抑えることができるとともに、セラミック層において、比較的高い誘電率を得ることができる。このような効果は、次のようなメカニズムによってもたらされるものと推測される。

[0026] 境界面の外側にある大グレイン領域は、境界面の内側にある小グレイン領域と比較して、BaTiO₃系強誘電体に見られる強誘電性が大きいと考えられる。このため、焼成後の冷却時において高温相（常誘電相）から常温相（強誘電相）に相転移が生じる際に、境界面の外側の領域における結晶のc軸方向が積層体の表面に対し垂直方向に配向しやすくなり、表面に垂直な応力が積層体内部に向かって発生すると推測される。

[0027] このとき、境界面の内側のセラミック層において面内方向収縮を喚起する応力がかかると推測され、結晶のc軸方向が積層方向と平行な方向へ配向する応力が喚起されると推測される。

[0028] このような状態において、積層セラミック電子部品に直流電圧が印加された場合、直流電圧により電界強度の方向と結晶のc軸方向が平行になる場合が多いため、電界がセラミック層に印加されても、誘電率はさほど低下しないものと推測される。

- [0029] なお、内部電極の存在する部分が境界面によって部分的にしか覆われていない場合（たとえば、境界面がL T面の内側のみ、またはL W面の内側のみ）に形成されている場合）、上記現象により生じると推測される応力が分散してしまうと推測される。よって、この場合には、この発明の目的は十分には達成されない。
- [0030] また、外部電極が形成されている付近（たとえば、W T面の内側など）は、境界面の形成が不十分でも問題はない。外部電極により応力分散が防がれるためであると推測される。
- [0031] この発明に係る積層セラミック電子部品の製造方法によれば、積層体において、上述したような特徴あるグレイン径分布を有利に実現することができる。
- [0032] また、この発明に係る積層セラミック電子部品の製造方法によれば、内部電極において、熱処理中の電極切れや玉化等の状態変化が抑制され、内部電極の薄層化および高カバレッジ化を進めることができる。従来の熱処理方法では、たとえば、Niを導電成分として含む内部電極を備える積層セラミックコンデンサの場合、内部電極について、0.3 μm 以下の電極厚および80%以上のカバレッジの実現は非常に困難であったが、この発明に係る製造方法によれば、40°C/秒以上の昇温速度を採用することにより、0.2 μm 以下の電極厚および80%以上のカバレッジを達成することができる。さらに、昇温速度を100°C/秒以上と高めると、0.1 μm 以下の電極厚において80%以上のカバレッジを達成することができる。
- [0033] 熱処理中の電極切れおよび玉化は、セラミック層と内部電極との収縮タイミングのミスマッチにより発生する界面隙間が大きい場合や、与える熱エネルギー総量が大きい場合に、より顕著に発生する。よって、熱処理時における収縮が生じる時間を、従来の40～10分間から、この発明に係る製造方法によれば、120～5秒間と大幅に短縮することができることから、セラミック層と内部電極との界面隙間の発生を抑制することができる。また、最高温度到達後、温度保持することなく、すぐに冷却するようにすれば、熱エ

エネルギー総量を削減することができ、電極切れおよび玉化の抑制により効果的である。

[0034] また、内部電極の薄層化および高カバレッジ化は、内部電極の収縮抑制の結果もたらされたものであるため、内部電極の端部におけるボイドや隙間等の発生も同時に抑制することができる。したがって、熱処理後の積層体のシール性が向上し、積層セラミック電子部品としての耐環境信頼性も向上させることができる。

[0035] また、上記のように内部電極の収縮が抑制されるため、内部電極が積層体の所定の面に引き出される場合、内部電極の引出し端部での引っ込み度合いが非常に小さくなる。また、前述したように、短時間で焼結が完了するため、セラミック層を構成するセラミックの添加成分によるガラス相の表面への移動および析出がほとんど発生しない。したがって、内部電極に電氣的に接続される外部電極を形成するにあたって、内部電極の引出し端部を露出させるための工程を省略することができる。

[0036] また、短時間で焼結が完了するため、セラミック層を構成するセラミックにおける添加元素を偏析させることなく均一に存在させることができる。そのため、セラミック層が与える特性を安定させることができる。さらに、比較的少ない添加量であっても、添加元素による効果を十分に発揮させることができる。

[0037] また、セラミック層を構成するセラミックが、Li、B、Pb等の揮発成分（焼結助剤）を含有する場合、短時間で焼結が完了するため、熱処理時のそれら揮発成分の飛散が抑制される。その結果、これら揮発成分の残留量が、積層体のサイズや焼成炉へのチャージ量が変わることによって変動することを抑制することができる。

[0038] また、Niなどの卑金属を導電成分として含む内部電極を備える積層セラミック電子部品にあっては、従来、熱処理工程において、内部電極酸化抑制とセラミック還元抑制とを両立させるため、雰囲気中の酸素分圧を卑金属の平衡酸素分圧近傍に精密に制御する必要があり、焼成炉の設計を煩雑なもの

としていた。これに対し、この発明に係る製造方法によれば、熱処理工程において昇温速度が高く、熱処理（セラミック焼結収縮）時間が120～5秒間と短時間であるため、卑金属の平衡酸素分圧より酸化側の雰囲気でも、ほとんど酸化することなく、熱処理を行なうことができる。たとえば、昇温速度40℃/秒では、100ppm（平衡酸素分圧より約3.7桁酸化側/1300℃）、100℃/秒では1000ppm（平衡酸素分圧より約4.7桁酸化側/1300℃）というように、高い酸素分圧下で卑金属を含む内部電極をほとんど酸化させることなく、熱処理することができる。よって、セラミックが還元されにくく、また、再酸化処理する必要もなく、高い信頼性をもって積層セラミック電子部品を製造することができる。

図面の簡単な説明

[0039] [図1] この発明の一実施形態による製造方法によって製造される積層セラミック電子部品の一例としての積層セラミックコンデンサを図解的に示す断面図である。

[図2] この発明に係る積層セラミック電子部品に備える積層体において実現されるセラミックのグレイン径分布を説明するための図であり、（A）は積層体の長さ方向寸法Lおよび幅方向寸法Wによって規定されるLW面に平行な面に沿う断面図、（B）は積層体の長さ方向寸法Lおよび厚み方向寸法Tによって規定されるLT面に平行な面に沿う断面図、（C）は積層体の幅方向寸法Wおよび厚み方向寸法Tによって規定されるWT面に平行な面に沿う断面図である。

[図3] この発明の実施例による熱処理工程での温度プロファイルを、比較例による温度プロファイルとともに示す図である。

[図4] この発明の実施例および比較例の各々によって得られた積層セラミックコンデンサに備える積層体の中央部での内部電極の厚み方向断面を示すSEM観察像である。

[図5] この発明の実施例および比較例の各々によって得られた積層セラミックコンデンサに備える積層体の中央部での内部電極の表面状態を示す光学顕微

鏡写真である。

[図6] この発明の実施例および比較例の各々によって得られた積層セラミックコンデンサに備える内部電極の端部での厚み方向断面を示す光学顕微鏡写真である。

[図7] この発明の実施例および比較例の各々によって得られた積層セラミックコンデンサに備える積層体の中央部でのセラミック層のWD Xマッピング像であり、異相（M_gおよびS_i）の偏析状態を示す。

[図8] この発明の実施例および比較例の各々によって得られた積層セラミックコンデンサに備える積層体における内部電極の引出し部を示す光学顕微鏡写真である。

[図9] この発明に従って実施した実験によって求められた、昇温速度とカバレッジ80%以上確保できる最低電極厚との関係を示す図である。

[図10] この発明に従って実施した実験によって求められた、最高温度保持時間と電極カバレッジとの関係を示す図である。

[図11] この発明に従って実施した実験によって求められた、所定の酸素分圧下での昇温速度とN_i電極酸化度との関係を示す図である。

[図12] この発明に従って実施した実験において作製された積層セラミックコンデンサの積層体の一部を撮像したSEM像を示す図である。

発明を実施するための形態

[0040] 図1を参照して、この発明が適用される積層セラミック電子部品の一例としての積層セラミックコンデンサ1の構造について説明する。

[0041] 積層セラミックコンデンサ1は、部品本体としての積層体2を備えている。積層体2は、積層された複数のセラミック層3とセラミック層3間の特定の界面に沿って形成される複数の内部電極4および5とを備えている。積層体2の一方および他方端面6および7には、それぞれ、複数の内部電極4および5の各端部が露出していて、これら内部電極4の各端部および内部電極5の各端部を、それぞれ、互いに電氣的に接続するように、外部電極8および9が形成されている。

- [0042] このような積層セラミックコンデンサ 1 を製造するにあたっては、まず、内部電極 4 および 5 が印刷されたセラミックグリーンシートを積層するといった周知の方法により、積層体 2 の生の状態のものが作製される。次いで、生の積層体を焼結させるため、焼成工程が実施される。次いで、焼結した積層体 2 の端面 6 および 7 上に、それぞれ、外部電極 8 および 9 が形成され、積層セラミックコンデンサ 1 が完成される。
- [0043] 上述した焼成工程において、この発明では、室温から最高温度までの平均昇温速度を $40^{\circ}\text{C}/\text{秒}$ 以上とする温度プロファイルが適用された熱処理工程が実施される。好ましくは、上記温度プロファイルは $100^{\circ}\text{C}/\text{秒}$ 以上とされる。
- [0044] また、上述の熱処理工程の前に、生の積層体は脱脂処理されることが好ましい。
- [0045] 内部電極 4 および 5 が導電成分として Ni のような卑金属を含むとき、熱処理工程は、卑金属の平衡酸素分圧に対して酸化側の雰囲気ガスを供給した雰囲気中で実施されてもよい。
- [0046] また、熱処理工程において、前述した最高温度到達後、この温度を保持することなく、直ちに冷却されることが好ましい。
- [0047] これらの好ましい条件が採用される理由については、後述する実験例において明らかにする。
- [0048] 上述した製造方法、特に上述した焼成工程を採用したとき、得られた積層セラミック電子部品の積層体において、図 2 を参照して以下に説明するようなセラミックのグレイン径分布が実現される。
- [0049] 図 2 において、(A) は積層体 1 2 の長さ方向寸法 L および幅方向寸法 W によって規定される LW 面に平行な面に沿う断面図を示し、(B) は積層体 1 2 の長さ方向寸法 L および厚み方向寸法 T によって規定される LT 面に平行な面に沿う断面図を示し、(C) は積層体 1 2 の幅方向寸法 W および厚み方向寸法 T によって規定される WT 面に平行な面に沿う断面図を示している。積層体 1 2 は、上記 LW 面と上記 LT 面と上記 WT 面とを有する直方体形

状である。

- [0050] 積層体 1 2 は、図 2 では図示されないが、積層された複数のセラミック層とセラミック層間の特定の界面に沿って形成される内部電極とを備えている。また、図 2 では図示されないが、特定の内部電極と電氣的に接続されるように、外部電極が積層体 1 2 の外表面上に形成されている。
- [0051] 図 2 では図示されない上記セラミック層、内部電極ならびに外部電極は、図 1 に示したセラミック層 3、内部電極 4 および 5 ならびに外部電極 8 および 9 に相当する。セラミック層および内部電極の各々の面方向は、たとえば上記 LW 面と平行であり、外部電極は上記 WT 面上に形成される。
- [0052] 図 2 に示すように、積層体 1 2 は、セラミック層を構成するセラミックのグレイン径に関して、これが比較的大きい大グレイン領域 1 3 と比較的小さい小グレイン領域 1 4 とに分類される。ここで、大グレイン領域 1 3 でのセラミックのグレイン径分布における D_{50} 値は、小グレイン領域 1 4 でのセラミックのグレイン径分布における D_{50} 値の 5 倍以上であることが好ましい。
- [0053] 大グレイン領域 1 3 は小グレイン領域 1 4 の外側に位置している。大グレイン領域 1 3 と小グレイン領域 1 4 との境界面 1 5 は、積層体 1 2 における内部電極の存在する素子部分 1 6 の外側であって、積層体 1 2 の外表面の内側に位置している。前述したように、外部電極が WT 面上に形成される場合、境界面 1 5 は、好ましくは、少なくとも LW 面および LT 面に沿って連続的に延びている。
- [0054] 言い換えると、積層体 1 2 の外表面上における LW 面および LT 面は大グレイン領域 1 3 内にあり、LW 面および LT 面の各々の内側には境界面 1 5 が存在することになる。すなわち、積層体 1 2 における、積層方向での両端部に相当する外層部のどこかに境界面 1 5 が存在し、内部電極の両側に形成されるサイドギャップ部のどこかに境界面 1 5 が存在することになる。
- [0055] しかし、外部電極が形成された WT 面には内部電極が引き出されているため、WT 面での境界面による作用は、LW 面や LT 面での境界面 1 5 による作用に比べて小さい。よって、WT 面に沿って境界面 1 5 が形成されるかど

うかは問わない。

[0056] この発明が、上述したように、図1に示した積層セラミックコンデンサ1の製造に向けられるとき、セラミック層3は、誘電体セラミックから構成される。しかしながら、この発明が適用されるのは、積層セラミックコンデンサに限らず、その他、インダクタ、サーミスタ、圧電部品などであってもよい。したがって、積層セラミック電子部品の機能に応じて、セラミック層は、誘電体セラミックのほか、磁性体セラミック、半導体セラミック、圧電体セラミックなどから構成されてもよい。

[0057] また、図1に示した積層セラミックコンデンサ1は、2個の外部端子8および9を備える2端子型のものではあったが、多端子型の積層セラミック電子部品にもこの発明を適用することができる。

[0058] また、この発明は、直方体形状の積層体を備える積層セラミック電子部品に限らず、直方体形状以外の形状の積層体を備える積層セラミック電子部品にも適用されることができる。

[0059] 以下に、この発明の範囲内にある実施例および範囲外の比較例の各々に従って、試料となる積層セラミックコンデンサを作製し、その評価を行なった実験例について説明する。

[0060] 1. 実験例1（典型的熱処理条件下での実施例および比較例の比較）

Niを導電成分として含む内部電極およびBaTiO₃を主成分とするセラミック層を備える積層セラミックコンデンサのための生の積層体を、残留カーボン量が約1000重量ppmとなるまで脱脂処理した後、以下の表1に示すような熱処理条件にて熱処理し、実施例および比較例の各々に係る焼結後の積層体を得た。

[0061]

[表1]

	比較例	実施例
昇温速度	0.17°C/秒	40°C/秒
最高温度	1200°C	1300°C
保持時間	7200 秒	0 秒
焼成時間	24 時間	33 秒
雰囲気 炉内 PO ₂ (at 最高温度)	N ₂ /H ₂ /H ₂ O PO ₂ : 10 ^{-10.5} MPa	N ₂ PO ₂ : 10 ^{-4.6} MPa

[0062] 表1において、「昇温速度」は、室温から最高温度までの平均昇温速度を示している。図3は、実施例と比較例との相対比較を容易にするため、各々の温度プロファイルを図示したものである。

[0063] 上記熱処理により焼結した実施例および比較例の各々に係る積層体試料を評価した結果が図4ないし図8に示されている。

[0064] 図4には、積層体の中央部での内部電極の厚み方向断面が示されている。図4において、相対的に濃い色の領域が内部電極である。図4から、比較例に比べ、実施例によれば、内部電極の連続性を確保しながら、より薄層化が図られていることがわかる。

[0065] 図5には、積層体の中央部での内部電極の表面状態が示されている。図5において、相対的に濃い色のスポットが内部電極の欠乏部分である。図5から、比較例に比べて、実施例によれば、内部電極の高カバレッジ化が図られていることがわかる。

[0066] 図6には、内部電極の端部での厚み方向断面が示されている。図6において、相対的に薄い色の領域が内部電極である。図6から、比較例に比べて、実施例によれば、内部電極の端部でのボイドや隙間の発生が抑制されていることがわかる。

[0067] これら図4ないし図6に示した評価結果から、実施例によれば、積層体において高いシール性が得られ、そのため、積層セラミックコンデンサの耐環境信頼性を向上させ得ることがわかる。従来、外部電極に対して耐環境信頼性向上のためのシール機能が求められることがあったが、実施例によれば、

積層体において高いシール性が得られるので、外部電極は内部電極との電氣的接続を達成すれば足り、それゆえ、外部電極の形成にあたっての材料選択やプロセス設計が容易になるという利点も期待できる。

[0068] 図7には、積層体の中央部でのセラミック層のWD Xマッピング像が示されている。図7では、特に異相（MgおよびSi）の偏析状態が示されている。これら異相は、図7において、相対的に明るいスポットによって示されている。セラミック層を構成するセラミックへの添加元素（Mg、Siなど）は、熱処理後に偏析しやすく、このように偏析した異相は、セラミック層の信頼性に悪影響を及ぼすことが多い。図7からわかるように、実施例によれば、比較例に比べて、添加元素の偏析が極めて少ない。よって、実施例によれば、特性が安定することがわかる。

[0069] 図8には、内部電極の引出し部が示されている。図8からわかるように、比較例に比べて、実施例によれば、内部電極の薄層化ばかりでなく、引出し部での引っ込み量が非常に少なく、また、短時間で焼結が完了するため、添加成分によるガラス相の表面への移動および析出がほとんど発生していない。よって、外部電極形成時において、内部電極の引出し端部を露出させるための工程の省略も可能となる。

[0070] 2. 実験例2（昇温速度と電極厚との関係）

以下の表2に示すように、昇温速度を種々に変更し、内部電極においてカバレッジ80%以上が得られる最小電極厚を求めた。なお、この実験例2では、内部電極として、Ni箔を用いたもの（Ni箔電極）と、Ni球状粉末を含む導電性ペーストを用いたもの（Ni球状電極）との2種類の試料を作製した。なお、Ni球状粉末を含む導電性ペーストについては、充填率が40～50%程度の比較的低い充填率のものを用いた。

[0071]

[表2]

条件	昇温速度 (°C/秒)	カバレッジ 80%以上 となる電極厚 (μm)	
		Ni 箔電極	Ni 球状電極
1	270	0.10	0.25
2	160	0.12	0.25
3	40	0.13	0.25
4	15	0.30	0.45
5	1.67	0.35	0.55
6	0.17	0.50	0.80

[0072] 表2に示した昇温速度と電極厚との関係は図9にも示されている。図9において、「Ni電極A」はNi箔電極であり、「Ni電極B」はNi球状電極である。

[0073] 内部電極の薄層化は、セラミック層と内部電極との界面の隙間の影響を受ける。表2および図9に示すように、 $15^\circ\text{C}/\text{秒}$ 以下の昇温速度では、電極厚 $0.3\mu\text{m}$ 以下の内部電極に対する拘束力を維持できず、カバレッジ80%以上の確保は困難である。これに対し、昇温速度を $40^\circ\text{C}/\text{秒}$ 以上とすることにより、短時間でセラミックが焼結収縮するため、 $0.3\mu\text{m}$ 以下の電極厚においても、80%以上のカバレッジを確保することができる。さらに、昇温速度を $100^\circ\text{C}/\text{秒}$ 以上とすることにより、 $0.1\mu\text{m}$ 以下の電極厚でも80%以上のカバレッジを確保することができる。

[0074] なお、導電性ペーストを用いたNi球状電極の場合には、上述したような電極厚の水準は、用いた導電性ペーストの充填率により変わる。この実験例で用いた比較的低い充填率の導電性ペーストの場合には、所定のカバレッジを確保し得るようには、電極厚を比較的厚くしなければならない。

[0075] この実験例では、内部電極の導電成分としてNiを用いた場合のものであったが、Ni以外のたとえばCu、Ag、Pt、Pd、Al、Ti、Crまたはそれらの合金であっても同様の傾向が見られる。

[0076] 3. 実験例 3（昇温速度と揮発成分残留量との関係）

セラミック層を構成するセラミックが、Li、B、Pb等の揮発成分を含む場合、これら揮発成分の熱処理後における残留量は、積層体のサイズや熱処理時の焼成炉への積層体のチャージ量によって変動することが経験的に知られている。したがって、この変動が、実用化段階においては、特性の安定を阻害するといった問題を招く。しかしながら、この発明のように、昇温速度を高くすることにより、セラミックの焼結収縮時間を短時間化することができるため、揮発成分の残留量の変動を大幅に抑制することができる。

[0077] 以下の表 3 には、揮発成分の残留率（＝残留量／添加量）に対する昇温速度による影響が示されている。より具体的には、積層体の平面サイズが 0.6 mm×0.3 mm（0603 サイズ）の場合と 3.2 mm×2.5 mm（3225 サイズ）の場合とについて評価した揮発成分残留率と昇温速度との関係が示されるとともに、「0603 サイズ」と「3225 サイズ」との各々の揮発成分残留率の差が「残留率ばらつき」として示されている。

[0078] [表3]

昇温速度（℃/秒）	揮発成分残留率（％）		残留率ばらつき（％）
	0603 サイズ	3225 サイズ	
270	99.7	99.9	0.2
160	99.7	99.9	0.2
40.0	99.1	99.6	0.5
15.0	95.4	98.8	3.4
1.67	71.3	91.4	19.9
0.17	0.5	61.3	60.8

[0079] 表 3 から、積層体のサイズによる残留率ばらつきは、昇温速度をより高くすることによって低減することができ、特に昇温速度 40℃/秒以上とすることにより、残留率ばらつきを 1％以下に抑制できることがわかる。

[0080] 上述のような傾向は、熱処理時の積層体のチャージ量を変えた場合にも同様に見られる。

[0081] 4. 実験例 4（最高温度保持時間と電極カバレッジとの関係）

上述したように、この発明によれば、内部電極の薄層化および高カバレッジ化を実現できるが、これらは、昇温速度に加えて、最高温度保持時間によっても影響される。図10には、電極厚 $0.3\mu\text{m}$ 相当のNi内部電極を有する積層セラミックコンデンサのための積層体を得るため、昇温速度 $40^\circ\text{C}/\text{秒}$ で 1380°C にまで到達した後、この 1380°C での保持時間と電極カバレッジとの関係が示されている。

[0082] 図10に示すように、昇温速度を高めることにより、 1380°C 到達直後では高いカバレッジが達成されている。しかし、この 1380°C といった最高温度を保持することにより、急激にカバレッジが低下（玉化）することがわかる。これは、急激な昇温中においては、内部電極への拘束力を維持できるが、収縮を完了した最高温度付近では、セラミックに強度はなく、柔らかい状態であるため、温度保持により、内部電極の表面エネルギーを最小にしようとする駆動力が働き、この駆動力によってもたらされる玉化に対抗することができず、その結果、カバレッジが低下することになると考えられる。特に、上記駆動力は、電極厚が薄くなるほど、表面の割合が増加するため、より顕著になる。したがって、最高温度到達後は、その温度を保持することなく、直ちに冷却することが望ましい。

[0083] 5. 実験例5（昇温速度とNi電極酸化度との関係）

この実験例5では、熱処理工程での酸素分圧（ PO_2 ）として、表4および図11に示すように、 100ppm 、 1000ppm および 10000ppm の3種類の雰囲気を採用した。表4および図11には、 100ppm 、 1000ppm および 10000ppm の3種類の酸素分圧下での室温から最高温度までの平均昇温速度とNi電極酸化度との関係が示されている。なお、これら酸素分圧の調整は、窒素雰囲気中への所定量の酸素導入によって行なった。

[0084]

[表4]

昇温速度 (°C/秒)	PO ₂ : 100ppm	PO ₂ : 1000ppm	PO ₂ : 10000ppm
270	0.2	0.2	0.2
160	0.2	0.5	—
100	0.2	1.0	—
90	0.2	3.0	—
40	0.5	15	—
30	1.0	20	—
15	2.0	35	—
1.67	40	85	—
0.17	80	90	—

(単位 : %)

[0085] 表4における「PO₂ : 10000ppm」の欄において数値が記入されていないものについては評価を行なわなかった。すなわち、酸素分圧が10000ppmの条件下では、昇温速度270°C/秒についてのみ評価した。

[0086] 表4および図11から、酸素分圧100ppmにおいて、昇温速度が40°C/秒以上であれば、電極酸化度1%以下でNi内部電極を備える積層セラミックコンデンサの焼成が可能であることがわかる。さらに、昇温速度を100°C/秒以上とすることにより、酸素分圧1000ppmにおいても、電極酸化度1%以下で焼成が可能であることがわかる。また、酸素分圧10000ppmと高くても、この実験例では、昇温速度を270°C/秒とすることにより、0.2%の電極酸化度と抑制できることがわかる。

[0087] これらの結果から、昇温速度を高めることにより、焼成時の酸素分圧が相対的に高くなるので、セラミック還元（酸素空孔の生成）が抑制され、得られた積層セラミックコンデンサの信頼性が向上するといった効果が得られることがわかる。

[0088] 6. 実験例6（大グレイン領域と小グレイン領域との境界面の影響）

実験例6では、通常の直方体形状を持つ積層セラミックコンデンサについて、試料1～4をそれぞれ作製し、かつ評価した。試料1～4の概略を述べると、次のとおりである。試料1は、この発明の範囲内の実施例であり、LW面およびLT面の各々の内側に境界面が存在するものである。他方、試料

2～4は、この発明の範囲外の比較例である。特に、試料2は、LW面の内側にのみ境界面が存在するもの、試料3は、LT面の内側にのみ境界面が存在するもの、試料4は、いずれにも境界面が存在しないものである。

[0089] (1) セラミック原料粉末の作製

＜比較的小径のセラミック原料粉末A＞

BaCO₃粉末とTiO₂粉末とを、Ba/Tiモル比が1.001になるように秤量して、ZrO₂ボールを用いたミルにて湿式混合粉碎した。湿式粉碎で得たスラリーを乾燥後、900℃以上に加熱し、平均粒子径が0.2μmのBaTiO₃粉末を作製した。このBaTiO₃粉末100モル部に対し、0.5モル部のDy₂O₃粉末、1.2モル部のMgCO₃粉末、0.2モル部のMnCO₃粉末、および1.0モル部のBaCO₃粉末をそれぞれ添加し、さらにSiO₂換算で1.2モル部のSiO₂ゾルを添加して、ZrO₂ボールを使ったミルにより湿式混合粉碎を行ない、その後、湿式混合粉碎で得たスラリーを乾燥し、セラミック原料粉末Aを作製した。

[0090] ＜比較的大径のセラミック原料粉末B＞

BaCO₃粉末とTiO₂粉末とを、Ba/Tiモル比が1.001になるように秤量して、ZrO₂ボールを用いたミルにて湿式混合粉碎した。湿式粉碎で得たスラリーを乾燥後、1000℃以上に加熱し、平均粒子径が0.5μmのBaTiO₃粉末を作製した。このBaTiO₃粉末100モル部に対し、0.25モル部のDy₂O₃粉末、1.2モル部のMgCO₃粉末、0.2モル部のMnCO₃粉末、および1.0モル部のBaCO₃粉末をそれぞれ添加し、さらにSiO₂換算で1.7モル部のSiO₂ゾルを添加して、ZrO₂ボールを使ったミルにより湿式混合粉碎を行ない、その後、湿式混合粉碎で得たスラリーを乾燥し、セラミック原料粉末Bを作製した。

[0091] (2) セラミックスラリーおよびセラミックグリーンシートの作製

セラミック原料粉末Aに、ポリブチラル系バインダと可塑剤とを添加し、エチルアルコール類を加えて、ZrO₂ボールミルにより湿式混合粉碎してスラリー化し、グラビアコーターで厚みが2.8μmのセラミックグリーン

シートAを成形した。

[0092] セラミック原料粉末Bについても、同様な方法で、厚みが5 μm のセラミックグリーンシートBを成形した。

[0093] また、セラミックグリーンシートBを成形するために調製したスラリーを一部分取し、溶剤を部分除去することによって、増粘させたセラミックススラリーCを作製した。

[0094] (3) 積層体の作製

<試料1>

セラミックグリーンシートA上に、ニッケルを主成分とする導電性ペーストをスクリーン印刷し、内部電極となる導電性ペースト膜パターンを形成した。その後、導電性ペースト膜が形成されたセラミックグリーンシートAを、導電性ペースト膜の引き出されている側が互い違いになるように280枚積層して内層部とし、さらに、この内層部を挟み込む外層部を形成するため、導電性ペースト膜を形成していないセラミックグリーンシートAを積層した。片側の外層部の厚みは145 μm であった。次に、このようにして得られたグリーン積層ブロックAに対してダイシングソーを適用して、片側のサイドギャップ部の厚さが145 μm になるようにグリーン積層ブロックAをカットし、多数のグリーン積層チップAを得た。

[0095] <試料2>

セラミックグリーンシートA上に、ニッケルを主成分とする導電性ペーストをスクリーン印刷し、内部電極となる導電性ペースト膜パターンを形成した。その後、導電性ペースト膜が形成されたセラミックグリーンシートAを、導電性ペースト膜の引き出されている側が互い違いになるように280枚積層して内層部とし、さらに、この内層部を挟み込む外層部を形成するため、導電性ペースト膜を形成していないセラミックグリーンシートBを積層した。片側の外層部の厚みは145 μm であった。次に、このようにして得られたグリーン積層ブロックBに対してダイシングソーを適用して、片側のサイドギャップ部の厚さが145 μm になるようにグリーン積層ブロックBを

カットし、多数のグリーン積層チップBを得た。

[0096] <試料3>

セラミックグリーンシートA上に、ニッケルを主成分とする導電性ペーストをスクリーン印刷し、内部電極となる導電性ペースト膜パターンを形成した。その後、導電性ペースト膜が形成されたセラミックグリーンシートAを、導電性ペースト膜の引き出されている側が互い違いになるように280枚積層して内層部とし、さらに、この内層部を挟み込む外層部を形成するため、導電性ペースト膜を形成していないセラミックグリーンシートAを積層した。片側の外層部の厚みは145 μ mであった。次に、このようにして得られたグリーン積層ブロックCに対してダイシングソーを適用して、片側のサイドギャップの厚さが10 μ mになるようにグリーン積層ブロックCをカットした。次に、このように切り分けた個片のLT面となるべき表面に、セラミックススラリーCを、所定の厚み分だけ塗布し、乾燥させ、サイドギャップの厚みを片側で145 μ mとした。さらにカットを進め、グリーン積層チップCを得た。

[0097] <試料4>

試料1の場合と同じ工程を適用して、多数のグリーン積層チップDを得た。なお、グリーン積層チップDは、前述のグリーン積層チップAと同じ性状を有するものである。

[0098] (4) 積層セラミックコンデンサの作製

上記のように作製したグリーン積層チップA~Dを、N₂気流中、280℃で熱処理し、バインダを燃焼除去した。引き続き、これらを、N₂/H₂/H₂O気流中、酸素分圧：10^{-9.6}MPaの雰囲気下で焼成した。

[0099] ここで、表5に示すように、試料1に係るグリーン積層チップAについては、平均昇温速度を40℃/秒、最高温度1300℃、最高温度保持時間1秒間の加熱条件で焼成した。

[0100] また、試料2、3および4の各々に係るグリーン積層チップB、CおよびDについては、平均昇温速度0.17℃/秒、最高温度1220℃、最高温

度保持時間 1 時間の加熱条件で焼成した。

[0101] [表5]

試料番号	グリーン積層チップ	平均昇温速度	最高温度	最高温度保持時間
1	A	40°C/秒	1300°C	1秒間
2	B	0.17°C/秒	1220°C	1時間
3	C	0.17°C/秒	1220°C	1時間
4	D	0.17°C/秒	1220°C	1時間

[0102] 次に、上記のように焼成して得られた積層チップにおける、内部電極が引き出された端面部に外部電極を形成するため、Cuを主成分とする導電性ペーストを塗布して、800°Cの温度で焼き付けることにより、Cu厚膜層を形成し、さらに、Cu厚膜層上に、NiめっきおよびSnめっきを施した。

[0103] このようにして得られた積層セラミックコンデンサの寸法（外部電極を含む寸法）は、長さL：2.0mm、幅W：1.2mm、厚みT：1.2mmであった。また、誘電体セラミック層の1層あたりの厚みは2.0μmであった。また、内部電極の重なり部の面積は2.0mm²であった。また、外層部の厚みは120μm、サイドギャップ部の厚みは120μmであった。

[0104] （5）評価

試料1に係る積層セラミックコンデンサの積層体のLT面に平行な断面を観察したところ、外層部における、最も外側の内部電極から約45μmの距離に、その内外でグレイン径分布の互いに異なる境界面が観察された。同様に、積層体のLW面に平行な断面を観察したところ、サイドギャップ部における、内部電極の側縁から約45μmの距離にも、同様の境界面が観察された。

[0105] 図12は、試料1に係る積層セラミックコンデンサの積層体のLT面に平行な断面を撮像したSEM像を示している。図12の上端は、最も外側の内部電極から60μmの距離にあり、図12の下端は、最も外側の内部電極から25μmの距離にある。図12において、境界面の内外でグレイン径分布が互いに異なっている様子が観察される。

[0106] 他方、試料2では、外層部のみに境界面が観察され、試料3では、サイド

ギャップ部のみに境界面が観察された。また、試料 4 では、いずれにも境界面が観察されなかった。

[0107] 次に、各試料に係る積層セラミックコンデンサを破断し、 N_2/H_2 気流中、 $1000^\circ C$ の温度下で 5 分間、サーマル・エッチングを実施した後、破断面を 30000 倍で撮影した SEM 写真を画像解析し、各グレインの面積等価円相当径を、グレイン径として算出することによって、外層部およびサイドギャップ部の各々における、内部電極からの距離が $20 \sim 40 \mu m$ の領域にあるグレインのグレイン径、および、内部電極からの距離が $50 \mu m \sim 70 \mu m$ の領域にあるグレインのグレイン径を求めた。

[0108] 上記画像解析は、1 視野あたりの面積が $12.5 \mu m^2$ の SEM 写真、50 視野分について行ない、グレイン径を求めた。そして、各視野において、グレイン径の小さな順に並べて、各グレインの面積の累計が、視野全体の 80 % に達した順位のグレイン径を、その視野におけるグレイン径分布の D_{80} 値と定義した。

[0109] そして、外層部およびサイドギャップ部の各々について、内部電極からの距離が $20 \sim 40 \mu m$ の領域がたとえば試料 1 では境界面内側の領域に相当するが、この領域での D_{80} 値のうち、最大の値を、表 6 において、「 $20 \sim 40 \mu m$ 領域の最大 D_{80} 値」として示した。また、内部電極からの距離が $50 \sim 70 \mu m$ の領域がたとえば試料 1 では境界面外側の領域に相当するが、この領域での D_{80} 値のうち、最小の値を、表 6 において、「 $50 \sim 70 \mu m$ 領域の最小 D_{80} 値」として示した。

[0110] [表 6]

試料 番号	外層部			サイドギャップ部		
	20~40 μm 領域の 最大 D_{80} 値	50~70 μm 領域の 最小 D_{80} 値	境界面	20~40 μm 領域の 最大 D_{80} 値	50~70 μm 領域の 最小 D_{80} 値	境界面
1	0.3 μm	1.6 μm	あり	0.3 μm	1.7 μm	あり
2	0.3 μm	1.6 μm	あり	0.3 μm	0.3 μm	なし
3	0.3 μm	0.3 μm	なし	0.3 μm	1.8 μm	あり
4	0.3 μm	0.3 μm	なし	0.3 μm	0.3 μm	なし

[0111] 表 6 には、前述した境界面の有無についても示されている。

- [0112] 表6に示すように、境界面が存在しない外層部またはサイドギャップ部では、当然のことながら、「 $20 \sim 40 \mu\text{m}$ 領域の最大 D_{80} 値」と「 $50 \sim 70 \mu\text{m}$ 領域の最小 D_{80} 値」とが同じ値を示している。これに対して、境界面が存在する外層部またはサイドギャップ部では、「 $20 \sim 40 \mu\text{m}$ 領域の最大 D_{80} 値」に比べて、「 $50 \sim 70 \mu\text{m}$ 領域の最小 D_{80} 値」が大きい値を示し、後者の「 $50 \sim 70 \mu\text{m}$ 領域の最小 D_{80} 値」は、前者の「 $20 \sim 40 \mu\text{m}$ 領域の最大 D_{80} 値」の5倍以上の値を示した。
- [0113] 他方、各試料に係る積層セラミックコンデンサの、直流電圧を印加しない場合の静電容量 (C_{DC0V}) を、自動ブリッジ式測定器を用い、 120Hz 、 1.0V の条件下で、温度 25°C において測定した。
- [0114] 次に、同様の要領にて、直流電圧印加下での静電容量を、直流電圧 4V を1秒間印加した時点での静電容量 (C_{DC4V}) として求めた。
- [0115] なお、静電容量を測定する24時間前には、 150°C の温度にて1時間、測定する積層セラミックコンデンサの試料を加熱し、加熱後から測定するまで、 25°C の温度下にて電圧を印加せずに保管する処理を行なった。
- [0116] 前述した方法で測定した静電容量 (C_{DC0V} および C_{DC4V}) と、誘電体セラミック層厚み、内部電極重なり面積、および積層数とから、表7に示すように、各試料に係るセラミックコンデンサにおける、直流電圧を印加しない場合の基準の誘電率 (ϵ_{DC0V}) と直流電圧下での誘電率 (ϵ_{DC4V}) とを求めるとともに、基準の誘電率 (ϵ_{DC0V}) および直流電圧下での誘電率 (ϵ_{DC4V}) から、基準の誘電率 (ϵ_{DC0V}) に対する、直流電圧下での誘電率 (ϵ_{DC4V}) の変化率、すなわち誘電率変化率 ($\Delta\epsilon$) [%] を、 $\Delta\epsilon = \{ (\epsilon_{DC4V} - \epsilon_{DC0V}) / \epsilon_{DC0V} \} \times 100$ の式により算出した。

[0117] [表7]

試料 番号	基準の誘電率 ϵ_{DC0V}	直流電圧下での誘電率 ϵ_{DC4V}	誘電率変化率(%) $\Delta\epsilon$
1	3240	2710	-16.4
2	3050	2430	-20.3
3	2980	2400	-19.5
4	3020	2420	-19.9

- [0118] 表7からわかるように、試料1において、最も高い誘電率を示した。そして、試料1によれば、基準の誘電率 (ϵ_{DC0V}) が高いにも関わらず、他の試料2～4に比べて、直流電圧下での誘電率 (ϵ_{DC4V}) があまり低下しておらず、誘電率変化率 ($\Delta \epsilon$) が小さかった。
- [0119] このような表7に示した結果と前述した表6に示した結果とを併せて考察すると、次のことがわかる。
- [0120] 試料1によれば、表7に示すように、誘電率変化率 ($\Delta \epsilon$) が小さい。他方、表6に示すように、試料1では、境界面が外層部およびサイドギャップ部の双方において存在し、かつ「20～40 μm 領域の最大 D_{80} 値」に比べて「50～70 μm 領域の最小 D_{80} 値」が大きい値を示している。このことから、試料1のように、大グレイン領域が小グレイン領域の外側に位置し、かつ大グレイン領域とグレイン領域との境界面が、内部電極の存在する部分の外側であって、外層部およびサイドギャップ部に沿って延びるように積層体の外表面の内側に位置していると、セラミック層が薄層化されても、DCバイアス特性を良好に維持できることがわかる。
- [0121] そして、上述したような試料1が有する特徴的なグレイン径分布を有利に実現するには、焼成工程において、室温から最高温度までの平均昇温速度を40℃/秒以上とする温度プロファイルにて熱処理する工程を採用することが有効であることがわかる。
- [0122] これに対して、内部電極の存在する部分が境界面によって部分的にしか覆われていない場合、すなわち、試料2のように境界面が外層部のみに存在する場合、または試料3のように境界面がサイドギャップ部のみに存在する場合、さらには、試料4のように境界面がいずれにも存在しない場合には、誘電率変化率が大きくなり、DCバイアス特性が劣ることがわかる。

符号の説明

- [0123] 1 積層セラミックコンデンサ
2, 12 積層体
3 セラミック層

4, 5 内部電極

8, 9 外部電極

1 3 大グレイン領域

1 4 小グレイン領域

1 5 境界面

1 6 素子部分

請求の範囲

[請求項1] 積層された複数のセラミック層と前記セラミック層間の特定の界面

に沿って形成される内部電極とを備える、積層体と、

特定の前記内部電極と電氣的に接続されるように前記積層体の外表面上に形成される外部電極と

を備え、

前記積層体は、前記セラミック層を構成するセラミックのグレイン径に関して、これが比較的大きい大グレイン領域と比較的小さい小グレイン領域とに分類され、前記大グレイン領域は前記小グレイン領域の外側に位置し、前記大グレイン領域と前記小グレイン領域との境界面は、前記積層体における前記内部電極の存在する部分を囲みながら前記積層体の外表面の内側に位置している、

積層セラミック電子部品。

[請求項2] 積層された複数のセラミック層と前記セラミック層間の特定の界面に沿って形成される内部電極とを備える、積層体と、

特定の前記内部電極と電氣的に接続されるように前記積層体の外表面上に形成される外部電極と

を備え、

前記積層体は、その長さ方向寸法 L およびその幅方向寸法 W によって規定される LW 面と、その長さ方向寸法 L およびその厚み方向寸法 T によって規定される LT 面と、その幅方向寸法 W およびその厚み方向寸法 T によって規定される WT 面とを有する直方体形状であり、

前記外部電極は前記 WT 面上に形成され、

前記積層体は、前記セラミック層を構成するセラミックのグレイン径に関して、これが比較的大きい大グレイン領域と比較的小さい小グレイン領域とに分類され、前記大グレイン領域は前記小グレイン領域の外側に位置し、前記大グレイン領域と前記小グレイン領域との境界面は、前記積層体における前記内部電極の存在する部分の外側であっ

て、少なくとも前記LW面および前記LT面に沿って連続的に延びるように前記積層体の外表面の内側に位置している、
積層セラミック電子部品。

[請求項3] 前記大グレイン領域での前記セラミックのグレイン径分布における D_{80} 値は、前記小グレイン領域での前記セラミックのグレイン径分布における D_{80} 値の5倍以上である、請求項1または2に記載の積層セラミック電子部品。

[請求項4] 積層された複数のセラミック層と前記セラミック層間の特定の界面に沿って形成される内部電極とを備える、生の積層体を用意する工程と、

前記生の積層体を焼結させるため、焼成する工程とを備え、

前記焼成する工程は、室温から最高温度までの平均昇温速度を $40^{\circ}\text{C}/\text{秒}$ 以上とする温度プロファイルにて熱処理する工程を備える、積層セラミック電子部品の製造方法。

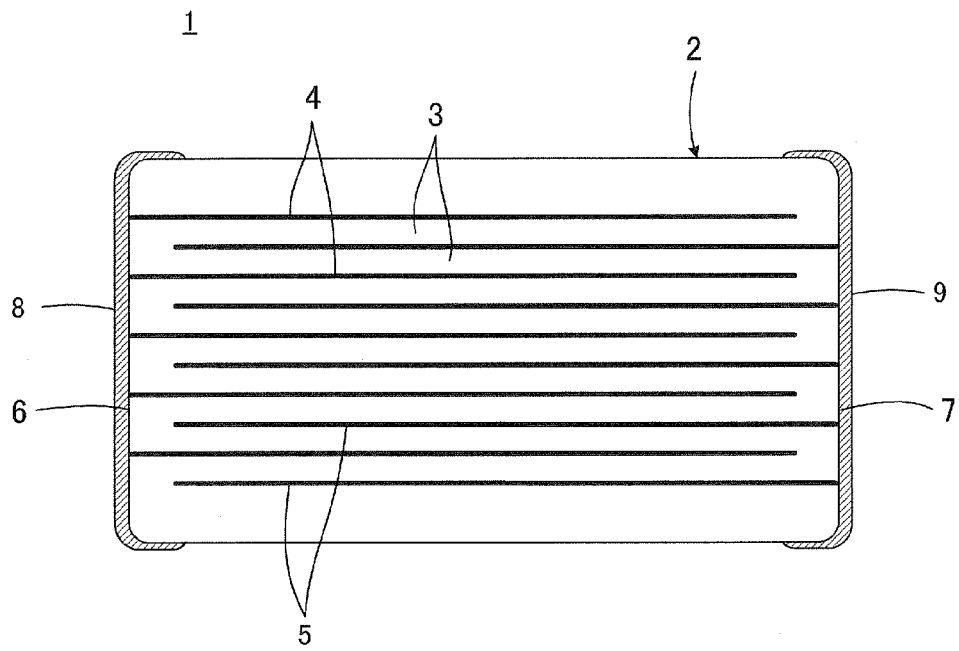
[請求項5] 前記熱処理する工程は、室温から最高温度までの平均昇温速度を $100^{\circ}\text{C}/\text{秒}$ 以上とする温度プロファイルにて実施される、請求項4に記載の積層セラミック電子部品の製造方法。

[請求項6] 前記熱処理する工程の前に、前記生の積層体を脱脂する工程をさらに備える、請求項4または5に記載の積層セラミック電子部品の製造方法。

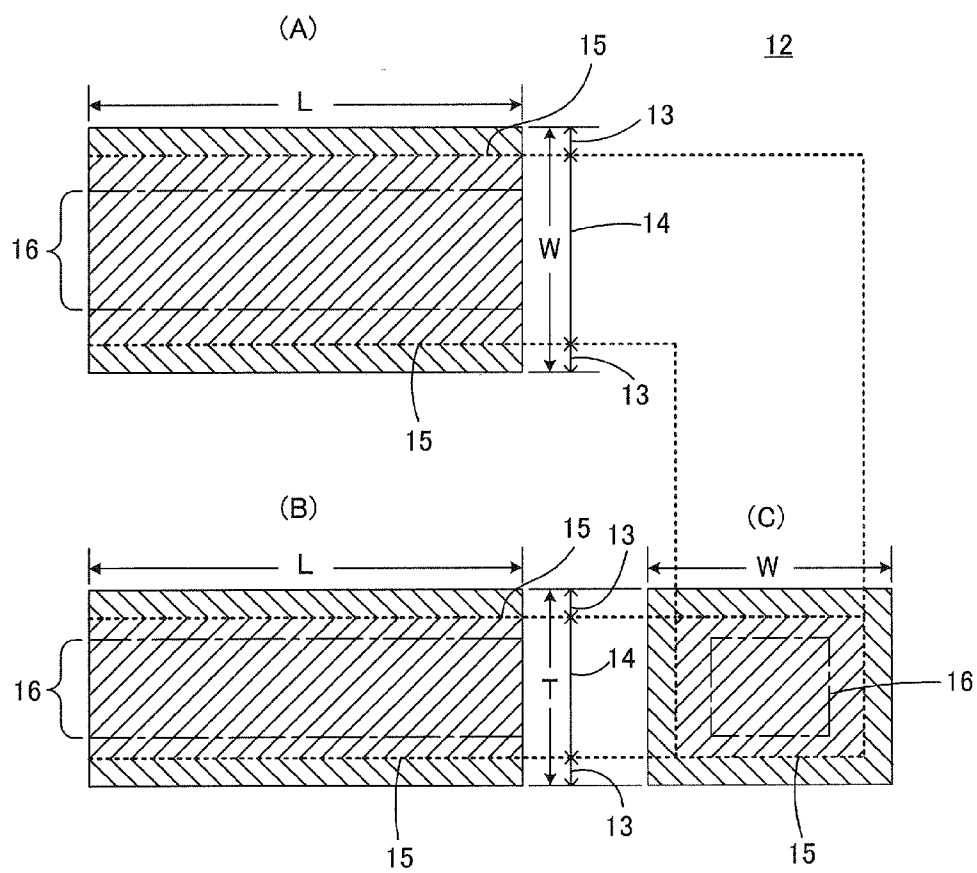
[請求項7] 前記内部電極は導電成分として卑金属を含み、前記熱処理する工程は、前記卑金属の平衡酸素分圧に対して酸化側の雰囲気ガスを供給した雰囲気中で実施される、請求項4ないし6のいずれかに記載の積層セラミック電子部品の製造方法。

[請求項8] 前記熱処理する工程において、前記最高温度到達後、温度保持することなく、冷却される、請求項4ないし7のいずれかに記載の積層セラミック電子部品の製造方法。

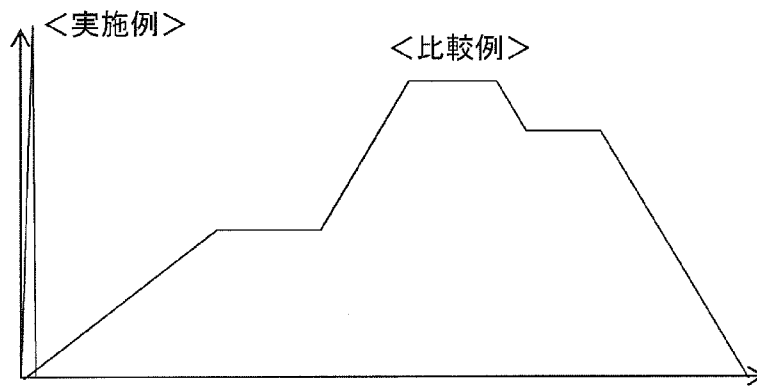
[図1]



[図2]

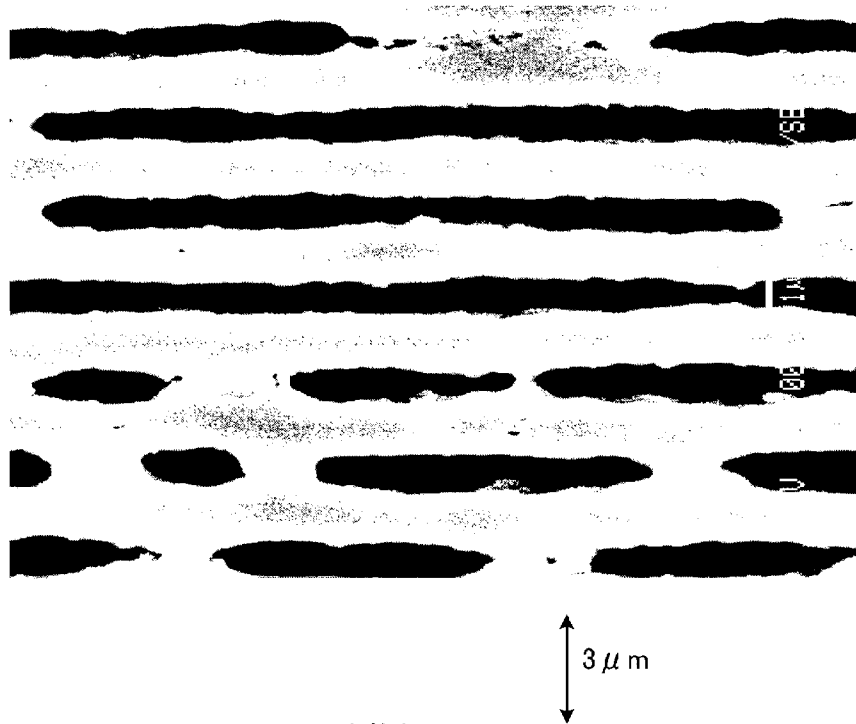


[図3]

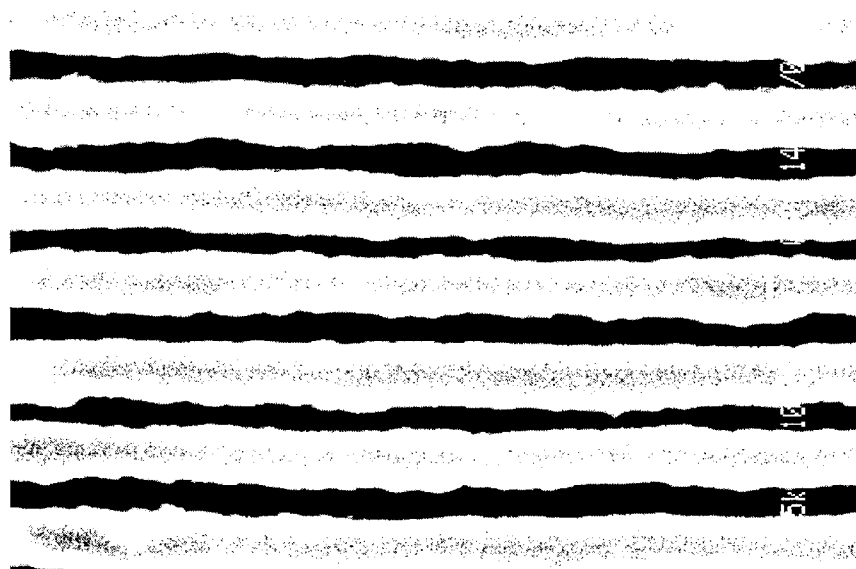


[図4]

<比較例>

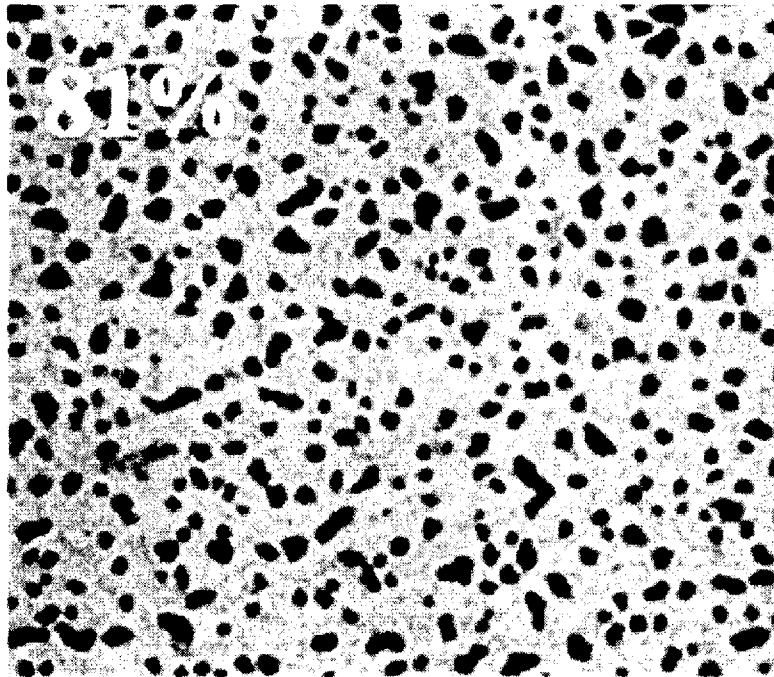


<実施例>

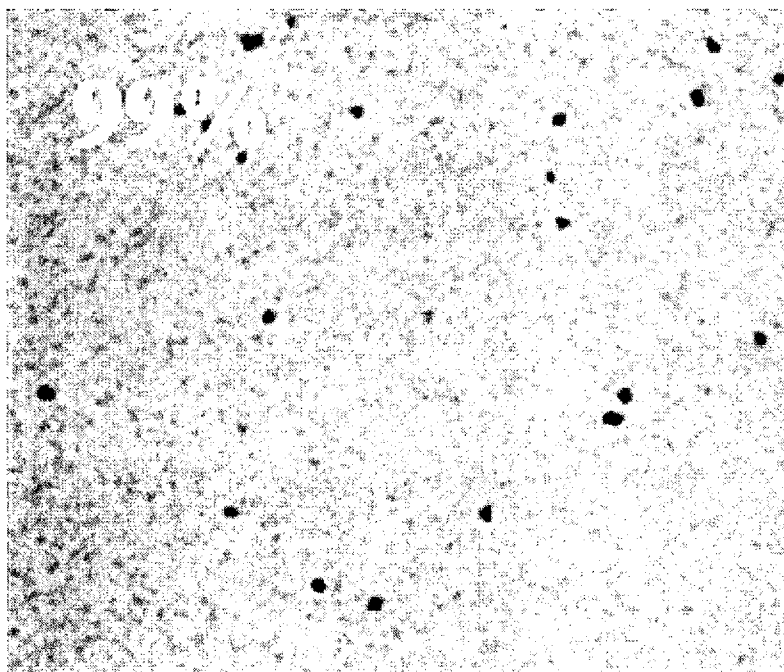


[図5]

<比較例>

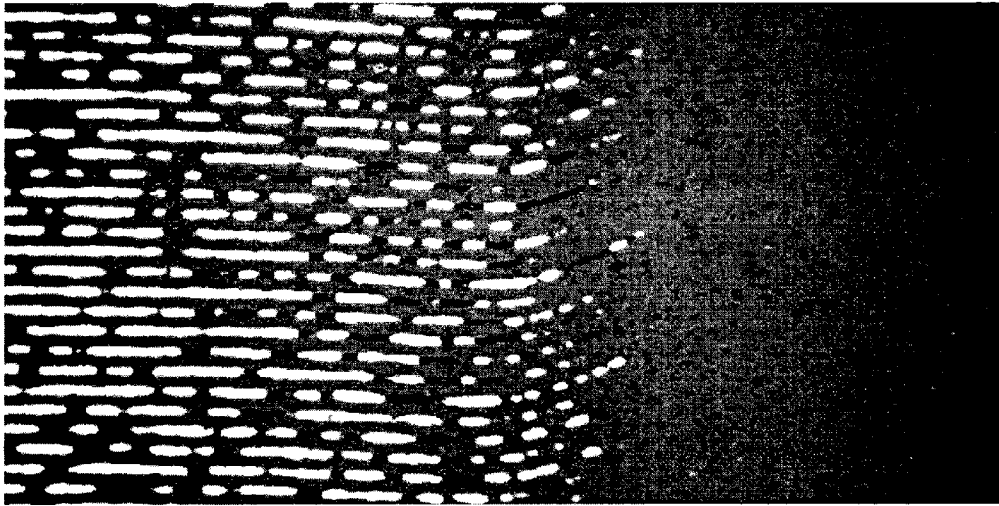


<実施例>

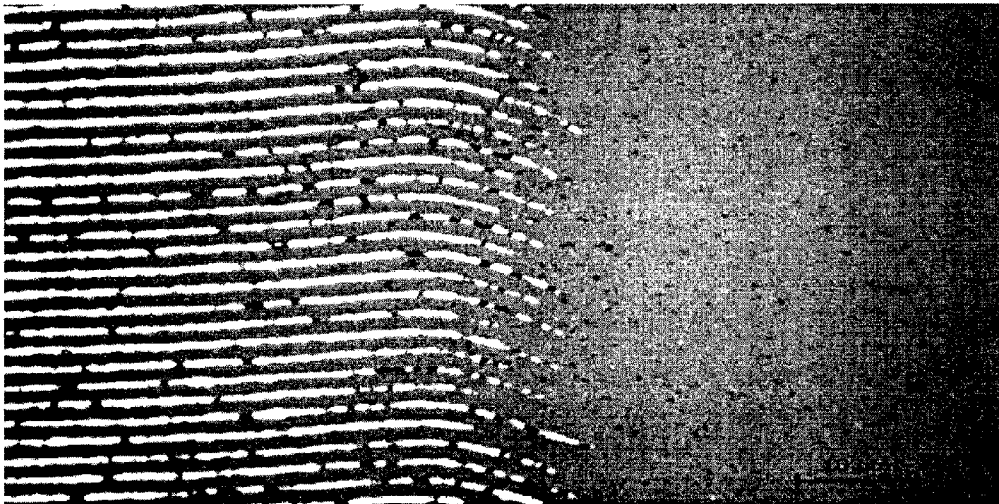


[図6]

<比較例>

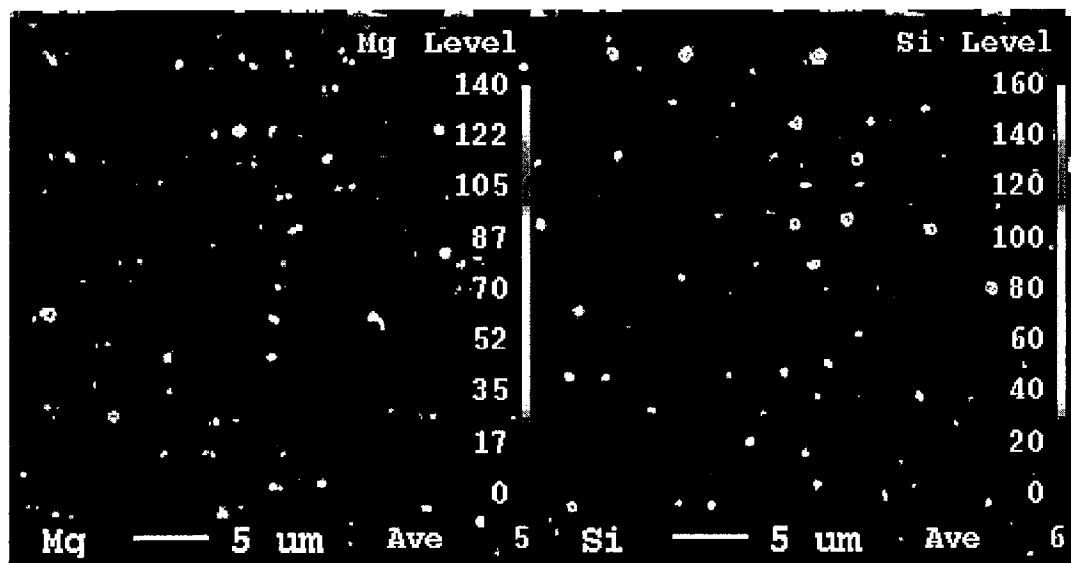


<実施例>

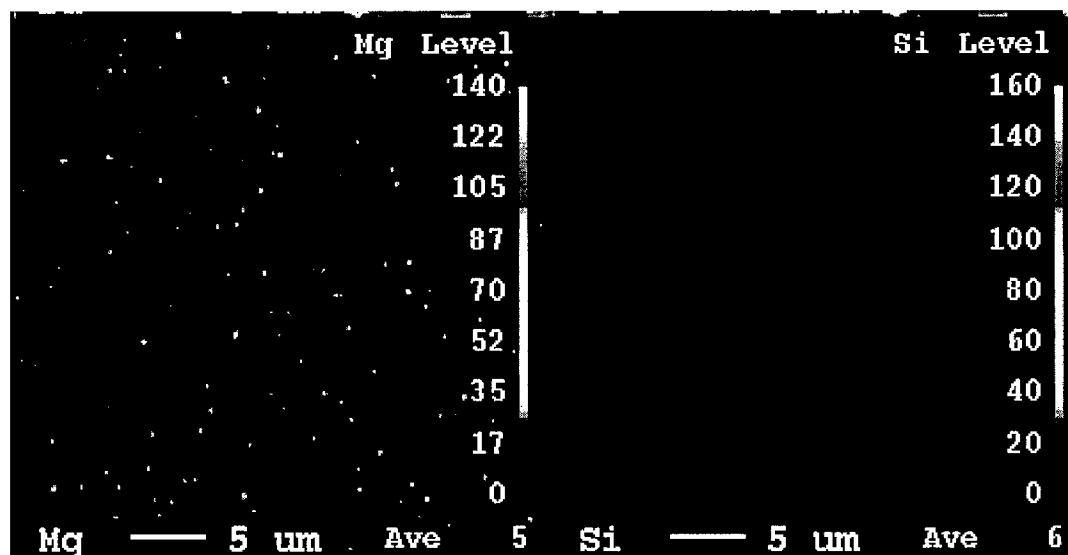


[図7]

<比較例>

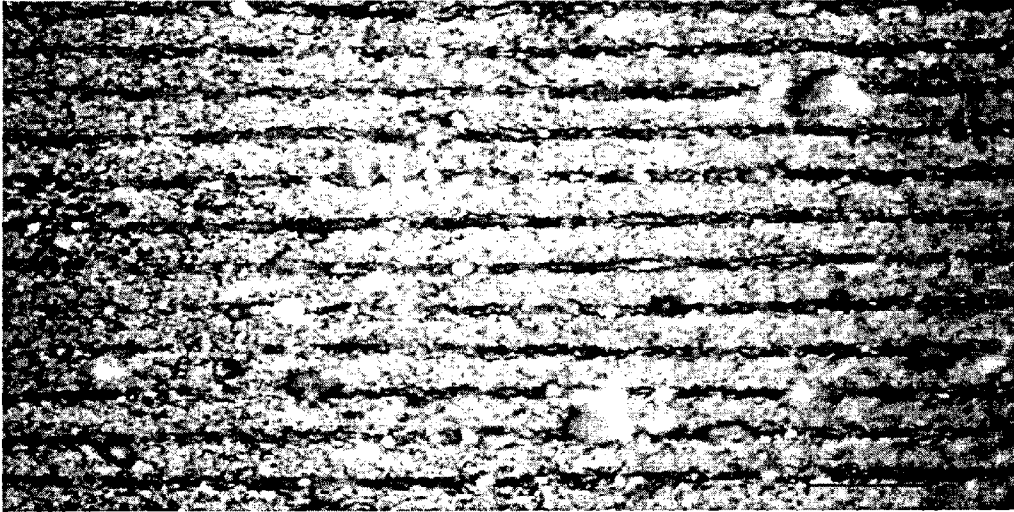


<実施例>

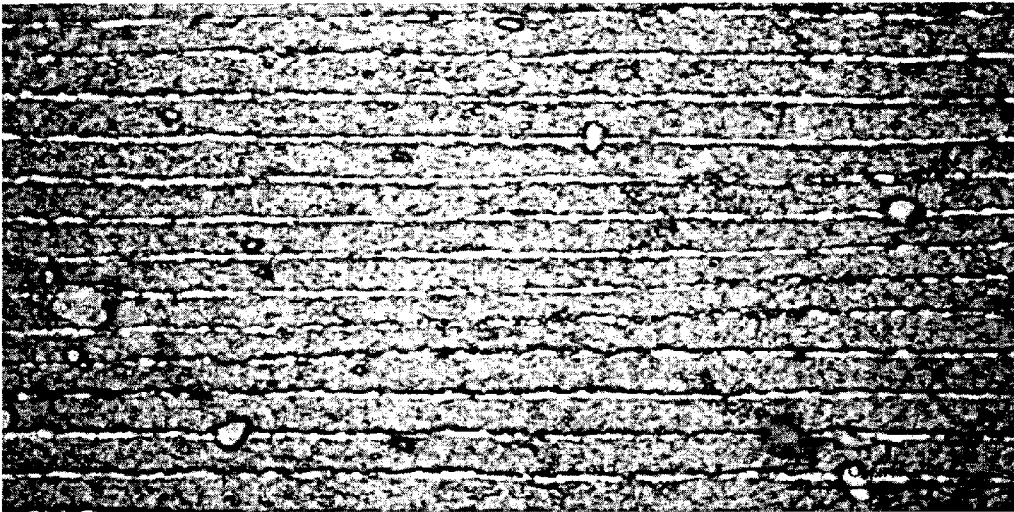


[図8]

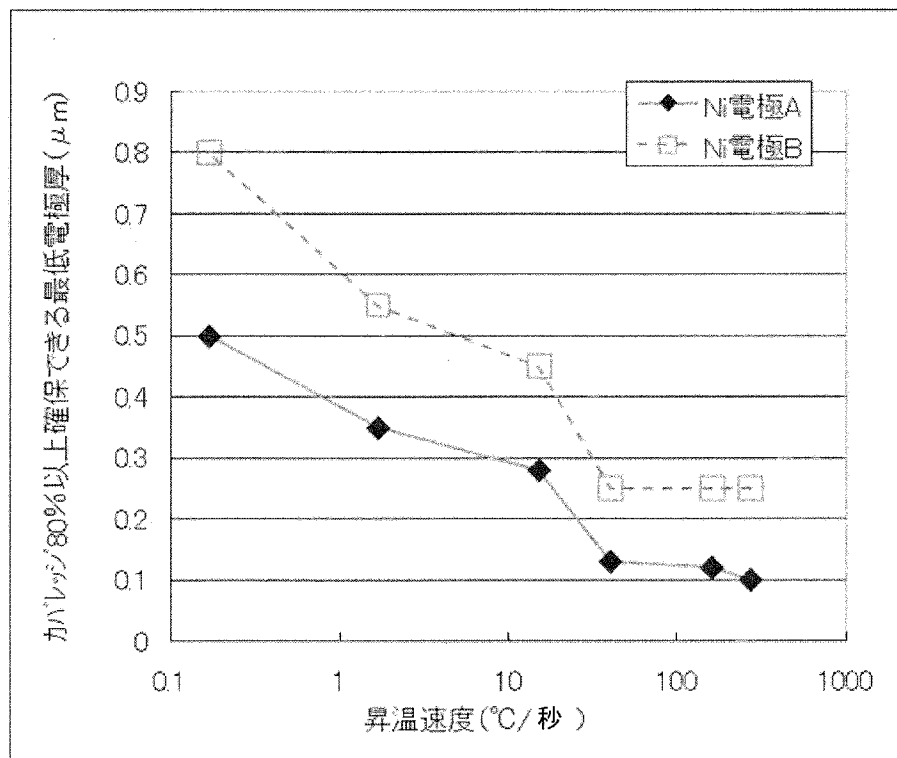
<比較例>



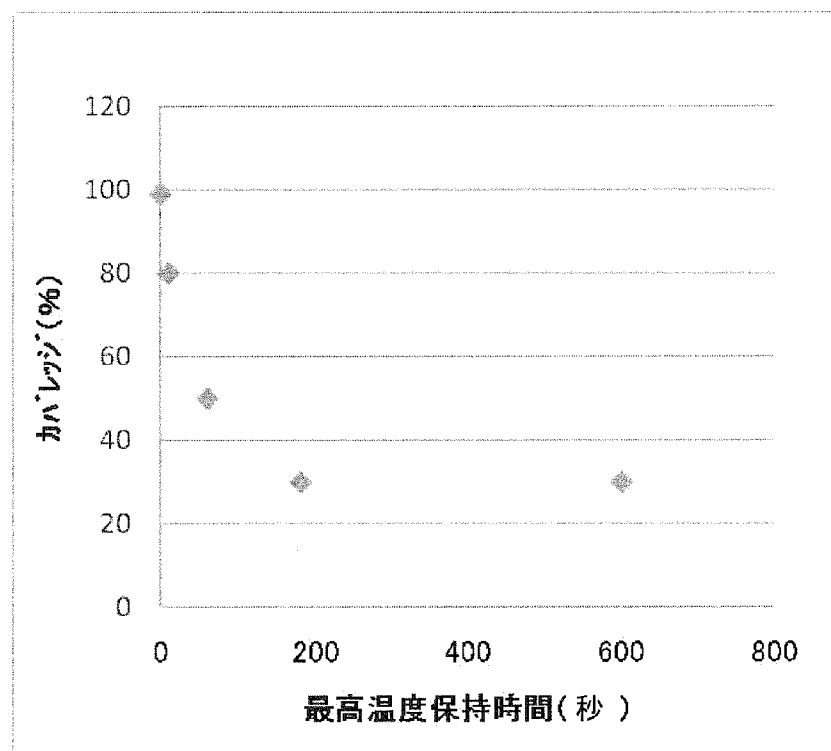
<実施例>



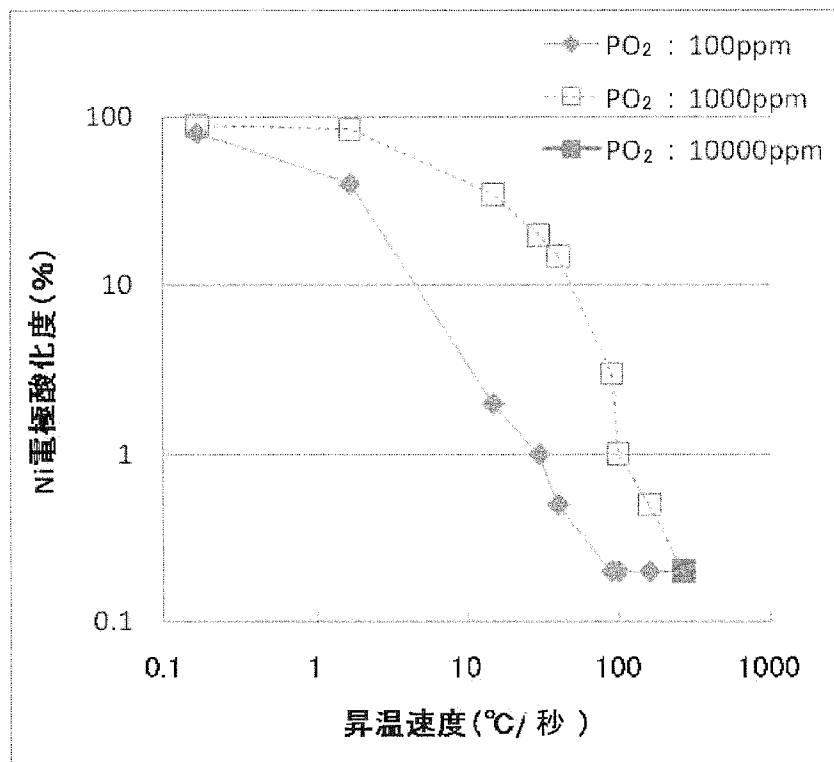
[図9]



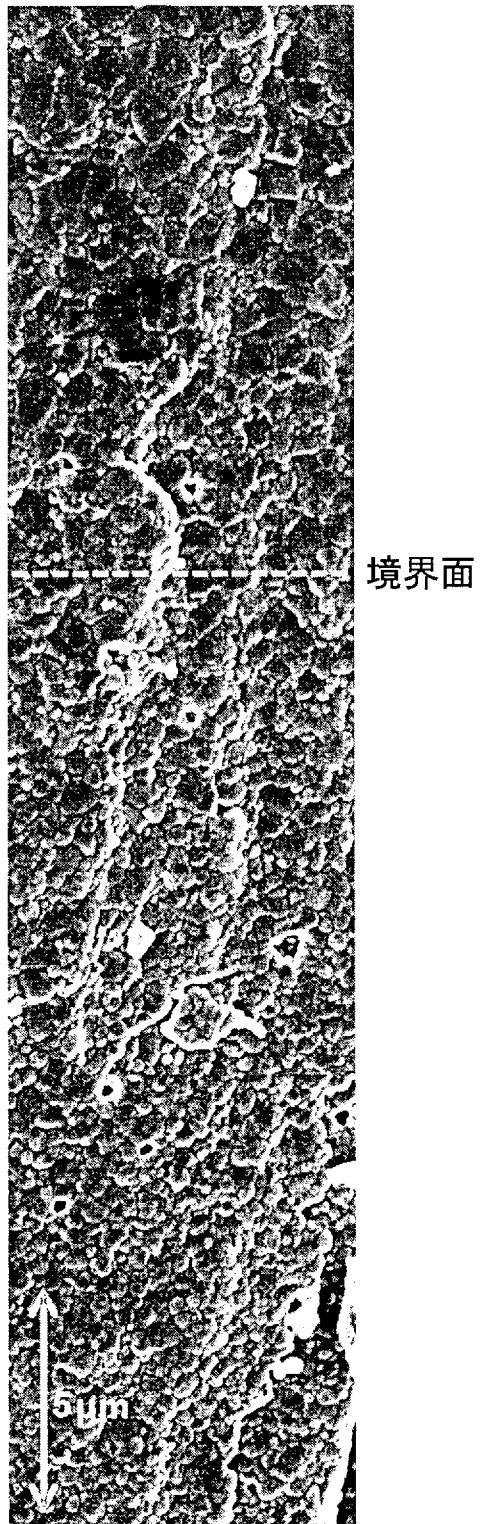
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/058618

A. CLASSIFICATION OF SUBJECT MATTER

H01G4/30(2006.01)i, H01G4/12(2006.01)i, H01G13/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/30, H01G4/12, H01G13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 06-267785 A (Toshiba Corp.), 22 September 1994 (22.09.1994), claims; paragraphs [0016] to [0027] (Family: none)	1-6 7, 8
Y	JP 2002-289457 A (Kyocera Corp.), 04 October 2002 (04.10.2002), claims; paragraphs [0024], [0033] to [0034] (Family: none)	7, 8
A	JP 10-241987 A (Tokin Corp.), 11 September 1998 (11.09.1998), claims; paragraphs [0012] to [0024] (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 July, 2010 (15.07.10)Date of mailing of the international search report
27 July, 2010 (27.07.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/058618

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2006-0135249 A (SAMSUNG ELECTRONICS CO., LTD.) 29 December 2006 (29.12.2006), entire text; all drawings (Family: none)	1-8
A	JP 10-149941 A (Toyota Central Research and Development Laboratories, Inc.), 02 June 1998 (02.06.1998), claims; paragraphs [0019] to [0021] (Family: none)	1-8
A	JP 2008-226941 A (Matsushita Electric Industrial Co., Ltd.), 25 September 2008 (25.09.2008), entire text; all drawings (Family: none)	1-8

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01G4/30(2006.01)i, H01G4/12(2006.01)i, H01G13/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01G4/30, H01G4/12, H01G13/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 06-267785 A（株式会社東芝）1994.09.22, 特許請求の範囲, 段落【0016】－【0027】（ファミリーなし）	1－6 7, 8
Y	JP 2002-289457 A（京セラ株式会社）2002.10.04, 特許請求の範囲, 段落【0024】, 【0033】－【0034】（ファミリーなし）	7, 8
A	JP 10-241987 A（株式会社トーキン）1998.09.11, 特許請求の範囲, 段落【0012】－【0024】（ファミリーなし）	1－8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 7 . 2 0 1 0

国際調査報告の発送日

2 7 . 0 7 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

桑原 清

5 R

9 3 7 5

電話番号 03-3581-1101 内線 3565

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	KR 10-2006-0135249 A (SAMSUNG ELECTRONICS CO., LTD) 2006. 12. 29, 全文, 全図 (ファミリーなし)	1 - 8
A	JP 10-149941 A (株式会社豊田中央研究所) 1998. 06. 02, 特許請求の範囲, 段落【0019】 - 【0021】 (ファミリーなし)	1 - 8
A	JP 2008-226941 A (松下電器産業株式会社) 2008. 09. 25, 全文, 全図 (ファミリーなし)	1 - 8